CDx4HC405x、CD4HCT405x 高速 CMOS ロジック アナログ マルチプレクサおよびデマルチプレクサ

1 特長

- 幅広いアナログ入力電圧範囲:±5V (最大値)
- 低オン抵抗:
  - 70Ω (V_{CC} - V_{EE} = 4.5V での標準値)
  - 40Ω (V_{CC} - V_{EE} = 9V での標準値)
- スイッチ間の低いクロストーク
- 高速なスイッチングおよび伝搬速度
- ブレイク ビフォー メイクのスイッチング動作
- 広い動作温度範囲:
  -40℃ ～ +125℃
- 動作制御電圧:4.5V ～ 5.5V
- スイッチ電圧:0V ～ 10V
- LSTTL 入力ロジックと直接互換、
  V_{IL} = 0.8V (最大値)、V_{IH} = 2V (最小値)
- CMOS 入力互換、
  V_{OL}、V_{OH} で I_I ≦ 1μA

2 アプリケーション

- デジタル ラジオ
- 信号ゲーティング
- ファクトリ オートメーション
- テレビ
- 電化製品
- プログラマブル ロジック回路
- センサ

3 説明

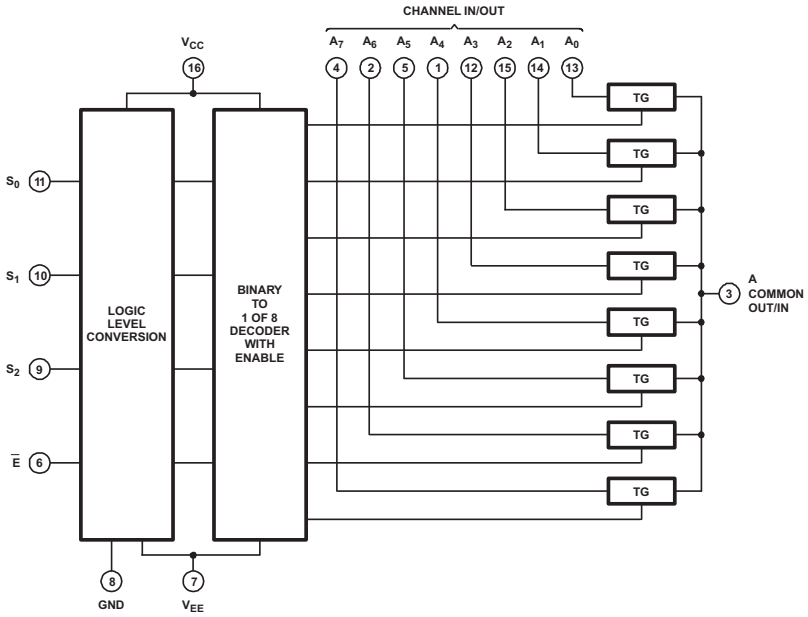
この CDx4HC405x および CDx4HCT405x デバイスはデジタル制御のアナログ スイッチで、シリコン ゲート CMOS テクノロジを使用し、標準 CMOS IC の低い消費電力で LSTTL と同様の動作速度を実現しています。

このアナログ マルチプレクサおよびデマルチプレクサは、電圧電源範囲 (例:V_{CC} から V_{EE} まで) にわたって変化する可能性があるアナログ電圧を制御します。これは双方向のスイッチで、任意のアナログ入力を出力として使用でき、その逆も行えます。このスイッチはオン抵抗が低く、オフ時のリーク電流が小さい特長があります。さらに、High のときにすべてのスイッチをオフ状態に無効化するディセーブル制御を備えています。

製品情報

部品番号	T_A	パッケージ (1)	パッケージ サイズ(2)
CD54HCx405x	-55℃ ～ 125℃	J (CDIP、16)	19.56mm × 6.92mm
CD74HCx405x		N (PDIP、16)	19.30mm × 6.35mm
		D (SOIC、16)	9.9mm × 3.9mm
		NS (SOP、16)	10.3mm × 5.3mm
		PW (TSSOP、16)	5mm × 4.4mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



HCT4051 の機能図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.... 1
2 アプリケーション.... 1
3 説明.... 1
4 ピン構成および機能.... 3
5 仕様.... 6
5.1 絶対最大定格.... 6
5.2 ESD 定格.... 6
5.3 熱に関する情報.... 7
5.4 推奨動作条件.... 7
5.5 電気的特性:HC デバイス.... 8
5.6 電気的特性:HCT デバイス.... 11
5.7 スイッチング特性、VCC = 5V.... 13
5.8 スイッチング特性、CL = 50pF.... 14
5.9 アナログ チャネルの仕様.... 17
5.10 代表的特性.... 19
6 パラメータ測定情報.... 20
7 詳細説明.... 23
7.1 概要.... 23
7.2 機能ブロック図.... 23
7.3 機能説明.... 25
7.4 デバイスの機能モード.... 25
8 アプリケーションと実装.... 26
8.1 使用上の注意.... 26
8.2 代表的なアプリケーション.... 26
8.3 電源に関する推奨事項.... 27
8.4 レイアウト.... 28
9 デバイスおよびドキュメントのサポート.... 29
9.1 ドキュメントのサポート.... 29
9.2 ドキュメントの更新通知を受け取る方法.... 29
9.3 サポート・リソース.... 29
9.4 商標.... 29
9.5 静電気放電に関する注意事項.... 29
9.6 用語集.... 29
10 改訂履歴.... 30
11 メカニカル、パッケージ、および注文情報.... 30

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

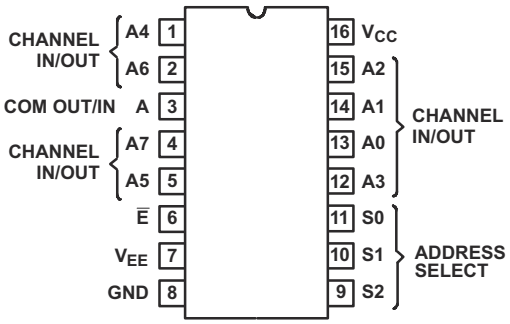


図 4-1. CDx4HCx4051 J、N、D、NS、PW パッケージ 16 ピン CDIP、PDIP、SOIC、SO、TSSOP (上面図)

表 4-1. CDxHCx4051B のピン機能

ピン		タイプ(1)	説明
名称	番号		
CH A4 IN/OUT	1	I/O	チャネル 4 入力 / 出力
CH A6 IN/OUT	2	I/O	チャネル 6 入力 / 出力
COM OUT/IN	3	I/O	共通出力 / 入力
CH A7 IN/OUT	4	I/O	チャネル 7 入力 / 出力
CH A5 IN/OUT	5	I/O	チャネル 5 入力 / 出力
!E	6	I	チャネル有効 (アクティブ "Low")
V_{EE}	7	—	負電源入力
GND	8	—	グランド
S2	9	I	チャネル選択 2
S1	10	I	チャネル選択 1
S0	11	I	チャネル選択 0
CH A3 IN/OUT	12	I/O	チャネル 3 入力 / 出力
CH A0 IN/OUT	13	I/O	チャネル 0 入力 / 出力
CH A1 IN/OUT	14	I/O	チャネル 1 入力 / 出力
CH A2 IN/OUT	15	I/O	チャネル 2 入力 / 出力
V_{CC}	16	—	正電源入力

(1) I = 入力、O = 出力

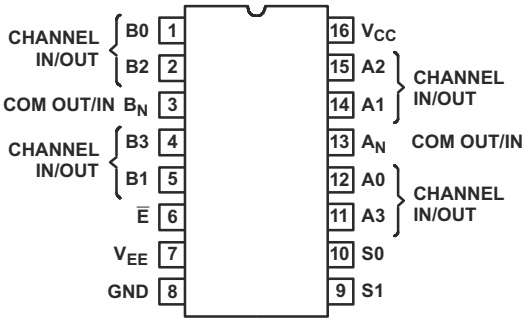


図 4-2. CDx4HCx4052 J、N、D、NS、PW パッケージ 16 ピン CDIP、PDIP、SOIC、SO、TSSOP (上面図)

表 4-2. CDx4HCx4052B のピン機能

ピン		タイプ(1)	説明
名称	番号		
CH B0 IN/OUT	1	I/O	チャネル B0 入力 / 出力
CH B2 IN/OUT	2	I/O	チャネル B2 入力 / 出力
COM B OUT/IN	3	I/O	B 共通 出力 / 入力
CH B3 IN/OUT	4	I/O	チャネル B3 入力 / 出力
CH B1 IN/OUT	5	I/O	チャネル B1 入力 / 出力
!E	6	I	チャネル有効 (アクティブ "Low")
V_{EE}	7	—	負電源入力
GND	8	—	グランド
S1	9	I	チャネル選択 1
S0	10	I	チャネル選択 0
CH A3 IN/OUT	11	I/O	チャネル A3 入力 / 出力
CH A0 IN/OUT	12	I/O	チャネル A0 入力 / 出力
COM A IN/OUT	13	I/O	A 共通 出力 / 入力
CH A1 IN/OUT	14	I/O	チャネル A1 入力 / 出力
CH A2 IN/OUT	15	I/O	チャネル A2 入力 / 出力
V_{CC}	16	—	正電源入力

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

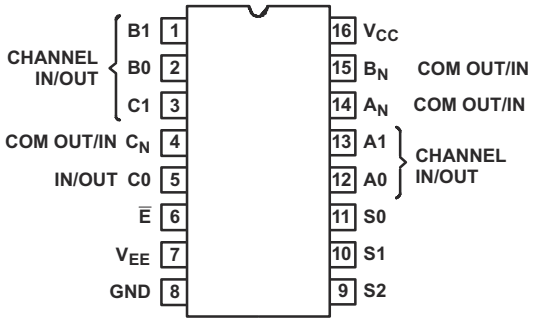


図 4-3. CDx4HCx4053 J、N、D、NS、PW パッケージ 16 ピン CDIP、PDIP、SOIC、SO、TSSOP (上面図)

表 4-3. ピン機能 CDx4HCx4053B

ピン		タイプ(1)	説明
名称	番号		
B1IN/OUT	1	I/O	B チャネル Y 入力 / 出力
B0 IN/OUT	2	I/O	B チャネル X 入力 / 出力
C1 IN/OUT	3	I/O	C チャネル Y 入力 / 出力
COM C OUT/IN	4	I/O	C 共通 出力 / 入力
C0 IN/OUT	5	I/O	C チャネル X 入力 / 出力
!E	6	I	チャネル有効 (アクティブ "Low")
V_{EE}	7	—	負電源入力
GND	8	—	グランド
S2	9	I	チャネル選択 2
S1	10	I	チャネル選択 1
S0	11	I	チャネル選択 0
A0 IN/OUT	12	I/O	A チャネル X 入力 / 出力
A1 IN/OUT	13	I/O	A チャネル Y 入力 / 出力
COM A OUT/IN	14	I/O	A 共通 出力 / 入力
COM B OUT/IN	15	I/O	B 共通 出力 / 入力
V_{CC}	16	—	正電源入力

(1) I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)[(1)]

			最小値	最大値	単位
$V_{CC} – V_{EE}$	DC 電源電圧		-0.5	10.5	V
V_{CC}			-0.5	7	V
V_{EE}			0.5	-7	V
I_{IK}	DC 入力ダイオード電流	V_I < -0.5V または V_I > V_{CC} +0.5V	-20	20	mA
I_{OK}	DC スイッチ ダイオード電流	V_I < V_{EE} -0.5V または V_I > V_{CC} +0.5V	-20	20	mA
	DC スイッチ電流[(2)]	V_I < V_{EE} -0.5V または V_I > V_{CC} +0.5V	-25	25	mA
I_{CC}	DC V_{CC} またはグランド電流		-50	50	mA
I_{EE}	DC V_{EE} 電流		-20		mA
V_{SEL} または V_{EN}	ロジック制御入力ピン電圧 ($\overline{EN}$、Ax、SELx)		-0.5	30	V
T_{JMAX}	最大接合部温度			150	°C
T_{LMAX}	最大リード温度	10 秒間の半田付け		300	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 特に指定のない限り、すべての電圧値はグランドを基準にしています。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン [(1)]	±500	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン [(2)]	±200	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

Copyright © 2026 Texas Instruments Incorporated

5.3 熱に関する情報

熱評価基準[1]		CD74HC4051			単位
		N (PDIP)	NS (SO)	PW (TSSOP)	
		16 ピン	16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	77.3	99.3	116.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	56.2	59.6	51.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	52.6	65.7	73.9	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	33.7	21.5	4.7	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	52.1	65.1	73.2	°C/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』アプリケーション ノート*を参照してください。SPRA953

5.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)[1]

			最小値	公称値	最大値	単位
V_{CC}	電源電圧範囲 (T_A = パッケージの全温度範囲)[2]	CD54 および 74HC タイプ	2		6	V
		CD54 および 74HCT タイプ	4.5		5.5	
V_{CC} - V_{EE}	電源電圧範囲 (T_A = パッケージの全温度範囲)	CD54 および 74HC タイプ、CD54 および 74HCT タイプ	2		10	V
V_{EE}	電源電圧範囲 (T_A = パッケージの全温度範囲)[3]	CD54 および 74HC タイプ、CD54 および 74HCT タイプ	0		-6	V
V_I	DC 入力制御電圧		0		V_{CC}	V
V_{IS}	アナログ スイッチ I/O 電圧		V_{EE}		V_{CC}	V
T_A	周囲温度		-55		125	°C
t_r、t_f	入力の立ち上がり / 立ち下がり時間	2V	0		1000	ns
		4.5V	0		500	
		6V	0		400	

(1) 最大限の信頼性を確保するため、動作が常に「推奨動作条件」の表で規定されている範囲内に収まるように、公称動作条件を選択する必要があります。
(2) 特に記述のない限り、全電圧は GND 基準です。
(3) 特定のアプリケーションでは、外部負荷抵抗電流に V_{CC} と信号ラインの両方の成分が含まれる場合があります。スイッチ電流が伝送ゲート入力に流れる時に V_{CC} 電流が流れるのを避けるには、双方向スイッチでの電圧降下は 0.6V を超えないようにする必要があります (「電気的特性 HC」および「電気的特性 HCT」の表に示す r_{ON} の値から計算)。スイッチ電流が HC および HCT4051 の端子 3、HC および HCT4052 の端子 3、13、HC および HCT4053 の端子 4、14、15 に流れる場合、V_{CC} 電流は R_L を流れません。

5.5 電気的特性：HC デバイス

動作周囲温度範囲内、V_{SUPPLY} = ±5V、R_L = 100Ω (特に記述のない限り)

パラメータ	テスト条件						最小値	標準値	最大値	単位
CD74HC405x										
		V_{IS} (V)	V_I (V)	V_{EE} (V)	V_{CC} (V)	T_A				
入力 High 電圧、V_{IH}、(最小値)					2	25°C	1.5			V
						-40°C ～ +85°C	1.5			
						-55°C ～ +125°C	1.5			
					4.5	25°C	3.15			
						-40°C ～ +85°C	3.15			
						-55°C ～ +125°C	3.15			
					6	25°C	4.2			
						-40°C ～ +85°C	4.2			
						-55°C ～ +125°C	4.2			
入力 Low 電圧、V_{IL}、(最大値)					2	25°C			0.5	V
						-40°C ～ +85°C			0.5	
						-55°C ～ +125°C			0.5	
					4.5	25°C			1.35	
						-40°C ～ +85°C			1.35	
						-55°C ～ +125°C			1.35	
					6	25°C			1.8	
						-40°C ～ +85°C			1.8	
						-55°C ～ +125°C			1.8	

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性：HC デバイス (続き)

動作周囲温度範囲内、V_{SUPPLY} = ±5V、R_L = 100Ω (特に記述のない限り)

パラメータ	テスト条件						最小値	標準値	最大値	単位
r_{ON} オン抵抗	I_O = 1mA	V_{CC} または V_{EE}	V_{IL} または V_{IH}	0	4.5	25°C		70	160	Ω
						-40°C ～ +85°C			200	
						-55°C ～ +125°C			240	
				0	6	25°C		60	140	
						-40°C ～ +85°C			175	
						-55°C ～ +125°C			210	
				-4.5	4.5	25°C		40	120	
						-40°C ～ +85°C			150	
						-55°C ～ +125°C			180	
		V_{CC} から V_{EE}		0	4.5	25°C		90	180	Ω
						-40°C ～ +85°C			225	
						-55°C ～ +125°C			270	
				0	6	25°C		80	160	
						-40°C ～ +85°C			200	
						-55°C ～ +125°C			240	
				-4.5	4.5	25°C		45	130	
						-40°C ～ +85°C			162	
						-55°C ～ +125°C			195	
Δr_{ON} 任意の 2 チャネル間の最大オン抵抗				0	4.5	25°C		10		Ω
				0	6	25°C		8.5		
				-4.5	4.5	25°C		5		

5.5 電気的特性：HC デバイス (続き)

動作周囲温度範囲内、V_{SUPPLY} = ±5V、R_L = 100Ω (特に記述のない限り)

パラメータ	テスト条件						最小値	標準値	最大値	単位
I_{IZ} スイッチ オン / オフ時のリーク電流	1 および 2 チャネル	スイッチ オフの場合：V_{IS} = V_{CC} の時、V_{OS} = V_{EE}、V_{IS} = V_{EE} の時、V_{OS} = V_{CC}、スイッチ オンの場合：V_{IS} と V_{OS} 電圧レベルのすべての適用可能な組み合わせ	V_{IL} または V_{IH}	0	6	25°C			±0.1	μA
						-55°C ～ 85°C			±1	
						-55°C ～ 125°C			±1	
	4053			-5	5	25°C			±0.1	
						-55°C ～ 85°C			±1	
						-55°C ～ 125°C			±1	
	4 チャネル			0	6	25°C			±0.1	
						-55°C ～ 85°C			±1	
						-55°C ～ 125°C			±1	
	4052			-5	5	25°C			±0.2	
						-55°C ～ 85°C			±2	
						-55°C ～ 125°C			±2	
	8 チャネル			0	6	25°C			±0.2	
						-55°C ～ 85°C			±2	
						-55°C ～ 125°C			±2	
	4051			-5	5	25°C			±0.4	
						-55°C ～ 85°C			±4	
						-55°C ～ 125°C			±4	
I_{IL} 制御入力のリーク電流			V_{CC} または GND	0	6	25°C			±0.1	μA
						-55°C ～ 85°C			±1	
						-55°C ～ 125°C			±1	
静止デバイス電流、I_{CC} (最大値)	I_O = 0	V_{IS} = V_{EE} の場合、V_{OS} = V_{CC}	V_{CC} または GND	0	6	25°C		12		μA
						-55°C ～ 85°C		80		
						-55°C ～ 125°C		160		
		V_{IS} = V_{CC} の場合、V_{OS} = V_{EE}		-5	5	25°C		32		
						-55°C ～ 85°C		160		
						-55°C ～ 125°C		320		

Copyright © 2026 Texas Instruments Incorporated

5.6 電気的特性：HCT デバイス

動作周囲温度範囲内、V_{SUPPLY} = ±5V、R_L = 100Ω (特に記述のない限り)[(1)]

パラメータ	テスト条件						最小値	標準値	最大値	単位
CD74HCT405x										
		V_{IS} (V)	V_I (V)	V_{EE} (V)	V_{CC} (V)	T_A				
入力 High 電圧、V_{IH}、(最小値)					4.5～5.5	25°C	2			V
						-40°C ～ +85°C	2			
						-55°C ～ +125°C	2			
入力 Low 電圧、V_{IL}、(最大値)					4.5～5.5	25°C			0.8	V
						-40°C ～ +85°C			0.8	
						-55°C ～ +125°C			0.8	
r_{ON} オン抵抗	I_O = 1mA	V_{CC} または V_{EE}	V_{IL} または V_{IH}	0	4.5	25°C		70	160	Ω
						-40°C ～ +85°C			200	
						-55°C ～ +125°C			240	
				-4.5	4.5	25°C		40	120	
						-40°C ～ +85°C			150	
						-55°C ～ +125°C			180	
		V_{CC} から V_{EE}		0	4.5	25°C		90	180	
						-40°C ～ +85°C			225	
						-55°C ～ +125°C			270	
				-4.5	4.5	25°C		45	130	Ω
						-40°C ～ +85°C			162	
						-55°C ～ +125°C			195	
Δr_{ON} 任意の 2 チャネル間の最大オン抵抗				0	4.5	25°C		10		Ω
				-4.5	4.5	25°C		5		

5.6 電気的特性：HCT デバイス (続き)

動作周囲温度範囲内、V_{SUPPLY} = ±5V、R_L = 100Ω (特に記述のない限り)[1]

パラメータ	テスト条件						最小値	標準値	最大値	単位
I_{IZ} スイッチ オン / オフ時のリーク電流	1 および 2 チャネル	スイッチ オフの場合：V_{IS} = V_{CC} の時、V_{OS} = V_{EE}、V_{IS} = V_{EE} の時、V_{OS} = V_{CC}、スイッチ オンの場合：V_{IS} と V_{OS} 電圧レベルのすべての適用可能な組み合わせ	V_{IL} または V_{IH}	0	6	25°C			±0.1	μA
						-55°C ～ 85°C			±1	
						-55°C ～ 125°C			±1	
	4053			-5	5	25°C			±0.1	
						-55°C ～ 85°C			±1	
						-55°C ～ 125°C			±1	
	4 チャネル			0	6	25°C			±0.1	
						-55°C ～ 85°C			±1	
						-55°C ～ 125°C			±1	
	4052			-5	5	25°C			±0.2	
						-55°C ～ 85°C			±2	
						-55°C ～ 125°C			±2	
	8 チャネル			0	6	25°C			±0.2	
						-55°C ～ 85°C			±2	
						-55°C ～ 125°C			±2	
	4051			-5	5	25°C			±0.4	
						-55°C ～ 85°C			±4	
						-55°C ～ 125°C			±4	
I_{IL} 制御入力のリーク電流			[1] を参照	0	5.5	25°C			±0.1	μA
						-55°C ～ 85°C			±1	
						-55°C ～ 125°C			±1	
静止デバイス電流、I_{CC} (最大値)	I_O = 0	V_{IS} = V_{EE} の場合、V_{OS} = V_{CC}	V_{CC} または GND	0	5.5	25°C			12	μA
						-55°C ～ 85°C			80	
						-55°C ～ 125°C			160	
		V_{IS} = V_{CC} の場合、V_{OS} = V_{EE}		-4.5	5.5	25°C			32	
						-55°C ～ 85°C			160	
						-55°C ～ 125°C			320	
ΔI_{CC} 入力ピンごとの追加のデバイス静止電流：1 単位負荷[2]		ΔICC	V_{CC} - 2.1		4.5～5.5	25°C		100	360	μA
						-55°C ～ 85°C			450	
						-55°C ～ 125°C			490	

(1) V_{CC} と GND 間の任意の電圧。
(2) デュアル電源システムの理論上の最悪ケース (V_I = 2.4V、V_{CC} = 5.5V) 仕様は 1.8mA です。

Copyright © 2026 Texas Instruments Incorporated

5.7 スイッチング特性、VCC = 5V

V_{CC} = 5V、T_A = 25°C、入力 t_r、t_f = 6ns

パラメータ		テスト条件		C_L (pF)	最小値 公称値 最大値	単位
t_{PHL}、t_{PLH}	電源電圧範囲 (T_A = パッケージの全温度範囲)	スイッチ入力から出力まで	CDx4HC4051	15	4	ns
			CDx4HCT4051		4	
			CDx4HC4052		4	
			CDx4HCT4052		4	
			CDx4HC4053		4	
			CDx4HCT4053		4	
t_{PHZ}、t_{PLZ}		スイッチのターンオフ (S または E)	CDx4HC4051	15	27	
			CDx4HCT4051		35	
			CDx4HC4052		33	
			CDx4HCT4052		33	
			CDx4HC4053		30	
			CDx4HCT4053		35	
t_{PZH}、t_{PZL}		スイッチのターンオン (S または E)	CDx4HC4051	15	19	
			CDx4HCT4051		23	
			CDx4HC4052		27	
			CDx4HCT4052		29	
			CDx4HC4053		18	
			CDx4HCT4053		28	
C_{PD} 消費電力容量[(1)]			CDx4HC4051		50	pF
			CDx4HCT4051		52	
			CDx4HC4052		74	
			CDx4HCT4052		76	
			CDx4HC4053		38	
			CDx4HCT4053		42	

(1) C_{PD} を使用して、パッケージごとの動的な消費電力を決定します。$P_D = C_{PD} v_{CC}{}^2 f_i + \Sigma (C_L + C_S) V_{CC}{}^2 f_O$, f_O= 出力周波数、f_I = 入力周波数、C_L = 出力負荷キャパシタンス、C_S = スイッチ キャパシタンス、V_{CC} = 電源電圧

5.8 スイッチング特性、CL = 50pF

C_L = 50pF、入力 t_r、t_f = 6ns

パラメータ		V_{EE} (V)	V_{CC} (V)	テスト条件		最小値 公称値 最大値	単位
t_{PHL}、t_{PLH} スイッチ入力から出力までの伝搬遅延		0	2	T_A = 25°C	HC	60	ns
				T_A = –40°C ～ +85°C	HC	75	
				T_A = –55°C ～ +125°C	HC	90	
		0	4.5	T_A = 25°C	HC、HCT	12	
				T_A = –40°C ～ +85°C	HC、HCT	15	
				T_A = –55°C ～ +125°C	HC、HCT	18	
		0	6	T_A = 25°C	HC	10	
				T_A = –40°C ～ +85°C	HC	13	
				T_A = –55°C ～ +125°C	HC	15	
		-4.5	4.5	T_A = 25°C	HC、HCT	8	
				T_A = –40°C ～ +85°C	HC、HCT	10	
				T_A = –55°C ～ +125°C	HC、HCT	12	
t_{PHZ}、t_{PLZ} S または E からスイッチ出力までの最大スイッチ ターン オフ遅延	4051	0	2	T_A = 25°C	HC	250	ns
				T_A = –40°C ～ +85°C	HC	340	
				T_A = –55°C ～ +125°C	HC	400	
		0	4.5	T_A = 25°C	HC、HCT	50	
				T_A = –40°C ～ +85°C	HC、HCT	56	
				T_A = –55°C ～ +125°C	HC、HCT	68	
		0	6	T_A = 25°C	HC	44	
				T_A = –40°C ～ +85°C	HC	50	
				T_A = –55°C ～ +125°C	HC	57	
		-4.5	4.5	T_A = 25°C	HC、HCT	44	
				T_A = –40°C ～ +85°C	HC、HCT	50	
				T_A = –55°C ～ +125°C	HC、HCT	55	

Copyright © 2026 Texas Instruments Incorporated

5.8 スイッチング特性、CL = 50pF (続き)

C_L = 50pF、入力 t_r、t_f = 6ns

パラメータ		V_{EE} (V)	V_{CC} (V)	テスト条件		最小値 公称値 最大値	単位
t_{PHZ}、t_{PLZ} S または E からスイッチ出力までの最大スイッチ ターン オフ遅延	4052	0	2	T_A = 25°C	HC	250	ns
				T_A = –40°C ～ +85°C	HC	340	
				T_A = –55°C ～ +125°C	HC	400	
		0	4.5	T_A = 25°C	HC、HCT	50	
				T_A = –40°C ～ +85°C	HC、HCT	63	
				T_A = –55°C ～ +125°C	HC、HCT	75	
		0	6	T_A = 25°C	HC	45	
				T_A = –40°C ～ +85°C	HC	54	
				T_A = –55°C ～ +125°C	HC	65	
		-4.5	4.5	T_A = 25°C	HC	45	
					HCT	45	
				T_A = –40°C ～ +85°C	HC	48	
					HCT	50	
				T_A = –55°C ～ +125°C	HC	57	
					HCT	57	
t_{PHZ}、t_{PLZ} S または E からスイッチ出力までの最大スイッチ ターン オフ遅延	4053	0	2	T_A = 25°C	HC	250	ns
				T_A = –40°C ～ +85°C	HC	340	
				T_A = –55°C ～ +125°C	HC	400	
		0	4.5	T_A = 25°C	HC	45	
					HCT	50	
				T_A = –40°C ～ +85°C	HC	53	
					HCT	53	
				T_A = –55°C ～ +125°C	HC	63	
					HCT	66	
		0	6	T_A = 25°C	HC	45	
				T_A = –40°C ～ +85°C	HC	50	
				T_A = –55°C ～ +125°C	HC	55	
		-4.5	4.5	T_A = 25°C	HC	45	
					HCT	45	
				T_A = –40°C ～ +85°C	HC	50	
					HCT	50	
				T_A = –55°C ～ +125°C	HC	55	
					HCT	55	

5.8 スイッチング特性、CL = 50pF (続き)

C_L = 50pF、入力 t_r、t_f = 6ns

パラメータ		V_{EE} (V)	V_{CC} (V)	テスト条件		最小値 公称値 最大値	単位
t_{PZL}、t_{PZH} S または E からスイッチ出力までの最大スイッチ ターン オン遅延	4051	0	2	T_A = 25°C	HC	325	ns
				T_A = –40°C ～ +85°C	HC	405	
				T_A = –55°C ～ +125°C	HC	490	
		0	4.5	T_A = 25°C	HC	45	
					HCT	55	
				T_A = –40°C ～ +85°C	HC	56	
					HCT	69	
				T_A = –55°C ～ +125°C	HC	68	
					HCT	83	
		0	6	T_A = 25°C	HC	38	
				T_A = –40°C ～ +85°C	HC	48	
				T_A = –55°C ～ +125°C	HC	57	
		-4.5	4.5	T_A = 25°C	HC	36	
					HCT	48	
				T_A = –40°C ～ +85°C	HC	40	
					HCT	55	
				T_A = –55°C ～ +125°C	HC	48	
					HCT	60	
t_{PZL}、t_{PZH} S または E からスイッチ出力までの最大スイッチ ターン オン遅延	4052	0	2	T_A = 25°C	HC	325	ns
				T_A = –40°C ～ +85°C	HC	405	
				T_A = –55°C ～ +125°C	HC	490	
		0	4.5	T_A = 25°C	HC	65	
					HCT	70	
				T_A = –40°C ～ +85°C	HC	81	
					HCT	68	
				T_A = –55°C ～ +125°C	HC	98	
					HCT	105	
		0	6	T_A = 25°C	HC	55	
				T_A = –40°C ～ +85°C	HC	69	
				T_A = –55°C ～ +125°C	HC	83	
		-4.5	4.5	T_A = 25°C	HC	46	
					HCT	48	
				T_A = –40°C ～ +85°C	HC	58	
					HCT	60	
				T_A = –55°C ～ +125°C	HC	69	
					HCT	72	

Copyright © 2026 Texas Instruments Incorporated

5.8 スイッチング特性、CL = 50pF (続き)

C_L = 50pF、入力 t_r、t_f = 6ns

パラメータ		V_{EE} (V)	V_{CC} (V)	テスト条件		最小値 公称値 最大値	単位
t_{PZL}、t_{PZH} S または E からスイッチ出力までの最大スイッチ ターン オン遅延	4053	0	2	T_A = 25℃	HC	325	ns
				T_A = –40°C ～ +85°C	HC	405	
				T_A = –55°C ～ +125°C	HC	490	
		0	4.5	T_A = 25℃	HC	44	
					HCT	48	
				T_A = –40°C ～ +85°C	HC	55	
					HCT	60	
				T_A = –55°C ～ +125°C	HC	66	
					HCT	72	
		0	6	T_A = 25℃	HC	37	
				T_A = –40°C ～ +85°C	HC	47	
				T_A = –55°C ～ +125°C	HC	56	
		-4.5	4.5	T_A = 25℃	HC	40	
					HCT	48	
				T_A = –40°C ～ +85°C	HC	45	
					HCT	55	
				T_A = –55°C ～ +125°C	HC	47	
					HCT	60	
C_I 入力 (制御) 容量				T_A = 25℃	HC、HCT	10	pF
				T_A = –40°C ～ +85°C	HC、HCT	10	
				T_A = –55°C ～ +125°C	HC、HCT	10	

5.9 アナログ チャネルの仕様

標準値、T_A = 25℃

パラメータ	テスト条件	HC、HCT タイプ	V_{EE} (V)	V_{CC} (V)	最小値 公称値 最大値	単位
C_I スイッチ入力キャパシタンス		すべて			5	pF
C_{COM} 共通出力キャパシタンス		4051			25	pF
		4052			12	
		4053			8	
f_{MAX} -3dB における最小スイッチ周波数応答	注 (1) および (2) を参照	4051	-2.25	2.25	145	MHz
		4052	-2.25	2.25	165	
		4053	-2.25	2.25	200	
		4051	-4.5	4.5	180	
		4052	-4.5	4.5	185	
		4053	-4.5	4.5	200	

5.9 アナログ チャネルの仕様 (続き)

標準値、T_A = 25℃

パラメータ	テスト条件	HC、HCT タイプ	V_{EE} (V)	V_{CC} (V)	最小値	公称値	最大値	単位
THD サイン波の歪み		すべて	-2.25	2.25		0.035		%
		すべて	-4.5	4.5		0.018		
スイッチ オフ時の信号フィードスルー	注 (2) および (3) を参照	4051	-2.25	2.25		-73		dB
		4052	-2.25	2.25		-65		
		4053	-2.25	2.25		-64		
		4051	-4.5	4.5		-75		
		4052	-4.5	4.5		-67		
		4053	-4.5	4.5		-66		

(1) f_{IN} = 1MHz の時、V_{OS} で 0dBm となるように入力電圧を調整します。
(2) V_{is} の中心を (V_{CC} - V_{EE}) / 2 に合わせます。
(3) 入力を 0dBm に調整します。

Copyright © 2026 Texas Instruments Incorporated

5.10 代表的特性

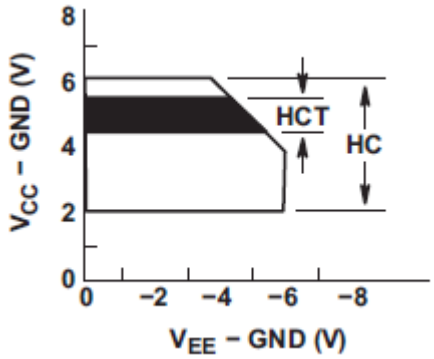


図 5-1. (V_{CC} - V_{EE}) に応じた推奨動作領域

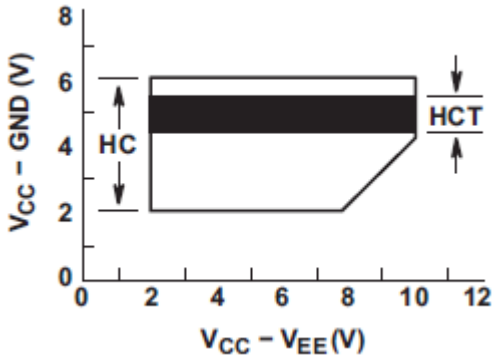


図 5-2. (V_{CC} - GND) に応じた推奨動作領域

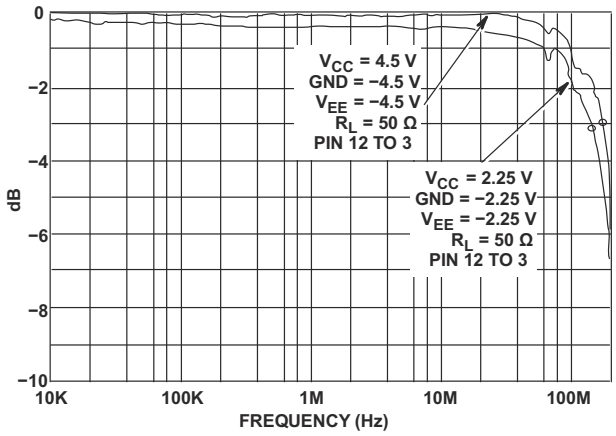


図 5-3. チャネル ON 帯域幅 (HC および HCT4051)

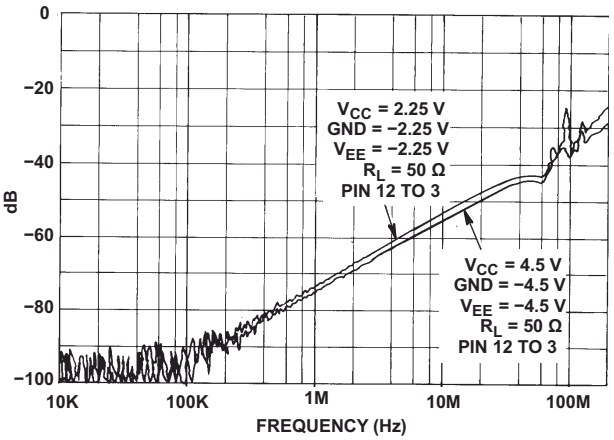


図 5-4. チャネル OFF フィードスルー (HC および HCT4051)

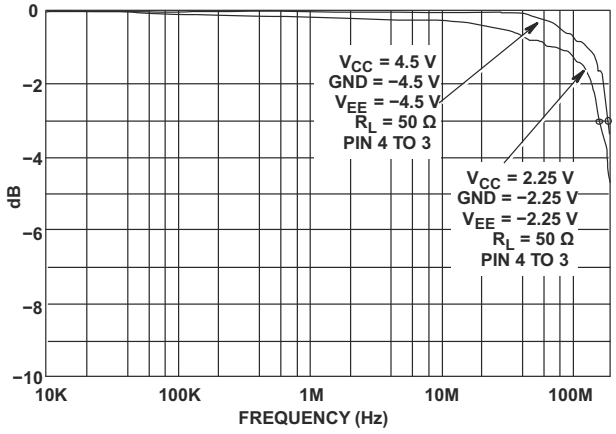


図 5-5. チャネル ON 帯域幅 (HC および HCT4052)

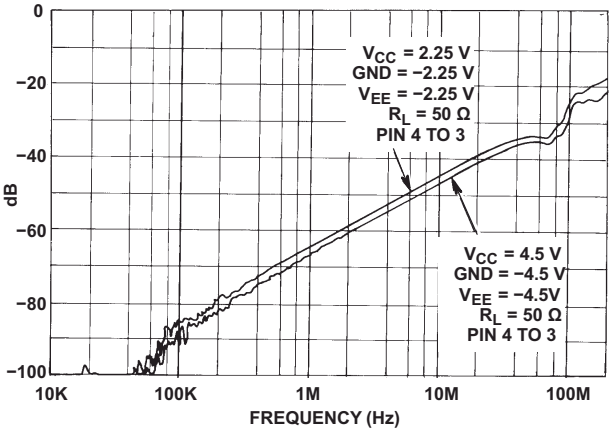


図 5-6. チャネル OFF フィードスルー (HC および HCT4052)

5.10 代表的特性 (続き)

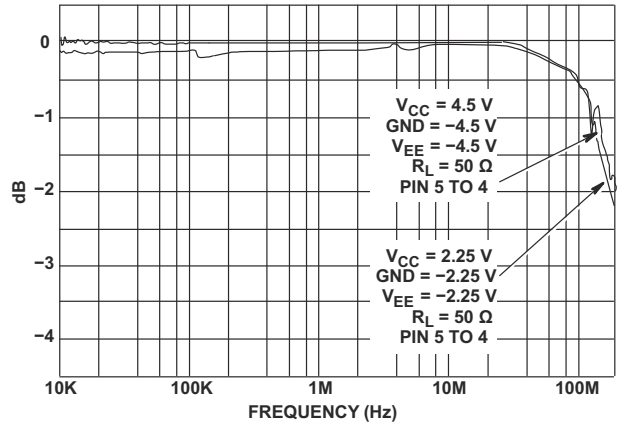


図 5-7. チャネル ON 帯域幅 (HC および HCT4053)

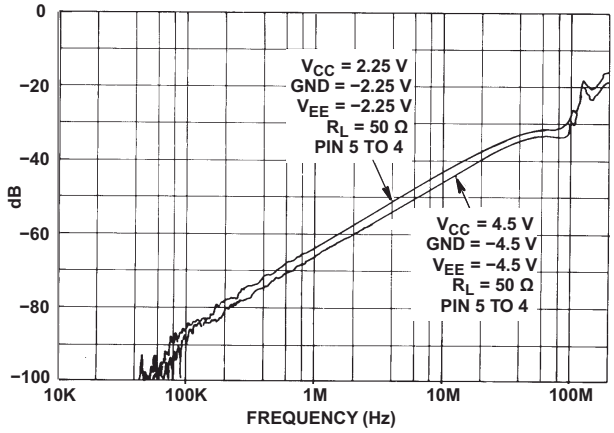
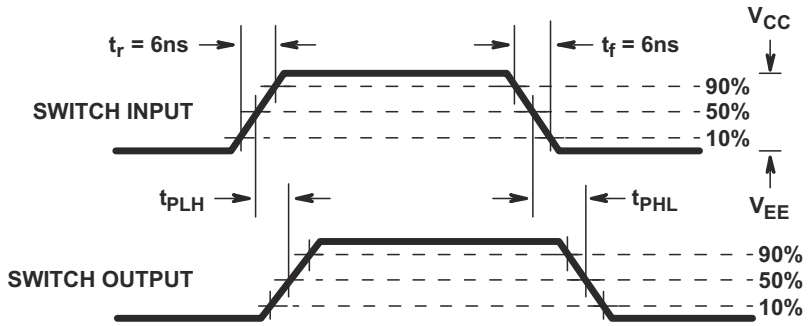
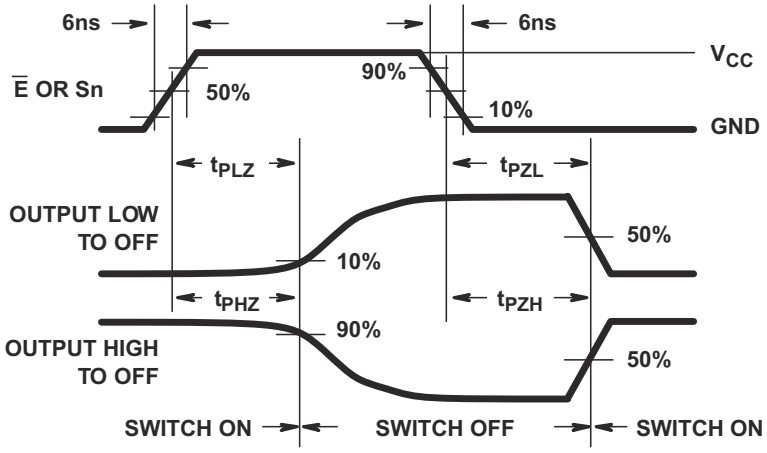


図 5-8. チャネル OFF フィードスルー (HC および HCT4053)

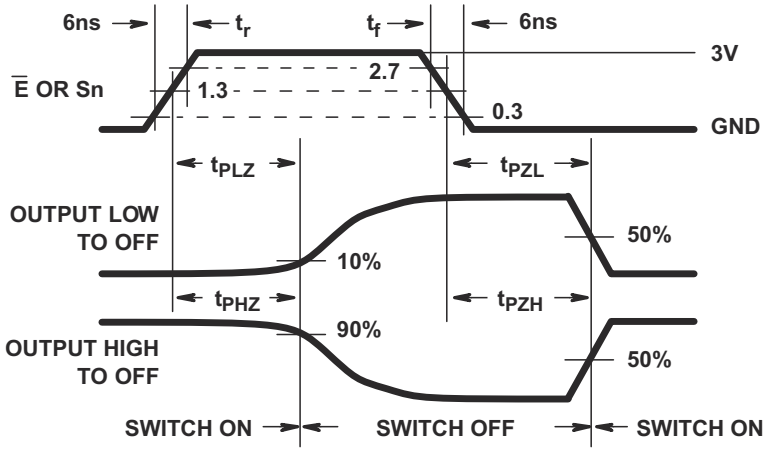
6 パラメータ測定情報



(FIGURE A)



(FIGURE B) HC TYPES



(FIGURE C) HCT TYPES

図 6-1. スイッチ伝搬遅延、ターンオン、ターンオフ時間

Copyright © 2026 Texas Instruments Incorporated

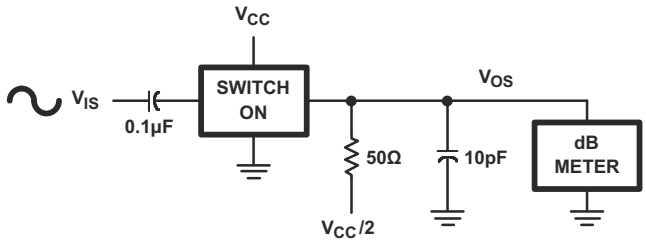
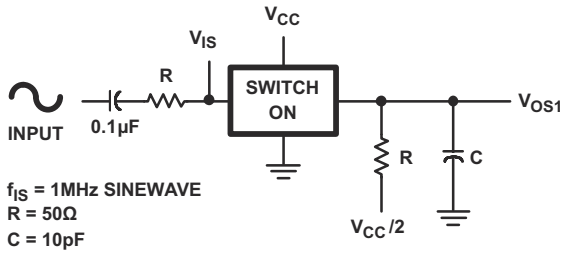


図 6-2. 周波数応答テスト回路



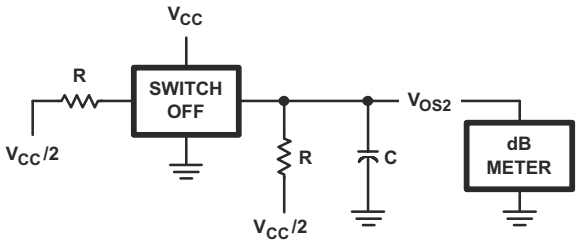


図 6-3. 2 つのスイッチ間のクロストーク テスト回路

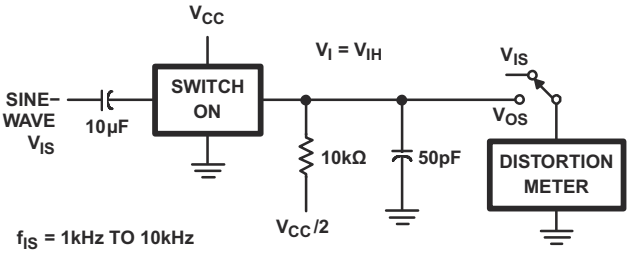


図 6-4. ¼ 正弦波歪みテスト回路

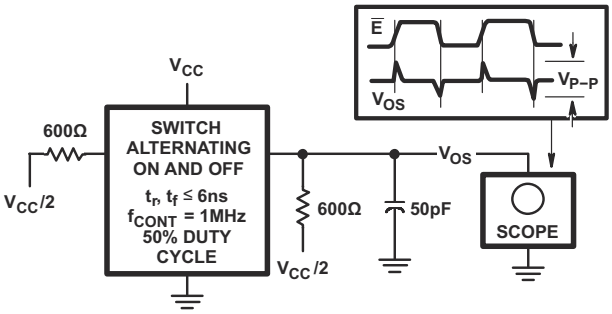


図 6-5. 制御からスイッチへのフィードスルー ノイズ テスト回路

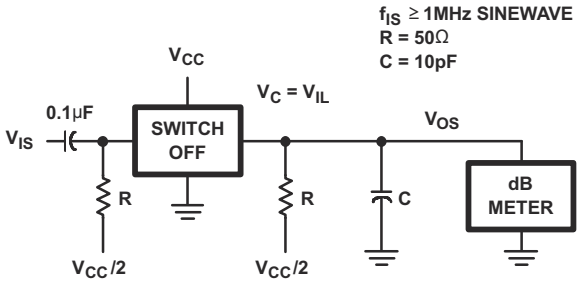


図 6-6. スイッチ オフ時の信号フィードスルー

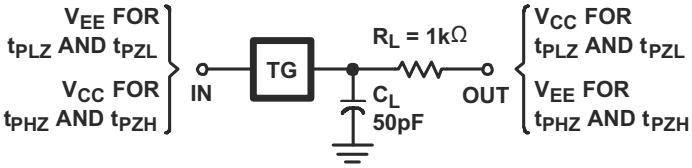


図 6-7. スイッチ オン / オフ伝搬遅延テスト回路

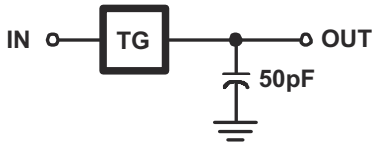


図 6-8. スイッチ入力からスイッチ出力までの伝搬遅延テスト回路

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

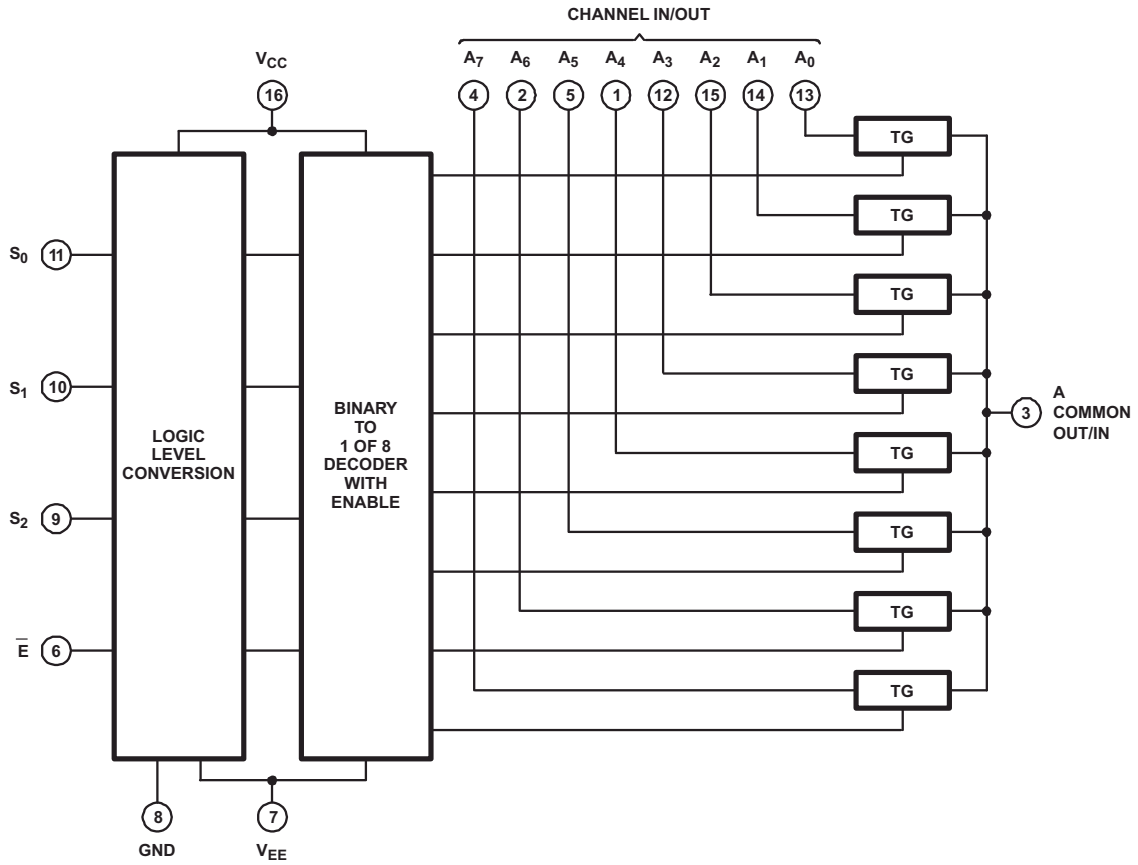
CDx4HCx4051 デバイスは、3 つのバイナリ制御入力 S_0、S_1、S_2 と、1 つの $\overline{ENABLE}$ 入力を備えたシングル 8 チャネル マルチプレクサです。3 つのバイナリ信号を使用して 8 つのチャネルのうちの 1 つをオンにし、8 つの入力のいずれかを出力に接続します。

CDx4HCx4052 デバイスは、2 つのバイナリ制御入力 S_0、S_1 と、1 つの $\overline{ENABLE}$ 入力を備えた差動 4 チャネル マルチプレクサです。2 つのバイナリ入力信号を使用して 4 ペアのチャネルのうち 1 つをオンにし、アナログ入力を出力に接続します。

CDx4HCx4053 デバイスは、3 つの独立したデジタル制御入力 S_0、S_1、S_2 と、1 つの $\overline{ENABLE}$ 入力を備えたトリプル 2 チャネル マルチプレクサです。各制御入力によって、単極双投構成で接続されたチャネルのペアのうち、一方が選択されます。

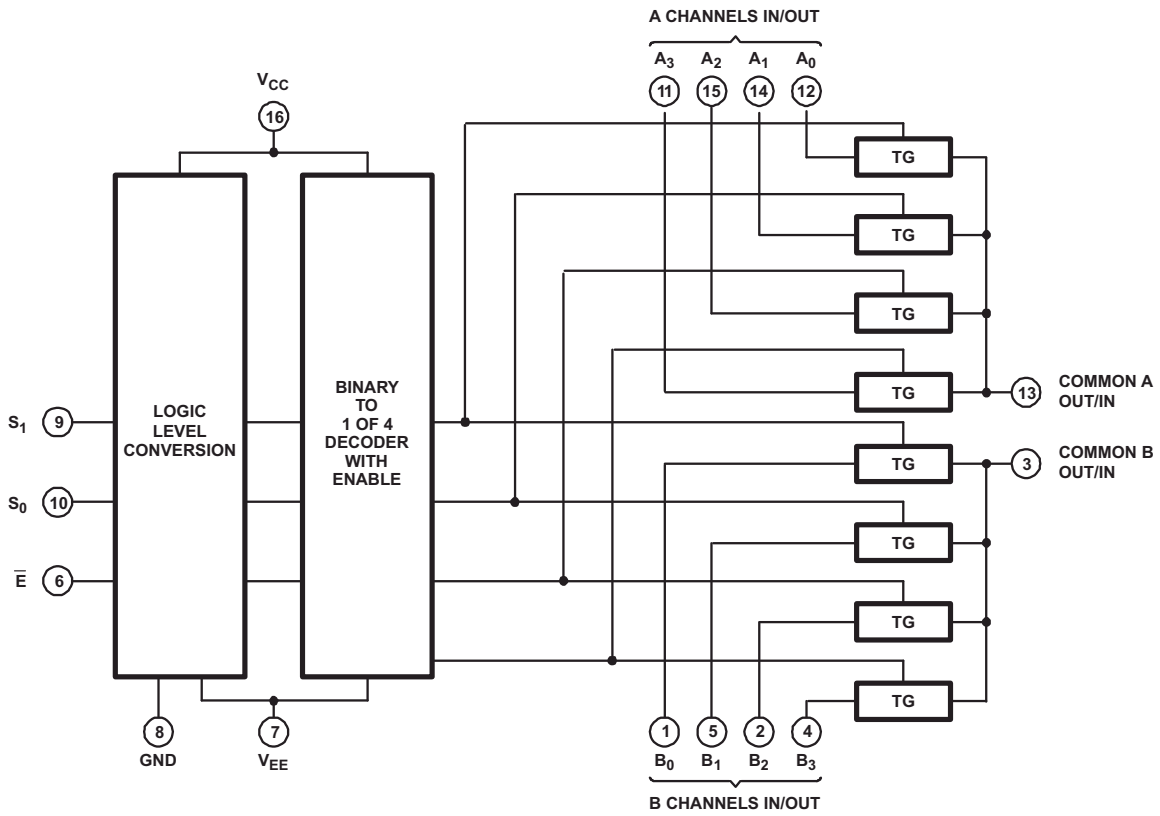
これらのデバイスをデマルチプレクサとして使用する場合、CHANNEL IN/OUT 端子が出力となり、COMMON OUT/IN 端子が入力となります。

7.2 機能ブロック図



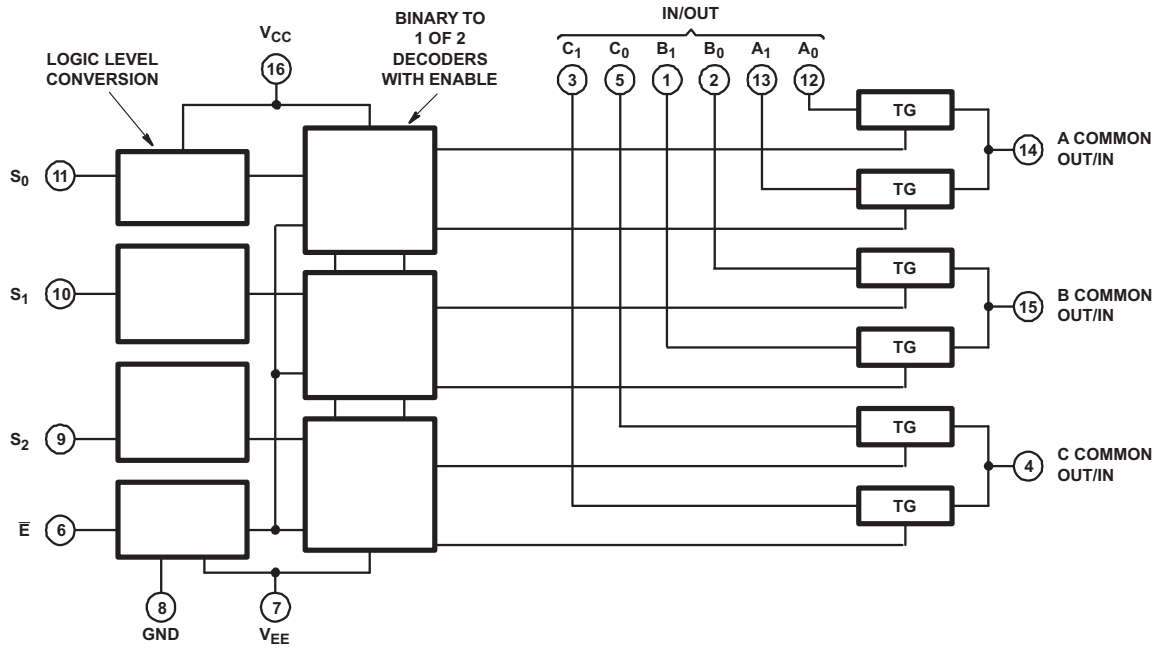
すべての入力は標準の CMOS 保護ネットワークで保護されています。

図 7-1. CDx4HCx4051 の機能ブロック図



すべての入力は標準の CMOS 保護ネットワークで保護されています。

図 7-2. CDx4HCx4052 の機能ブロック図



すべての入力は標準の CMOS 保護ネットワークで保護されています。

図 7-3. CDx4HCx4053 の機能ブロック図

Copyright © 2026 Texas Instruments Incorporated

7.3 機能説明

CDx4HCx405x シリーズのマルチプレクサおよびデマルチプレクサは、–5 ～ +5V の幅広いアナログ信号レベルに対応できます。これらはオン抵抗が低く、標準値は $V_{CC} – V_{EE}$ = 4.5V で 70Ω、$V_C – V_{EE}$ = 4.5V では 40Ω となっており、スイッチを流れる信号損失を最小限に抑えることができます。

チップ上でバイナリ アドレスをデコードすることで、チャネルの選択が簡単になります。チャネルを変更すると、ブレーク ビフォー メイク システムによってチャネルのオーバーラップが排除されます。

7.4 デバイスの機能モード

表 7-1. CD54HC4051、CD74HC4051、CD54HCT4051、CD74HCT4051 の機能表 (1)

入力の状態				オン チャネル
イネーブル	S_2	S_1	S_0	
L	L	L	L	A0
L	L	L	H	A1
L	L	H	L	A2
L	L	H	H	A3
L	H	L	L	A4
L	H	L	H	A5
L	H	H	L	A6
L	H	H	H	A7
H	X	X	X	なし

(1) X = 未使用

表 7-2. CD54HC4052、CD74HC4052、CD54HCT4052、CD74HCT4052 の機能表 (1)

入力の状態			オン チャネル
イネーブル	S_1	S_0	
L	L	L	A0、B0
L	L	H	A1、B1
L	H	L	A2、B2
L	H	H	A3、B3
H	X	X	なし

(1) X = 未使用

表 7-3. CD54HC4053、CD74HC4053、CD54HCT4053、CD74HCT4053 の機能表 (1)

入力の状態				オン チャネル
イネーブル	S_2	S_1	S_0	
L	L	L	L	C0、B0、A0
L	L	L	H	C0、B0、A1
L	L	H	L	C0、B1、A0
L	L	H	H	C0、B1、A1
L	H	L	L	C1、B0、A0
L	H	L	H	C1、B0、A1
L	H	H	L	C1、B1、A0
L	H	H	H	C1、B1、A1
H	X	X	X	なし

(1) X = 未使用

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

CDx4HCx405x シリーズのマルチプレクサとデマルチプレクサは、幅広いアプリケーションで使用できます。

8.2 代表的なアプリケーション

CD74HC4051 デバイスの用途の 1 つは、マイコンと組み合わせて使用してキーパッドをポーリングすることです。図 8-1 に、このようなポーリング システムの基本的な回路図を示します。マイコンは、入力を読み取っている間にチャネル選択ピンを使用してさまざまなチャネルを順に切り替え、ユーザーがいずれかのキーを押しているかどうかを確認します。これは非常に堅牢なセットアップで、わずかな消費電力で同時に複数のキーを押すことができます。また、マイコン上で使用するピンはごく少数で済みます。ポーリングの欠点は、マイコンがキーの押下を頻繁にスキャンしなければならない点です。

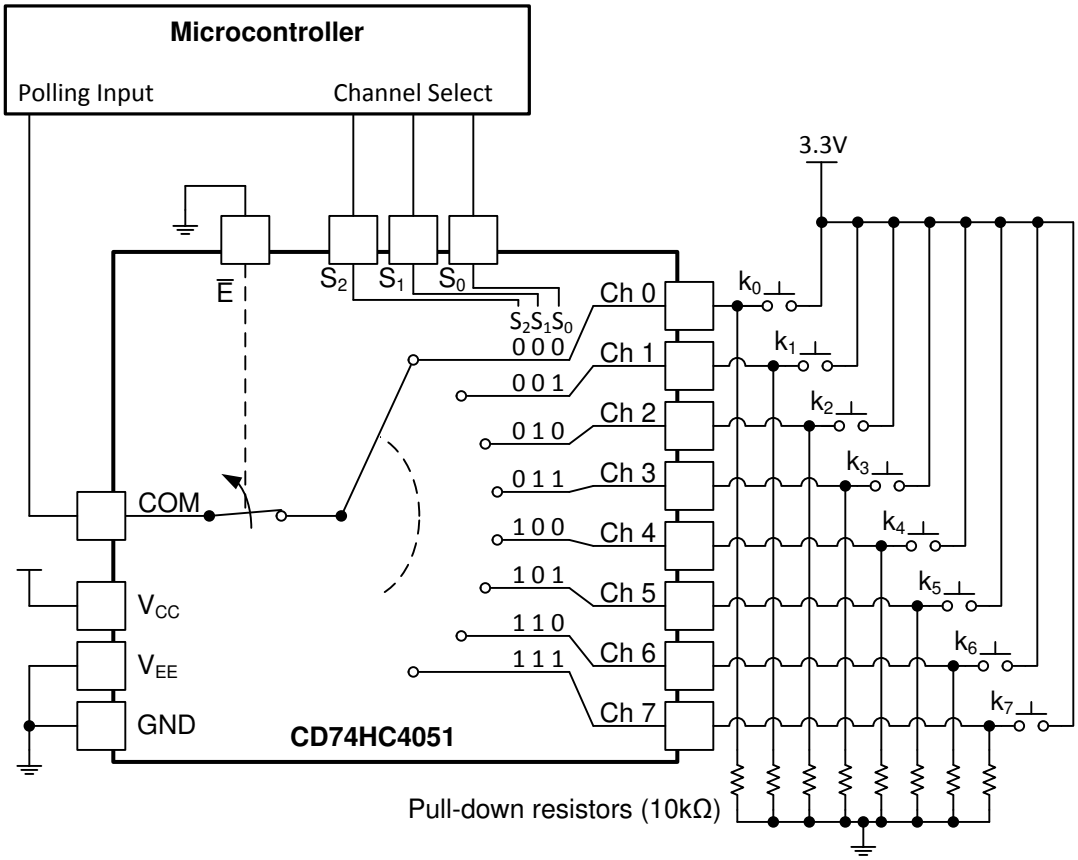


図 8-1. キーパッドのボタン押下の読み取りに使用される CD74HC4051

8.2.1 設計要件

これらの デバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れる可能性があるため、バスが競合しないように注意します。また、大きな駆動能力で軽負荷を駆動することでも高速なエッジが生じるため、配線と負荷の条件を検討してリンギングを防止する必要があります。

Copyright © 2026 Texas Instruments Incorporated

入力負荷の詳細については 表 8-1 を参照してください。

表 8-1. HCT 入力負荷表

タイプ	入力	単位負荷[(1)]
4051、4053	すべて	0.5
4052	すべて	0.4

(1) 単位負荷は、セクション 5 で規定されている ΔI_{CC} 制限値 (たとえば 25°C で最大 360mA) です。

8.2.2 詳細な設計手順

1. 推奨入力条件:
   - スイッチ時間の仕様については、セクション 5.5 の伝搬遅延時間を参照してください。
   - 入力は、V_{DD} より 0.5V 以上高く、または V_{EE} より 0.5V 以上低くプッシュしないでください。
   - 制御入力の入力電圧レベルの仕様については、セクション 5.5 の V_{IH} および V_{IL} を参照してください。
2. 推奨出力条件:
   - 出力は、V_{DD} より高く、または V_{EE} より低くプルしないでください。
3. 入出力電流に関する検討事項:
   - CDx4HCx405x シリーズの部品には電流駆動回路が内蔵されていないため、電流をシンクまたはソースすることはできません。任意の電流はデバイスを通過します。

8.2.3 アプリケーション曲線

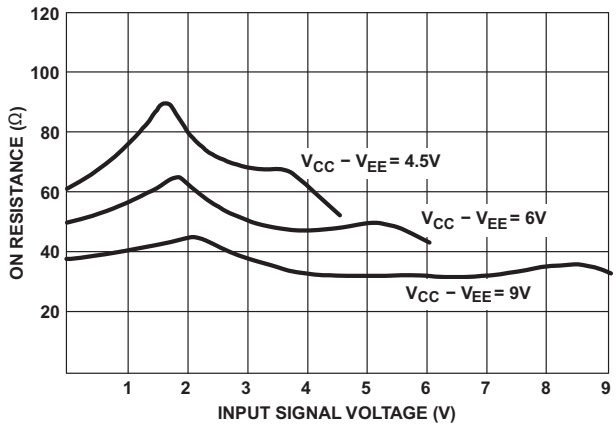


図 8-2. 入力電圧に対するオン抵抗の標準値

8.3 電源に関する推奨事項

電源には、「*セクション 5.5*」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の障害を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。単一電源のデバイスには、0.1μF のバイパス コンデンサを推奨します。複数のピンに V_{CC} というラベルが付いている場合、V_{CC} ピンは内部で互いに接続されるため、各 V_{CC} には 0.01μF または 0.022μF のコンデンサを推奨します。V_{CC} と V_{DD} など、異なる電圧で動作するデュアル電源ピンを備えたデバイスでは、各電源ピンに 0.1μF のバイパス コンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1μF と 1μF のコンデンサを並列に使用します。最良の結果を得るには、バイパス コンデンサを電源端子のできるだけ近くに取り付ける必要があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

反射と整合はループアンテナの理論と密接に関連していますが、十分に異なるため、別途議論する価値があります。PCB パターンが 90° の角度でコーナーを曲がると、反射が発生する可能性があります。これは主に、パターンの幅の変化が原因です。曲がりの頂点では、パターン幅が 1.414 倍に増加します。この変化により、特にパターンの分布静電容量や自己インダクタンスといった伝送ラインの特性が乱れ、反射が発生します。すべての PCB パターンを直線にすることはできないため、コーナーを曲がる必要があります。図 8-3 に、コーナーを丸める斬新で優れた方法を示します。最後の例 (BEST) のみが一定のパターン幅を維持し、反射を最小限に抑えます。

8.4.2 レイアウト例

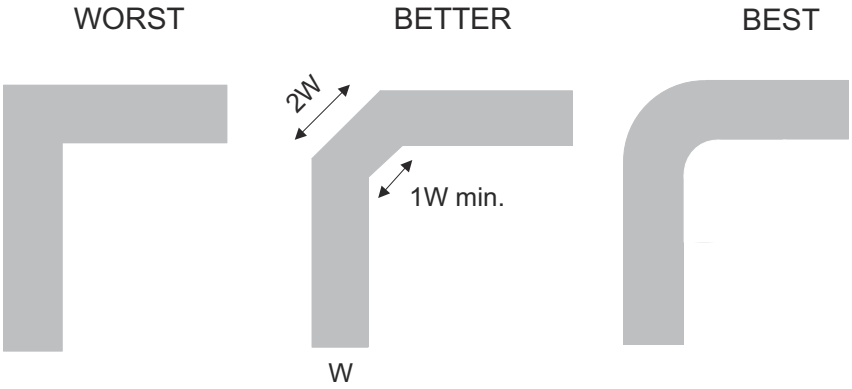


図 8-3. パターン例

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision N (April 2024) to Revision O (January 2026) **Page**

- 「車載アプリケーション認定済み」の特長を削除 1

Changes from Revision M (May 2019) to Revision N (April 2024) **Page**

- 熱評価基準を変更 7
- 25°C、シングル / デュアル電源における HC の ICC を変更 8
- 25°C、シングル / デュアル電源における HCT の ICC を変更 11
- スイッチターンオフ (S または E) の tPHZ / tPLZ の標準値を変更 13
- 4051 / 4052 / 4053 における tPHZ / tPLZ の最大スイッチ ターン オフ遅延を S または E からスイッチ出力に変更 14
- 4051/4053 における tPZL / tPZH の最大スイッチ ターン オン遅延を S または E からスイッチ出力に変更 14

Changes from Revision L (February 2017) to Revision M (May 2019) **Page**

- 「特長」の標準値 7Ω を標準値 70Ω に変更 1

Changes from Revision K (September 2015) to Revision L (February 2017) **Page**

- 変更点：荷電デバイス モデル (CDM) の値を±1000V から±200V 6
- 「ドキュメントの更新通知を受け取る方法」セクションを追加 6

Changes from Revision J (February 2011) to Revision K (September 2015) **Page**

- 「特長」のリストに軍事利用についての免責事項を追加 1
- 「注文情報」表を削除 1
- 「製品情報」表、「ピン端子機能」表、「ESD 定格」表、「熱に関する情報」表、「詳細説明」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-8775401EA	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8775401EA CD54HC4053F3A
5962-8855601EA	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8855601EA CD54HC4052F3A
5962-9065401MEA	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9065401ME A CD54HCT4051F3A
CD54HC4051F	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HC4051F
CD54HC4051F.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HC4051F
CD54HC4051F3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HC4051F3A
CD54HC4051F3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HC4051F3A
CD54HC4052F	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HC4052F
CD54HC4052F.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HC4052F
CD54HC4052F3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8855601EA CD54HC4052F3A
CD54HC4052F3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8855601EA CD54HC4052F3A
CD54HC4053F	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HC4053F
CD54HC4053F.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HC4053F
CD54HC4053F3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8775401EA CD54HC4053F3A
CD54HC4053F3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8775401EA CD54HC4053F3A
CD54HCT4051F3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9065401ME A CD54HCT4051F3A
CD54HCT4051F3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9065401ME A CD54HCT4051F3A
CD74HC4051E	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC4051E
CD74HC4051E.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC4051E
CD74HC4051EE4	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC4051E

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD74HC4051M	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HC4051M
CD74HC4051M96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4051M
CD74HC4051M96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4051M
CD74HC4051M96G3	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HC4051M
CD74HC4051M96G4	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HC4051M
CD74HC4051MT	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HC4051M
CD74HC4051NSR	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4051M
CD74HC4051NSR.A	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4051M
CD74HC4051NSRE4	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4051M
CD74HC4051PWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-55 to 125	HJ4051
CD74HC4051PWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HJ4051
CD74HC4051PWRG4	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	HJ4051
CD74HC4051PWT	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	HJ4051
CD74HC4052E	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC4052E
CD74HC4052E.A	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC4052E
CD74HC4052M	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HC4052M
CD74HC4052M96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4052M
CD74HC4052M96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4052M
CD74HC4052M96G4	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HC4052M
CD74HC4052MT	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HC4052M
CD74HC4052NSR	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4052M
CD74HC4052NSR.A	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4052M
CD74HC4052PW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	HJ4052
CD74HC4052PWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-55 to 125	HJ4052
CD74HC4052PWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HJ4052
CD74HC4052PWRG4	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	HJ4052
CD74HC4053E	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC4053E
CD74HC4053E.A	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC4053E
CD74HC4053M	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HC4053M
CD74HC4053M96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-55 to 125	HC4053M
CD74HC4053M96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4053M

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD74HC4053M96G3	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HC4053M
CD74HC4053M96G4	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HC4053M
CD74HC4053MT	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HC4053M
CD74HC4053NSR	NRND	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4053M
CD74HC4053NSR.A	NRND	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4053M
CD74HC4053PWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HJ4053
CD74HC4053PWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HJ4053
CD74HC4053PWRG4	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	HJ4053
CD74HC4053PWT	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	HJ4053
CD74HCT4051E	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT4051E
CD74HCT4051E.A	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT4051E
CD74HCT4051M	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HCT4051M
CD74HCT4051M96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4051M
CD74HCT4051M96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4051M
CD74HCT4051M96E4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4051M
CD74HCT4051M96G4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4051M
CD74HCT4051MT	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HCT4051M
CD74HCT4052E	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT4052E
CD74HCT4052E.A	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT4052E
CD74HCT4052EE4	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT4052E
CD74HCT4052M	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HCT4052M
CD74HCT4052M96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4052M
CD74HCT4052M96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4052M
CD74HCT4052M96G4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4052M
CD74HCT4052MT	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HCT4052M
CD74HCT4053E	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT4053E
CD74HCT4053E.A	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT4053E
CD74HCT4053M	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HCT4053M
CD74HCT4053M96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4053M
CD74HCT4053M96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4053M
CD74HCT4053M96E4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4053M

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD74HCT4053M96G4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4053M
CD74HCT4053MT	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HCT4053M
CD74HCT4053PWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HK4053
CD74HCT4053PWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HK4053
CD74HCT4053PWRG4	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	HK4053
CD74HCT4053PWT	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	HK4053

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54HC4051, CD54HC4052, CD54HC4053, CD54HCT4051, CD74HC4051, CD74HC4052, CD74HC4053, CD74HCT4051 :

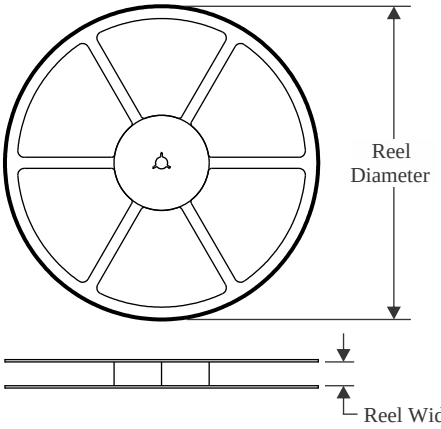
- Catalog : CD74HC4051, CD74HC4052, CD74HC4053, CD74HCT4051
- Automotive : CD74HC4051-Q1, CD74HCT4051-Q1, CD74HC4051-Q1, CD74HCT4051-Q1
- Enhanced Product : CD74HC4051-EP, CD74HC4051-EP
- Military : CD54HC4051, CD54HC4052, CD54HC4053, CD54HCT4051

NOTE: Qualified Version Definitions:

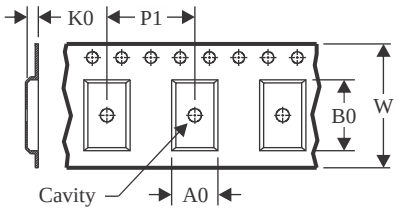
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

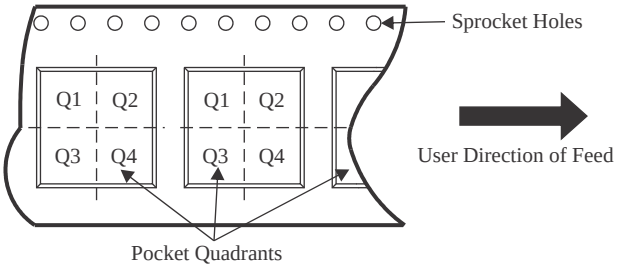


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

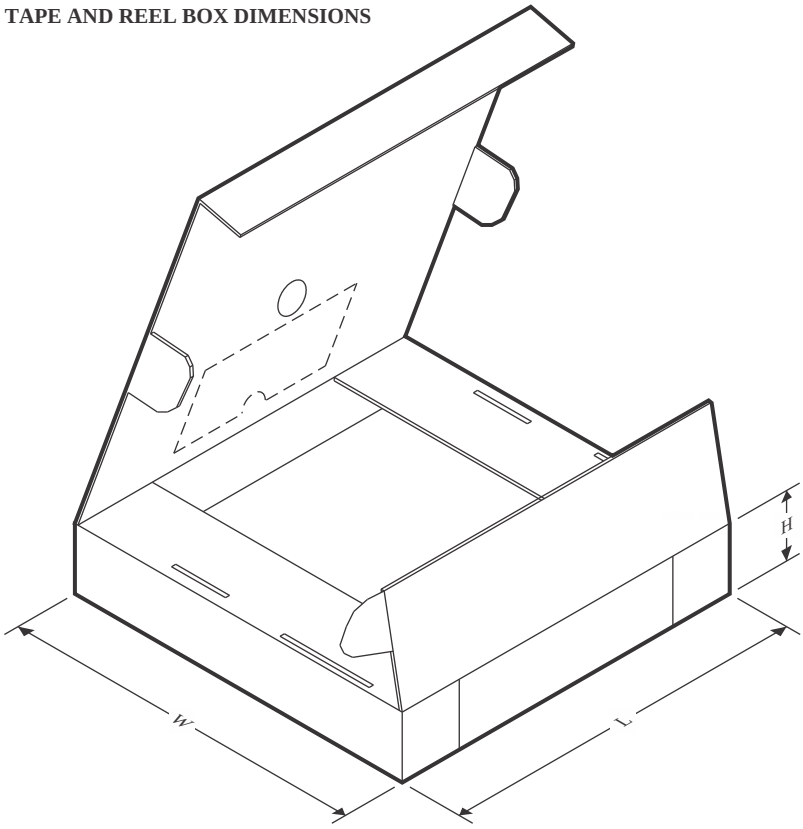


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74HC4051M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HC4051M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HC4051NSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
CD74HC4051PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD74HC4051PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
CD74HC4051PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD74HC4052M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HC4052M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HC4052NSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
CD74HC4052PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD74HC4052PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD74HC4052PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
CD74HC4053M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HC4053M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HC4053NSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
CD74HC4053PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74HCT4051M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HCT4051M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HCT4052M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HCT4052M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HCT4053M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HCT4053M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HCT4053PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

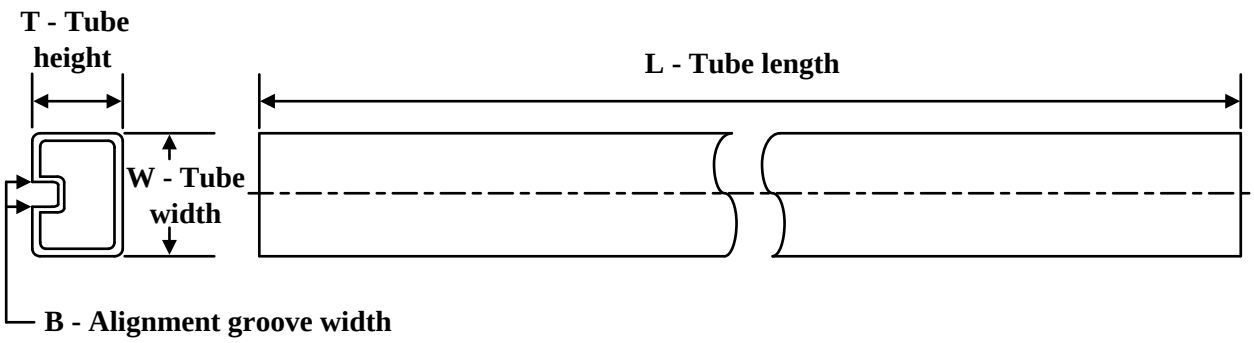


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74HC4051M96	SOIC	D	16	2500	340.5	336.1	32.0
CD74HC4051M96	SOIC	D	16	2500	353.0	353.0	32.0
CD74HC4051NSR	SOP	NS	16	2000	353.0	353.0	32.0
CD74HC4051PWR	TSSOP	PW	16	2000	353.0	353.0	32.0
CD74HC4051PWR	TSSOP	PW	16	2000	367.0	367.0	35.0
CD74HC4051PWR	TSSOP	PW	16	2000	356.0	356.0	35.0
CD74HC4052M96	SOIC	D	16	2500	353.0	353.0	32.0
CD74HC4052M96	SOIC	D	16	2500	340.5	336.1	32.0
CD74HC4052NSR	SOP	NS	16	2000	353.0	353.0	32.0
CD74HC4052PWR	TSSOP	PW	16	2000	353.0	353.0	32.0
CD74HC4052PWR	TSSOP	PW	16	2000	356.0	356.0	35.0
CD74HC4052PWR	TSSOP	PW	16	2000	367.0	367.0	35.0
CD74HC4053M96	SOIC	D	16	2500	340.5	336.1	32.0
CD74HC4053M96	SOIC	D	16	2500	353.0	353.0	32.0
CD74HC4053NSR	SOP	NS	16	2000	353.0	353.0	32.0
CD74HC4053PWR	TSSOP	PW	16	2000	353.0	353.0	32.0
CD74HCT4051M96	SOIC	D	16	2500	340.5	336.1	32.0
CD74HCT4051M96	SOIC	D	16	2500	353.0	353.0	32.0

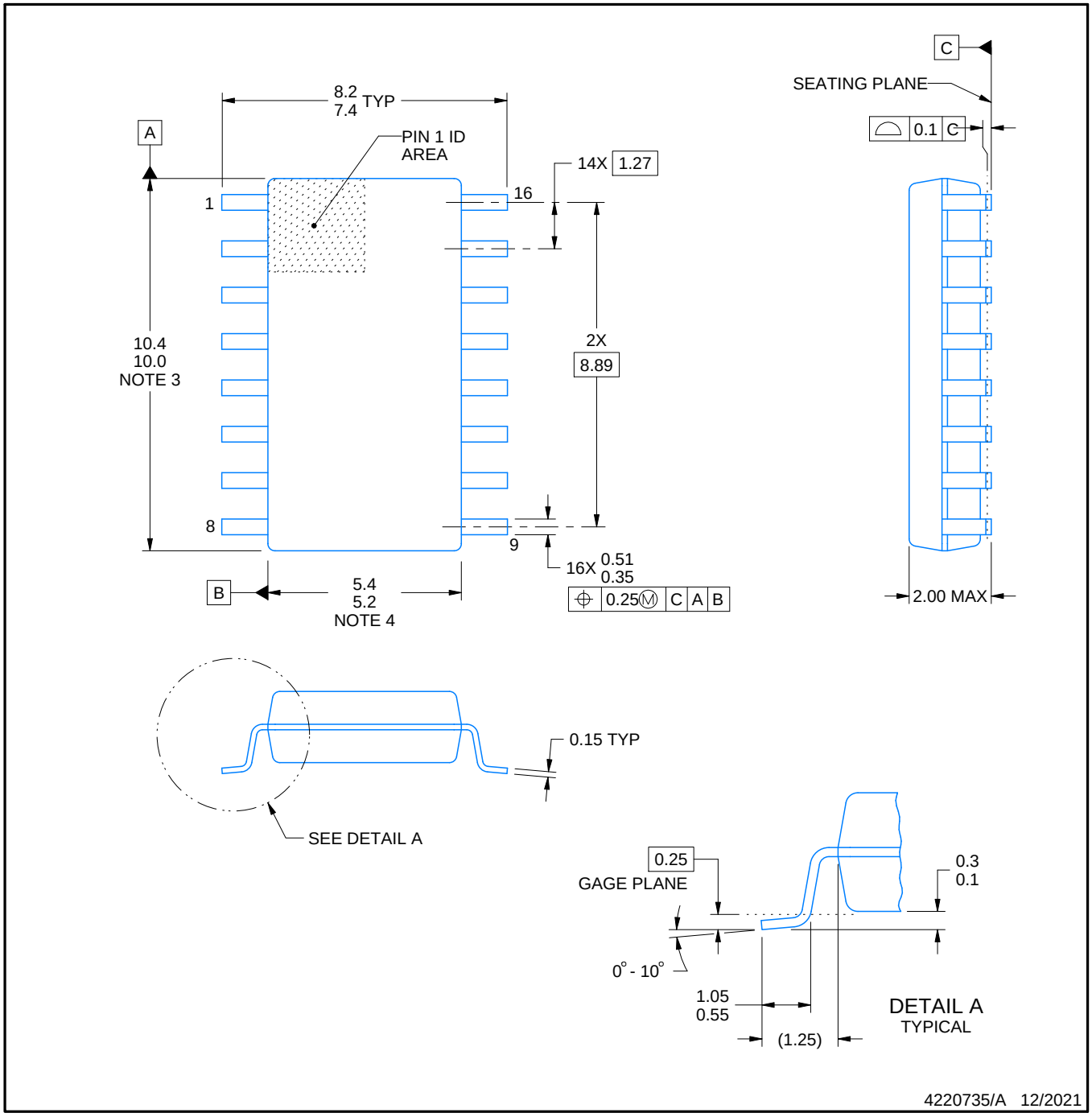
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74HCT4052M96	SOIC	D	16	2500	340.5	336.1	32.0
CD74HCT4052M96	SOIC	D	16	2500	353.0	353.0	32.0
CD74HCT4053M96	SOIC	D	16	2500	353.0	353.0	32.0
CD74HCT4053M96	SOIC	D	16	2500	340.5	336.1	32.0
CD74HCT4053PWR	TSSOP	PW	16	2000	353.0	353.0	32.0

TUBE



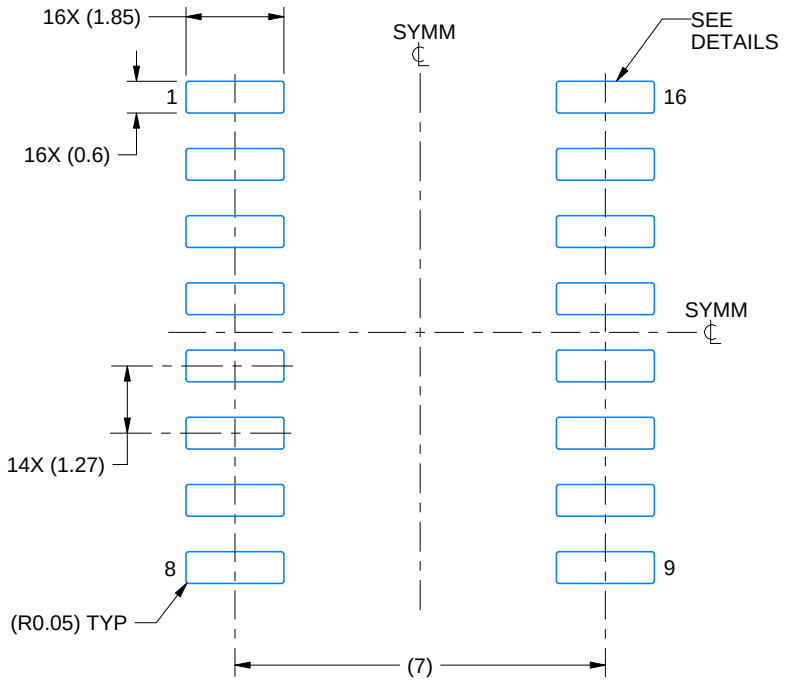
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
CD74HC4051E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4051E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4051EE4	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4052E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4052E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4052E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4052E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4053E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4053E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4053E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4053E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4051E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4051E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4051E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4051E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4052E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4052E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4052E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4052E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4052EE4	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4052EE4	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4053E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4053E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4053E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4053E.A	N	PDIP	16	25	506	13.97	11230	4.32

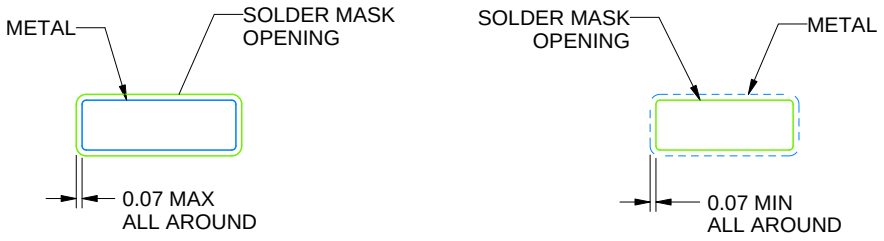


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
SCALE:7X



NON SOLDER MASK DEFINED

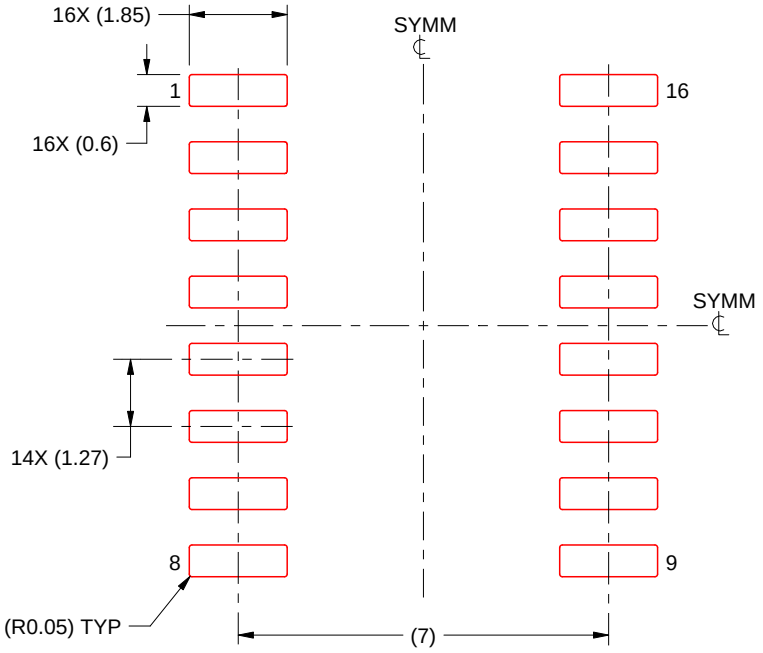
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



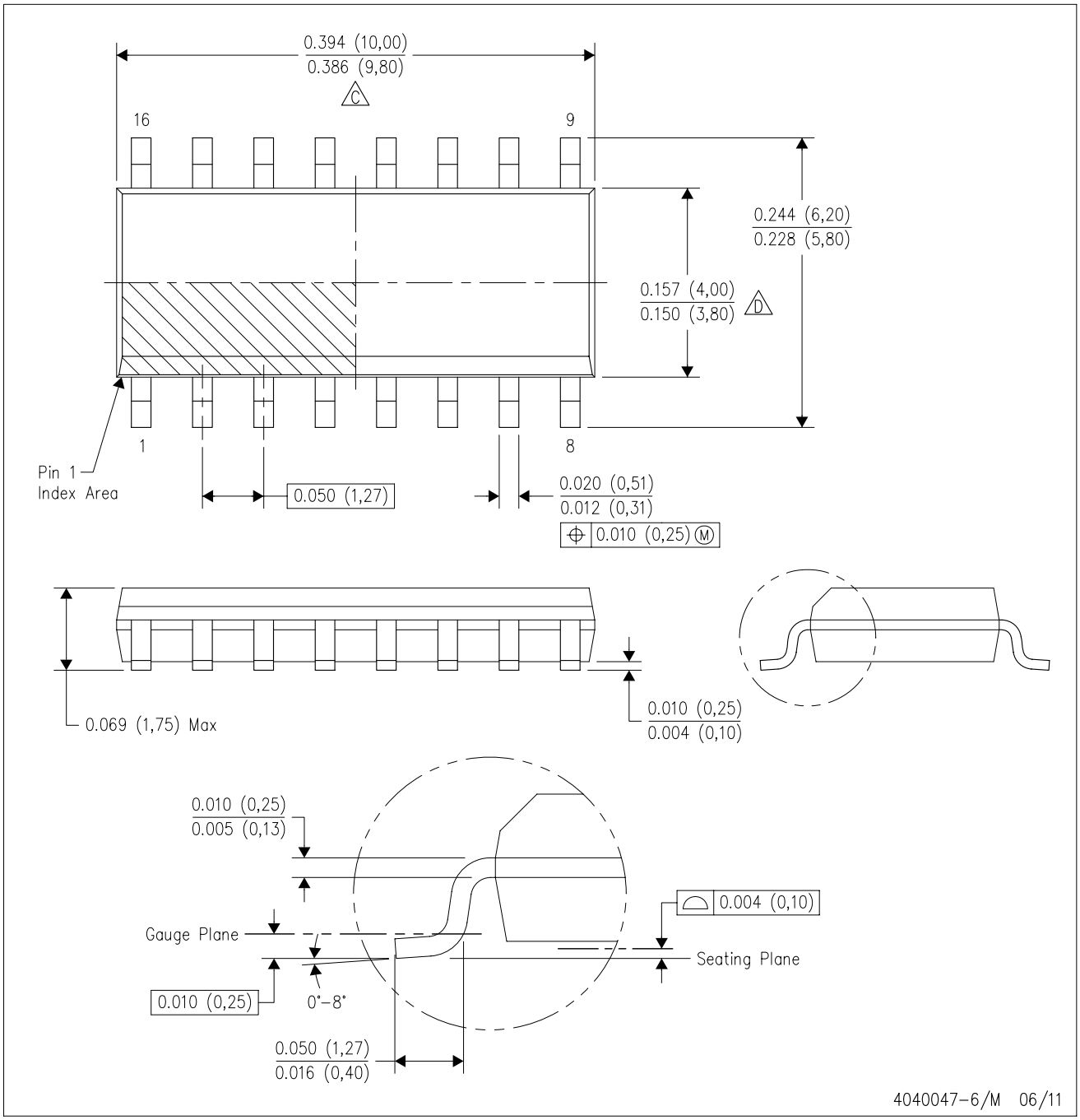
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220735/A 12/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

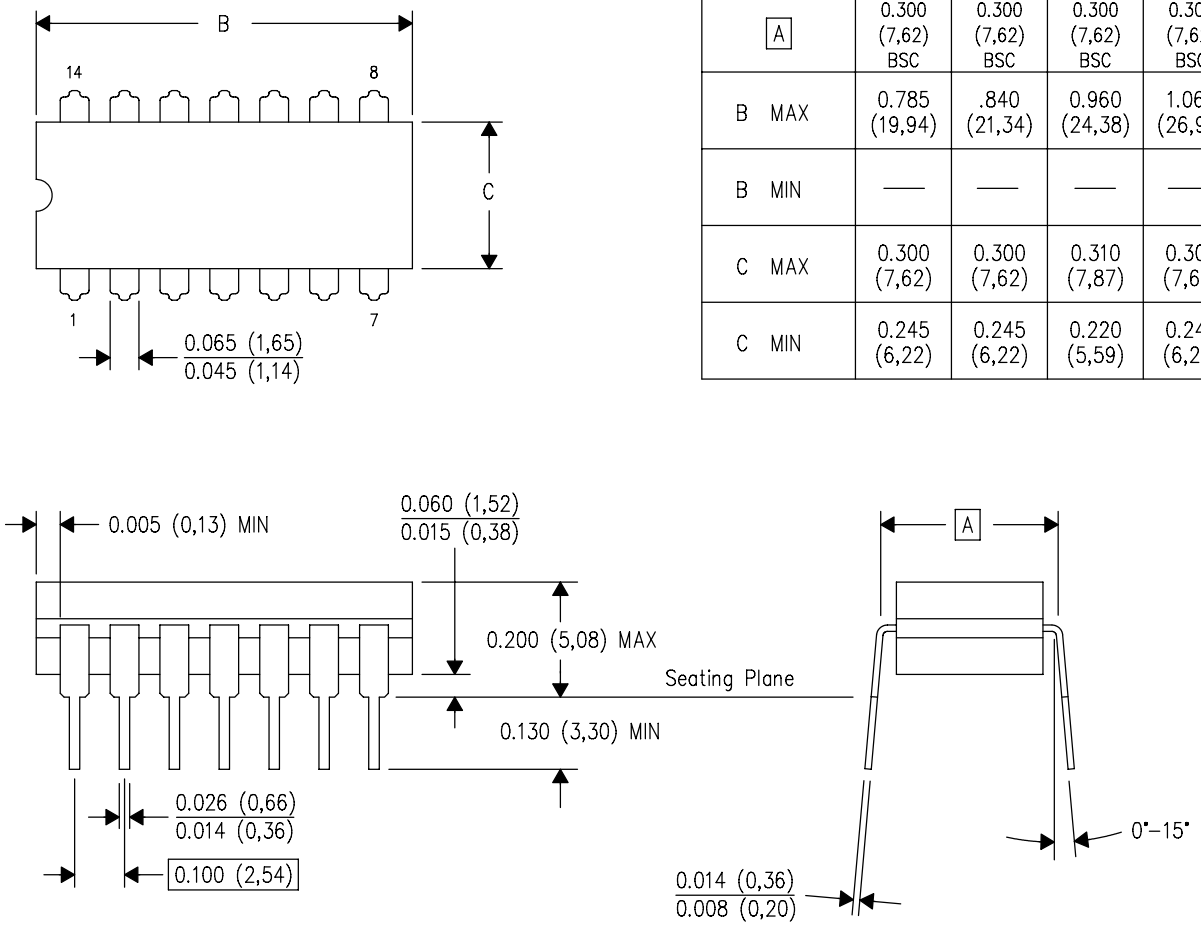
D (R–PDSO–G16) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

J (R–GDIP–T**) CERAMIC DUAL IN–LINE PACKAGE

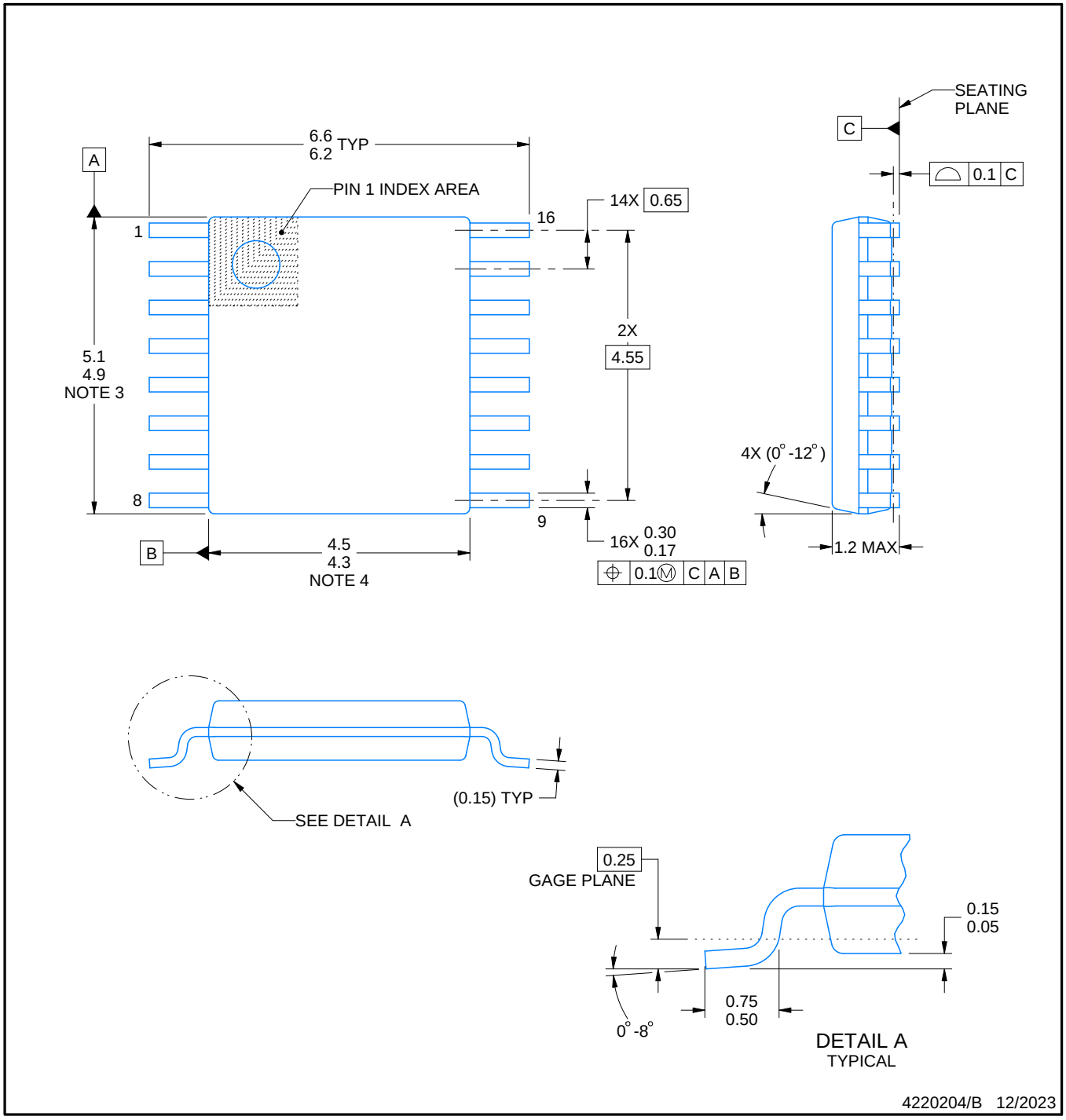
14 LEADS SHOWN



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)

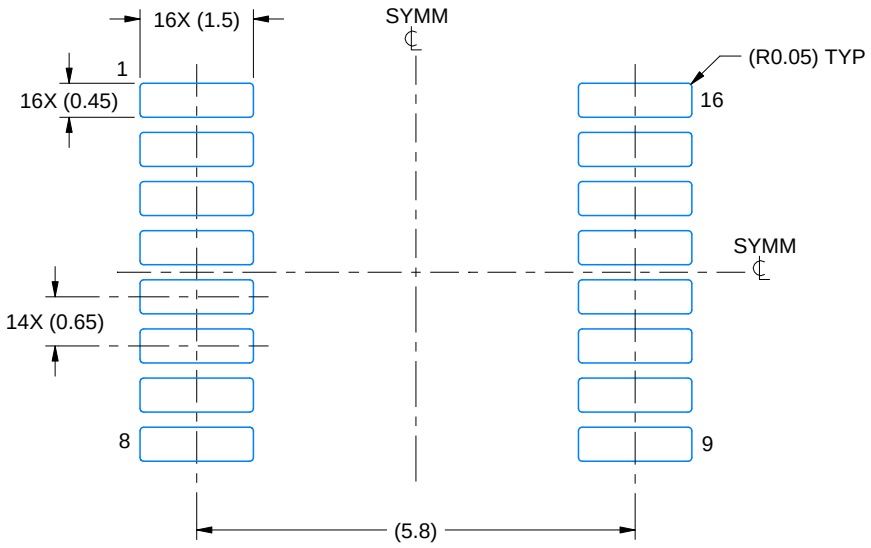
4040083/F 03/03

NOTES:
- A. All linear dimensions are in inches (millimeters).
- B. This drawing is subject to change without notice.
- C. This package is hermetically sealed with a ceramic lid using glass frit.
- D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
- E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

NON-SOLDER MASK DEFINED (PREFERRED)

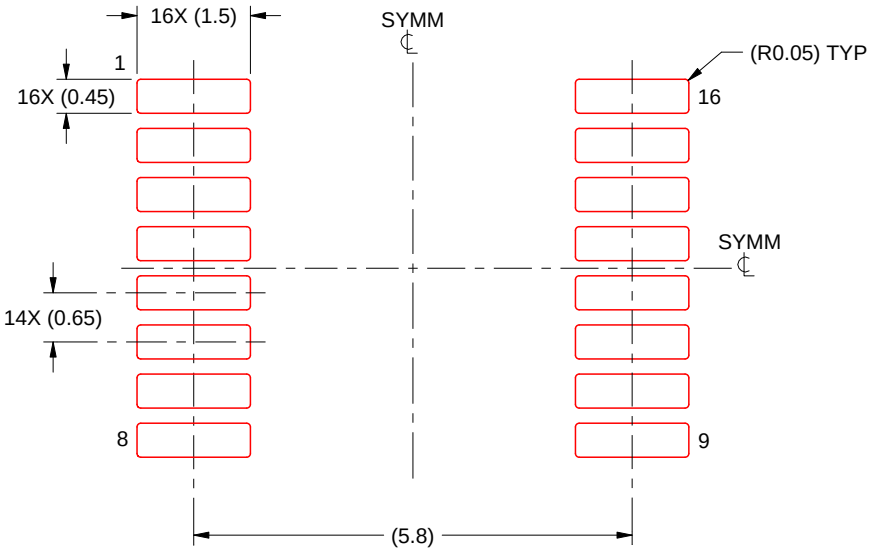
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

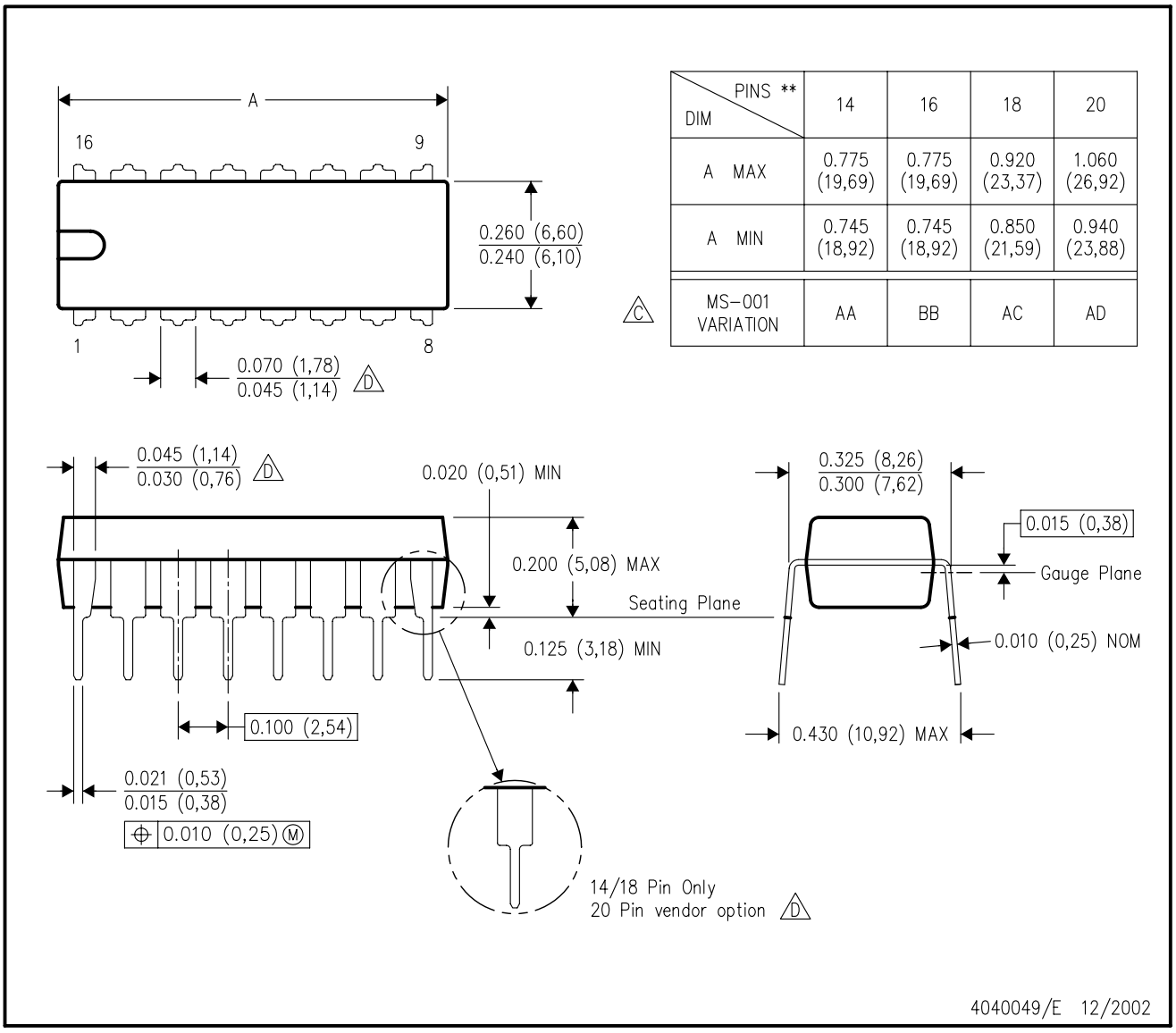
4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

N (R–PDIP–T**) PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月