

CD74HC4094-Q1、車載用高速 CMOS ロジック 8 段シフトおよびストア バス レジスタ、スリー ステート

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - デバイス温度グレード 1: -40°C ~ +125°C
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C4B
- バッファ付き入力
- カスケード接続のため、正と負のクロック エッジに同期する個別のシリアル出力
- 平衡のとれた伝搬遅延と遷移時間
- LSTTL ロジック IC に比べて消費電力を大幅削減

2 アプリケーション

- マイクロコントローラの出力数増加
- 最大 8 ビットのデータを一時的に保存

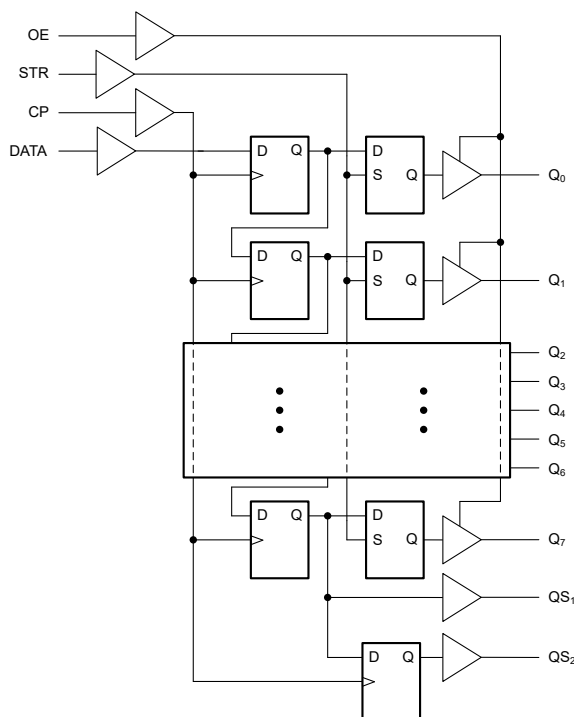
3 説明

CD74HC4094-Q1 は、8 段のシリアル シフト レジスタを搭載し、シリアル入力からパラレル バッファ付きトライステート出力へデータをストローブするためのストレージ ラッチを各段に備えています。パラレル出力は、共通のバスラインに直接接続できます。正のクロック遷移時にデータがシフトされます。ストローブ入力が高レベルのとき、各シフトレジスタ ステージのデータがストレージ レジスタへ転送されます。ストレージ レジスタのデータは、出力イネーブル信号が高レベルのとき出力に現れます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
CD74HC4094-Q1	PW (TSSOP, 16)	5.00mm × 4.40mm

- (1) 詳細については、「[メカニカル、パッケージ、および注文情報](#)」を参照してください。
- (2) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



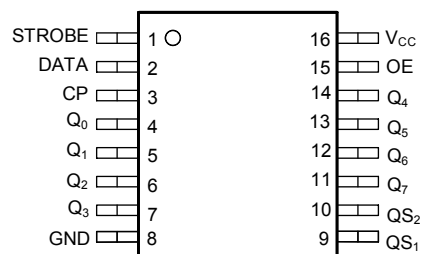
機能ブロック図



目次

1 特長.....	1	7.3 機能ブロック図.....	12
2 アプリケーション.....	1	7.4 デバイスの機能モード.....	12
3 説明.....	1	8 アプリケーションと実装.....	14
4 ピン構成および機能.....	3	8.1 アプリケーション情報.....	14
5 仕様.....	4	8.2 代表的なアプリケーション.....	14
5.1 絶対最大定格.....	4	8.3 電源に関する推奨事項.....	15
5.2 ESD 定格.....	4	8.4 レイアウト.....	15
5.3 推奨動作条件.....	4	9 デバイスおよびドキュメントのサポート.....	18
5.4 熱に関する情報.....	5	9.1 ドキュメントのサポート.....	18
5.5 電気的特性.....	5	9.2 ドキュメントの更新通知を受け取る方法.....	18
5.6 タイミング特性.....	5	9.3 サポート・リソース.....	18
5.7 スイッチング特性.....	6	9.4 商標.....	18
6 パラメータ測定情報.....	8	9.5 静電気放電に関する注意事項.....	18
7 詳細説明.....	10	9.6 用語集.....	18
7.1 概要.....	10	10 改訂履歴.....	18
7.2 機能説明.....	10	11 メカニカル、パッケージ、および注文情報.....	18

4 ピン構成および機能



**PW パッケージ、
16 ピン TSSOP
上面図**

ピン		タイプ ⁽¹⁾	説明
名称	番号		
ストロブ	1	I	ストロブ入力
データ	2	I	シリアル データ入力
CP	3	I	クロック入力
Q ₀	4	O	出力 0
Q ₁	5	O	出力 1
Q ₂	6	O	出力 2
Q ₃	7	O	出力 3
GND	8	G	グラウンド
QS ₁	9	O	シリアル データ出力 1、立ち上がりエッジ同期
QS ₂	10	O	シリアル データ出力 2、立ち下がりエッジ同期
Q ₇	11	O	出力 7
Q ₆	12	O	出力 6
Q ₅	13	O	出力 5
Q ₄	14	O	出力 4
OE	15	I	出力イネーブル、アクティブ high
V _{CC}	16	P	正の電源

(1) I = 入力、O = 出力、P = 電源、G = グラウンド

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	7	V
I_{IK}	入力クランプ ダイオード電流 ⁽²⁾	$V_I < -0.5$ または $V_I > V_{CC} + 0.5V$	± 20		mA
I_{OK}	出力クランプ ダイオード電流 ⁽²⁾	$V_O < -0.5$ または $V_O > V_{CC} + 0.5V$	± 20		mA
I_O	連続出力電流	$V_O = 0 \sim V_{CC}$	± 35		mA
I_{CC}	V_{CC} または GND を通過する連続出力電流		± 70		mA
T_J	接合部温度			150	°C
T_{stg}	保存温度		-65	150	°C
	最大リード温度 (10 秒間の半田付け) (SOIC - リードの先端部のみ)			300	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用方法、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 入力と出力の電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 HBM ESD 分類レベル 2 準拠 ⁽¹⁾	± 2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	± 1000	

- (1) AEC Q100-002 には、HBM ストレス試験は ANSI/ESDA/JEDEC JS-001 仕様に従って実施することと規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{CC}	電源電圧		2		6	V
V_{IH}	High レベル入力電圧	$V_{CC} = 2V$	1.5			V
		$V_{CC} = 4.5V$	3.15			
		$V_{CC} = 6V$	4.2			
V_{IL}	Low レベル入力電圧	$V_{CC} = 2V$			0.5	V
		$V_{CC} = 4.5V$			1.35	
		$V_{CC} = 6V$			1.8	
V_I	入力電圧		0		V_{CC}	V
V_O	出力電圧		0		V_{CC}	V
$\Delta t/\Delta v$	入力遷移の立ち上がりおよび立ち下がりレート	$V_{CC} = 2V$			500	ns/V
		$V_{CC} = 4.5V$			111	
		$V_{CC} = 6V$			67	
T_A	周辺温度		-40		125	°C

5.4 熱に関する情報

パッケージ	ピン	熱評価基準 ⁽¹⁾						単位
		R _{θJA}	R _{θJC(top)}	R _{θJB}	Ψ _{JT}	Ψ _{JB}	R _{θJC(bot)}	
PW (TSSOP)	16	141.2	78.8	85.8	27.7	85.5	—	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電気的特性

自由空気での動作温度範囲内、TA = 25°C で測定した代表的な定格 (特に記述のない限り)。

パラメータ		テスト条件		V _{CC}	最小値	標準値	最大値	単位
V _{OH}	High レベル出力電圧	V _I = V _{IH} または V _{IL}	I _{OH} = -20μA	2V	1.9	1.99		V
				4.5V	4.4	4.49		V
				6V	5.9	5.99		V
		V _I = V _{IH} または V _{IL}	I _{OH} = -6mA, V _{CC} = 4.5V	4.5V	3.84			V
			I _{OH} = -7.8mA, V _{CC} = 6V	6V	5.34			V
V _{OL}	Low レベル出力電圧	V _I = V _{IH} または V _{IL}	I _{OL} = 20μA	2V		0.02	0.1	V
				4.5V		0.01	0.1	V
				6V		0.01	0.1	V
		V _I = V _{IH} または V _{IL}	I _{OL} = 6mA	4.5V			0.33	V
			I _{OL} = 7.8mA	6V			0.33	V
I _I	入力リーク電流	V _I = V _{CC} または 0		6V			±0.1	μA
I _{oz}	オフ状態 (ハイインピーダンス状態) の出力電流	V _O = V _{CC} または 0、Q _A -Q _H		6V			±1	μA
I _{CC}	電源電流	V _I = V _{CC} または 0、I _O = 0		6V			5	μA
C _i	入力容量			2V ~ 6V		2		pF
C _O	出力容量			2V ~ 6V		2		pF
C _{pd}	電力散逸容量	無負荷		2V ~ 6V		69		pF

5.6 タイミング特性

自由気流での動作温度範囲内 (特に記述のない限り)、C_L = 50pF

パラメータ			V _{CC}	最小値	最大値	単位
t _w	パルス幅	CP	2V	14		ns
			4.5V	10		
			6V	6		
		STR	2V	14		
			4.5V	10		
			6V	6		
t _{su}	セットアップ時間	CLK ↑ の前の DATA	2V	14		ns
			4.5V	10		
			6V	6		
		CLK ↑ の前の STROBE	2V	14		
			4.5V	10		
			6V	6		

5.6 タイミング特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)、 $C_L = 50\text{pF}$

パラメータ			V_{CC}	最小値	最大値	単位
t_h	ホールド時間	CLK ↑ 後の DATA	2V	0	ns	
			4.5V	0		
			6V	0		
		CLK ↑ 後の STROBE	2V	0		
			4.5V	0		
			6V	0		

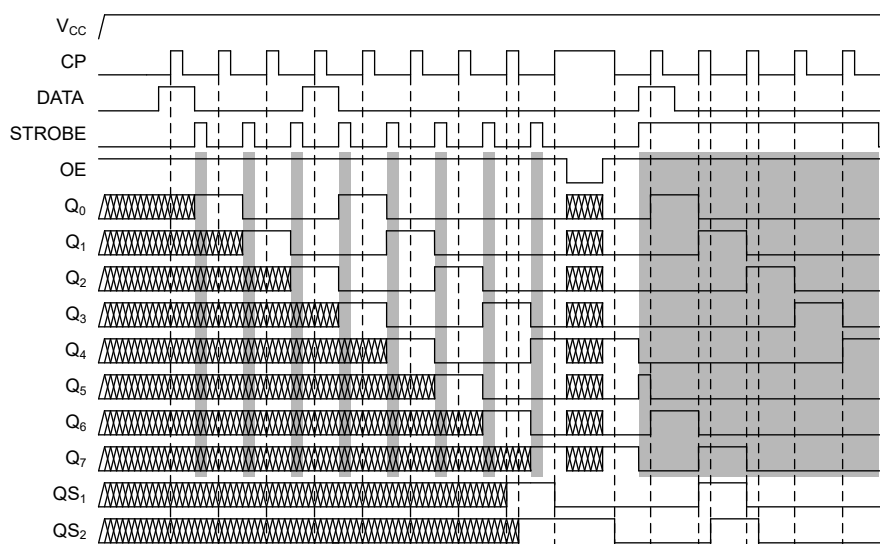


図 5-1. タイミング図

5.7 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)、 $C_L = 50\text{pF}$

パラメータ		始点 (入力)	終点 (出力)	V_{CC}	温度	最小値	標準値	最大値	単位
f_{max}	最大スイッチング周波数	CP		2V		35	41		MHz
				4.5V		50	69		
				6V		81	83		
t_{pd}	伝搬遅延	CP	QS ₁	2V				34	ns
				4.5V				19	
				6V				15	
			QS ₂	2V				39	
				4.5V				25	
				6V				16	
			Q _N	2V				59	
				4.5V				28	
				6V				22	
		ストロブ	Q _N	2V				38	
				4.5V				17	
				6V				14	

5.7 スイッチング特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)、 $C_L = 50\text{pF}$

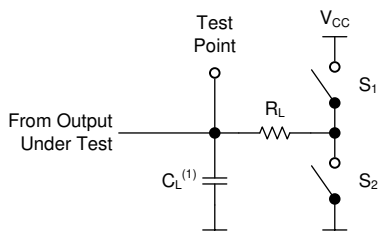
パラメータ		始点 (入力)	終点 (出力)	V_{CC}	温度	最小値	標準値	最大値	単位
t_{en}	イネーブル時間	OE	Q_N	2V				39	ns
				4.5V				20	
				6V				16	
t_{dis}	ディセーブル時間	OE	Q_N	2V				29	ns
				4.5V				21	
				6V				14	
t_t	遷移時間		任意の出力	2V				75	ns
				4.5V				15	
				6V				13	

6 パラメータ測定情報

波形間の位相関係は、任意に選択されています。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 1MHz、 $Z_O = 50\Omega$ 、 $t_f < 2.5\text{ns}$ 。

クロック入力の f_{max} は、入力デューティサイクルが 50% のときの測定値です。

出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。



(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1.3 ステート出力の負荷回路

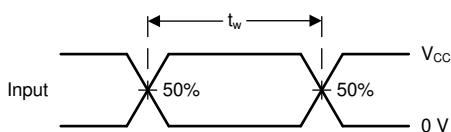
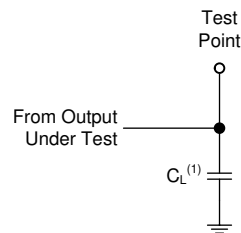


図 6-3. 電圧波形、パルス幅



(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-2. プッシュプル出力のための負荷回路

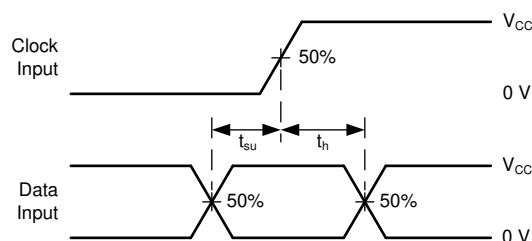
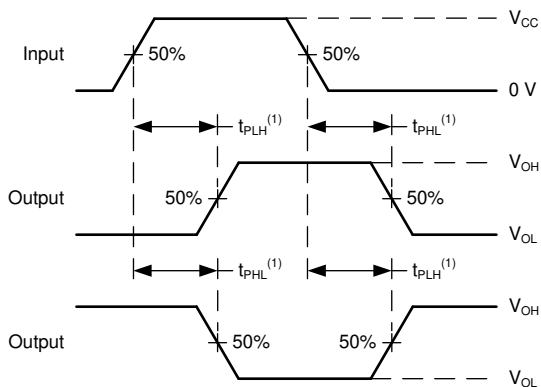


図 6-4. 電圧波形、セットアップ時間およびホールド時間



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 6-5. 電圧波形、伝搬遅延

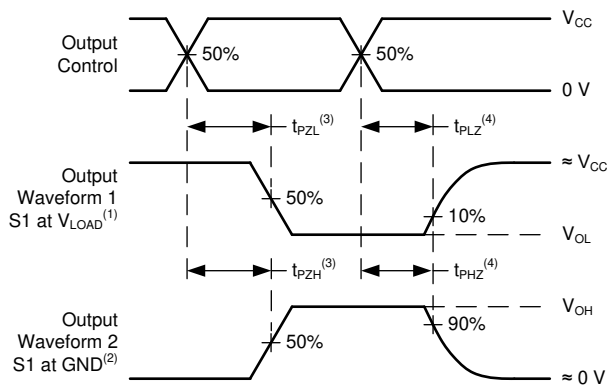
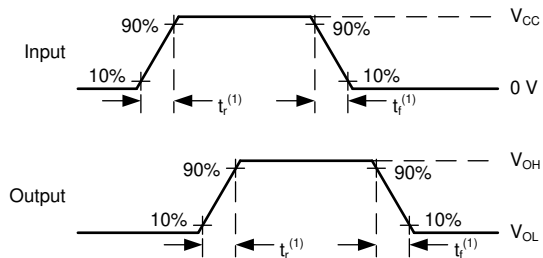


図 6-6. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 6-7. 電圧波形、入力および出力の遷移時間

7 詳細説明

7.1 概要

CD74HC4094-Q1 は、8 段のシリアル シフト レジスタを搭載し、シリアル入力からパラレル バッファ付きトライステート出力へデータをストローブするためのストレージ ラッチを各段に備えています。パラレル出力は、共通のバス ラインに直接接続できます。正のクロック遷移時にデータがシフトされます。ストローブ入力が高レベルのとき、各シフト レジスタ ステージのデータがストレージ レジスタへ転送されます。ストレージ レジスタのデータは、出力イネーブル信号が高レベルのとき、常に出力に現れます。

複数のデバイスをカスケード接続する際に、2 つのシリアル出力を使用できます。データは、正のクロック エッジの QS_1 シリアル出力端子から出力されるため、クロックの立ち上がり時間が短いカスケード接続のシステムで高速動作が可能になります。次の負のクロック エッジで QS_2 端子から出力される同じシリアル情報により、クロックの立ち上がり時間が長い場合でも、これらのデバイスをカスケード接続することができます。

7.2 機能説明

7.2.1 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限します。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにしておく必要があります。

7.2.2 平衡化された CMOS 3 ステート出力

このデバイスには、平衡化された CMOS 3-state 出力 (High 駆動、Low 駆動、ハイ インピーダンス) が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮してください。さらに、このデバイスの出力は、デバイスを損傷することなく維持できるレベルよりも大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限します。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

ハイ インピーダンス状態に移行したとき、出力は電流のソースとシンクのどちらも行いません。ただし、「電気的特性」表に定義されている小さなリーク電流は例外です。ハイ インピーダンス状態では、デバイスは出力電圧を制御しません。出力電流は、外部要因に依存します。フローティング ノードは、他のドライバが接続されていないノードであり、電圧は不明です。出力にプルアップ抵抗またはプルダウン抵抗を接続することで、デバイスがハイ インピーダンス状態の出力に既知の電圧を供給できます。抵抗の値は、寄生容量や消費電力の制限など複数の要因に依存します。通常、10k Ω 抵抗を使用すると、これらの要件を満たすことができます。

未使用の 3-state CMOS 出力は未接続のままにします。

7.2.3 ラッチ ロジック

このデバイスには、ラッチ論理回路が内蔵されています。ラッチ回路には一般に D タイプ ラッチと D タイプ フリップ フロップが含まれていますが、揮発性メモリとして機能するすべての論理回路が含まれています。

デバイスの電源がオンのとき、各ラッチの状態は不明です。スタートアップ時の各ラッチには、デフォルト状態はありません。

各ラッチ論理回路の出力状態は、推奨動作条件の表に規定された電源電圧範囲内でデバイスに電力が供給されている限り、安定した状態を保ちます。

7.2.4 標準 CMOS 入力

このデバイスには、標準 CMOS 入力 that 搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は電気的特性に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示さ

れている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 ($R = V \div I$) を使用して計算されます。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさなければ、消費電力が過剰になり、発振を引き起こす可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は V_{CC} または GND に終端させます。システムが常に入力を駆動していない場合は、有効な入力電圧を与えるために、プルアップ抵抗またはプルダウン抵抗を追加することを検討してください。抵抗値は複数の要因によって異なりますが、推奨される値である 10k Ω を使用すれば、通常はすべての要件を満たすことができます。

7.2.5 クランプダイオード構造

図 7-1 に示すように、このデバイスの入力と出力には正と負の両方のクランプダイオードがあります。

注意

絶対最大定格表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

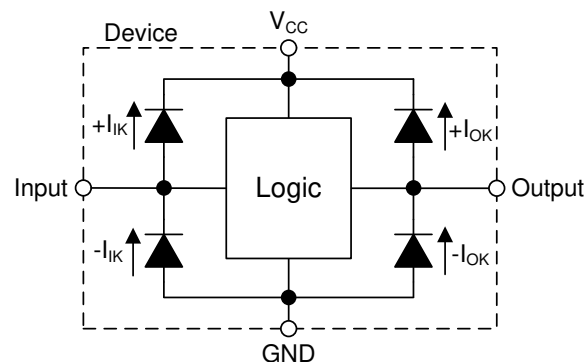


図 7-1. 各入力と出力に対するクランプダイオードの電気的配置

7.2.6 正のクランプダイオード

CD74HC4094-Q1 の入力は、正のクランプダイオードを備えています。正のクランプダイオードは、入力電圧がデバイスに危険なレベルに達することを防止し、入力クランプ電流 (I_{IK}) が「絶対最大定格」に規定されている最大制限を超えない限り、入力電圧 (V_A) を約 $V_{CC} + 0.5V$ に保持します。

ダイオードが順方向バイアスされるため、入力電圧 (V_A) が電源電圧 (V_S) を上回ると、大きな電流が入力に流れる可能性があります。デバイスの損傷を防ぐため、この電流は外部で制限する必要があります。また、入力クランプ電流 I_{IK} は、 I_{CC} より数桁大きくなる可能性があり、電流が電源に戻る（通常動作の逆）になりますが、図 7-2 に示すように、システム設計者がこれを考慮する必要があります。

図 7-2 に示すように、抵抗 (R) を使用して、入力に過剰な電流が流れるのを防止できます。抵抗値は、 $R \geq (V_{IN} - V_A) / I_{IK(max)}$ で算出できます（ここで、 $V_A = V_S + 0.5V$ です）。デバイスの入力電圧 (V_A) は、クランプダイオードにより約 $V_S + 0.5V$ に保持されるため、システムレベルの入力電圧 (V_{IN}) は電源電圧 (V_S) を超えることがあります。

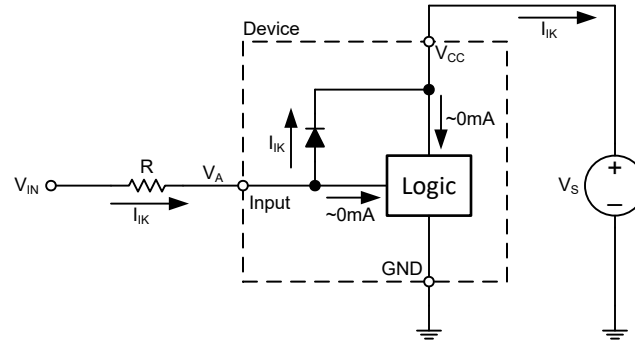
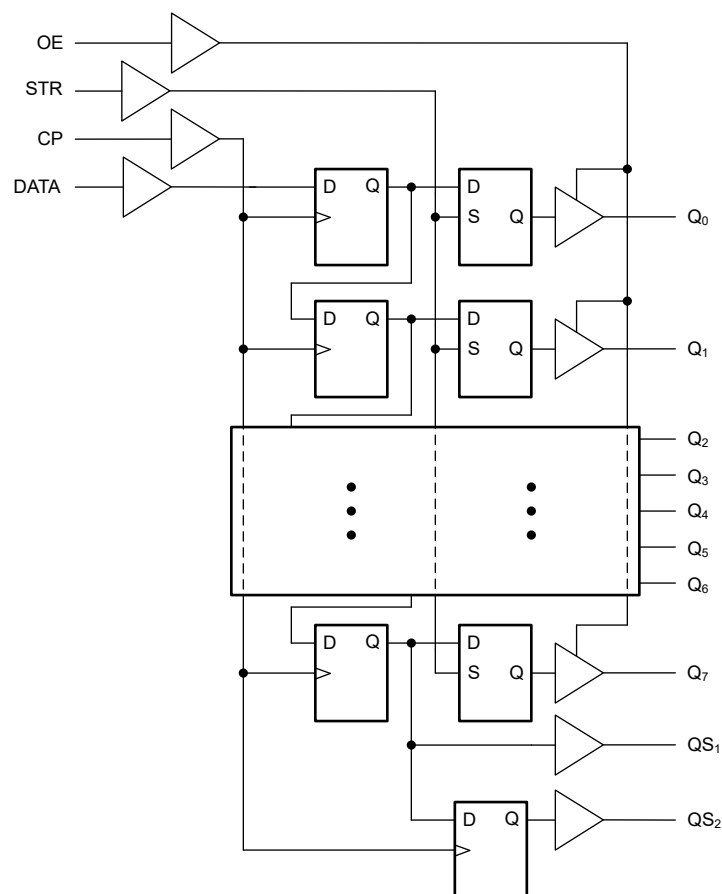


図 7-2. 入力電流を制限するために抵抗を使用した例

7.3 機能ブロック図



7.4 デバイスの機能モード

表 7-1. 真理値表

入力 ⁽¹⁾				パラレル出力		シリアル出力	
CP	OE	ストローブ	データ	Q ₀	Q _n	QS ₁ ⁽²⁾	QS ₂
↑	L	X	X	Z	Z	Q ₆	NC
↓	L	X	X	Z	Z	NC	Q ₇
↑	H	L	X	NC	NC	Q ₆	NC
↑	H	H	L	L	Q _{n-1}	Q ₆	NC
↑	H	H	H	H	Q _{n-1}	Q ₆	NC

表 7-1. 真理値表 (続き)

入力 ⁽¹⁾				パラレル出力		シリアル出力	
CP	OE	ストローブ	データ	Q ₀	Q _n	QS ₁ ⁽²⁾	QS ₂
↓	H	H	H	NC	NC	NC	Q ₇

- (1) H = High 電圧レベル、L = Low 電圧レベル、X = ドント ケア、NC = 変更なし、Z = ハイインピーダンス、↑ = Low から High に遷移、↓ = High から Low に遷移。
- (2) 正のクロック エッジで、7 番目のレジスタ ステージの情報が 8 番目のレジスタ ステージと QS₁ 出力に送信されます。

8 アプリケーションと実装

8.1 アプリケーション情報

CD74HC4094-Q1 は、比較的長いパターンや伝送線路で信号を駆動するために使用できます。トランスミッタの出力と直列に配置した直列ダンピング抵抗を使用すると、ドライバ、伝送線路、レシーバの間のインピーダンスの不整合に起因するリングングを低減できます。「アプリケーション曲線」セクションの図は、3 つの個別の抵抗値を持つ受信信号を示しています。この種のアプリケーションでは、わずかな量の抵抗だけで信号整合性に大きな影響を及ぼす可能性があります。

8.2 代表的なアプリケーション

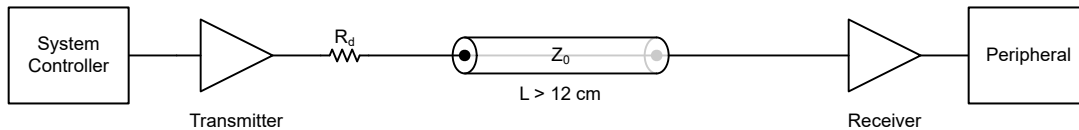


図 8-1. 代表的なアプリケーションのブロック図

8.2.1 設計要件

8.2.1.1 電源に関する考慮事項

求める電源電圧が「電気的特性」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧はデバイスの電気的特性を設定します。

正電圧の電源は、CD74HC4094-Q1 のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給する必要があります。ロジック デバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えていないことを確認してください。

グラウンドは、CD74HC4094-Q1 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクする必要があります。ロジック デバイスは、グラウンド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

CD74HC4094-Q1 は、データシートの仕様をすべて満たしながら、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、過剰な電流を防止するため、出力とコンデンサの間に直列抵抗を設置することを推奨します。

CD74HC4094-Q1 は、合計抵抗が $R_L \geq V_O / I_O$ で表される負荷を駆動することができ、出力電圧と電流は「電気的特性」表で定義されている V_{OH} および V_{OL} を使用します。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、**CMOS の消費電力と Cpd の計算アプリケーション ノート** に記載された情報を使って計算できます。

温度の上昇は、**標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性 アプリケーション ノート** に記載された情報を使って計算できます。

注意

「絶対最大定格」に記載された最大接合部温度、 $T_{J(max)}$ は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

8.2.1.2 入力に関する考慮事項

入力信号は、 $V_{IL(max)}$ を超えるとロジック LOW と見なされ、 $V_{IH(min)}$ を超えるとロジック HIGH と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 V_{CC} またはグランドに終端させる必要があります。入力がまったく使用されていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が **High** の場合にはプルアップ抵抗、デフォルト状態が **Low** の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、CD74HC4094-Q1 へのリーク電流（「電気的特性」で規定）、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10k Ω の抵抗値がしばしば使用されます。

CD74HC4094-Q1 は CMOS 入力を備えているため、正しく動作するには、「電気的特性」の表で定義されているように、速い入力遷移が必要です。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

このデバイスの入力の詳細については、「機能説明」を参照してください。

8.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 **HIGH** 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 **LOW** 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャンネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

8.2.1.4 アプリケーション曲線

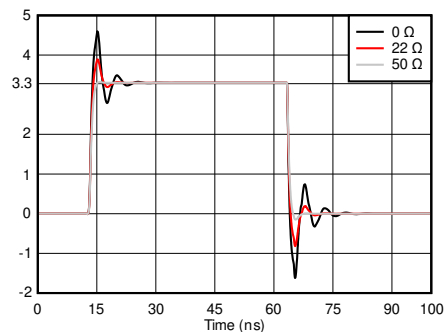


図 8-2. 異なるダンピング抵抗 (R_d) 値を使用してレシーバでの信号の整合性をシミュレート

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の障害を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。

このデバイスには 0.1 μ F のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1 μ F と 1 μ F のコンデンサは並列に使用されます。最良の結果を得るため、バイパス コンデンサは電源端子にできるだけ近づけて配置してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- バイパス コンデンサの配置
 - デバイスの正電源端子の近くに配置
 - 電氣的に短いグランド帰還パスを提供

- インピーダンスを最小化するため、広いパターンを使用
- 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
 - 8mil~12mil のトレース幅
 - 伝送ラインの影響を最小化する 12cm 未満の長さ
 - 信号トレースの 90° のコーナーは避ける
 - 信号トレースの下に、途切れないグランド プレーンを使用
 - 信号トレース周辺の領域をグランドでフラッド フィル
 - 平行配線は、3 倍以上の誘電体厚で分離する必要があります
 - 12cm を超えるパターン用
 - インピーダンス制御トレースを使用
 - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
 - 分岐を回避。個別に分岐が必要なバッファ信号

8.4.2 レイアウト例

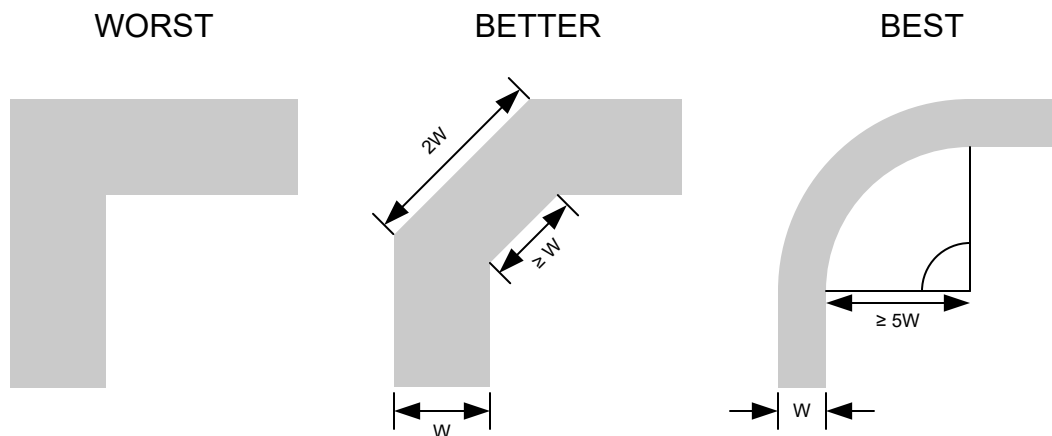


図 8-3. シグナル インテグリティ向上のためのサンプル パターンのコーナー

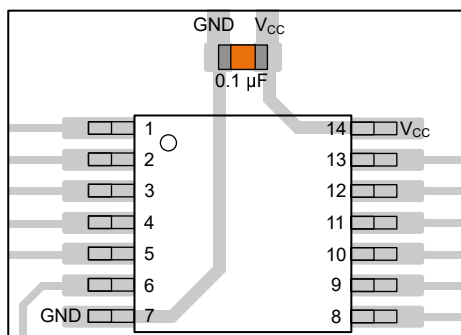


図 8-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

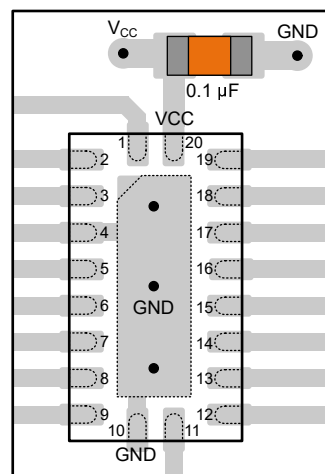


図 8-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

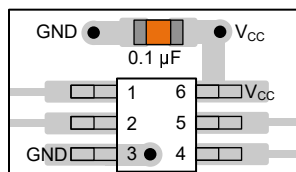


図 8-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

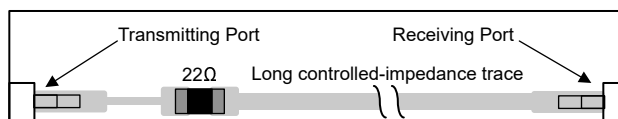


図 8-7. シグナル インテグリティ 向上のためのダンピング抵抗の配置例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

- テキサス・インスツルメンツ、『[CMOS の消費電力と \$C_{pd}\$ の計算](#)』アプリケーション ノート
- テキサス インスツルメンツ、『[標準リニアおよびロジック \(SLL\) パッケージおよびデバイスの熱特性](#)』アプリケーション ノート
- テキサス インスツルメンツ、『[半導体および IC パッケージの熱評価指標](#)』アプリケーション ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
August 2026	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD74HC4094PWRQ1	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-	HJ4094Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD74HC4094-Q1 :

● Catalog : [CD74HC4094](#)

● Military : [CD54HC4094](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

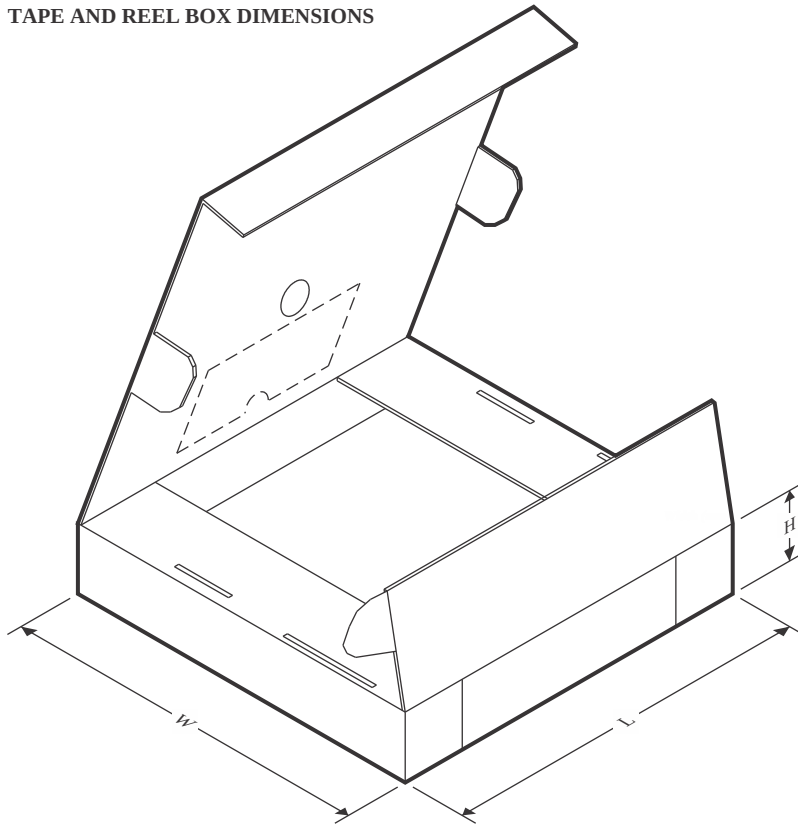
TAPE AND REEL INFORMATION



*All dimensions are nominal

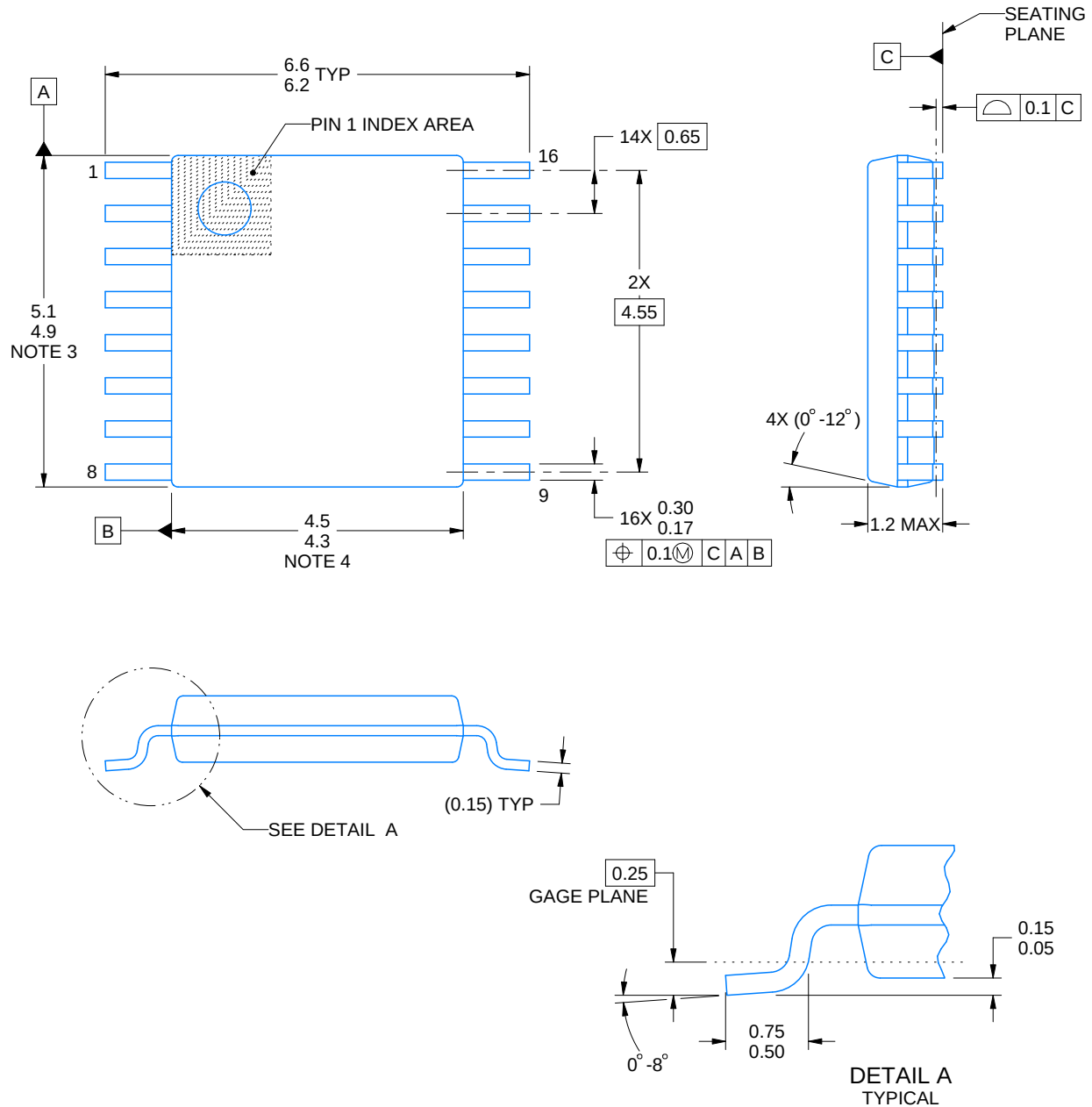
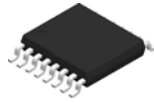
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74HC4094PWRQ1	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74HC4094PWRQ1	TSSOP	PW	16	2000	353.0	353.0	32.0



4220204/B 12/2023

NOTES:

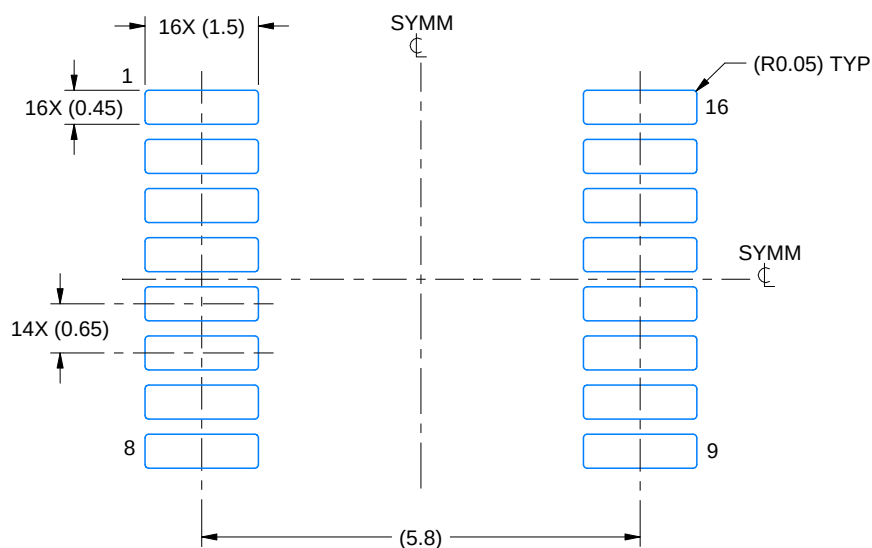
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

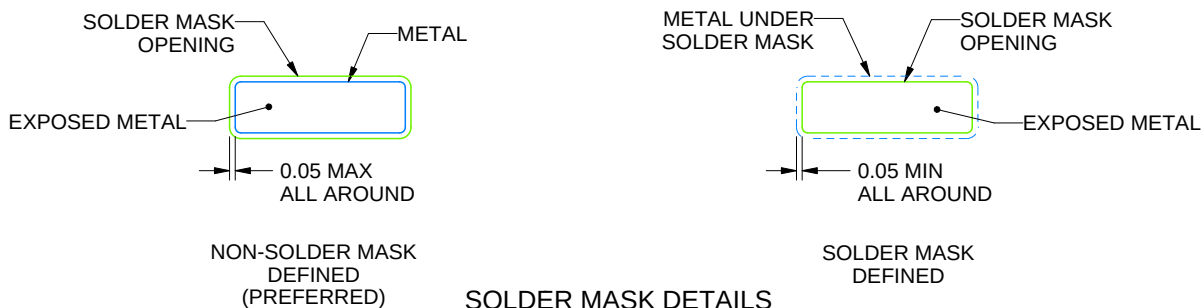
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

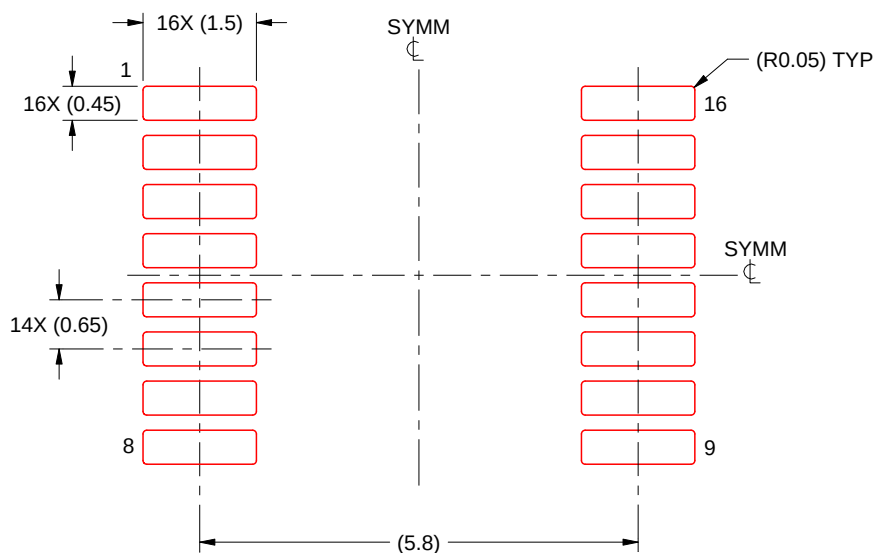
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月