

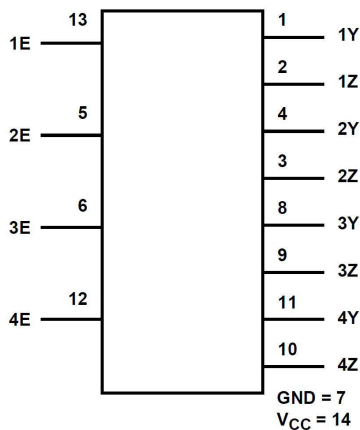
ハイスピード CMOS ロジック、クワッド双方向スイッチ

1 特長

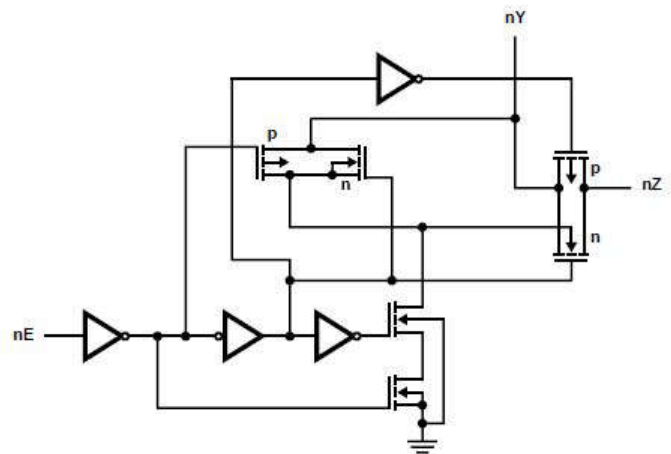
- 幅広いアナログ入力電圧範囲:
0V~10V
- 低いオン抵抗:
 - $V_{CC} = 4.5V: 25\Omega$
 - $V_{CC} = 9V: 15\Omega$
- 高速なスイッチング / 伝搬遅延時間
- 低いオフリーク電流
- 広い動作温度範囲:
-55°C~125°C
- HC タイプ:
 - 2V~10V で動作
 - 優れたノイズ耐性: V_{CC} に対して $N_{IL} = 30\%$ 、 $N_{IH} = 30\%$ ($V_{CC} = 5V$ および $10V$ 時)
- HCT タイプ:
 - LSTTL 入力ロジックと直接互換、 $V_{IL} = 0.8V$ (最大値)、 $V_{IH} = 2V$ (最小値)
 - CMOS 入力互換、 V_{OL} 、 V_{OH} で $I_L \leq 1\mu A$

2 アプリケーション

- アナログ信号のスイッチングと多重化: 信号ゲーティング、変調器、スケルチ制御、復調器、チョッパ、整流スイッチ
- デジタル信号スイッチング / 多重化: A/D 変換および D/A 変換
- 周波数、インピーダンス、位相、アナログ信号ゲインのデジタル制御
- ビルオートメーション



機能ブロック図



ロジック図

3 概要

'HC4066 および CD74HCT4066 デバイスは、4 つの独立したデジタル制御アナログ スイッチを内蔵しており、シリコン ゲート CMOS テクノロジを使用し、標準 CMOS IC の低い消費電力で LSTTL と同様の動作速度を実現しています。

これらのスイッチは、金属ゲート CD4066B デバイスと同じリニアなオン抵抗という特長を備えています。各スイッチは、制御入力に High レベルの電圧が印加されるとオンになります。

製品情報

部品番号	温度範囲 (°C)	パッケージ (1)
CD74HC4066	-55~125	D (SOIC, 14)
	-55~125	PW (TSSOP, 14)
CD74HCT4066	-55~125	D (SOIC, 14)

(1) 詳細については、[セクション 19](#) を参照してください。



Table of Contents

1 特長	1	15 Test Circuits and Waveforms	10
2 アプリケーション	1	16 Detailed Description	11
3 概要	1	16.1 Functional Block Diagram.....	11
4 Pin Configuration and Functions	3	16.2 Device Functional Modes.....	11
5 Absolute Maximum Ratings	4	17 Device and Documentation Support	12
6 ESD Ratings	4	17.1 ドキュメントの更新通知を受け取る方法.....	12
7 Thermal Information	4	17.2 サポート・リソース.....	12
8 Recommended Operating Conditions	5	17.3 Trademarks.....	12
9 Electrical Characteristics: HC Devices	6	17.4 静電気放電に関する注意事項.....	12
10 Electrical Characteristics: HCT Devices	7	17.5 用語集.....	12
11 Switching Characteristics HC	8	18 Revision History	12
12 Switching Characteristics HCT	9	19 Mechanical, Packaging, and Orderable Information	12
13 Analog Channel Specifications	9		
14 Analog Test Circuits	10		

4 Pin Configuration and Functions

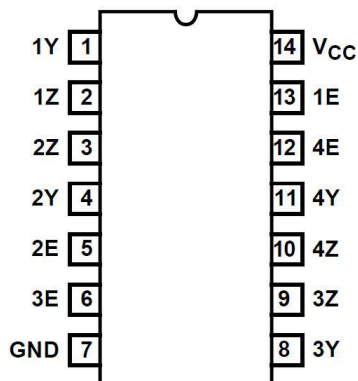


図 4-1. CD74HC4066 D or PW Package, 14-Pin SOIC or TSSOP CD74HCT4066 r D Package, 14-Pin SOIC (Top View)

表 4-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
1Y	1	I/O	Input/Output for Switch 1
1Z	2	I/O	Input/Output for Switch 1
2Z	3	I/O	Input/Output for Switch 2
2Y	4	I/O	Input/Output for Switch 2
2E	5	I	Control pin for Switch 2
3E	6	I	Control pin for Switch 3
GND	7	-	Ground Pin
3Y	8	I/O	Input/Output for Switch 3
3Z	9	I/O	Input/Output for Switch 3
4Z	10	I/O	Input/Output for Switch 4
4Y	11	I/O	Input/Output for Switch 4
4E	12	I	Control pin for Switch 4
1E	13	I	Control pin for Switch 1
V _{CC}	14	-	Power Pin

(1) Signal Types: I = Input, O = Output, I/O = Input or Output.

5 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)^{(1) (2)}

			MIN	MAX	UNIT
V _{CC} HCT	DC Supply voltage		–0.5	7	V
V _{CC} HC ⁽¹⁾			–0.5	10.5	V
I _{IK}	DC input diode current	For V _I < –0.5V or V _I > V _{CC} + 0.5V	–20	20	mA
I _O	DC switch current ⁽²⁾	For V _I < –0.5V or V _I > V _{CC} + 0.5V	–20	20	mA
I _{OK}	DC Output diode current	For V _O < –0.5V or V _O > V _{CC} + –0.5V	–25	25	mA
DC Output Source or Sink Current per Output Pin, I _O	For V _O > –0.5V or V _O < V _{CC} + –0.5V		–25	25	mA
I _{CC}	DC V _{CC} or ground current		–50	50	mA
T _{JMAX}	Maximum junction temperature (Plastic Package)			150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Rating* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Condition*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) In certain applications, the external load-resistor current may include both VCC and signal-line components. To avoid drawing VCC current when switch current flows into the transmission gate inputs, (terminals 1, 4, 8 and 11) the voltage drop across the bidirectional switch must not exceed 0.6V (calculated from RON values shown in the DC Electrical Specifications Table). No VCC current will flow through RL if the switch current flows into terminals 2, 3, 9 and 10. 2.

6 ESD Ratings

			VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001, all pins ⁽¹⁾	±500	V
		Charged device model (CDM), per JEDEC specification JESD22-C101, all pins ⁽²⁾	±200	

- (1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.
- (2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process.

7 Thermal Information

THERMAL METRIC		CD74HCx4066		UNIT
		D (SOIC)	PW (TSSOP)	
		14 PINS	14 PINS	
R _{θJA}	Junction-to-ambient thermal resistance	108.4	133.9	°C/W

8 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

			MIN	NOM	MAX	UNIT
V _{CC}	Supply voltage range (T _A = full package temperature range)(2)	CD54 and 74HC types	2		10	V
		CD54 and 74HCT types	4.5		5.5	
V _{IS}	Analog switch I/O voltage		0		V _{CC}	V
T _A	Ambient temperature		–55		125	°C
t _r , t _f	Input rise and fall times	2 V	0		1000	ns
		4.5 V	0		500	
		6 V	0		400	

9 Electrical Characteristics: HC Devices

Over operating free-air temperature range, $V_{\text{SUPPLY}} = \pm 5 \text{ V}$, and $R_L = 100 \Omega$, (unless otherwise noted)⁽¹⁾

PARAMETER		TEST CONDITIONS				MIN	TYP	MAX	UNIT
SIGNAL INPUTS (V _{IS}) AND OUTPUTS (V _{OS})									
		V _{IS} (V)	V _I (V)	V _{CC} (V)	T _A				
High Level Input Voltage	V _{IH}			2	25°C			1.5	V
					–40°C to +85°C			1.5	
					–55°C to +125°C			1.5	
				4.5	25°C			3.15	
					–40°C to +85°C			3.15	
					–55°C to +125°C			3.15	
				9	25°C			6.3	
					–40°C to +85°C			6.3	
					–55°C to +125°C			6.3	
Low Level Input Voltage	V _{IL}			2	25°C	0.5			V
					–40°C to +85°C	0.5			
					–55°C to +125°C	0.5			
				4.5	25°C	1.35			
					–40°C to +85°C	1.35			
					–55°C to +125°C	1.35			
				9	25°C	2.7			
					–40°C to +85°C	2.7			
					–55°C to +125°C	2.7			
"ON" Resistance IO = 1mA	R _{ON}	V _{CC} or GND	V _{CC}	4.5	25°C	25	80	Ω	
					–40°C to +85°C				106
					–55°C to +125°C				128
				6	25°C	20	75		
					–40°C to +85°C				94
					–55°C to +125°C				113
				9	25°C	15	60		
					–40°C to +85°C				78
					–55°C to +125°C				95
		V _{CC} to GND	V _{CC}	4.5	25°C	35	95	Ω	
					–40°C to +85°C				118
					–55°C to +125°C				142
				6	25°C	24	84		
					–40°C to +85°C				105
					–55°C to +125°C				126
				9	25°C	31	70		
					–40°C to +85°C				88
					–55°C to +125°C				105
"ON" Resistance Between Any Two Switches	▲R _{ON}		VCC	4.5	25°C	1			Ω
			VCC	6	25°C	0.75			
			VCC	9	25°C	0.5			
Off-Switch Leakage Current	I _Z	V _{CC} or GND	V _{IL}	10	25°C	±0.1		μA	
					–55°C to 85°C	±1			
					–55°C to 125°C	±1			

Over operating free-air temperature range, $V_{\text{SUPPLY}} = \pm 5 \text{ V}$, and $R_L = 100 \Omega$, (unless otherwise noted)⁽¹⁾

PARAMETER		TEST CONDITIONS				MIN	TYP	MAX	UNIT
Input Leakage Current (Any Control)	I_{IL}		V_{CC} or GND	10	25°C			±0.1	μA
					–55°C to 85°C			±1	
					–55°C to 125°C			±1	
Quiescent Device Current	I_{CC}		V_{CC} or GND	6	25°C			18.5	μA
					–55°C to 85°C			20	
					–55°C to 125°C			40	
				10	25°C			35	
					–55°C to 85°C			160	
					–55°C to 125°C			320	
CONTROL (ADDRESS OR INHIBIT), V_{C}									

(1) Peak-to-Peak voltage symmetrical about $(V_{\text{DD}} - V_{\text{EE}}) / 2$.

10 Electrical Characteristics: HCT Devices

Over operating free-air temperature range, $V_{\text{SUPPLY}} = \pm 5 \text{ V}$, and $R_L = 100 \Omega$, (unless otherwise noted)⁽¹⁾

PARAMETER		TEST CONDITIONS				MIN	TYP	MAX	UNIT	
SIGNAL INPUTS (V _{IS}) AND OUTPUTS (V _{OS})										
		V _{IS} (V)	V _I (V)	V _{CC} (V)	T _A					
High Level Input Voltage	V _{IH}			4.5 to 5.5	25°C	2		V		
					–40°C to +85°C	2				
					–55°C to +125°C	2				
Low Level Input Voltage	V _{IL}				25°C	0.8		V		
					–40°C to +85°C	0.8				
					–55°C to +125°C	0.8				
"ON" Resistance IO = 1mA	R _{ON}	V _{CC} or GND	V _{CC}	4.5	25°C	25	80	Ω		
					–40°C to +85°C	106				
					–55°C to +125°C	128				
		V _{CC} to GND			25°C	35	95	Ω		
					–40°C to +85°C	118				
					–55°C to +125°C	142				
"ON" Resistance Between Any Two Switches	▲R _{ON}		V _{CC}	4.5	25°C	1		Ω		
Off-Switch Leakage Current	I _Z	V _{CC} or GND	V _{IL}	5.5	25°C	±0.1		μA		
					–55°C to 85°C	±1				
					–55°C to 125°C	±1				
Input Leakage Current (Any Control)	I _{IL}		V _{CC} or GND	5.5	25°C	±0.1		μA		
					–55°C to 85°C	±1				
					–55°C to 125°C	±1				
Quiescent Device Current	I _{CC}				V _{CC} or GND	5.5	25°C	2		μA
							–55°C to 85°C	20		
							–55°C to 125°C	40		
Additional Quiescent Device Current Per Input Pin: 1 Unit Load	▲I _{CC}	V _{CC} - 2.1	4.5 to 5.5	25°C			100	360		
				–55°C to 85°C			450			
				–55°C to 125°C			490			

Over operating free-air temperature range, $V_{\text{SUPPLY}} = \pm 5 \text{ V}$, and $R_L = 100 \Omega$, (unless otherwise noted)⁽¹⁾

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
CONTROL (ADDRESS OR INHIBIT), V_C					

(1) Peak-to-Peak voltage symmetrical about $(V_{\text{DD}} - V_{\text{EE}}) / 2$.

11 Switching Characteristics HC

over operating free-air temperature range (unless otherwise noted)

Parameter	Test Conditions	C_L (pF)	MIN	NOM	MAX	UNIT
Propagation Delay Time Switch In to Out $t_{\text{PHL}}, t_{\text{PLH}}$	2	25°C			60	ns
		-40°C to 85°C			75	ns
		-55°C to 125°C			90	ns
	4.5	25°C			12	ns
		-40°C to 85°C			15	ns
		-55°C to 125°C			18	ns
	9	25°C			8	ns
		-40°C to 85°C			11	ns
		-55°C to 125°C			13	ns
	5	25°C		4		ns
	2	25°C			100	ns
		-40°C to 85°C			125	ns
		-55°C to 125°C			150	ns
Propagation Delay Time Switch Turn On Delay $t_{\text{PZH}}, t_{\text{PZL}}$	4.5	25°C			20	ns
		-40°C to 85°C			25	ns
		-55°C to 125°C			30	ns
	9	25°C			12	ns
		-40°C to 85°C			15	ns
		-55°C to 125°C			18	ns
	5	25°C		4		ns
Propagation Delay Time Switch Turn Off Delay $t_{\text{PHZ}}, t_{\text{PLZ}}$	2	25°C			150	ns
		-40°C to 85°C			190	ns
		-55°C to 125°C			225	ns
	4.5	25°C			30	ns
		-40°C to 85°C			38	ns
		-55°C to 125°C			45	ns
	9	25°C			24	ns
		-40°C to 85°C			30	ns
		-55°C to 125°C			36	ns
	5	25°C		9.5		ns
Input (Control) Capacitance C_I		25°C			10	pF
		-40°C to 85°C			10	
		-55°C to 125°C			10	
C_{PD} Power dissipation capacitance(1)	5	25°C		25		

12 Switching Characteristics HCT

over operating free-air temperature range (unless otherwise noted)

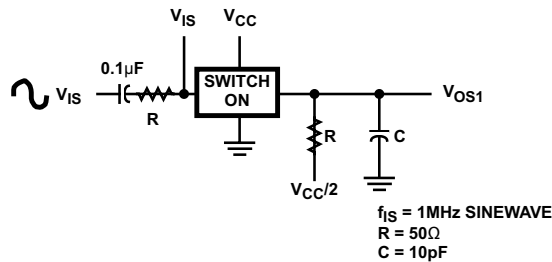
Parameter		Test Conditions		C _L (pF)	MIN	NOM	MAX	UNIT
Propagation Delay Time Switch In to Out	t _{PHL} , t _{PLH}	4.5	25°C	50			12	ns
			-40°C to 85°C				15	ns
			-55°C to 125°C				18	ns
		5	25°C	15		1.3		ns
Propagation Delay Time Switch Turn On Delay	t _{PZH} , t _{PZL}	4.5	25°C	50			24	ns
			-40°C to 85°C				30	ns
			-55°C to 125°C				36	ns
		5	25°C	15		5		ns
Propagation Delay Time Switch Turn Off Delay	t _{PHZ} , t _{PLZ}	4.5	25°C	50			35	ns
			-40°C to 85°C				44	ns
			-55°C to 125°C				53	ns
		5	25°C	15		5.5		ns
Input (Control) Capacitance	C _I		25°C				10	pF
			-40°C to 85°C				10	
			-55°C to 125°C				10	
C _{PD} Power dissipation capacitance(1)	C _{PD}	5	25°C			38		

13 Analog Channel Specifications

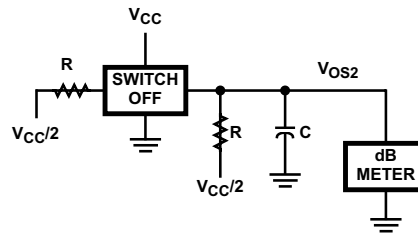
over operating free-air temperature range (unless otherwise noted)

Parameter		Test Conditions		V _{CC} (V)	HC	HCT	UNIT
Switch Frequency Response Bandwidth at -3dB				4.5	200	200	MHz
Cross Talk Between Any Two Switches				4.5	-72	-72	dB
Total Harmonic Distortion		1kHz, V _{IS} =4V _{PP}		4.5	0.022	0.023	%
		1kHz, V _{IS} =8V _{PP}		9	0.019	N/A	%
Control to Switch Feedthrough Noise	Control to Switch Feedthrough Noise			4.5	200	130	mV
Control to Switch Feedthrough Noise				4.5	200	130	mV
				9	550	N/A	
Switch "OFF" signal feedthrough				4.5	-72	-72	dB
C _I Switch input capacitance					5	5	pF

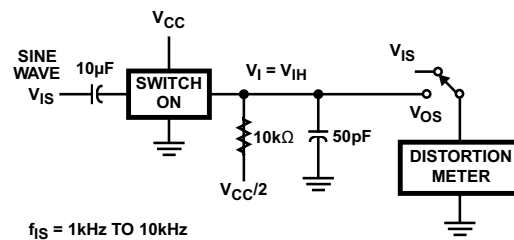
14 Analog Test Circuits



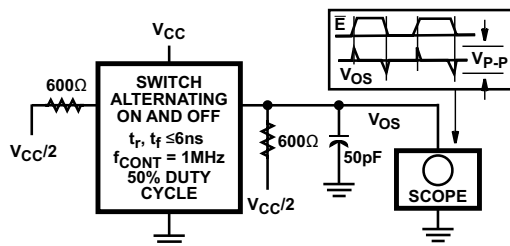
14-1. Crosstalk Between Two Switches Test Circuit



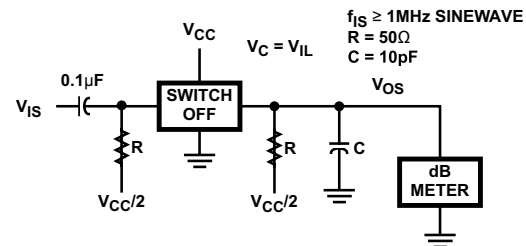
14-2. Frequency Response Test Circuit



14-3. Total Harmonic Distortion Test Circuit

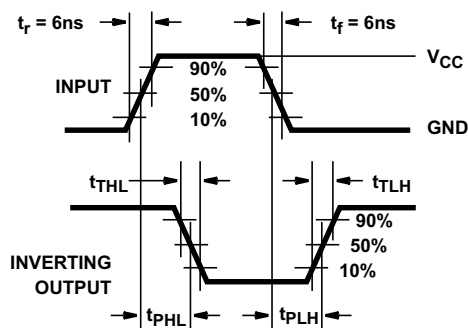


14-4. Control-To-Switch Feedthrough Noise Test Circuit

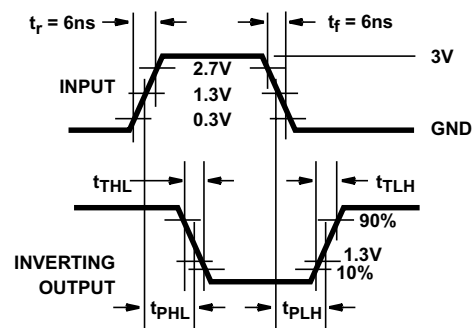


14-5. Switch OFF Signal Feedthrough

15 Test Circuits and Waveforms



15-1. HC Transition Times and Propagation Delay Times, Combination Logic



15-2. HCT Transition Times and Propagation Delay Times, Combination Logic

16 Detailed Description

16.1 Functional Block Diagram

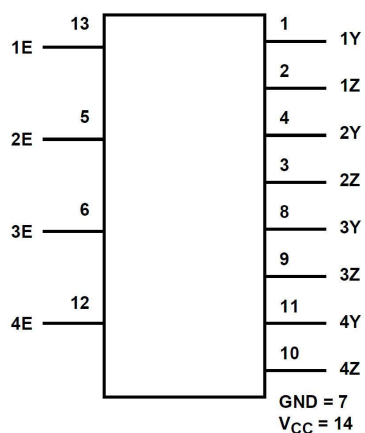


図 16-1. Functional Block Diagram

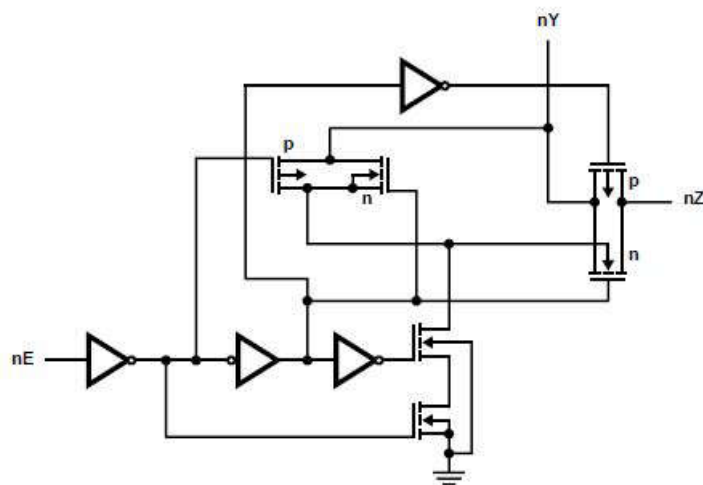


図 16-2. Logic Diagram

16.2 Device Functional Modes

表 16-1. Truth Table

INPUTnE	SWITCH
L ⁽²⁾	Off
H ⁽¹⁾	On

- (1) H = High Level
(2) L = Low Level

17 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

17.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

17.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

17.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

17.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

17.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

18 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (August 2003) to Revision E (July 2024)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
Updated thermal information.....	4
Updated electrical specifications.....	6
Updated switching specifications.....	8
Updated analog channel specifications.....	9
Updated ordering information.....	12

19 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-8950701CA	Active	Production	CDIP (J) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8950701CA CD54HC4066F3A
CD54HC4066F3A	Active	Production	CDIP (J) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8950701CA CD54HC4066F3A
CD54HC4066F3A.A	Active	Production	CDIP (J) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8950701CA CD54HC4066F3A
CD74HC4066E	NRND	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC4066E
CD74HC4066E.A	NRND	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC4066E
CD74HC4066EE4	NRND	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC4066E
CD74HC4066M	Obsolete	Production	SOIC (D) 14	-	-	Call TI	Call TI	-55 to 125	HC4066M
CD74HC4066M96	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4066M
CD74HC4066M96.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4066M
CD74HC4066M96E4	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4066M
CD74HC4066MT	Obsolete	Production	SOIC (D) 14	-	-	Call TI	Call TI	-55 to 125	HC4066M
CD74HC4066PWR	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HP4066
CD74HC4066PWR.A	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HP4066
CD74HC4066PWT	Obsolete	Production	TSSOP (PW) 14	-	-	Call TI	Call TI	-55 to 125	HP4066
CD74HCT4066E	NRND	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT4066E
CD74HCT4066E.A	NRND	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT4066E
CD74HCT4066M	Obsolete	Production	SOIC (D) 14	-	-	Call TI	Call TI	-55 to 125	HCT4066M
CD74HCT4066M96	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4066M
CD74HCT4066M96.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4066M
CD74HCT4066MT	Obsolete	Production	SOIC (D) 14	-	-	Call TI	Call TI	-55 to 125	HCT4066M

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

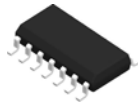
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54HC4066, CD74HC4066, CD74HCT4066 :

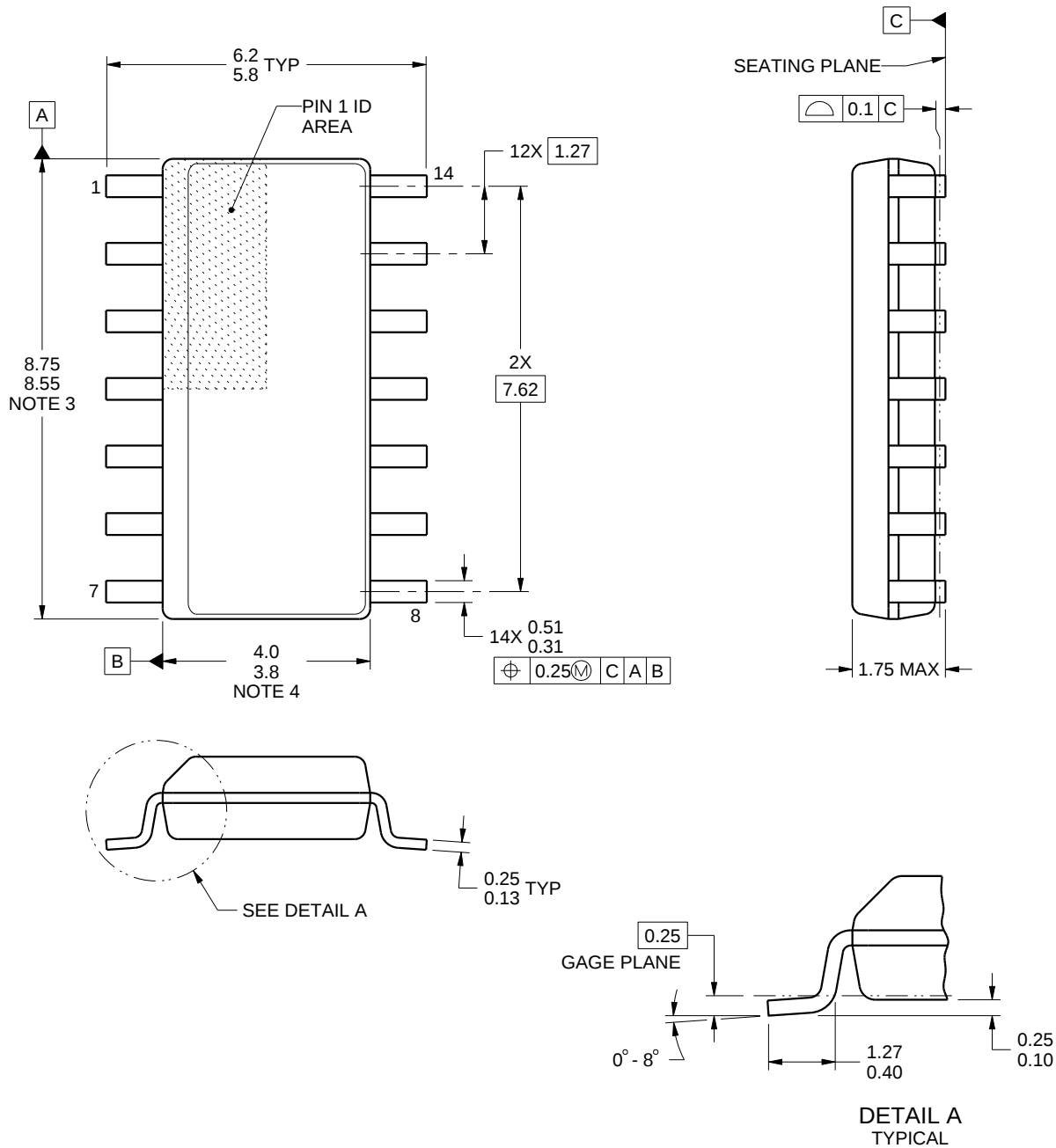
- Catalog : [CD74HC4066](#)
- Automotive : [CD74HCT4066-Q1](#)
- Military : [CD54HC4066](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Military - QML certified for Military and Defense Applications

D0014A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

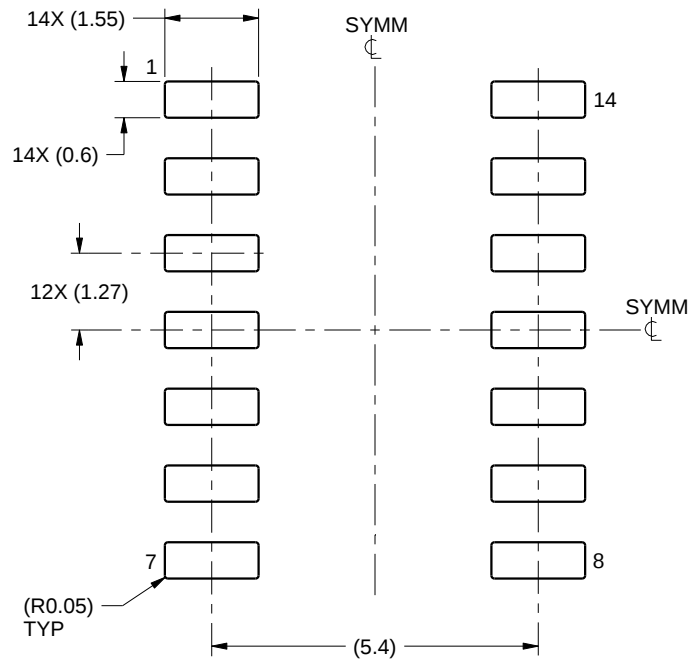
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

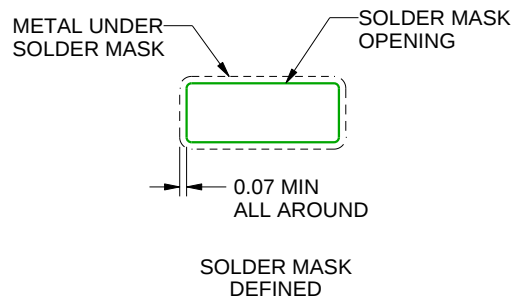
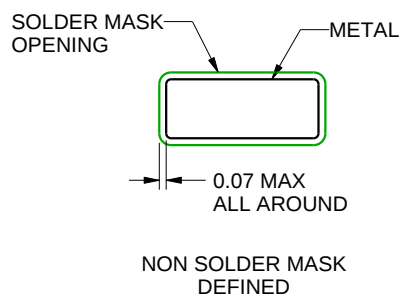
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

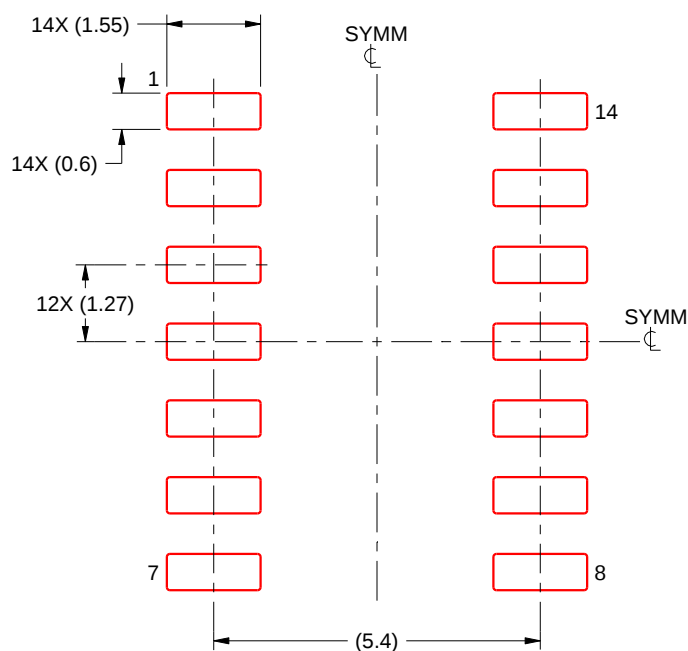
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

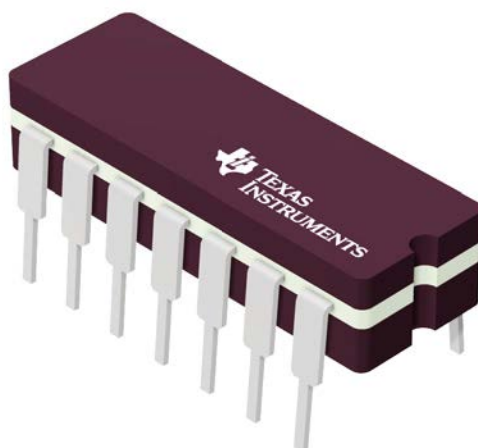
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

J 14

GENERIC PACKAGE VIEW

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G

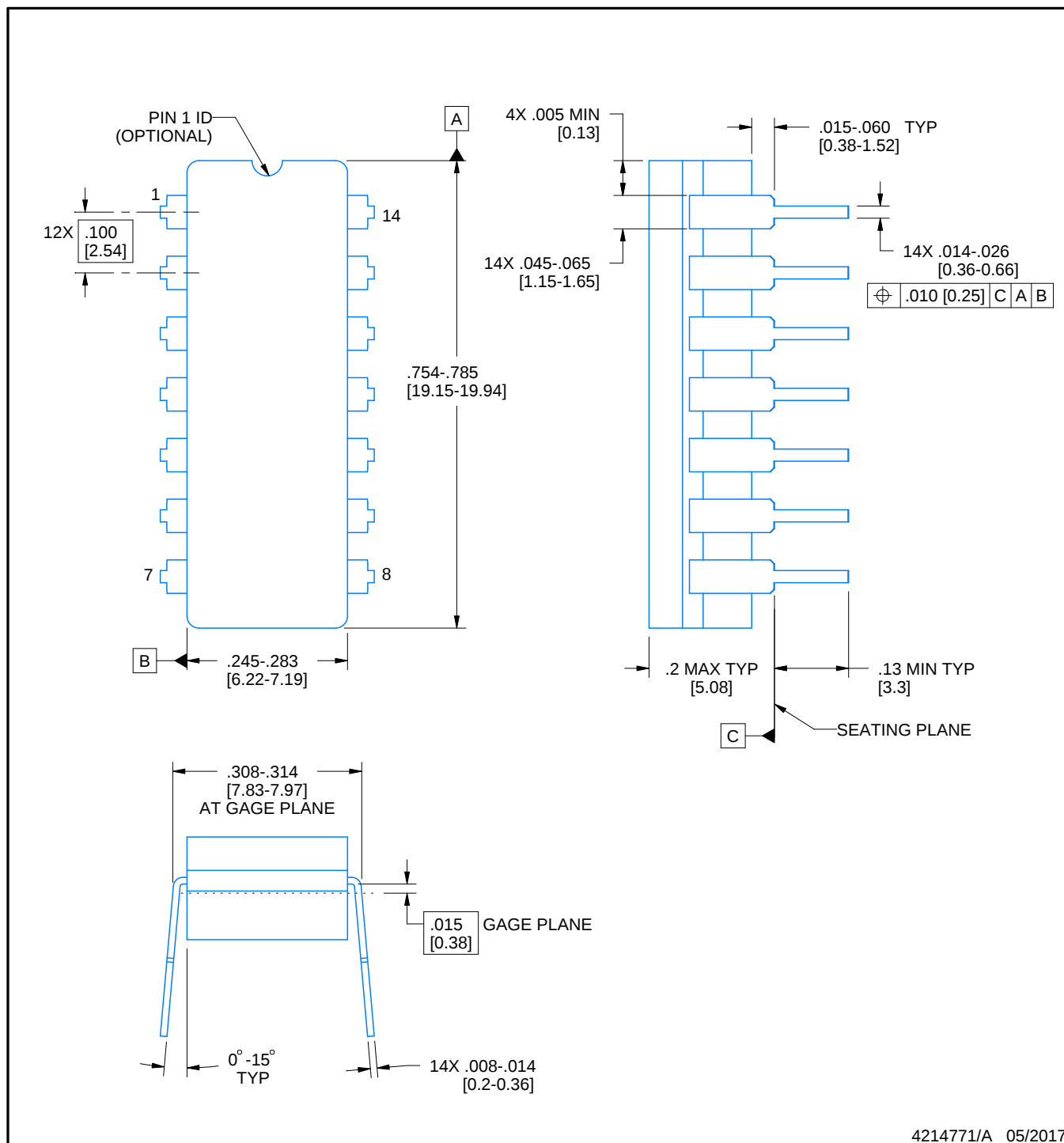


J0014A

PACKAGE OUTLINE

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



4214771/A 05/2017

NOTES:

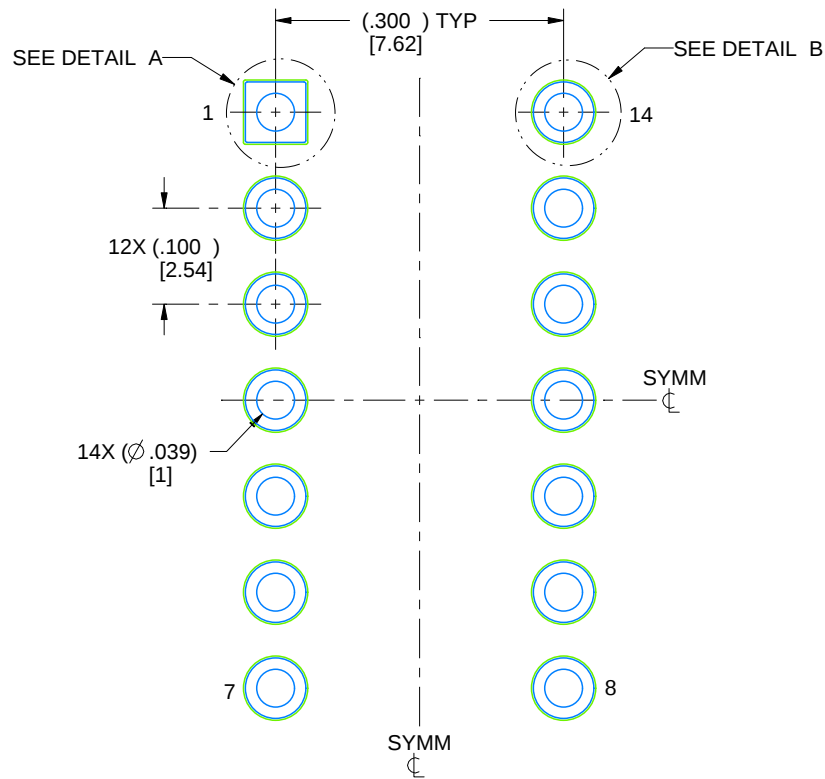
1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

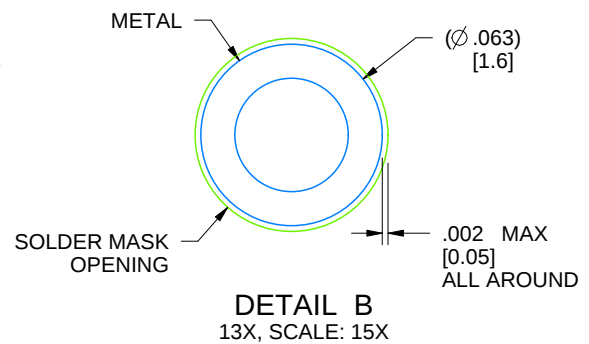
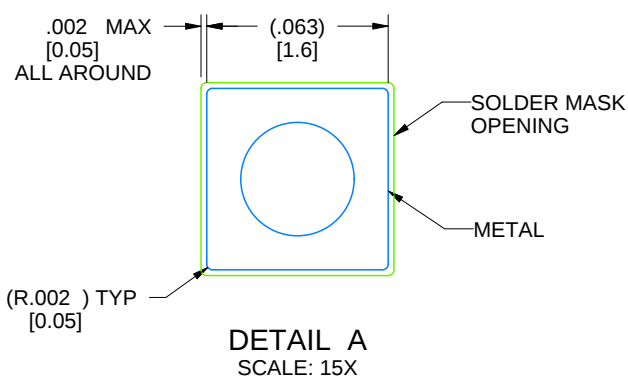
J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X

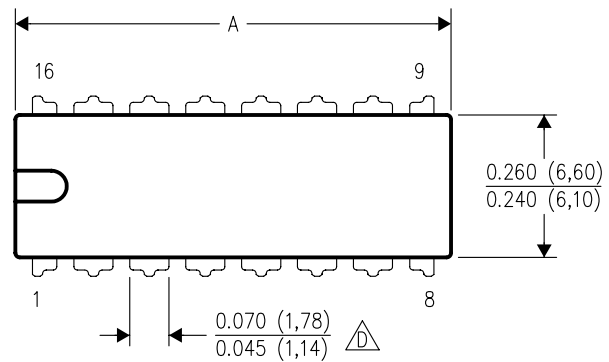


4214771/A 05/2017

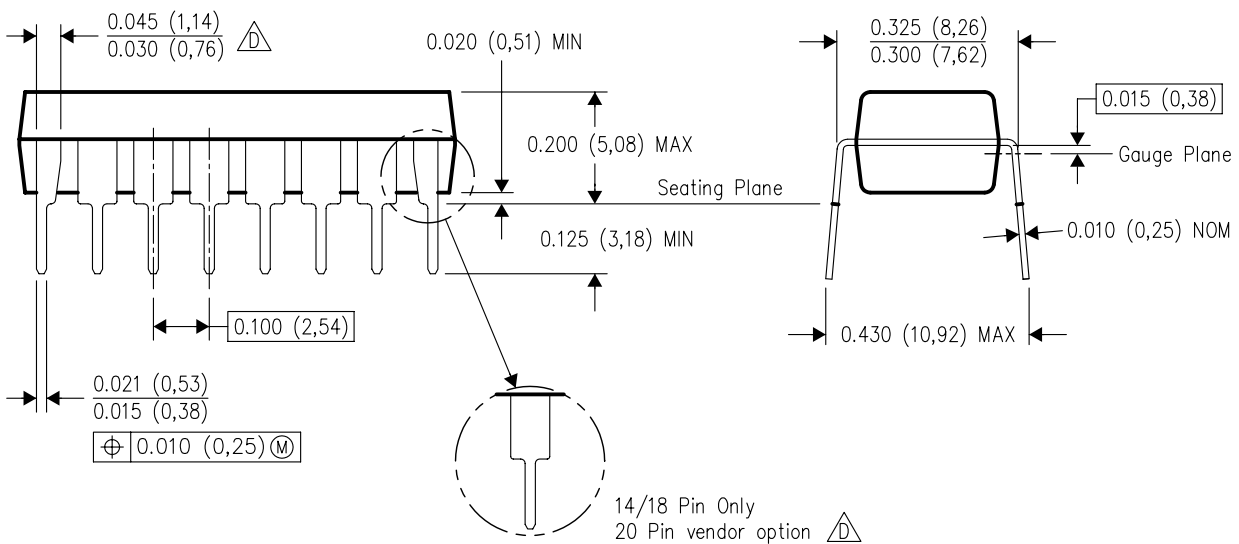
N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



PINS **	14	16	18	20
DIM				
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



14/18 Pin Only
20 Pin vendor option

4040049/E 12/2002

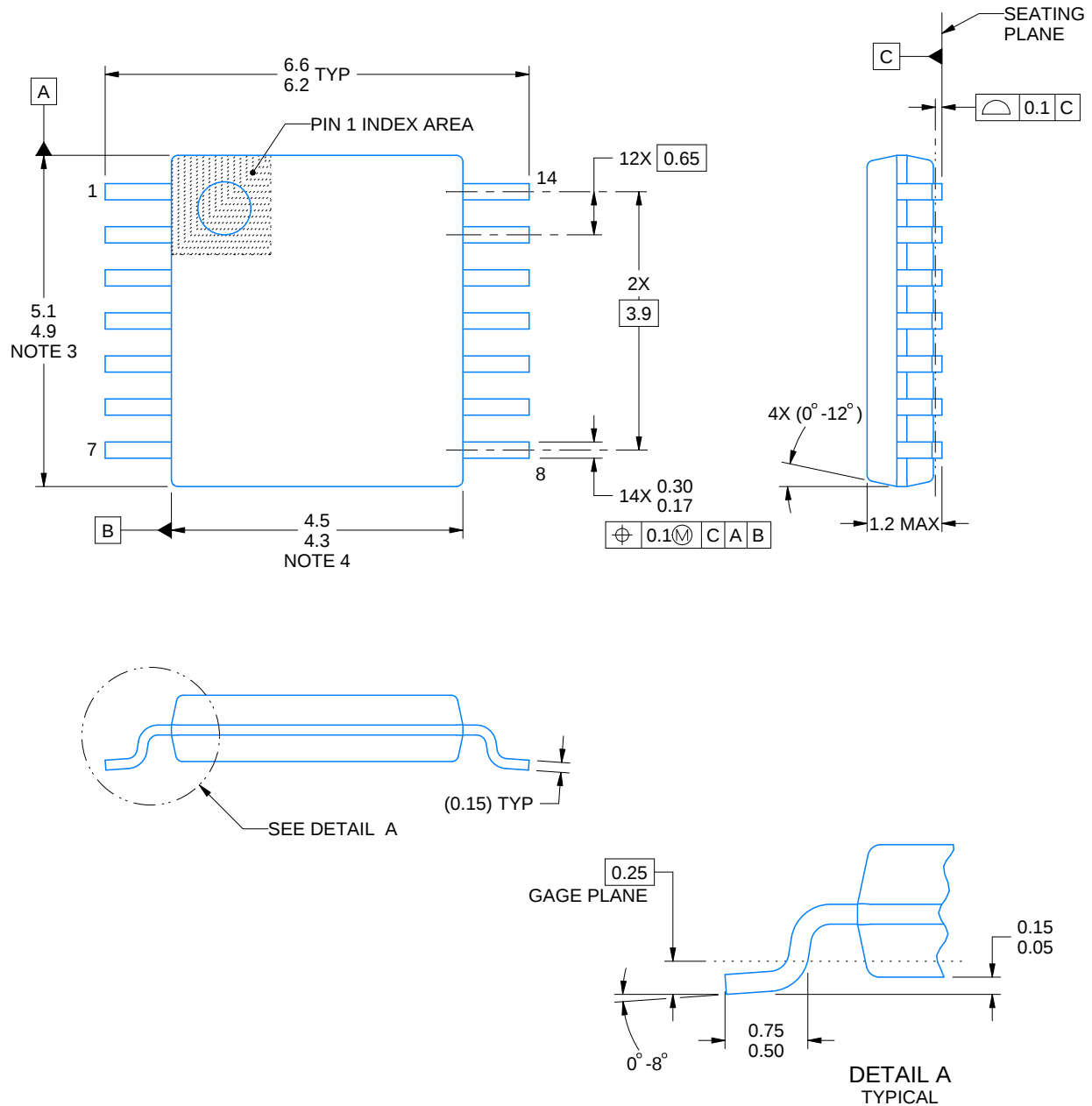
- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.

PW0014A

PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

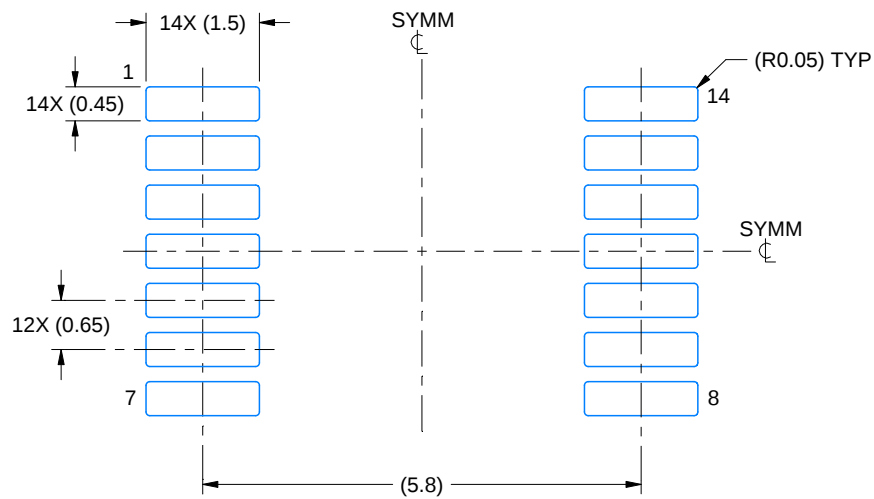
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

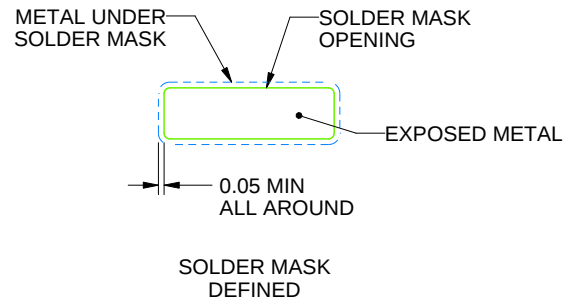
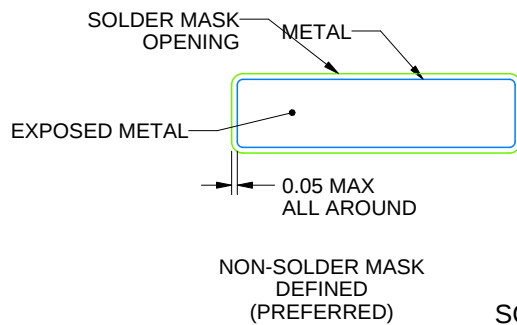
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

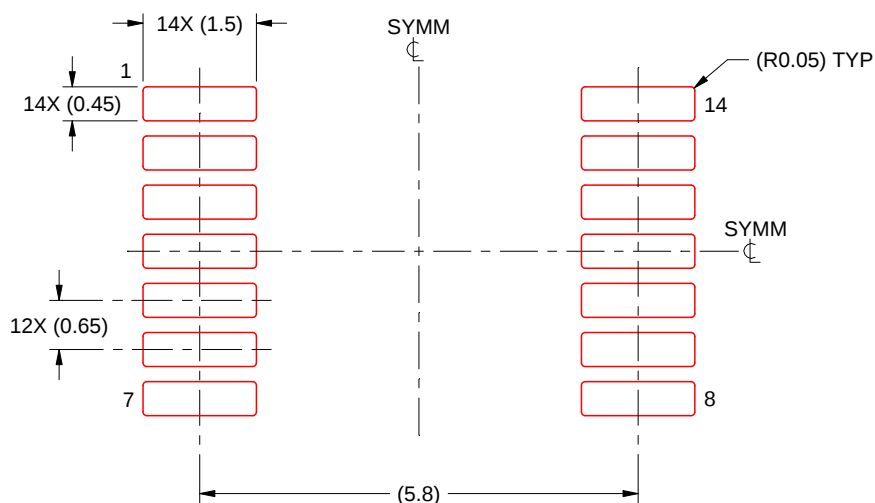
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月