

CD74HCx4067-Q1 車載ハイスピード CMOS ロジック 16 チャネル アナログ マルチプレクサおよびデマルチプレクサ

1 特長

- 車載アプリケーション認定済み
- AEC-Q100 テスト ガイダンスで以下の結果:
 - デバイス温度グレード 1: 動作時周囲温度範囲 -40°C ~ 125°C
 - デバイス HBM ESD 分類レベル H1A
 - デバイス CDM ESD 分類レベル C2
- 幅広いアナログ入力電圧範囲
- 低いオン抵抗
 - 70Ω ($V_{CC} = 4.5V$ での標準値)
- 高速なスイッチングおよび伝搬速度
- ブレイク ビフォー メイクのスイッチング動作
 - 6ns ($V_{CC} = 4.5V$ での標準値)
- ファンアウト (全温度範囲にわたって)
 - 標準出力: 10 個の LSTTL 負荷
 - バスドライバ出力: 15 個の LSTTL 負荷
- 平衡のとれた伝搬遅延と遷移時間
- LSTTL ロジック IC に比べて消費電力を大幅削減
- 4.5V ~ 5.5V で動作
- LSTTL 入力ロジックと直接互換: $V_{IL} = 0.8V$ (最大値)、 $V_{IH} = 2V$ (最小値)
- CMOS 入力との互換性: $I_I \leq 1\mu A$ (V_{OL} 、 V_{OH})

2 アプリケーション

- 車載用
- アナログ スイッチ
- アナログ マルチプレクサおよびデマルチプレクサ

3 概要

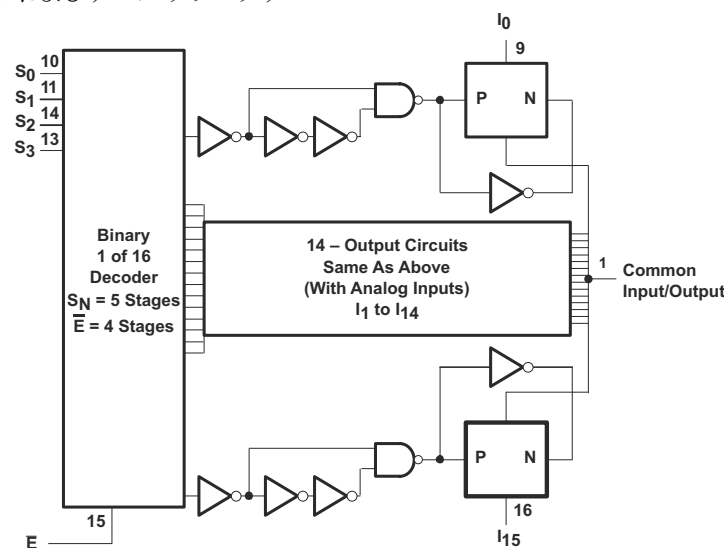
CD74HCx4067-Q1 は、シリコン ゲート CMOS テクノロジを使って、標準 CMOS IC の低い消費電力で LSTTL と同様の動作速度を実現したデジタル制御アナログ スイッチです。

これらのアナログ マルチプレクサおよびデマルチプレクサは、電圧電源範囲にわたって変化する可能性があるアナログ電圧を制御します。これは双方向のスイッチで、任意のアナログ入力を出力として使用でき、その逆も行えます。このスイッチはオン抵抗が低く、オフ時のリーク電流が小さい特長があります。また、本デバイスは、High のときにすべてのスイッチをオフ状態に無効化するイネーブル制御 (E) を備えています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
CD74HCx4067QM96Q1	DW (SOIC, 24)	15.5mm × 10.3mm
CD74HCx4067QRGYRQ1	RGY (QFN, 24)	5.5mm × 3.5mm
CD74HCx4067QDGSRQ1	DGS (VSSOP, 24)	6.1mm × 3mm
CD74HCx4067QPWRQ1	PW (TSSOP, 24)	4.4mm × 7.8mm

- (1) 詳細については、[セクション 18](#) を参照してください。
 (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



論理図 (正論理)



Table of Contents

1 特長	1	14 Parameter Measurement Information	12
2 アプリケーション	1	15 Detailed Description	14
3 概要	1	15.1 Functional Block Diagram.....	14
4 Pin Configuration and Functions	3	15.2 Device Functional Modes.....	14
5 Absolute Maximum Ratings	5	16 Device and Documentation Support	15
6 ESD Ratings	5	16.1 ドキュメントの更新通知を受け取る方法.....	15
7 Thermal Information	6	16.2 サポート・リソース.....	15
8 Recommended Operating Conditions	6	16.3 Trademarks.....	15
9 Electrical Characteristics: HC Devices	7	16.4 静電気放電に関する注意事項.....	15
10 Electrical Characteristics: HCT Devices	8	16.5 用語集.....	15
11 Switching Characteristics HC	9	17 Revision History	15
12 Switching Characteristics HCT	11	18 Mechanical, Packaging, and Orderable Information	16
13 Analog Channel Specifications	11		

4 Pin Configuration and Functions

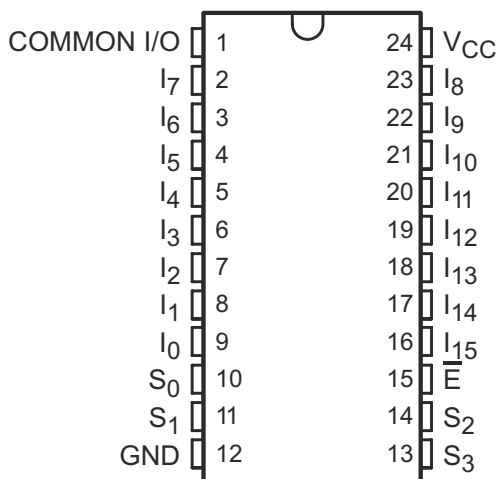


図 4-1. DW Package, 24-Pin SOIC (Top View)

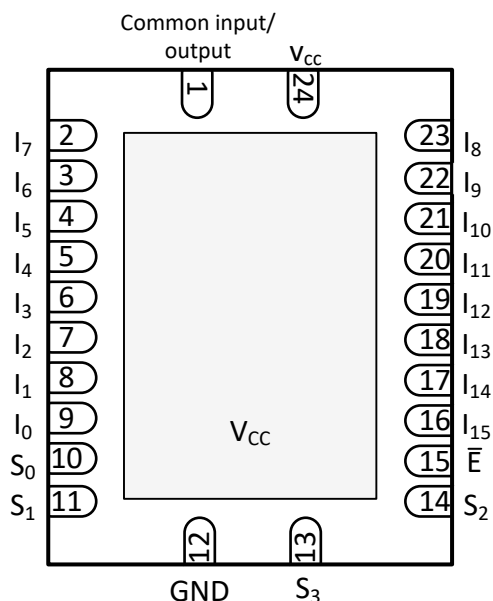


図 4-2. RGY Package, 24-Pin QFN (Top View) (Pad on Bottom)

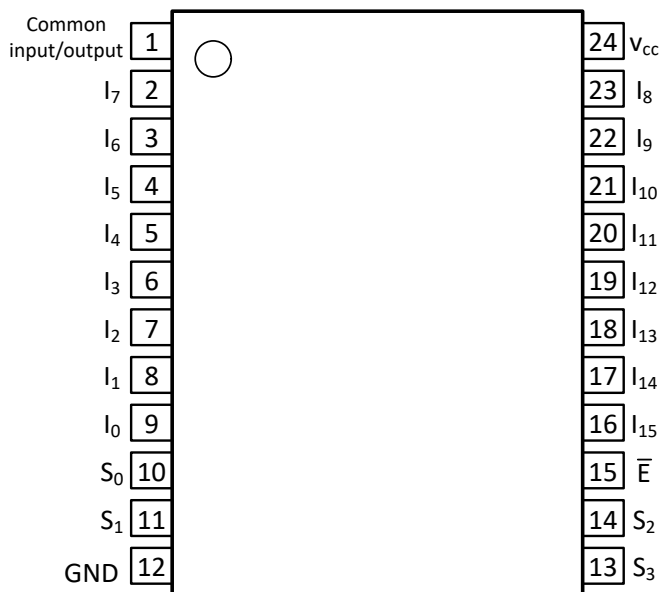


図 4-3. PW Package, 24-Pin TSSOP (Top View)

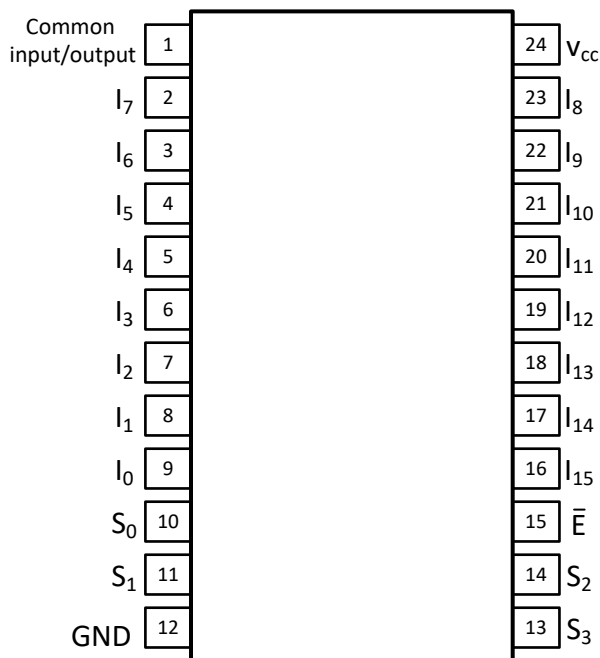


図 4-4. DGS Package, 24-Pin VSSOP (Top View)

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
COMMON INPUT/OUTPUT	1	IO	Common input or output.
I ₇	2	IO	Switch input/output
I ₆	3	IO	Switch input/output
I ₅	4	IO	Switch input/output
I ₄	5	IO	Switch input/output
I ₃	6	IO	Switch input/output
I ₂	7	IO	Switch input/output
I ₁	8	IO	Switch input/output
I ₀	9	IO	Switch input/output
S ₀	10	I	Select/Address pin
S ₁	11	I	Select/Address pin
GND	12	P	Ground pin
S ₃	13	I	Select/Address pin
S ₂	14	I	Select/Address pin
$\bar{E}$	15	I	Enable for all switches ON/OFF
I ₁₅	16	IO	Switch input/output
I ₁₄	17	IO	Switch input/output
I ₁₃	18	IO	Switch input/output
I ₁₂	19	IO	Switch input/output
I ₁₁	20	IO	Switch input/output
I ₁₀	21	IO	Switch input/output
I ₉	22	IO	Switch input/output
I ₈	23	IO	Switch input/output
V _{CC}	24	P	Power pin
Thermal Pad		-	The thermal pad is not electrically connected and can be floated, grounded or tied to V _{CC}

(1) I = input, O = output. P = power

5 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)^{(1) (2)}

			MIN	MAX	UNIT
V _{CC} HC	DC Supply voltage		-0.5	7	V
V _{CC} HCT			-0.5	7	V
I _{IK}	DC input diode current	For V _I < -0.5V or V _I > V _{CC} + 0.5V	-20	20	mA
I _{OK}	DC output diode current	For V _O < -0.5V or V _O > V _{CC} + -0.5V	-20	20	mA
I _{CC}	DC V _{CC} or ground current		-50	50	mA
DC Output Source or Sink Current per Output Pin, I _O	For V _O > -0.5V or V _O < V _{CC} + -0.5V		-25	25	mA
T _{JMAX}	Maximum junction temperature (Plastic Package)			150	°C
T _{stg}	Storage temperature		-65	150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Rating* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Condition*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltages are with respect to ground, unless otherwise specified.

6 ESD Ratings

			VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human body model (HBM), per AEC Q100-002, all pins ⁽¹⁾	400	V
		Charged device model (CDM), per AEC Q100-011, all pins	250	

- (1) AEC Q100-002 indicates that HBM stressing must be in accordance with the ANSI/ESDA/JEDEC JS-001 specification.

7 Thermal Information

THERMAL METRIC ⁽¹⁾		CD74HCx4067				UNIT
		DW (SOIC)	RGY (QFN)	DGS (VSSOP)	PW (TSSOP)	
		24 PINS	24 PINS	24 PINS	24 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	84.8	67.1	96.8	97.4	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	57.0	59.2	43.4	45.0	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	59.5	45.4	58.7	62.7	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	29.0	9.3	3.9	5.20	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	59.0	45.1	58.2	62.1	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	N/A	34.7	N/A	N/A	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

8 Recommended Operating Conditions

			MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage range (T_A = full package temperature range)	74HC types	2		6	V
V_{CC}	Supply voltage range (T_A = full package temperature range)	74HCT types	4.5		5.5	V
V_{IS}	Analog switch I/O voltage		0		V_{CC}	V
T_A	Ambient temperature	Ambient temperature	–40		125	°C
t_r, t_f	Input rise and fall times	2V	0		1000	ns
		4.5V	0		500	
		6V	0		400	

9 Electrical Characteristics: HC Devices

Over operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS				MIN	TYP	MAX	UNIT
Analog Switch									
		V _{IS} (V)	V _I (V)	V _{CC} (V)	T _A				
High Level Input Voltage	V _{IH}			2	−40°C to 125°C	1.5		V	
				4.5		3.15			
				6		4.2			
Low Level Input Voltage	V _{IL}			2		0.5		V	
				4.5		1.35			
				6		1.8			
"ON" Resistance IO = 1mA	R _{ON}	V _{CC} or GND	V _{CC} or GND	4.5	25°C	70	160	Ω	
					−40°C to 125°C	200			
				6	25°C	60	140		
					−40°C to 125°C	175			
		V _{CC} to GND	V _{CC} to GND	4.5	25°C	90	180		
					−40°C to 125°C	225			
				6	25°C	80	160		
					−40°C to 125°C	200			
"ON" Resistance Between Any Two Switches	ΔR _{ON}			4.5	25°C	10	Ω		
				6	25°C	8.5			
Off-Switch Leakage Current	I _Z	E = V _{CC}	V _{CC} or GND	6	25°C	±0.8		μA	
					−40°C to 125°C	±8			
Input Leakage Current (Any Control)	I _{IL}		V _{CC} or GND ⁽¹⁾	6	25°C	±0.1		μA	
					−40°C to 125°C	±1			
Quiescent Device Current	I _{CC}		V _{CC} or GND	6	25°C	8		μA	
					−40°C to 125°C	160			

(1) Any voltage between V_{CC} and GND.

10 Electrical Characteristics: HCT Devices

Over operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS				MIN	TYP	MAX	UNIT
Analog Switch									
		V _{IS} (V)	V _I (V)	V _{CC} (V)	T _A				
High Level Input Voltage	V _{IH}			4.5	25°C	2		V	
Low Level Input Voltage	V _{IL}				−40°C to 125°C	0.8		V	
"ON" Resistance IO = 1mA	R _{ON}	V _{CC} or GND	V _{CC} or GND	4.5	25°C	70	160	Ω	
					−40°C to 125°C	200			
		VCC to GND	VCC to GND		25°C	90	180		
					−40°C to 125°C	225			
"ON" Resistance Between Any Two Switches	ΔR _{ON}			4.5	25°C	10		Ω	
Off-Switch Leakage Current	I _Z	E̅ = V _{CC}	V _{CC} or GND	5.5	25°C	±0.8		μA	
					−40°C to 125°C	±8			
Input Leakage Current (Any Control)	I _{IL}		V _{CC} or GND	5.5	25°C	±0.1		μA	
					−40°C to 125°C	±1			
Quiescent Device Current	I _{CC}		V _{CC} or GND	5.5	25°C	8		μA	
					−40°C to 125°C	80			
Additional Quiescent Device Current Per Input Pin: 1 Unit Load	ΔI _{CC} (1)		V _{CC} - 2.1	4.5 to 5.5	25°C	100	360	μA	
					−40°C to 125°C	450			
C _I	Control inputs				25°C	10		pF	
					−55°C to 85°C	10			
					−55°C to 125°C	10			

(1) For dual-supply systems theoretical worst case ($V_I = 2.4\text{V}$, $V_{CC} = 5.5\text{V}$) specification is 1.8mA

11 Switching Characteristics HC

over operating free-air temperature range (unless otherwise noted)

Parameter		Test Conditions		C _L (pF)	MIN	NOM	MAX	UNIT
	FROM (INPUT) TO (OUTPUT)	V _{CC} (V)	T _A					
t _{pd}	I _n TO Common I/O	2	25°C	50			75	ns
			-40°C to 125°C				110	
		4.5	25°C				15	ns
			-40°C to 125°C				22	
		6	25°C				13	ns
			-40°C to 125°C				19	
		5	25°C	15		6		ns
t _{en}	E TO Common I/O	2	25°C	50			275	ns
			-40°C to 125°C				415	
		4.5	25°C				55	ns
			-40°C to 125°C				83	
		6	25°C				47	ns
			-40°C to 125°C				71	
		5	25°C	15		23		ns
t _{en}	S _n TO Common I/O	2	25°C	50			300	ns
			-40°C to 125°C				450	
		4.5	25°C				60	ns
			-40°C to 125°C				90	
		6	25°C				51	ns
			-40°C to 125°C				76	
		5	25°C	15		25		ns
t _{dis}	E TO Common I/O	2	25°C	50			275	ns
			-40°C to 125°C				415	
		4.5	25°C				55	ns
			-40°C to 125°C				83	
		6	25°C				47	ns
			-40°C to 125°C				71	
		5	25°C	15		23		ns
t _{dis}	S _n TO Common I/O	2	25°C	50			290	ns
			-40°C to 125°C				435	
		4.5	25°C				58	ns
			-40°C to 125°C				87	
		6	25°C				49	ns
			-40°C to 125°C				74	
		5	25°C	15		21		ns

over operating free-air temperature range (unless otherwise noted)

Parameter		Test Conditions		C _L (pF)	MIN	NOM	MAX	UNIT
C _{PD} Power dissipation capacitance(1)	C _{PD}	5	25°C			93		pF

12 Switching Characteristics HCT

over operating free-air temperature range (unless otherwise noted)

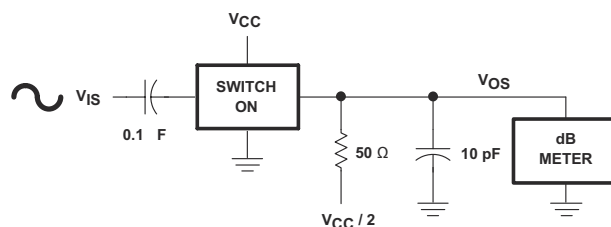
Parameter		Test Conditions		C _L (pF)	MIN	NOM	MAX	UNIT
	FROM (INPUT) TO (OUTPUT)	V _{CC} (V)	T _A					
t _{pd}	I _n TO Common I/O	5	25°C	15		6		ns
		4.5	25°C	50			15	
			-40°C to 125°C				19	
t _{en}	E TO Common I/O	5	25°C	15		25		ns
		4.5	25°C	50			60	
			-40°C to 125°C				75	
t _{en}	S _n TO Common I/O	5	25°C	15		25		ns
		4.5	25°C	50			60	
			-40°C to 125°C				75	
t _{dis}	E TO Common I/O	5	25°C	15		23		ns
		4.5	25°C	50			55	
			-40°C to 125°C				69	
t _{dis}	S _n TO Common I/O	5	25°C	15		21		ns
		4.5	25°C	50			58	
			-40°C to 125°C				73	
C _{PD} Power dissipation capacitance(1)	C _{PD}	5	25°C			96		pF

13 Analog Channel Specifications

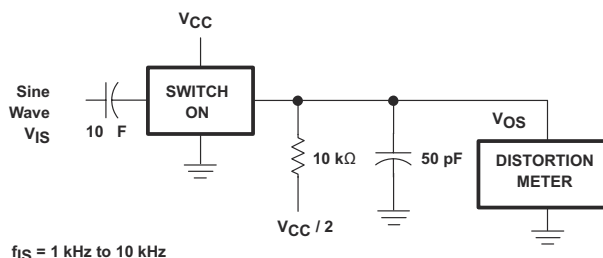
over operating free-air temperature range (unless otherwise noted)

Parameter	Test Conditions		V _{CC} (V)	HC	HCT	UNIT
Switch Frequency Response Bandwidth at -3dB			4.5	89	89	MHz
Total Harmonic Distortion	1kHz, V _{IS} = 4V _{PP}		4.5	0.051	0.051	%
Switch "OFF" signal feedthrough			4.5	-75	-75	dB
C _S Switch input capacitance				5	5	pF
C _{COM} Common Capacitance				50	50	pF

14 Parameter Measurement Information

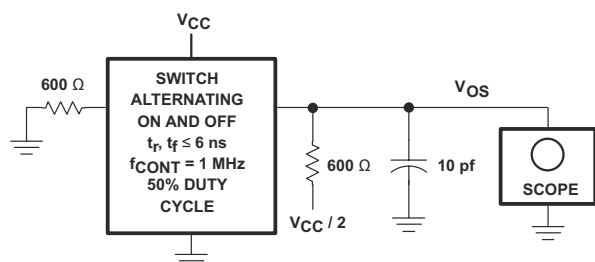


14-1. Frequency-Response Test Circuit

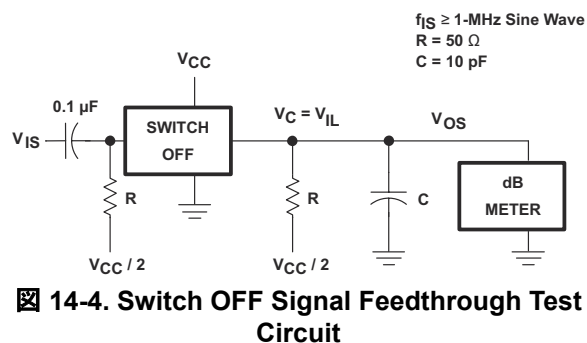


$f_{IS} = 1 \text{ kHz to } 10 \text{ kHz}$

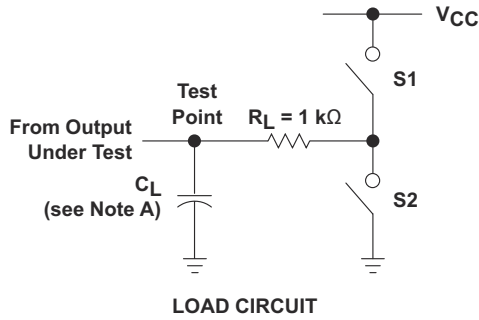
14-2. Sine-Wave Distortion Test Circuit



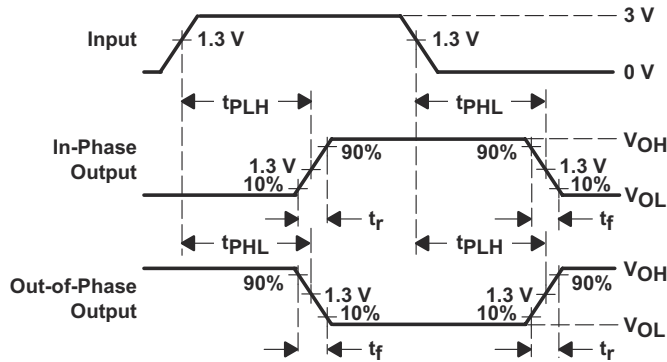
14-3. Control-to-Switch Feedthrough Noise Test Circuit



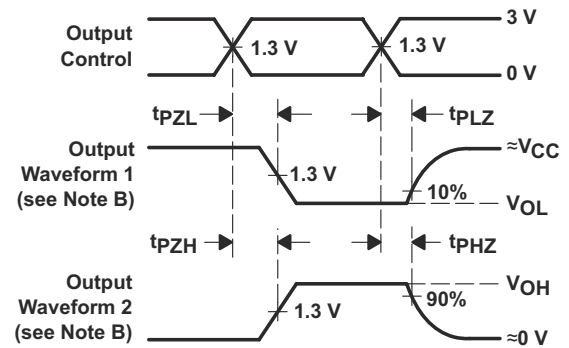
14-4. Switch OFF Signal Feedthrough Test Circuit



PARAMETER	S1	S2
t_{en}	t_{PZH} Open	Closed
	t_{PZL} Closed	Open
t_{dis}	t_{PHZ} Open	Closed
	t_{PLZ} Closed	Open
t_{pd}	Open	Open



VOLTAGE WAVEFORMS
PROPAGATION DELAY AND OUTPUT TRANSITION TIMES



VOLTAGE WAVEFORMS
OUTPUT ENABLE AND DISABLE TIMES

- NOTES:
- A. C_L includes probe and test-fixture capacitance.
 - B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 - C. Phase relationships between waveforms were chosen arbitrarily. All input pulses are supplied by generators having the following characteristics: $PRR \leq 1\text{ MHz}$, $Z_O = 50\ \Omega$, $t_r = 6\text{ ns}$, $t_f = 6\text{ ns}$.
 - D. For clock inputs, f_{max} is measured with the input duty cycle at 50%.
 - E. The outputs are measured one at a time, with one input transition per measurement.
 - F. t_{PLZ} and t_{PHZ} are the same as t_{dis} .
 - G. t_{PZL} and t_{PZH} are the same as t_{en} .
 - H. t_{PLH} and t_{PHL} are the same as t_{pd} .

14-5. Load Circuit and Voltage Waveforms

15 Detailed Description

15.1 Functional Block Diagram

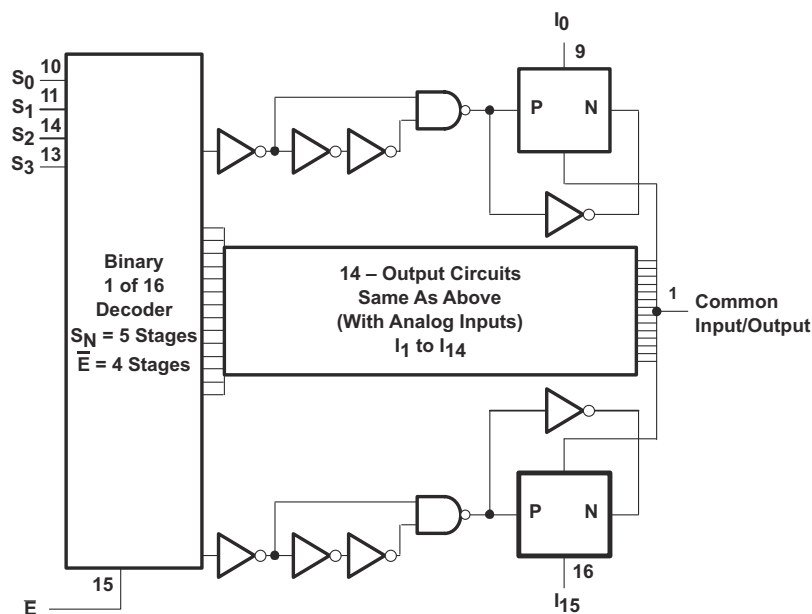


図 15-1. Logic Diagram (Positive Logic)

15.2 Device Functional Modes

表 15-1. Function Table ⁽¹⁾

S0	S1	S2	S3	E	SELECTED CHANNEL
X	X	X	X	H	None
L	L	L	L	L	0
H	L	L	L	L	1
L	H	L	L	L	2
H	H	L	L	L	3
L	L	H	L	L	4
H	L	H	L	L	5
L	H	H	L	L	6
H	H	H	L	L	7
L	L	L	H	L	8
H	L	L	H	L	9
L	H	L	H	L	10
H	H	L	H	L	11
L	L	H	H	L	12
H	L	H	H	L	13
L	H	H	H	L	14
H	H	H	H	L	15

(1) H = High level
L = Low level
X = Don't Care

16 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

16.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

16.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

16.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

16.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

16.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

17 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (February 2025) to Revision D (April 2025)	Page
• CD74HC4067-Q1 を追加.....	1

Changes from Revision B (April 2008) to Revision C (February 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• Updated Thermal parameters for DW package.....	6
• Added RGY, DGS, and PW packages.....	6
• Added HC Electrical characteristics.....	7
• Added HC Switching characteristics.....	9

Changes from Revision A (April 2008) to Revision B (August 2012)	Page
• ドキュメント全体を通して H2 を H1A に、C3B を C2 に変更.....	1
• 「特長」に AEC-Q100 の情報を追加.....	1
• 「特長」から削除: 広い動作温度範囲: -40°C ~ 85°C.....	1

- 「アプリケーション」を追加..... 1
 - 「注文情報」表の SOIC-M パッケージ情報を、DW-SOIC-M パッケージの新しい行に置き換え..... 1
-

18 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD74HC4067QDGSRQ1	Active	Production	VSSOP (DGS) 24	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	H4067Q
CD74HC4067QPWRQ1	Active	Production	TSSOP (PW) 24	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4067Q
CD74HC4067QPWRQ1.A	Active	Production	TSSOP (PW) 24	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4067Q
CD74HC4067QRGYRQ1	Active	Production	VQFN (RGY) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	HC4067Q
CD74HC4067QRGYRQ1.A	Active	Production	VQFN (RGY) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	HC4067Q
CD74HCT4067QDGSRQ1	Active	Production	VSSOP (DGS) 24	5000 LARGE T&R	-	Call TI	Level-1-260C-UNLIM	-40 to 125	T4067Q
CD74HCT4067QM96Q1	Active	Production	SOIC (DW) 24	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HCT4067I
CD74HCT4067QM96Q1.A	Active	Production	SOIC (DW) 24	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HCT4067I
CD74HCT4067QPWRQ1	Active	Production	TSSOP (PW) 24	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HCT4067Q
CD74HCT4067QPWRQ1.A	Active	Production	TSSOP (PW) 24	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HCT4067Q
CD74HCT4067QRGYRQ1	Active	Production	VQFN (RGY) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	HCT4067Q
CD74HCT4067QRGYRQ1.A	Active	Production	VQFN (RGY) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	HCT4067Q
D24067IM96G4Q1	Obsolete	Production	SOIC (DW) 24	-	-	Call TI	Call TI	-40 to 85	HCT4067I

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD74HC4067-Q1, CD74HCT4067-Q1 :

- Catalog : [CD74HC4067](#), [CD74HCT4067](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION



*All dimensions are nominal

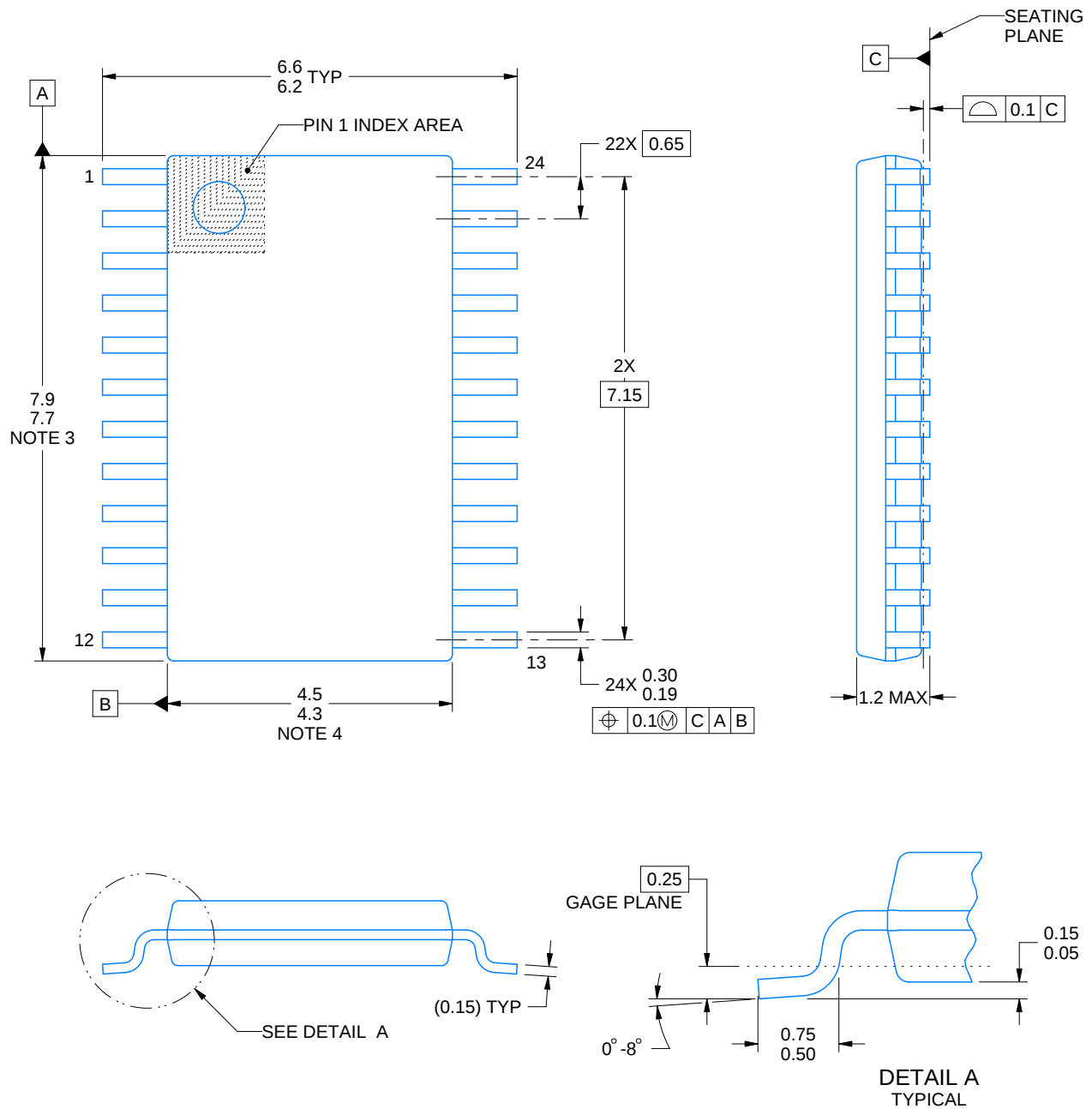
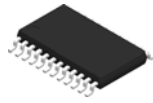
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74HC4067QDGSRQ1	VSSOP	DGS	24	5000	330.0	16.4	5.44	6.4	1.45	8.0	16.0	Q1
CD74HC4067QPWRQ1	TSSOP	PW	24	2000	330.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1
CD74HC4067QRGYRQ1	VQFN	RGY	24	3000	330.0	12.4	3.8	5.8	1.2	8.0	12.0	Q1
CD74HCT4067QDGSRQ1	VSSOP	DGS	24	5000	330.0	16.4	5.44	6.4	1.45	8.0	16.0	Q1
CD74HCT4067QM96Q1	SOIC	DW	24	2000	330.0	24.4	10.75	15.7	2.7	12.0	24.0	Q1
CD74HCT4067QPWRQ1	TSSOP	PW	24	2000	330.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1
CD74HCT4067QRGYRQ1	VQFN	RGY	24	3000	330.0	12.4	3.8	5.8	1.2	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74HC4067QDGSRQ1	VSSOP	DGS	24	5000	353.0	353.0	32.0
CD74HC4067QPWRQ1	TSSOP	PW	24	2000	353.0	353.0	32.0
CD74HC4067QRGYRQ1	VQFN	RGY	24	3000	367.0	367.0	35.0
CD74HCT4067QDGSRQ1	VSSOP	DGS	24	5000	353.0	353.0	32.0
CD74HCT4067QM96Q1	SOIC	DW	24	2000	350.0	350.0	43.0
CD74HCT4067QPWRQ1	TSSOP	PW	24	2000	353.0	353.0	32.0
CD74HCT4067QRGYRQ1	VQFN	RGY	24	3000	367.0	367.0	35.0



4220208/A 02/2017

NOTES:

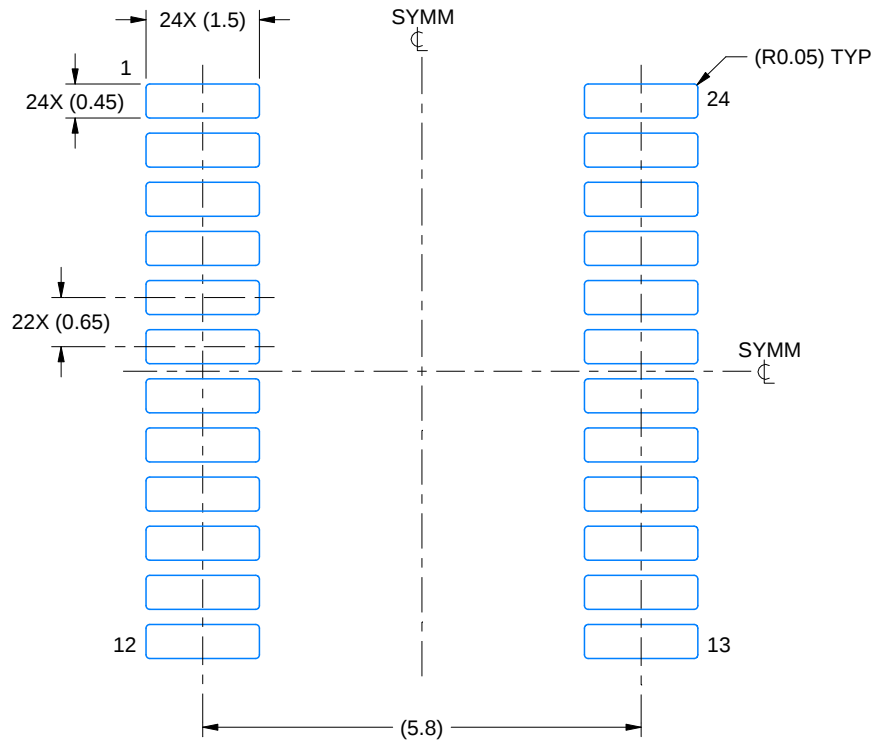
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

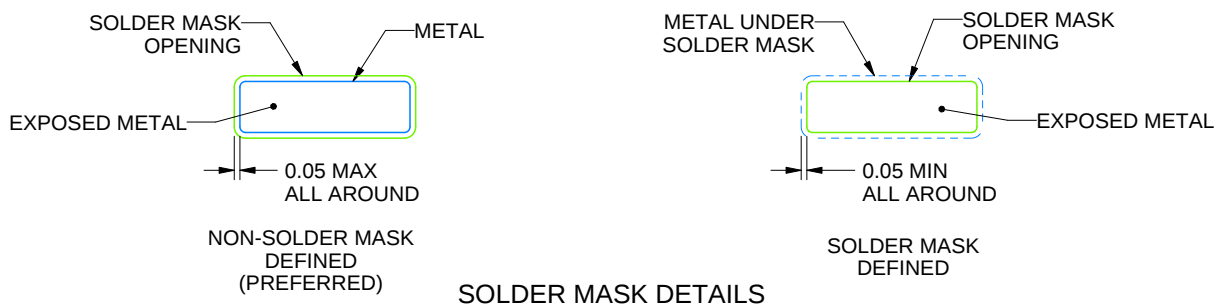
PW0024A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220208/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0024A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

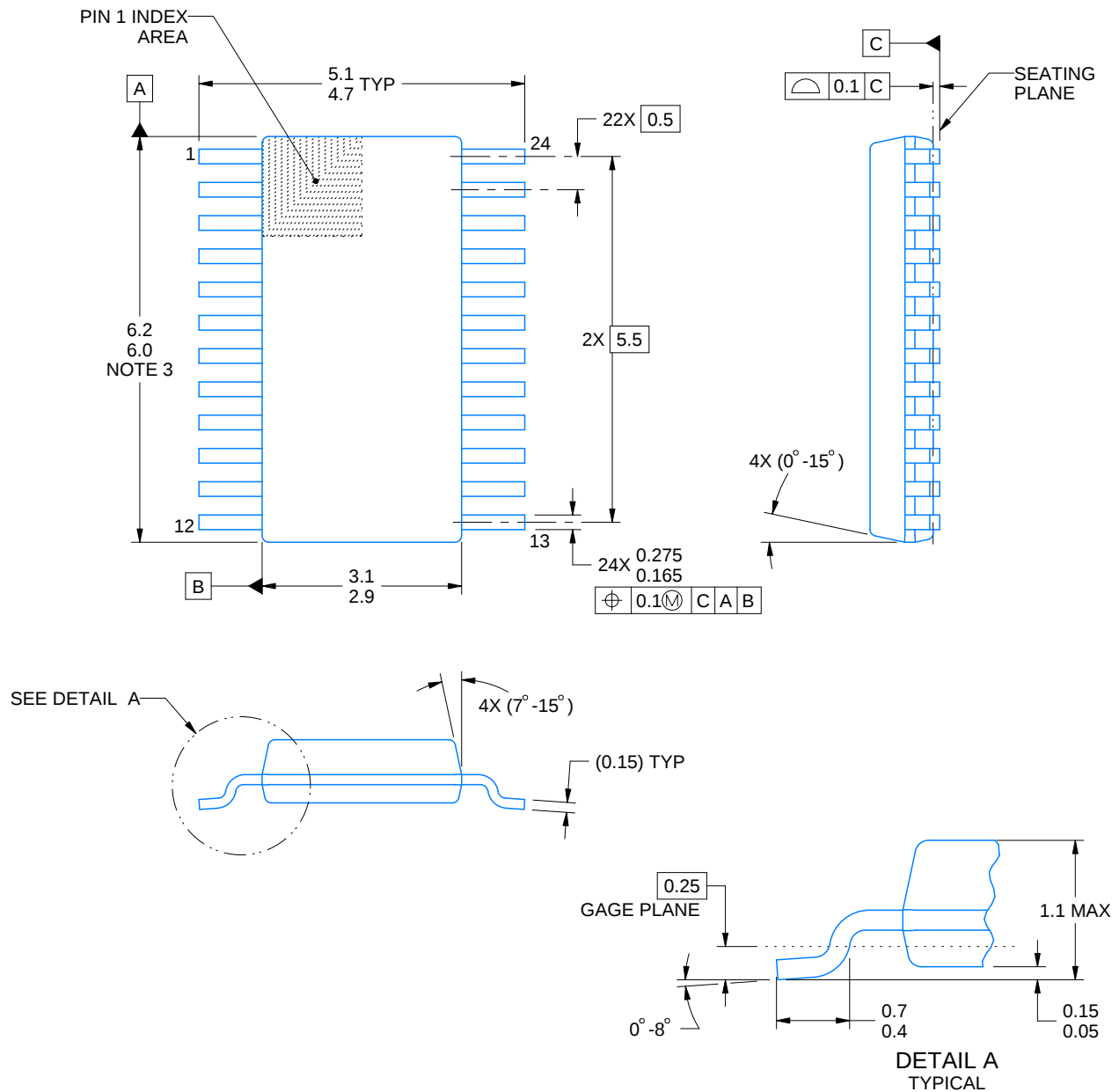


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220208/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4226366/A 10/2020

NOTES:

PowerPAD is a trademark of Texas Instruments.

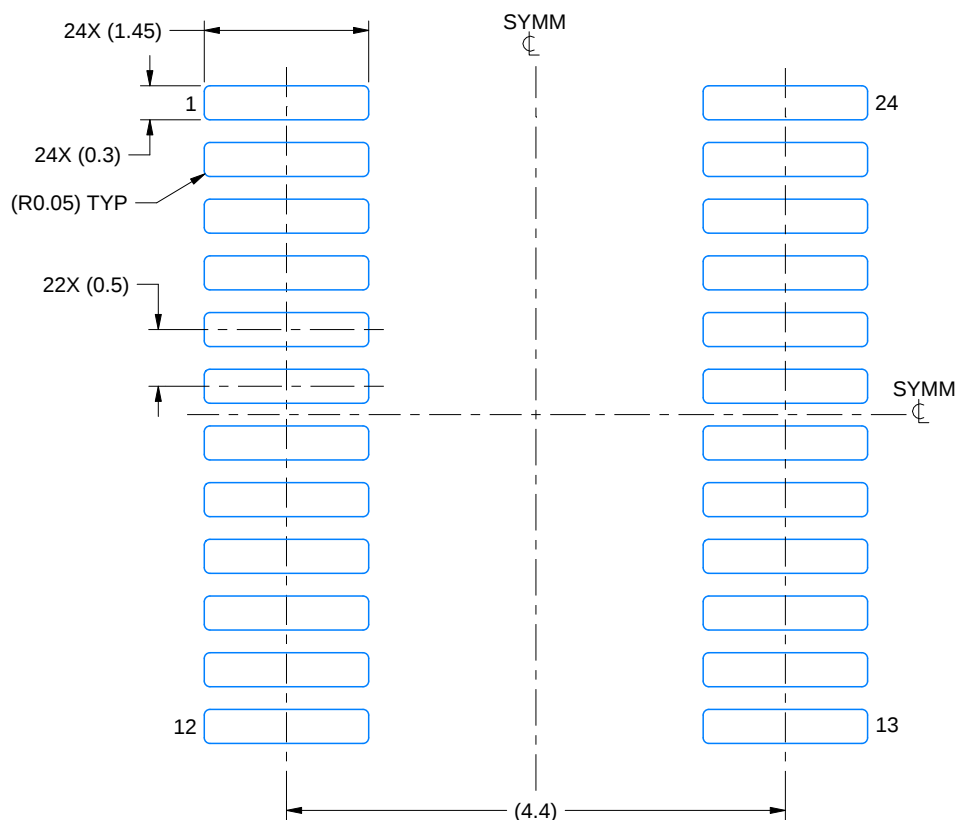
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

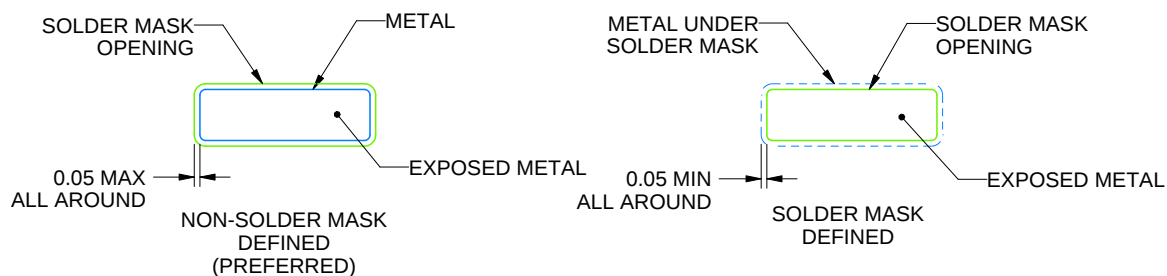
DGS0024A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE: 15X



SOLDER MASK DETAILS

4226366/A 10/2020

NOTES: (continued)

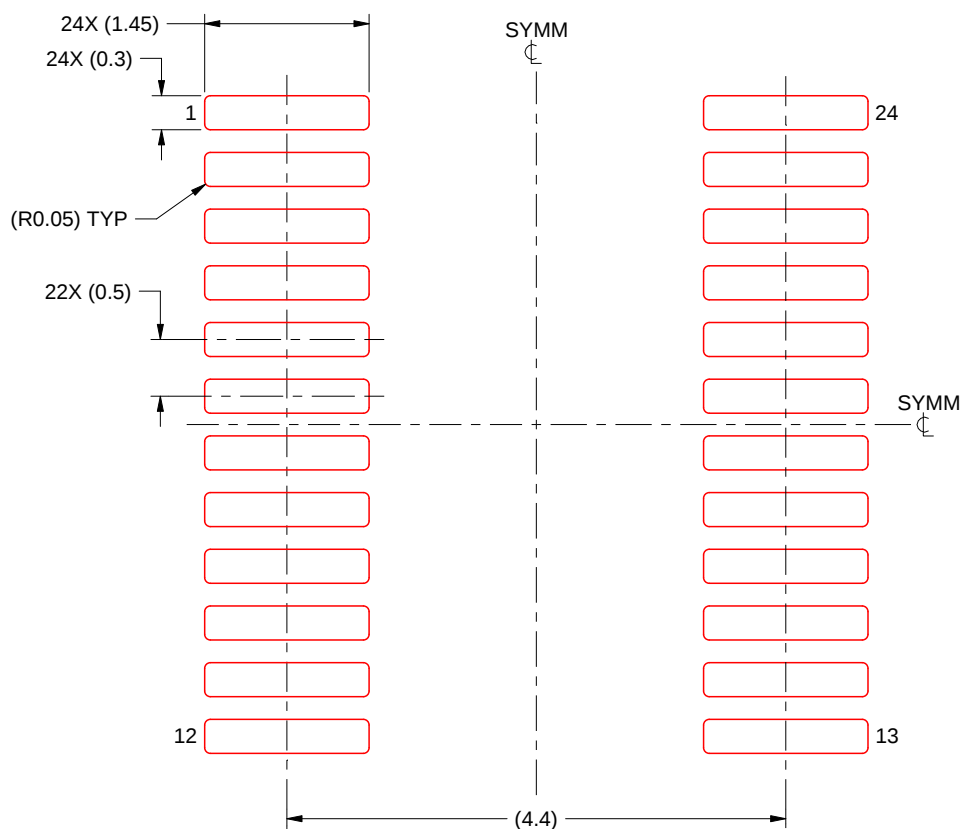
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGS0024A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 15X

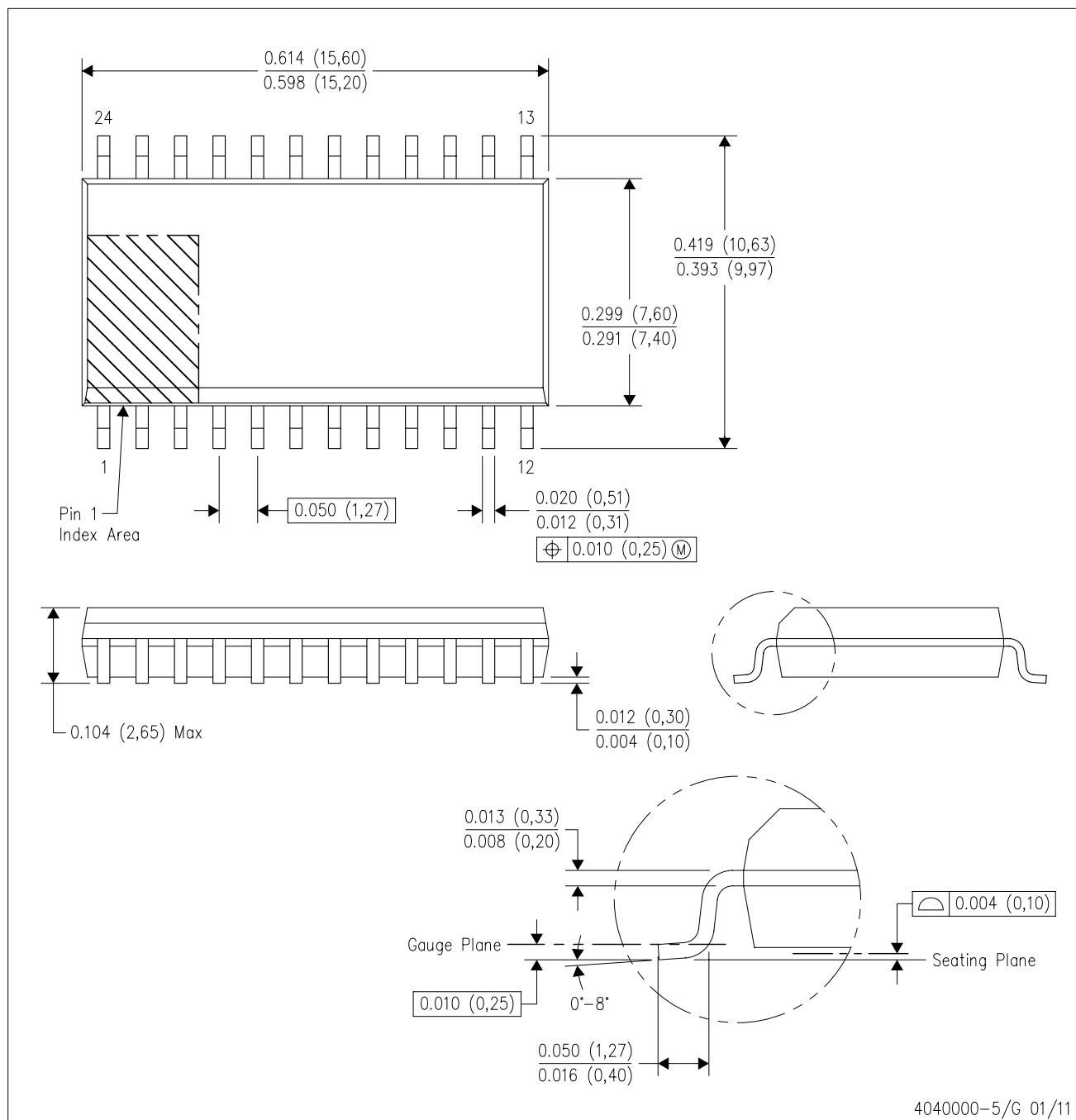
4226366/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

DW (R-PDSO-G24)

PLASTIC SMALL OUTLINE



- NOTES:
- All linear dimensions are in inches (millimeters). Dimensioning and tolerancing per ASME Y14.5M-1994.
 - This drawing is subject to change without notice.
 - Body dimensions do not include mold flash or protrusion not to exceed 0.006 (0,15).
 - Falls within JEDEC MS-013 variation AD.

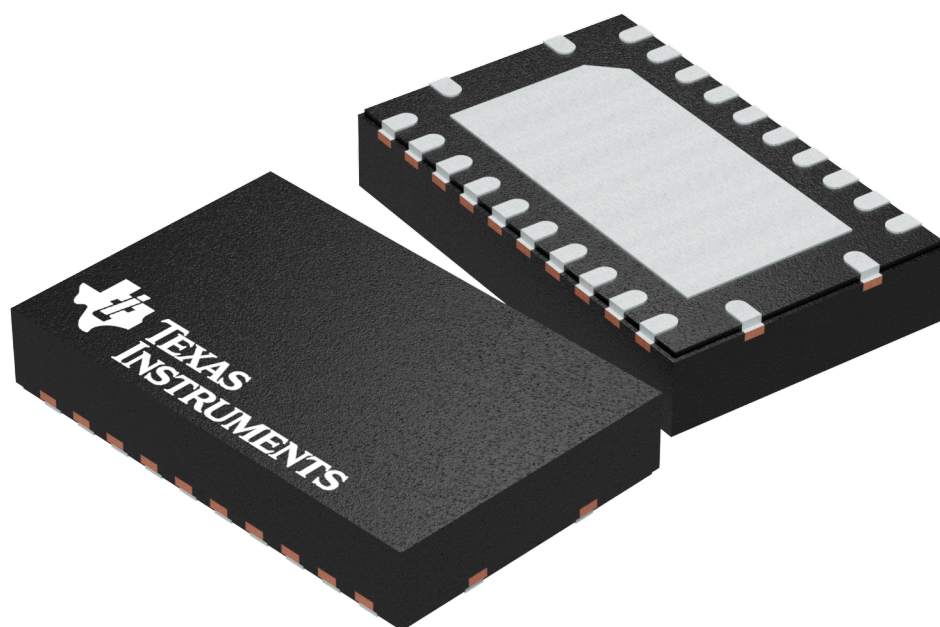
GENERIC PACKAGE VIEW

RGY 24

VQFN - 1 mm max height

5.5 x 3.5 mm, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203539-5/J

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月