

CDCLVD1204 2:4 低付加ジッタ LVDS バッファ

1 特長

- 2:4 差動バッファ
- 小さい付加ジッタ: 10kHz ~ 20MHz の範囲で 300fs RMS 未満
- 20ps (最大値) の低い出力スキュー
- ユニバーサル入力: LVDS、LVPECL、および LVCMOS に対応
- 制御端子によりクロック入力を選択可能
- 4 個の LVDS 出力、ANSI EIA/TIA-644A 規格互換
- クロック周波数: 最大 800MHz
- デバイス電源: 2.375V ~ 2.625V
- LVDS リファレンス電圧 V_{AC_REF} を容量性結合入力に使用可能
- 産業用温度範囲: -40°C ~ 85°C
- 3mm × 3mm、16 ピン VQFN (RGT) パッケージで供給
- 3kV HBM、1kV CDM を超える ESD 保護

2 アプリケーション

- テレコミュニケーションおよびネットワーク機器
- 医療用画像処理
- 試験および計測機器
- ワイヤレス通信
- 汎用クロック機能

3 説明

CDCLVD1204 クロック バッファは、2 つのクロック入力 (IN0 および IN1) のいずれか 1 つを 4 ペアの差動 LVDS クロック出力 (OUT0~OUT3) に分配します。このとき、クロック分配のスキューを最小限に抑えます。CDCLVD1204 は、入力マルチプレクサに 2 つのクロックソースを接続できます。入力は LVDS、LVPECL、LVCMOS のいずれかに対応可能です。

CDCLVD1204 は、50Ω の伝送経路の駆動に特化して設計されています。シングルエンド モードで入力を駆動する場合には、適切なバイアス電圧、 V_{AC_REF} を未使用の負入力ピンに印加する必要があります。

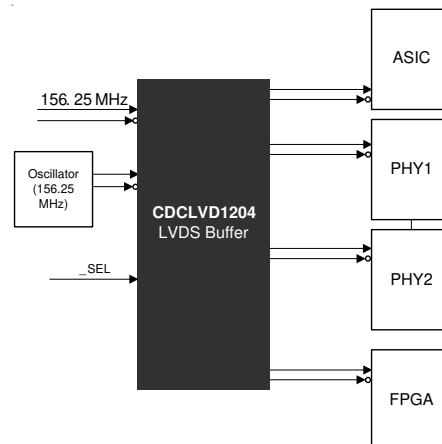
IN_SEL ピンは、どの入力を出力に転送するかを選択します。このピンがオープンのままの場合、出力はディセーブルになります (静的状態)。このデバイスは、フェイルセーフ機能をサポートしています。このデバイスは入力ヒステリシスを備えており、入力信号が存在しないときに出力がランダムに発振することを防止します。

このデバイスは、電源電圧 2.5V の環境で動作し、-40°C ~ 85°C (周囲温度) で仕様が規定されています。CDCLVD1204 は、小型の 16 ピン 3mm × 3mm VQFN パッケージで提供されます。

製品情報

部品番号	パッケージ (1)	本体サイズ (公称)
CDCLVD1204	VQFN (16)	3.00mm × 3.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



Copyright © 2016, Texas Instruments Incorporated

アプリケーションの例



目次

1 特長	1	8 アプリケーションと実装	13
2 アプリケーション	1	8.1 使用上の注意.....	13
3 説明	1	8.2 代表的なアプリケーション.....	13
4 ピン構成および機能	3	9 電源に関する推奨事項	15
5 仕様	4	10 レイアウト	15
5.1 絶対最大定格.....	4	10.1 レイアウトのガイドライン.....	15
5.2 ESD 定格.....	4	10.2 レイアウト例.....	16
5.3 推奨動作条件.....	4	10.3 熱に関する注意事項.....	16
5.4 熱に関する情報.....	4	11 デバイスおよびドキュメントのサポート	17
5.5 電気的特性.....	5	11.1 ドキュメントのサポート.....	17
5.6 タイミング要件.....	6	11.2 ドキュメントの更新通知を受け取る方法.....	17
5.7 代表的特性.....	7	11.3 サポート・リソース.....	17
6 パラメータ測定情報	8	11.4 商標.....	17
7 詳細説明	10	11.5 静電気放電に関する注意事項.....	17
7.1 概要.....	10	11.6 用語集.....	17
7.2 機能ブロック図.....	10	12 改訂履歴	17
7.3 機能説明.....	10	13 メカニカル、パッケージ、および注文情報	18
7.4 デバイスの機能モード.....	10		

4 ピン構成および機能

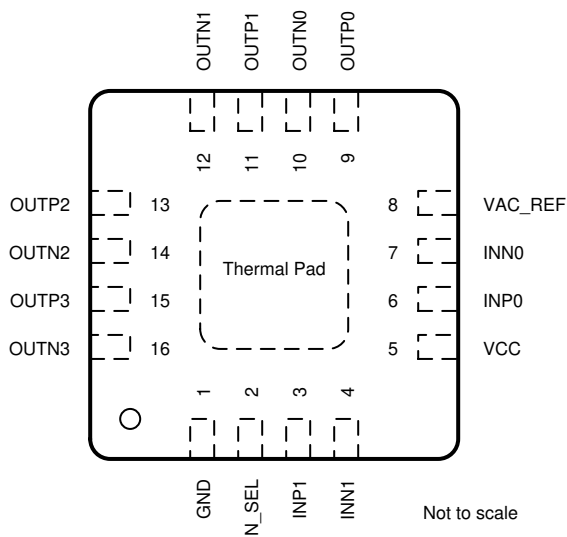


図 4-1. RGT パッケージ 16 ピン VQFN 上面図

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
番号	名称		
1	GND	G	デバイスのグラウンド
2	IN_SEL	I	内部 200kΩ プルアップとプルダウンによる入力選択。入力ポートを選択 (表 7-1 を参照)
3、4	INP1、INN1	I	差動冗長入力ペアまたはシングルエンド入力
5	V _{CC}	P	デバイスの 2.5V 電源
6、7	INP0、INN0	I	差動入力ペアまたはシングルエンド入力
8	V _{AC_REF}	O	容量性結合入力用のバイアス電圧出力。使用する場合、TI ではこのピンの GND に 0.1μF コンデンサを使用することを推奨しています。
9、10	OUTP0、OUTN0	O	差動 LVDS 出力ペア番号 0
11、12	OUTP1、OUTN1	O	差動 LVDS 出力ペア番号 1
13、14	OUTP2、OUTN2	O	差動 LVDS 出力ペア番号 2
15、16	OUTP3、OUTN3	O	差動 LVDS 出力ペア番号 3

(1) G=グラウンド、I=入力、O=出力、P=電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

	最小値	最大値	単位
電源電圧、 V_{CC}	-0.3	2.8	V
入力電圧、 V_I	-0.2	$V_{CC} + 0.2$	V
出力電圧、 V_O	-0.2	$V_{CC} + 0.2$	V
ドライバ短絡電流、 I_{OSD}	(2) を参照		
保管温度、 T_{stg}	-65	150	°C

- (1) 「絶対最大定格」で示す値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレスの定格のみについてであり、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、このデバイスが正しく動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 出力は、永続的な短絡を処理できます。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	>3000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	>1000	

- (1) 人体モデル、1.5k Ω 、100pF
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	公称値	最大値	単位
V_{CC} デバイス電源電圧	2.375	2.5	2.625	V
T_A 周辺温度	-40		85	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		CDCLVD1204	単位
		RGT (VQFN)	
		16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	51.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	85.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	20.1	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	19.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	6	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。
[spra953](#)

5.5 電気的特性

$V_{CC} = 2.375V \sim 2.625V$, $T_A = -40^{\circ}C \sim 85^{\circ}C$ (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
IN_SEL 制御					
V_{DI3}	3-state 入力	オープン	$0.5 \times V_{CC}$		V
V_{DIH}	入力 High 電圧	$0.7 \times V_{CC}$			V
V_{DIL}	入力 Low 電圧		$0.2 \times V_{CC}$		V
I_{DIH}	高入力電流	$V_{CC} = 2.625V$, $V_{IH} = 2.625V$		30	μA
I_{DIL}	入力 Low 電流	$V_{CC} = 2.625V$, $V_{IL} = 0V$		-30	μA
$R_{pull(IN_SEL)}$	入力プルアップまたはプルダウン抵抗		200		k Ω
2.5V LVCMOS 入力 (図 6-3 を参照)					
f_{IN}	入力周波数			200	MHz
V_{th}	入力スレッショルド電圧	反転入力に印加される外部スレッショルド電圧	1.1	1.5	V
V_{IH}	入力 High 電圧		$V_{th} + 0.1$	V_{CC}	V
V_{IL}	入力 Low 電圧		0	$V_{th} - 0.1$	V
I_{IH}	高入力電流	$V_{CC} = 2.625V$, $V_{IH} = 2.625V$		10	μA
I_{IL}	入力 Low 電流	$V_{CC} = 2.625V$, $V_{IL} = 0V$		-10	μA
$\Delta V/\Delta T$	入力エッジレート	20%~80%	1.5		V/ns
C_{IN}	入力容量		2.5		pF
差動入力					
f_{IN}	入力周波数	クロック入力		800	MHz
$V_{IN, DIFF}$	差動入力電圧 ピークツーピーク	$V_{ICM} = 1.25V$	0.3	1.6	V_{PP}
V_{ICM}	入力同相電圧	$V_{IN, DIFF, PP} > 0.4V$	1	$V_{CC} - 0.3$	V
I_{IH}	高入力電流	$V_{CC} = 2.625V$, $V_{IH} = 2.625V$		10	μA
I_{IL}	入力 Low 電流	$V_{CC} = 2.625V$, $V_{IL} = 0V$		-10	μA
$\Delta V/\Delta T$	入力エッジレート	20%~80%	0.75		V/ns
C_{IN}	入力容量		2.5		pF
LVDS 出力					
$ V_{OD} $	差動出力電圧の大きさ	$V_{IN, DIFF, PP} = 0.3V$, $R_L = 100\Omega$	250	450	mV
ΔV_{OD}	差動出力電圧振幅の変化	$V_{IN, DIFF, PP} = 0.3V$, $R_L = 100\Omega$	-15	15	mV
$V_{OC(SS)}$	定常同相 出力電圧	$V_{IN, DIFF, PP} = 0.3V$, $R_L = 100\Omega$	1.1	1.375	V
$\Delta V_{OC(SS)}$	定常同相 出力電圧	$V_{IN, DIFF, PP} = 0.6V$, $R_L = 100\Omega$	-15	15	mV
V_{ring}	出力オーバーシュートおよびアンダーシュート	出力振幅 V_{OD} のパーセンテージ		10%	
V_{OS}	出力 AC 同相モード	$V_{IN, DIFF, PP} = 0.6V$, $R_L = 100\Omega$	25	70	mV _{PP}
I_{OS}	短絡出力電流	$V_{OD} = 0V$		± 24	mA
t_{PD}	伝搬遅延	$V_{IN, DIFF, PP} = 0.3V$	1.5	2.5	ns
$t_{SK, PP}$	部品間スキュー			600	ps
$t_{SK, O}$	出力スキュー			20	ps
$t_{SK, P}$	パルス スキュー	50% デューティサイクル入力、クロス ポイント間の歪み	-50	50	ps

5.5 電気的特性 (続き)

$V_{CC} = 2.375V \sim 2.625V$ 、 $T_A = -40^{\circ}C \sim 85^{\circ}C$ (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
t_{RJIT} ランダム付加ジッタ	50% デューティサイクル入力、 エッジ速度 = 0.75V/ns、 10 kHz～20MHz			0.3	ps, RMS
t_R/t_F 出力の立ち上がりおよび立ち下がり時間	20%～80%、100Ω、5pF	50		300	ps
I_{CCSTAT} 静的電源電流	出力未終端、 $f = 0Hz$		17	28	mA
I_{CC100} 電源電流	すべての出力、 $R_L = 100\Omega$ 、 $f = 100MHz$		40	58	mA
I_{CC800} 電源電流	すべての出力、 $R_L = 100\Omega$ 、 $f = 800MHz$		60	80	mA
V_{AC_REF} リファレンス出力電圧	$V_{CC} = 2.5V$ 、 $I_{load} = 100 \mu A$	1.1	1.25	1.35	V

5.6 タイミング要件

	最小値	公称値	最大値	単位
100MHz クロック向けの付加位相ノイズ				
phn_{100} 100Hz オフセットでの位相ノイズ		-132.9		dBc/Hz
phn_{1k} 1kHz オフセットでの位相ノイズ		-138.8		dBc/Hz
phn_{10k} 10kHz オフセットでの位相ノイズ		-147.4		dBc/Hz
phn_{100k} 100kHz オフセットでの位相ノイズ		-153.6		dBc/Hz
phn_{1M} 1MHz オフセットでの位相ノイズ		-155.2		dBc/Hz
phn_{10M} 10MHz オフセットでの位相ノイズ		-156.2		dBc/Hz
phn_{20M} 20MHz オフセットでの位相ノイズ		-156.6		dBc/Hz
t_{RJIT} 10kHz から 20MHz までのランダム付加ジッタ		171		fs, RMS
737.27MHz クロック向けの付加位相ノイズ				
phn_{100} 100Hz オフセットでの位相ノイズ		-80.2		dBc/Hz
phn_{1k} 1kHz オフセットでの位相ノイズ		-114.3		dBc/Hz
phn_{10k} 10kHz オフセットでの位相ノイズ		-138		dBc/Hz
phn_{100k} 100kHz オフセットでの位相ノイズ		-143.9		dBc/Hz
phn_{1M} 1MHz オフセットでの位相ノイズ		-145.2		dBc/Hz
phn_{10M} 10MHz オフセットでの位相ノイズ		-146.5		dBc/Hz
phn_{20M} 20MHz オフセットでの位相ノイズ		-146.6		dBc/Hz
t_{RJIT} 10kHz から 20MHz までのランダム付加ジッタ		65		fs, RMS

5.7 代表的特性

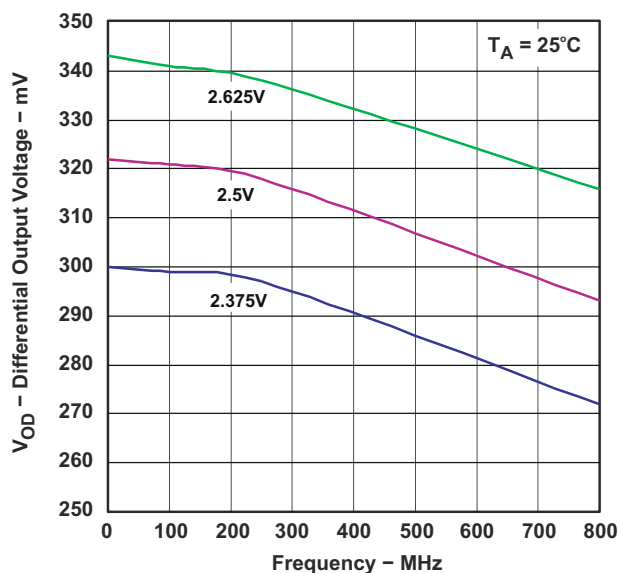
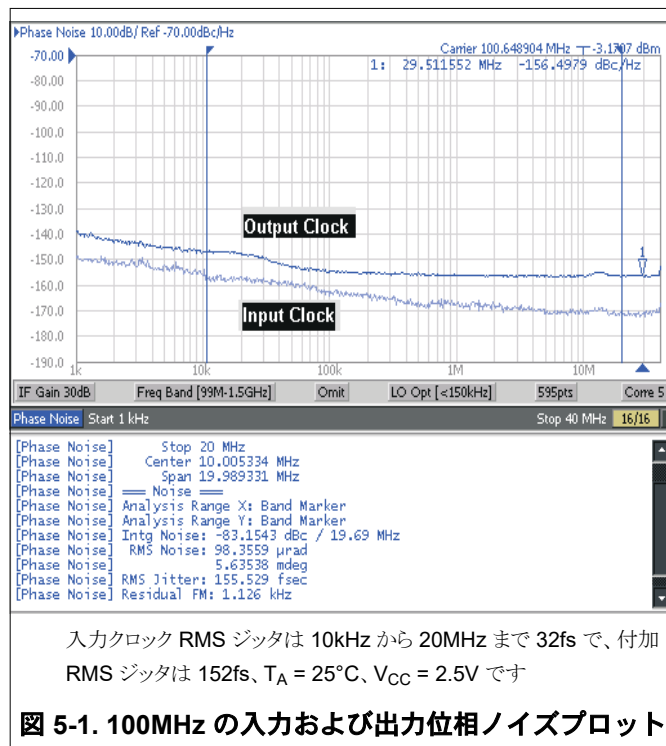


図 5-2. 差動出力電圧と周波数との関係

6 パラメータ測定情報

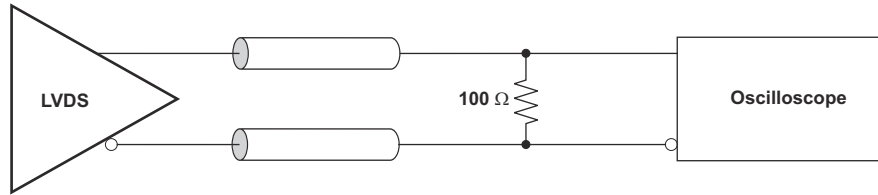


図 6-1. デバイス テスト時の LVDS 出力 DC 構成

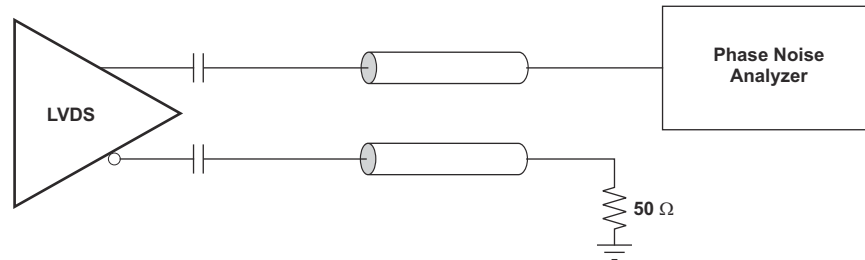


図 6-2. デバイス テスト時の LVDS 出力 AC 構成

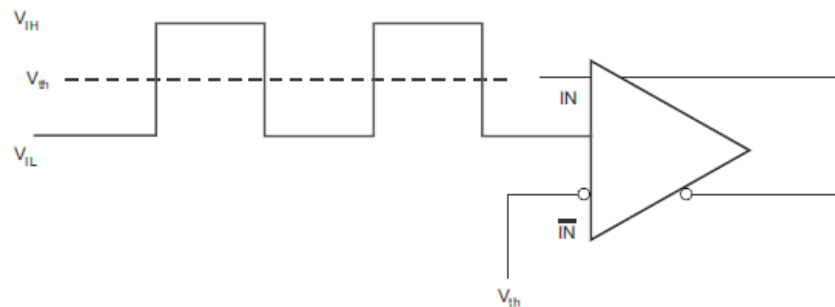


図 6-3. デバイス テスト時の DC 結合 LVC MOS 入力

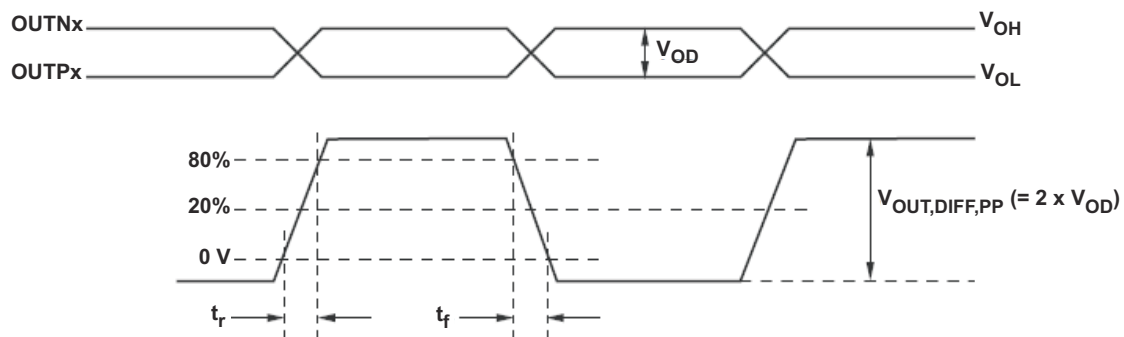
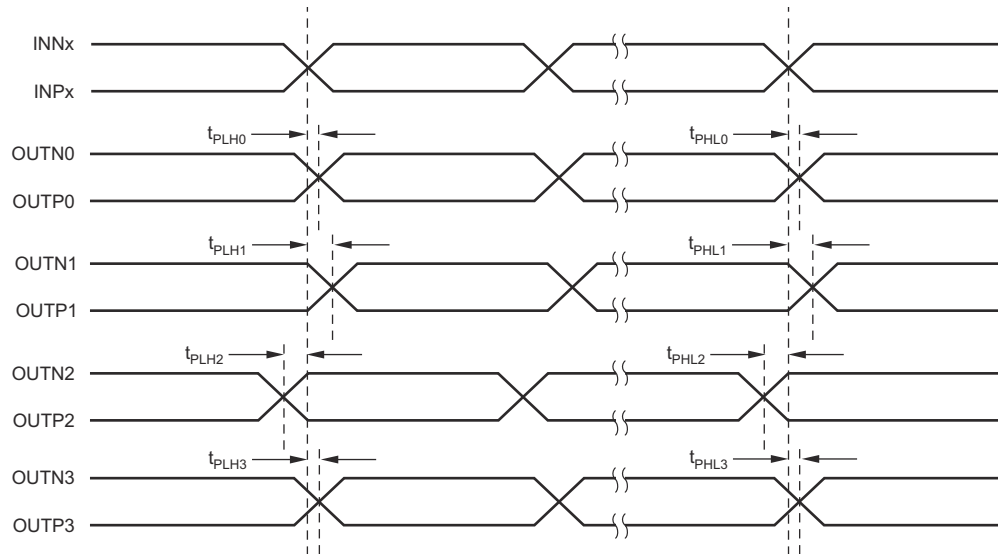


図 6-4. 出力電圧と立ち上がり / 立ち下がり時間



1. 出力スキューは、次の値のうち大きい方として計算されます。最高速と最低速の t_{PLHn} 間の差、または最高速と最低速の t_{PLHn} 間の差 ($n = 0, 1, 2, 3$)。
2. 部品間スキューは、次の値のうち大きい方として計算されます。複数のデバイスにわたる最高速と最低速の t_{PLHn} 間の差、または最高速と最低速の t_{PLHn} 間の差 ($n = 0, 1, 2, 3$)。

図 6-5. 出力スキューおよび部品間スキュー

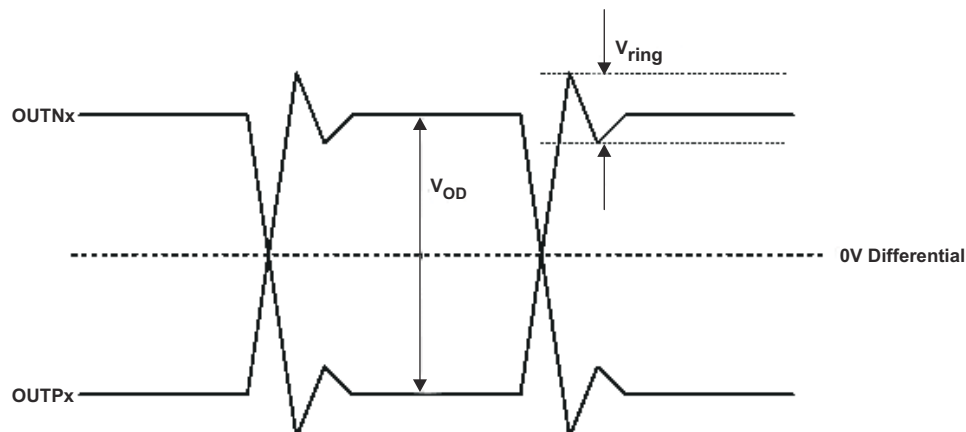


図 6-6. 出力のオーバーシュートとアンダーシュート

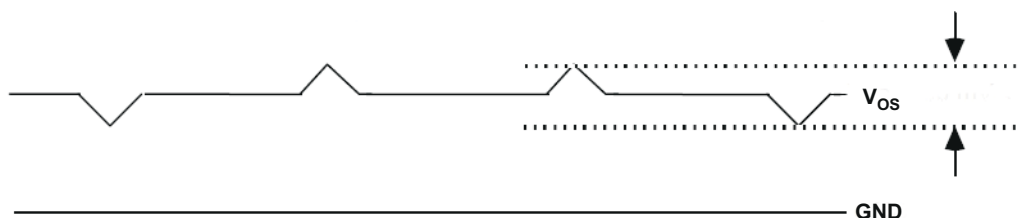


図 6-7. 出力 AC 同相モード

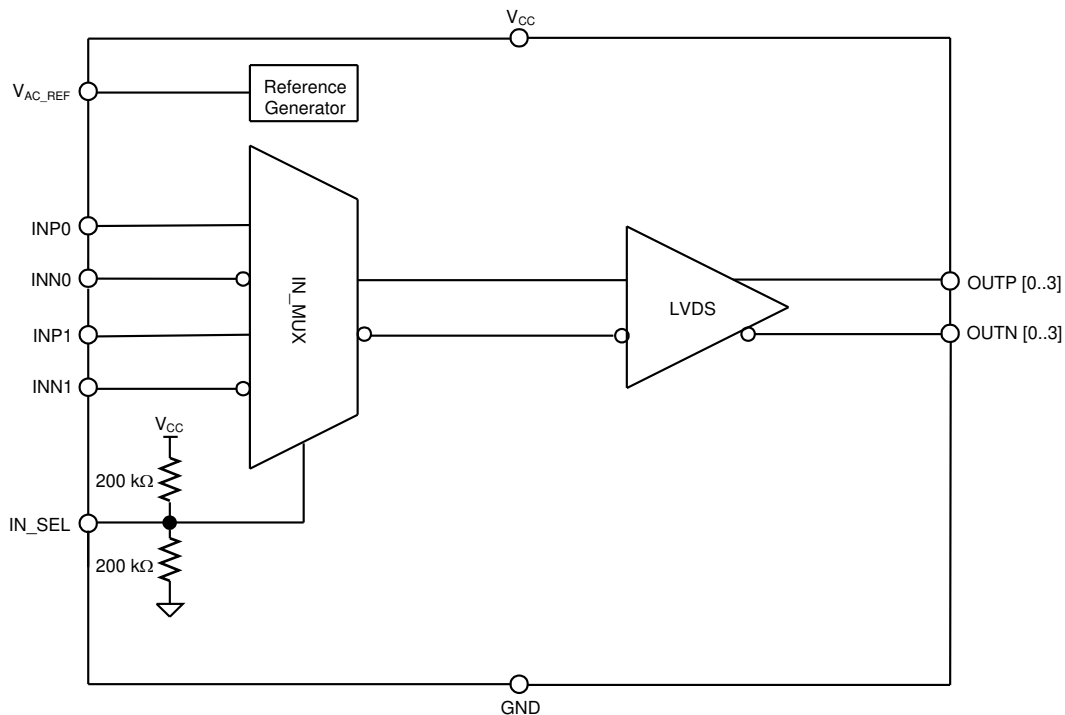
7 詳細説明

7.1 概要

CDCLVD1204 LVDS ドライバは、CMOS トランジスタを使用して出力電流を制御します。デバイスを正しく動作させ、シグナル インテグリティを最大化するには、適切なバイアスと終端が必要です。

2 つの 50Ω ラインでのシグナル インテグリティのための適切な LVDS 終端は、レシーバ側の出力間で 100Ω です。LVDS 出力には、DC 結合終端または AC 結合終端のいずれかを使用できます。終端抵抗をレシーバの近くに配置することを推奨します。レシーバが CDCLVD1204 の出力同相電圧とは異なる電圧に内部でバイアスされている場合は、AC 結合を使用する必要があります。LVDS レシーバに 100Ω 終端が内蔵されている場合は、外部終端を省略する必要があります。

7.2 機能ブロック図



Copyright © 2016, Texas Instruments Incorporated

7.3 機能説明

CDCLVD1204 は、低付加ジッタの LVDS ファンアウト バッファで、選択可能な 2 つの LVPECL、LVDS、または LVC MOS 入力からそれぞれ 4 つのコピーを生成できます。CDCLVD1204 は、最大 800MHz のリファレンスクロック周波数に対応し、低出力のスキューを実現します。

7.4 デバイスの機能モード

CDCLVD1204 の 2 つの入力は内部で多重化されており、制御ピンで選択できます (表 7-1 を参照)。未使用の入力と出力はフローティングのままにして、全体的な部品コストを削減できます。AC カップリング方式と DC カップリング方式の両方を CDCLVD1204 と組み合わせて使用することで、システムの柔軟性を高めることができます。

表 7-1. 入力選択表

IN_SEL	アクティブ クロック入力
0	INP0、INN0
1	INP1、INN1
オープン	なし ⁽¹⁾

(1) 入力バッファはディスエーブルで、出力は静的になります。

7.4.1 LVDS 出力の終端

未使用の出力は、出力ピンにトレースを接続せずにオープンのままにすることができます。

CDCLVD1204 は、[図 7-1](#) と [図 7-2](#) (それぞれ) に示すように、DC 結合および AC 結合を用いて LVDS レシーバ入力に接続できます。

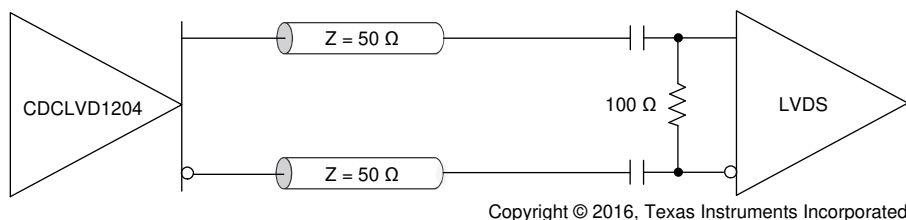


図 7-1. 出力 DC 終端

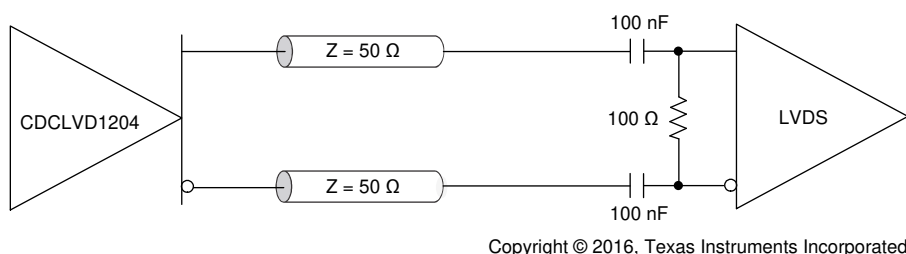


図 7-2. 出力 AC 終端 (レシーバ内部バイアス付き)

7.4.2 入力 of 終端

CDCLVD1204 入力は、LVDS、LVPECL、または LVCMOS ドライバと接続できます。

LVDS ドライバは、[図 7-3](#) および [図 7-4](#) に示すように、それぞれ AC 結合および DC 結合の CDCLVD1204 入力に接続できます。

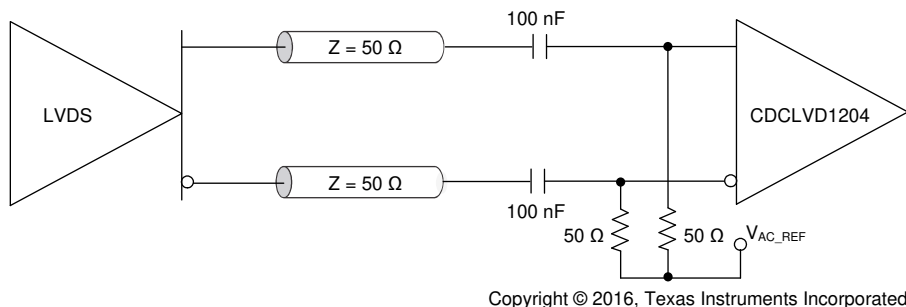
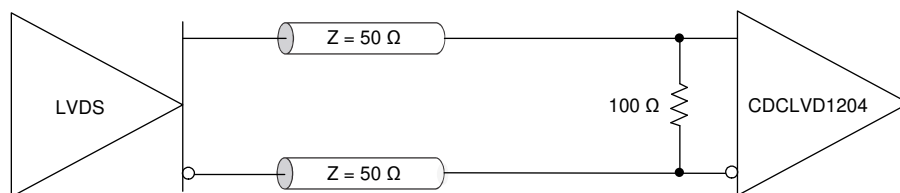


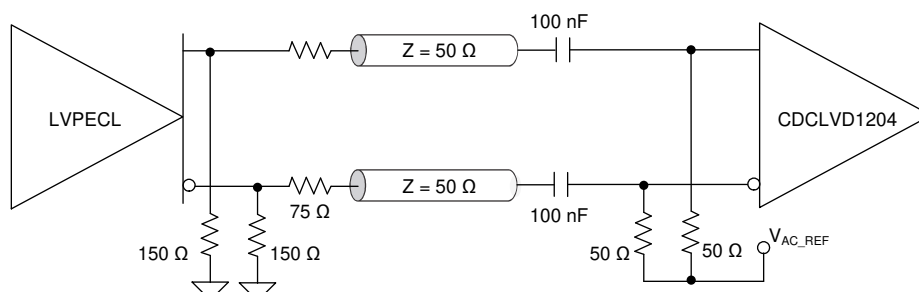
図 7-3. CDCLVD1204 入力に接続された LVDS クロック ドライバ (AC 結合)



Copyright © 2016, Texas Instruments Incorporated

図 7-4. CDCLVD1204 入力に接続された LVDS クロック ドライバ (DC 結合)

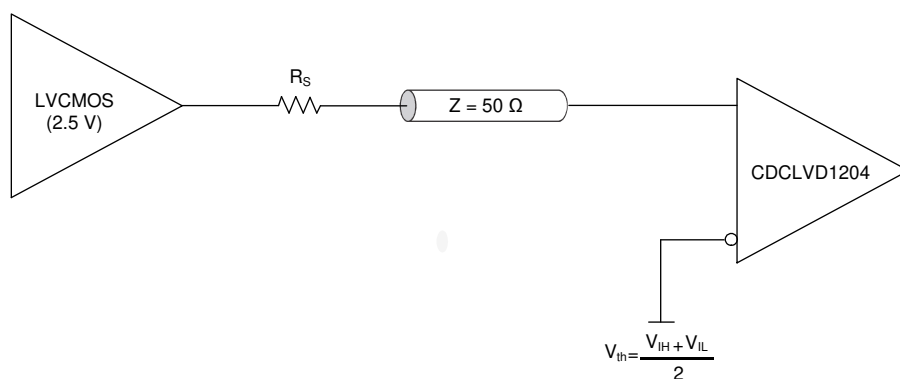
図 7-5 に、LVPECL 入力を CDCLVD1204 に接続する方法を示します。LVPECL 信号スイングが 1.6Vpp を超える場合、その信号スイングを低減するために直列抵抗が必要です。



Copyright © 2016, Texas Instruments Incorporated

図 7-5. CDCLVD1204 入力に接続された LVPECL クロック ドライバ

図 7-6 に、2.5V LVCMOS クロック入力を CDCLVD1204 に直接結合する方法を示します。直列抵抗 R_S は、必要に応じて LVCMOS ドライバの近くに配置する必要があります。3.3V LVCMOS クロック入力スイングは、 $V_{IH} \leq V_{CC}$ に制限する必要があります。



Copyright © 2016, Texas Instruments Incorporated

図 7-6. CDCLVD1204 入力に接続した 2.5V LVCMOS クロック ドライバ

未使用の入力については、TI は 1kΩ の抵抗器を使用して両方の入力ピン (INP、INN) を接地することを推奨します。

8 アプリケーションと実装

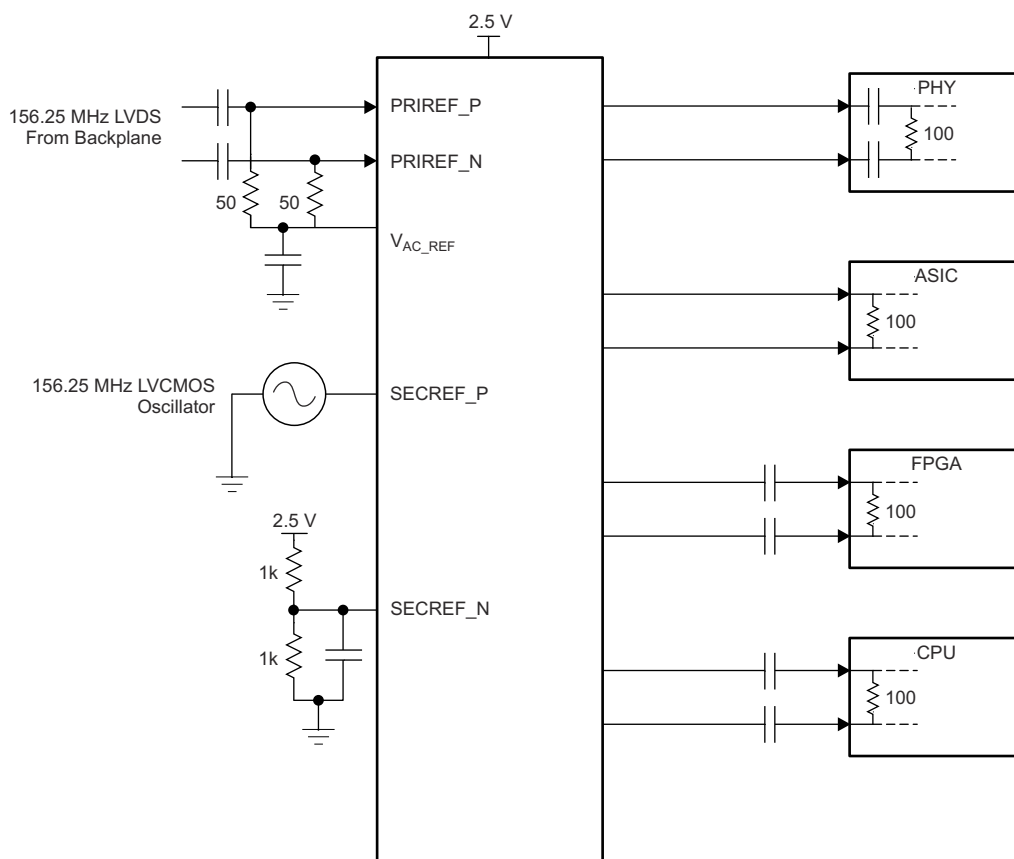
注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

CDCLVD1204 は、2 つの選択可能な入力を備えた、低付加ジッタのユニバーサルから LVDS へのファンアウト バッファです。パッケージが小さく、低出力スキュー、低付加ジッタであるため、要求の厳しいアプリケーションで柔軟なデバイスとして使用できます。

8.2 代表的なアプリケーション



Copyright © 2016, Texas Instruments Incorporated

図 8-1. ラインカードアプリケーション用ファンアウト バッファ

8.2.1 設計要件

図 8-1 に示す CDCLVD1204 は、バックプレーンからの 156.25MHz LVDS クロックまたは 2 次 156.25MHz LVCMOS 2.5V 発振器の 2 つの入力から選択できるように構成されています。LVDS クロックは AC 結合され、内蔵のリファレンス電圧ジェネレータを使用してバイアスされています。LVCMOS クロックのスレッシュホールド電圧が正しく設定されるよう、抵抗バイダが用いられています。0.1 μ F のコンデンサを使用して、V_{AC_REF} と SECREP_N の両方のノイズを低減しています。図に示すように、どちらの入力信号も目的のデバイスにファンアウトできます。この構成例では、以下の特性を持つラインカードアプリケーションの 4 つの LVDS レシーバを駆動します。

- PHY デバイスは、CDCLVD1204 などの LVDS ドライバと DC 結合できます。この PHY デバイスには内部終端が備わっているため、適切な動作をさせるために部品を追加する必要はありません。
- ASIC LVDS レシーバには内部終端が備わっており、CDCLVD1204 と同じ同相電圧で動作します。ここでも、追加の部品は必要ありません。
- FPGA には外部 AC 結合が必要ですが、内部で終端しています。AC 結合を実現するために、0.1 μ F のコンデンサを配置します。CPU も同様に内部終端されており、必要なのは外部の AC 結合コンデンサのみです。

8.2.2 詳細な設計手順

シングルエンド入力または差動入力に応じて適切な入力終端については、「[入力の終端](#)」を参照してください。

レシーバ アプリケーションに応じて出力終端方法については、「[LVDS 出力の終端](#)」を参照してください。

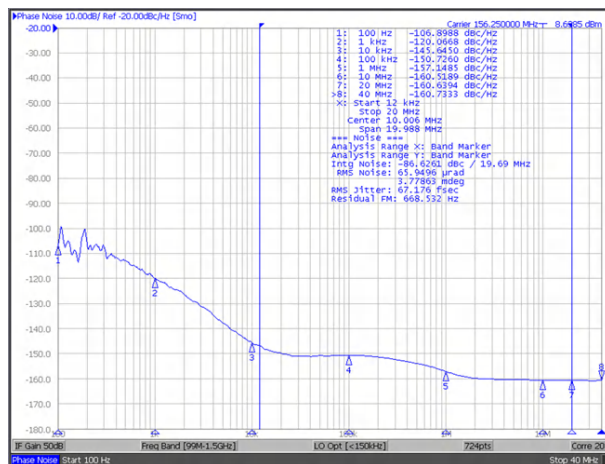
未使用の出力はフローティングのままにできます。

この例では、PHY、ASIC、および FPGA または CPU に異なる方式が必要です。低ノイズ アプリケーションでは、電源のフィルタリングとバイパスが重要です。

推奨されるフィルタリング手法については、「[電源に関する推奨事項](#)」を参照してください。参照用レイアウトが『[低付加ジッタ、4 個の LVDS 出力クロックバッファ評価ボード](#)』(SCAU043) に記載されています。

8.2.3 アプリケーション曲線

このラインカードアプリケーションでは、CDCLVD12xx の付加ノイズが低いことが示されています。RMS ジッタが 67fs の低ノイズ 156.25MHz ソースで CDCLVD12xx を駆動すると、12kHz~20MHz で積分した結果は 80fs RMS になります。この構成では、結果として生じる付加ジッタは 44fs RMS という小さい値になります。



リファレンス信号は低ノイズの Rohde & Schwarz SMA100A です

図 8-2. CDCLVD12xx リファレンス位相ノイズ、67fs rms (12kHz~20MHz)

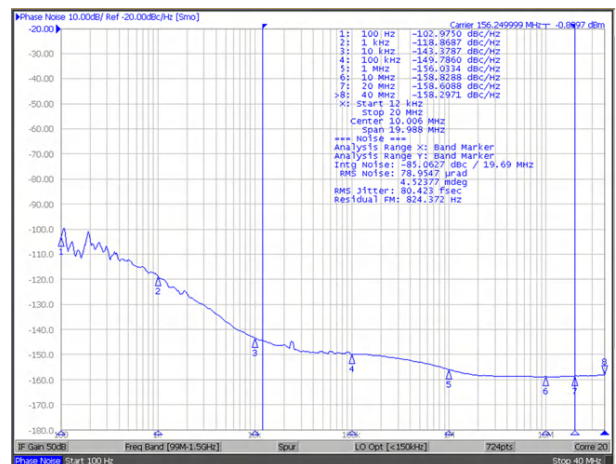


図 8-3. CDCLVD12xx 出力位相ノイズ、80fs rms (12kHz~20MHz)

9 電源に関する推奨事項

高性能クロック バッファは、電源のノイズに敏感であり、バッファの付加ジッタが大幅に増加する可能性があります。このため、特にアプリケーションでジッタ/位相ノイズが重要な場合は、システム電源からのノイズを低減することが不可欠です。

フィルタ コンデンサを使用して、電源からの低周波数ノイズを除去すると、バイパス コンデンサが高周波ノイズに対する低いインピーダンス パスとして機能し、電源システムを誘導性の変動から保護できます。これらのバイパス コンデンサは、デバイスの必要に応じて瞬間的な電流サージを発生させます。またバイパス コンデンサの等価直列抵抗 (ESR) を小さくする必要があります。バイパス コンデンサを適切に使用するには、電源ピンの近くに配置し、インダクタンスを最小限に抑えるために短いループでレイアウトする必要があります。パッケージの電源端子と同じ数の高周波バイパス コンデンサ (0.1 μ F 等) を追加することを推奨します。基板電源とチップ電源の間にフェライト ビーズを挿入し、クロックドライバが生成する高周波スイッチング ノイズを絶縁することを推奨しますが、これは必須ではありません。これらのビーズは、スイッチング ノイズが基板の電源に漏れるのを防止します。基板電源とチップ電源を適切に絶縁し、適切な動作に必要な最小電圧を上回る電源ピン電圧を維持することが不可欠であるため、DC 抵抗が小さい適切なフェライト ビーズを選定してください。

図 9-1 に、この推奨される電源デカップリング方法を示します。

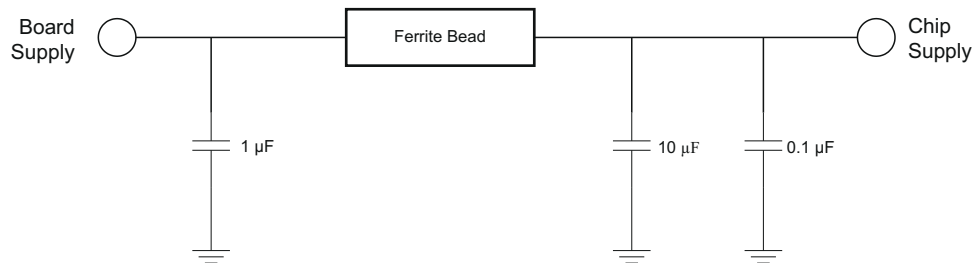


図 9-1. 電源のデカップリング

10 レイアウト

10.1 レイアウトのガイドライン

信頼性と性能の理由から、ダイの温度は最大値の 125°C に制限する必要があります。

このデバイス パッケージには露出パッドがあり、これがプリント基板 (PCB) への主な熱除去パスとなります。パッケージからの放熱を最大化するには、グランド プレーンとのビアが複数あるサーマル ランド パターンをパッケージのフットプリント内で PCB に組み込む必要があります。サーマルパッドは、パッケージからの十分な熱伝導を確保するために半田付けする必要があります。図 10-1 に、推奨されるランドおよびビア パターンを示します。

10.2 レイアウト例

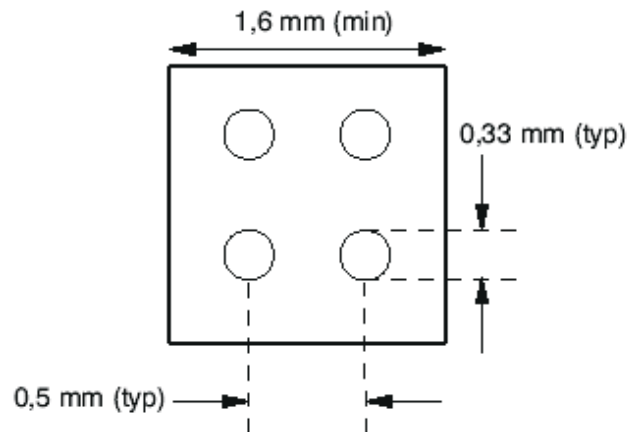


図 10-1. 推奨される PCB レイアウト

10.3 熱に関する注意事項

CDCLVD1204 は、サーマル パッドで測定されるプリント基板 (PCB) 上の高温に対応しています。システム設計では、最大接合部温度を超えないようにしなければなりません。 Ψ_{JB} により、極細熱電対を使用して基板の温度を測定し、式 1 を使用して接合部温度を逆算することができます。デバイスの熱の 75%~95% が PCB によって放散されるため、 Ψ_{JB} は $R_{\theta JB}$ に近くなります。

$$T_J = T_{PCB} + (\Psi_{JB} \times \text{Power}) \quad (1)$$

例:

4 層 JEDEC テスト基板を使用した接合リード温度の計算には、以下の 4 つのサーマル ビアを使用します。

$$T_{PCB} = 105^{\circ}\text{C}$$

$$\Psi_{JB} = 19.4^{\circ}\text{C/W}$$

$$\text{Power}_{\text{inclTerm}} = I_{\text{max}} \times V_{\text{max}} = 80\text{mA} \times 2.625\text{V} = 210\text{mW} \text{ (終端抵抗を含む最大消費電力)}$$

$$\text{Power}_{\text{exclTerm}} = 202\text{mW} \text{ (終端抵抗を除く最大消費電力、詳細については [LVPECL](#) および [LVDS](#) の消費電力 (SLYT127) を参照)}$$

$$\Delta T_J = \Psi_{JB} \times \text{Power}_{\text{exclTerm}} = 19.4^{\circ}\text{C/W} \times 202\text{mW} = 3.92^{\circ}\text{C}$$

$$T_J = \Delta T_J + T_{\text{Chassis}} = 3.92^{\circ}\text{C} + 105^{\circ}\text{C} = 108.92^{\circ}\text{C} \text{ (最大接合部温度 } 125^{\circ}\text{C に違反しない)}$$

詳細については、[半導体と IC パッケージの熱評価基準 \(SPRA953\)](#) および [アナログ部品用の熱計算ツールの使用 \(SLUA566\)](#) を参照してください。

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントのサポート

11.1.1 関連資料

関連資料については、以下を参照してください。

- 『低付加ジッタ、4 個の LVDS 出力クロックバッファ評価ボード』(SCAU043)
- 『LVPECL および LVDS の消費電力』(SLYT127)
- 『半導体および IC パッケージの熱評価基準』(SPRA953)
- 『アナログ デバイス用の熱計算ツールを使用する』(SLUA566)

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

11.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.6 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (October 2016) to Revision C (May 2026) Page

- | | |
|------------------------------------|---|
| ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... | 1 |
|------------------------------------|---|

Changes from Revision A (June 2010) to Revision B (October 2016) Page

- | | |
|--|---|
| ESD 定格の表、機能説明セクション、デバイスの機能モード、アプリケーションと実装セクション、電源に関する推奨事項セクション、レイアウトセクション、デバイスおよびドキュメントのサポートセクション、およびメカニカル、パッケージ、および注文情報セクションを追加 | 1 |
|--|---|

Changes from Revision * (May 2010) to Revision A (June 2010)**Page**

• 「特長」の項目を 2kV HBM、500V CDM を超える ESD 保護から: 3kV HBM、1kV CDM を超える ESD 保護.....	1
• V_{AC_REF} ピンの説明を更新.....	3
• ΔV_{OD} の値、最小値は-50、最大値は 50 でした.....	5
• $V_{OC(SS)}$ の最小値は 1.125 でした.....	5
• $\Delta V_{OC(SS)}$ の値、最小値は-50、最大値は 50 でした.....	5
• V_{ring} の最大値は 20% でした.....	5
• V_{OS} 値、標準値は 30、最大値は 100 でした.....	5
• t_{PD} の最大値は 2 でした.....	5
• $t_{SK, PP}$ — 標準値 300 を削除した.....	5
• t_R/t_F の最小値は 200 でした.....	5
• I_{CCSTAT} の最大値は 25 でした.....	5
• 入力選択表を更新	10

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CDCLVD1204RGTR	Active	Production	VQFN (RGT) 16	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	D1204
CDCLVD1204RGTR.A	Active	Production	VQFN (RGT) 16	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	D1204
CDCLVD1204RGTT	Active	Production	VQFN (RGT) 16	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	D1204
CDCLVD1204RGTT.A	Active	Production	VQFN (RGT) 16	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	D1204
CDCLVD1204RGTTG4	Active	Production	VQFN (RGT) 16	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	D1204
CDCLVD1204RGTTG4.A	Active	Production	VQFN (RGT) 16	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	D1204

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

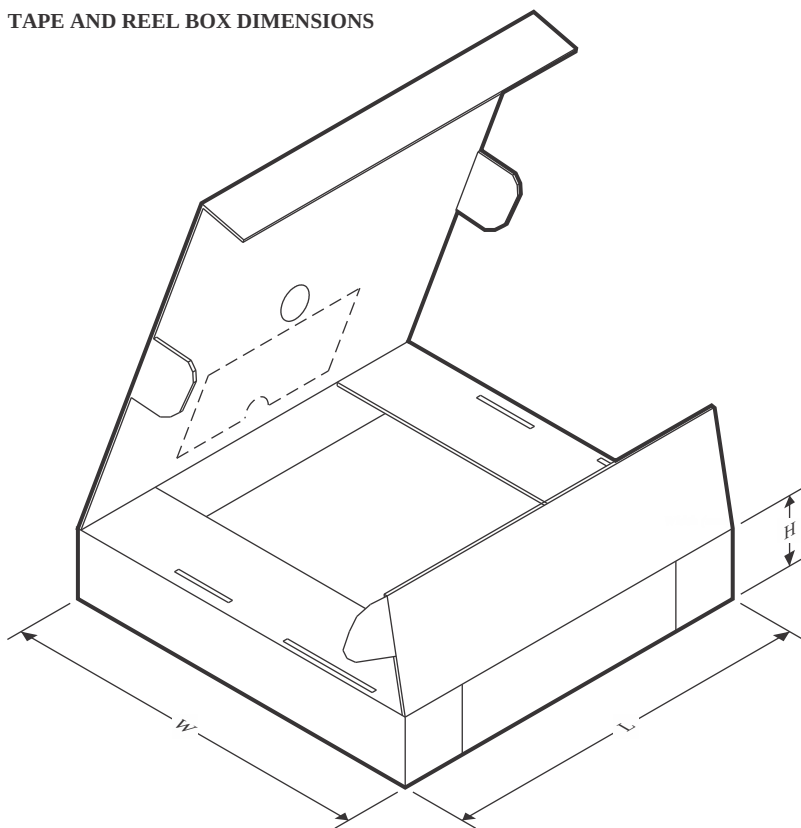
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CDCLVD1204RGTR	VQFN	RGT	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
CDCLVD1204RGTT	VQFN	RGT	16	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
CDCLVD1204RGTTG4	VQFN	RGT	16	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

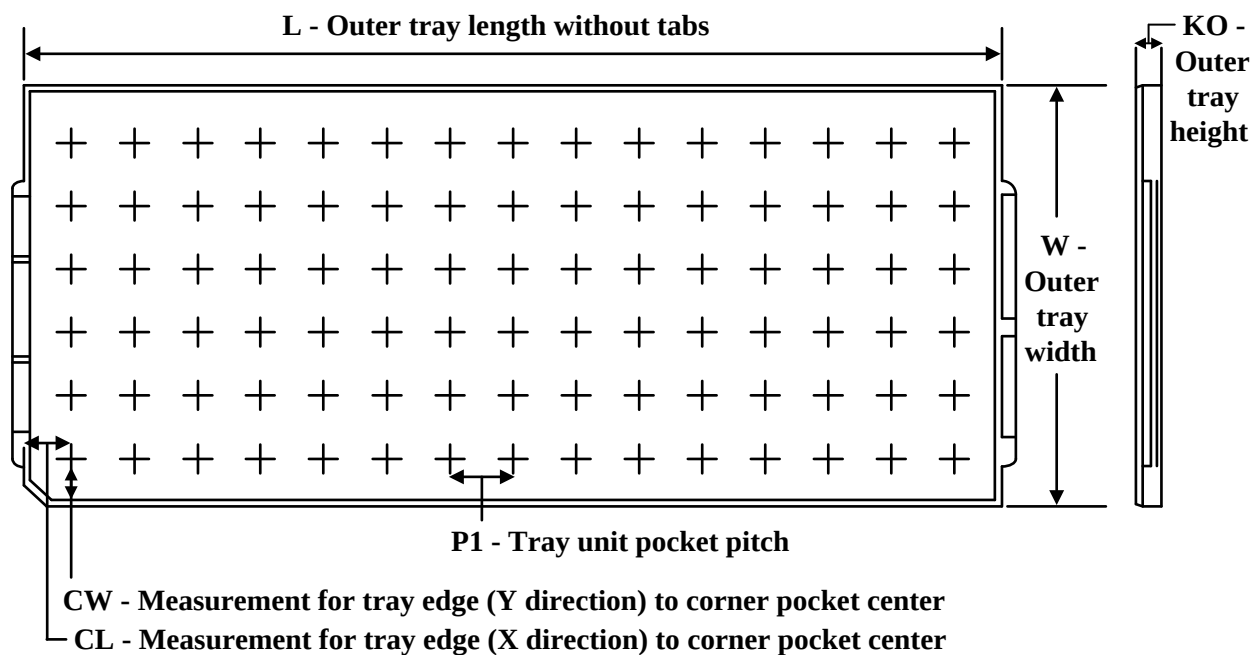
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CDCLVD1204RGTR	VQFN	RGT	16	3000	350.0	350.0	43.0
CDCLVD1204RGTT	VQFN	RGT	16	250	210.0	185.0	35.0
CDCLVD1204RGTTG4	VQFN	RGT	16	250	210.0	185.0	35.0

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

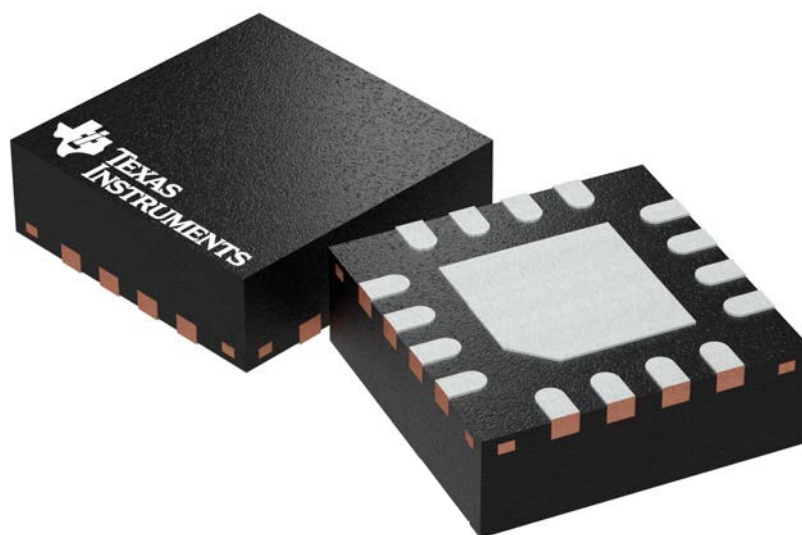
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
CDCLVD1204RGTR	RGT	VQFN	16	3000	35 X 14	150	315	135.9	7620	8.8	7.9	8.15
CDCLVD1204RGTR.A	RGT	VQFN	16	3000	35 X 14	150	315	135.9	7620	8.8	7.9	8.15
CDCLVD1204RGTT	RGT	VQFN	16	250	35 X 14	150	315	135.9	7620	8.8	7.9	8.15
CDCLVD1204RGTT.A	RGT	VQFN	16	250	35 X 14	150	315	135.9	7620	8.8	7.9	8.15

RGT 16

GENERIC PACKAGE VIEW

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



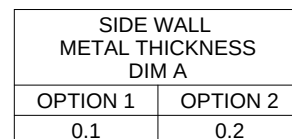
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203495/1



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4222419/E 07/2025

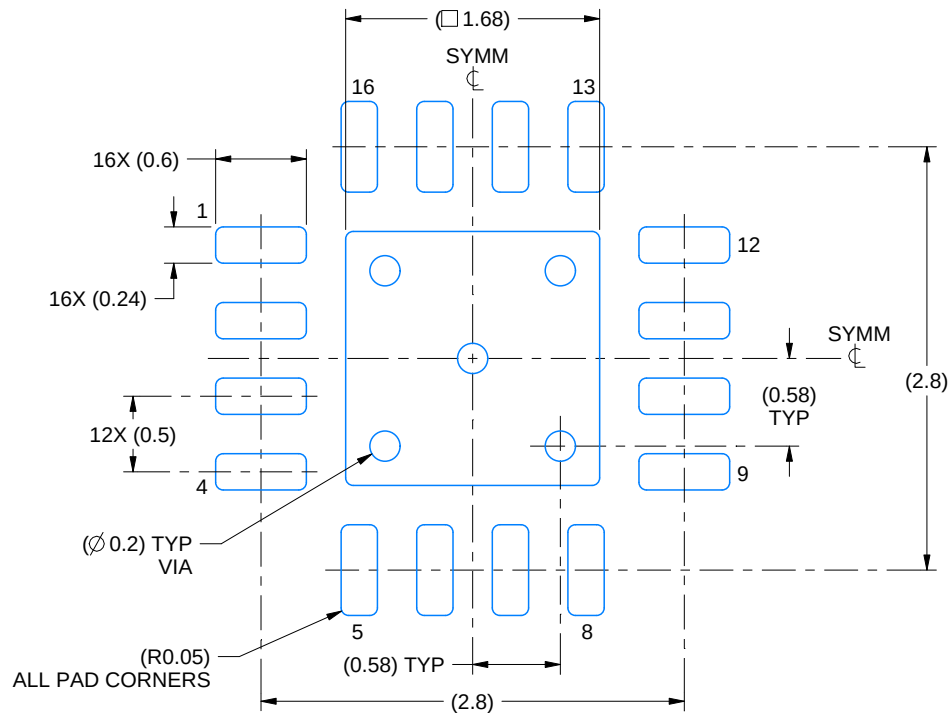
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

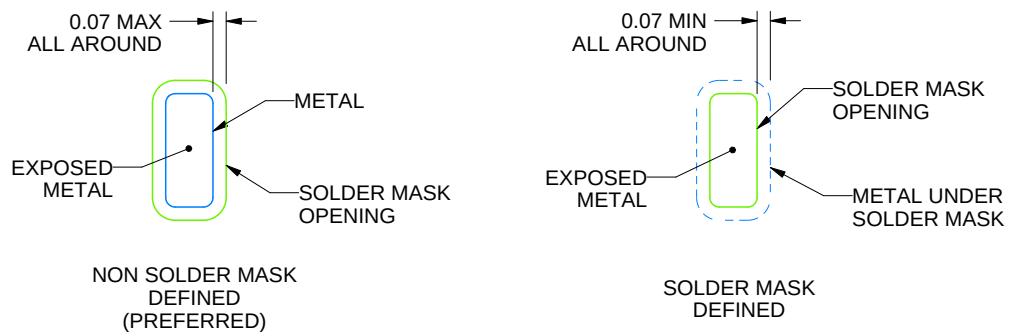
RGT0016C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4222419/E 07/2025

NOTES: (continued)

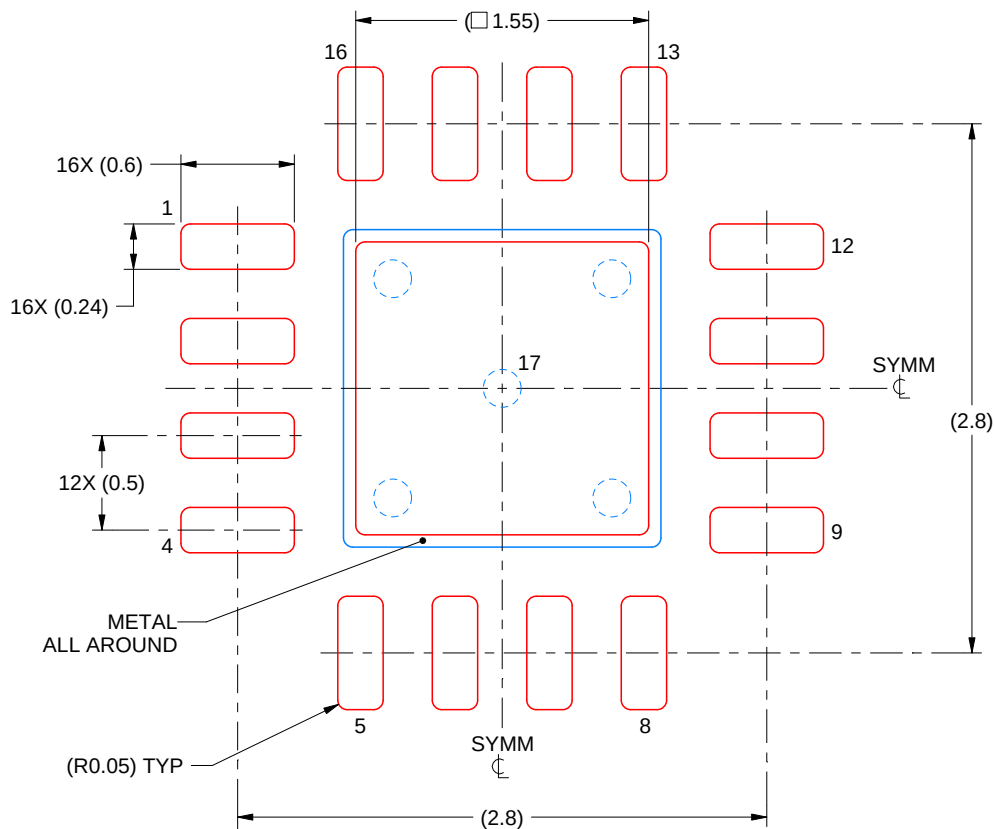
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGT0016C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4222419/E 07/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月