CSD18514Q5A 40V、Nチャネル NexFET™パワーMOSFET

1 特長

- 低い$R_{DS(ON)}$
- 低い熱抵抗
- アバランシェ定格
- ロジック・レベル
- 鉛フリーの端子メッキ処理
- RoHS準拠
- ハロゲン不使用
- SON 5mm×6mmプラスチック・パッケージ

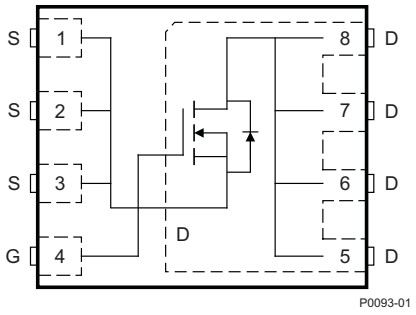
2 アプリケーション

- DC/DC変換
- 2次側同期整流器
- バッテリ・モータ制御

3 概要

この4.1mΩ、SON 5mm×6mm、40V NexFET™パワーMOSFETは、電力変換アプリケーションにおいて損失を最小限に抑えるよう設計されています。

上面図



P0093-01

製品概要

T_A = 25°C		標準値		単位
V_{DS}	ドレイン-ソース間電圧	40		V
Q_g	ゲートの合計電荷(10V)	29		nC
Q_{gd}	ゲート電荷、ゲート-ドレイン間	5.0		nC
$R_{DS(on)}$	ドレイン-ソース間オン抵抗	V_{GS} = 4.5V	6.0	mΩ
		V_{GS} = 10V	4.1	
$V_{GS(th)}$	スレッショルド電圧	1.8		V

製品情報(1)

デバイス	メディア	数量	パッケージ	出荷
CSD18514Q5A	13インチ・リール	2500	SON 5.00mm×6.00mm プラスチック・パッケージ	テープ・アンド・リール
CSD18514Q5AT	7インチ・リール	250		

(1) 提供されているすべてのパッケージについては、巻末の注文情報を参照してください。

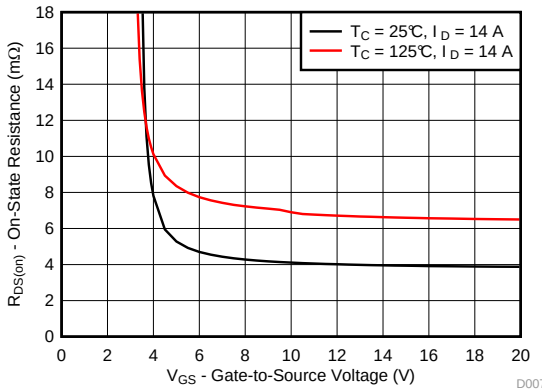
絶対最大定格

T_A = 25°C		値	単位
V_{DS}	ドレイン-ソース間電圧	40	V
V_{GS}	ゲート-ソース間電圧	±20	V
I_D	連続ドレイン電流(パッケージ制限)	50	A
	連続ドレイン電流(シリコン制限)、T_C = 25°C	89	
	連続ドレイン電流(1)	18	
I_{DM}	パルス・ドレイン電流(2)	237	A
P_D	消費電力(1)	3.1	W
	消費電力、T_C = 25°C	74	
T_J、T_{stg}	動作時の接合部、保管温度	–55～150	°C
E_{AS}	アバランシェ・エネルギー、単一パルス I_D = 33A、L = 0.1mH、R_G = 25Ω	55	mJ

(1) 厚さ0.06inのFR4 PCB上に構築された面積1in^2、2オンスのCuパッド上で、標準値$R_{\theta JA}$ = 40℃/Wです。

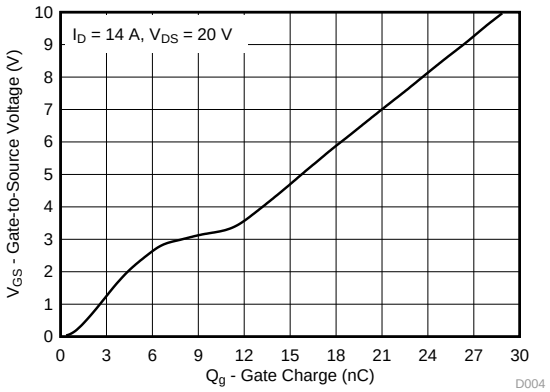
(2) 最大$R_{\theta JC}$ = 1.7℃/W、パルス期間 ≤ 100µs、デューティ・サイクル ≤ 1%。

$R_{DS(on)}$とV_{GS}との関係



D007

ゲート電荷



D004

英語版のTI製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.comで閲覧でき、その内容が常に優先されます。TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 改訂履歴 ... 2
5 **Specifications** ... 3
5.1 Electrical Characteristics ... 3
5.2 Thermal Information ... 3
5.3 Typical MOSFET Characteristics ... 4
6 デバイスおよびドキュメントのサポート ... 7
6.1 ドキュメントの更新通知を受け取る方法 ... 7
6.2 コミュニティ・リソース ... 7
6.3 商標 ... 7
6.4 静電気放電に関する注意事項 ... 7
6.5 Glossary ... 7
7 メカニカル、パッケージ、および注文情報 ... 8
7.1 Q5Aパッケージの寸法 ... 8
7.2 推奨されるPCBパターン ... 9
7.3 推奨されるステンシル開口部 ... 10
7.4 Q5Aのテープ・アンド・リール情報 ... 10

4 改訂履歴

2016年11月発行のものから更新 **Page**

- Changed the charge values in the Dynamic Characteristics section of the *Electrical Characteristics* table ... 3
- Changed Figure 4 in the *Typical MOSFET Characteristics* section to reflect updated gate charges ... 4

Copyright © 2016–2017, Texas Instruments Incorporated

5 Specifications

5.1 Electrical Characteristics

T_A = 25°C (unless otherwise stated)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
STATIC CHARACTERISTICS						
BV_{DSS}	Drain-to-source voltage	V_{GS} = 0 V, I_D = 250 μA	40			V
I_{DSS}	Drain-to-source leakage current	V_{GS} = 0 V, V_{DS} = 32 V			1	μA
I_{GSS}	Gate-to-source leakage current	V_{DS} = 0 V, V_{GS} = 20 V			100	nA
$V_{GS(th)}$	Gate-to-source threshold voltage	V_{DS} = V_{GS}, I_D = 250 μA	1.5	1.8	2.4	V
$R_{DS(on)}$	Drain-to-source on resistance	V_{GS} = 4.5 V, I_D = 14 A		6.0	7.9	mΩ
		V_{GS} = 10 V, I_D = 14 A		4.1	4.9	
g_{fs}	Transconductance	V_{DS} = 4 V, I_D = 14 A		59		S
DYNAMIC CHARACTERISTICS						
C_{iss}	Input capacitance	V_{GS} = 0 V, V_{DS} = 20 V, f = 1 MHz		2060	2680	pF
C_{oss}	Output capacitance			205	267	pF
C_{rss}	Reverse transfer capacitance			106	138	pF
R_G	Series gate resistance			1.3	2.6	Ω
Q_g	Gate charge total (4.5 V)	V_{DS} = 20 V, I_D = 14 A		14	18	nC
Q_g	Gate charge total (10 V)			29	38	nC
Q_{gd}	Gate charge gate-to-drain			5.0		nC
Q_{gs}	Gate charge gate-to-source			6.0		nC
$Q_{g(th)}$	Gate charge at V_{th}			3.4		nC
Q_{oss}	Output charge	V_{DS} = 20 V, V_{GS} = 0 V		9.2		nC
$t_{d(on)}$	Turnon delay time	V_{DS} = 20 V, V_{GS} = 10 V, I_{DS} = 14 A, R_G = 0 Ω		13		ns
t_r	Rise time			22		ns
$t_{d(off)}$	Turnoff delay time			14		ns
t_f	Fall time			6		ns
DIODE CHARACTERISTICS						
V_{SD}	Diode forward voltage	I_{SD} = 14 A, V_{GS} = 0 V		0.8	1.0	V
Q_{rr}	Reverse recovery charge	V_{DS}= 20 V, I_F = 14 A, di/dt = 300 A/μs		8.5		nC
t_{rr}	Reverse recovery time			9		ns

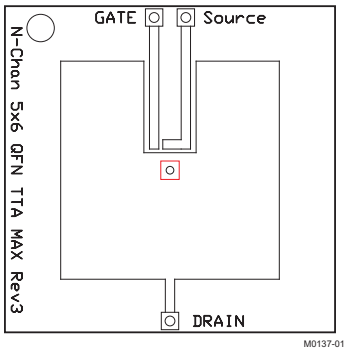
5.2 Thermal Information

T_A = 25°C (unless otherwise stated)

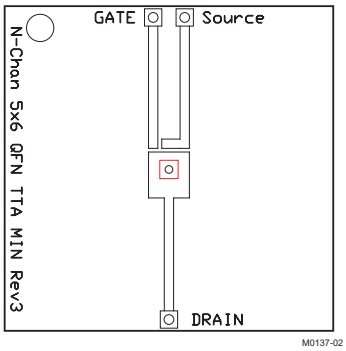
THERMAL METRIC		MIN	TYP	MAX	UNIT
$R_{\theta JC}$	Junction-to-case thermal resistance(1)			1.7	°C/W
$R_{\theta JA}$	Junction-to-ambient thermal resistance(1)(2)			50	

(1) $R_{\theta JC}$ is determined with the device mounted on a 1-in^2 (6.45-cm^2), 2-oz (0.071-mm) thick Cu pad on a 1.5-in × 1.5-in (3.81-cm × 3.81-cm), 0.06-in (1.52-mm) thick FR4 PCB. $R_{\theta JC}$ is specified by design, whereas $R_{\theta JA}$ is determined by the user's board design.
(2) Device mounted on FR4 material with 1-in^2 (6.45-cm^2), 2-oz (0.071-mm) thick Cu.

Copyright © 2016–2017, Texas Instruments Incorporated



Max $R_{\theta JA}$ = 50°C/W when mounted on 1 in^2 (6.45 cm^2) of 2-oz (0.071-mm) thick Cu.



Max $R_{\theta JA}$ = 125°C/W when mounted on a minimum pad area of 2-oz (0.071-mm) thick Cu.

5.3 Typical MOSFET Characteristics

T_A = 25°C (unless otherwise stated)

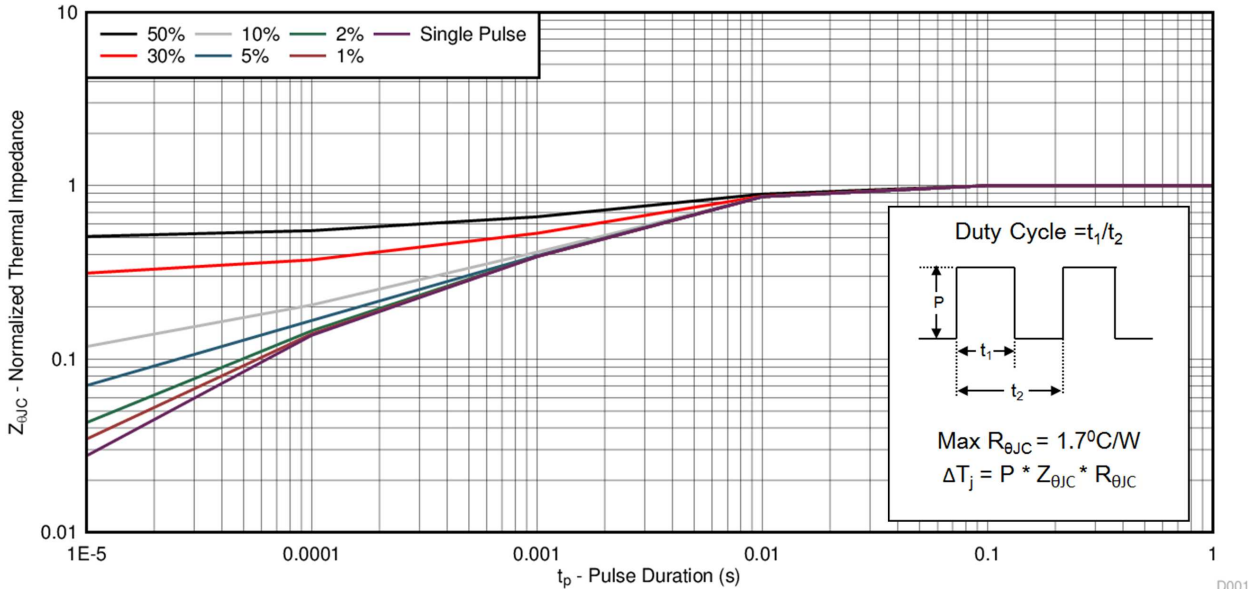


Figure 1. Transient Thermal Impedance

Copyright © 2016–2017, Texas Instruments Incorporated

Typical MOSFET Characteristics (continued)

T_A = 25°C (unless otherwise stated)

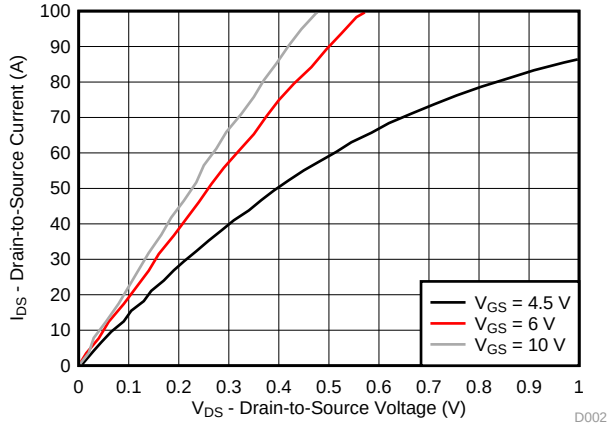


Figure 2. Saturation Characteristics

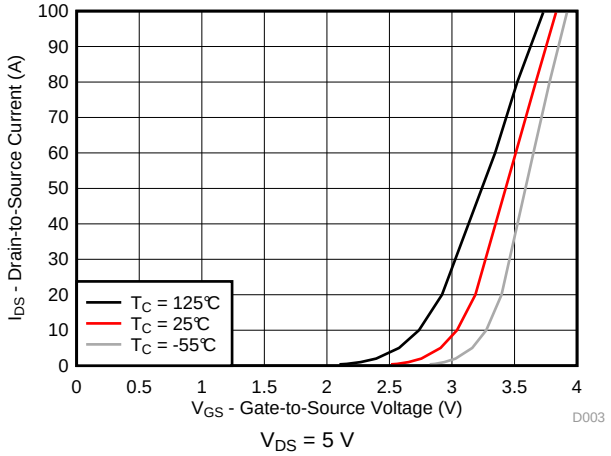


Figure 3. Transfer Characteristics

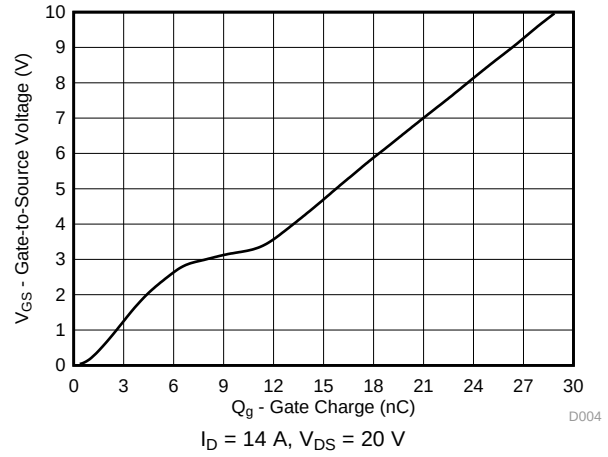


Figure 4. Gate Charge

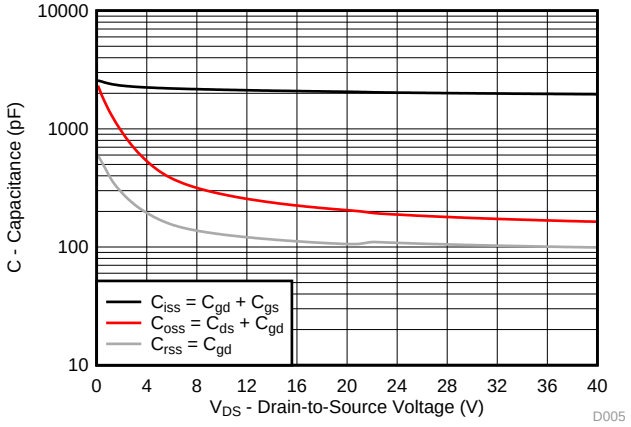


Figure 5. Capacitance

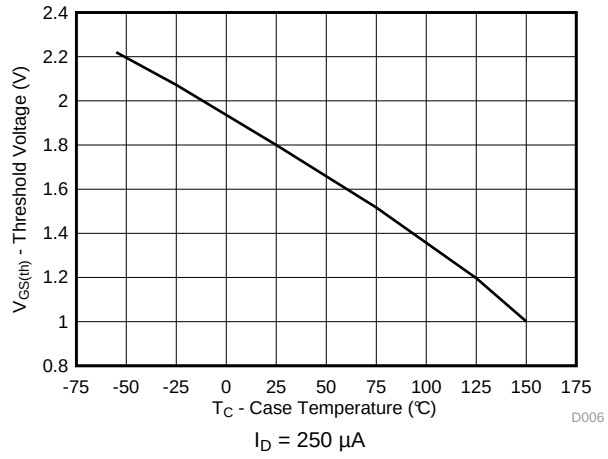


Figure 6. Threshold Voltage vs Temperature

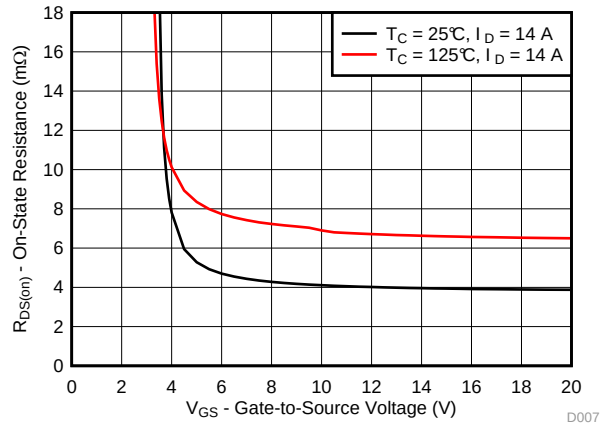


Figure 7. On-State Resistance vs Gate-to-Source Voltage

Copyright © 2016–2017, Texas Instruments Incorporated

Typical MOSFET Characteristics (continued)

T_A = 25°C (unless otherwise stated)

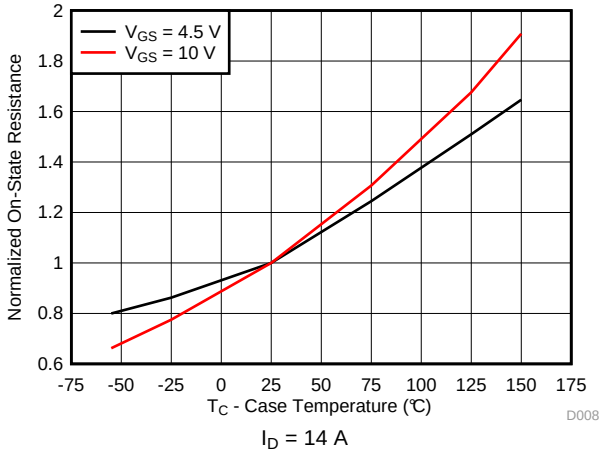


Figure 8. Normalized On-State Resistance vs Temperature

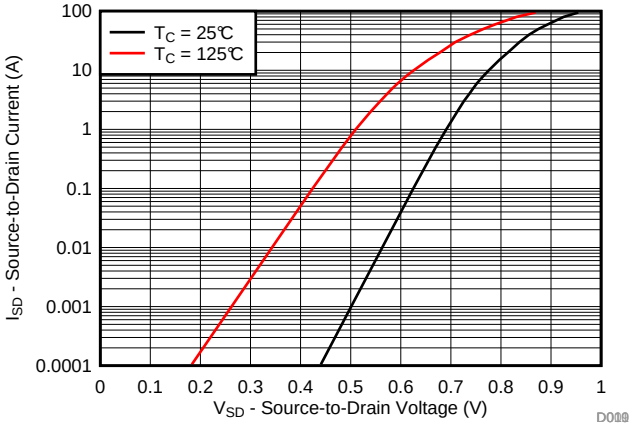


Figure 9. Typical Diode Forward Voltage

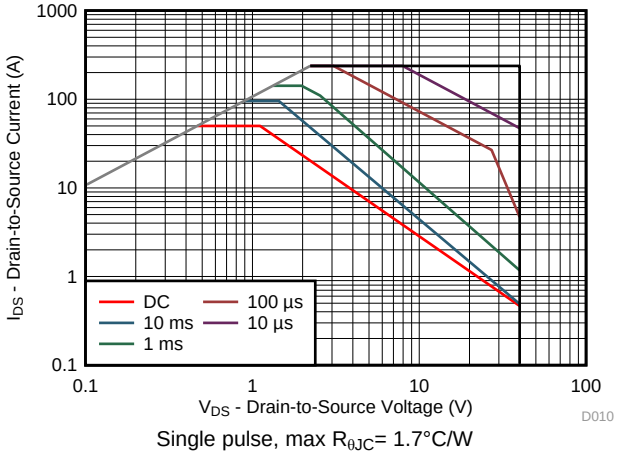


Figure 10. Maximum Safe Operating Area

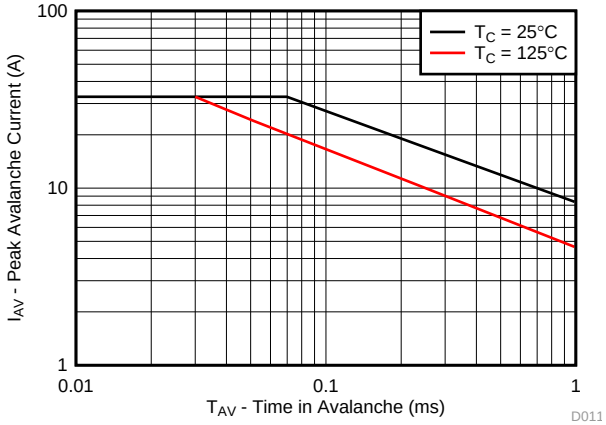


Figure 11. Single Pulse Unclamped Inductive Switching

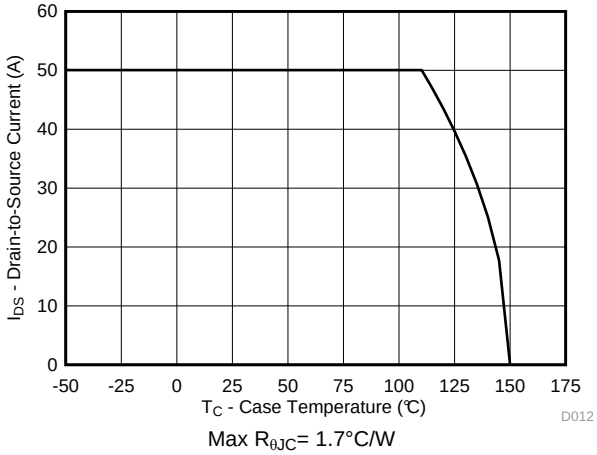


Figure 12. Maximum Drain Current vs Temperature

Copyright © 2016–2017, Texas Instruments Incorporated

6 デバイスおよびドキュメントのサポート

6.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.comのデバイス製品フォルダを開いてください。右上の隅にある「*通知を受け取る*」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

6.2 コミュニティ・リソース

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's Terms of Use.

TI E2E™オンライン・コミュニティ ***TIのE2E (Engineer-to-Engineer) コミュニティ。*** エンジニア間の共同作業を促進するために開設されたものです。e2e.ti.comでは、他のエンジニアに質問し、知識を共有し、アイディアを検討して、問題解決に役立てることができます。

設計サポート ***TIの設計サポート*** 役に立つE2Eフォーラムや、設計サポート・ツールをすばやく見つけることができます。技術サポート用の連絡先情報も参照できます。

6.3 商標

NexFET, E2E are trademarks of Texas Instruments.
All other trademarks are the property of their respective owners.

6.4 静電気放電に関する注意事項



これらのデバイスは、限定的なESD（静電破壊）保護機能を内 蔵しています。保存時または取り扱い時は、MOSゲートに対す る静電破壊を防止するために、リード線同士をショートさせて おくか、デバイスを導電フォームに入れる必要があります。

6.5 Glossary

SLYZ022 — *TI Glossary*.

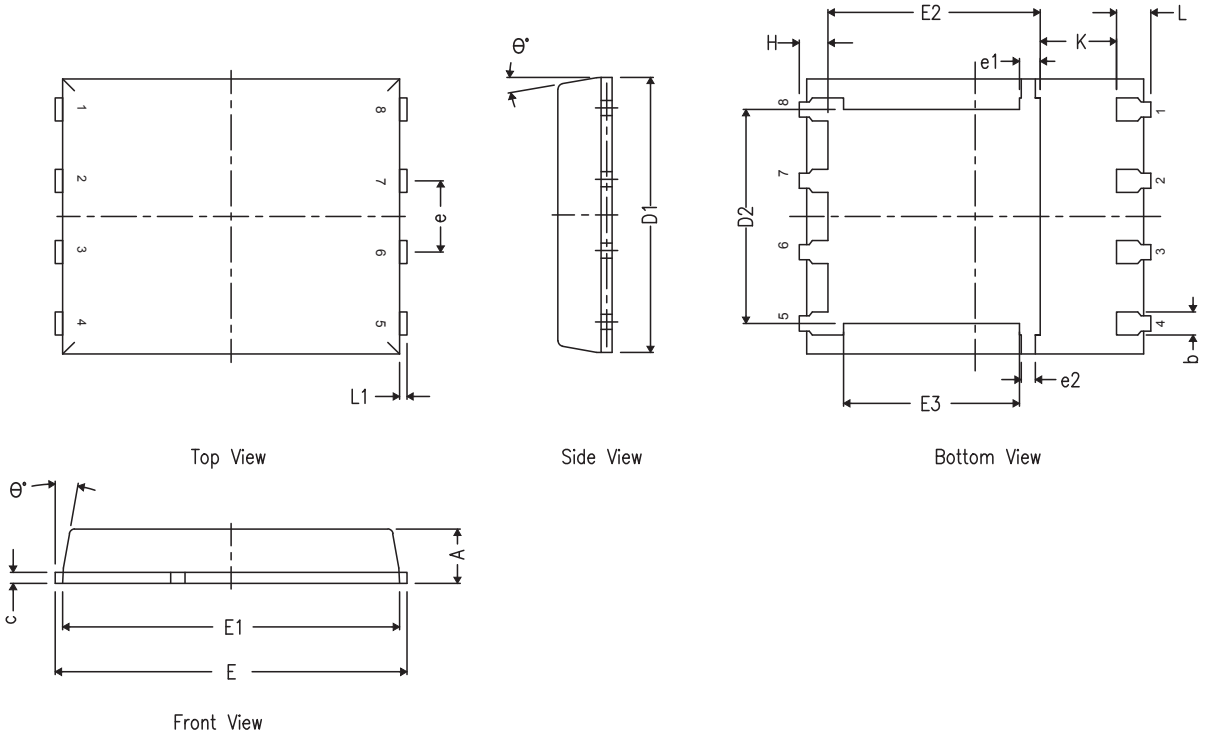
This glossary lists and explains terms, acronyms, and definitions.

Copyright © 2016–2017, Texas Instruments Incorporated

7 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、そのデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

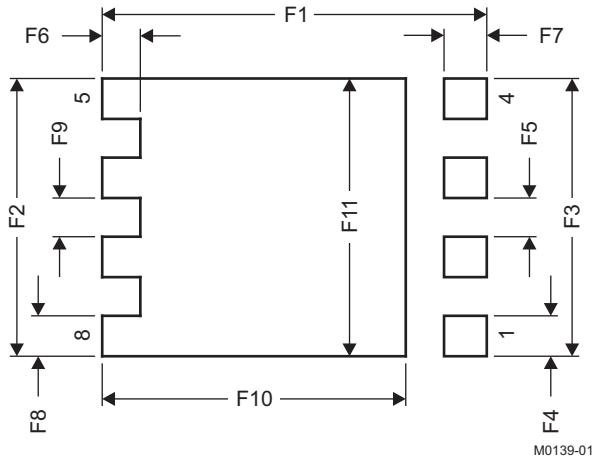
7.1 Q5Aパッケージの寸法



寸法	ミリメートル		
	最小	公称	最大
A	0.90	1.00	1.10
b	0.33	0.41	0.51
c	0.20	0.25	0.34
D1	4.80	4.90	5.00
D2	3.61	3.81	4.02
E	5.90	6.00	6.10
E1	5.70	5.75	5.80
E2	3.38	3.58	3.78
E3	3.03	3.13	3.23
e	1.17	1.27	1.37
e1	0.27	0.37	0.47
e2	0.15	0.25	0.35
H	0.41	0.56	0.71
K	1.10	—	—
L	0.51	0.61	0.71
L1	0.06	0.13	0.20
θ	0°	—	12°

Copyright © 2016–2017, Texas Instruments Incorporated

7.2 推奨されるPCBパターン

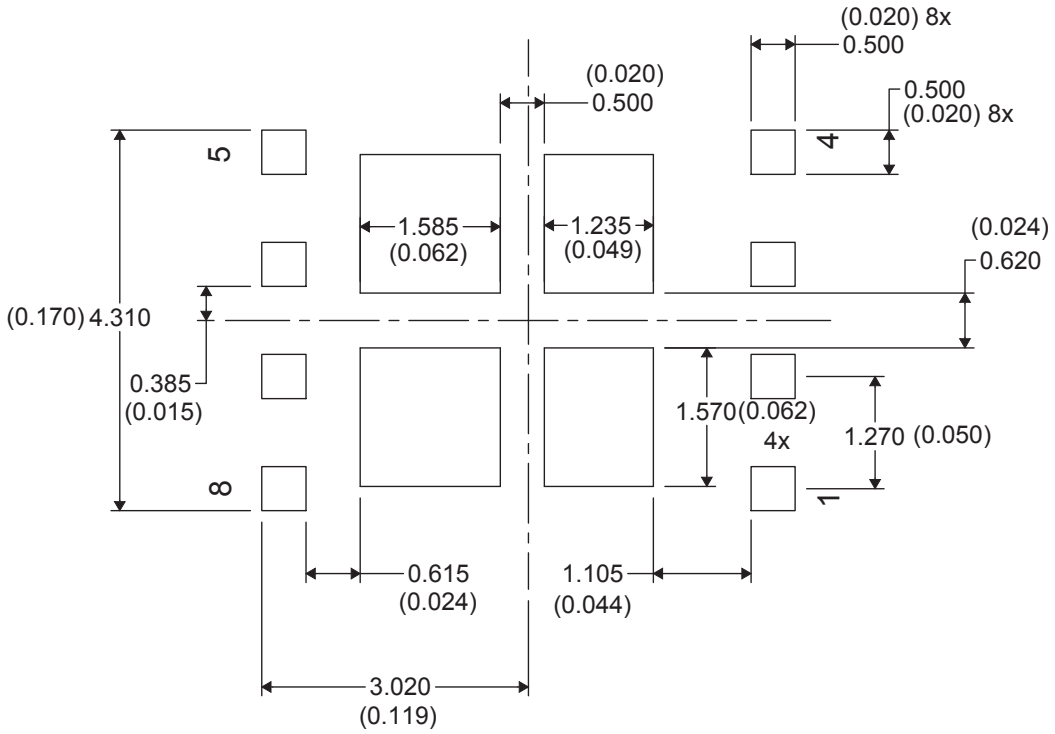


寸法	ミリメートル		インチ	
	最小	最大	最小	最大
F1	6.205	6.305	0.244	0.248
F2	4.46	4.56	0.176	0.18
F3	4.46	4.56	0.176	0.18
F4	0.65	0.7	0.026	0.028
F5	0.62	0.67	0.024	0.026
F6	0.63	0.68	0.025	0.027
F7	0.7	0.8	0.028	0.031
F8	0.65	0.7	0.026	0.028
F9	0.62	0.67	0.024	0.026
F10	4.9	5	0.193	0.197
F11	4.46	4.56	0.176	0.18

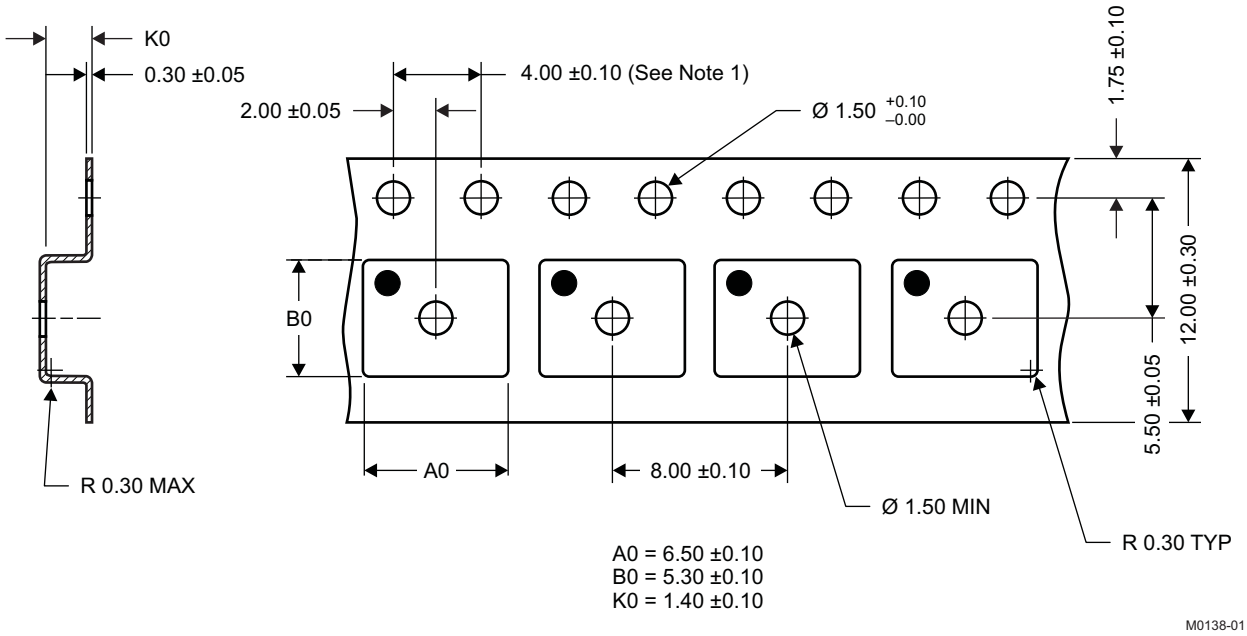
PCB設計の推奨回路レイアウトについては、『PCBレイアウト技法によるリンギングの低減』(SLPA005)を参照してください。

Copyright © 2016–2017, Texas Instruments Incorporated

7.3 推奨されるステンシル開口部



7.4 Q5Aのテープ・アンド・リール情報



注:

1. 10スプロケット・ホール・ピッチの累積許容誤差は±0.2。
2. キャンバーは100mm内に1mmを超えないこと(250mm以上では累積しない)
3. 材質: 黒色の静電散逸性ポリスチレン
4. すべての寸法は、特記されていない限りmm単位
5. A0およびB0は、ポケットの底部から0.3mm上の平面上で測定

Copyright © 2016–2017, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CSD18514Q5A	Active	Production	VSONP (DQJ) | 8	2500 | LARGE T&R	ROHS Exempt	SN	Level-1-260C-UNLIM	-55 to 150	CSD18514
CSD18514Q5A.B	Active	Production	VSONP (DQJ) | 8	2500 | LARGE T&R	ROHS Exempt	SN	Level-1-260C-UNLIM	-55 to 150	CSD18514
CSD18514Q5AT	Active	Production	VSONP (DQJ) | 8	250 | SMALL T&R	ROHS Exempt	SN	Level-1-260C-UNLIM	-55 to 150	CSD18514
CSD18514Q5AT.B	Active	Production	VSONP (DQJ) | 8	250 | SMALL T&R	ROHS Exempt	SN	Level-1-260C-UNLIM	-55 to 150	CSD18514

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

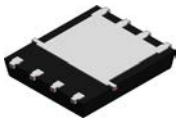
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

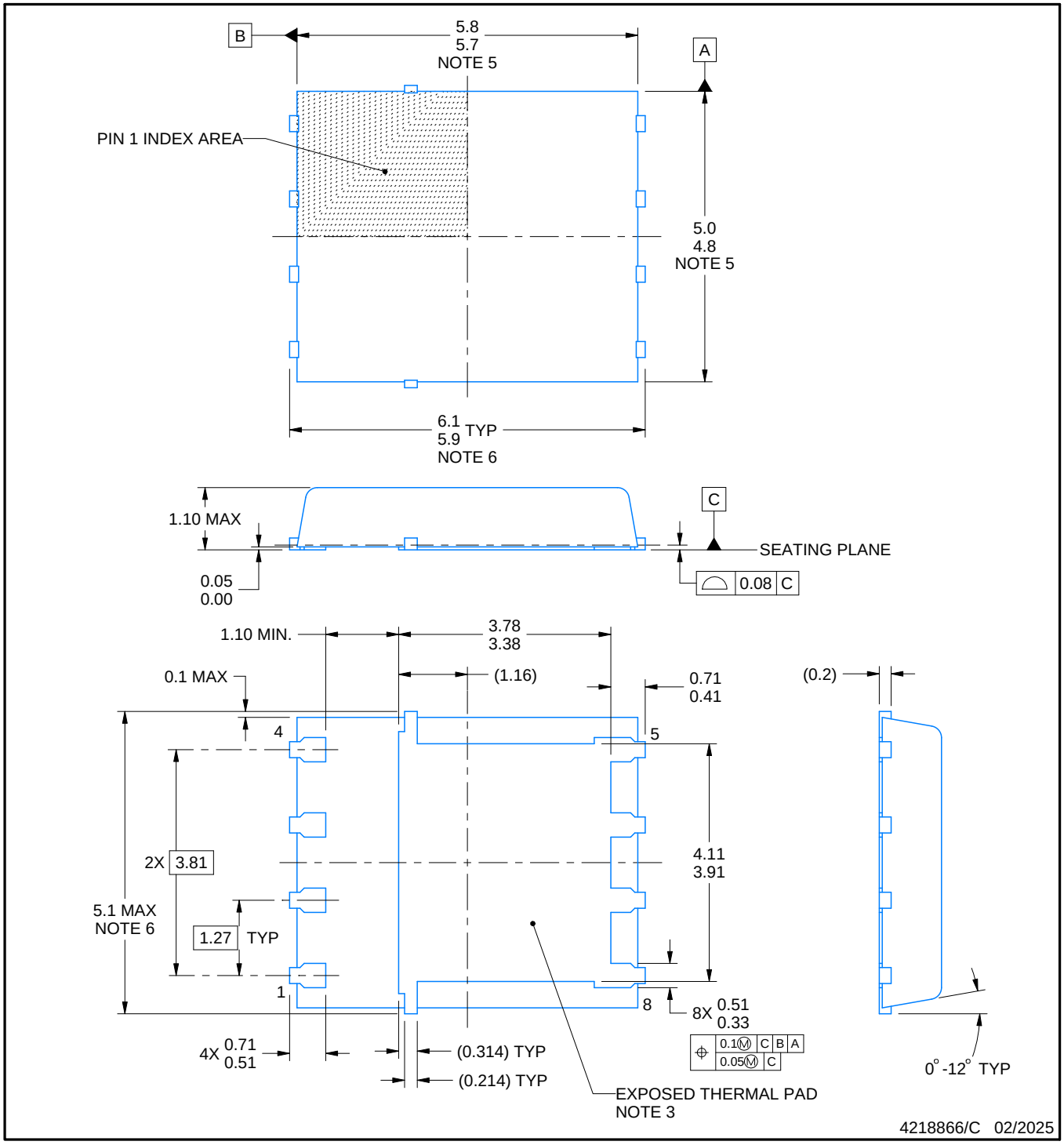


PACKAGE OUTLINE

DQJ0008A

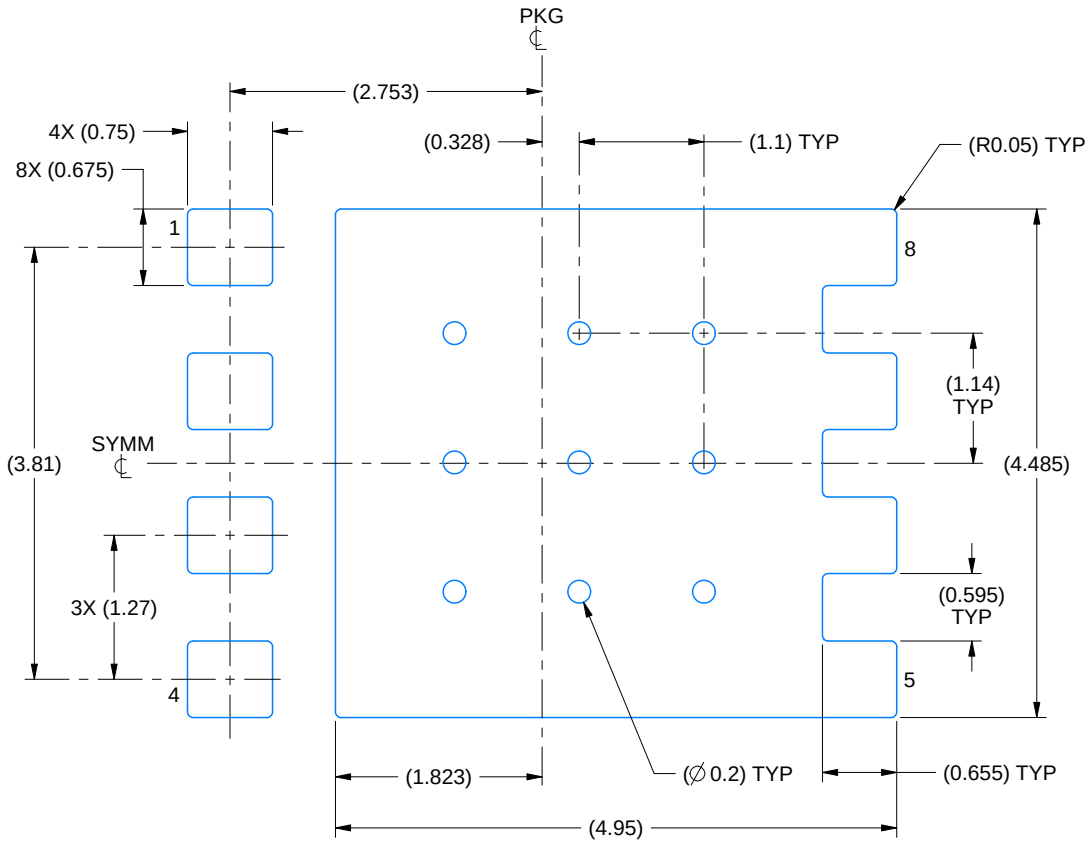
VSONP - 1.1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

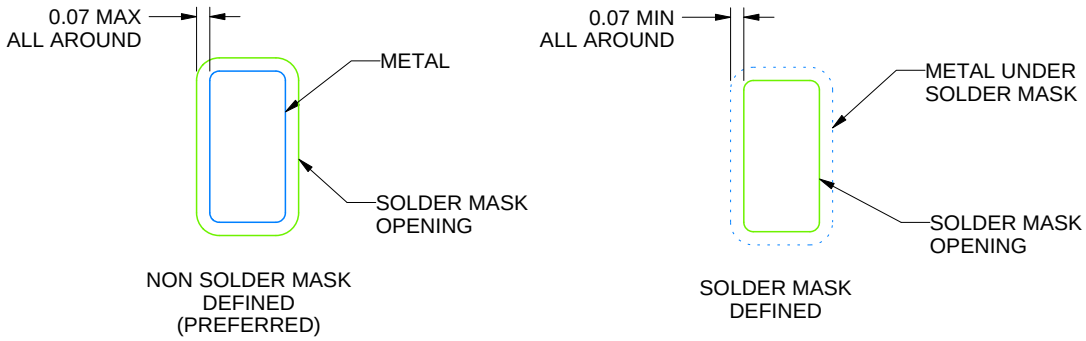


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Metalized features are supplier options and may not be on the package.
5. These dimensions do not include mold flash protrusions or gate burrs.
6. These dimensions include interterminal flash or protrusion. Interterminal flash or protrusion shall not exceed 0.25 mm per side.



LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE: 15X

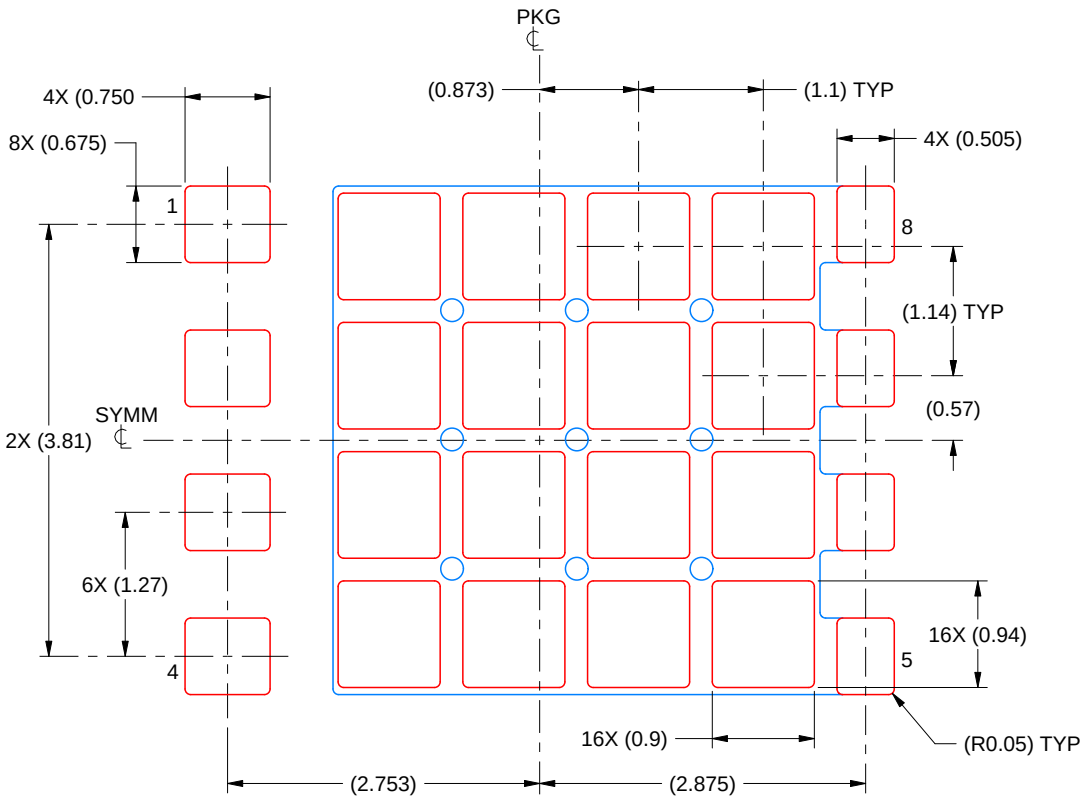


SOLDER MASK DETAILS

4218866/C 02/2025

NOTES: (continued)

7. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
8. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD:
70% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE: 15X

4218866/C 02/2025

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月