



CSD19538Q3A

JAJSC77B – MAY 2016 – REVISED OCTOBER 2025

CSD19538Q3A 100V N チャネル NexFET™ パワー MOSFET

1 特長

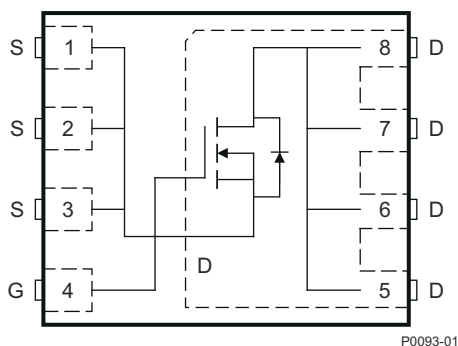
- 非常に低い Q_g および Q_{gd}
- 低い熱抵抗
- アバランシェ定格
- 鉛不使用
- RoHS に準拠
- ハロゲン不使用
- SON 3.3mm × 3.3mm プラスチック パッケージ

2 アプリケーション

- PoE (パワー オーバー イーサネット)
- 給電側機器 (PSE)
- モーター制御

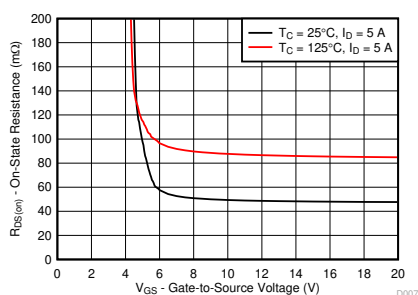
3 説明

この 100V、49mΩ、SON 3.3mm × 3.3mm NexFET™ パワー MOSFET は、PoE アプリケーションでの導通損失を最小限に抑え、基板のフットプリントを削減するように設計されています。

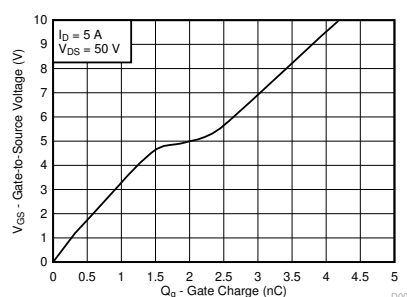


P0093-01

上面図



D007

 $R_{DS(on)}$ と V_{GS} との関係

D004

ゲート電荷

製品概要

$T_A = 25^\circ\text{C}$		標準値	単位
V_{DS}	ドレイン - ソース間電圧	100	V
Q_g	ゲートの合計電荷 (10V)	4.3	nC
Q_{gd}	ゲート電荷、ゲート - ドレイン間	0.8	nC
$R_{DS(on)}$	ドレイン - ソース間オン抵抗	$V_{GS} = 6V$	58
		$V_{GS} = 10V$	49
$V_{GS(th)}$	スレッショルド電圧	3.2	V

パッケージ情報

部品番号	メディア	数量	パッケージ (1)	出荷形態
CSD19538Q3A	13 インチ リール	3000	SON 3.30mm × 3.30mm (2)	テープ アンドリール
CSD19538Q3AT	7 インチ リール	250	プラスチック パッケージ	

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

絶対最大定格

$T_A = 25^\circ\text{C}$		値	単位
V_{DS}	ドレイン - ソース間電圧	100	V
V_{GS}	ゲート - ソース間電圧	±20	
I_D	連続ドレイン電流 (パッケージ制限)	15	A
	連続ドレイン電流 (シリコン制限、 $T_C = 25^\circ\text{C}$)	14	
	連続ドレイン電流 (1)	4.9	
I_{DM}	パルスドレイン電流 (2)	37	W
P_D	電力散逸 (1)	2.8	
	消費電力、 $T_C = 25^\circ\text{C}$	23	
T_J	動作時接合部温度	-55~150	$^\circ\text{C}$
T_{slg}	保存温度		
E_{AS}	アバランシェ エネルギー、単一パルス $I_D = 12.7A$, $L = 0.1mH$, $R_G = 25\Omega$	8.1	mJ

- 0.06 インチ厚の FR4 PCB 上に形成された 1 平方インチ、2 オンスの Cu パッド上で、標準値 $R_{\theta JA} = 45^\circ\text{C/W}$ です。
- 最大 $R_{\theta JC} = 5.5^\circ\text{C/W}$ 、パルス期間 $\leq 100\mu\text{s}$ 、デューティ サイクル $\leq 1\%$ 。



CSD19538Q3A

JAJSC77B – MAY 2016 – REVISED OCTOBER 2025

目次

1 特長	1	5.1 サード・パーティ製品に関する免責事項	7
2 アプリケーション	1	5.2 ドキュメントの更新通知を受け取る方法	7
3 説明	1	5.3 サポート・リソース	7
4 仕様	3	5.4 商標	7
4.1 電気的特性.....	3	5.5 静電気放電に関する注意事項	7
4.2 熱に関する情報.....	3	5.6 用語集	7
4.3 代表的な MOSFET の特性.....	4	6 改訂履歴	7
5 デバイスおよびドキュメントのサポート	7		

4 仕様

4.1 電気的特性

 $T_A = 25^\circ\text{C}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
スタティク特性						
BV _{DSS}	ドレイン - ソース間電圧	V _{GS} = 0V、I _D = 250μA	100			V
I _{DSS}	ドレイン - ソース間リーク電流	V _{GS} = 0V、V _{DS} = 80V			1	μA
I _{GSS}	ゲート - ソース間リーク電流	V _{DS} = 0V、V _{GS} = 20V			100	nA
V _{GS(th)}	ゲート - ソース間スレッシュホルド電圧	V _{DS} = V _{GS} 、I _D = 250μA	2.8	3.2	3.8	V
R _{DS(on)}	ドレイン - ソース間オン抵抗	V _{GS} = 6V、I _D = 5A	58		72	mΩ
		V _{GS} = 10V、I _D = 5A	49		59	
g _{fs}	相互コンダクタンス	V _{DS} = 10V、I _D = 5A	6.1			S
ダイナミック特性						
C _{iss}	入力容量	V _{GS} = 0V、V _{DS} = 50V、f = 1MHz	349		454	pF
C _{oss}	出力容量		69		90	pF
C _{rss}	帰還容量		12.6		16.4	pF
R _G	直列ゲート抵抗	V _{DS} = 50V、I _D = 5A	4.6		9.2	Ω
Q _g	ゲートの合計電荷 (10V)		4.3			nC
Q _{gd}	ゲートドレイン間のゲート電荷量		0.8			nC
Q _{gs}	ゲートソース間のゲート電荷量		1.6			nC
Q _{g(th)}	V _{th} でのゲート電荷量		1			nC
Q _{oss}	出力電荷量	V _{DS} = 50V、V _{GS} = 0V	12.3			nC
t _{d(on)}	ターンオン遅延時間	V _{DS} = 50V、V _{GS} = 10V、 I _{DS} = 5A、R _G = 0Ω	5			ns
t _r	立ち上がり時間		3			ns
t _{d(off)}	ターンオフ遅延時間		7			ns
t _f	立ち下がり時間		2			ns
ダイオード特性						
V _{SD}	ダイオード順方向電圧	I _{SD} = 5A、V _{GS} = 0V	0.85		1	V
Q _{rr}	逆方向回復電荷	V _{DS} = 50V、I _F = 5A、 di/dt = 300A/μs	94			nC
t _{rr}	逆方向回復時間		32			ns

4.2 熱に関する情報

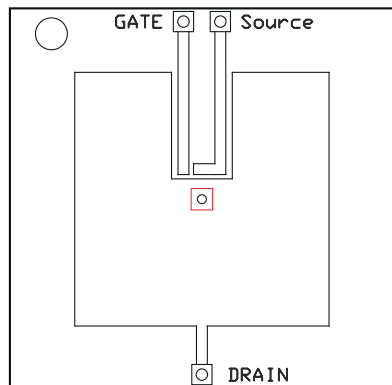
 $T_A = 25^\circ\text{C}$ (特に記述のない限り)

熱評価基準		最小値	標準値	最大値	単位
$R_{\theta JC}$	接合部からケースへの熱抵抗 ⁽¹⁾			5.5	$^\circ\text{C/W}$
$R_{\theta JA}$	接合部から周囲への熱抵抗 ^{(1) (2)}			55	$^\circ\text{C/W}$

- (1) $R_{\theta JC}$ は、1.5 インチ × 1.5 インチ (3.81cm × 3.81cm)、0.06 インチ (1.52mm) 厚の FR4 PCB 上に形成された 1 平方インチ (6.45cm²)、2 オンス (0.071mm 厚) の Cu パッドに実装した場合の値です。 $R_{\theta JC}$ は設計で規定されるのに対し、 $R_{\theta JA}$ はユーザーの基板設計によって決まります。
- (2) 1 平方インチ (6.45cm²)、2 オンス (0.071mm 厚) の Cu を持つ FR4 材質上にデバイスを実装。

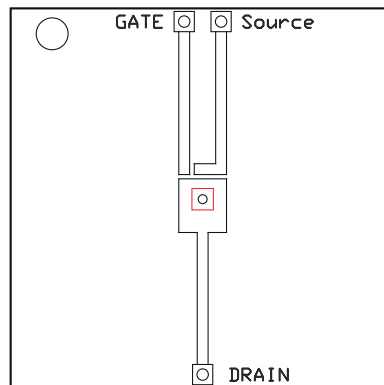
CSD19538Q3A

JAJSC77B – MAY 2016 – REVISED OCTOBER 2025



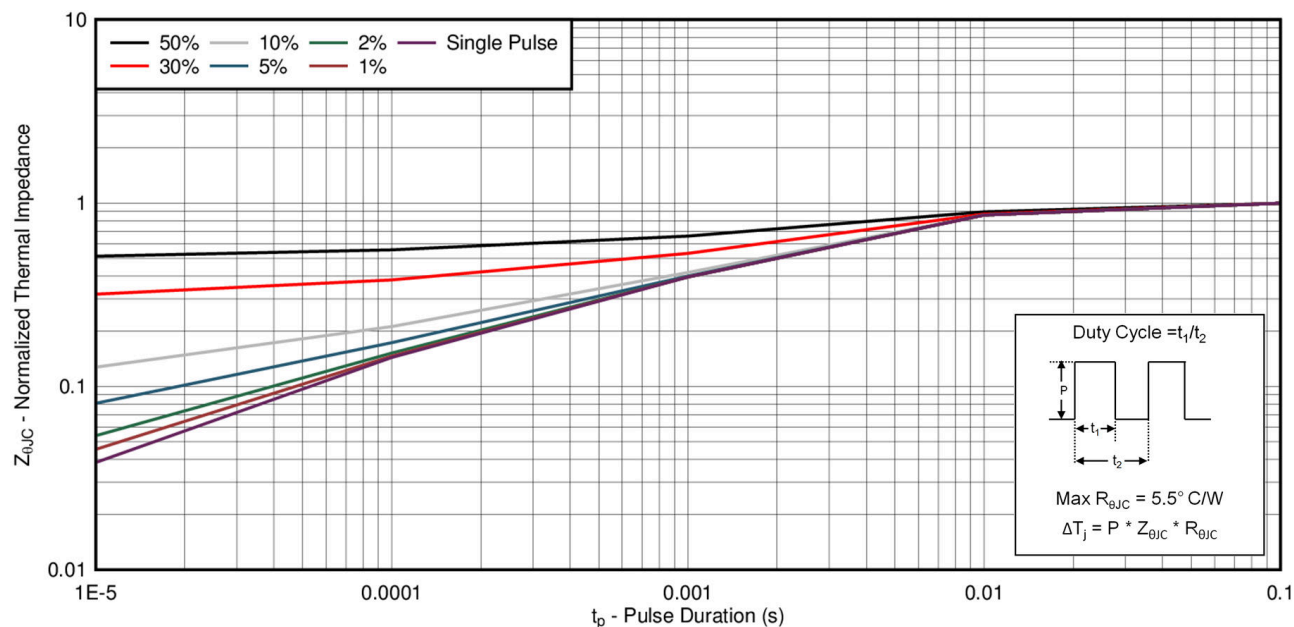
M0161-01

最大 $R_{\theta JA} = 55^{\circ}\text{C/W}$ (1 平方インチ (6.45cm²), 2 オンス (0.071mm 厚) の Cu に実装した場合)。



M0161-02

最大 $R_{\theta JA} = 195^{\circ}\text{C/W}$ (2 オンス (0.071mm 厚) の Cu の最小パッド面積に実装した場合)。

4.3 代表的な MOSFET の特性 $T_A = 25^{\circ}\text{C}$ (特に記述のない限り)**図 4-1. 過渡熱抵抗**

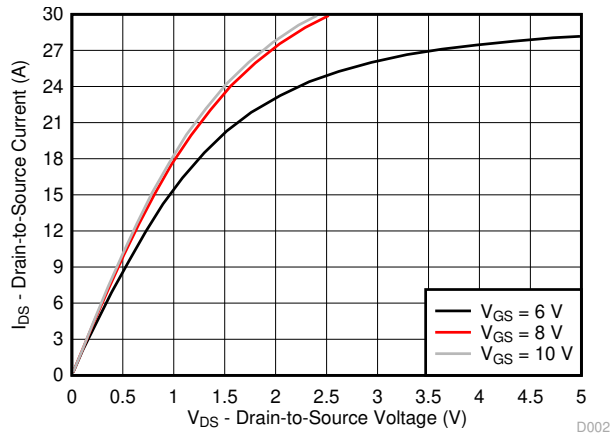


図 4-2. 飽和特性

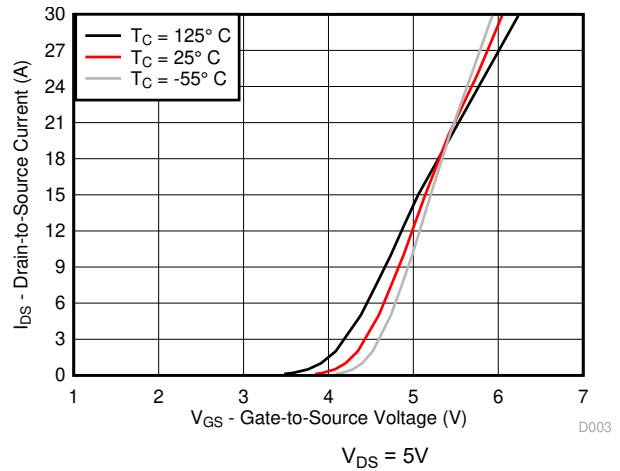


図 4-3. 伝達特性

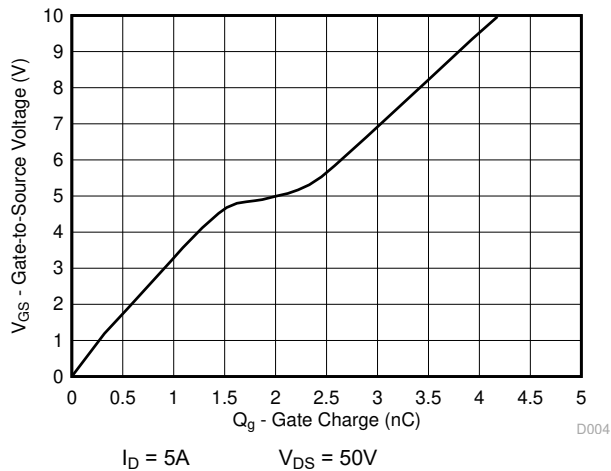


図 4-4. ゲート電荷

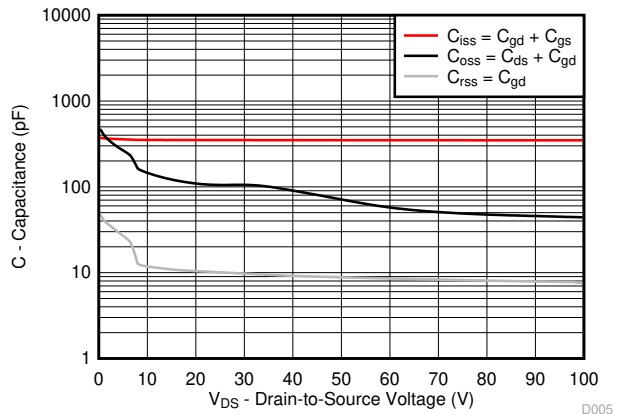


図 4-5. 容量

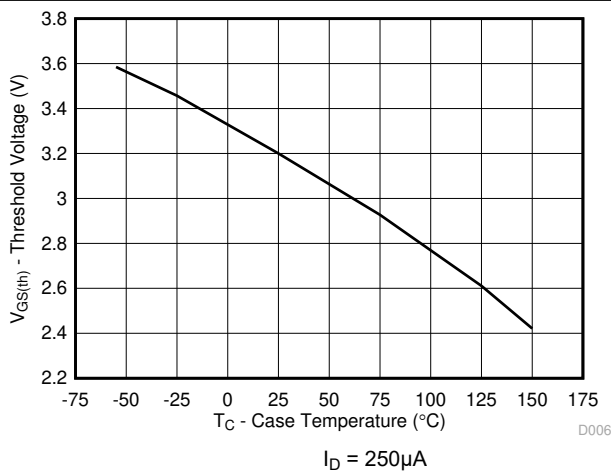


図 4-6. スレッシュホールド電圧と温度との関係

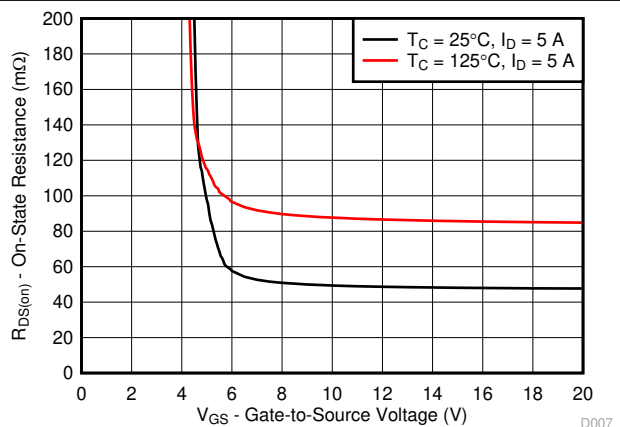
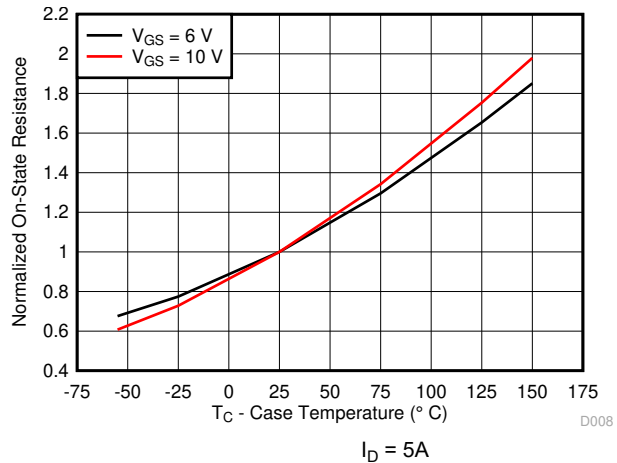
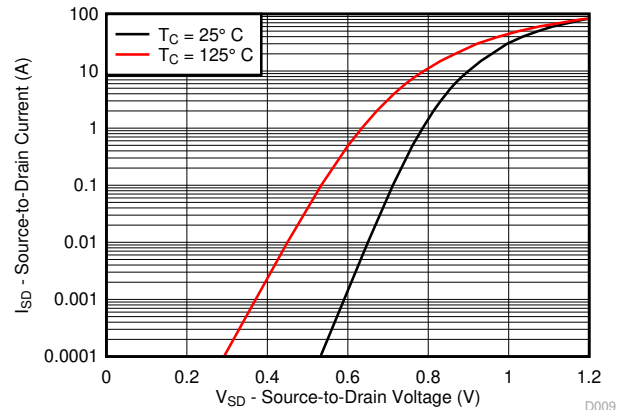
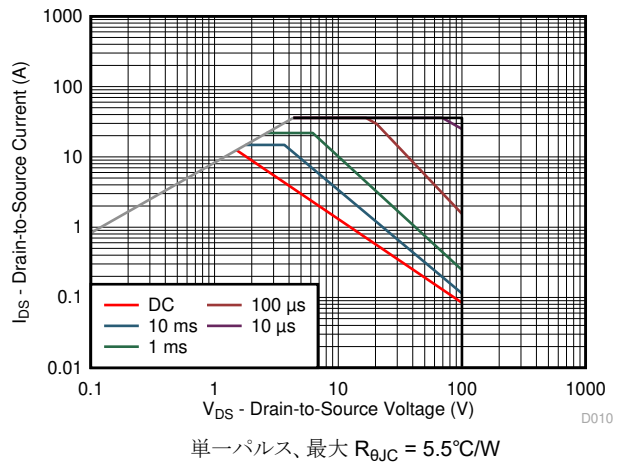
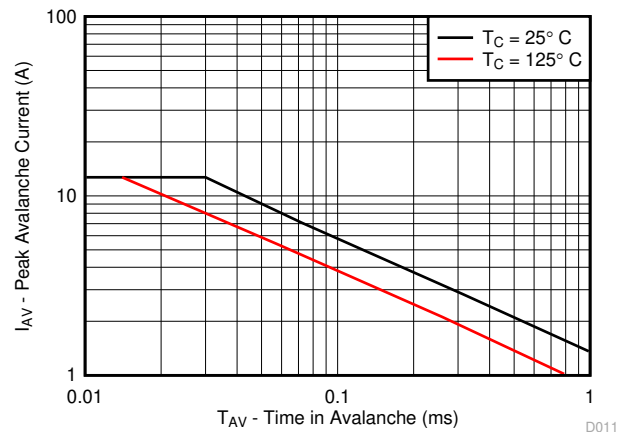
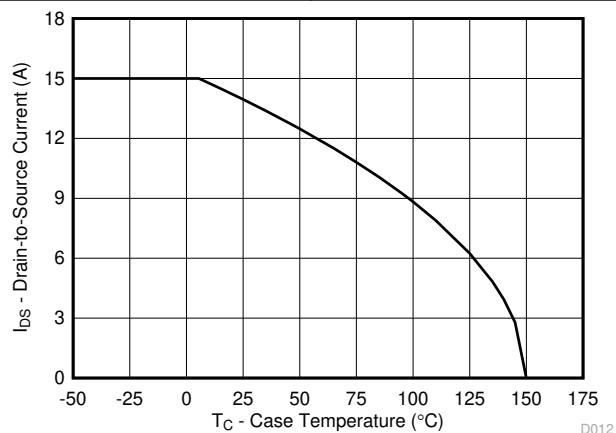


図 4-7. オン状態抵抗とゲート - ソース間電圧との関係

CSD19538Q3A

JAJSC77B – MAY 2016 – REVISED OCTOBER 2025

**図 4-8. 通常のオン状態抵抗と温度との関係****図 4-9. ダイオードの順方向電圧 (標準値)****図 4-10. 安全動作領域 (最大値)****図 4-11. 単一パルスの非クランプ誘導性スイッチング****図 4-12. ドレイン電流 (最大値) と温度との関係**

5 デバイスおよびドキュメントのサポート

5.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

5.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

5.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

5.4 商標

NexFET™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

5.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

5.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

6 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (March 2017) to Revision B (October 2025) Page

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... 1

Changes from Revision * (May 2016) to Revision A (March 2017) Page

- ゲート電荷曲線でテスト電圧 V_{DS} を 100V から 50V に変更..... 1
- [図 4-4](#) でテスト電圧 V_{DS} を 100V から 50V に変更..... 4

メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CSD19538Q3A	Active	Production	VSONP (DNH) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-55 to 150	19538
CSD19538Q3A.B	Active	Production	VSONP (DNH) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-55 to 150	19538
CSD19538Q3AT	Active	Production	VSONP (DNH) 8	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-55 to 150	19538
CSD19538Q3AT.B	Active	Production	VSONP (DNH) 8	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-55 to 150	19538

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

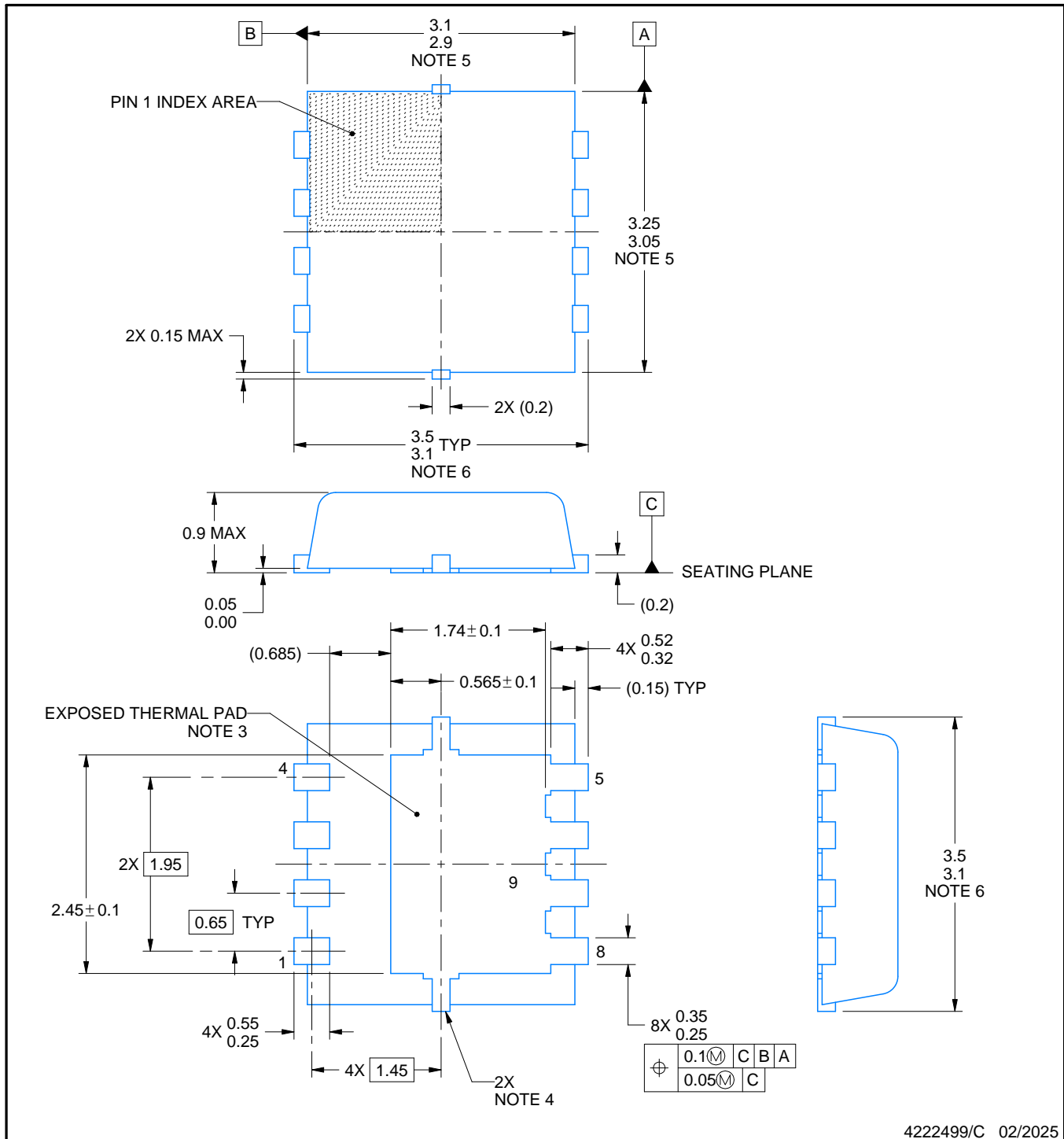
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

DNH0008A**PACKAGE OUTLINE****VSONP - 0.9 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



4222499/C 02/2025

NOTES:

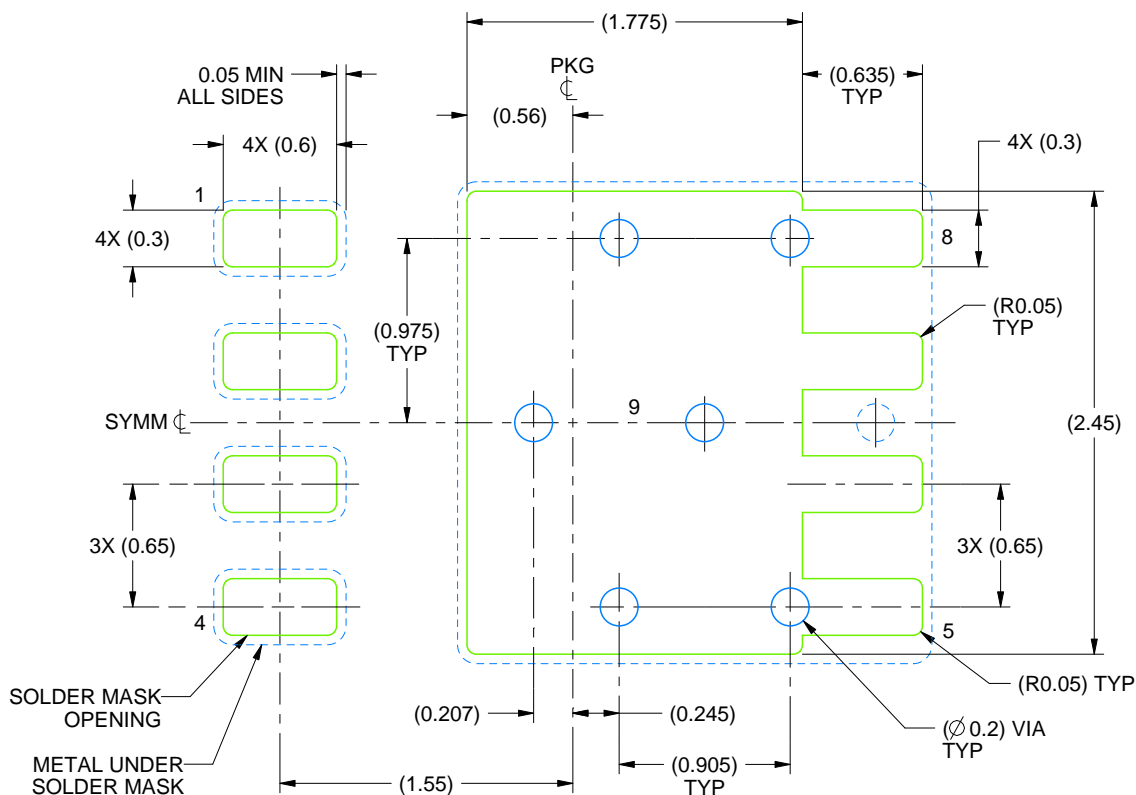
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Metalized features are supplier options and may not be on the package.
5. These dimensions do not include mold flash protrusions or gate burrs.
6. These dimensions include interterminal flash or protrusion. Interterminal flash or protrusion shall not exceed 0.25 mm per side.

EXAMPLE BOARD LAYOUT

DNH0008A

VSONP - 0.9 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE: 25X

4222499/C 02/2025

NOTES: (continued)

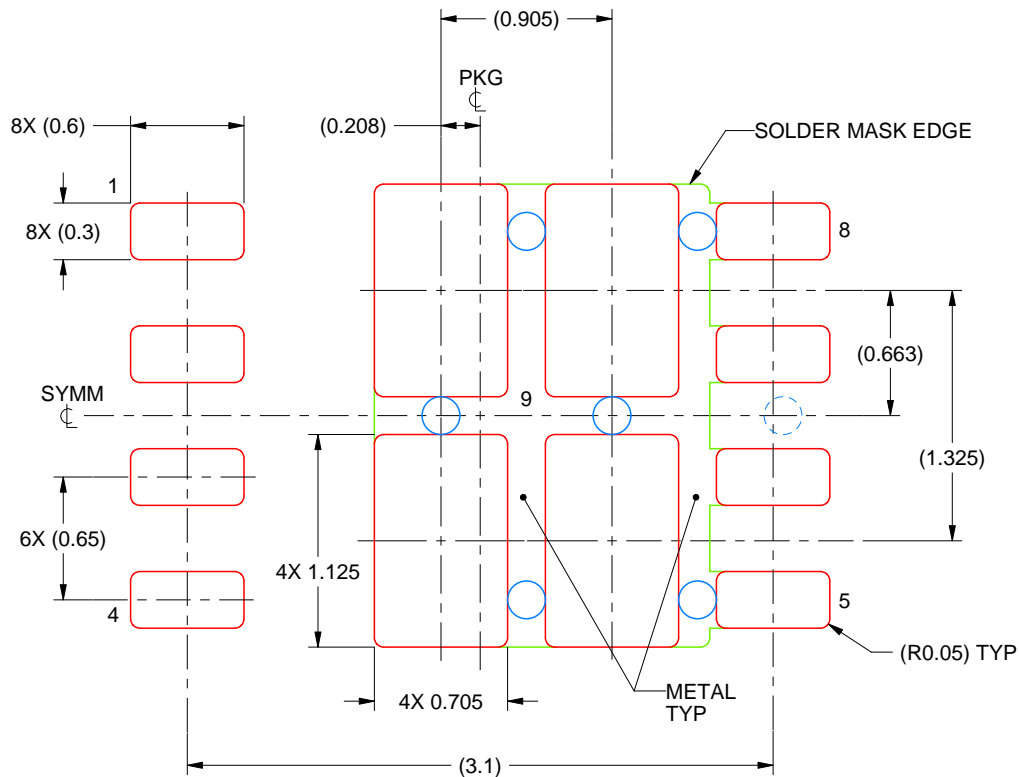
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slue271).
- Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.

EXAMPLE STENCIL DESIGN

DNH0008A

VSONP - 0.9 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
76% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE: 25X

4222499/C 02/2025

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月