

CSD25310Q2 20V、P チャネル NexFET™ パワー MOSFET

1 特長

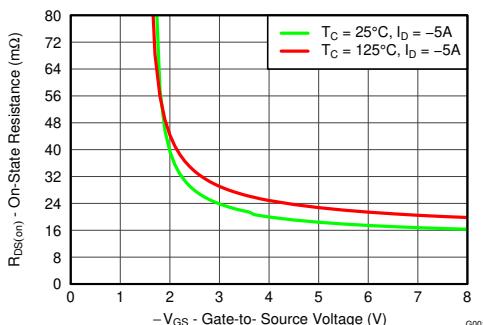
- 非常に低い Q_g および Q_{gd}
- 低いオン抵抗
- 低い熱抵抗
- 鉛フリー
- RoHS に準拠
- ハロゲン不使用
- SON 2mm × 2mm プラスチック パッケージ

2 アプリケーション

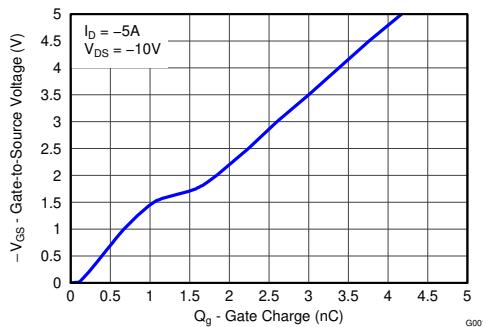
- バッテリ マネージメント
- 負荷管理
- バッテリ保護

3 概要

この 19.9mΩ、-20V P チャネル デバイスは、可能な限り小さな外形で、最低のオン抵抗とゲート電荷を実現し、非常に低いプロファイルで優れた熱特性を持つよう設計されています。本デバイスの小さいオン抵抗と SON 2mm × 2mm プラスチック パッケージの非常に小さいフットプリントは、限られたスペースでのバッテリ動作に理想的です。



$R_{DS(on)}$ と V_{GS} との関係



ゲート電荷

製品概要

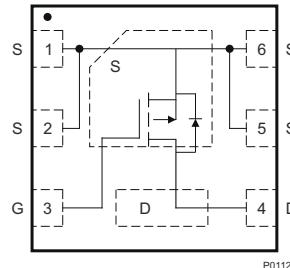
$T_A = 25^\circ\text{C}$		標準値		単位
V_{DS}	ドレイン - ソース間電圧	-20		V
Q_g	ゲートの合計電荷 (-4.5V)	3.6		nC
Q_{gd}	ゲート電荷、ゲート - ドレイン間	0.5		nC
$R_{DS(on)}$	ドレイン - ソース間オン抵抗	$V_{GS} = -1.8\text{V}$	59.0	mΩ
		$V_{GS} = -2.5\text{V}$	27.0	mΩ
		$V_{GS} = -4.5\text{V}$	19.9	mΩ
$V_{GS(th)}$	スレッショルド電圧	-0.85		V

注文情報

デバイス	メディア	数量	パッケージ	Ship (配送)
CSD25310Q2	7 インチ リール	3000	SON 2mm × 2mm プラスチック パッケージ	テープ アンド リール
CSD25310Q2T	7 インチ リール	250		

絶対最大定格

$T_A = 25^\circ\text{C}$		値	単位
V_{DS}	ドレイン - ソース間電圧	-20	V
V_{GS}	ゲート - ソース間電圧	±8	V
I_D	連続ドレイン電流 (パッケージ制限)	-20	A
I_D	連続ドレイン電流 (1)	-9.6	A
I_{DM}	パルスドレイン電流 (2)	48	A
P_D	電力散逸 1. $R_{SDA} = 43^\circ\text{C}/\text{W}$ (厚さ 0.060 インチの FR4 PCB 上の 1 平方インチの Cu (厚さ 2oz) に実装した場合)	2.9	W
T_J 、 T_{stg}	動作時の接合部温度、保存温度	-55~150	°C



上面図

Table of Contents

1 特長	1	5.2 Documentation Support	7
2 アプリケーション	1	5.3 ドキュメントの更新通知を受け取る方法	7
3 概要	1	5.4 サポート・リソース	7
4 Specifications	3	5.5 Trademarks	7
4.1 Electrical Characteristics.....	3	5.6 静電気放電に関する注意事項.....	7
4.2 Thermal Information.....	4	5.7 用語集.....	7
4.3 Typical MOSFET Characteristics.....	5		
5 Device and Documentation Support	7	6 Revision History	7
5.1 サード・パーティ製品に関する免責事項.....	7	7 Mechanical, Packaging, and Orderable Information	9

4 Specifications

4.1 Electrical Characteristics

$T_A = 25^\circ\text{C}$, unless otherwise specified

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
STATIC CHARACTERISTICS						
BV_{DSS}	Drain-to-Source Voltage	$V_{\text{GS}} = 0\text{V}$, $I_{\text{D}} = -250\mu\text{A}$		-20		V
I_{DSS}	Drain-to-Source Leakage Current	$V_{\text{GS}} = 0\text{V}$, $V_{\text{DS}} = -16\text{V}$		-1		μA
I_{GSS}	Gate-to-Source Leakage Current	$V_{\text{DS}} = 0\text{V}$, $V_{\text{GS}} = -8\text{V}$		-100		nA
$V_{\text{GS}(\text{th})}$	Gate-to-Source Threshold Voltage	$V_{\text{DS}} = V_{\text{GS}}$, $I_{\text{DS}} = -250\mu\text{A}$	-0.55	-0.85	-1.10	V
$R_{\text{DS}(\text{on})}$	Drain-to-Source On Resistance	$V_{\text{GS}} = -1.8\text{V}$, $I_{\text{DS}} = -5\text{A}$		59.0	89.0	$\text{m}\Omega$
		$V_{\text{GS}} = -2.5\text{V}$, $I_{\text{DS}} = -5\text{A}$		27.0	32.5	$\text{m}\Omega$
		$V_{\text{GS}} = -4.5\text{V}$, $I_{\text{DS}} = -5\text{A}$		19.9	23.9	$\text{m}\Omega$
g_{fs}	Transconductance	$V_{\text{DS}} = -16\text{V}$, $I_{\text{DS}} = -5\text{A}$		34		S
DYNAMIC CHARACTERISTICS						
C_{iss}	Input Capacitance	$V_{\text{GS}} = 0\text{V}$, $V_{\text{DS}} = -10\text{V}$, $f = 1\text{MHz}$		504	655	pF
C_{oss}	Output Capacitance			281	365	pF
C_{rss}	Reverse Transfer Capacitance			16.7	21.7	pF
R_g	Series Gate Resistance			1.9		Ω
Q_g	Gate Charge Total (-4.5 V)	$V_{\text{DS}} = -10\text{V}$, $I_{\text{DS}} = -5\text{A}$		3.6	4.7	nC
Q_{gd}	Gate Charge Gate to Drain			0.5		nC
Q_{gs}	Gate Charge Gate to Source			1.1		nC
$Q_{\text{g}(\text{th})}$	Gate Charge at V_{th}			0.6		nC
Q_{oss}	Output Charge	$V_{\text{DS}} = -10\text{V}$, $V_{\text{GS}} = 0\text{V}$		5.0		nC
$t_{\text{d}(\text{on})}$	Turn On Delay Time	$V_{\text{DS}} = -10\text{V}$, $V_{\text{GS}} = -4.5\text{V}$, $I_{\text{DS}} = -5\text{A}$ $R_g = 2\Omega$		8		ns
t_r	Rise Time			15		ns
$t_{\text{d}(\text{off})}$	Turn Off Delay Time			15		ns
t_f	Fall Time			5		ns
DIODE CHARACTERISTICS						
V_{SD}	Diode Forward Voltage	$I_{\text{DS}} = -5\text{A}$, $V_{\text{GS}} = 0\text{V}$		-0.8	-1.0	V
Q_{rr}	Reverse Recovery Charge	$V_{\text{DD}} = -10\text{V}$, $I_F = -5\text{A}$, $di/dt = 200\text{A}/\mu\text{s}$		9.2		nC
t_{rr}	Reverse Recovery Time			13		ns

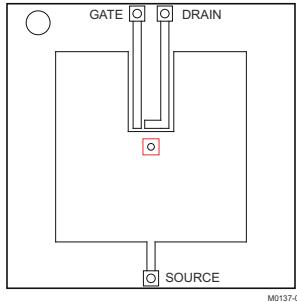
4.2 Thermal Information

($T_A = 25^\circ\text{C}$ unless otherwise stated)

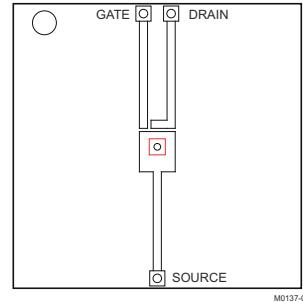
THERMAL METRIC		MIN	TYP	MAX	UNIT
$R_{\theta\text{JC}}$	Thermal Resistance Junction to Case ⁽¹⁾			4.5	
$R_{\theta\text{JA}}$	Thermal Resistance Junction to Ambient ^{(1) (2)}			55	°C/W

(1) $R_{\theta\text{JC}}$ is determined with the device mounted on a 1 inch² (6.45cm²), 2oz. (0.071mm thick) Cu pad on a 1.5 inch × 1.5 inch (3.81cm × 3.81cm), 0.06 inch (1.52mm) thick FR4 PCB. $R_{\theta\text{JC}}$ is specified by design, whereas $R_{\theta\text{JA}}$ is determined by the user's board design.

(2) Device mounted on FR4 material with 1 inch² (6.45cm²), 2oz. (0.071mm thick) Cu.



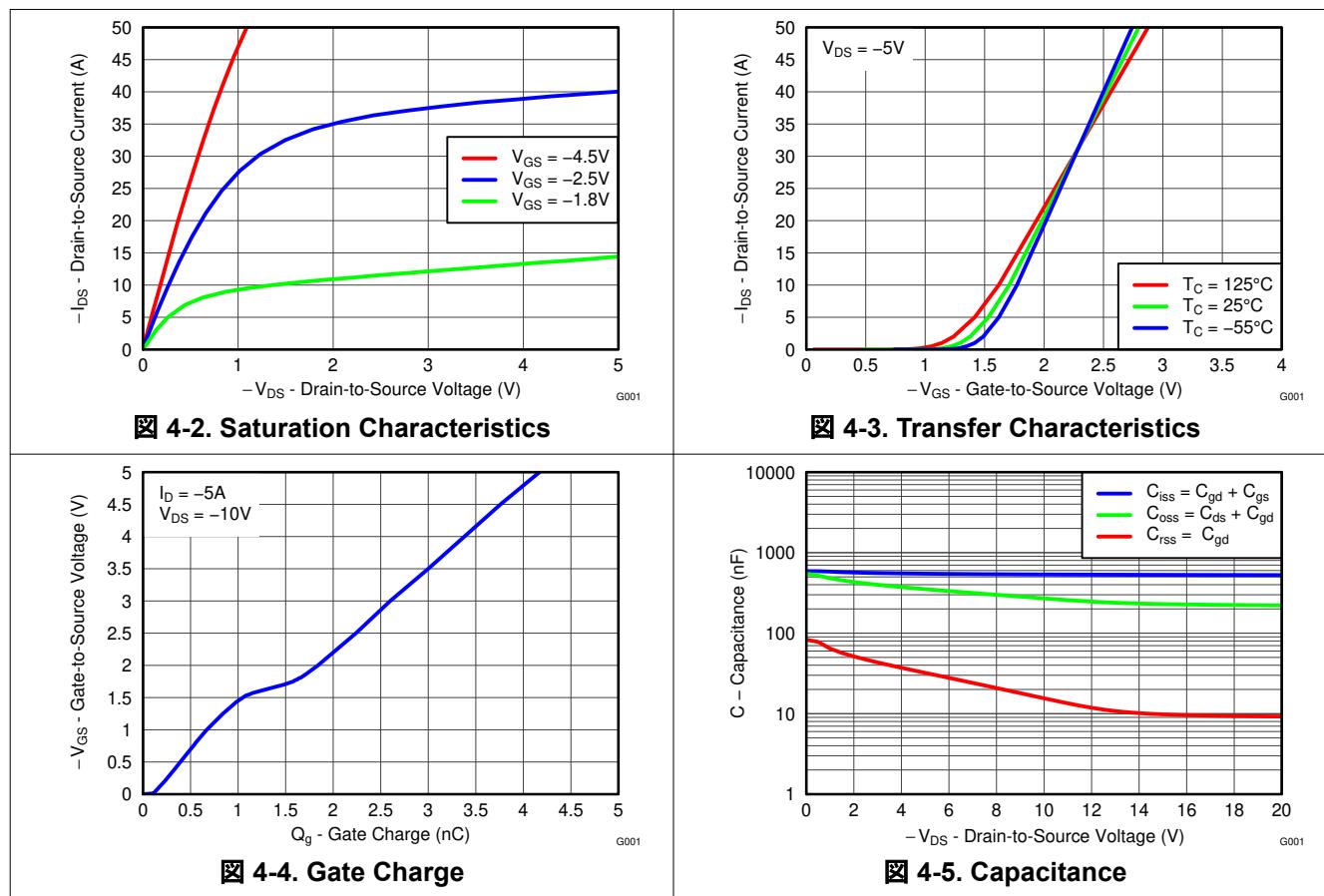
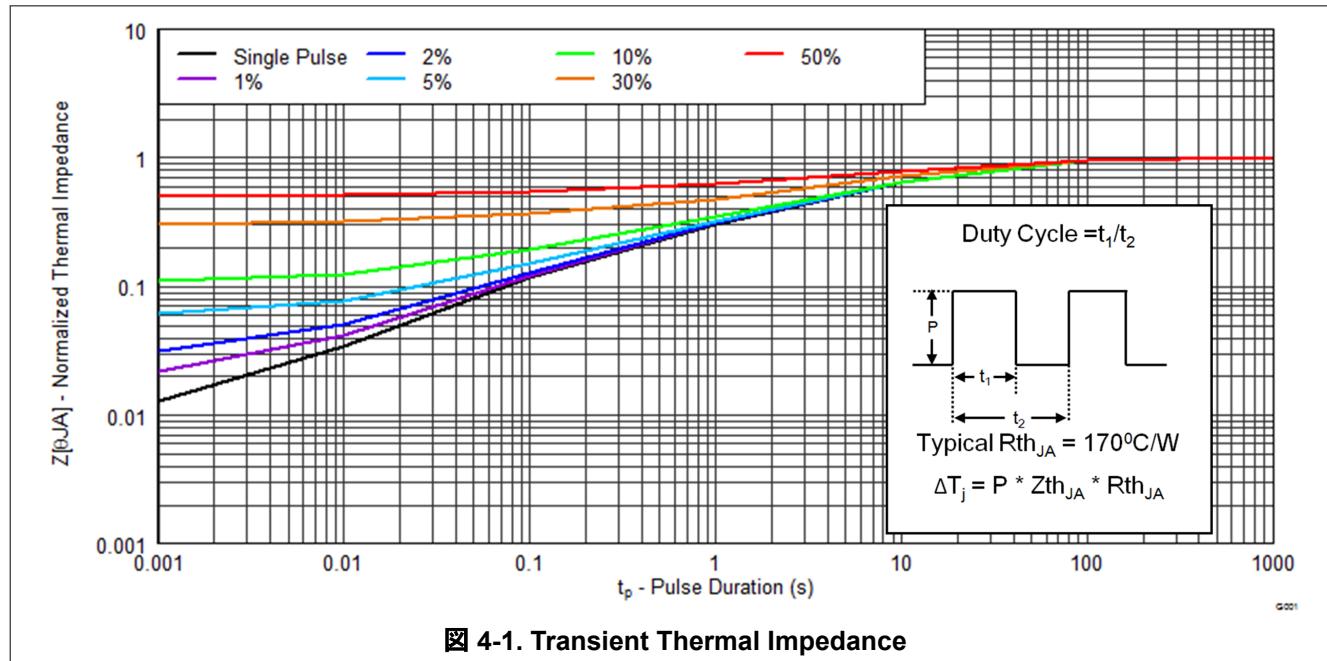
Max $R_{\theta\text{JA}} = 55$ when mounted on 1 inch² (6.45cm²) of 2oz. (0.071mm thick) Cu.



Max $R_{\theta\text{JA}} = 215$ when mounted on minimum pad area of 2oz. (0.071mm thick) Cu.

4.3 Typical MOSFET Characteristics

($T_A = 25^\circ\text{C}$ unless otherwise stated)



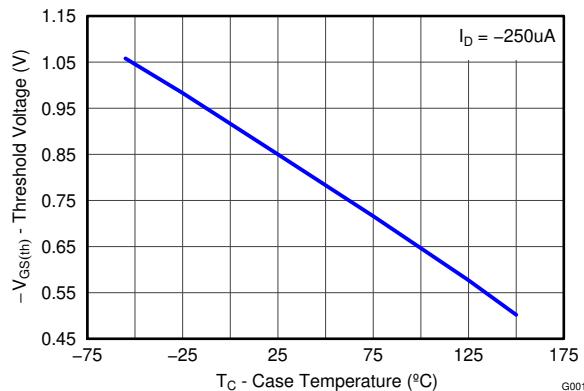


図 4-6. Threshold Voltage vs Temperature

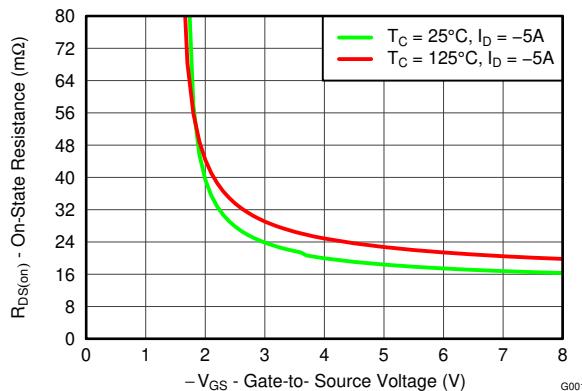


図 4-7. On-State Resistance vs Gate-to-Source Voltage

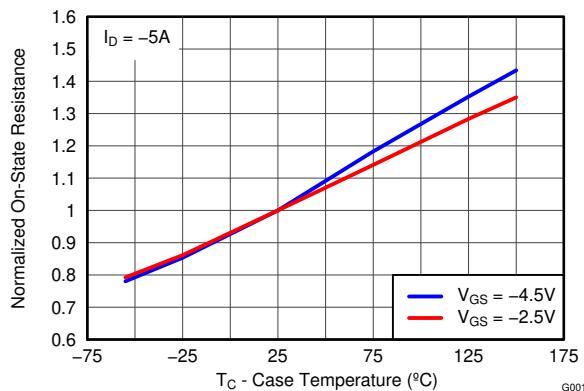


図 4-8. Normalized On-State Resistance vs Temperature

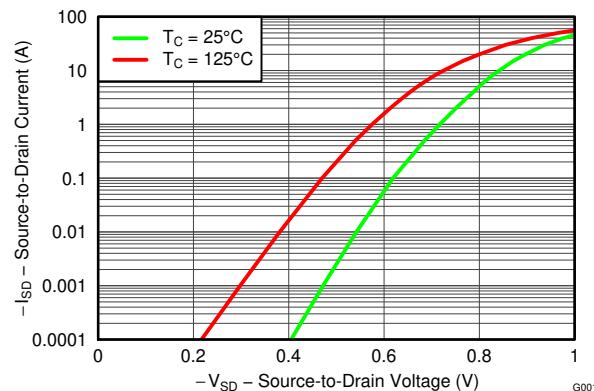


図 4-9. Typical Diode Forward Voltage

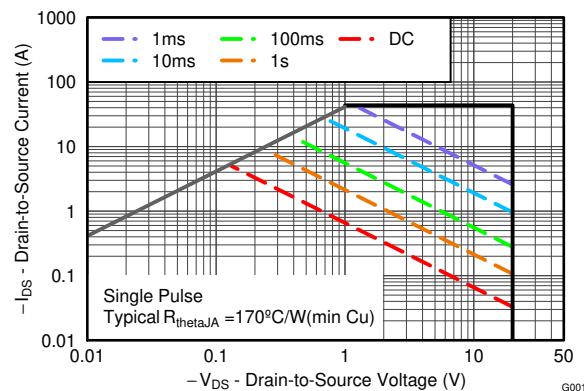


図 4-10. Maximum Safe Operating Area

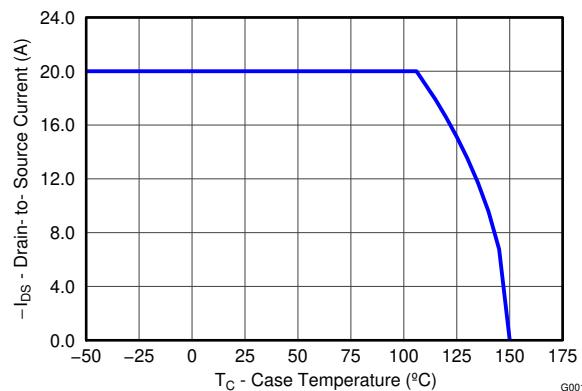


図 4-11. Maximum Drain Current vs Temperature

5 Device and Documentation Support

5.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

5.2 Documentation Support

5.2.1 Related Documentation

5.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

5.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

5.5 Trademarks

NexFET™ is a trademark of TI.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

5.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

5.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

6 Revision History

Changes from Revision B (March 2022) to Revision C (February 2025)

Page

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... 1

Changes from Revision A (June 2014) to Revision B (March 2022)

Page

- Updated drain and source connection images..... 4

Changes from Revision * (January 2014) to Revision A (June 2014)**Page**

• 「鉛フリーの端子メッキ」を単なる「鉛フリー」に変更.....	1
• 「製品情報」表に小型リール オプションを追加.....	1

7 Mechanical, Packaging, and Orderable Information

The following pages include mechanical packaging and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CSD25310Q2	Active	Production	WSON (DQK) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	2530
CSD25310Q2.B	Active	Production	WSON (DQK) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	2530
CSD25310Q2G4.B	Active	Production	WSON (DQK) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	2530
CSD25310Q2T	Active	Production	WSON (DQK) 6	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	2530
CSD25310Q2T.B	Active	Production	WSON (DQK) 6	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	2530

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

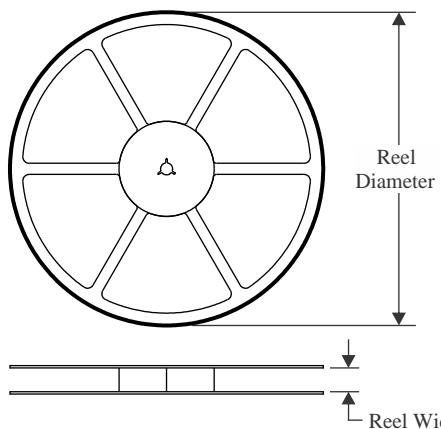
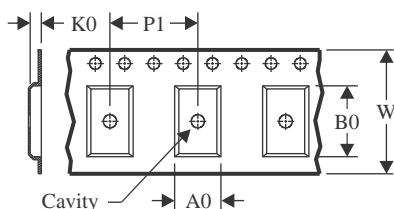
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

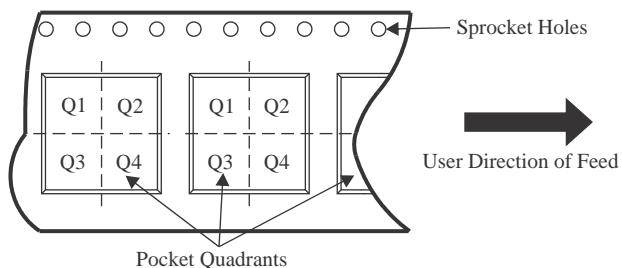
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

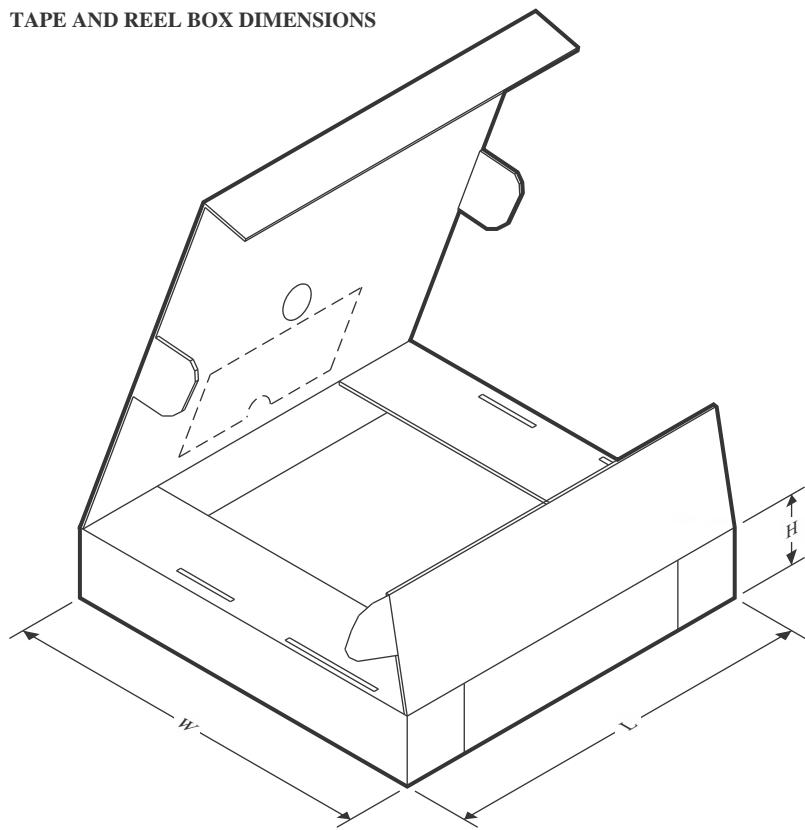
TAPE AND REEL INFORMATION
REEL DIMENSIONS

TAPE DIMENSIONS


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CSD25310Q2	WSON	DQK	6	3000	180.0	9.5	2.3	2.3	1.0	4.0	8.0	Q1
CSD25310Q2T	WSON	DQK	6	250	180.0	9.5	2.3	2.3	1.0	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CSD25310Q2	WSON	DQK	6	3000	189.0	185.0	36.0
CSD25310Q2T	WSON	DQK	6	250	189.0	185.0	36.0

GENERIC PACKAGE VIEW

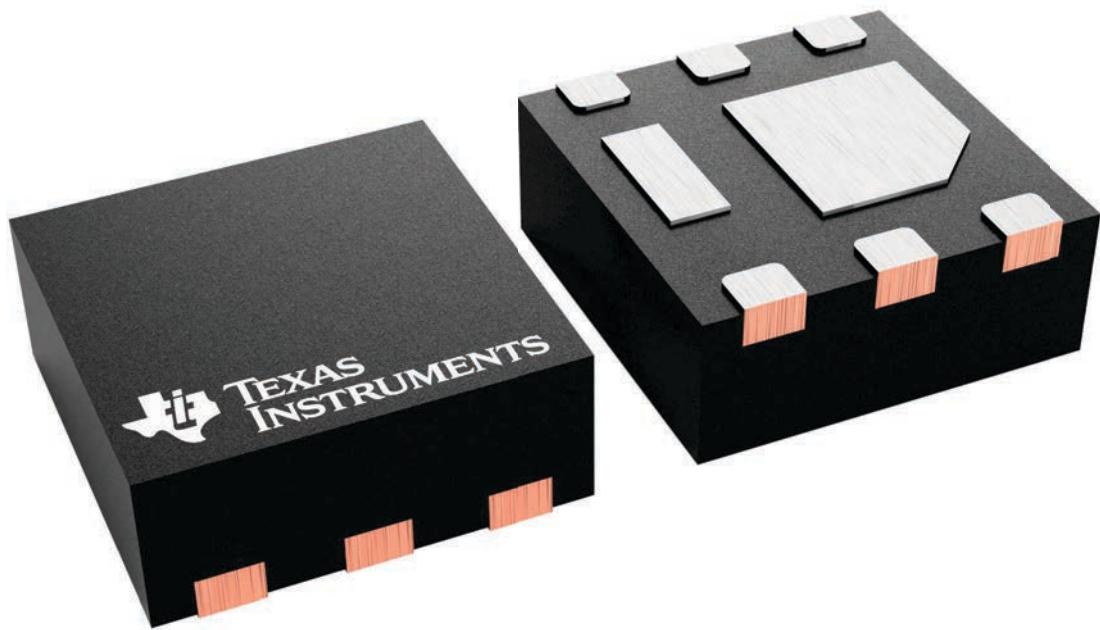
DQK 6

WSON - 0.8 mm max height

2 x 2, 0.65 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

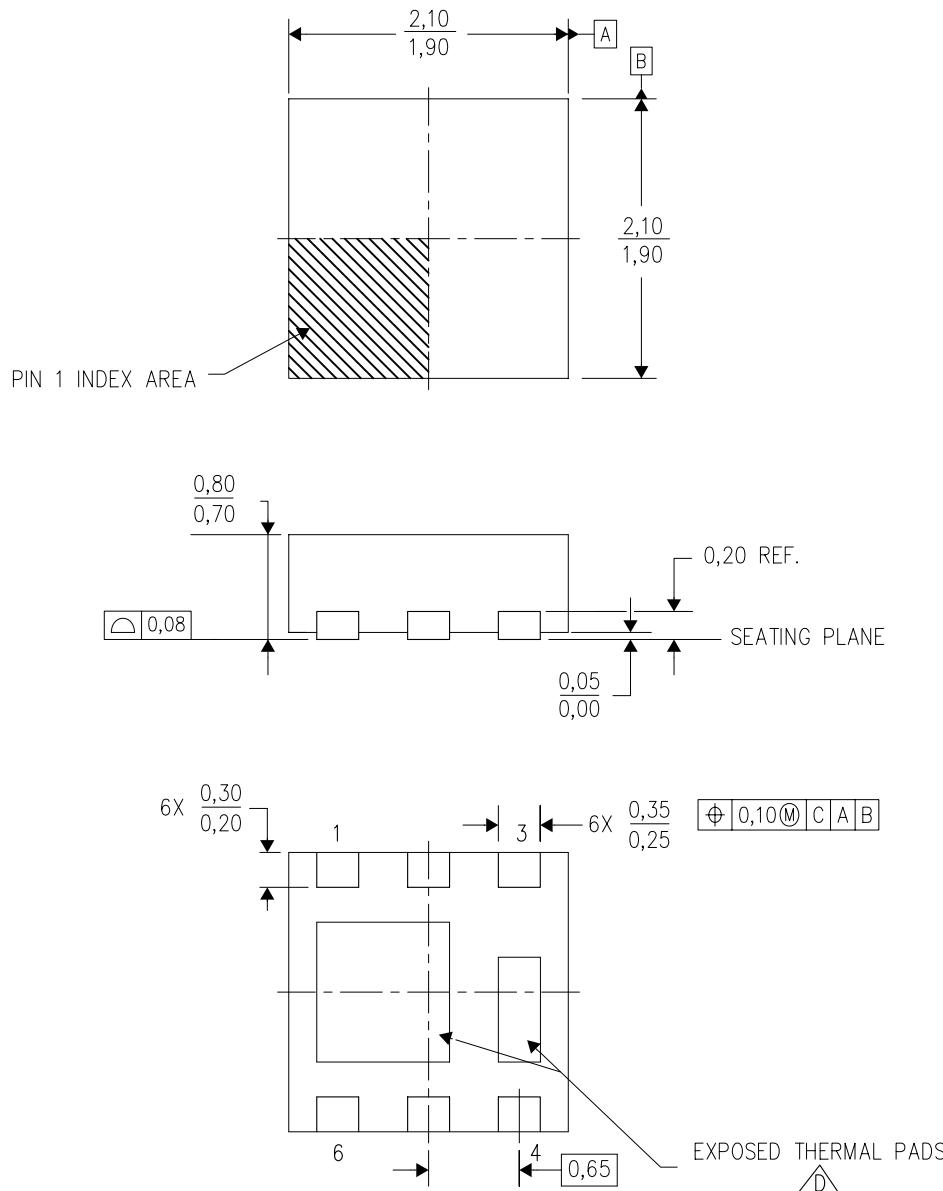
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4229807/A

DQK (S-PWSON-N6)

PLASTIC SMALL OUTLINE NO-LEAD



4210192/B 01/10

NOTES: A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.

B. This drawing is subject to change without notice.

C. Small Outline No-Lead (SON) package configuration.

c. Small outline NO-Lead (SON) package configuration.

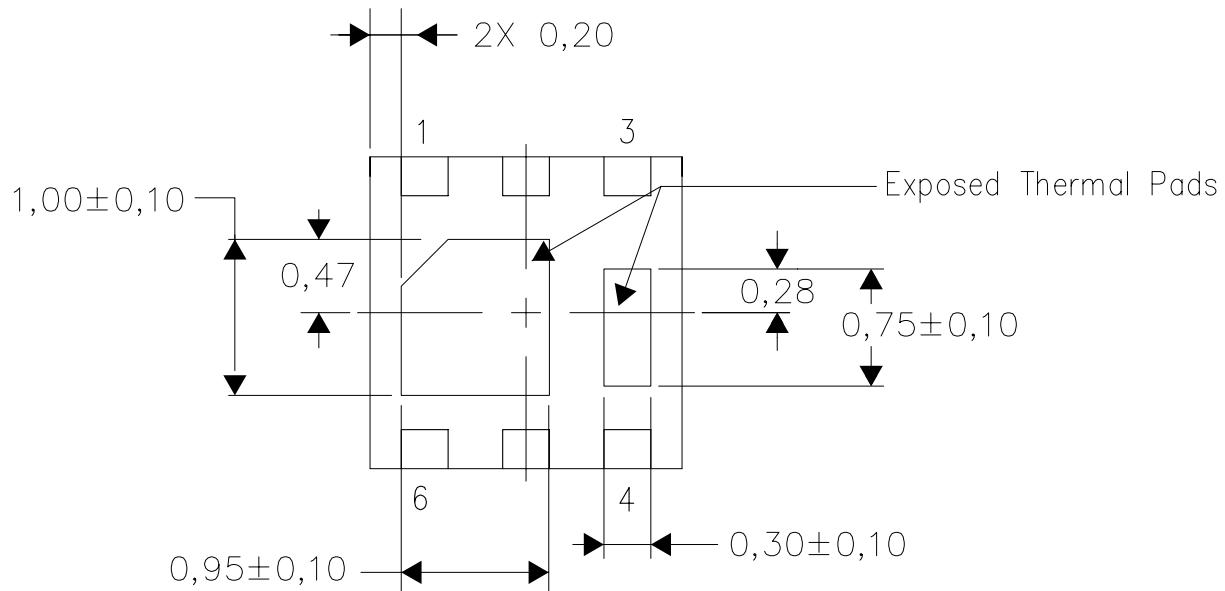
 The package thermal pads must be soldered to the board for thermal and mechanical performance.

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, Quad Flatpack No-Lead Logic Packages, Texas Instruments Literature No. SCBA017. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

NOTE: All linear dimensions are in millimeters

Exposed Thermal Pad Dimensions

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月