DAC39RFx10-SP、DAC39RFx10-SEP JESD204C インターフェイス搭載、10.4 または 20.8GSPS、16 ビット、デュアルまたはシングル チャネル、マルチナイキスト D/A コンバータ (DAC)

1 特長

- 放射線耐性保証 DAC39RFx10-SP:
  - シングル イベント アップセット (SEU) 耐性レジスタ
  - シングル イベント ラッチアップ (SEL):120MeV-cm^2/mg
  - RLAT 吸収線量 (TID):300krad (Si)
- 耐放射線特性 DAC39RFx10-SEP:
  - シングル イベント アップセット (SEU) 耐性レジスタ
  - シングル イベント ラッチアップ (SEL):43MeV-cm^2/mg
  - RLAT 吸収線量 (TID):30krad (Si)
- 16 ビット、10.4/20.8GSPS、マルチナイキスト DAC コア
- 最大入力データ レート:
  - 8 ビット、シングル チャネル、DES モード:20.8GSPS
  - 12 ビット、シングル チャネル、DES モード:15.5GSPS
  - 16 ビット、シングル チャネル:10.4GSPS
  - 8 ビット、デュアル チャネル、10.4GSPS
  - 12 ビット、デュアル チャネル:7.75GSPS/Ch
  - 16 ビット、デュアル チャネル:6.2GSPS/Ch
- 出力帯域幅 (-3dB):12GHz
- f_{OUT} = 2.997GHz、DES2XL モード、DEM/Dither off の場合の性能
  - ノイズ フロア (小信号):-155dBFS/Hz
  - SFDR (-0.1dBFS):60dBc
  - IMD3 (各トーン -7dBFS):–62dBc
  - 付加位相ノイズ、10kHz オフセット:-138dBc/Hz
- 4 つのデジタル アップコンバータ (DUC) を内蔵
  - 補間:1x、2x、3x、4x、6x、8x、12x ...256x
  - I/Q 出力用の複素ベースバンド DUC
  - デュアル チャネルのダイレクト RF サンプリングに使用する、複素信号から実信号へのアップコンバージョン
  - 64 ビットの周波数分解能 NCO
- JESD204C インターフェイス
  - 最大 12.8Gbps で最大 16 レーン
  - Class C-S、Subclass-1 互換
  - 内部 AC カップリング コンデンサ
- SYSREF タイミング自動較正用の SYSREF ウィンドウ処理
- 宇宙スクリーニングおよび保証:
  - ASTM E595 アウトガス仕様に適合
  - 単一の製造、アセンブリ、テスト施設
  - ウェハー ロットをトレース可能
  - 長期にわたる製品ライフ サイクル
  - 放射線ロット受け入れ試験 (RLAT)
  - 量産時のバーンイン (DAC39RFx10-SP のみ)
- このデバイスには、純度 97% 以上の錫 (Sn) 仕上げの非カプセル化チップ コンデンサが含まれています。詳細については、信頼性レポートを参照してください

2 アプリケーション

- 衛星通信 (SATCOM)
- 広帯域と高速のデータ転送
- クロックまたは局部発振器 (LO) 用の RF 合成
- フェーズド アレイ アンテナ システム
- 合成開口レーダー (SAR) 励振器
- 分光器

3 説明

DAC39RF10-Sx および RFS10-Sx は、16 ビット分解能のデュアルおよびシングル チャネル D/A コンバータ (DAC) のファミリです。これらのデバイスは、直接 RF サンプリングまたは複素ベースバンド信号生成のいずれかに対して、非補間または補間 DAC として使用できます。最大入力データ レートは、1 チャネルの場合は 20.8GSPS、2 チャネルの場合は 10.4GSPS です。このデバイスは、10GHz を超える搬送波周波数で、最大 10GHz、7.5GHz、5GHz の信号帯域幅 (8、12、16 ビットの入力分解能) の信号を生成できるため、X バンドで直接サンプリングを可能にします。

高いサンプリング レート、出力周波数範囲、64 ビット NCO 周波数分解能、および位相干渉を持つ任意の周波数ホッピングにより、DAC39RF10-Sx および RFS10-Sx は任意波形生成 (AWG) および直接デジタル合成 (DDS) にも対応できます。

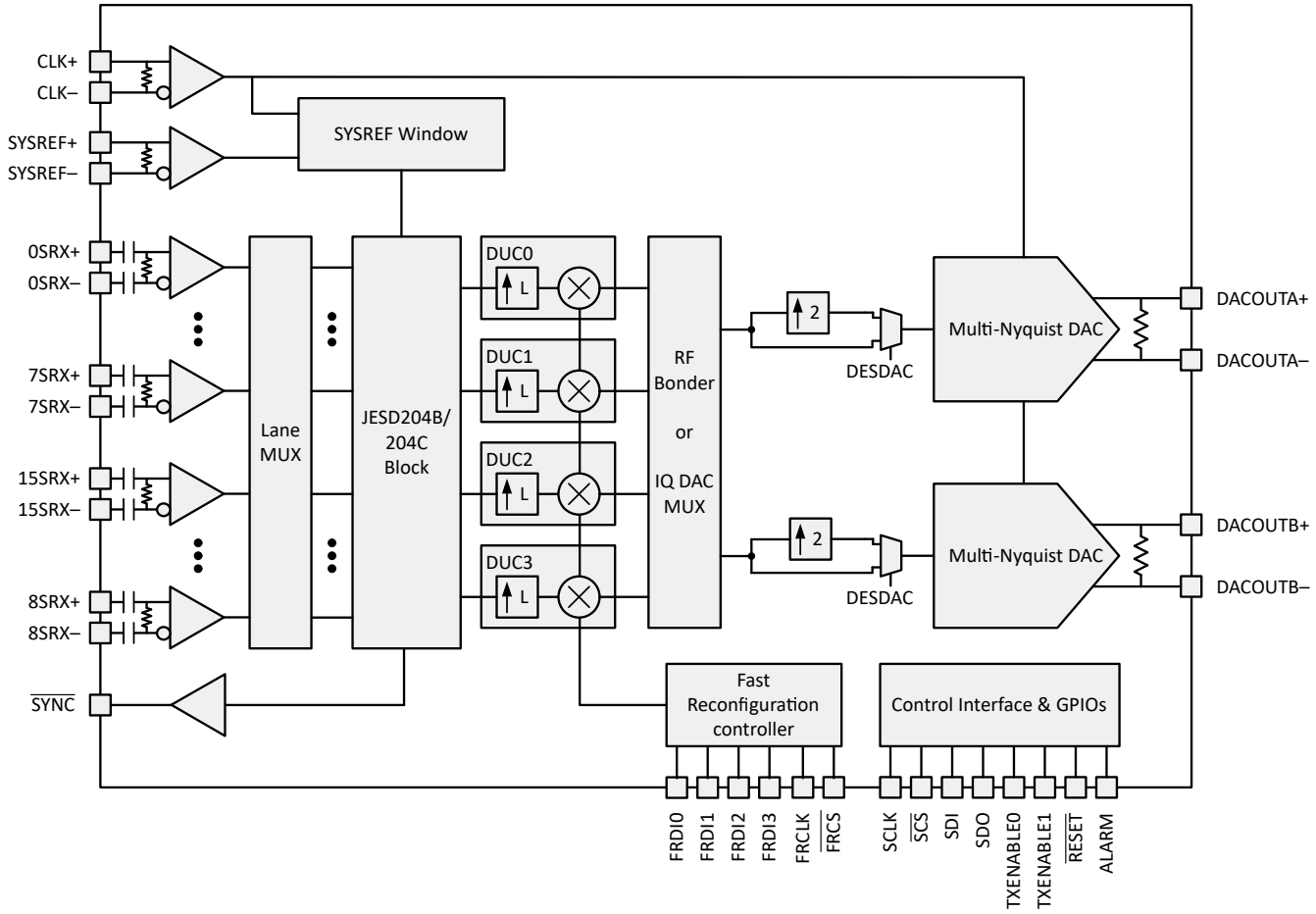
JESD204B および JESD204C 互換のシリアル インターフェイスには、最大 12.8Gbps に対応する 16 のレシーバペアがあります。インターフェイスは JESD204B および JESD204C Subclass-1 に準拠しており、SYSREF を使用することで決定論的レイテンシとマルチデバイス同期を実現します。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

パッケージ情報

部品番号(1)	グレード (2)	パッケージ サイズ (3)
DAC39RF10ACLNSP	宇宙用エンハンスド製品 (-SEP) 30krad(Si)	ACL、17mm × 17mm、1mm ピッチ
DAC39RFS10ACLNSP		
DAC39RF10ACL-MLS	フライト グレード Space-MLS (-SP) 300krad(Si)	
DAC39RFS10ACL-MLS		

(1) 詳細については、セクション 12 を参照してください。
(2) 部品のグレードについての詳細は、TI 部品のレーティングを参照してください。
(3) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



ブロック図 (デュアル チャネル デバイス)

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイスの比較.....4
5 ピン構成および機能.....5
6 仕様.....10
6.1 絶対最大定格.....10
6.2 ESD 定格.....10
6.3 推奨動作条件.....11
6.4 熱に関する情報.....11
6.5 電気的特性 - DC 仕様.....12
6.6 電気的特性 - AC 仕様.....14
6.7 電気的特性 - 消費電力.....38
6.8 タイミング要件.....43
6.9 スイッチング特性.....44
6.10 SPI および FRI タイミング図.....46
6.11 代表的特性：帯域幅と DC 直線性.....48
6.12 代表的特性：シングル トーン スペクトル.....51
6.13 代表的特性：デュアル トーン スペクトル.....55
6.14 代表的特性：ノイズ スペクトル密度.....61
6.15 代表的特性：電力散逸と電源電流.....68
6.16 代表的特性：直線性スイープ.....71
6.17 代表的特性：変調波形.....91
6.18 代表的特性：位相ノイズと振幅ノイズ.....92
7 詳細説明.....95
7.1 概要.....95
7.2 機能ブロック図.....95
7.3 機能説明.....97
7.4 デバイスの機能モード.....126
7.5 プログラミング.....139
8 SPI レジスタ マップ.....143
9 アプリケーションと実装.....202
9.1 使用上の注意.....202
9.2 代表的なアプリケーション.....211
9.3 電源に関する推奨事項.....219
9.4 レイアウト.....223
10 デバイスおよびドキュメントのサポート.....235
10.1 ドキュメントの更新通知を受け取る方法.....235
10.2 サポート・リソース.....235
10.3 商標.....235
10.4 静電気放電に関する注意事項.....235
10.5 用語集.....235
11 改訂履歴.....235
12 メカニカル、パッケージ、および注文情報.....235

Copyright © 2026 Texas Instruments Incorporated

4 デバイスの比較

デバイス	チャネル数	最大サンプル レート (シングル、デュアル エッジ)	放射線耐性		JESD インターフェイス
			SEL/SEFI	TID	
DAC39RF10	2	10.24、20.48GSPS	該当なし	該当なし	あり
DAC39RFS10	1	10.24、20.48GSPS	該当なし	該当なし	あり
DAC39RF12	2	12、24GSPS	該当なし	該当なし	あり
DAC39RFS12	1	12、24GSPS	該当なし	該当なし	あり
DAC39RF10-EP	2	10.4、20.8GSPS	該当なし	該当なし	あり
DAC39RFS10-EP	1	10.4、20.8GSPS	該当なし	該当なし	あり
DAC39RF10-SP	2	10.4、20.8GSPS	120MeV	300krad	あり
DAC39RFS10-SP	1	10.4、20.8GSPS	120MeV	300krad	あり
DAC39RF10-SEP	2	10.4、20.8GSPS	43MeV	30krad	あり
DAC39RFS10-SEP	1	10.4、20.8GSPS	43MeV	30krad	あり
DDS39RF12	2	12、24GSPS	該当なし	該当なし	2 レーンのみ
DDS39RFS12	1	12、24GSPS	該当なし	該当なし	2 レーンのみ
DAC39RF10EF	2	10.24、20.48GSPS	該当なし	該当なし	入力レート制限あり
DAC39RFS10EF	1	10.24、20.48GSPS	該当なし	該当なし	入力レート制限あり

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

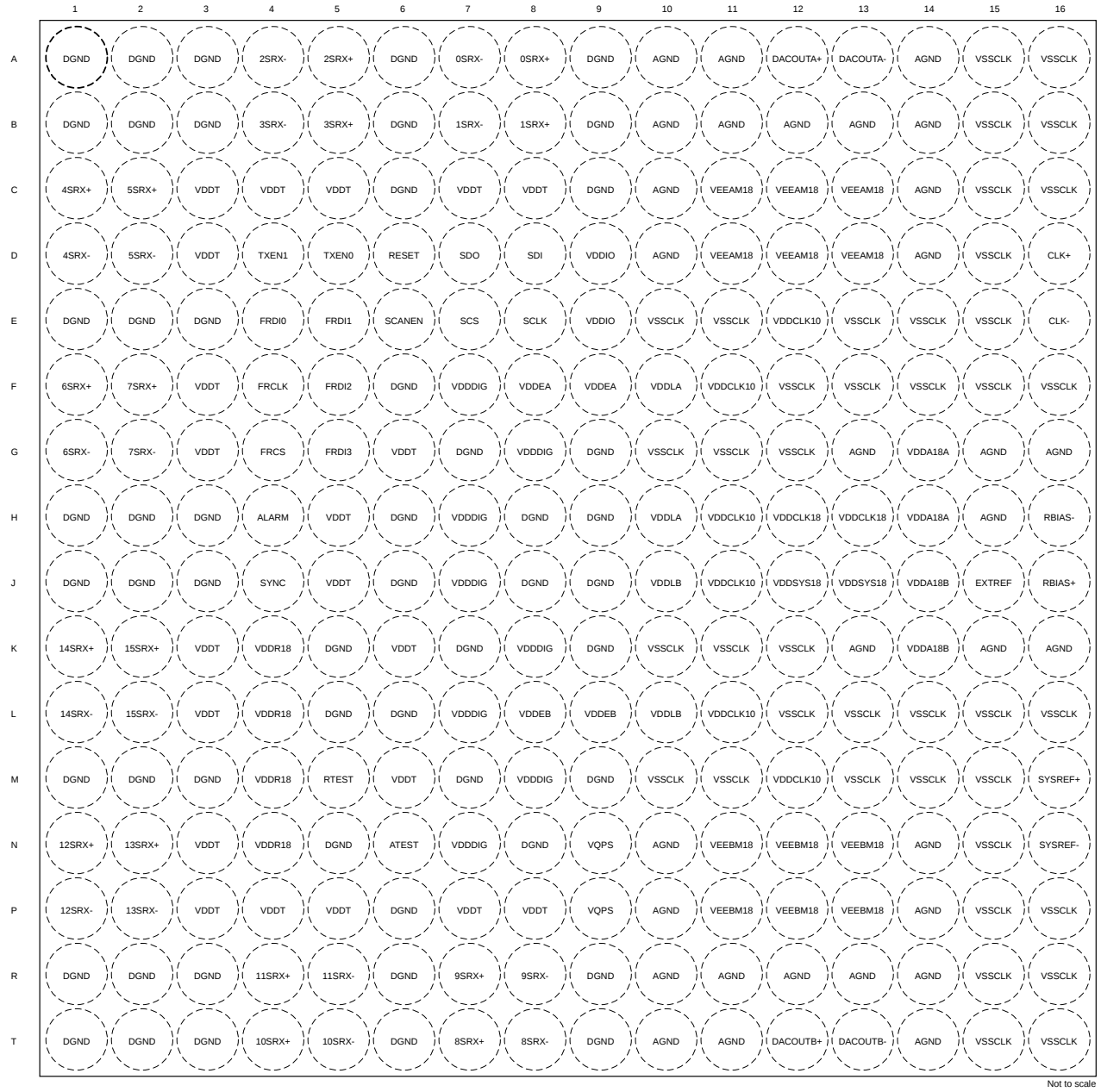


図 5-1. FCBGA パッケージ、1mm ピッチ 256 ボール フリップ チップ BGA (上面図)

表 5-1. ピンの機能

ピン		タイプ[1]	説明
名称	番号		
DAC 出力			
DACOUTA-	A13	O	DAC チャネル A アナログ出力 負端子。指定された性能を維持するために、出力電圧が DAC のコンプライアンス電圧に適合する必要があります。
DACOUTA+	A12	O	DAC チャネル A アナログ出力 正端子。指定された性能を維持するために、出力電圧が DAC のコンプライアンス電圧に適合する必要があります。
DACOUTB-	T13	O	DAC チャネル B アナログ出力 負端子。指定された性能を維持するために、出力電圧が DAC のコンプライアンス電圧に適合する必要があります。シングル チャネル デバイスでは使用されません。
DACOUTB+	T12	O	DAC チャネル B アナログ出力 正端子。指定された性能を維持するために、出力電圧が DAC のコンプライアンス電圧に適合する必要があります。シングル チャネル デバイスでは使用されません。
差動クロックおよび SYSREF 入力			
CLK-	E16	I	デバイスクロック入力 負端子。CLK+ と CLK- の間には、100Ω の内部差動終端があります。この入力は自己バイアスされており、クロック ソースとは AC 結合する必要があります。
CLK+	D16	I	デバイスクロック入力 正端子。CLK+ と CLK- の間には、100Ω の内部差動終端があります。この入力は自己バイアスされており、クロック ソースとは AC 結合する必要があります。
SYSREF-	N16	I	差動 JESD204C SYSREF 入力 負端子。SYSREF+ と SYSREF- の間には、100Ω の内部差動終端があります。
SYSREF+	M16	I	差動 JESD204C SYSREF 入力 負端子。SYSREF+ と SYSREF- の間には、100Ω の内部差動終端があります。
SerDes インターフェイス			
0SRX-	A7	I	Serdes レーン 0 負入力。パッケージ内に、AC 結合用の直列コンデンサおよび 0SRX+ への 100Ω 内部終端が含まれています。
0SRX+	A8	I	Serdes レーン 0 正入力。パッケージ内に、AC 結合用の直列コンデンサおよび 0SRX- への 100Ω 内部終端が含まれています。
10SRX-	T5	I	Serdes レーン 10 負入力。パッケージ内に、AC 結合用の直列コンデンサおよび 10SRX+ への 100Ω 内部終端が含まれています。
10SRX+	T4	I	Serdes レーン 10 正入力。パッケージ内に、AC 結合用の直列コンデンサおよび 10SRX- への 100Ω 内部終端が含まれています。
11SRX-	R5	I	Serdes レーン 11 負入力。パッケージ内に、AC 結合用の直列コンデンサおよび 11SRX+ への 100Ω 内部終端が含まれています。
11SRX+	R4	I	Serdes レーン 11 正入力。パッケージ内に、AC 結合用の直列コンデンサおよび 11SRX- への 100Ω 内部終端が含まれています。
12SRX-	P1	I	Serdes レーン 12 負入力。パッケージ内に、AC 結合用の直列コンデンサおよび 12SRX+ への 100Ω 内部終端が含まれています。
12SRX+	N1	I	Serdes レーン 12 正入力。パッケージ内に、AC 結合用の直列コンデンサおよび 12SRX- への 100Ω 内部終端が含まれています。
13SRX-	P2	I	Serdes レーン 13 負入力。パッケージ内に、AC 結合用の直列コンデンサおよび 13SRX+ への 100Ω 内部終端が含まれています。
13SRX+	N2	I	Serdes レーン 13 正入力。パッケージ内に、AC 結合用の直列コンデンサおよび 13SRX- への 100Ω 内部終端が含まれています。
14SRX-	L1	I	Serdes レーン 14 負入力。パッケージ内に、AC 結合用の直列コンデンサおよび 14SRX+ への 100Ω 内部終端が含まれています。
14SRX+	K1	I	Serdes レーン 14 正入力。パッケージ内に、AC 結合用の直列コンデンサおよび 14SRX- への 100Ω 内部終端が含まれています。
15SRX-	L2	I	Serdes レーン 15 負入力。パッケージ内に、AC 結合用の直列コンデンサおよび 15SRX+ への 100Ω 内部終端が含まれています。
15SRX+	K2	I	Serdes レーン 15 正入力。パッケージ内に、AC 結合用の直列コンデンサおよび 15SRX- への 100Ω 内部終端が含まれています。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン		タイプ[1]	説明
名称	番号		
1SRX-	B7	I	Serdes レーン 1 負入力。パッケージ内に、AC 結合用の直列コンデンサおよび 1SRX+ への 100Ω 内部終端が含まれています。
1SRX+	B8	I	Serdes レーン 1 正入力。パッケージ内に、AC 結合用の直列コンデンサおよび 1SRX- への 100Ω 内部終端が含まれています。
2SRX-	A4	I	Serdes レーン 2 負入力。パッケージ内に、AC 結合用の直列コンデンサおよび 2SRX+ への 100Ω 内部終端が含まれています。
2SRX+	A5	I	Serdes レーン 2 正入力。パッケージ内に、AC 結合用の直列コンデンサおよび 2SRX- への 100Ω 内部終端が含まれています。
3SRX-	B4	I	Serdes レーン 3 負入力。パッケージ内に、AC 結合用の直列コンデンサおよび 3SRX+ への 100Ω 内部終端が含まれています。
3SRX+	B5	I	Serdes レーン 3 正入力。パッケージ内に、AC 結合用の直列コンデンサおよび 3SRX- への 100Ω 内部終端が含まれています。
4SRX-	D1	I	Serdes レーン 4 負入力。パッケージ内に、AC 結合用の直列コンデンサおよび 4SRX+ への 100Ω 内部終端が含まれています。
4SRX+	C1	I	Serdes レーン 4 正入力。パッケージ内に、AC 結合用の直列コンデンサおよび 4SRX- への 100Ω 内部終端が含まれています。
5SRX-	D2	I	Serdes レーン 5 負入力。パッケージ内に、AC 結合用の直列コンデンサおよび 5SRX+ への 100Ω 内部終端が含まれています。
5SRX+	C2	I	Serdes レーン 5 正入力。パッケージ内に、AC 結合用の直列コンデンサおよび 5SRX- への 100Ω 内部終端が含まれています。
6SRX-	G1	I	Serdes レーン 6 負入力。パッケージ内に、AC 結合用の直列コンデンサおよび 6SRX+ への 100Ω 内部終端が含まれています。
6SRX+	F1	I	Serdes レーン 6 正入力。パッケージ内に、AC 結合用の直列コンデンサおよび 6SRX- への 100Ω 内部終端が含まれています。
7SRX-	G2	I	Serdes レーン 7 負入力。パッケージ内に、AC 結合用の直列コンデンサおよび 7SRX+ への 100Ω 内部終端が含まれています。
7SRX+	F2	I	Serdes レーン 7 正入力。パッケージ内に、AC 結合用の直列コンデンサおよび 7SRX- への 100Ω 内部終端が含まれています。
8SRX-	T8	I	Serdes レーン 8 負入力。パッケージ内に、AC 結合用の直列コンデンサおよび 8SRX+ への 100Ω 内部終端が含まれています。
8SRX+	T7	I	Serdes レーン 8 正入力。パッケージ内に、AC 結合用の直列コンデンサおよび 8SRX- への 100Ω 内部終端が含まれています。
9SRX-	R8	I	Serdes レーン 9 負入力。パッケージ内に、AC 結合用の直列コンデンサおよび 9SRX+ への 100Ω 内部終端が含まれています。
9SRX+	R7	I	Serdes レーン 9 正入力。パッケージ内に、AC 結合用の直列コンデンサおよび 9SRX- への 100Ω 内部終端が含まれています。
GPIO 機能			
ALARM	H4	O	マスクされていない内部アラームが検出されると、ALARM ピンがアサートされます。アラームマスクは、ALM_MASK レジスタによってセットされます。
FRCLK	F4	I	高速再設定インターフェイス クロック。
$\overline{\text{FRCS}}$	G4	I	高速再構成インターフェイス チップ セレクト。内部プルアップ。
FRDI0	E4	I	高速再構成インターフェイス データ ビット 0。
FRDI1	E5	I	高速再構成インターフェイス データ ビット 1。
FRDI2	F5	I	高速再構成インターフェイス データ ビット 2。
FRDI3	G5	I	高速再構成インターフェイス データ ビット 3。
$\overline{\text{RESET}}$	D6	I	デバイスリセット入力、アクティブ「低」。電源を入れた後でトグルする必要があります。内部プルアップ。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン		タイプ[1]	説明
名称	番号		
SCANEN	E6	I	TI 専用、接続しなくてもかまいません。内部プルダウン。
SCLK	E8	I	シリアルプログラミングインターフェイス(SPI)クロック入力。
$\overline{SCS}$	E7	I	シリアルプログラミングインターフェイス(SPI)デバイス選択入力、「低」でアクティブ。内部プルアップ。
SDI	D8	I	シリアルプログラミングインターフェイス(SPI)データ入力。
SDO	D7	O	シリアルプログラミングインターフェイス(SPI)データ出力。SPI データを読み出さないときは高インピーダンスになります。
$\overline{SYNC}$	J4	O	JESD204C SYNC 出力、アクティブ「低」。
TXEN0	D5	I	チャネル A アクティブ high 入力の送信イネーブル。このピンは、レジスタ USE_TX_EN0 を使用してイネーブルにする必要があります。送信が無効のとき、DAC 出力はミッドコード (2 の補数表現で 0x0000) に強制されます。内部プルアップ。
TXEN1	D4	I	チャネル B アクティブ high 入力の送信をイネーブル。このピンは、レジスタ USE_TX_EN1 を使用してイネーブルにする必要があります。送信が無効のとき、DAC 出力はミッドコード (2 の補数表現で 0x0000) に強制されます。内部プルアップ。
アナログ機能			
ATEST	N6	O	TI で使用するアナログ テスト ピン。未接続のままにします。
EXTREF	J15	I/O	基準電圧の出力または入力は、EXTREF_EN レジスタ フィールドで設定されます。内部リファレンスを使用する場合、0.1uF を介して、ボールを AGND に接続する必要があります。
RBIAS-	H16	O	フルスケール出力電流バイアスは、この端子と RBIAS+ との間をつなぐレジスタによって設定されます。
RBIAS+	J16	O	フルスケール出力電流バイアスは、この端子と RBIAS- との間をつなぐレジスタによって設定されます。
RTEST	M5	O	TI 専用。AGND に接続。
電源			
VDDA18A	G14 H14	I	DAC チャネル A の 1.8V 電源電圧。VDDA18B と組み合わせることができますが、チャネル間クロストーク (XTALK) が低下する可能性があります。
VDDA18B	J14 K14	I	DAC チャネル B の 1.8V 電源電圧。VDDA18A と組み合わせることができますが、チャネル間クロストーク (XTALK) が低下する可能性があります。
VDDCLK10	F11 H11 J11 L11 E12 M12	I	内部サンプリングクロック分配パスの電源電圧 1V。この電源でノイズやスパーズが発生すると、位相ノイズ性能 j が低下する可能性があります。最高の性能を得るために、VDDDIG と VDDA を分離することをお勧めします。
VDDCLK18	H12 H13	I	クロック(CLK+/-)入力バッファの 1.8V 電源電圧。この電源でノイズやスパーズが発生すると、位相ノイズ性能 j が低下する可能性があります。
VDDDIG	F7 H7 J7 L7 N7 G8 K8 M8	I	デジタルブロック用 電源電圧 1V。最高の性能を得るために、VDDA と VDDCLK を分離することをお勧めします。
VDDEA	F8 F9	I	チャネル A DAC エンコーダの電源電圧 1V。最高の性能を得るために、VDDDIG から分離することをお勧めします。VDDEB との組み合わせ可能。
VDDEB	L8 L9	I	チャネル B DAC エンコーダの電源電圧 1V。最高の性能を得るために、VDDDIG から分離することをお勧めします。VDDEA との組み合わせ可能。
VDDIO	D9 E9	I	CMOS 入力および出力端子用 1.8V 電源。
VDDLA	F10 H10	I	チャネル A の DAC アナログラッチ用電源電圧 1V。最適なチャネル間クロストーク(XTALK)を得るために、VDDLB とは分離します。最高の性能を得るため、VDDDIG から分離する必要があります。
VDDLB	J10 L10	I	チャネル B の DAC アナログラッチ用電源電圧 1V。最適なチャネル間クロストーク(XTALK)を得るため、VDDLA とは分離します。最高の性能を得るため、VDDDIG から分離する必要があります。
VDDR18	K4 L4 M4 N4	I	SerDes レシーバ用 1.8V 電源電圧。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン		タイプ(1)	説明
名称	番号		
VDDSYS18	J12 J13	I	SYSREF（SYSREF+/-）入力バッファの 1.8V 電源電圧。通常動作時に SYSREF が無効になっている場合、VDDCLK18 と組み合わせることができます。稼働中、SYSREF が連続的に動作する場合は、ノイズおよびスパーのカップリングや位相ノイズ性能の低下を回避するため、この電源を VDDCLK18 と分離する必要があります。
VDDT	C3 D3 F3 G3 K3 L3 N3 P3 C4 P4 C5 H5 J5 P5 G6 K6 M6 C7 P7 C8 P8	I	SerDes 終端の電源電圧 1V。
VEEAM18	C11 D11 C12 D12 C13 D13	I	チャネル A の DAC 電流源バイアスの -1.8V 電源電圧。VEEBM18 と組み合わせることができますが、チャネル間クロストーク (XTALK) の質が低下する可能性があります。
VEEBM18	N11 P11 N12 P12 N13 P13	I	チャネル B の DAC 電流源バイアスの -1.8V 電源電圧。VEEAM18 と組み合わせることができますが、チャネル間クロストーク (XTALK) の質が低下する可能性があります。
VQPS	N9 P9	I	TI 専用。通常動作時は DGND に接続できます。
グランド			
AGND	A10 B10 C10 D10 N10 P10 R10 T10 A11 B11 R11 T11 B12 R12 B13 G13 K13 R13 A14 B14 C14 D14 N14 P14 R14 T14 G15 H15 K15 G16 K16	-	アナログ グランド。
DGND	A1 B1 E1 H1 J1 M1 R1 T1 A2 B2 E2 H2 J2 M2 R2 T2 A3 B3 E3 H3 J3 M3 R3 T3 K5 L5 N5 A6 B6 C6 F6 H6 J6 L6 P6 R6 T6 G7 K7 M7 H8 J8 N8 A9 B9 C9 G9 H9 J9 K9 M9 R9 T9	-	デジタル グランド。
VSSCLK	E10 G10 K10 M10 E11 G11 K11 M11 F12 G12 K12 L12 E13 F13 L13 M13 E14 F14 L14 M14 A15 B15 C15 D15 E15 F15 L15 M15 N15 P15 R15 T15 A16 B16 C16 F16 L16 P16 R16 T16	-	クロック グランド。

(1) I = 入力、O = 出力、I/O = 双方向

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

パラメータ	テスト条件	最小値	最大値	単位
電源電圧範囲	電源電圧範囲、VDDA18A、VDDA18B(2)	-0.3	2.45	V
	電源電圧範囲、VEEAM18、VEEBM18(2)	-2.0	0.3	V
	電源電圧範囲、VDDCLK18、VDDSYS18(3)	-0.3	2.45	V
	電源電圧範囲、VDDLB、VDDLA、VDDCLK10(3)	-0.3	1.3	V
	電源電圧範囲、VDDIO、VQPS、VDDR18(4)	-0.3	2.45	V
	電源電圧範囲、VDDDIG、VDDEB、VDDEA、VDDT(4)	-0.3	1.3	V
AGND、DGND、VSSCLK を任意に組み合わせた際の電圧	AGND、DGND、VSSCLK を任意に組み合わせた際の電圧	-0.1	0.1	V
入力ピンに印加される電圧	CLK+、CLK–、SYSREF+、SYSREF-(3)	-0.3	VDDCLK18+0.3	V
	[0:15] SRX-/+ AC 電圧		1.6	
	[0:15] SRX-/+ DC 電圧から GND	-5	5	
	SCLK、$\overline{SCS}$、SDI、$\overline{RESET}$、SYNC、SCANEN、TXEN[0:1]、FRDI[0:3]、FRCLK、$\overline{FRCS}$、$\overline{SYNC}$ (4)	-0.3	VDDIO+0.3	
	EXTREF(2)	-0.3	VDDA18A + 0.3	
出力ピンの電圧	DACOUTA+、DACOUTA-(2)	-0.3	VDDA18A + 0.5	V
	DACOUTB+、DACOUTB-(2)	-0.3	VDDA18B + 0.5	
	ATEST、RBIAS-/+(2)	-0.5	VDDA18B + 0.3	
	SDI、SDO、ALARM(4)	-0.5	VDDIO + 0.3	
ピーク入力電流 (任意の入力)		-20	20	mA
ピーク合計入力電流 (強制的に出入りする全電流の絶対値の合計、ただし電源電流、DACOUTA+、DACOUTA–、DACOUTB+ および DACOUTB– を除く)			30	mA
接合部温度、T_J			150	°C
保管温度、T_{stg}		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) AGND に対して測定。
(3) VSSCLK に対して測定。
(4) DGND に対して測定。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	1000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン(2)	250	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

Copyright © 2026 Texas Instruments Incorporated

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
電源電圧範囲		VDDA18A、VDDA18B(1)	1.71	1.8	1.89	V
		VEEAM18、VEEBM18(1)	-1.89	-1.8	-1.71	V
		VDDCLK18、VDDSYS18、VDDR18(2)	1.71	1.8	1.89	V
		VDDLB、VDDLA、VDDCLK10(2)	0.95	1	1.05	V
		VDDIO(3)	1.71	1.8	1.89	V
		VQPS(3)	0	0	1.89	V
		VDDDIG、VDDEB、VDDEA、VDDT(3)	0.95	1	1.05	V
V_{CMI}	入力同相電圧	CLK+、CLK–(2) (4)		0.4		V
V_{CMI}	入力同相電圧	SYSREF+、SYSREF–(2) (4)	0	0.4	1.0	V
V_{ID}	入力作動ピークツーピーク電圧	SYSREF+ から SYSREF -	800	1000	2000	$mV_{PP-DIFF}$
		CLK+ から CLK-、f_{CLK} < 5GHz	800	1000	1400	$mV_{PP-DIFF}$
		CLK+ から CLK-、5GHz < f_{CLK} < 7.5GHz	800	1000	1800	$mV_{PP-DIFF}$
		CLK+ から CLK-、f_{CLK} > 7.5GHz	800	1000	2000	$mV_{PP-DIFF}$
DC_{MIN}	CLK+/- デューティサイクルの最小値			45		%
DC_{MAX}	CLK+/– デューティサイクルの最大値			55		%
T_A	外気温度での動作時		-55		125	°C
T_J	動作時の接合部温度				150(5)	°C

(1) AGND に対して測定。
(2) VSSCLK に対して測定。
(3) DGND に対して測定。
(4) SYSREF+/- 終端には二つのオプションがあります。オプション 1 では、入力は最適な同相モード電圧に弱く自己バイアスされており、これは AC 結合に適しています。オプション 2 では、各入力端子が 50Ω を介してグランドに接続されており、これはより高い同相モード電圧からのレベル シフトに適しています。
(5) ダイは、Tj = 150°C 動作と、Tj = 122°C でのデバイスおよびダイのメタライゼーション劣化で最大 150,000POH で連続動作するように設計されています。Tj = 105°C の接合部温度を超えて長時間使用すると、パッケージの故障率 (FIT) が上昇する可能性があります。

6.4 熱に関する情報

熱評価基準(1)		17mm × 17mm FC-BGA 256 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	15.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	0.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	4.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.4	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	4.2	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 - DC 仕様

特に記載のない限り、T_A = +25°C での標準値、動作周囲温度範囲における最小値および最大値、標準電源電圧、2 チャネル、F_{INPUT} = 2.56 3GSPS、JMODE 1 、8b/10b エンコーディング、補間、F_{CLK} = 10.24 2GHz、F_{OUT} = 2997MHz、NRZ モード、$I_{FSSWITCH}$ = 20.5mA。

パラメータ		テスト条件	最小値	標準値	最大値	単位
DC 精度						
ビット	DAC コア分解能		16			ビット
DNL	微分非直線性			±2.2		LSB
INL	積分非直線性			±9		LSB
DAC アナログ出力（DACOUTA+、DACOUTA-、DACOUTB+、DACOUTB–）						
I_{FS_SWITCH}	フルスケール出力電流を切り替えました	RBIAS+ から RBIAS- への 3.6kΩ の抵抗、COARSE_CUR_A / COARSE_CUR_B = 0xF および FINE_CUR_A / FINE_CUR_B = デフォルト、CUR_2X_EN = 1		41		mA
		RBIAS+ から RBIAS- への 3.6kΩ の抵抗、COARSE_CUR_A / COARSE_CUR_B = 0xF および FINE_CUR_A / FINE_CUR_B = デフォルト		20.5		
		RBIAS+ から RBIAS- への 3.6kΩ の抵抗、COARSE_CUR_A / COARSE_CUR_B = 0x0 および FINE_CUR_A / FINE_CUR_B = デフォルト、CUR_2X_EN = 1		11		
		RBIAS+ から RBIAS- への 3.6kΩ の抵抗、COARSE_CUR_A / COARSE_CUR_B = 0x0、FINE_CUR_A / FINE_CUR_B = デフォルト		5.5		
I_{STATIC}	ピンごとの静的出力電流	RBIAS+ から RBIAS- への 3.6kΩ の抵抗、COARSE_CUR_A/ COARSE_CUR_B = 0xF、FINE_CUR_A/FINE_CUR_B = デフォルト		4.8		mA
$I_{FSDRIFT}$	フルスケール出力電流の温度ドリフト	RBIAS+ から RBIAS- への 3.6kΩ の抵抗、COARSE_CUR_A/ COARSE_CUR_B = 0xF、FINE_CUR_A/FINE_CUR_B = デフォルト		-8.6		uA/°C
				-0.3		PPM/°C
$I_{FSERROR}$	フルスケール 電流誤差	RBIAS+ から RBIAS- への 3.6kΩ の抵抗、COARSE_CUR_A/ COARSE_CUR_B = 0xF、FINE_CUR_A/FINE_CUR_B = デフォルト		±0.1		%
$I_{MIDOFFERR}$	中間コード オフセット誤差	中間コード オフセット		±0.02		%FSR
V_{COMP}	出力コンプライアンス電圧範囲	DACOUTA+、DACOUTA-、DACOUTB+、DACOUTB- から AGND の間で測定	VDDA18 A/B - 0.5		VDDA18 A/B + 0.5	V
C_{OUT}	出力容量	グランドに対するシングルエンド容量		0.25		pF
R_{TERM}	出力差動終端抵抗			102		Ω
$R_{TERMDRIFT}$	出力差動終端抵抗温度係数			-9.6		mΩ/°C
				-42		PPM/°C

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 - DC 仕様 (続き)

特に記載のない限り、T_A = +25°C での標準値、動作周囲温度範囲における最小値および最大値、標準電源電圧、2 チャネル、F_{INPUT} = 2.56 3GSPS、JMODE 1 、8b/10b エンコーディング、補間、F_{CLK} = 10.24 2GHz、F_{OUT} = 2997MHz、NRZ モード、$I_{FSSWITCH}$ = 20.5mA。

パラメータ		テスト条件	最小値	標準値	最大値	単位
クロックと SYSREF 入力 (CLK+、CLK-、SYSREF+、SYSREF-)						
R_T	内部差動終端抵抗			100		Ω
C_{IN}	内部差動入力容量			0.5		pF
基準電圧						
V_{REF}	リファレンス出力電圧			0.9		V
$V_{REF-DRIFT}$	温度に対するリファレンス出力電圧ドリフトの絶対値			45		ppm/°C
I_{REF}	内部リファレンス使用時の EXTREF ボールから供給可能な最大リファレンス出力電流			100		nA
JESD204C SERDES インターフェイス ([15:0] SRX+/-)						
V_{SRDIFF}	SerDes レシーバ入力振幅		50		1200	mVppdiff
V_{SRCOM}	SerDes 入力コモン モード			内部 AC 結合		
Z_{SRdiff}	SerDes 内部差動終端			100		Ω
CMOS インターフェイス (ALARM、SCLK、$\overline{SCS}$、SDI、SDO、$\overline{RESET}$、FRDI [0:3]、FRCLK、$\overline{FRCS}$、$\overline{SYNC}$、TXENABLE [0:1])						
I_{IH}	High レベル入力電流 (プルダウン付き)	SCANEN(1)			200	µA
I_{IH}	High レベル入力電流 (プルダウンなし)	$\overline{SCS}$、$\overline{RESET}$、$\overline{FRCS}$、TXEN [0:1]、FRDI [0:3]、FRCLK、SDI、SCLK(1)			2	µA
I_{IL}	Low レベル入力電圧 (プルダウン付き)	$\overline{SCS}$、$\overline{RESET}$、$\overline{FRCS}$、TXEN [0:1](1)	-200			µA
I_{IL}	Low レベル入力電圧 (プルダウンなし)	SCANEN、FRDI [0:3]、FRCLK、SDI、SCLK(1)	-3			µA
C_I	入力容量	入力容量		3		pF
V_{IH}	High レベル入力電圧	SCLK、$\overline{SCS}$、SDI、$\overline{RESET}$、FRDI [0:3]、FRCLK、$\overline{FRCS}$、SCANEN、TXEN [0:1]	0.7 x VDDIO18			V
V_{IL}	Low レベル入力電圧				0.3 x VDDIO18	V
V_{OH}	High レベル出力電圧	アラーム、SDO、$\overline{SYNC}$、I_{LOAD} = –400uA	1.55			V
V_{OL}	Low レベル出力電圧	アラーム、SDO、$\overline{SYNC}$、I_{LOAD} = 400uA			0.2	V
温度センサ						
Res	分解能			1		°C/LSB
範囲	デジタル レンジ		-50		150	°C
T_{ERROR}	温度誤差	TA = 25°C、温度センサと SPI を除くデバイスの電源がオフ		±5		°C

(1) 接続デバイスに IO 電源電圧オフセットはありません。

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは $F_{DAC} = F_{CLK}$。DES1X および DES2XL/H モードでは $F_{DAC} = 2 \times F_{CLK}$。

パラメータ		テスト条件	最小値	標準値	最大値	単位
モード別パラメータ						
F_{CLK}	DAC クロック レート		0.8		10.4	GHz
BW	アナログ出力帯域幅 (-3dB)	sinx/x 応答を除く。有効帯域幅は、–3dB ポイントを超える可能性があります。I_{FS_SWITCH} = 20.5mA		12.15		GHz
		sinx/x 応答を除く。有効帯域幅は、–3dB ポイントを超える可能性があります。I_{FS_SWITCH} = 41mA		11.95		
クロストーク	チャネル A (DACOUTA+/-) とチャネル B (DACOUTB+/-) の間の絶縁、被影響チャネルの f_{OUT} = -25MHz オフセット	f_{OUT} = 97MHz、NRZ モード		92		dBc
		f_{OUT} = 1897MHz、NRZ モード		88		dBc
		f_{OUT} = 3897MHz、NRZ モード		84		dBc
		f_{OUT} = 5897MHz、RF モード		80		dBc
		f_{OUT} = 7897MHz、RF モード		74		dBc
DAC 出力時間ドメインの特性						
t_{RISE}	10% から 90%(1)	JMODE 0、1x 補間		42		ps
t_{FALL}	90% から 10%(1)	JMODE 0、1x 補間		42		ps
f_{CLK} DC フィードスルー	1GHz のフルスケールのサイン波と比較	NRZ モード、f_{OUT} = DC (中間コード)、DEM/ディザリング オフ		58		dBc
		NRZ モード、f_{OUT} = DC (中間コード)、DEM/ディザリング オン		61		dBc
		DES2XL モード、f_{OUT} = DC (中間コード)、DEM/ディザリング オフ		58		dBc
		DES2XL モード、f_{OUT} = DC (中間 コード)、DEM/ディザリング オン		61		dBc
$2 \times f_{CLK}$ DC フィードスルー	1GHz のフルスケールのサイン波と比較	DES2XL モード、f_{OUT} = DC (中間コード)、DEM/ディザリング オフ		61		dBc
		DES2XL モード、f_{OUT} = DC (中間 コード)、DEM/ディザリング オン		67		dBc

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは $F_{DAC} = F_{CLK}$。DES1X および DES2XL/H モードでは $F_{DAC} = 2 \times F_{CLK}$。

パラメータ		テスト条件	最小値	標準値	最大値	単位
10.24GSPS、デュアルまたはシングル チャネル モード、JMODE 1、2x Int、NRZ モード						
P_{OUT}	100Ω 負荷への出力電力、I_{FS_SWITCH} = 20.5mA(2)	f_{OUT} = 97MHz		1.1		dBm
		f_{OUT} = 997MHz		0.7		dBm
		f_{OUT} = 1997MHz		-0.4		dBm
		f_{OUT} = 2997MHz		-0.8		dBm
		f_{OUT} = 3997MHz		-1.8		dBm
	100Ω 負荷への出力電力、I_{FS_SWITCH} = 41mA(2)	f_{OUT} = 97MHz		7.0		dBm
		f_{OUT} = 997MHz		6.8		dBm
		f_{OUT} = 1997MHz		5.5		dBm
		f_{OUT} = 2997MHz		5.1		dBm
		f_{OUT} = 3997MHz		3.1		dBm
SFDR	0 から $F_{DAC}/2$ の間でのスプリアス フリー ダイナミック レンジ (SFDR)、I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97MHz		85		dBc
		f_{OUT} = 997MHz		67		dBc
		f_{OUT} = 1997MHz		62		dBc
		f_{OUT} = 2997MHz		61		dBc
		f_{OUT} = 3997MHz		62		dBc
	0 から $F_{DAC}/2$ の間でのスプリアス フリー ダイナミック レンジ (SFDR)、I_{FS_SWITCH} = 41mA	f_{OUT} = 97MHz		76		dBc
		f_{OUT} = 997MHz		52		dBc
		f_{OUT} = 1997MHz		49		dBc
		f_{OUT} = 2997MHz		50		dBc
		f_{OUT} = 3997MHz		51		dBc
HD2	2 次高調波 (HD2)、0 ～ $F_{DAC}/2$、I_{FS_SWITCH} = 20.5 mA	f_{OUT} = 97MHz		-85		dBc
		f_{OUT} = 997MHz		-79		dBc
		f_{OUT} = 1997MHz		-66		dBc
		f_{OUT} = 2997MHz		-63		dBc
		f_{OUT} = 3997MHz		-62		dBc
	2 次高調波 (HD2)、0 ～ $F_{DAC}/2$、I_{FS_SWITCH} = 41 mA	f_{OUT} = 97MHz		-76		dBc
		f_{OUT} = 997MHz		-74		dBc
		f_{OUT} = 1997MHz		-62		dBc
		f_{OUT} = 2997MHz		-65		dBc
		f_{OUT} = 3997MHz		-59		dBc
HD3	3 次高調波 (HD3)、0 ～ $F_{DAC}/2$、I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97MHz		-94		dBc
		f_{OUT} = 997MHz		-68		dBc
		f_{OUT} = 1997MHz		-64		dBc
		f_{OUT} = 2997MHz		-63		dBc
		f_{OUT} = 3997MHz		-75		dBc
	3 次高調波 (HD3)、0 ～ $F_{DAC}/2$、I_{FS_SWITCH} = 41mA	f_{OUT} = 97MHz		-76		dBc
		f_{OUT} = 997MHz		-56		dBc
		f_{OUT} = 1997MHz		-54		dBc
		f_{OUT} = 2997MHz		-48		dBc
		f_{OUT} = 3997MHz		-51		dBc

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは $F_{DAC} = F_{CLK}$。DES1X および DES2XL/H モードでは $F_{DAC} = 2 \times F_{CLK}$。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$SFDR_{NONHD23}$	非 HD2/3 SFDR、I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97MHz		88		dBc
		f_{OUT} = 997MHz		84		dBc
		f_{OUT} = 1997MHz		86		dBc
		f_{OUT} = 2997MHz		85		dBc
		f_{OUT} = 3997MHz		83		dBc
	非 HD2/3 SFDR、I_{FS_SWITCH} = 41mA	f_{OUT} = 97MHz		90		dBc
		f_{OUT} = 997MHz		73		dBc
		f_{OUT} = 1997MHz		78		dBc
		f_{OUT} = 2997MHz		78		dBc
		f_{OUT} = 3997MHz		65		dBc
IMD3	3 次ツー トーン相互変調歪み、I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97+/- 10MHz、-7dBFS/トーン		-91		dBc
		f_{OUT} = 997+/- 10MHz、-7dBFS/トーン		-77		dBc
		f_{OUT} = 1997+/- 10MHz、-7dBFS/トーン		-75		dBc
		f_{OUT} = 2997+/- 10MHz、-7dBFS/トーン		-64		dBc
		f_{OUT} = 3997+/- 10MHz、-7dBFS/トーン		-64		dBc
	3 次ツー トーン相互変調歪み、I_{FS_SWITCH} = 41mA	f_{OUT} = 97+/- 10MHz、-7dBFS/トーン		-86		dBc
		f_{OUT} = 997+/- 10MHz、-7dBFS/トーン		-62		dBc
		f_{OUT} = 1997+/- 10MHz、-7dBFS/トーン		-59		dBc
		f_{OUT} = 1997 +/- 10MHz、-6dBFS/トーン、JMODE 3, 8x Int			-55	dBc
		f_{OUT} = 2997+/- 10MHz、-7dBFS/トーン		-53		dBc
		f_{OUT} = 3997+/- 10MHz、-7dBFS/トーン		-54		dBc
NSD	ノイズ スペクトル密度、大信号、正弦波出力、I_{FS_SWITCH} = 20.5mA(3)	f_{OUT} = 97MHz、f_{OUT} からの 70MHz オフセット		-158		dBc/Hz
		f_{OUT} = 997MHz、f_{OUT} からの 70MHz オフセット		-158		dBc/Hz
		f_{OUT} = 1997MHz、f_{OUT} からの 70MHz オフセット		-154		dBc/Hz
		f_{OUT} = 2997MHz、f_{OUT} からの 70MHz オフセット		-150		dBc/Hz
		f_{OUT} = 3997MHz、f_{OUT} からの 70MHz オフセット		-148		dBc/Hz

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは $F_{DAC} = F_{CLK}$。DES1X および DES2XL/H モードでは $F_{DAC} = 2 \times F_{CLK}$。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD	ノイズ スペクトル密度、大信号、正弦波出力、I_{FS_SWITCH} = 41mA(3)	f_{OUT} = 97MHz、f_{OUT} からの 70MHz オフセット		-159		dBc/Hz
		f_{OUT} = 997MHz、f_{OUT} からの 70MHz オフセット		-158		dBc/Hz
		f_{OUT} = 1997MHz、f_{OUT} からの 70MHz オフセット		-154		dBc/Hz
		f_{OUT} = 2997MHz、f_{OUT} からの 70MHz オフセット		-151		dBc/Hz
		f_{OUT} = 3997MHz、f_{OUT} からの 70MHz オフセット		-149		dBc/Hz
NSD	ノイズ スペクトル密度、小信号、正弦波出力、I_{FS_SWITCH} = 20.5mA(3)	A_{OUT} = -20dBFS、f_{OUT} = 97MHz、f_{OUT} からの 70MHz オフセット		-160		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 997MHz、f_{OUT} からの 70MHz オフセット		-158		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 1997MHz、f_{OUT} からの 70MHz オフセット		-155		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 2997MHz、f_{OUT} からの 70MHz オフセット		-152		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 3997MHz、f_{OUT} からの 70MHz オフセット		-152		dBFS/Hz
NSD	ノイズ スペクトル密度、小信号、正弦波出力、I_{FS_SWITCH} = 41mA(3)	A_{OUT} = -20dBFS、f_{OUT} = 97MHz、f_{OUT} からの 70MHz オフセット		-161		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 997MHz、f_{OUT} からの 70MHz オフセット		-159		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 1997MHz、f_{OUT} からの 70MHz オフセット		-158		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 2997MHz、f_{OUT} からの 70MHz オフセット		-154		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 3997MHz、f_{OUT} からの 70MHz オフセット		-152		dBFS/Hz
NPR	ノイズ電力比、ピーク	ナイキスト ゾーンの 80% にまたがる信号、ナイキスト ゾーンの中心でナイキスト ゾーンの 5% のノッチ、12dB PAR、I_{FS_SWITCH} = 20.5mA		47.4		dBc
		ナイキスト ゾーンの 80% にまたがる信号、ナイキスト ゾーンの中心でナイキスト ゾーンの 5% のノッチ、I_{FS_SWITCH} = 41mA		48		dBc
ENOB	有効ビット数	ピーク NPR から計算、I_{FS_SWITCH} = 20.5mA		9.6		ビット
		ピーク NPR から計算、I_{FS_SWITCH} = 41mA		9.7		ビット

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは $F_{DAC} = F_{CLK}$。DES1X および DES2XL/H モードでは $F_{DAC} = 2 \times F_{CLK}$。

パラメータ		テスト条件	最小値	標準値	最大値	単位
PN	相乗性 DAC 位相ノイズ、外部クロックからの影響を差し引いたもの、NRZ モード、DEM およびディザリング無効	f_{CLK} = 10.24GHz、f_{OUT} = 997MHz、100Hz オフセット		-122		dBc/Hz
		f_{CLK} = 10.24GHz、f_{OUT} = 997MHz、1KHz オフセット		-132		dBc/Hz
		f_{CLK} = 10.24GHz、f_{OUT} = 997MHz、10kHz オフセット		-143		dBc/Hz
		f_{CLK} = 10.24GHz、f_{OUT} = 997MHz、100kHz オフセット		-153		dBc/Hz
		f_{CLK} = 10.24GHz、f_{OUT} = 997MHz、1MHz オフセット		-161		dBc/Hz
		f_{CLK} = 10.24GHz、f_{OUT} = 997MHz、10MHz オフセット		-166		dBc/Hz
		f_{CLK} = 10.24GHz、f_{OUT} = 997MHz、100MHz オフセット		-168		dBc/Hz
PN	相乗性 DAC 位相ノイズ、外部クロックからの影響を差し引いたもの、NRZ モード、DEM およびディザリング無効	f_{CLK} = 7.5GHz、f_{OUT} = 997MHz、100Hz オフセット		-121		dBc/Hz
		f_{CLK} = 7.5GHz、f_{OUT} = 997MHz、1KHz オフセット		-131		dBc/Hz
		f_{CLK} = 7.5GHz、f_{OUT} = 997MHz、10kHz オフセット		-142		dBc/Hz
		f_{CLK} = 7.5GHz、f_{OUT} = 997MHz、100kHz オフセット		-152		dBc/Hz
		f_{CLK} = 7.5GHz、f_{OUT} = 997MHz、1MHz オフセット		-160		dBc/Hz
		f_{CLK} = 7.5GHz、f_{OUT} = 997MHz、10MHz オフセット		-165		dBc/Hz
		f_{CLK} = 7.5GHz、f_{OUT} = 997MHz、100MHz オフセット		-167		dBc/Hz

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは $F_{DAC} = F_{CLK}$。DES1X および DES2XL/H モードでは $F_{DAC} = 2 \times F_{CLK}$。

パラメータ		テスト条件	最小値	標準値	最大値	単位
10.24GSPS、デュアルまたはシングル チャネル モード、JMODE 1、2x Int、RTZ モード						
P_{OUT}	2:1 バランと 50Ω 負荷による出力電力	f_{OUT} = 97MHz		-4.5		dBm
		f_{OUT} = 997MHz		-4.9		dBm
		f_{OUT} = 1997MHz		-5.7		dBm
		f_{OUT} = 1997MHz、I_{FS_SWITCH} = 41mA		0.3		dBm
		f_{OUT} = 2997MHz		-5.5		dBm
		f_{OUT} = 3997MHz		-6.7		dBm
		f_{OUT} = 5997MHz		-7.1		dBm
		f_{OUT} = 6997MHz		-5.6		dBm
		f_{OUT} = 7997MHz		-9.1		dBm
		f_{OUT} = 8997MHz		-11.0		dBm
SFDR	0 から $F_{DAC}/2$ の間でのスプリアス フリー ダイナミック レンジ (SFDR)	f_{OUT} = 97MHz		60		dBc
		f_{OUT} = 997MHz		61		dBc
		f_{OUT} = 1997MHz		62		dBc
		f_{OUT} = 1997MHz、I_{FS_SWITCH} = 41mA		50		dBc
		f_{OUT} = 2997MHz		61		dBc
		f_{OUT} = 3997MHz		61		dBc
	$F_{DAC}/2$ から F_{DAC} の間でのスプリアス フリー ダイナミック レンジ (SFDR)	f_{OUT} = 5997MHz		64		dBc
		f_{OUT} = 6997MHz		59		dBc
		f_{OUT} = 7997MHz		53		dBc
		f_{OUT} = 8997MHz		53		dBc
HD2	0 から $F_{DAC}/2$ の 2 次高調波歪み	f_{OUT} = 97MHz		-60		dBc
		f_{OUT} = 997MHz		-61		dBc
		f_{OUT} = 1997MHz		-62		dBc
		f_{OUT} = 1997MHz、I_{FS_SWITCH} = 41mA		-62		dBc
		f_{OUT} = 2997MHz		-61		dBc
		f_{OUT} = 3997MHz		-61		dBc
	$F_{DAC}/2$ から F_{DAC} の 2 次高調波歪み	f_{OUT} = 5997MHz		-67		dBc
		f_{OUT} = 6997MHz		-59		dBc
		f_{OUT} = 7997MHz		-53		dBc
		f_{OUT} = 8997MHz		-53		dBc

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは $F_{DAC} = F_{CLK}$。DES1X および DES2XL/H モードでは $F_{DAC} = 2 \times F_{CLK}$。

パラメータ		テスト条件	最小値	標準値	最大値	単位
HD3	0 から $F_{DAC}/2$ の 3 次高調波歪み	f_{OUT} = 97MHz		-80		dBc
		f_{OUT} = 997MHz		-73		dBc
		f_{OUT} = 1997MHz		-66		dBc
		f_{OUT} = 1997MHz、I_{FS_SWITCH} = 41mA		-50		dBc
		f_{OUT} = 2997MHz		-63		dBc
		f_{OUT} = 3997MHz		-66		dBc
	$F_{DAC}/2$ から F_{DAC} の 3 次高調波歪み	f_{OUT} = 5997MHz		-64		dBc
		f_{OUT} = 6997MHz		-68		dBc
		f_{OUT} = 7997MHz		-63		dBc
		f_{OUT} = 8997MHz		-57		dBc
$SFDR_{NONHD23}$	非 HD2/3 SFDR、0 ～ $F_{DAC}/2$	f_{OUT} = 97MHz		85		dBc
		f_{OUT} = 997MHz		80		dBc
		f_{OUT} = 1997MHz		81		dBc
		f_{OUT} = 1997MHz、I_{FS_SWITCH} = 41mA		74		dBc
		f_{OUT} = 2997MHz		80		dBc
		f_{OUT} = 3997MHz		78		dBc
	非 HD2/3 SFDR、$F_{DAC}/2$ - F_{DAC}	f_{OUT} = 5997MHz		77		dBc
		f_{OUT} = 6997MHz		78		dBc
		f_{OUT} = 7997MHz		75		dBc
		f_{OUT} = 8997MHz		73		dBc
IMD3	3 次 2 トーン相互変調歪み	f_{OUT} = 97+/- 10MHz、-7dBFS/トーン		-85		dBc
		f_{OUT} = 997+/- 10MHz、-7dBFS/トーン		-77		dBc
		f_{OUT} = 1997+/- 10MHz、-7dBFS/トーン		-71		dBc
		f_{OUT} = 2997+/- 10MHz、-7dBFS/トーン		-67		dBc
		f_{OUT} = 3997+/- 10MHz、-7dBFS/トーン		-66		dBc
		f_{OUT} = 5997+/- 10MHz、-7dBFS/トーン		-61		dBc
		f_{OUT} = 6997+/- 10MHz、-7dBFS/トーン		-58		dBc
		f_{OUT} = 7997+/- 10MHz、-7dBFS/トーン		-61		dBc
		f_{OUT} = 8997+/- 10MHz、-7dBFS/トーン		-69		dBc

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは $F_{DAC} = F_{CLK}$。DES1X および DES2XL/H モードでは $F_{DAC} = 2 \times F_{CLK}$。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD	ノイズ スペクトル密度、大信号、正弦波出力(3)	f_{OUT} = 97MHz、f_{OUT} からの 70MHz オフセット		-160		dBc/Hz
		f_{OUT} = 997MHz、f_{OUT} からの 70MHz オフセット		-148		dBc/Hz
		f_{OUT} = 1997MHz、f_{OUT} からの 70MHz オフセット		-147		dBc/Hz
		f_{OUT} = 1997MHz、f_{OUT} からの 70MHz オフセット、I_{FS_SWITCH} = 41mA		-148		dBc/Hz
		f_{OUT} = 2997MHz、f_{OUT} からの 70MHz オフセット		-145		dBc/Hz
		f_{OUT} = 3997MHz、f_{OUT} からの 70MHz オフセット		-145		dBc/Hz
		f_{OUT} = 5997MHz、f_{OUT} からの 70MHz オフセット		-142		dBc/Hz
		f_{OUT} = 6997MHz、f_{OUT} からの 70MHz オフセット		-143		dBc/Hz
		f_{OUT} = 7997MHz、f_{OUT} からの 70MHz オフセット		-142		dBc/Hz
		f_{OUT} = 8997MHz、f_{OUT} からの 70MHz オフセット		-140		dBc/Hz
NSD	ノイズ スペクトル密度、小信号、正弦波出力(3)	A_{OUT} = -20dBFS、f_{OUT} = 97MHz、f_{OUT} からの 70MHz オフセット		-160		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 997MHz、f_{OUT} からの 70MHz オフセット		-150		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 1997MHz、f_{OUT} からの 70MHz オフセット		-148		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 1997MHz、f_{OUT} からの 70MHz オフセット、I_{FS_SWITCH} = 41mA		-150		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 2997MHz、f_{OUT} からの 70MHz オフセット		-147		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 3997MHz、f_{OUT} からの 70MHz オフセット		-147		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 5997MHz、f_{OUT} からの 70MHz オフセット		-144		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 6997MHz、f_{OUT} からの 70MHz オフセット		-144		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 7997MHz、f_{OUT} からの 70MHz オフセット		-144		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 8997MHz、f_{OUT} からの 70MHz オフセット		-143		dBFS/Hz
NPR	ノイズ電力比、ピーク	2 次ナイキスト ゾーンの 80% にまたがる信号、ナイキスト ゾーンの中心でナイキスト ゾーンの 5% のノッチ、12dB PAR		42.9		dBc
ENOB	有効ビット数	ピーク NPR から計算		8.8		ビット

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは $F_{DAC} = F_{CLK}$。DES1X および DES2XL/H モードでは $F_{DAC} = 2 \times F_{CLK}$。

パラメータ		テスト条件	最小値	標準値	最大値	単位
10.24GSPS、デュアルまたはシングル チャネル モード、JMODE 1、2x Int、RF モード						
P_{OUT}	2:1 バランと 50Ω 負荷による出力電力	f_{OUT} = 5997MHz		-3.3		dBm
		f_{OUT} = 6997MHz		-0.9		dBm
		f_{OUT} = 7997MHz、I_{FS_SWITCH} = 41mA		1.6		dBm
		f_{OUT} = 7997MHz		-3.9		dBm
		f_{OUT} = 8997MHz		-5.1		dBm
SFDR	$F_{DAC}/2$ から F_{DAC} の間でのスプリアス フリー ダイナミック レンジ (SFDR)	f_{OUT} = 5997MHz		56		dBc
		f_{OUT} = 6997MHz		51		dBc
		f_{OUT} = 7997MHz、I_{FS_SWITCH} = 41mA		41		dBc
		f_{OUT} = 7997MHz		56		dBc
		f_{OUT} = 8997MHz		56		dBc
HD2	$F_{DAC}/2$ から F_{DAC} の 2 次高調波歪み	f_{OUT} = 5997MHz		-56		dBc
		f_{OUT} = 6997MHz		-51		dBc
		f_{OUT} = 7997MHz、I_{FS_SWITCH} = 41mA		-57		dBc
		f_{OUT} = 7997MHz		-57		dBc
		f_{OUT} = 8997MHz		-61		dBc
HD3	$F_{DAC}/2$ から F_{DAC} の 3 次高調波歪み	f_{OUT} = 5997MHz		-59		dBc
		f_{OUT} = 6997MHz		-60		dBc
		f_{OUT} = 7997MHz、I_{FS_SWITCH} = 41mA		-42		dBc
		f_{OUT} = 7997MHz		-64		dBc
		f_{OUT} = 8997MHz		-57		dBc
$SFDR_{NONHD23}$	$F_{DAC}/2$ から F_{DAC} の間の非 HD2/3 SFDR	f_{OUT} = 5997MHz		78		dBc
		f_{OUT} = 6997MHz		76		dBc
		f_{OUT} = 7997MHz、I_{FS_SWITCH} = 41mA		70		dBc
		f_{OUT} = 7997MHz		81		dBc
		f_{OUT} = 8997MHz		69		dBc
IMD3	3 次 2 トーン相互変調歪み	f_{OUT} = 5997+/- 10MHz、-7dBFS/トーン		-59		dBc
		f_{OUT} = 6997+/- 10MHz、-7dBFS/トーン		-56		dBc
		f_{OUT} = 7997 +/- 10MHz、-7dBFS/トーン、I_{FS_SWITCH} = 41mA		-44		dBc
		f_{OUT} = 7997+/- 10MHz、-7dBFS/トーン		-63		dBc
		f_{OUT} = 8997+/- 10MHz、-7dBFS/トーン		-64		dBc

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは $F_{DAC} = F_{CLK}$。DES1X および DES2XL/H モードでは $F_{DAC} = 2 \times F_{CLK}$。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD	ノイズ スペクトル密度、大信号、正弦波出力(3)	f_{OUT} = 5997MHz、f_{OUT} からの 70MHz オフセット		-146		dBc/Hz
		f_{OUT} = 6997MHz、f_{OUT} からの 70MHz オフセット		-146		dBc/Hz
		f_{OUT} = 7997MHz、f_{OUT} からの 70MHz オフセット、I_{FS_SWITCH} = 41mA		-146		dBc/Hz
		f_{OUT} = 7997MHz、f_{OUT} からの 70MHz オフセット		-145		dBc/Hz
		f_{OUT} = 8997MHz、f_{OUT} からの 70MHz オフセット		-144		dBc/Hz
NSD	ノイズ スペクトル密度、小信号、正弦波出力(3)	A_{OUT} = -20dBFS、f_{OUT} = 5997MHz、f_{OUT} からの 70MHz オフセット		-148		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 6997MHz、f_{OUT} からの 70MHz オフセット		-149		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 7997MHz、f_{OUT} からの 70MHz オフセット、I_{FS_SWITCH} = 41mA		-152		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 7997MHz、f_{OUT} からの 70MHz オフセット		-149		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 8997MHz、f_{OUT} からの 70MHz オフセット		-149		dBFS/Hz
NPR	ノイズ電力比、ピーク	2 次ナイキスト ゾーンの 80% にまたがる信号、ナイキスト ゾーンの中心でナイキスト ゾーンの 5% のノッチ、12dB PAR、I_{FS_SWITCH} = 20.5mA		42.7		dBc
		2 次ナイキスト ゾーンの 80% にまたがる信号、ナイキスト ゾーンの中心でナイキスト ゾーンの 5% のノッチ、12dB PAR、I_{FS_SWITCH} = 41mA		43		dBc
ENOB	有効ビット数	ピーク NPR から計算		8.7		ビット
		ピーク NPR から計算		9.1		ビット
FLATNESS	ナイキスト ゾーンの平坦性	最大出力電力から最小出力電力まで、2 次ナイキスト ゾーンの 10% ～ 90% の範囲で測定、バランを使用した sinx/x 応答を含む		2.4		dB

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは $F_{DAC} = F_{CLK}$。DES1X および DES2XL/H モードでは $F_{DAC} = 2 \times F_{CLK}$。

パラメータ		テスト条件	最小値	標準値	最大値	単位
20.48GSPS、シングル チャネル モード、10.24GSPS 入力、JMODE 0、2x DES 補間モード						
P_{OUT}	2:1 バランと 50Ω 負荷の出力電力、I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97MHz		1.0		dBm
		f_{OUT} = 997MHz		0.8		dBm
		f_{OUT} = 1997MHz		0.6		dBm
		f_{OUT} = 2997MHz		0.2		dBm
		f_{OUT} = 3997MHz		-1.9		dBm
		f_{OUT} = 5997MHz		-1.1		dBm
		f_{OUT} = 6997MHz		0.2		dBm
		f_{OUT} = 7997MHz		-2.8		dBm
		f_{OUT} = 8997MHz		-5		dBm
P_{OUT}	2:1 バランと 50Ω 負荷の出力電力、I_{FS_SWITCH} = 41mA	f_{OUT} = 97MHz		7.0		dBm
		f_{OUT} = 997MHz		6.8		dBm
		f_{OUT} = 1997MHz		6.5		dBm
		f_{OUT} = 2997MHz		6.0		dBm
		f_{OUT} = 3997MHz		4.0		dBm
		f_{OUT} = 5997MHz		4.7		dBm
		f_{OUT} = 6997MHz		5.7		dBm
		f_{OUT} = 7997MHz		2.6		dBm
		f_{OUT} = 8997MHz		0.4		dBm
SFDR	0 から $F_{DAC}/4$ の間でのスプリアス フリー ダイナミック レンジ (SFDR)、I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97MHz		84		dBc
		f_{OUT} = 997MHz		67		dBc
		f_{OUT} = 1997MHz		71		dBc
		f_{OUT} = 2997MHz(4)	55	77		dBc
		f_{OUT} = 3997MHz		77		dBc
	$F_{DAC}/4$ から $F_{DAC}/2$ の間でのスプリアス フリー ダイナミック レンジ (SFDR)、I_{FS_SWITCH} = 20.5mA	f_{OUT} = 5997MHz		55		dBc
		f_{OUT} = 6997MHz		48		dBc
		f_{OUT} = 7997MHz		65		dBc
		f_{OUT} = 8997MHz		55		dBc
	0 から $F_{DAC}/4$ の間でのスプリアス フリー ダイナミック レンジ (SFDR)、I_{FS_SWITCH} = 41mA	f_{OUT} = 97MHz		76		dBc
		f_{OUT} = 997MHz		52		dBc
		f_{OUT} = 1997MHz		66		dBc
		f_{OUT} = 2997MHz		75		dBc
		f_{OUT} = 3997MHz		70		dBc
	$F_{DAC}/4$ から $F_{DAC}/2$ の間でのスプリアス フリー ダイナミック レンジ (SFDR)、I_{FS_SWITCH} = 41mA	f_{OUT} = 5997MHz		60		dBc
		f_{OUT} = 6997MHz		50		dBc
		f_{OUT} = 7997MHz		65		dBc
		f_{OUT} = 8997MHz		40		dBc

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは $F_{DAC} = F_{CLK}$。DES1X および DES2XL/H モードでは $F_{DAC} = 2 \times F_{CLK}$。

パラメータ		テスト条件	最小値	標準値	最大値	単位
IMG_{DES}	$F_{DAC}/2$ から F_{OUT} の DES イメージ、I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97MHz		-75		dBc
		f_{OUT} = 997MHz		-66		dBc
		f_{OUT} = 1997MHz		-57		dBc
		f_{OUT} = 2997MHz		-55		dBc
		f_{OUT} = 3997MHz		-45		dBc
		f_{OUT} = 5997MHz		-33		dBc
		f_{OUT} = 6997MHz		-44		dBc
		f_{OUT} = 7997MHz		-38		dBc
		f_{OUT} = 8997MHz		-33		dBc
	$F_{DAC}/2$ から F_{OUT} の DES イメージ、I_{FS_SWITCH} = 41mA	f_{OUT} = 97MHz		-92		dBc
		f_{OUT} = 997MHz		-72		dBc
		f_{OUT} = 1997MHz		-65		dBc
		f_{OUT} = 2997MHz		-59		dBc
		f_{OUT} = 3997MHz		-49		dBc
		f_{OUT} = 5997MHz		-34		dBc
		f_{OUT} = 6997MHz		-46		dBc
		f_{OUT} = 7997MHz		-38		dBc
		f_{OUT} = 8997MHz		-32		dBc
HD2	0 から $F_{DAC}/4$ の間の HD2、I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97MHz		-84		dBc
		f_{OUT} = 997MHz		-75		dBc
		f_{OUT} = 1997MHz		-73		dBc
		f_{OUT} = 2997MHz		-82	-55	dBc
		f_{OUT} = 3997MHz		-77		dBc
	$F_{DAC}/4$ から $F_{DAC}/2$ の間の HD2、I_{FS_SWITCH} = 20.5mA	f_{OUT} = 5997MHz		-55		dBc
		f_{OUT} = 6997MHz		-48		dBc
		f_{OUT} = 7997MHz		-70		dBc
		f_{OUT} = 8997MHz		-70		dBc
	0 から $F_{DAC}/4$ の間の HD2、I_{FS_SWITCH} = 41mA	f_{OUT} = 97MHz		-78		dBc
		f_{OUT} = 997MHz		-72		dBc
		f_{OUT} = 1997MHz		-66		dBc
		f_{OUT} = 2997MHz		-84		dBc
		f_{OUT} = 3997MHz		-80		dBc
	$F_{DAC}/4$ から $F_{DAC}/2$ の間の HD2、I_{FS_SWITCH} = 41mA	f_{OUT} = 5997MHz		-60		dBc
		f_{OUT} = 6997MHz		-50		dBc
		f_{OUT} = 7997MHz		-65		dBc
		f_{OUT} = 8997MHz		-65		dBc

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは $F_{DAC} = F_{CLK}$。DES1X および DES2XL/H モードでは $F_{DAC} = 2 \times F_{CLK}$。

パラメータ		テスト条件	最小値	標準値	最大値	単位
HD3	0 から $F_{DAC}/4$ の間の HD3、I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97MHz		-93		dBc
		f_{OUT} = 997MHz		-67		dBc
		f_{OUT} = 1997MHz		-77		dBc
		f_{OUT} = 2997MHz		-82	-70	dBc
		f_{OUT} = 3997MHz		-81		dBc
	$F_{DAC}/4$ から $F_{DAC}/2$ の間の HD3、I_{FS_SWITCH} = 20.5mA	f_{OUT} = 5997MHz		-76		dBc
		f_{OUT} = 6997MHz		-75		dBc
		f_{OUT} = 7997MHz		-65		dBc
		f_{OUT} = 8997MHz		-55		dBc
	0 から $F_{DAC}/4$ の間の HD3、I_{FS_SWITCH} = 41mA	f_{OUT} = 97MHz		-76		dBc
		f_{OUT} = 997MHz		-52		dBc
		f_{OUT} = 1997MHz		-72		dBc
		f_{OUT} = 2997MHz		-80		dBc
		f_{OUT} = 3997MHz		-75		dBc
	$F_{DAC}/4$ から $F_{DAC}/2$ の間の HD3、I_{FS_SWITCH} = 41mA	f_{OUT} = 5997MHz		-65		dBc
		f_{OUT} = 6997MHz		-74		dBc
		f_{OUT} = 7997MHz		-72		dBc
		f_{OUT} = 8997MHz		-40		dBc
$SFDR_{NONHD23}$	0 から $F_{DAC}/4$ の非 HD2/3 SFDR、I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97MHz		89		dBc
		f_{OUT} = 997MHz		84		dBc
		f_{OUT} = 1997MHz		83		dBc
		f_{OUT} = 2997MHz		78		dBc
		f_{OUT} = 3997MHz		80		dBc
	$F_{DAC}/4$ から $F_{DAC}/2$ の非 HD2/3 SFDR、I_{FS_SWITCH} = 20.5mA	f_{OUT} = 5997MHz		82		dBc
		f_{OUT} = 6997MHz		80		dBc
		f_{OUT} = 7997MHz		82		dBc
		f_{OUT} = 8997MHz		70		dBc
	0 から $F_{DAC}/4$ の非 HD2/3 SFDR、I_{FS_SWITCH} = 41mA	f_{OUT} = 97MHz		89		dBc
		f_{OUT} = 997MHz		74		dBc
		f_{OUT} = 1997MHz		80		dBc
		f_{OUT} = 2997MHz		77		dBc
		f_{OUT} = 3997MHz		70		dBc
	$F_{DAC}/4$ から $F_{DAC}/2$ の非 HD2/3 SFDR、I_{FS_SWITCH} = 41mA	f_{OUT} = 5997MHz		75		dBc
		f_{OUT} = 6997MHz		65		dBc
		f_{OUT} = 7997MHz		76		dBc
		f_{OUT} = 8997MHz		73		dBc

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは $F_{DAC} = F_{CLK}$。DES1X および DES2XL/H モードでは $F_{DAC} = 2 \times F_{CLK}$。

パラメータ		テスト条件	最小値	標準値	最大値	単位
IMD3	3 次ツー トーン相互変調歪み、I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97+/- 10MHz、-7dBFS/トーン		-91		dBc
		f_{OUT} = 997+/- 10MHz、-7dBFS/トーン		-76		dBc
		f_{OUT} = 1997+/- 10MHz、-7dBFS/トーン		-75		dBc
		f_{OUT} = 2997+/- 10MHz、-7dBFS/トーン		-69		dBc
		f_{OUT} = 3997+/- 10MHz、-7dBFS/トーン		-70		dBc
		f_{OUT} = 5997+/- 10MHz、-7dBFS/トーン		-63		dBc
		f_{OUT} = 6997+/- 10MHz、-7dBFS/トーン		-56		dBc
		f_{OUT} = 7997+/- 10MHz、-7dBFS/トーン		-62		dBc
		f_{OUT} = 8997+/- 10MHz、-7dBFS/トーン		-60		dBc
	3 次ツー トーン相互変調歪み、I_{FS_SWITCH} = 41mA	f_{OUT} = 97+/- 10MHz、-7dBFS/トーン		-85		dBc
		f_{OUT} = 997+/- 10MHz、-7dBFS/トーン		-63		dBc
		f_{OUT} = 1997+/- 10MHz、-7dBFS/トーン		-53		dBc
		f_{OUT} = 2997+/- 10MHz、-7dBFS/トーン		-52		dBc
		f_{OUT} = 3997+/- 10MHz、-7dBFS/トーン		-57		dBc
		f_{OUT} = 5997+/- 10MHz、-7dBFS/トーン		-51		dBc
		f_{OUT} = 6997+/- 10MHz、-7dBFS/トーン		-38		dBc
		f_{OUT} = 7997+/- 10MHz、-7dBFS/トーン		-42		dBc
		f_{OUT} = 8997+/- 10MHz、-7dBFS/トーン		-46		dBc

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは $F_{DAC} = F_{CLK}$。DES1X および DES2XL/H モードでは $F_{DAC} = 2 \times F_{CLK}$。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD	ノイズ スペクトル密度、大信号、正弦波出力、I_{FS_SWITCH} = 20.5mA(3)	f_{OUT} = 97MHz、f_{OUT} からの 70MHz オフセット		-158		dBc/Hz
		f_{OUT} = 997MHz、f_{OUT} からの 70MHz オフセット		-155		dBc/Hz
		f_{OUT} = 1997MHz、f_{OUT} からの 70MHz オフセット		-152		dBc/Hz
		f_{OUT} = 2997MHz、f_{OUT} からの 70MHz オフセット		-150		dBc/Hz
		f_{OUT} = 3997MHz、f_{OUT} からの 70MHz オフセット		-149		dBc/Hz
		f_{OUT} = 5997MHz、f_{OUT} からの 70MHz オフセット		-146		dBc/Hz
		f_{OUT} = 6997MHz、f_{OUT} からの 70MHz オフセット		-146		dBc/Hz
		f_{OUT} = 7997MHz、f_{OUT} からの 70MHz オフセット		-146		dBc/Hz
		f_{OUT} = 8997MHz、f_{OUT} からの 70MHz オフセット		-144		dBc/Hz
NSD	ノイズ スペクトル密度、大信号、正弦波出力、I_{FS_SWITCH} = 4 1mA(3)	f_{OUT} = 97MHz、f_{OUT} からの 70MHz オフセット		-158		dBc/Hz
		f_{OUT} = 997MHz、f_{OUT} からの 70MHz オフセット		-156		dBc/Hz
		f_{OUT} = 1997MHz、f_{OUT} からの 70MHz オフセット		-154		dBc/Hz
		f_{OUT} = 2997MHz、f_{OUT} からの 70MHz オフセット		-151		dBc/Hz
		f_{OUT} = 3997MHz、f_{OUT} からの 70MHz オフセット		-150		dBc/Hz
		f_{OUT} = 5997MHz、f_{OUT} からの 70MHz オフセット		-147		dBc/Hz
		f_{OUT} = 6997MHz、f_{OUT} からの 70MHz オフセット		-147		dBc/Hz
		f_{OUT} = 7997MHz、f_{OUT} からの 70MHz オフセット		-146		dBc/Hz
		f_{OUT} = 8997MHz、f_{OUT} からの 70MHz オフセット		-144		dBc/Hz

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは $F_{DAC} = F_{CLK}$。DES1X および DES2XL/H モードでは $F_{DAC} = 2 \times F_{CLK}$。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD	ノイズ スペクトル密度、小信号、正弦波出力、I_{FS_SWITCH} = 20.5mA(3)	A_{OUT} = -20dBFS、f_{OUT} = 97MHz、f_{OUT} からの 70MHz オフセット		-160		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 997MHz、f_{OUT} からの 70MHz オフセット		-156		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 1997MHz、f_{OUT} からの 70MHz オフセット		-154		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 2997MHz、f_{OUT} からの 70MHz オフセット		-152		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 3997MHz、f_{OUT} からの 70MHz オフセット		-152		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 5997MHz、f_{OUT} からの 70MHz オフセット		-149		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 6997MHz、f_{OUT} からの 70MHz オフセット		-149		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 7997MHz、f_{OUT} からの 70MHz オフセット		-148		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 8997MHz、f_{OUT} からの 70MHz オフセット		-149		dBFS/Hz
NSD	ノイズ スペクトル密度、小信号、正弦波出力、I_{FS_SWITCH} = 41mA(3)	A_{OUT} = -20dBFS、f_{OUT} = 97MHz、f_{OUT} からの 70MHz オフセット		-161		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 997MHz、f_{OUT} からの 70MHz オフセット		-158		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 1997MHz、f_{OUT} からの 70MHz オフセット		-156		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 2997MHz、f_{OUT} からの 70MHz オフセット		-154		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 3997MHz、f_{OUT} からの 70MHz オフセット		-153		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 5997MHz、f_{OUT} からの 70MHz オフセット		-151		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 6997MHz、f_{OUT} からの 70MHz オフセット		-152		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 7997MHz、f_{OUT} からの 70MHz オフセット		-152		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 8997MHz、f_{OUT} からの 70MHz オフセット		-151		dBFS/Hz

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは F_{DAC} = F_{CLK}。DES1X および DES2XL/H モードでは F_{DAC} = 2×F_{CLK}。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NPR	ノイズ電力比、ピーク	2 次ナイキスト ゾーンの 80% にまたがる信号、ナイキスト ゾーンの中心でナイキスト ゾーンの 5% のノッチ、12dB PAR、I_{FS_SWITCH} = 20.5mA、DES2XL (1 次ナイキスト)		47		dBc
		2 次ナイキスト ゾーンの 80% にまたがる信号、ナイキスト ゾーンの中心でナイキスト ゾーンの 5% のノッチ、12dB PAR、I_{FS_SWITCH} = 41mA、DES2XL (1 次ナイキスト)		49		dBc
		2 次ナイキスト ゾーンの 80% にまたがる信号、ナイキスト ゾーンの中心でナイキスト ゾーンの 5% のノッチ、12dB PAR、I_{FS_SWITCH} = 20.5mA、DES2XH (2 次ナイキスト)		43		dBc
		2 次ナイキスト ゾーンの 80% にまたがる信号、ナイキスト ゾーンの中心でナイキスト ゾーンの 5% のノッチ、12dB PAR、I_{FS_SWITCH} = 41mA、DES2XH (2 次ナイキスト)		45		dBc
ENOB	有効ビット数	ピーク NPR から計算、I_{FS_SWITCH} = 20.5mA、DES2XL (1 次ナイキスト)		9.6		ビット
		ピーク NPR から計算、I_{FS_SWITCH} = 41mA、DES2XL (1 次ナイキスト)		9.8		ビット
		ピーク NPR から計算、I_{FS_SWITCH} = 20.5mA、DES2XH (2 次ナイキスト)		8.9		ビット
		ピーク NPR から計算、I_{FS_SWITCH} = 41mA、DES2XH (2 次ナイキスト)		9.2		ビット
PN	相乗性 DAC 位相ノイズ、外部クロックからの影響を差し引いたもの、DES モード、DEM およびディザリング無効	f_{CLK} = 10.24GHz、f_{OUT} = 997MHz、100Hz オフセット		-127.8		dBc/Hz
		f_{CLK} = 10.24GHz、f_{OUT} = 997MHz、1KHz オフセット		-137.4		dBc/Hz
		f_{CLK} = 10.24GHz、f_{OUT} = 997MHz、10kHz オフセット		-148.1		dBc/Hz
		f_{CLK} = 10.24GHz、f_{OUT} = 997MHz、100kHz オフセット		-157.9		dBc/Hz
		f_{CLK} = 10.24GHz、f_{OUT} = 997MHz、1MHz オフセット		-166.3		dBc/Hz
		f_{CLK} = 10.24GHz、f_{OUT} = 997MHz、10MHz オフセット		-168.5		dBc/Hz
		f_{CLK} = 10.24GHz、f_{OUT} = 997MHz、100MHz オフセット		-171		dBc/Hz

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは $F_{DAC} = F_{CLK}$。DES1X および DES2XL/H モードでは $F_{DAC} = 2 \times F_{CLK}$。

パラメータ		テスト条件	最小値	標準値	最大値	単位
PN	相乗性 DAC 位相ノイズ、外部クロックからの影響を差し引いたもの、DES モード、DEM およびディザリング無効	f_{CLK} = 7.5GHz、f_{OUT} = 997MHz、100Hz オフセット		-127		dBc/Hz
		f_{CLK} = 7.5GHz、f_{OUT} = 997MHz、1KHz オフセット		-136		dBc/Hz
		f_{CLK} = 7.5GHz、f_{OUT} = 997MHz、10kHz オフセット		-147		dBc/Hz
		f_{CLK} = 7.5GHz、f_{OUT} = 997MHz、100kHz オフセット		-157		dBc/Hz
		f_{CLK} = 7.5GHz、f_{OUT} = 997MHz、1MHz オフセット		-165		dBc/Hz
		f_{CLK} = 7.5GHz、f_{OUT} = 997MHz、10MHz オフセット		-167		dBc/Hz
		f_{CLK} = 7.5GHz、f_{OUT} = 997MHz、100MHz オフセット		-169		dBc/Hz

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは $F_{DAC} = F_{CLK}$。DES1X および DES2XL/H モードでは $F_{DAC} = 2 \times F_{CLK}$。

パラメータ		テスト条件	最小値	標準値	最大値	単位
15.6GSPS、シングル チャネル モード、12 ビット、JMODE 8、66b/64b DES モード						
P_{OUT}	2:1 バランと 50Ω 負荷による出力電力	f_{OUT} = 97MHz		1		dBm
		f_{OUT} = 997MHz		0.8		dBm
		f_{OUT} = 1997MHz		0.5		dBm
		f_{OUT} = 2997MHz		0		dBm
		f_{OUT} = 3997MHz		-2.4		dBm
		f_{OUT} = 5997MHz		-2.1		dBm
		f_{OUT} = 6997MHz		-1.3		dBm
SFDR	0 から $F_{DAC}/4$ の間でのスプリアス フリー ダイナミック レンジ (SFDR)	f_{OUT} = 97MHz		83		dBc
		f_{OUT} = 997MHz		69		dBc
		f_{OUT} = 1997MHz		80		dBc
		f_{OUT} = 2997MHz		78		dBc
	$F_{DAC}/4$ から $F_{DAC}/2$ の間でのスプリアス フリー ダイナミック レンジ (SFDR)	f_{OUT} = 3997MHz		60		dBc
		f_{OUT} = 5997MHz		80		dBc
		f_{OUT} = 6997MHz		55		dBc
IMG_{DES}	$F_{DAC}/2$ から F_{OUT} の DES イメージ	f_{OUT} = 97MHz		-63		dBc
		f_{OUT} = 997MHz		-55		dBc
		f_{OUT} = 1997MHz		-52		dBc
		f_{OUT} = 2997MHz		-48		dBc
		f_{OUT} = 3997MHz		-42		dBc
		f_{OUT} = 5997MHz		-38		dBc
		f_{OUT} = 6997MHz		-37		dBc
HD2	0 から $F_{DAC}/2$ の 2 次高調波歪み	f_{OUT} = 97MHz		-83		dBc
		f_{OUT} = 997MHz		-76		dBc
		f_{OUT} = 1997MHz		-70		dBc
		f_{OUT} = 2997MHz		-62		dBc
		f_{OUT} = 3997MHz		-62		dBc
		f_{OUT} = 5997MHz		-50		dBc
		f_{OUT} = 6997MHz		-48		dBc
$SFDR_{NONHD23}$	非 HD2/3 SFDR、DES スプリアスを除く	f_{OUT} = 97MHz		87		dBc
		f_{OUT} = 997MHz		76		dBc
		f_{OUT} = 1997MHz		80		dBc
		f_{OUT} = 2997MHz		78		dBc
		f_{OUT} = 3997MHz		73		dBc
		f_{OUT} = 5997MHz		80		dBc
		f_{OUT} = 6997MHz		71		dBc

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは $F_{DAC} = F_{CLK}$。DES1X および DES2XL/H モードでは $F_{DAC} = 2 \times F_{CLK}$。

パラメータ		テスト条件	最小値	標準値	最大値	単位
HD3	0 から $F_{DAC}/2$ の 3 次高調波歪み	f_{OUT} = 97MHz		-94		dBc
		f_{OUT} = 997MHz		-70		dBc
		f_{OUT} = 1997MHz		-63		dBc
		f_{OUT} = 2997MHz		-79		dBc
		f_{OUT} = 3997MHz		-65		dBc
		f_{OUT} = 5997MHz		-65		dBc
		f_{OUT} = 6997MHz		-55		dBc
IMD3	3 次 2 トーン相互変調歪み	f_{OUT} = 97+/- 10MHz、-7dBFS/トーン		-91		dBc
		f_{OUT} = 997+/- 10MHz、-7dBFS/トーン		-81		dBc
		f_{OUT} = 1997+/- 10MHz、-7dBFS/トーン		-72		dBc
		f_{OUT} = 2997+/- 10MHz、-7dBFS/トーン		-66		dBc
		f_{OUT} = 3997+/- 10MHz、-7dBFS/トーン		-69		dBc
		f_{OUT} = 5997+/- 10MHz、-7dBFS/トーン		-70		dBc
		f_{OUT} = 6997+/- 10MHz、-7dBFS/トーン		-56		dBc
NSD	ノイズ スペクトル密度、大信号、正弦波出力(3)	f_{OUT} = 97MHz、f_{OUT} からの 70MHz オフセット		-157		dBc/Hz
		f_{OUT} = 997MHz、f_{OUT} からの 70MHz オフセット		-155		dBc/Hz
		f_{OUT} = 1997MHz、f_{OUT} からの 70MHz オフセット		-152		dBc/Hz
		f_{OUT} = 2997MHz、f_{OUT} からの 70MHz オフセット		-150		dBc/Hz
		f_{OUT} = 3997MHz、f_{OUT} からの 70MHz オフセット		-149		dBc/Hz
		f_{OUT} = 5997MHz、f_{OUT} からの 70MHz オフセット		-146		dBc/Hz
		f_{OUT} = 6997MHz、f_{OUT} からの 70MHz オフセット		-145		dBc/Hz

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは $F_{DAC} = F_{CLK}$。DES1X および DES2XL/H モードでは $F_{DAC} = 2 \times F_{CLK}$。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD	ノイズ スペクトル密度、小信号、正弦波出力(3)	A_{OUT} = -20dBFS、f_{OUT} = 97MHz、f_{OUT} からの 70MHz オフセット		-158		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 997MHz、f_{OUT} からの 70MHz オフセット		-156		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 1997MHz、f_{OUT} からの 70MHz オフセット		-153		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 2997MHz、f_{OUT} からの 70MHz オフセット		-151		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 3997MHz、f_{OUT} からの 70MHz オフセット		-150		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 5997MHz、f_{OUT} からの 70MHz オフセット		-148		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 6997MHz、f_{OUT} からの 70MHz オフセット		-149		dBFS/Hz
NPR	ノイズ電力比、ピーク	2 次ナイキスト ゾーンの 80% にまたがる信号、ナイキスト ゾーンの中心でナイキスト ゾーンの 5% のノッチ、12dB PAR、I_{FS_SWITCH} = 20.5mA		45.5		dBc
		2 次ナイキスト ゾーンの 80% にまたがる信号、ナイキスト ゾーンの中心でナイキスト ゾーンの 5% のノッチ、12dB PAR、I_{FS_SWITCH} = 41mA		46.2		dBc
ENOB	有効ビット数	ピーク NPR から計算、20.5mA		9.4		ビット
		ピーク NPR から計算、41mA		9.5		ビット

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは $F_{DAC} = F_{CLK}$。DES1X および DES2XL/H モードでは $F_{DAC} = 2 \times F_{CLK}$。

パラメータ		テスト条件	最小値	標準値	最大値	単位
20.48GSPS、シングル チャネル モード、8 ビット、JMODE 14、DES モード						
P_{OUT}	2:1 バランと 50Ω 負荷による出力電力	f_{OUT} = 97MHz		1.0		dBm
		f_{OUT} = 997MHz		0.8		dBm
		f_{OUT} = 1997MHz		0.6		dBm
		f_{OUT} = 2997MHz		0.2		dBm
		f_{OUT} = 3997MHz		-2.0		dBm
		f_{OUT} = 5997MHz		-1.0		dBm
		f_{OUT} = 6997MHz		0.2		dBm
		f_{OUT} = 7997MHz		-2.8		dBm
		f_{OUT} = 8997MHz		-4.9		dBm
SFDR	0 から $F_{DAC}/4$ の間でのスプリアス フリーダイナミックレンジ (SFDR)	f_{OUT} = 97MHz		71		dBc
		f_{OUT} = 997MHz		67		dBc
		f_{OUT} = 1997MHz		68		dBc
		f_{OUT} = 2997MHz		69		dBc
		f_{OUT} = 3997MHz		65		dBc
	$F_{DAC}/4$ から $F_{DAC}/2$ の間でのスプリアス フリー ダイナミック レンジ (SFDR)	f_{OUT} = 5997MHz		55		dBc
		f_{OUT} = 6997MHz		48		dBc
		f_{OUT} = 7997MHz		66		dBc
		f_{OUT} = 8997MHz		54		dBc
IMG_{DES}	$F_{DAC}/2$ から F_{OUT} の DES イメージ	f_{OUT} = 97MHz		-62		dBc
		f_{OUT} = 997MHz		-61		dBc
		f_{OUT} = 1997MHz		-56		dBc
		f_{OUT} = 2997MHz		-50		dBc
		f_{OUT} = 3997MHz		-44		dBc
		f_{OUT} = 5997MHz		-45		dBc
		f_{OUT} = 6997MHz		-45		dBc
		f_{OUT} = 7997MHz		-42		dBc
		f_{OUT} = 8997MHz		-38		dBc
HD2	0 から $F_{DAC}/2$ の 2 次高調波歪み	f_{OUT} = 97MHz		-84		dBc
		f_{OUT} = 997MHz		-75		dBc
		f_{OUT} = 1997MHz		-72		dBc
		f_{OUT} = 2997MHz		-63		dBc
		f_{OUT} = 3997MHz		-57		dBc
		f_{OUT} = 5997MHz		-55		dBc
		f_{OUT} = 6997MHz		-48		dBc
		f_{OUT} = 7997MHz		-48		dBc
		f_{OUT} = 8997MHz		-47		dBc

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは F_{DAC} = F_{CLK}。DES1X および DES2XL/H モードでは F_{DAC} = 2×F_{CLK}。

パラメータ		テスト条件	最小値	標準値	最大値	単位
HD3	0 から F_{DAC}/2 の 3 次高調波歪み	f_{OUT} = 97MHz		-73		dBc
		f_{OUT} = 997MHz		-72		dBc
		f_{OUT} = 1997MHz		-63		dBc
		f_{OUT} = 2997MHz		-61		dBc
		f_{OUT} = 3997MHz		-60		dBc
		f_{OUT} = 5997MHz		-63		dBc
		f_{OUT} = 6997MHz		-57		dBc
		f_{OUT} = 7997MHz		-55		dBc
		f_{OUT} = 8997MHz		-53		dBc
IMD3	3 次 2 トーン相互変調歪み	f_{OUT} = 97+/- 10MHz、-7dBFS/トーン		-90		dBc
		f_{OUT} = 997+/- 10MHz、-7dBFS/トーン		-77		dBc
		f_{OUT} = 1997+/- 10MHz、-7dBFS/トーン		-75		dBc
		f_{OUT} = 2997+/- 10MHz、-7dBFS/トーン		-69		dBc
		f_{OUT} = 3997+/- 10MHz、-7dBFS/トーン		-71		dBc
		f_{OUT} = 5997+/- 10MHz、-7dBFS/トーン		-63		dBc
		f_{OUT} = 6997+/- 10MHz、-7dBFS/トーン		-56		dBc
		f_{OUT} = 7997+/- 10MHz、-7dBFS/トーン		-62		dBc
		f_{OUT} = 8997+/- 10MHz、-7dBFS/トーン		-60		dBc
NSD	ノイズ スペクトル密度、大信号、正弦波出力(3)	f_{OUT} = 97MHz、f_{OUT} からの 70MHz オフセット		-156		dBc/Hz
		f_{OUT} = 997MHz、f_{OUT} からの 70MHz オフセット		-154		dBc/Hz
		f_{OUT} = 1997MHz、f_{OUT} からの 70MHz オフセット		-152		dBc/Hz
		f_{OUT} = 2997MHz、f_{OUT} からの 70MHz オフセット		-150		dBc/Hz
		f_{OUT} = 3997MHz、f_{OUT} からの 70MHz オフセット		-149		dBc/Hz
		f_{OUT} = 5997MHz、f_{OUT} からの 70MHz オフセット		-146		dBc/Hz
		f_{OUT} = 6997MHz、f_{OUT} からの 70MHz オフセット		-146		dBc/Hz
		f_{OUT} = 7997MHz、f_{OUT} からの 70MHz オフセット		-146		dBc/Hz
		f_{OUT} = 8997MHz、f_{OUT} からの 70MHz オフセット		-143		dBc/Hz

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性 - AC 仕様 (続き)

特に明記されていない限り、T_A = +25°C での標準値、自由空気での動作温度範囲における最小値および最大値、標準電源電圧、F_{CLK} = 10.24GHz、8b/10b エンコーディング、I_{FS_SWITCH} = 20.5mA、シングル トーン振幅 = 0dBFS、SE DEM およびディザリング (750MHz 未満では DEM_ADJ = 1、750MHz 超では DEM_ADJ = 0)、8b/10b エンコーディング。NRZ、RTZ および RF モードでは $F_{DAC} = F_{CLK}$。DES1X および DES2XL/H モードでは $F_{DAC} = 2 \times F_{CLK}$。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD	ノイズ スペクトル密度、小信号、正弦波出力(3)	A_{OUT} = -20dBFS、f_{OUT} = 97MHz、f_{OUT} からの 70MHz オフセット		-159		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 997MHz、f_{OUT} からの 70MHz オフセット		-156		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 1997MHz、f_{OUT} からの 70MHz オフセット		-154		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 2997MHz、f_{OUT} からの 70MHz オフセット		-152		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 3997MHz、f_{OUT} からの 70MHz オフセット		-151		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 5997MHz、f_{OUT} からの 70MHz オフセット		-149		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 6997MHz、f_{OUT} からの 70MHz オフセット		-149		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 7997MHz、f_{OUT} からの 70MHz オフセット		-149		dBFS/Hz
		A_{OUT} = -20dBFS、f_{OUT} = 8997MHz、f_{OUT} からの 70MHz オフセット		-150		dBFS/Hz
NPR	ノイズ電力比、ピーク	2 次ナイキスト ゾーンの 80% にまたがる信号、ナイキスト ゾーンの中心でナイキスト ゾーンの 5% のノッチ、12dB PAR		37.4		dBc
ENOB	有効ビット数	ピーク NPR から計算		8.0		ビット

(1) 50Ω の負荷へのシングルエンドを測定
(2) 100Ω の負荷と 50Ω のシングル エンド負荷の比率は 2:1 です。
(3) DEM と DITHER を無効にすることで NSD を改善できます (ノイズ スペクトル密度の代表的特性プロットを参照)。
(4) HD2 ～ HD5 の最小値として定義される最小 SFDR。

Copyright © 2026 Texas Instruments Incorporated

6.7 電気的特性 - 消費電力

特に記述のない限り、T_A = +25°C における代表値、ならびに動作自由空間温度範囲における最小値および最大値を示します。供給電圧は代表値、2 チャネル構成、F_{INPUT} = 2.56GSPS、JMODE 1、8b/10b エンコーディング、4 倍補間、F_{CLK} = 10.24GHz、F_{OUT} = 2997MHz、NRZ モード、$I_{FSSWITCH}$ = 20.5mA の条件です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VDDA18}	VDDA18A および VDDA18B の 1.8V 合計電源電流	電力モード 1:デュアル DAC を並列接続した 1 ストリーム、JMODE 0、F_{DAC} = 10.24GSPS、F_{OUT} = 2997MHz、NRZ モード (デュアル チャネル版のみ)		75		mA
I_{VDDIO}	VDDIO 用 1.8V 電源電流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18、および VDDR18 用 1.8V 合計電源電流			168		
I_{VDDL}	VDDLB および VDDLA の 1.0V 合計電源電流			326		
I_{VDDCLK}	VDDCLK10 の 1.0V 電源電流			496		
I_{DVDD}	VDDDIG、VDDT、VDDEB、および VDDEA の 1.0V 電源電流			2263		
I_{VEE}	VEEAM18 および VEEBM18 の −1.8V 合計電源電流			123		
P_{DIS}	全消費電力			3747		mW
I_{VDDA18}	VDDA18A および VDDA18B の 1.8V 合計電源電流	電力モード 2:デュアル DAC、各 DAC に 1 IQ 入力ストリーム、F_{INPUT} = 2.56GSPS、JMODE 2、4 倍補間、F_{DAC} = 10.24GSPS、F_{OUT} = 2997MHz、NRZ モード (デュアル チャネル版のみ)		75		mA
I_{VDDIO}	VDDIO 用 1.8V 電源電流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18、および VDDR18 用 1.8V 合計電源電流			168		
I_{VDDL}	VDDLB および VDDLA の 1.0V 合計電源電流			326		
I_{VDDCLK}	VDDCLK10 の 1.0V 電源電流			497		
I_{DVDD}	VDDDIG、VDDT、VDDEB、および VDDEA の 1.0V 電源電流			3256		
I_{VEE}	VEEAM18 および VEEBM18 の −1.8V 合計電源電流			123		
P_{DIS}	全消費電力			4742		mW
I_{VDDA18}	VDDA18A および VDDA18B の 1.8V 合計電源電流	電力モード 3:デュアル DAC、各 DAC に 2 IQ 入力ストリーム、F_{INPUT} = 640MSPS、JMODE 3、16 倍補間、F_{DAC} = 10.24GSPS、F_{OUT1} = 2997MHz、F_{OUT2} = 3997MHz、NRZ モード (デュアル チャネル版のみ)		75		mA
I_{VDDIO}	VDDIO 用 1.8V 電源電流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18、および VDDR18 用 1.8V 合計電源電流			133		
I_{VDDL}	VDDLB および VDDLA の 1.0V 合計電源電流			327		
I_{VDDCLK}	VDDCLK10 の 1.0V 電源電流			497		
I_{DVDD}	VDDDIG、VDDT、VDDEB、および VDDEA の 1.0V 電源電流			3191		
I_{VEE}	VEEAM18 および VEEBM18 の −1.8V 合計電源電流			123		
P_{DIS}	全消費電力			4612		mW

Copyright © 2026 Texas Instruments Incorporated

特に記述のない限り、T_A = +25°C における代表値、ならびに動作自由空間温度範囲における最小値および最大値を示します。供給電圧は代表値、2 チャネル構成、F_{INPUT} = 2.56GSPS、JMODE 1、8b/10b エンコーディング、4 倍補間、F_{CLK} = 10.24GHz、F_{OUT} = 2997MHz、NRZ モード、$I_{FSSWITCH}$ = 20.5mA の条件です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VDDA18}	VDDA18A および VDDA18B の 1.8V 合計電源電流	電力モード 4:デュアル DAC、各 DAC に 2 IQ 入力ストリーム、F_{INPUT} = 160MSPS、JMODE 6、64 倍補間、F_{DAC} = 10.24GSPS、F_{OUT1} = 2997MHz、F_{OUT2} = 3997MHz、NRZ モード (デュアル チャネル版のみ)		75		mA
I_{VDDIO}	VDDIO 用 1.8V 電源電流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18、および VDDR18 用 1.8V 合計電源電流			106		
I_{VDDL}	VDDLB および VDDLA の 1.0V 合計電源電流			327		
I_{VDDCLK}	VDDCLK10 の 1.0V 電源電流			497		
I_{DVDD}	VDDDIG、VDDT、VDDEB、および VDDEA の 1.0V 電源電流			2216		
I_{VEE}	VEEAM18 および VEEBM18 の −1.8V 合計電源電流			123		
P_{DIS}	全消費電力			3590		mW
I_{VDDA18}	VDDA18A および VDDA18B の 1.8V 合計電源電流	電力モード 5:デュアル DAC、各 DAC に 2 IQ 入力ストリーム、F_{INPUT} = 160MSPS、JMODE 5、64 倍補間、F_{DAC} = 10.24GSPS、F_{OUT1} = 2997MHz、F_{OUT2} = 3997MHz、NRZ モード (デュアル チャネル版のみ)		75		mA
I_{VDDIO}	VDDIO 用 1.8V 電源電流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18、および VDDR18 用 1.8V 合計電源電流			97		
I_{VDDL}	VDDLB および VDDLA の 1.0V 合計電源電流			327		
I_{VDDCLK}	VDDCLK10 の 1.0V 電源電流			497		
I_{DVDD}	VDDDIG、VDDT、VDDEB、および VDDEA の 1.0V 電源電流			2260		
I_{VEE}	VEEAM18 および VEEBM18 の −1.8V 合計電源電流			123		
P_{DIS}	全消費電力			3618		mW
I_{VDDA18}	VDDA18A および VDDA18B の 1.8V 合計電源電流	電力モード 6:デュアル DAC、各 DAC に 2 IQ 入力ストリーム、F_{INPUT} = 853.33MSPS、JMODE 3、12 倍補間、F_{DAC} = 10.24GSPS、F_{OUT1} = 2997MHz、F_{OUT2} = 3997MHz、NRZ モード (デュアル チャネル版のみ)		75		mA
I_{VDDIO}	VDDIO 用 1.8V 電源電流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18、および VDDR18 用 1.8V 合計電源電流			144		
I_{VDDL}	VDDLB および VDDLA の 1.0V 合計電源電流			327		
I_{VDDCLK}	VDDCLK10 の 1.0V 電源電流			497		
I_{DVDD}	VDDDIG、VDDT、VDDEB、および VDDEA の 1.0V 電源電流			3647		
I_{VEE}	VEEAM18 および VEEBM18 の −1.8V 合計電源電流			123		
P_{DIS}	全消費電力			5090	5950	mW

Copyright © 2026 Texas Instruments Incorporated

特に記述のない限り、T_A = +25°C における代表値、ならびに動作自由空間温度範囲における最小値および最大値を示します。供給電圧は代表値、2 チャネル構成、F_{INPUT} = 2.56GSPS、JMODE 1、8b/10b エンコーディング、4 倍補間、F_{CLK} = 10.24GHz、F_{OUT} = 2997MHz、NRZ モード、$I_{FSSWITCH}$ = 20.5mA の条件です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VDDA18}	VDDA18A および VDDA18B の 1.8V 合計電源電流	電力モード 7:デュアル DAC、NCO 後に両 DAC へ送られる 1 IQ 入力ストリーム、F_{INPUT} = 5.12GSPS、JMODE 1、2 倍補間、F_{DAC} = 10.24 GSPS、F_{OUT} = 2997MHz、NRZ モード (デュアル チャネル版のみ)		85		mA
I_{VDDIO}	VDDIO 用 1.8V 電源電流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18、および VDDR18 用 1.8V 合計電源電流			153		
I_{VDDL}	VDDLB および VDDLA の 1.0V 合計電源電流			330		
I_{VDDCLK}	VDDCLK10 の 1.0V 電源電流			498		
I_{DVDD}	VDDDIG、VDDT、VDDEB、および VDDEA の 1.0V 電源電流			2706		
I_{VEE}	VEEAM18 および VEEBM18 の −1.8V 合計電源電流			122		
P_{DIS}	全消費電力			4186		mW
I_{VDDA18}	VDDA18A および VDDA18B の 1.8V 合計電源電流	電力モード 8:デュアル チャネル デバイスをシングル DAC として設定、F_{INPUT} = 10.24GSPS、JMODE 0、2 倍 DES 補間、F_{DAC} = 20.48GSPS、F_{OUT} = 7997MHz、DES モード		58		mA
I_{VDDIO}	VDDIO 用 1.8V 電源電流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18、および VDDR18 用 1.8V 合計電源電流			153		
I_{VDDL}	VDDLB および VDDLA の 1.0V 合計電源電流			311		
I_{VDDCLK}	VDDCLK10 の 1.0V 電源電流			498		
I_{DVDD}	VDDDIG、VDDT、VDDEB、および VDDEA の 1.0V 電源電流			2193		
I_{VEE}	VEEAM18 および VEEBM18 の −1.8V 合計電源電流			70		
P_{DIS}	全消費電力			3510		mW
I_{VDDA18}	VDDA18A および VDDA18B の 1.8V 合計電源電流	電力モード 9:デュアル チャネル デバイスをシングル DAC として設定、F_{INPUT} = 20.48GSPS、JMODE 14 (8 ビット分解能)、F_{DAC} = 20.48GSPS、F_{OUT} = 7997MHz、DES モード		58		mA
I_{VDDIO}	VDDIO 用 1.8V 電源電流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18、および VDDR18 用 1.8V 合計電源電流			153		
I_{VDDL}	VDDLB および VDDLA の 1.0V 合計電源電流			311		
I_{VDDCLK}	VDDCLK10 の 1.0V 電源電流			497		
I_{DVDD}	VDDDIG、VDDT、VDDEB、および VDDEA の 1.0V 電源電流			2035		
I_{VEE}	VEEAM18 および VEEBM18 の −1.8V 合計電源電流			70		
P_{DIS}	全消費電力			3351		mW

Copyright © 2026 Texas Instruments Incorporated

特に記述のない限り、T_A = +25°C における代表値、ならびに動作自由空間温度範囲における最小値および最大値を示します。供給電圧は代表値、2 チャネル構成、F_{INPUT} = 2.56GSPS、JMODE 1、8b/10b エンコーディング、4 倍補間、F_{CLK} = 10.24GHz、F_{OUT} = 2997MHz、NRZ モード、$I_{FSSWITCH}$ = 20.5mA の条件です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VDDA18}	VDDA18A および VDDA18B の 1.8V 合計電源電流	電力モード 10:デュアル チャネル デバイスをシングル DAC としてプログラム、F_{INPUT} = 15.6GSPS、JMODE 8 (12 ビット分解能)、64b/66b エンコーディング、F_{DAC} = 15.6GSPS、F_{OUT} = 7997MHz、DES モード		58		mA
I_{VDDIO}	VDDIO 用 1.8V 電源電流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18、および VDDR18 用 1.8V 合計電源電流			158		
I_{VDDL}	VDDLB および VDDLA の 1.0V 合計電源電流			250		
I_{VDDCLK}	VDDCLK10 の 1.0V 電源電流			392		
I_{DVDD}	VDDDIG、VDDT、VDDEB、および VDDEA の 1.0V 電源電流			1939		
I_{VEE}	VEEAM18 および VEEBM18 の −1.8V 合計電源電流			70		
P_{DIS}	全消費電力			3098		mW
I_{VDDA18}	VDDA18A および VDDA18B の 1.8V 合計電源電流	電力モード 11:シングル チャネル デバイス (DAC39RFSxx)、F_{INPUT} = 10.24GSPS、JMODE 0、2 倍 DES 補間、F_{DAC} = 20.48GSPS、F_{OUT} = 7997MHz、DES モード		58		mA
I_{VDDIO}	VDDIO 用 1.8V 電源電流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18、および VDDR18 用 1.8V 合計電源電流			154		
I_{VDDL}	VDDLB および VDDLA の 1.0V 合計電源電流			162		
I_{VDDCLK}	VDDCLK10 の 1.0V 電源電流			310		
I_{DVDD}	VDDDIG、VDDT、VDDEB、および VDDEA の 1.0V 電源電流			1867		
I_{VEE}	VEEAM18 および VEEBM18 の −1.8V 合計電源電流			70		
P_{DIS}	全消費電力			2848		mW
I_{VDDA18}	VDDA18A および VDDA18B の 1.8V 合計電源電流	電力モード 12:シングル チャネル デバイス (DAC39RFSxx)、F_{INPUT} = 20.48GSPS、JMODE 14 (8 ビット分解能)、F_{DAC} = 20.48GSPS、F_{OUT} = 7997MHz、DES モード		58		mA
I_{VDDIO}	VDDIO 用 1.8V 電源電流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18、および VDDR18 用 1.8V 合計電源電流			154		
I_{VDDL}	VDDLB および VDDLA の 1.0V 合計電源電流			162		
I_{VDDCLK}	VDDCLK10 の 1.0V 電源電流			309		
I_{DVDD}	VDDDIG、VDDT、VDDEB、および VDDEA の 1.0V 電源電流			1709		
I_{VEE}	VEEAM18 および VEEBM18 の −1.8V 合計電源電流			70		
P_{DIS}	全消費電力			2689		mW

Copyright © 2026 Texas Instruments Incorporated

特に記述のない限り、T_A = +25°C における代表値、ならびに動作自由空間温度範囲における最小値および最大値を示します。供給電圧は代表値、2 チャネル構成、F_{INPUT} = 2.56GSPS、JMODE 1、8b/10b エンコーディング、4 倍補間、F_{CLK} = 10.24GHz、F_{OUT} = 2997MHz、NRZ モード、$I_{FSSWITCH}$ = 20.5mA の条件です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VDDA18}	VDDA18A および VDDA18B の 1.8V 合計電源電流	電力モード 13:シングル チャネル デバイス (DAC39RFSxx)、F_{INPUT} = 15.6GSPS、JMODE 8 (12 ビット分解能)、64b/66b エンコーディング、F_{DAC} = 15.6GSPS、F_{OUT} = 7997MHz、DES モード		58		mA
I_{VDDIO}	VDDIO 用 1.8V 電源電流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18、および VDDR18 用 1.8V 合計電源電流			159		
I_{VDDL}	VDDLB および VDDLA の 1.0V 合計電源電流			130		
I_{VDDCLK}	VDDCLK10 の 1.0V 電源電流			245		
I_{DVDD}	VDDDIG、VDDT、VDDEB、および VDDEA の 1.0V 電源電流			1684		
I_{VEE}	VEEAM18 および VEEBM18 の −1.8V 合計電源電流			70		
P_{DIS}	全消費電力			2577		mW
P_{DIS}	全消費電力	電力モード 14:スリープ、MODE [1:0] = 0b11。		165		mW

Copyright © 2026 Texas Instruments Incorporated

6.8 タイミング要件

特に記載のない限り、T_A = +25°C での標準値、動作周囲温度範囲における最小値および最大値、標準電源電圧、f_{CLK} = 10.24GHz、I_{FS_SWITCH} = 20.5mA、単一トーン振幅 = 0dBFS、ディザリングおよび DEM 有効時の値を示します。

			最小値	公称値	最大値	単位
入力クロック (CLK+、CLK-)						
f_{CLK}	入力クロック周波数		800		10400	MHz
SYSREF (SYSREF+、SYSREF-)						
t_{SYSREF_LOW}	SYSREF Low タイミング		5*t_{CLK} + 1ns			
t_{SYSREF_HIGH}	SYSREF High タイミング		5*t_{CLK} + 1ns			
$t_{INV(SYSREF)}$	SYSREF_POS ステータス レジスタで測定された、セットアップ時間またはホールド時間 の違反を示す CLK± 周期の無効な SYSREF キャプチャ領域の幅(1)			13		ps
$t_{INV(TEMP)}$	温度範囲全体にわたる無効な SYSREF キャプチャ領域のドリフト、正の数値は SYSREF_POS レジスタの MSB へのシフトを示す			-0.05		ps/°C
$t_{INV(VA11)}$	VDDSYS18 電源電圧に対する無効な SYSREF キャプチャ領域のドリフト、正の数値は SYSREF_POS レジスタの MSB へのシフトを示す			0.19		ps/mV
$t_{STEP(SP)}$	SYSREF_POS LSB の遅延	SYSREF_ZOOM = 0		20		ps
		SYSREF_ZOOM = 1		9		
$DC_{(SYSREF)}$	周期的な SYSREF 信号を使用する場合の SYSREF デューティ サイクル (アサート)	周期的な SYSREF 信号を使用する場合の SYSREF デューティ サイクル (アサート)		50%	55%	
$t_{(PH_SYS)}$	SYSREF± 立ち上がりエッジ イベント後の SYSREF± の最小アサート期間			8		ns
RESET						
t_{RESET}	最小 $\overline{\text{RESET}}$ パルス幅			100		ns
TXENABLE						
$t_{TXENABLE_LOW}$	TXENABLE Low 時間		102			クロック サイクル

(1) SYSREF_POS を使用して、SYSREF キャプチャの最適な SYSREF_SEL 値を選択できます。SYSREF ウィンドウ処理の詳細については、「SYSREF 位置検出器」セクションを参照してください。$t_{INV(SYSREF)}$ で指定される無効領域は、SYSREF_SEL で測定された CLK± 周期 (t_{CLK}) の部分を示し、セットアップおよびホールド違反の原因となる可能性があります。公称条件 (最適な SYSREF_SEL を見つけるために使用) からシステム動作条件全体にわたり、SYSREF± と CLK± とのタイミング スキューが、SYSREF_POS で選択された SYSREF_SEL 位置で無効な領域を生じないことを確認します。無効な領域が発生する場合、CLK± と SYSREF± との間のスキューを追跡するために、温度に依存する SYSREF_SEL 選択が必要になることがあります。

Copyright © 2026 Texas Instruments Incorporated

6.9 スイッチング特性

特に記載のない限り、T_A = +25°C での標準値、動作周囲温度範囲における最小値および最大値、標準電源電圧、f_{CLK} = 10.242GHz、I_{FS_SWITCH} = 20.5mA、単一トーン振幅 = 0dBFS、ディザリングおよび DEM 有効時の値を示します。

パラメータ		テスト条件	最小値	標準値	最大値	単位
JESD204C SERDES インターフェイス [15:0]SRX-/+						
f_{SERDES}	SERDES ビット レート(4)		.78125		12.8	Gbps
UI	単位間隔		78.125		1280	ps
レイテンシー						
T_{DAC}	DAC クロック周期			1 / f_{CLK}		s
$t_{PD(RX)}$	Serdes RX アナログ伝搬遅延	Serdes RX アナログ伝搬遅延		215		ps
t_{PDI}	入力クロックの立ち上がりエッジクロスオーバーから出力サンプルクロスオーバーまで	入力クロックの立ち上がりエッジクロスオーバーから出力サンプルクロスオーバーまで		500		ps
t_{DACLAT}	SYSREF 立ち上がりエッジから DAC 出力までのデジタルパスのレイテンシー			XLS 計算ツールを参照		
$t_{RELEASE}$	SYSREF の立ち上がりエッジから弾性バッファリリースまでのレイテンシー			XLS 計算ツールを参照		
t_{RXIN}	SERDES 入力から弾性バッファリリースまでのレイテンシー			XLS 計算ツールを参照		
t_{TXEN_OUTPUT}	TXENABLE 立ち上がりエッジから DAC データ出力まで	FAST_TX_EN = 0		条件によって変化(1)		CLK サイクル
		FAST_TX_EN = 1 および QUIET_TX_DISABLE = 0			93	
		FAST_TX_EN = 1 および QUIET_TX_DISABLE = 1			133	
t_{TXEN_MUTE}	TXENABLE 立ち下がりエッジから DAC 出力ミュートまで	QUIET_TX_DISABLE = 0			93	
		QUIET_TX_DISABLE = 1			133	
t_{TXEN_PW}	必要な TXENABLE パルス幅	FAST_TX_EN = 0(2)	102			
		FAST_TX_EN = 1(3)	20			
シリアル プログラミング インターフェイス						
F_{s_c}	シリアル クロック周波数				15.625	MHz
F_{s_cts}	シリアル クロック周波数温度センサ	TS_TEMP レジスタの読み取り			1	MHz
t_P	シリアル クロック周期		64			ns
t_{PH}	シリアル クロックパルス幅 高		32			ns
t_{PL}	シリアル クロックパルス幅 低		32			ns
t_{SU}	SDI のセットアップ時間		30			ns
t_H	SDI のホールド時間		3			ns
t_{IZ}	SDI TRI-STATE			3		ns
t_{ODZ}	SDO は TRI-STATE に駆動されます	200fF の負荷		5		ns
t_{OZD}	駆動される SDO TRI-STATE	200fF の負荷		3		ns
t_{OD}	SDO 出力遅延	200fF の負荷		3		ns
t_{CSS}	$\overline{SCS}$ 設定		30			ns
t_{CSH}	$\overline{SCS}$ ホールド		3			ns
t_{RS}	シリアル クロックまでの $\overline{RESET}$ 設定	$\overline{RESET}$ high	30			ns
t_{RH}	シリアル クロックまでの $\overline{RESET}$ ホールド	$\overline{RESET}$ high	30			ns
t_{IAG}	相互アクセスギャップ		30			ns

Copyright © 2026 Texas Instruments Incorporated

6.9 スイッチング特性 (続き)

特に記載のない限り、T_A = +25°C での標準値、動作周囲温度範囲における最小値および最大値、標準電源電圧、f_{CLK} = 10.242GHz、I_{FS_SWITCH} = 20.5mA、単一トーン振幅 = 0dBFS、ディザリングおよび DEM 有効時の値を示します。

パラメータ		テスト条件	最小値	標準値	最大値	単位
高速再設定 (FR) インターフェイス						
F_{FRCLK}	FRCLK 周波数				200	MHz
t_{FRCLK_P}	FRCLK 周期		5			ns
t_{FRCLK_PH}	FRCLK パルス幅 High		2			ns
t_{FRCLK_PL}	FRCLK パルス幅 Low		2			ns
t_{FRDI_SU}	FRDI のセットアップ時間		1			ns
t_{FRDI_H}	FRDI のホールド時間		1			ns
$t_{\overline{FRCS}_SU}$	$\overline{FRCS}$ セットアップ時間		1			ns
$t_{\overline{FRCS}_H}$	$\overline{FRCS}$ ホールド時間		1			ns
t_{FR_IAG}	相互アクセスギャップ		1			ns

(1) この遅延は、JESD リンクの起動に要する時間およびモード依存のデバイス レイテンシによって決まります。リンク層の起動時間およびモード依存レイテンシ (T_{DAC_LAT}) を、レイテンシ計算用スプレッドシートから加算します。
(2) この値未満のパルス幅では、動作は未定義となります。
(3) この時間未満のパルス幅では、出力に影響を与えない可能性があります。
(4) 2Gbps 未満の場合、8b/10b エンコーディングが必要です

Copyright © 2026 Texas Instruments Incorporated

6.10 SPI および FRI タイミング図

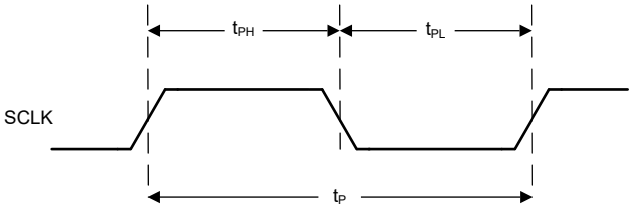


図 6-1. SPI クロックタイミング図

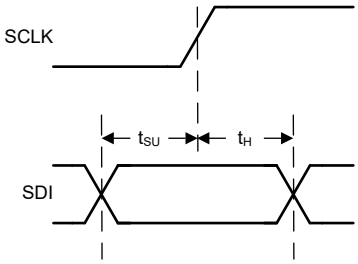


図 6-2. SPI データ入力タイミング図

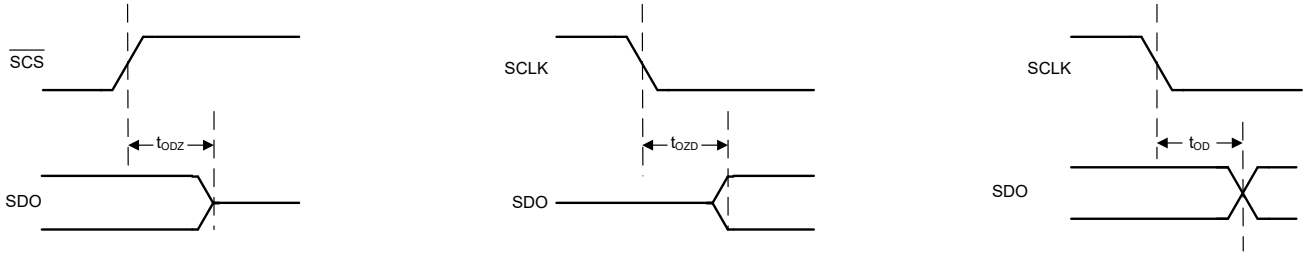


図 6-3. SPI データ出力タイミング図

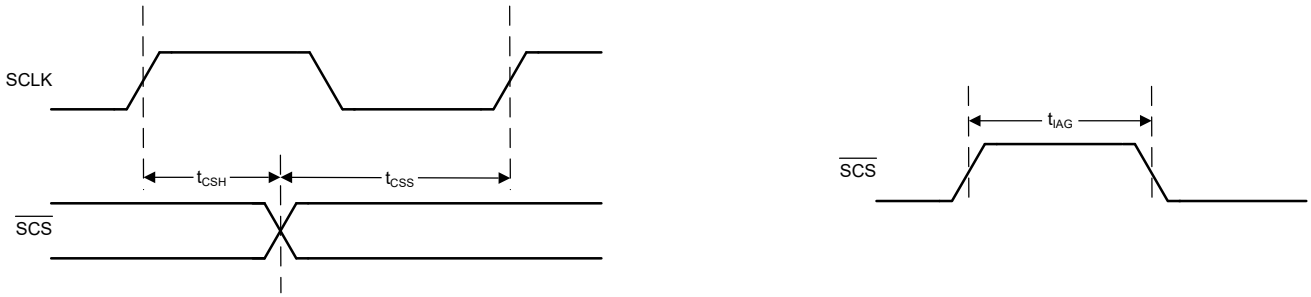


図 6-4. SPI チップセレクトタイミング図

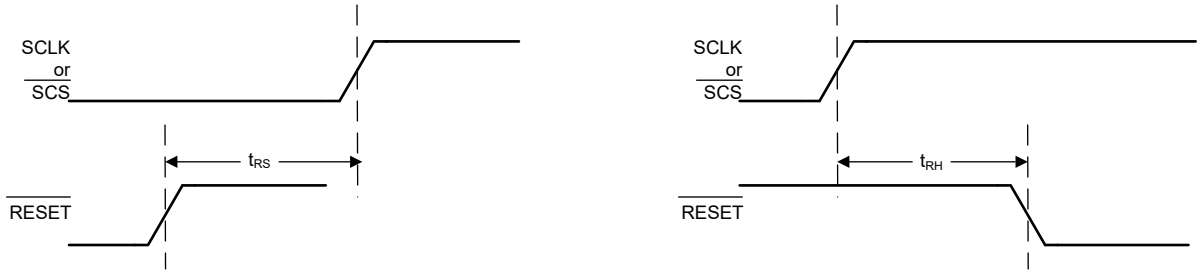


図 6-5. $\overline{\text{RESET}}$ タイミング図

Copyright © 2026 Texas Instruments Incorporated

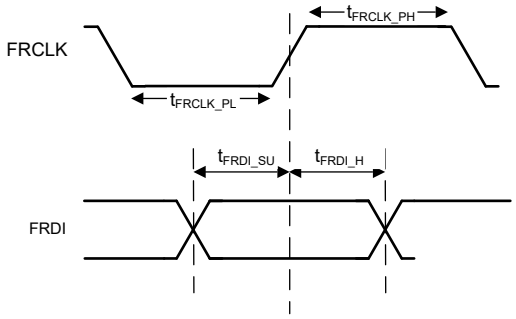


図 6-6. FRDI タイミング図

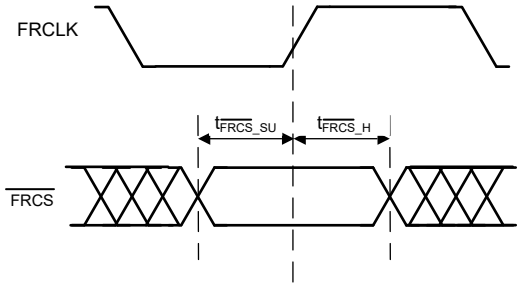
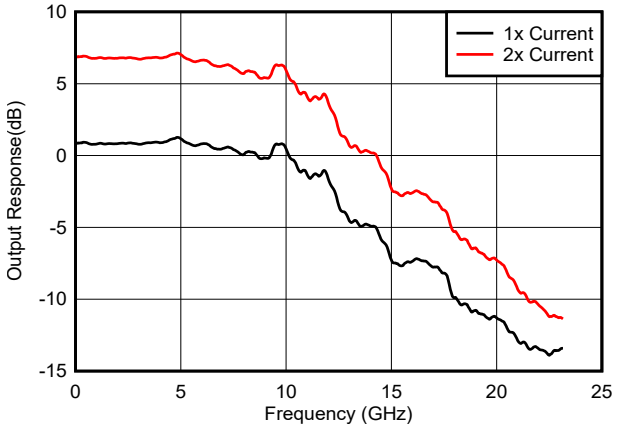


図 6-7. FRCS タイミング図

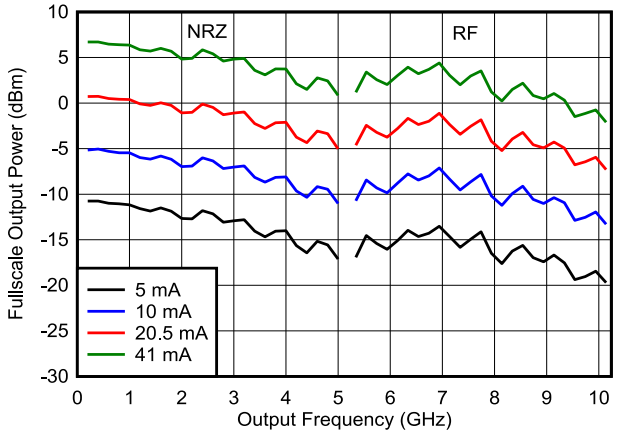
6.11 代表的特性：帯域幅と DC 直線性

特に記載のない限り、T_A = +25°C での標準値、動作周囲温度範囲における最小値および最大値、標準電源電圧、f_{CLK} = 10.24GHz、I_{FS_SWITCH} = 20.5mA、単一トーン振幅 = 0dBFS、ディザリングおよび DEM 有効時の値を示します。



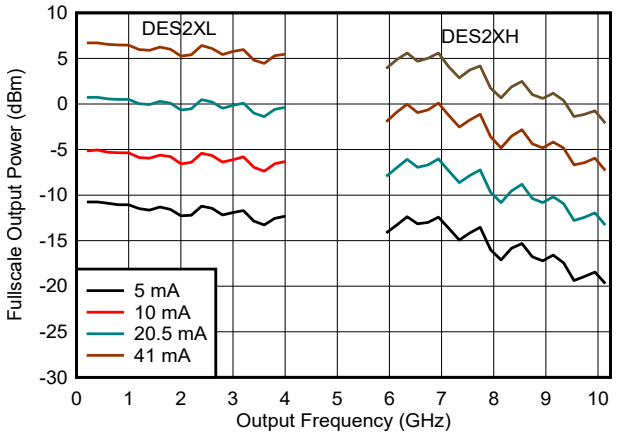
Sin (x) /x 応答、PCB、ケーブル損失は含まれません。

図 6-8. 出力応答と周波数との関係



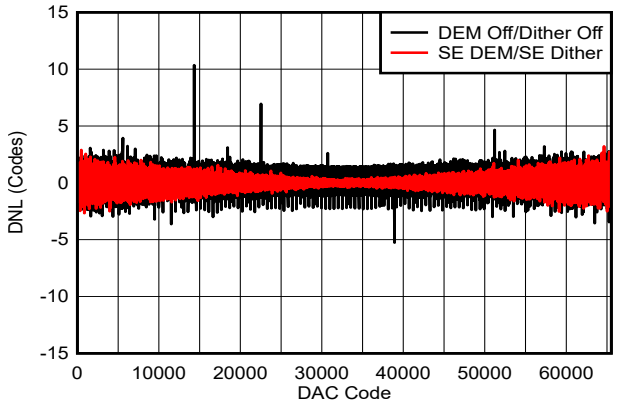
PCB 損失を含みます。外部バランとケーブル損失を削除。

図 6-9. 出力電力と周波数との関係 (NRZ/RF モード)



PCB 損失を含みます。外部バランとケーブル損失を削除。

図 6-10. 周波数と出力電力の関係 (DES2X モード)



I_{FS_SWITCH} = 20.5mA

図 6-11. DNL と DAC コードとの関係：20.5mA

Copyright © 2026 Texas Instruments Incorporated

6.11 代表的特性：帯域幅と DC 直線性 (続き)

特に記載のない限り、T_A = +25°C での標準値、動作周囲温度範囲における最小値および最大値、標準電源電圧、f_{CLK} = 10.24GHz、I_{FS_SWITCH} = 20.5mA、単一トーン振幅 = 0dBFS、ディザリングおよび DEM 有効時の値を示します。

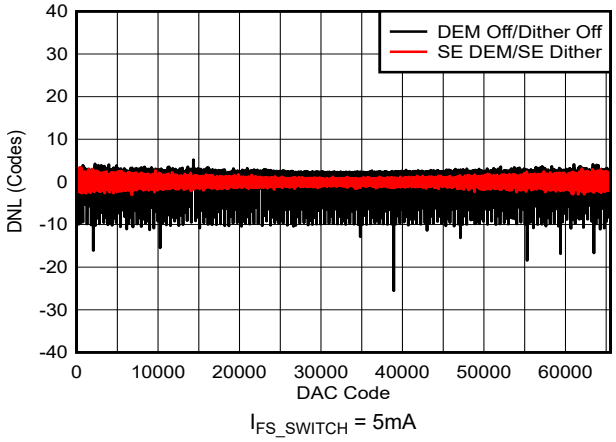


図 6-12. DNL と DAC コードとの関係：5mA

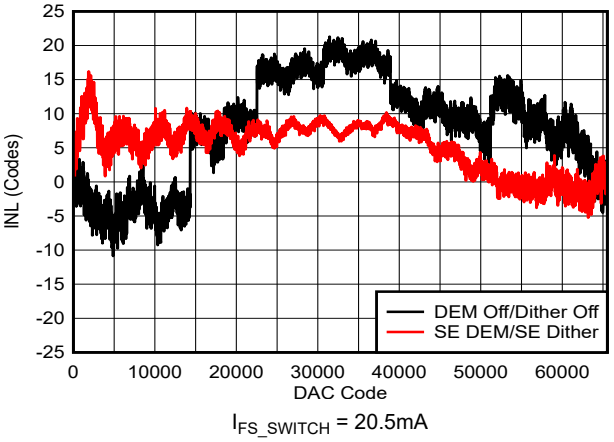


図 6-13. INL と DAC コードとの関係：20.5mA

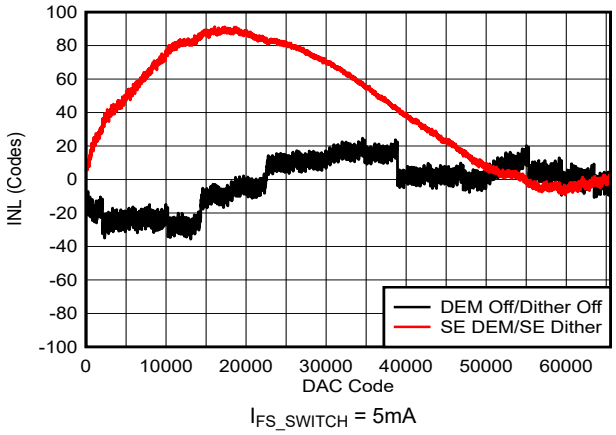


図 6-14. INL と DAC コードとの関係：5mA

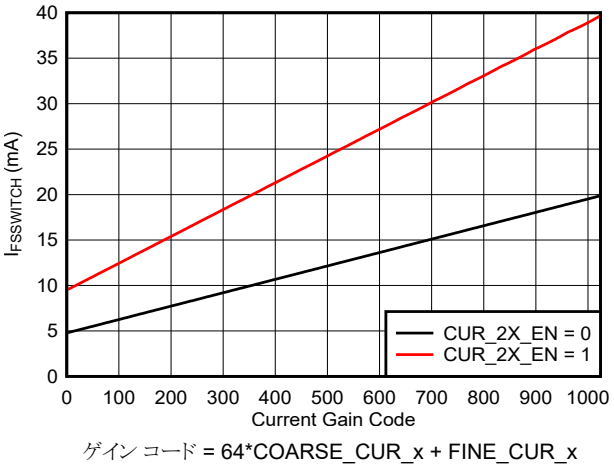
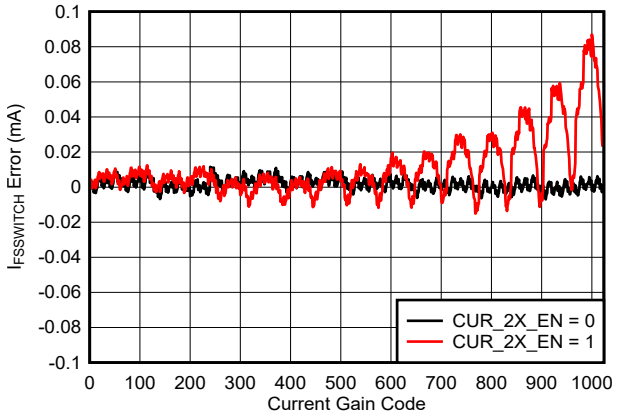


図 6-15. I_{FS_SWITCH} とゲイン コードとの関係

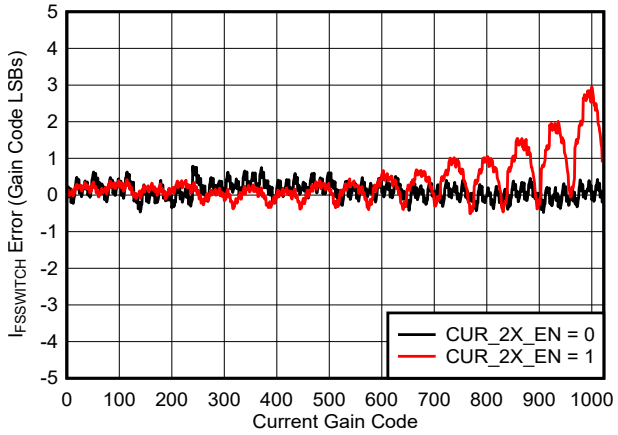
6.11 代表的特性：帯域幅と DC 直線性 (続き)

特に記載のない限り、T_A = +25°C での標準値、動作周囲温度範囲における最小値および最大値、標準電源電圧、f_{CLK} = 10.24GHz、I_{FS_SWITCH} = 20.5mA、単一トーン振幅 = 0dBFS、ディザリングおよび DEM 有効時の値を示します。



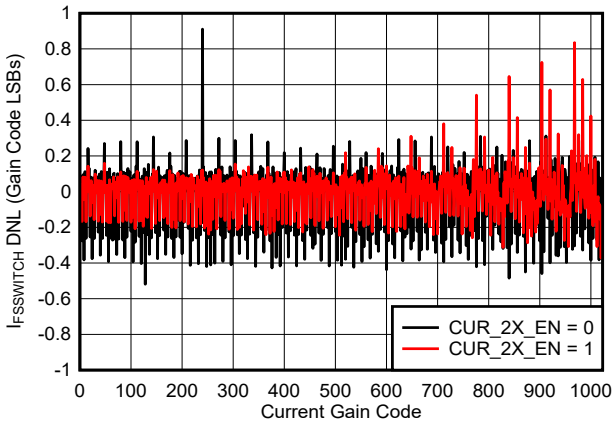
ゲイン コード = 64 × COARSE_CUR_x + FINE_CUR_x、誤差は線形エンドポイント フィットに対する相対値

図 6-16. I_{FS_SWITCH} 誤差とゲイン コードとの関係



ゲイン コード = 64 × COARSE_CUR_x + FINE_CUR_x、誤差は線形エンドポイント フィットに対する相対値

図 6-17. I_{FS_SWITCH} 誤差とゲイン コードとの関係



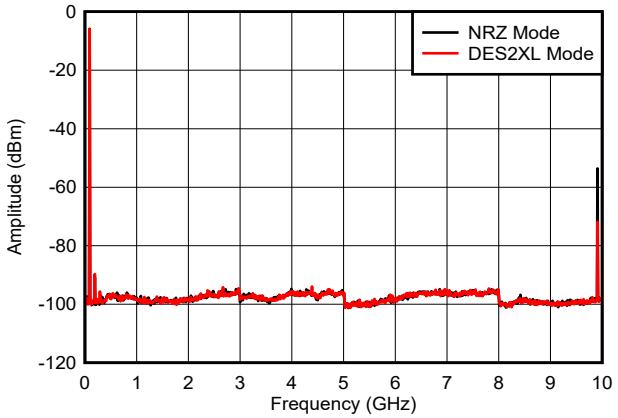
ゲイン コード = 64 × COARSE_CUR_x + FINE_CUR_x、誤差は線形エンドポイント フィットに対する相対値

図 6-18. I_{FS_SWITCH} 誤差微分非直線性とゲイン コードとの関係

Copyright © 2026 Texas Instruments Incorporated

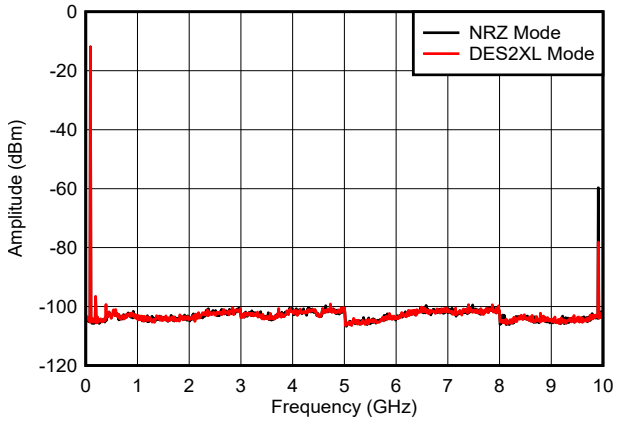
6.12 代表的特性：シングル トーン スペクトル

特に記載のない限り、T_A = +25°C での標準値、動作周囲温度範囲における最小値および最大値、標準電源電圧、f_{CLK} = 10GHz、I_{FS_SWITCH} = 20.5mA、単一トーン振幅 = 0dBFS、ディザリングおよび DEM 有効時の値を示します。



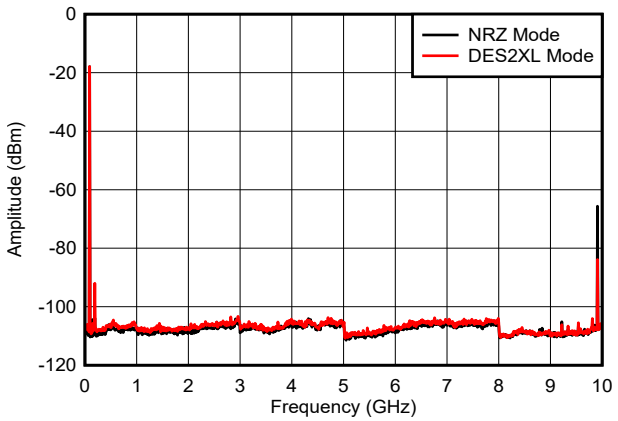
PCB、ケーブル、バランの損失を含みます

図 6-19. f_{OUT} = 97MHz、0dBFS



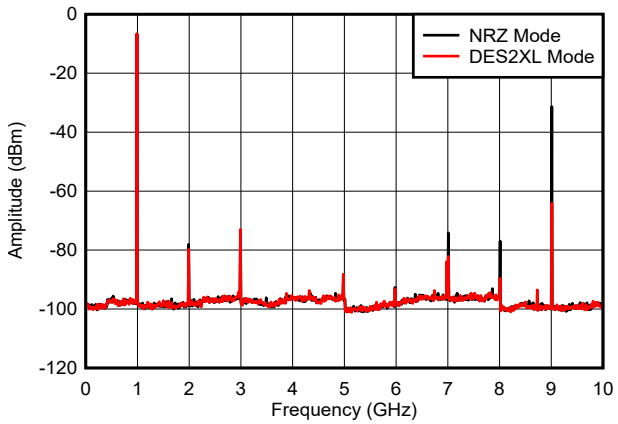
PCB、ケーブル、バランの損失を含みます

図 6-20. f_{OUT} = 97MHz、-6dBFS



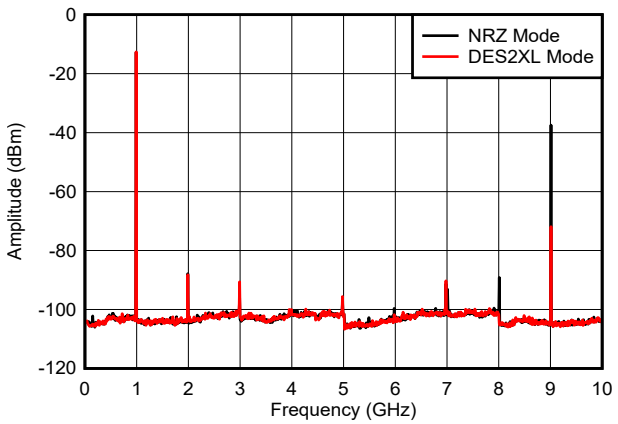
PCB、ケーブル、バランの損失を含みます

図 6-21. f_{OUT} = 97MHz、-12dBFS



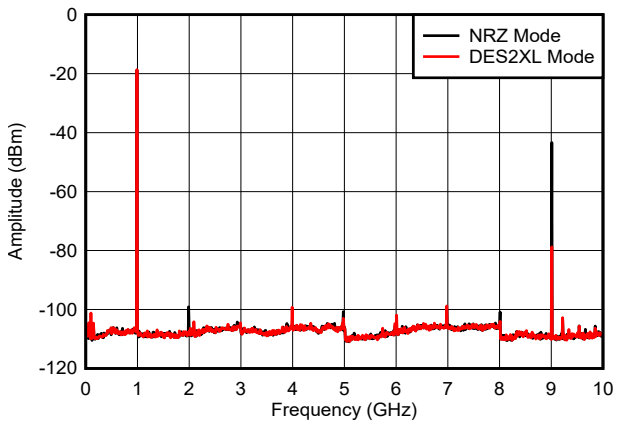
PCB、ケーブル、バランの損失を含みます

図 6-22. f_{OUT} = 997MHz、0dBFS



PCB、ケーブル、バランの損失を含みます

図 6-23. f_{OUT} = 997MHz、-6dBFS



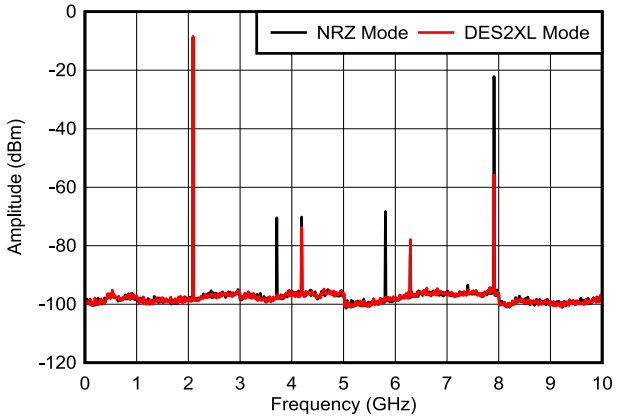
PCB、ケーブル、バランの損失を含みます

図 6-24. f_{OUT} = 997MHz、-12dBFS

Copyright © 2026 Texas Instruments Incorporated

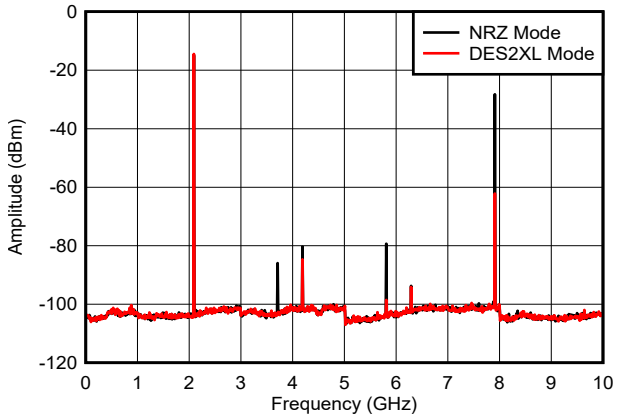
6.12 代表的特性：シングル トーン スペクトル (続き)

特に記載のない限り、T_A = +25°C での標準値、動作周囲温度範囲における最小値および最大値、標準電源電圧、f_{CLK} = 10GHz、I_{FS_SWITCH} = 20.5mA、単一トーン振幅 = 0dBFS、ディザリングおよび DEM 有効時の値を示します。



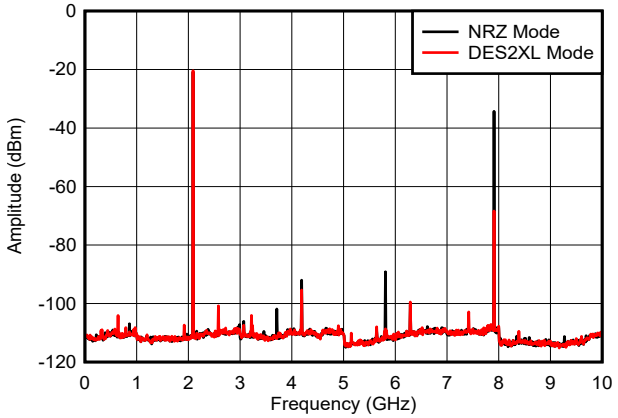
PCB、ケーブル、バランの損失を含みます

図 6-25. f_{OUT} = 2097MHz、0dBFS



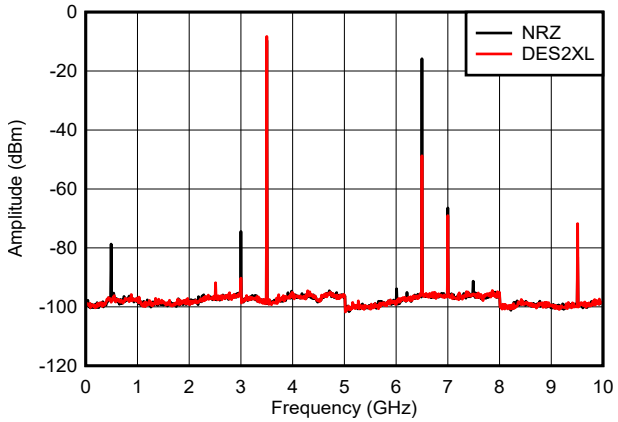
PCB、ケーブル、バランの損失を含みます

図 6-26. f_{OUT} = 2097MHz、-6dBFS



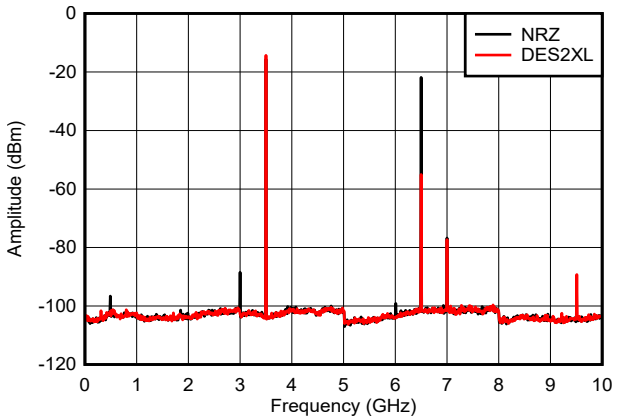
PCB、ケーブル、バランの損失を含みます

図 6-27. f_{OUT} = 2097MHz、-12dBFS



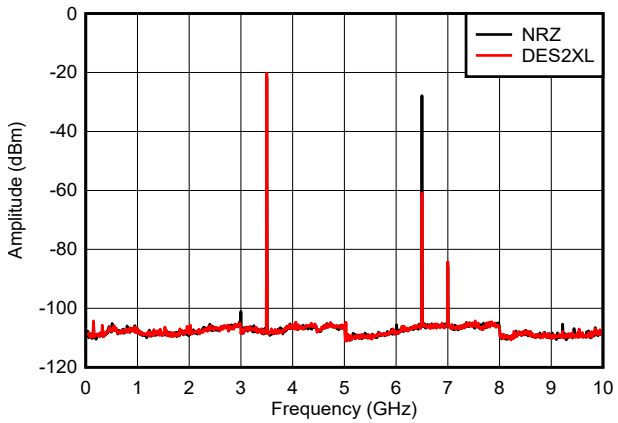
PCB、ケーブル、バランの損失を含みます

図 6-28. f_{OUT} = 3497MHz、0dBFS



PCB、ケーブル、バランの損失を含みます

図 6-29. f_{OUT} = 3497MHz、-6dBFS



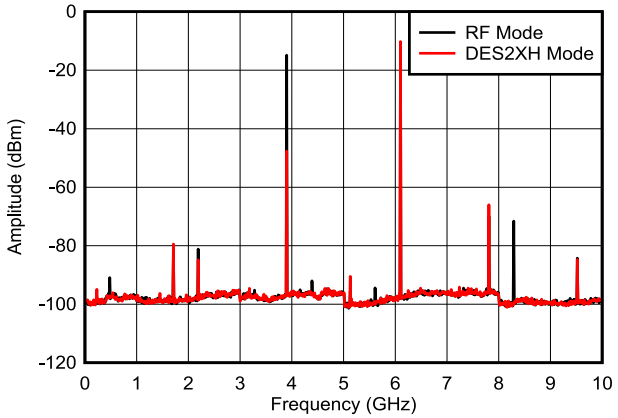
PCB、ケーブル、バランの損失を含みます

図 6-30. f_{OUT} = 3497MHz、-12dBFS

Copyright © 2026 Texas Instruments Incorporated

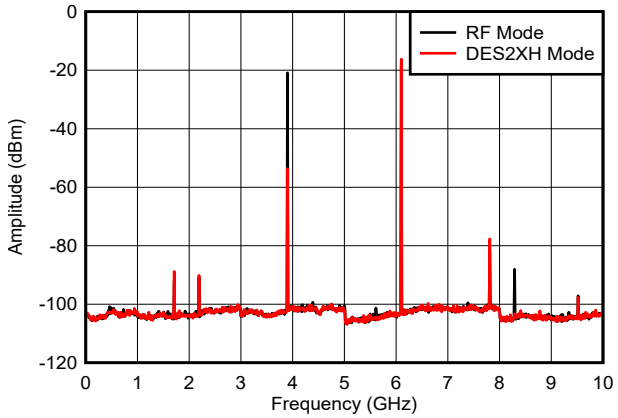
6.12 代表的特性：シングル トーン スペクトル (続き)

特に記載のない限り、T_A = +25°C での標準値、動作周囲温度範囲における最小値および最大値、標準電源電圧、f_{CLK} = 10GHz、I_{FS_SWITCH} = 20.5mA、単一トーン振幅 = 0dBFS、ディザリングおよび DEM 有効時の値を示します。



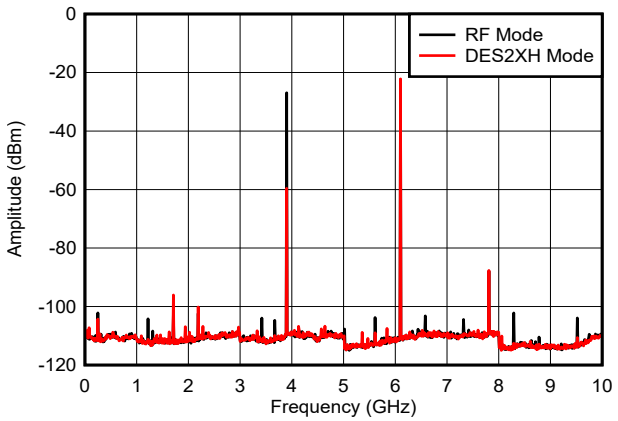
PCB、ケーブル、バランの損失を含みます

図 6-31. f_{OUT} = 6097MHz、0dBFS



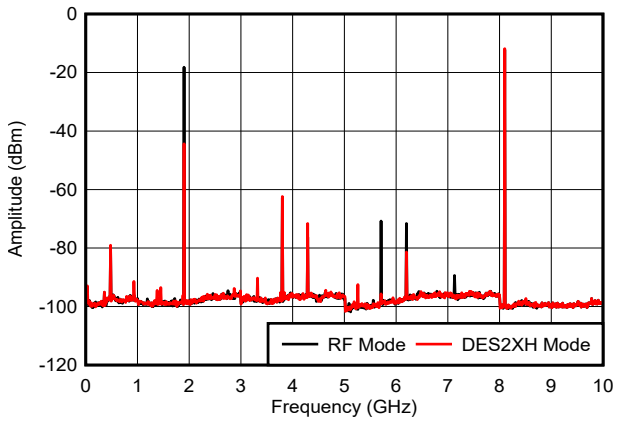
PCB、ケーブル、バランの損失を含みます

図 6-32. f_{OUT} = 6097MHz、-6dBFS



PCB、ケーブル、バランの損失を含みます

図 6-33. f_{OUT} = 6097MHz、-12dBFS



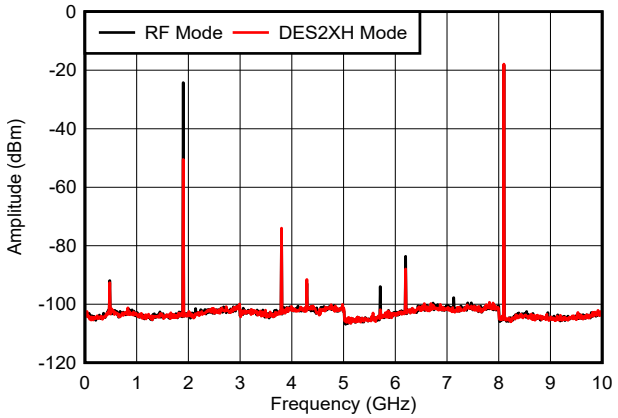
PCB、ケーブル、バランの損失を含みます

図 6-34. f_{OUT} = 8097MHz、0dBFS

Copyright © 2026 Texas Instruments Incorporated

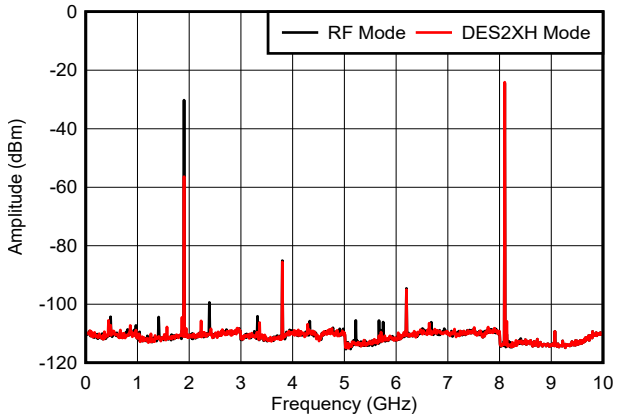
6.12 代表的特性：シングル トーン スペクトル (続き)

特に記載のない限り、T_A = +25°C での標準値、動作周囲温度範囲における最小値および最大値、標準電源電圧、f_{CLK} = 10GHz、I_{FS_SWITCH} = 20.5mA、単一トーン振幅 = 0dBFS、ディザリングおよび DEM 有効時の値を示します。



PCB、ケーブル、バランの損失を含みます

図 6-35. f_{OUT} = 8097MHz、-6dBFS



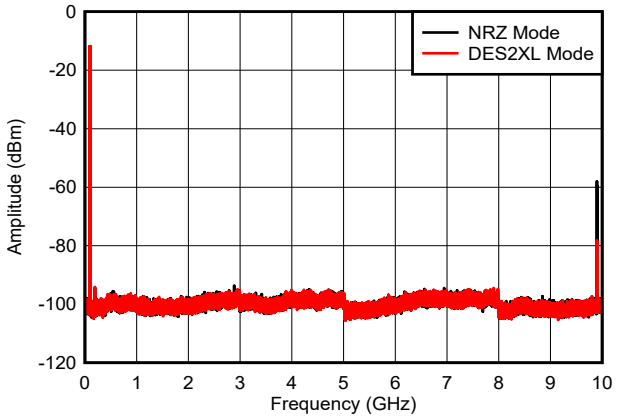
PCB、ケーブル、バランの損失を含みます

図 6-36. f_{OUT} = 8097MHz、-12dBFS

Copyright © 2026 Texas Instruments Incorporated

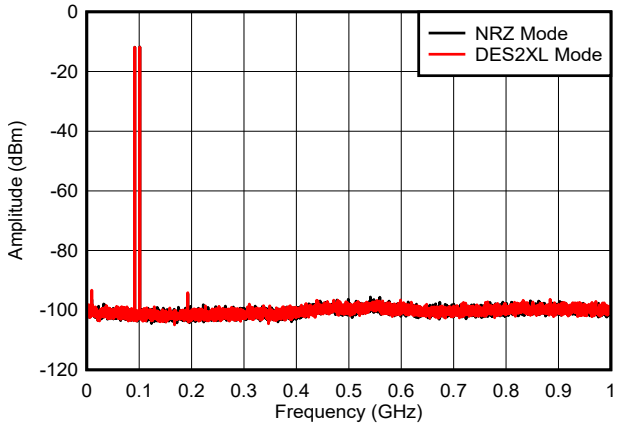
6.13 代表的特性：デュアル トーン スペクトル

特に記載のない限り、T_A = +25°C での標準値、動作周囲温度範囲における最小値および最大値、標準電源電圧、f_{CLK} = 10GHz、I_{FS_SWITCH} = 20.5mA、単一トーン振幅 = 0dBFS、ディザリングおよび DEM 有効時の値を示します。



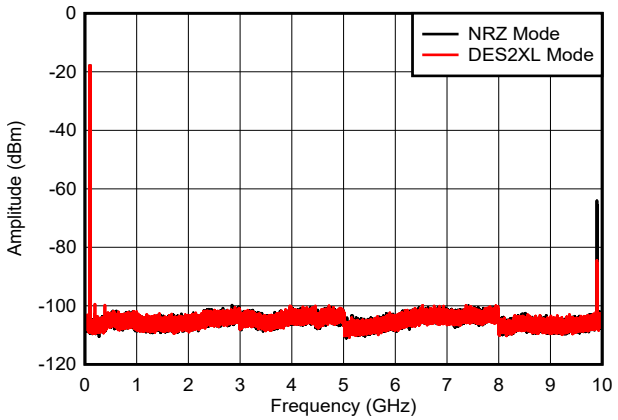
トーン間隔は 10MHz で、PCB、ケーブル、およびバランの損失が含まれます

図 6-37. デュアル トーン、f_{OUT} = 97MHz、0dBFS (0 - f_{CLK})



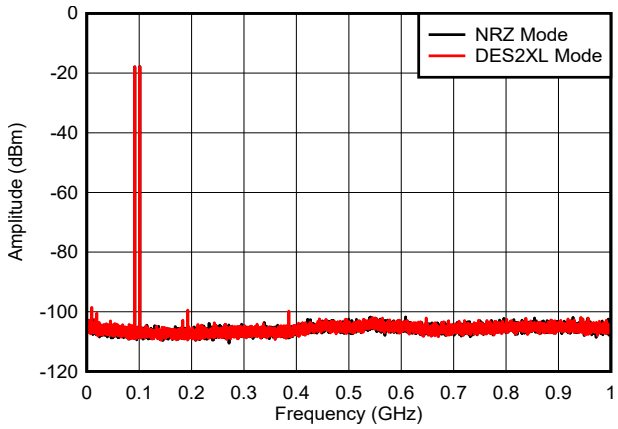
トーン間隔は 10MHz で、PCB、ケーブル、およびバランの損失が含まれます

図 6-38. デュアル トーン、f_{OUT} = 97MHz、0dBFS (0 ～ 1GHz)



トーン間隔は 10MHz で、PCB、ケーブル、およびバランの損失が含まれます

図 6-39. デュアル トーン、f_{OUT} = 97MHz、-6dBFS (0 ～ f_{CLK})



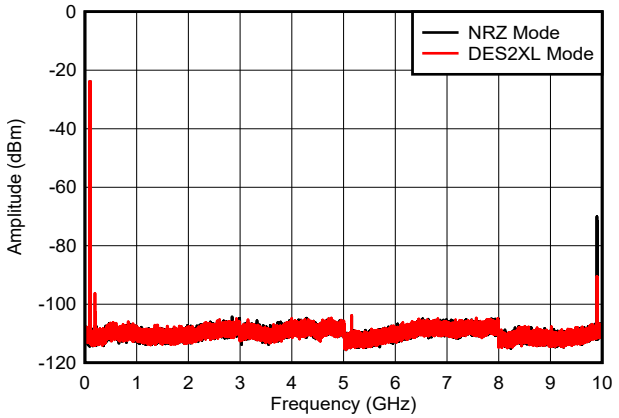
トーン間隔は 10MHz で、PCB、ケーブル、およびバランの損失が含まれます

図 6-40. デュアル トーン、f_{OUT} = 97MHz、-6dBFS (0 ～ 1GHz)

Copyright © 2026 Texas Instruments Incorporated

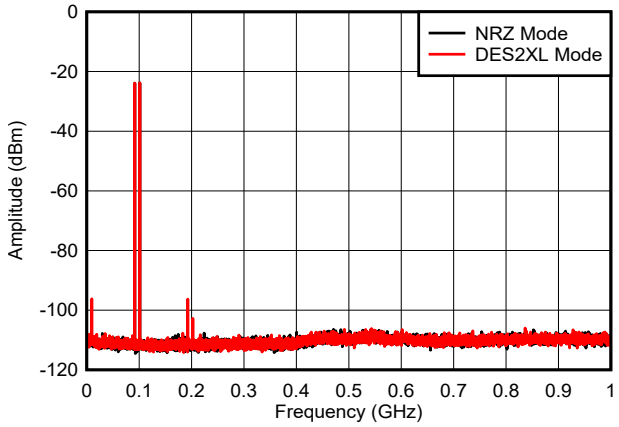
6.13 代表的特性：デュアル トーン スペクトル (続き)

特に記載のない限り、T_A = +25°C での標準値、動作周囲温度範囲における最小値および最大値、標準電源電圧、f_{CLK} = 10GHz、I_{FS_SWITCH} = 20.5mA、単一トーン振幅 = 0dBFS、ディザリングおよび DEM 有効時の値を示します。



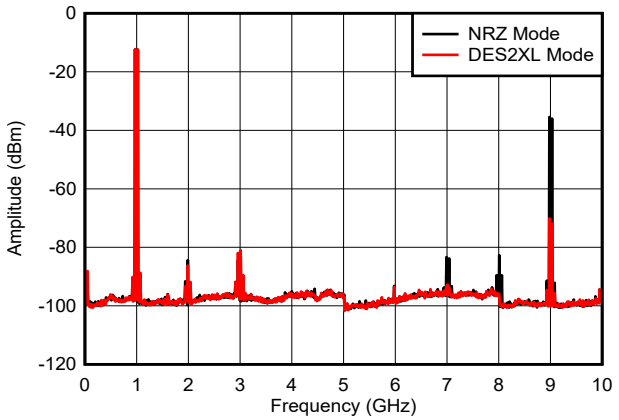
トーン間隔は 10MHz で、PCB、ケーブル、およびバランの損失が含まれます

図 6-41. デュアル トーン、f_{OUT} = 97MHz、-12dBFS (0 ～ f_{CLK})



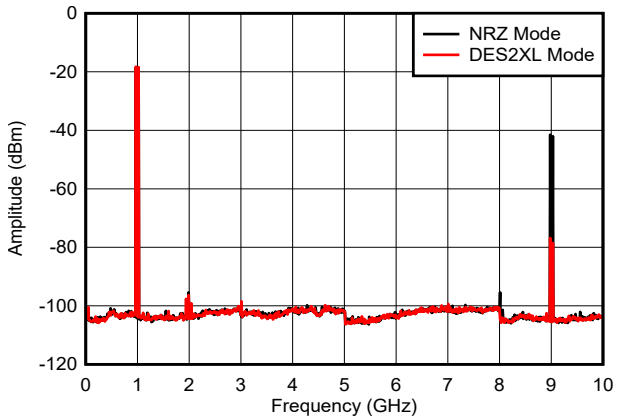
トーン間隔は 10MHz で、PCB、ケーブル、およびバランの損失が含まれます

図 6-42. デュアル トーン、f_{OUT} = 97MHz、-6dBFS (0 ～ 1GHz)



トーン間隔は 50MHz で、PCB、ケーブル、およびバランの損失が含まれます

図 6-43. デュアル トーン、f_{OUT} = 997MHz、0dBFS



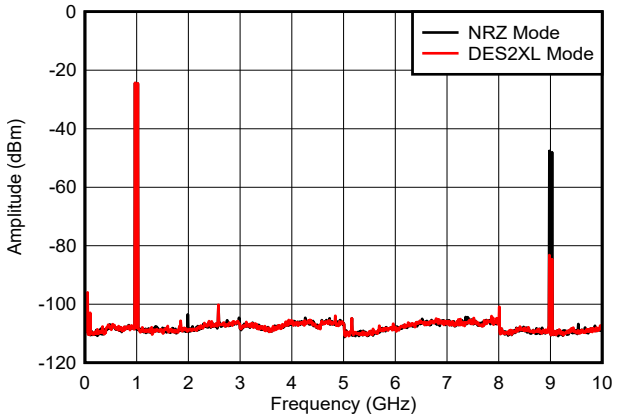
トーン間隔は 50MHz で、PCB、ケーブル、およびバランの損失が含まれます

図 6-44. デュアル トーン、f_{OUT} = 997MHz、-6dBFS

Copyright © 2026 Texas Instruments Incorporated

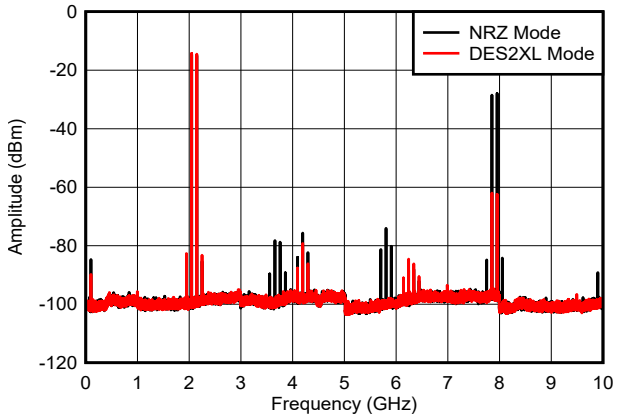
6.13 代表的特性：デュアル トーン スペクトル (続き)

特に記載のない限り、T_A = +25°C での標準値、動作周囲温度範囲における最小値および最大値、標準電源電圧、f_{CLK} = 10GHz、I_{FS_SWITCH} = 20.5mA、単一トーン振幅 = 0dBFS、ディザリングおよび DEM 有効時の値を示します。



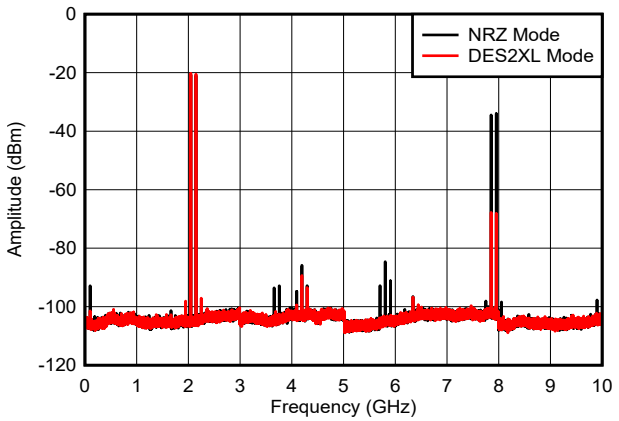
トーン間隔は 50MHz で、PCB、ケーブル、およびバランの損失が含まれます

図 6-45. デュアル トーン、f_{OUT} = 997MHz、-12dBFS



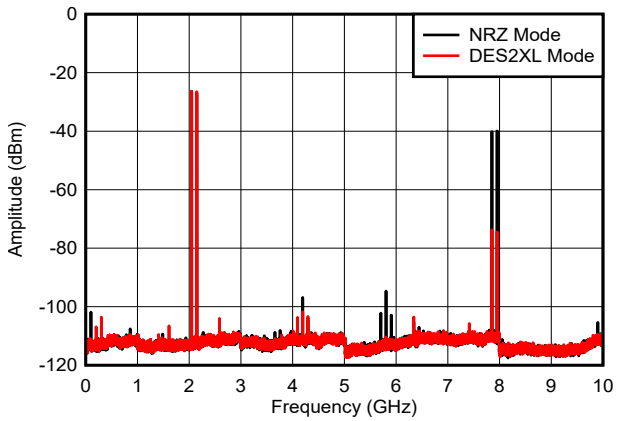
トーン間隔は 100MHz で、PCB、ケーブル、およびバランの損失が含まれます

図 6-46. デュアル トーン、f_{OUT} = 2097MHz、0dBFS



トーン間隔は 100MHz で、PCB、ケーブル、およびバランの損失が含まれます

図 6-47. デュアル トーン、f_{OUT} = 2097MHz、-6dBFS



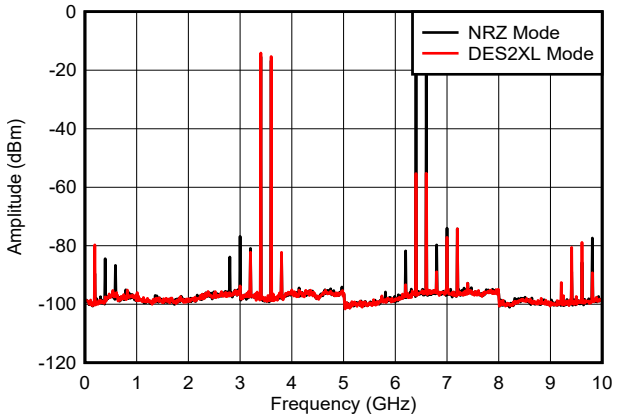
トーン間隔は 100MHz で、PCB、ケーブル、およびバランの損失が含まれます

図 6-48. デュアル トーン、f_{OUT} = 2097MHz、-12dBFS

Copyright © 2026 Texas Instruments Incorporated

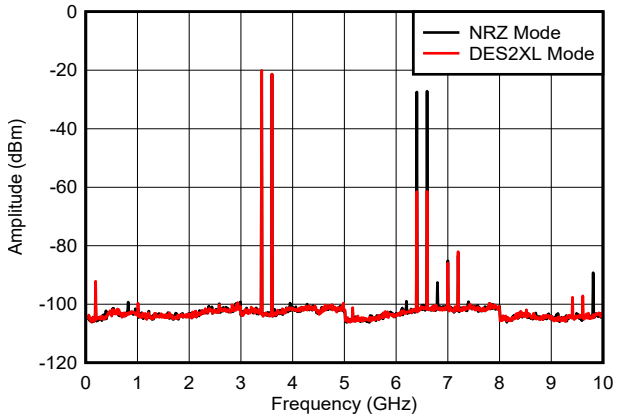
6.13 代表的特性：デュアル トーン スペクトル (続き)

特に記載のない限り、T_A = +25°C での標準値、動作周囲温度範囲における最小値および最大値、標準電源電圧、f_{CLK} = 10GHz、I_{FS_SWITCH} = 20.5mA、単一トーン振幅 = 0dBFS、ディザリングおよび DEM 有効時の値を示します。



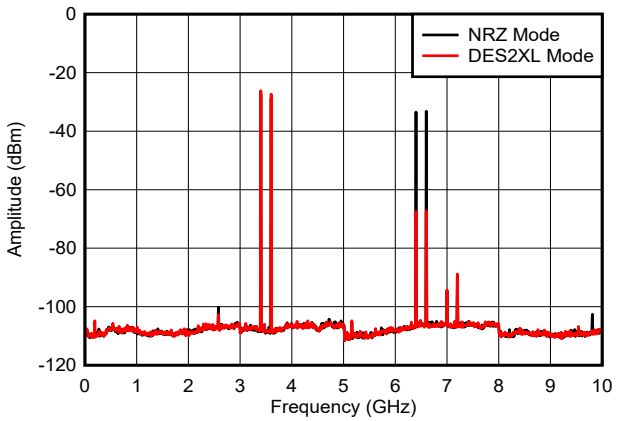
トーン間隔は 200MHz で、PCB、ケーブル、およびバランの損失が含まれます

図 6-49. デュアル トーン、f_{OUT} = 3497MHz、0dBFS



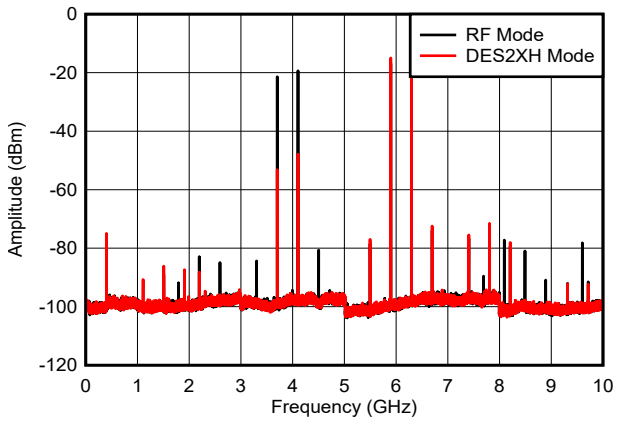
トーン間隔は 200MHz で、PCB、ケーブル、およびバランの損失が含まれます

図 6-50. デュアル トーン、f_{OUT} = 3497MHz、-6dBFS



トーン間隔は 200MHz で、PCB、ケーブル、およびバランの損失が含まれます

図 6-51. デュアル トーン、f_{OUT} = 3497MHz、-12dBFS



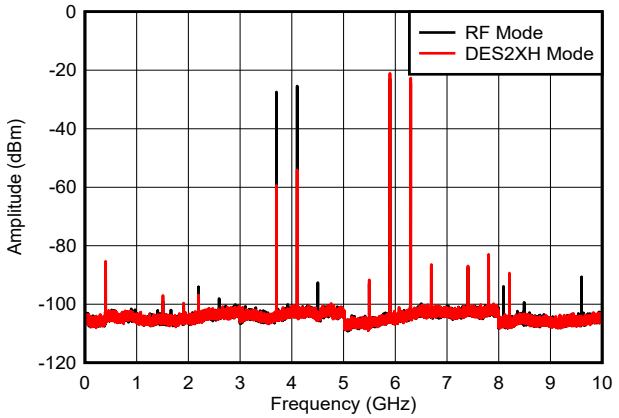
トーン間隔は 400MHz で、PCB、ケーブル、およびバランの損失が含まれます

図 6-52. デュアル トーン、f_{OUT} = 6097MHz、0dBFS

Copyright © 2026 Texas Instruments Incorporated

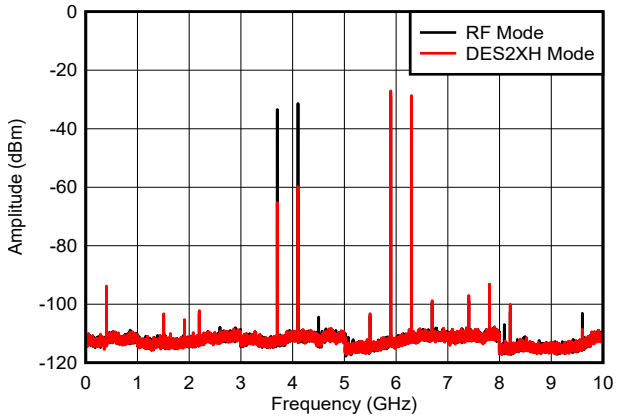
6.13 代表的特性：デュアル トーン スペクトル (続き)

特に記載のない限り、T_A = +25°C での標準値、動作周囲温度範囲における最小値および最大値、標準電源電圧、f_{CLK} = 10GHz、I_{FS_SWITCH} = 20.5mA、単一トーン振幅 = 0dBFS、ディザリングおよび DEM 有効時の値を示します。



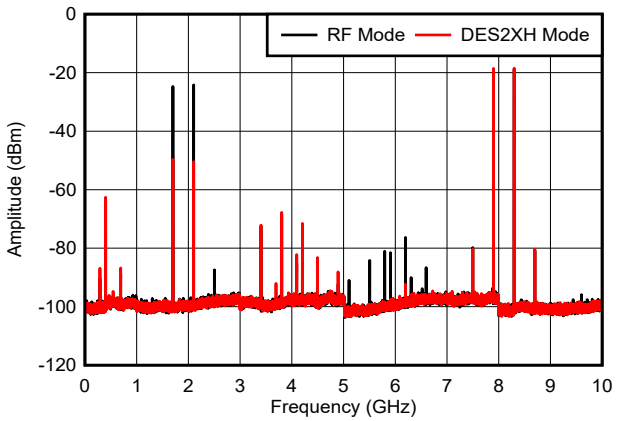
トーン間隔は 400MHz で、PCB、ケーブル、およびバランの損失が含まれます

図 6-53. デュアル トーン、f_{OUT} = 6097MHz、-6dBFS



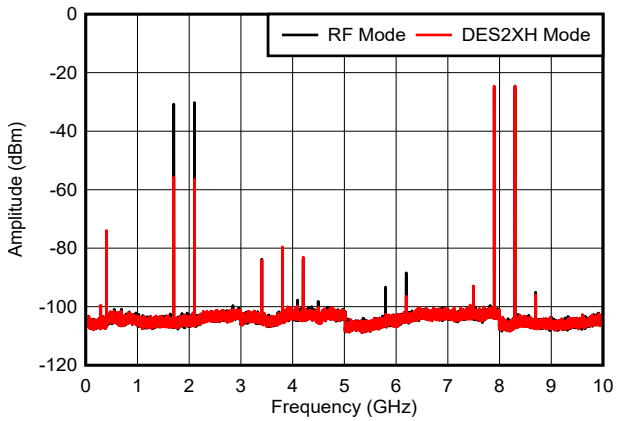
トーン間隔は 400MHz で、PCB、ケーブル、およびバランの損失が含まれます

図 6-54. デュアル トーン、f_{OUT} = 6097MHz、-12dBFS



トーン間隔は 400MHz で、PCB、ケーブル、およびバランの損失が含まれます

図 6-55. デュアル トーン、f_{OUT} = 8097MHz、0dBFS



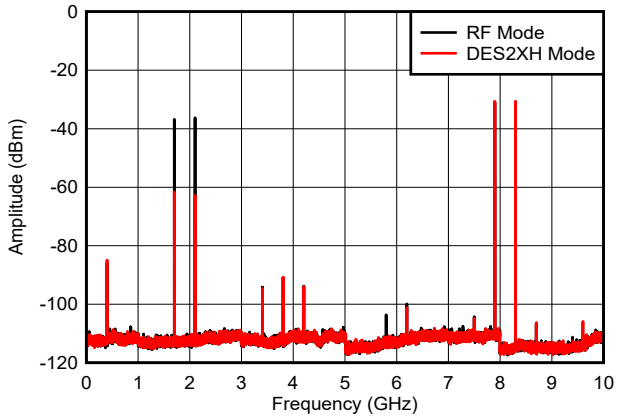
トーン間隔は 400MHz で、PCB、ケーブル、およびバランの損失が含まれます

図 6-56. デュアル トーン、f_{OUT} = 8097MHz、-6dBFS

Copyright © 2026 Texas Instruments Incorporated

6.13 代表的特性：デュアル トーン スペクトル (続き)

特に記載のない限り、T_A = +25°C での標準値、動作周囲温度範囲における最小値および最大値、標準電源電圧、f_{CLK} = 10GHz、I_{FS_SWITCH} = 20.5mA、単一トーン振幅 = 0dBFS、ディザリングおよび DEM 有効時の値を示します。



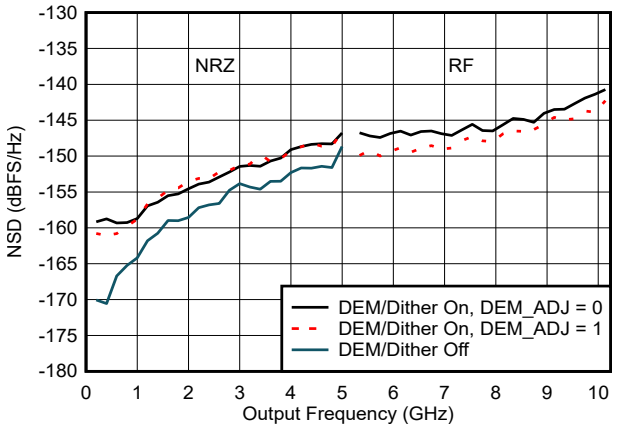
トーン間隔は 400MHz で、PCB、ケーブル、およびバランの損失が含まれます

図 6-57. デュアル トーン、f_{OUT} = 7997MHz、-12dBFS

Copyright © 2026 Texas Instruments Incorporated

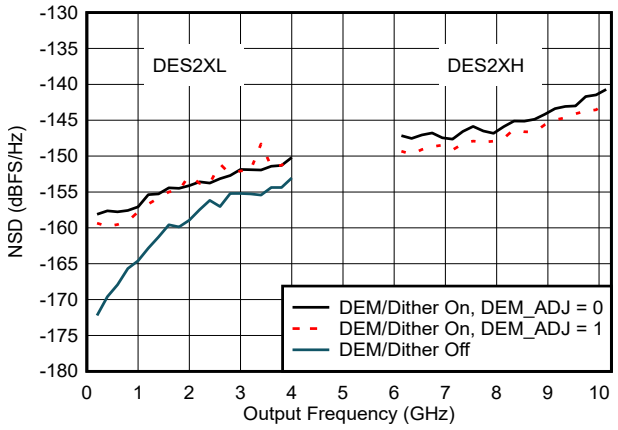
6.14 代表的特性：ノイズ スペクトル密度

トーンから 70MHz オフセットにおける NSD です。特に記載がない限り、T_A = +25°C における代表値、動作自由空間温度範囲での最小値および最大値、代表的な電源電圧条件、f_{CLK} = 10.24 ～ GHz、I_{FS_SWITCH} = 20.5mA、単一トーン振幅 0dBFS、ディザリングおよび DEM 有効、DEM_ADJ は 750MHz 未満で 1、750MHz 以上で 0 の条件とします。



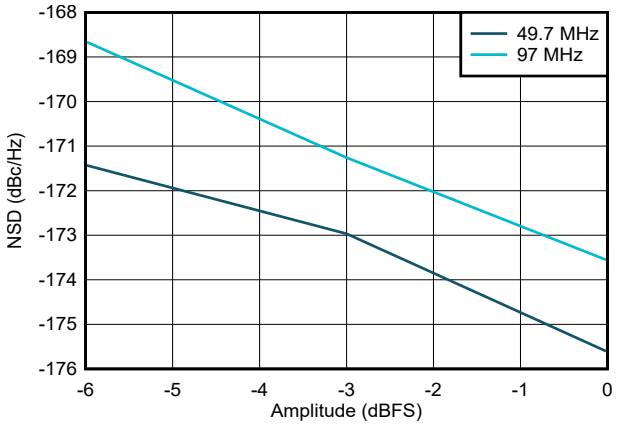
I_{FS_SWITCH} = 41mA、NRZ および RF モード

図 6-58. NSD と出力周波数との関係、および DEM / ディザリング モード



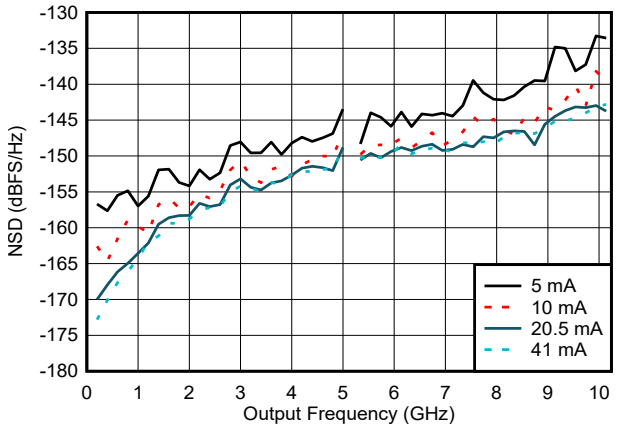
I_{FS_SWITCH} = 41mA、DES2XL モードおよび DES2XH モード

図 6-59. NSD と出力周波数との関係、および DEM / ディザリング モード



I_{FS_SWITCH} = 41mA、DES2XL、DEM / ディザリング オフ

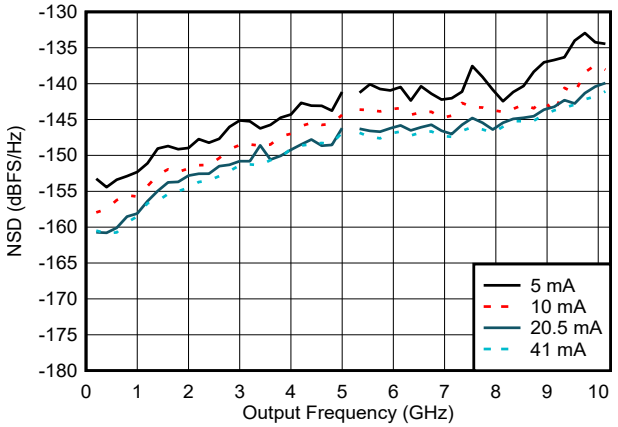
図 6-60. 低周波領域におけるデジタル振幅と NSD の関係



DEM モードとディザリング オフ、NRZ モード、RF モード

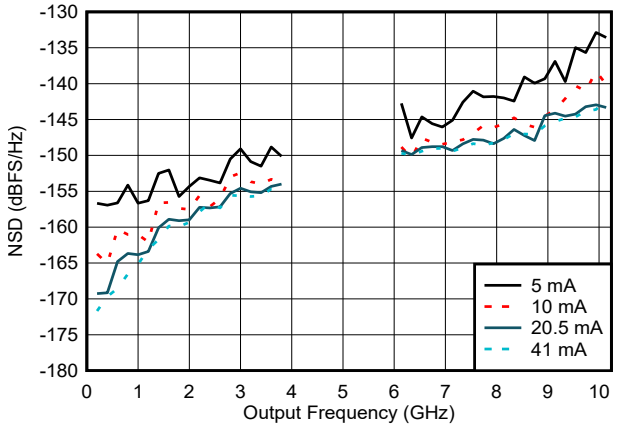
図 6-61. 出力周波数と出力電流に対する NSD の関係

6.14 代表的特性：ノイズ スペクトル密度 (続き)



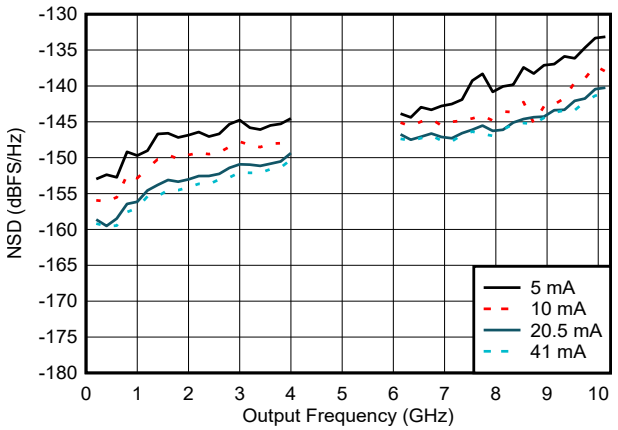
DEM モードとディザリング オン、NRZ モード、RF モード

図 6-62. 出力周波数と出力電流に対する NSD の関係



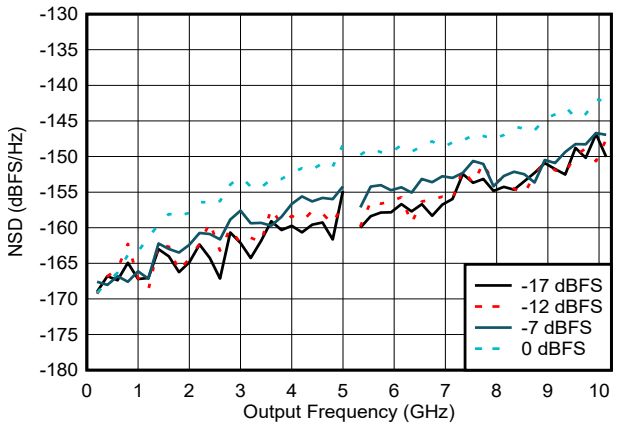
DEM およびディザリング オフ、DES2XL および DES2XH モード

図 6-63. 出力周波数と出力電流に対する NSD の関係



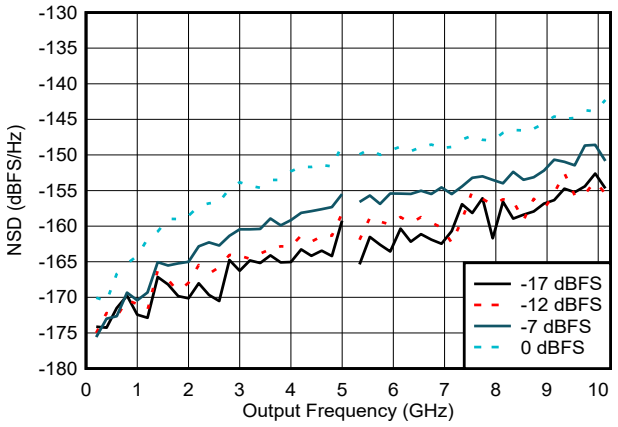
DEM モードとディザリング オン、DES2XL モード、DES2XH モード

図 6-64. 出力周波数と出力電流に対する NSD の関係



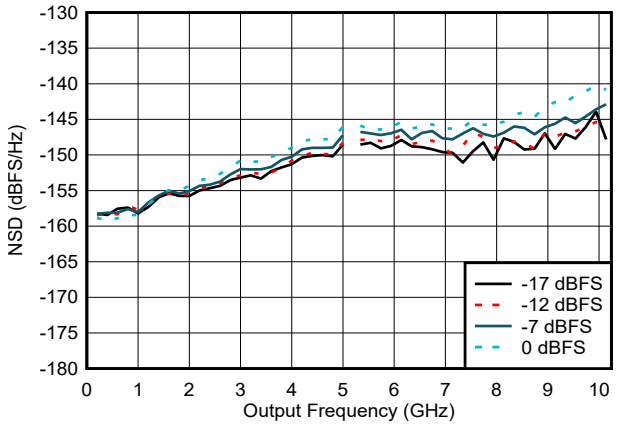
I_{FS_SWITCH} = 20.5mA、DEM およびディザリング オフ、NRZ モード、RF モード

図 6-65. NSD と出力周波数およびデジタル振幅との関係



I_{FS_SWITCH} = 41mA、DEM およびディザリング オフ、NRZ モード、RF モード

図 6-66. NSD と出力周波数およびデジタル振幅との関係

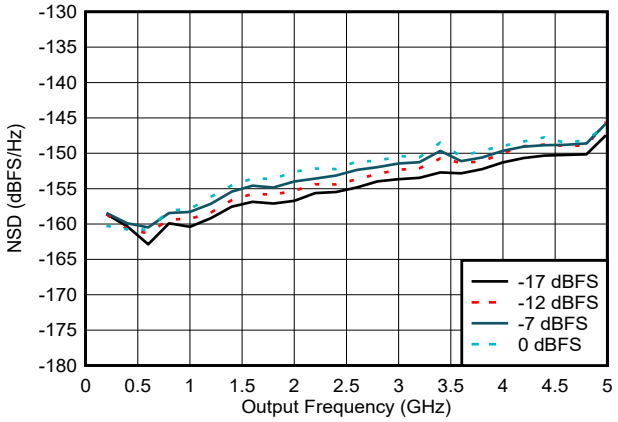


I_{FS_SWITCH} = 20.5mA、DEM およびディザリング オン、DEM_ADJ = 0、NRZ モードおよび RF モード

図 6-67. NSD と出力周波数およびデジタル振幅との関係

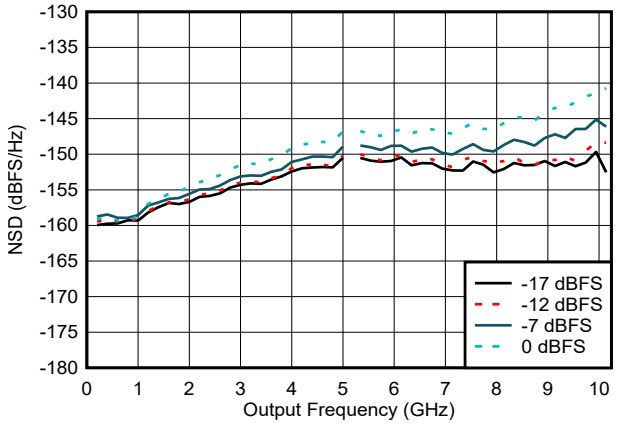
Copyright © 2026 Texas Instruments Incorporated

6.14 代表的特性：ノイズ スペクトル密度 (続き)



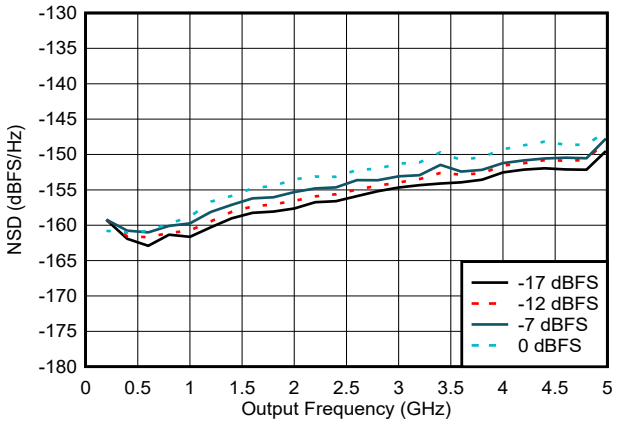
I_{FS_SWITCH} = 20.5mA、DEM およびディザリング オン、DEM_ADJ = 1、NRZ モードおよび RF モード

図 6-68. NSD と出力周波数およびデジタル振幅との関係



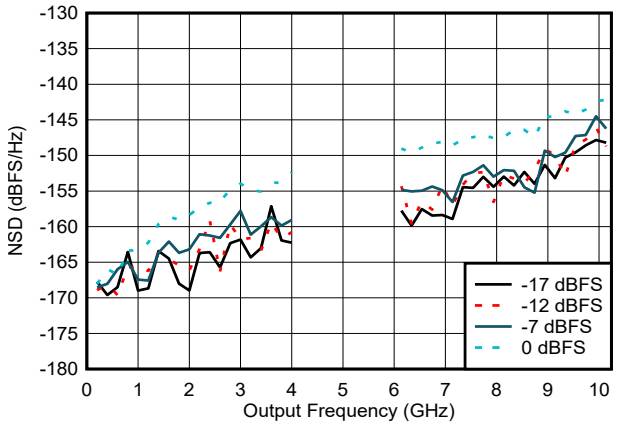
I_{FS_SWITCH} = 41mA、DEM およびディザリング オン、DEM_ADJ = 0、NRZ モードおよび RF モード

図 6-69. NSD と出力周波数およびデジタル振幅との関係



I_{FS_SWITCH} = 41mA、DEM およびディザリング オン、DEM_ADJ = 1、NRZ モード

図 6-70. NSD と出力周波数およびデジタル振幅との関係

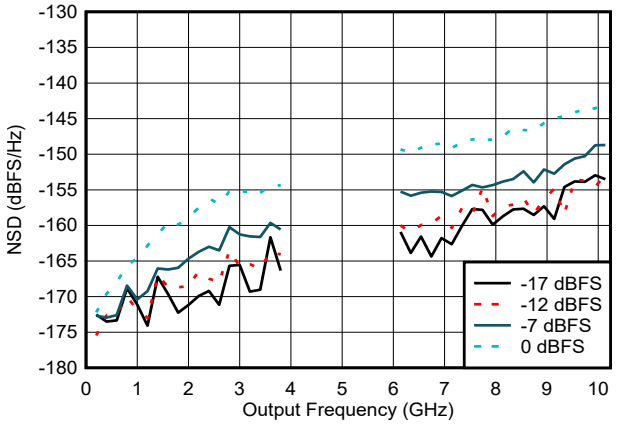


I_{FS_SWITCH} = 20.5mA、DEM およびディザリング オフ、DES2XL モード、DES2XH モード

図 6-71. NSD と出力周波数およびデジタル振幅との関係

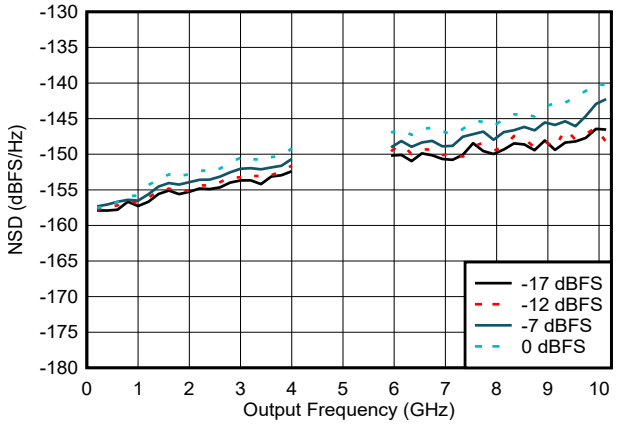
Copyright © 2026 Texas Instruments Incorporated

6.14 代表的特性：ノイズ スペクトル密度 (続き)



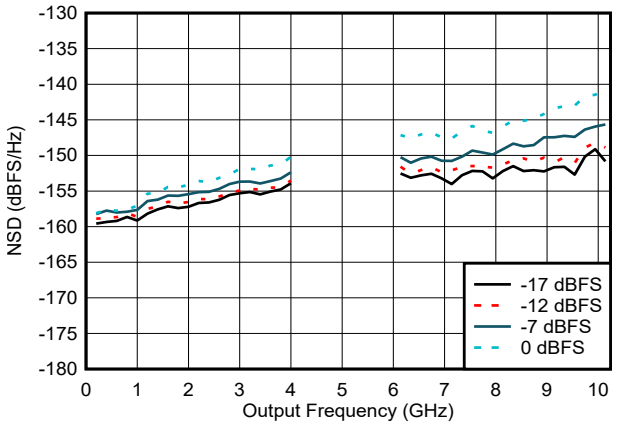
I_{FS_SWITCH} = 41mA、DEM およびディザリング オフ、DES2XL モード、DES2XH モード

図 6-72. NSD と出力周波数およびデジタル振幅との関係



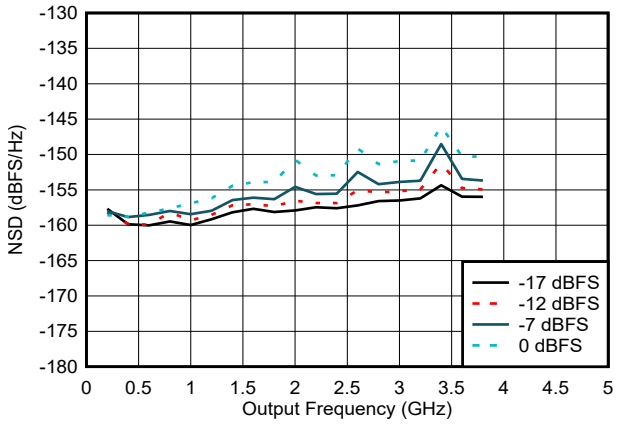
I_{FS_SWITCH} = 20.5mA、DEM、ディザリング オン、DEM_ADJ = 0、DES2XL モード、DES2XH モード

図 6-73. NSD と出力周波数およびデジタル振幅との関係



I_{FS_SWITCH} = 41mA、DEM、ディザリング オン、DEM_ADJ = 0、DES2XL モード、DES2XH モード

図 6-74. NSD と出力周波数およびデジタル振幅との関係

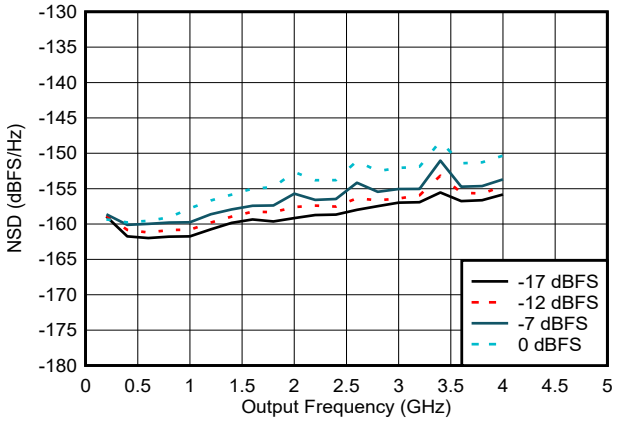


I_{FS_SWITCH} = 20.5mA、DEM およびディザリング オン、DEM_ADJ = 1、DES2XL モード

図 6-75. NSD と出力周波数およびデジタル振幅との関係

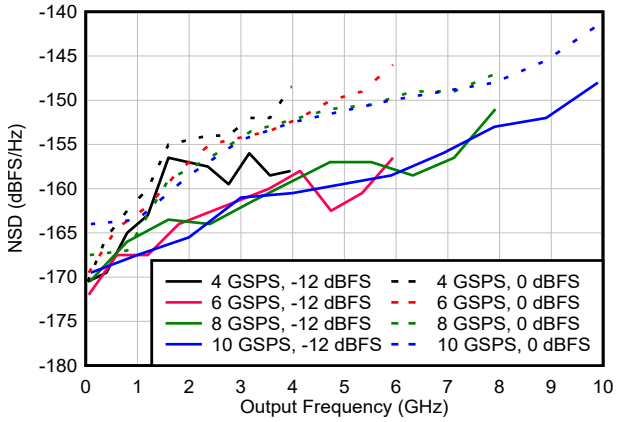
Copyright © 2026 Texas Instruments Incorporated

6.14 代表的特性：ノイズ スペクトル密度 (続き)



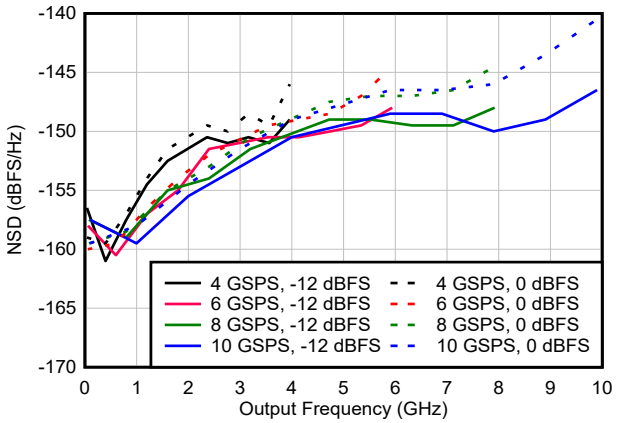
I_{FS_SWITCH} = 41mA、DEM およびディザリング オン、DEM_ADJ = 1、DES2XL モード

図 6-76. NSD と出力周波数およびデジタル振幅との関係



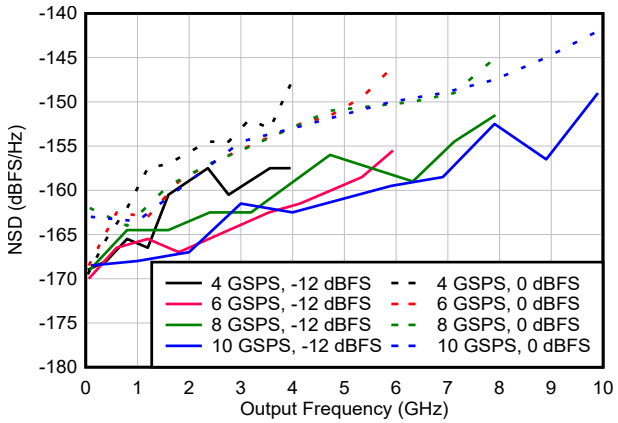
I_{FS_SWITCH} = 20.5mA、DEM およびディザリング オフ、NRZ モード、RF モード

図 6-77. NSD と出力周波数およびサンプル レートとの関係



I_{FS_SWITCH} = 20.5mA、DEM およびディザリング オン、NRZ モード、RF モード

図 6-78. NSD と出力周波数およびサンプル レートとの関係

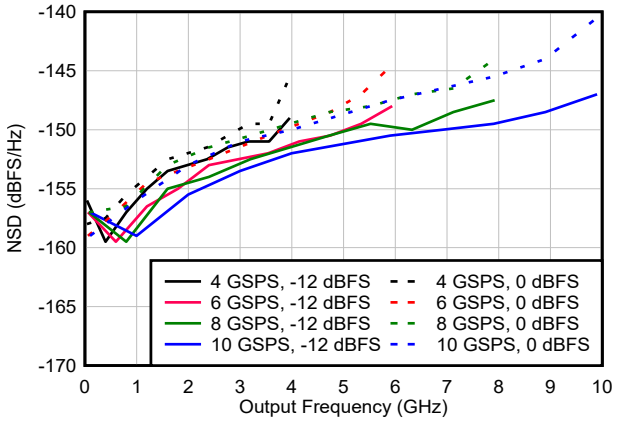


I_{FS_SWITCH} = 20.5mA、DEM およびディザリング オフ、DES2XL モード、DES2XH モード

図 6-79. NSD と出力周波数およびサンプル レートとの関係

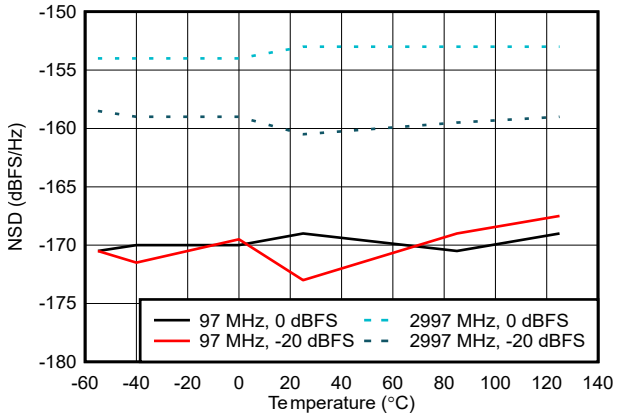
Copyright © 2026 Texas Instruments Incorporated

6.14 代表的特性：ノイズ スペクトル密度 (続き)



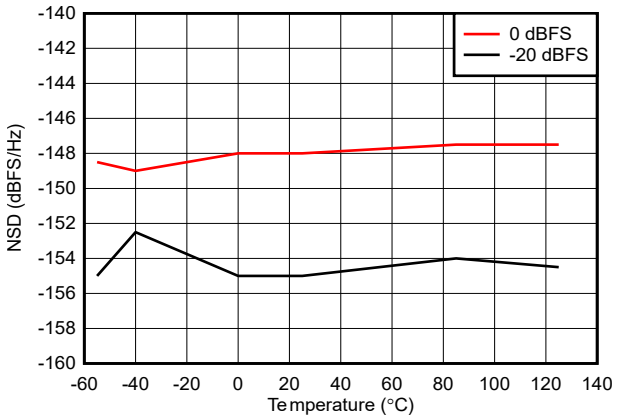
I_{FS_SWITCH} = 20.5mA、DEM およびディザリング オン、DES2XL モード、DES2XH モード

図 6-80. NSD と出力周波数およびサンプル レートとの関係



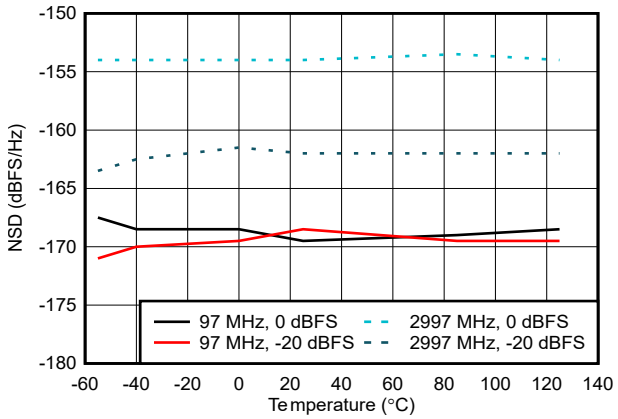
I_{FS_SWITCH} = 20.5mA、DEM およびディザリング オフ、NRZ モード

図 6-81. NSD と温度との関係



F_{OUT} = 7242MHz、I_{FS_SWITCH} = 20.5mA、DEM およびディザリング オフ、RF モード

図 6-82. NSD と温度との関係

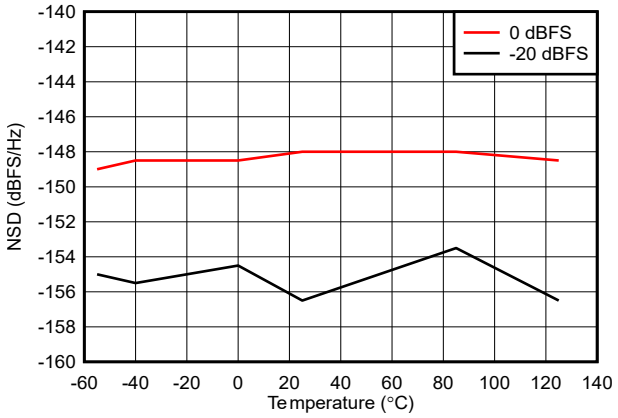


I_{FS_SWITCH} = 20.5mA、DEM およびディザリング オフ、DES2XL モード

図 6-83. NSD と温度との関係

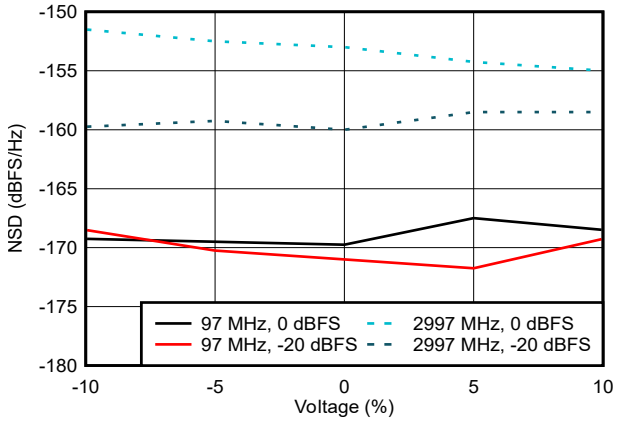
Copyright © 2026 Texas Instruments Incorporated

6.14 代表的特性：ノイズ スペクトル密度 (続き)



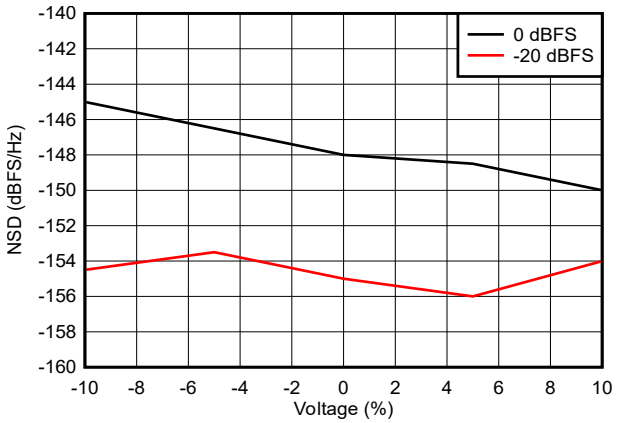
F_{OUT} = 7242MHz、I_{FS_SWITCH} = 20.5mA、DEM およびディザリング オフ、DES2XH モード

図 6-84. NSD と温度との関係



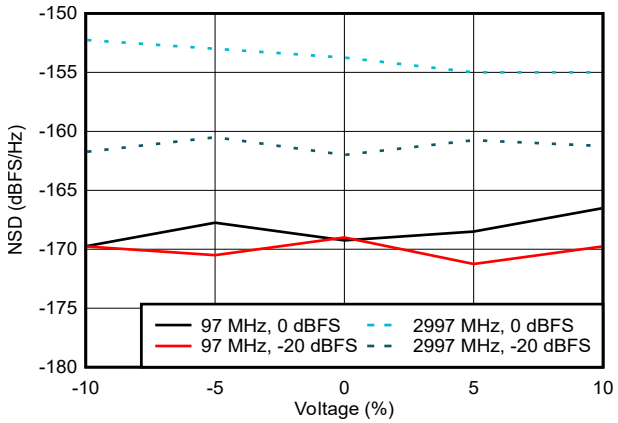
I_{FS_SWITCH} = 20.5mA、DEM およびディザリング オフ、NRZ モード

図 6-85. NSD と電源電圧との関係



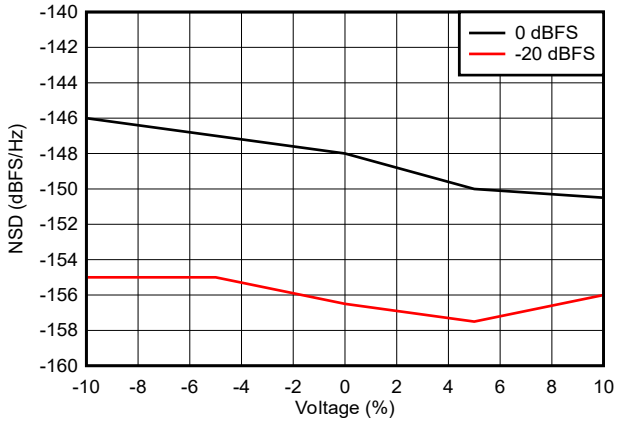
I_{FS_SWITCH} = 20.5mA、DEM およびディザリング オフ、RF モード

図 6-86. NSD と電源電圧との関係



I_{FS_SWITCH} = 20.5mA、DEM およびディザリング オフ、DES2XL モード

図 6-87. NSD と電源電圧との関係



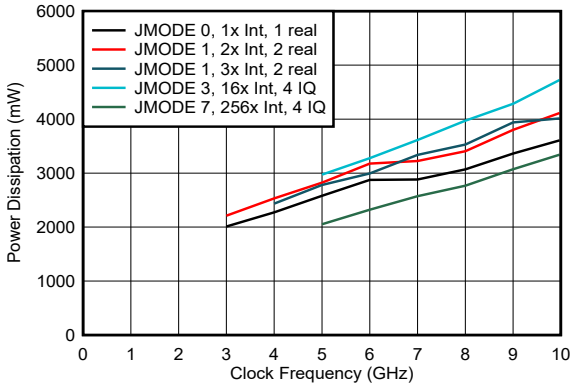
I_{FS_SWITCH} = 20.5mA、DEM およびディザリング オフ、DES2XH モード

図 6-88. NSD と電源電圧との関係

Copyright © 2026 Texas Instruments Incorporated

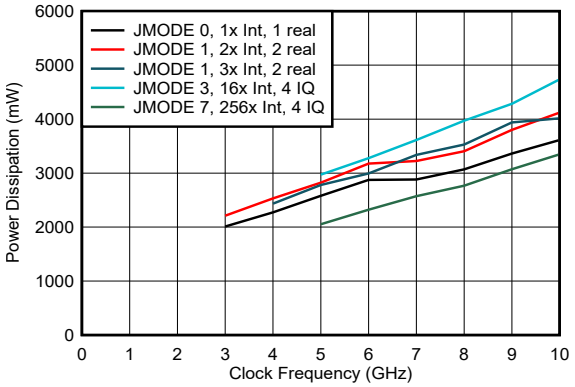
6.15 代表的特性：電力散逸と電源電流

特に記載のない限り、T_A = +25°C、標準電源電圧、I_{FS_SWITCH} = 20.5mA における代表値、1 台の DAC デバイス = 、、DAC39RFS10-SP、、2 台の DAC デバイス = 、、DAC39RF10-SP、。



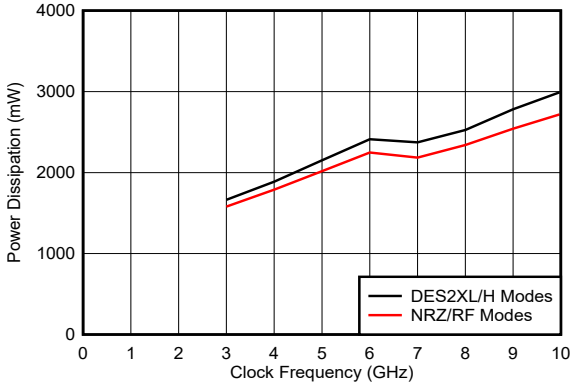
I_{FS_SWITCH} = 20.5mA

図 6-89. クロック周波数およびデジタル モードと消費電力の関係



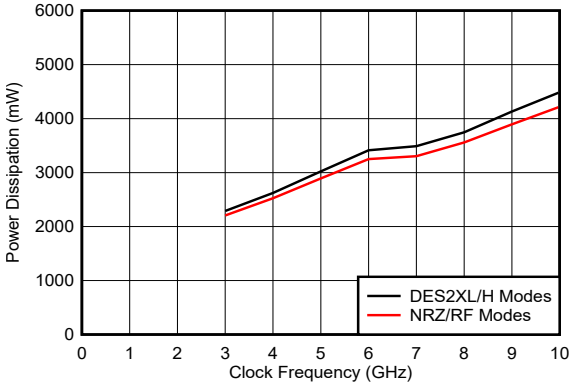
I_{FS_SWITCH} = 41mA

図 6-90. クロック周波数およびデジタル モードと消費電力の関係



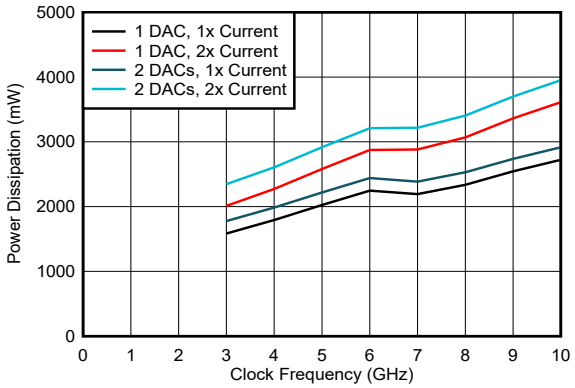
JMODE 0、シングル DAC デバイス

図 6-91. クロック周波数および DAC モードと消費電力の関係



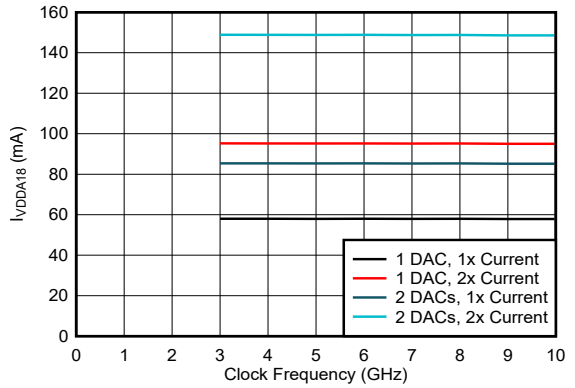
JMODE 1、2x 補間、デュアル DAC

図 6-92. クロック周波数および DAC モードと消費電力の関係



JMODE 0、1 倍補間時のシングル DAC デバイスとデュアル DAC デバイスの比較

図 6-93. クロック周波数および DAC モードと消費電力の関係



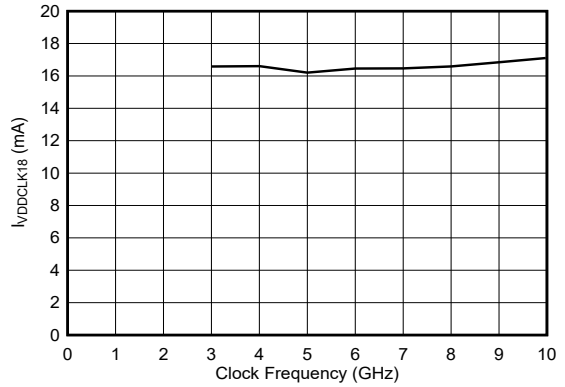
JMODE および補間に依存せず、シングル DAC デバイスとデュアル DAC デバイスを比較

図 6-94. クロック周波数および DAC モードと VDDA18 電流の関係

Copyright © 2026 Texas Instruments Incorporated

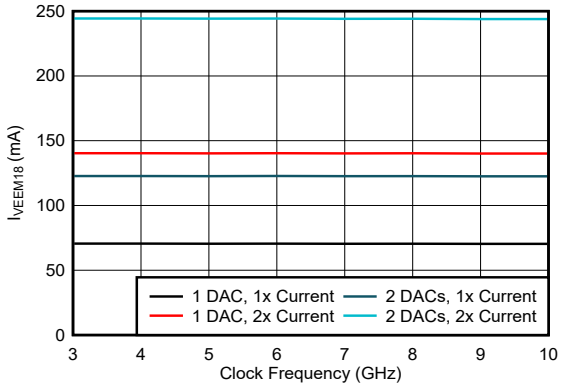
6.15 代表的特性：電力散逸と電源電流 (続き)

特に記載のない限り、T_A = +25°C、標準電源電圧、I_{FS_SWITCH} = 20.5mA における代表値、1 台の DAC デバイス = 、、DAC39RFS10-SP、、2 台の DAC デバイス = 、、DAC39RF10-SP、。



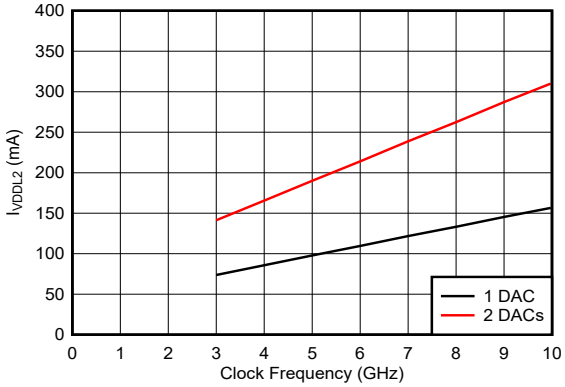
JMODE、補間、およびシングル / デュアル DAC デバイスに依存しません

図 6-95. クロック周波数と VDDCLK18 電流の関係



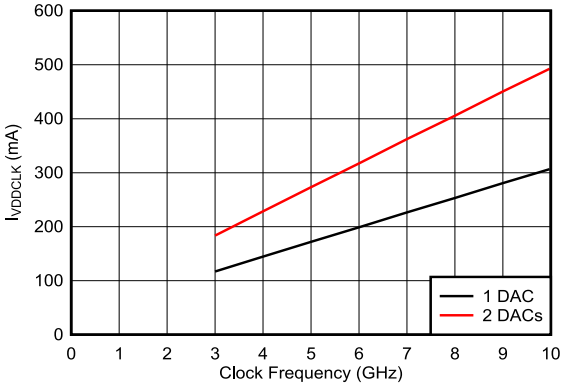
JMODE、補間、およびシングル DAC デバイスとデュアル DAC デバイスの違いに依存しません

図 6-96. クロック周波数および DAC モードと VEEM18 電流の関係



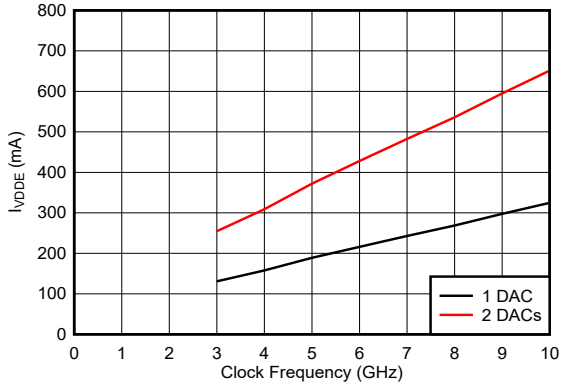
JMODE、補間、およびシングル DAC デバイスとデュアル DAC デバイスの違いに依存しません

図 6-97. クロック周波数と VDDLx 電流の関係



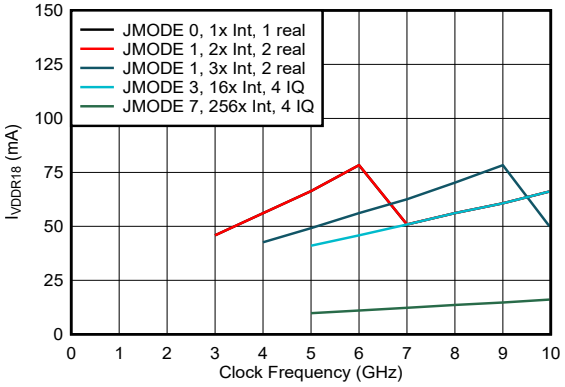
JMODE、補間、およびシングル DAC デバイスとデュアル DAC デバイスの違いに依存しません

図 6-98. クロック周波数と VDDCLK 電流の関係



JMODE、補間、およびシングル DAC デバイスとデュアル DAC デバイスの違いに依存しません

図 6-99. クロック周波数と VDDE 電流の関係



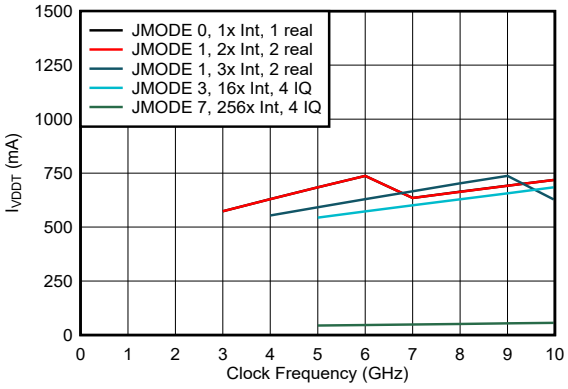
Serdes の数およびボーレートによって異なります

図 6-100. クロック周波数およびモードと VDDR18 電流の関係

Copyright © 2026 Texas Instruments Incorporated

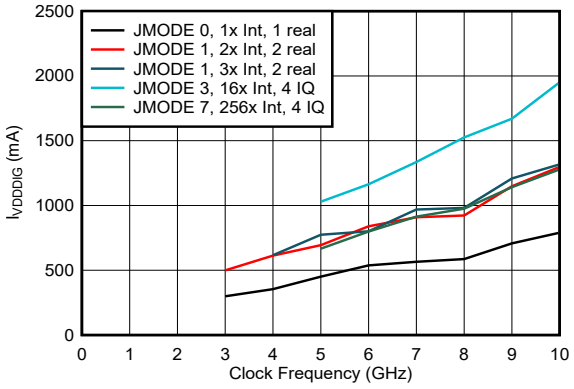
6.15 代表的特性：電力散逸と電源電流 (続き)

特に記載のない限り、T_A = +25°C、標準電源電圧、I_{FS_SWITCH} = 20.5mA における代表値、1 台の DAC デバイス = 、、DAC39RFS10-SP、、2 台の DAC デバイス = 、、DAC39RF10-SP、。



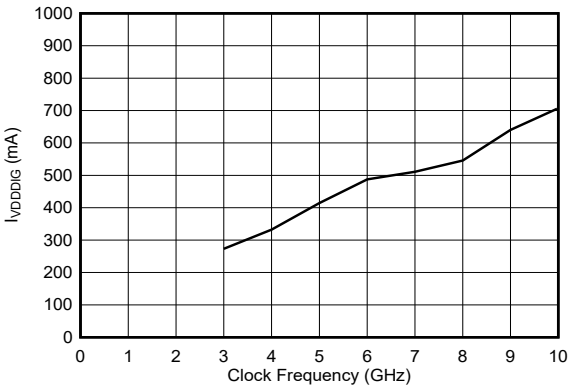
Serdes の数およびボーレートによって異なります

図 6-101. クロック周波数およびモードと VDDT 電流の関係



デュアル DAC デバイス

図 6-102. クロック周波数およびデジタル モードと VDDDIG 電流の関係



シングル DAC デバイス、JMODE 0、バイパス モード

図 6-103. クロック周波数と VDDDIG 電流の関係

Copyright © 2026 Texas Instruments Incorporated

6.16 代表的特性：直線性スイープ

特に記載がない限り、T_A = +25°C における代表値、動作自由空間温度範囲における最小値および最大値、代表的な電源電圧条件、f_{CLK} = 10.24 ～ GHz、I_{FS_SWITCH} = 20.5mA、単一トーン振幅 = 0dBFS、ディザリングおよび DEM 有効、DEM_ADJ は 750MHz 未満で 1、750MHz 以上で 0 とします。SFDR / 高調波は、$f_{OUT} < f_{CLK/2}$ の場合は 0 ～ $f_{CLK}/2$ の範囲で測定し、$f_{OUT} > f_{CLK}/2$ の場合は $f_{CLK}/2$ ～ f_{CLK} の範囲で測定します。

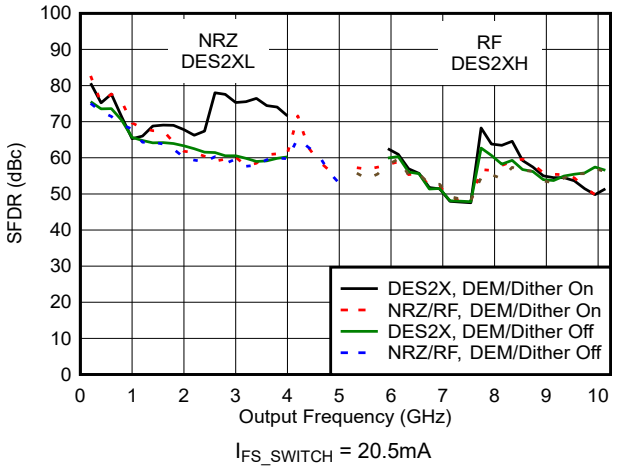


図 6-104. SFDR と周波数およびモードの関係

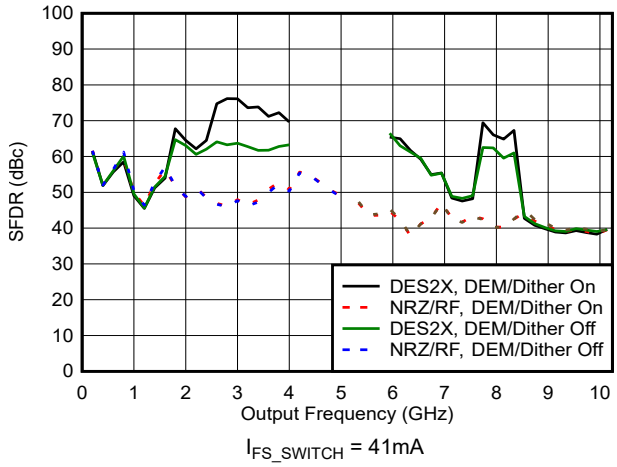


図 6-105. SFDR と周波数およびモードの関係

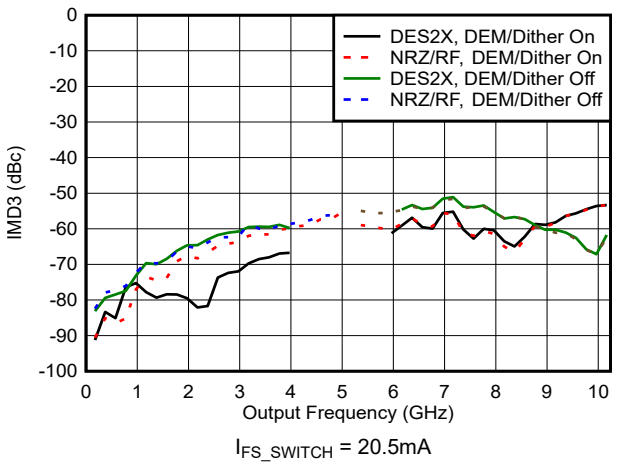


図 6-106. IMD3 と周波数およびモードとの関係

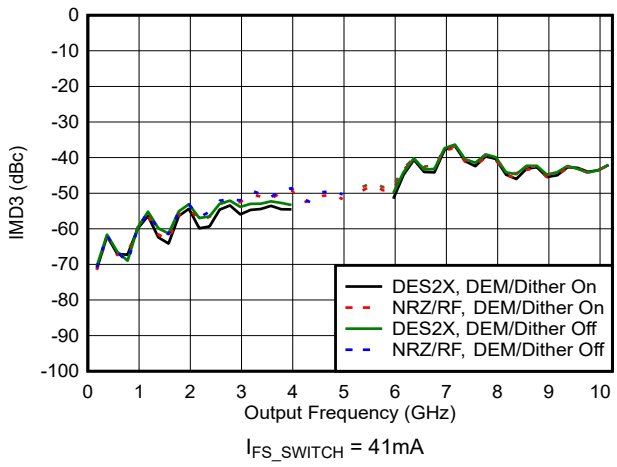


図 6-107. IMD3 と周波数およびモードとの関係

Copyright © 2026 Texas Instruments Incorporated

6.16 代表的特性：直線性スイープ (続き)

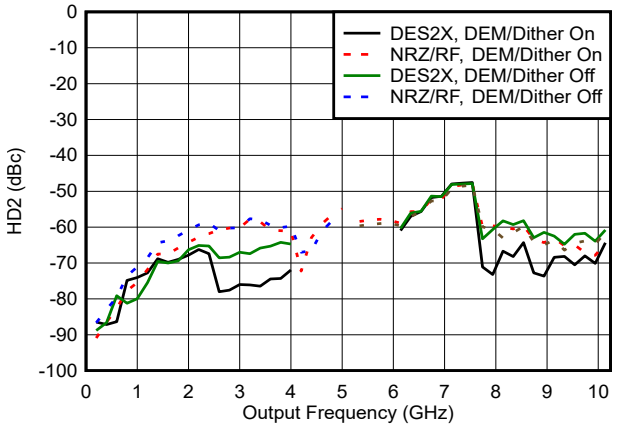


図 6-108. HD2 と周波数およびモードとの関係

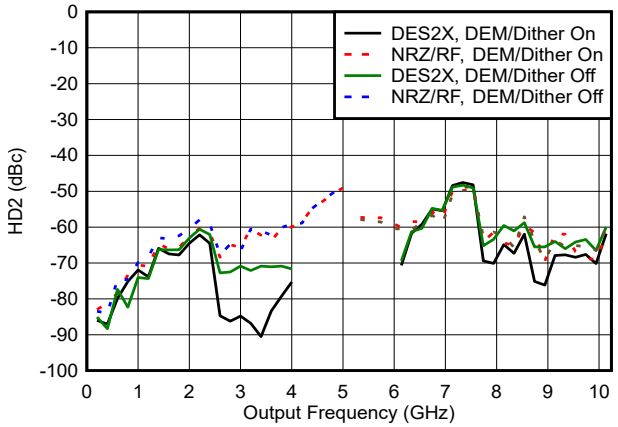


図 6-109. HD2 と周波数およびモードとの関係

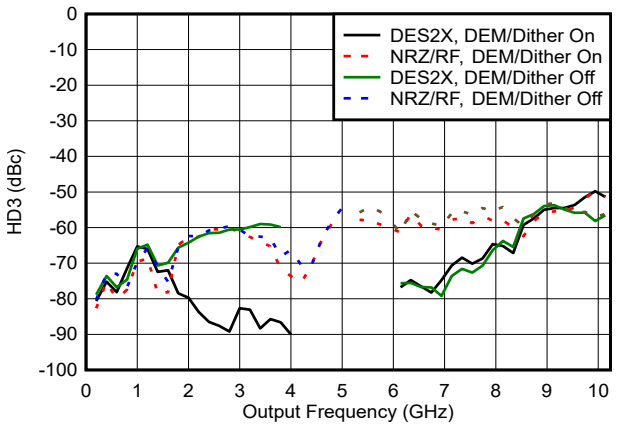


図 6-110. HD3 と周波数およびモードとの関係

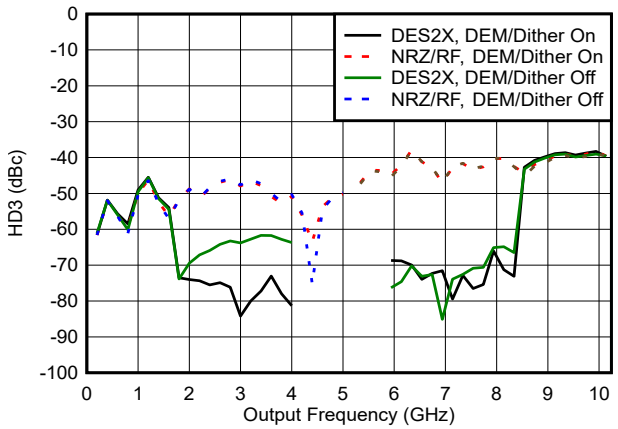


図 6-111. HD3 と周波数およびモードとの関係

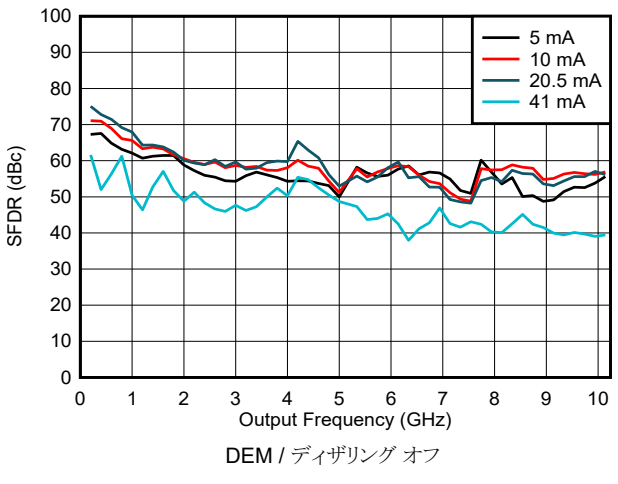


図 6-112. NRZ/RF モードでの SFDR と周波数および出力電流との関係

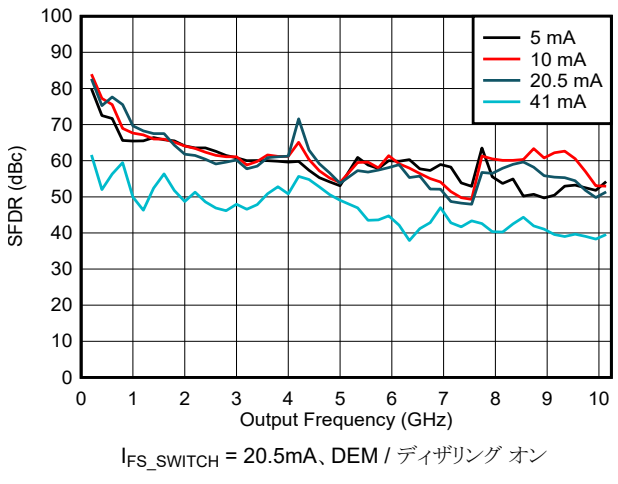
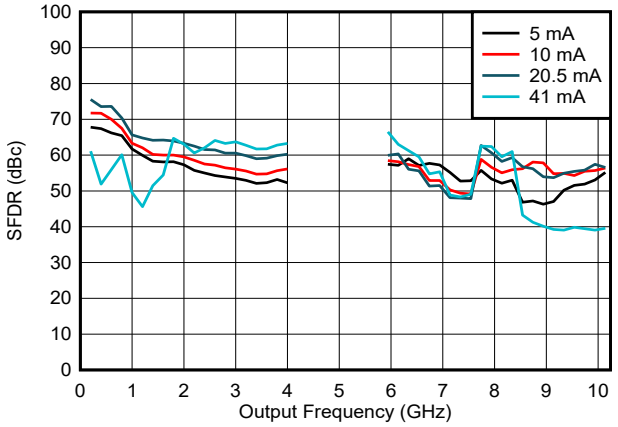


図 6-113. NRZ/RF モードでの SFDR と周波数および出力電流との関係

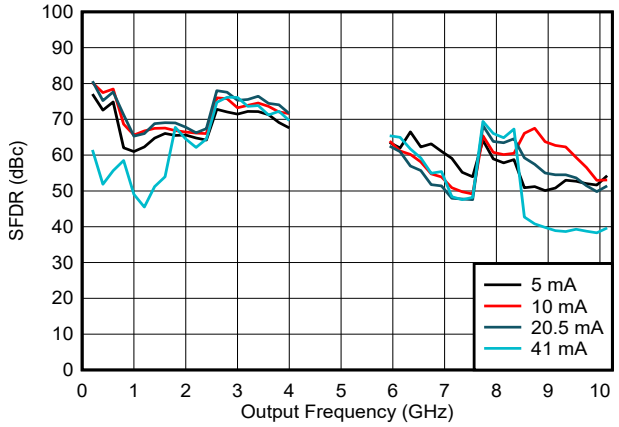
Copyright © 2026 Texas Instruments Incorporated

6.16 代表的特性：直線性スイープ (続き)



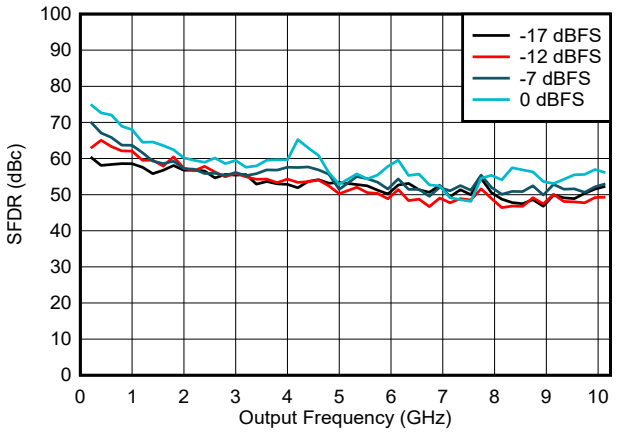
DEM / ディザリング オフ

図 6-114. DES2X モードでの SFDR と周波数および出力電流との関係



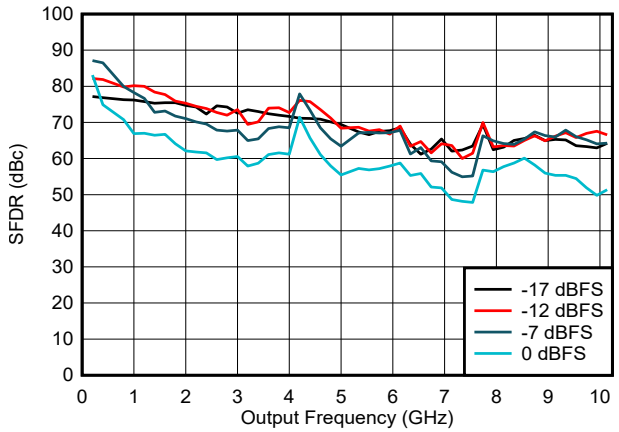
DEM / ディザリング オン

図 6-115. DES2X モードでの SFDR と周波数および出力電流との関係



I_{FS_SWITCH} = 20.5mA、DEM / ディザリング オフ

図 6-116. NRZ/ RF モードにおける周波数およびデジタル振幅に対する SFDR

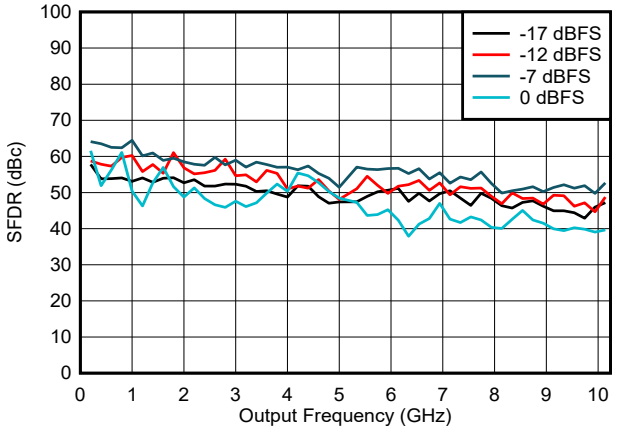


I_{FS_SWITCH} = 20.5mA、DEM / ディザリング オン

図 6-117. NRZ/ RF モードにおける周波数およびデジタル振幅に対する SFDR

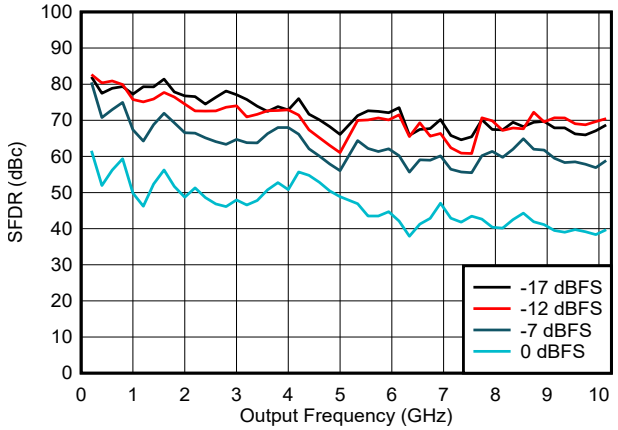
Copyright © 2026 Texas Instruments Incorporated

6.16 代表的特性：直線性スイープ (続き)



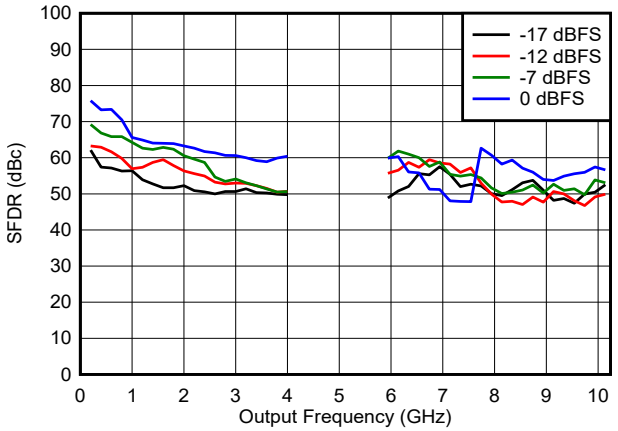
I_{FS_SWITCH} = 41mA、DEM / ディザリング オフ

図 6-118. NRZ/ RF モードにおける周波数およびデジタル振幅に対する SFDR



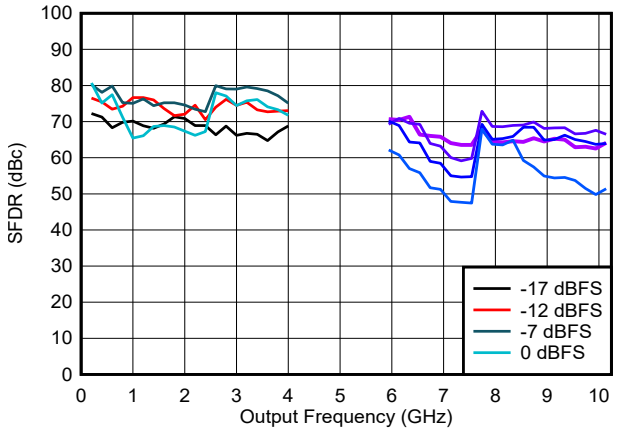
I_{FS_SWITCH} = 41mA、DEM / ディザリング オン

図 6-119. NRZ/ RF モードにおける周波数およびデジタル振幅に対する SFDR



I_{FS_SWITCH} = 20.5mA、DEM / ディザリング オフ

図 6-120. DES2X モードでの SFDR と周波数およびデジタル振幅との関係

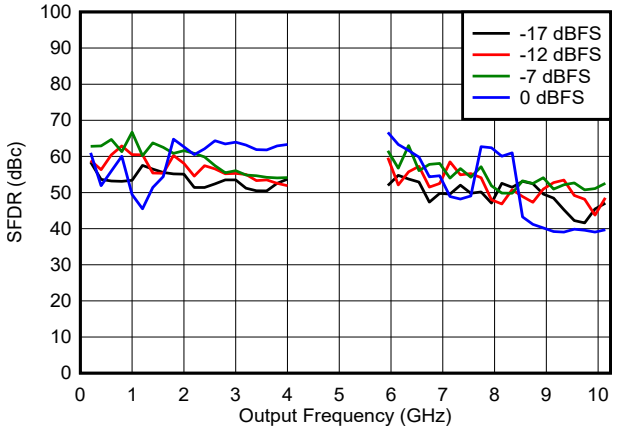


I_{FS_SWITCH} = 20.5mA、DEM / ディザリング オン

図 6-121. DES2X モードでの SFDR と周波数およびデジタル振幅との関係

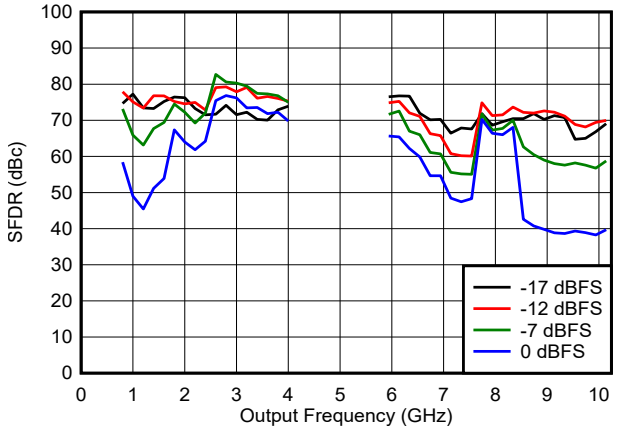
Copyright © 2026 Texas Instruments Incorporated

6.16 代表的特性：直線性スイープ (続き)



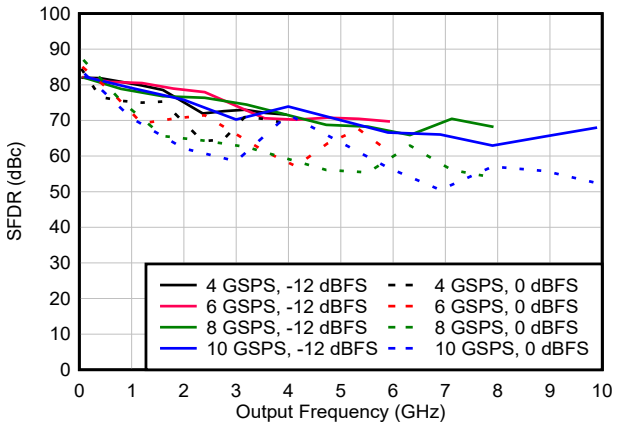
I_{FS_SWITCH} = 41mA、DEM / ディザリング オフ

図 6-122. DES2X モードでの SFDR と周波数およびデジタル振幅との関係



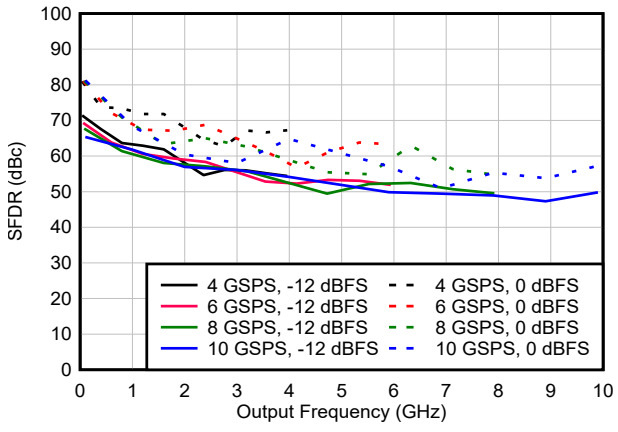
I_{FS_SWITCH} = 41mA、DEM / ディザリング オン

図 6-123. DES2X モードでの SFDR と周波数およびデジタル振幅との関係



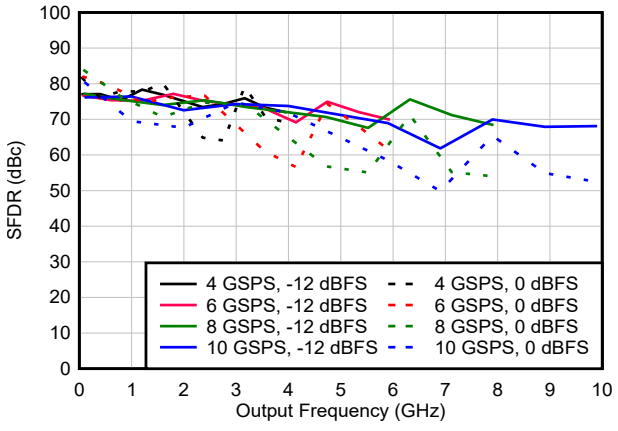
DEM / ディザリング オン

図 6-124. NRZ/ RF モードにおける SFDR と周波数およびサンプルレートとの関係



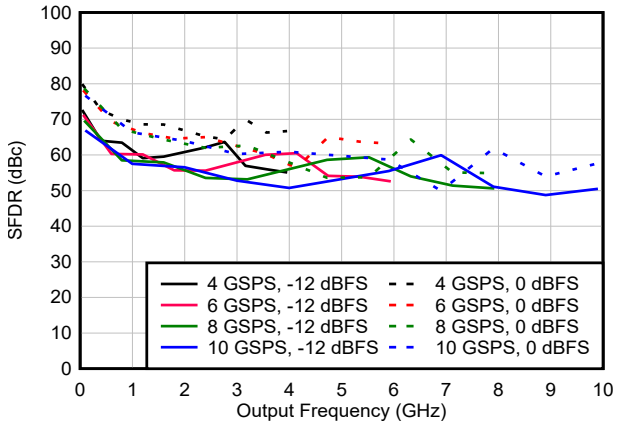
DEM / ディザリング オフ

図 6-125. NRZ/ RF モードにおける SFDR と周波数およびサンプルレートとの関係



DEM / ディザリング オン

図 6-126. DES2X モードにおける SFDR と周波数およびサンプルレートとの関係

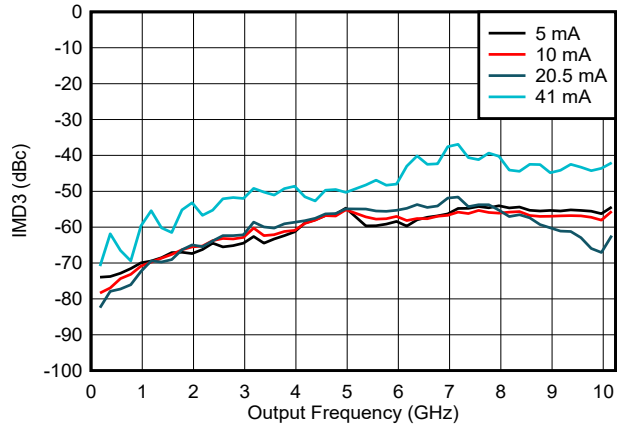


DEM / ディザリング オフ

図 6-127. DES2X モードにおける SFDR と周波数およびサンプルレートとの関係

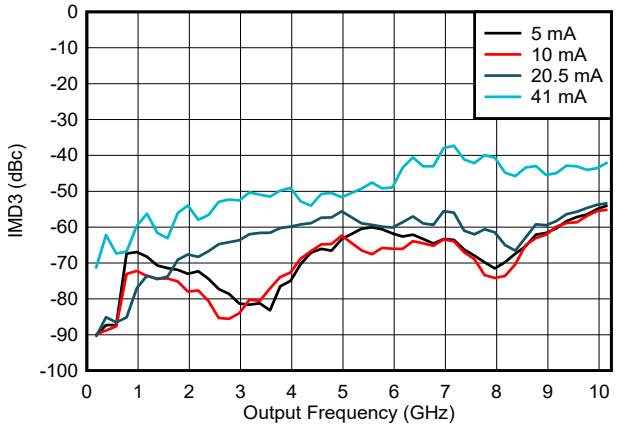
Copyright © 2026 Texas Instruments Incorporated

6.16 代表的特性：直線性スイープ (続き)



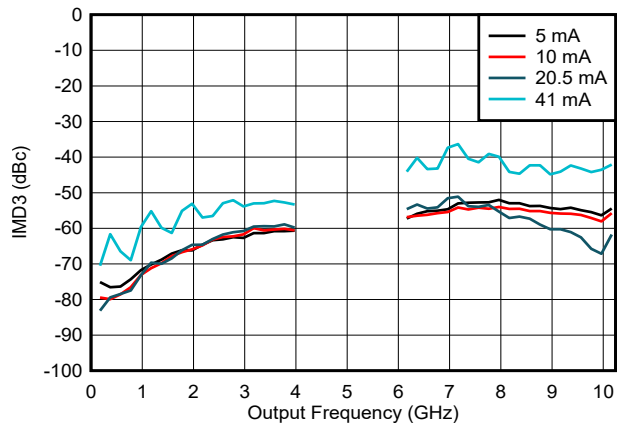
DEM / ディザリング オフ

図 6-128. NRZ/RF モードにおける IMD3 と周波数および出力電流との関係



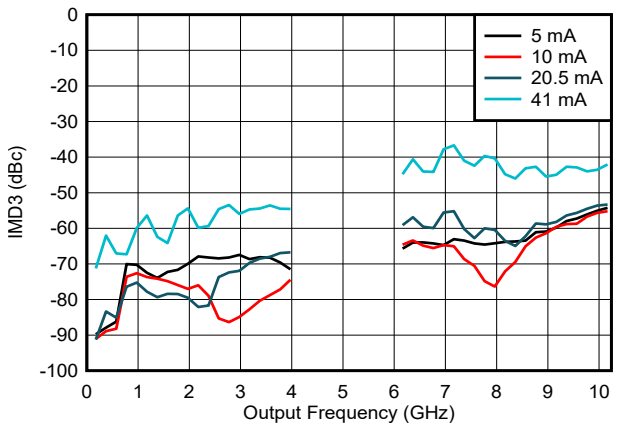
DEM / ディザリング オン

図 6-129. NRZ/RF モードにおける IMD3 と周波数および出力電流との関係



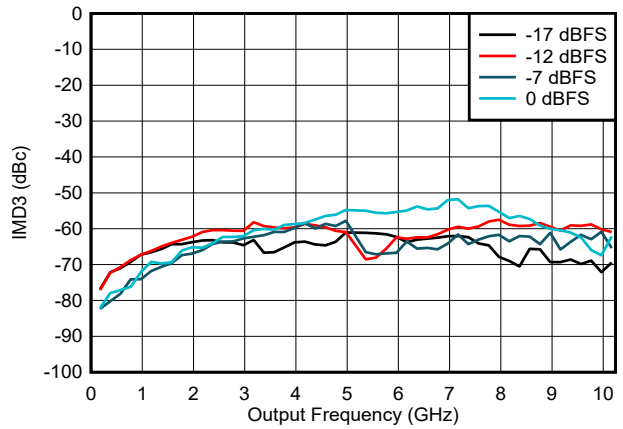
DEM / ディザリング オフ

図 6-130. DES2X モードでにおける IMD3 と周波数および出力電流との関係



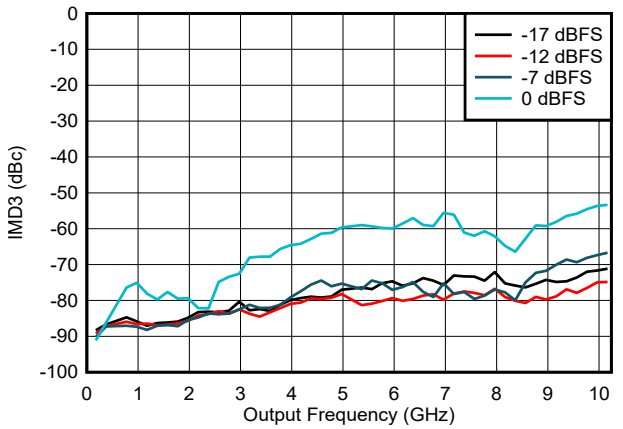
DEM / ディザリング オン

図 6-131. DES2X モードでにおける IMD3 と周波数および出力電流との関係



I_{FS_SWITCH} = 20.5mA、DEM / ディザリング オフ

図 6-132. NRZ/RF モードにおける IMD3 と周波数およびデジタル振幅との関係

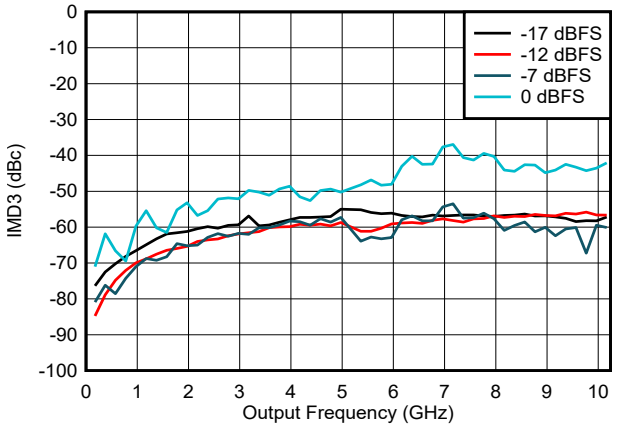


I_{FS_SWITCH} = 20.5mA、DEM / ディザリング オン

図 6-133. NRZ/RF モードにおける IMD3 と周波数およびデジタル振幅との関係

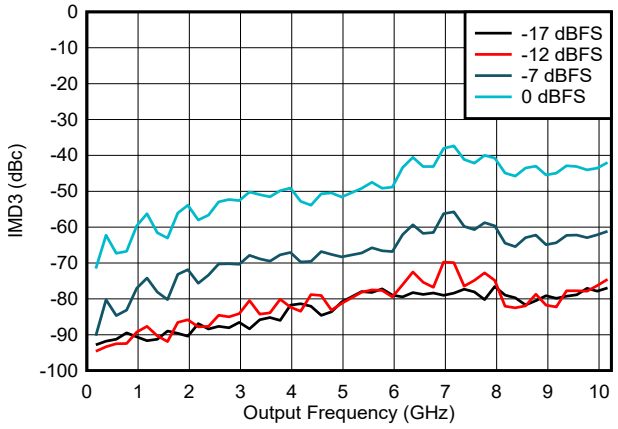
Copyright © 2026 Texas Instruments Incorporated

6.16 代表的特性：直線性スイープ (続き)



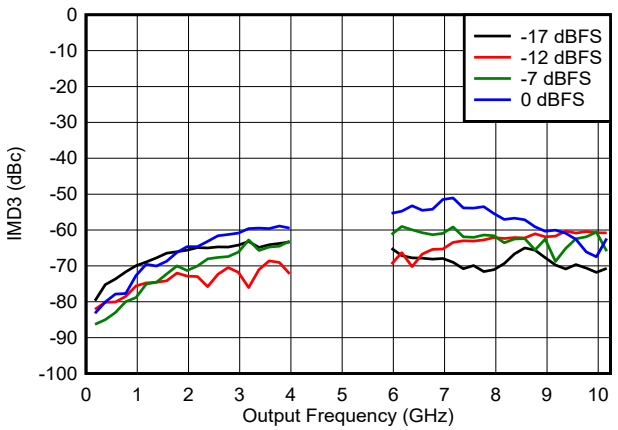
I_{FS_SWITCH} = 41mA、DEM / ディザリング オフ

図 6-134. NRZ/RF モードにおける IMD3 と周波数およびデジタル振幅との関係



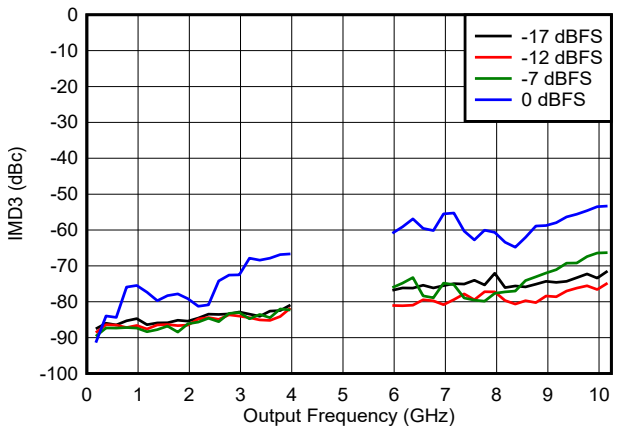
I_{FS_SWITCH} = 41mA、DEM / ディザリング オン

図 6-135. NRZ/RF モードにおける IMD3 と周波数およびデジタル振幅との関係



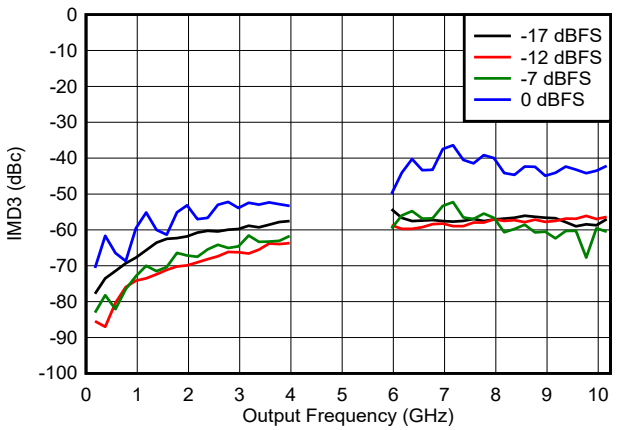
I_{FS_SWITCH} = 20.5mA、DEM / ディザリング オフ

図 6-136. DES2X モードにおける IMD3 と周波数およびデジタル振幅との関係



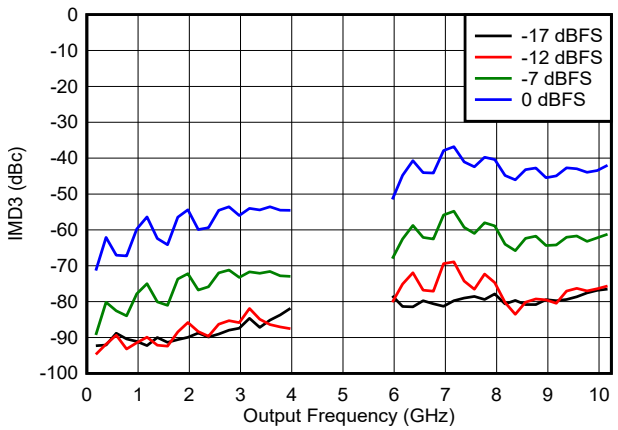
I_{FS_SWITCH} = 20.5mA、DEM / ディザリング オン

図 6-137. DES2X モードにおける IMD3 と周波数およびデジタル振幅との関係



I_{FS_SWITCH} = 41mA、DEM / ディザリング オフ

図 6-138. DES2X モードにおける IMD3 と周波数およびデジタル振幅との関係



I_{FS_SWITCH} = 41mA、DEM / ディザリング オン

図 6-139. DES2X モードにおける IMD3 と周波数およびデジタル振幅との関係

Copyright © 2026 Texas Instruments Incorporated

6.16 代表的特性：直線性スイープ (続き)

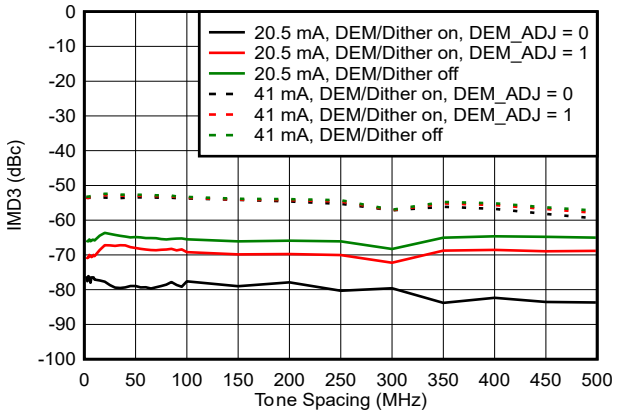


図 6-140. NRZ モードにおける IMD3 とトーン間隔との関係

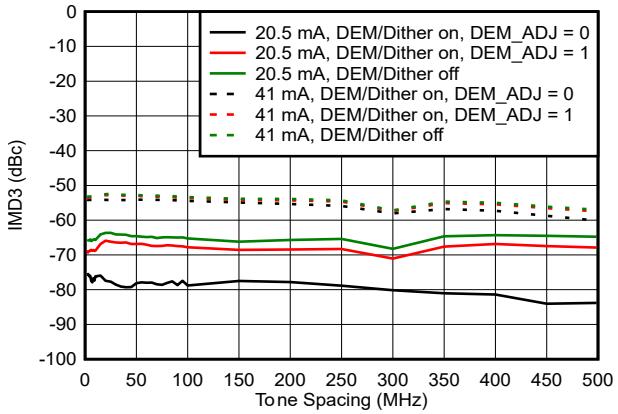


図 6-141. DES2XL モードにおける IMD3 とトーン間隔との関係

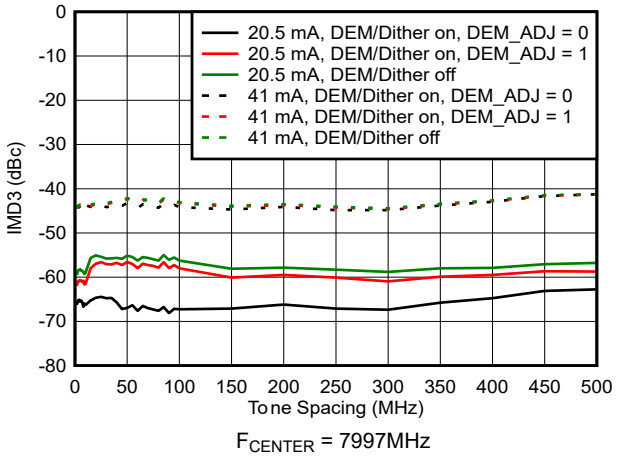


図 6-142. RF モードにおける IMD3 とトーン間隔との関係

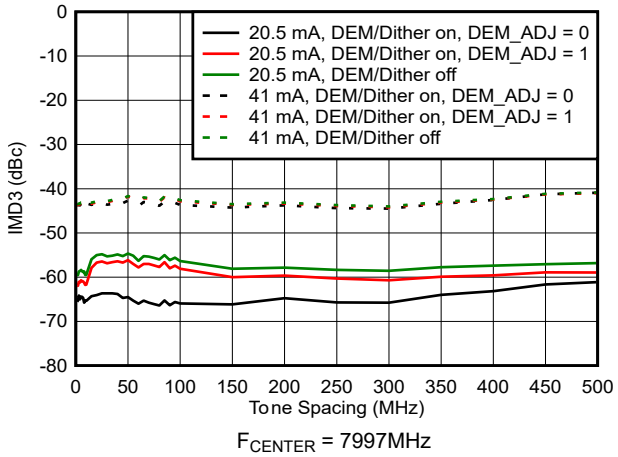


図 6-143. DES2XH モードにおける IMD3 とトーン間隔との関係

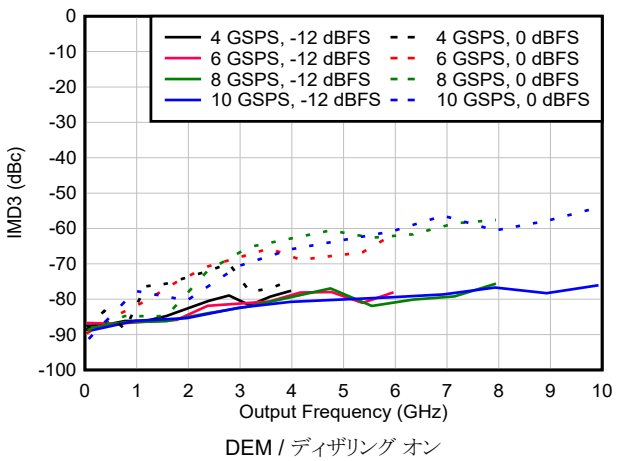


図 6-144. NRZ/RF モードにおける IMD3 と周波数およびサンプルレートとの関係

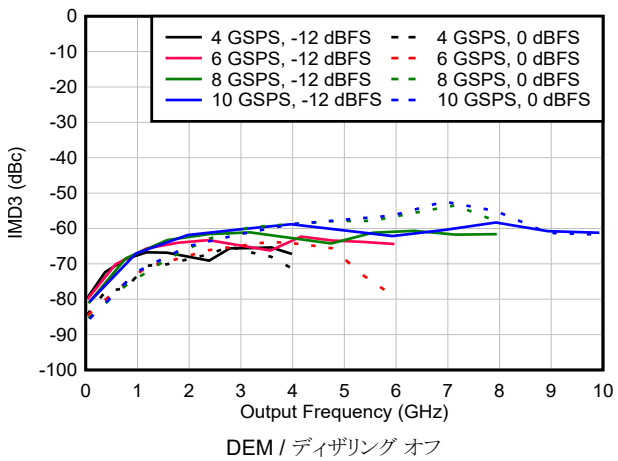
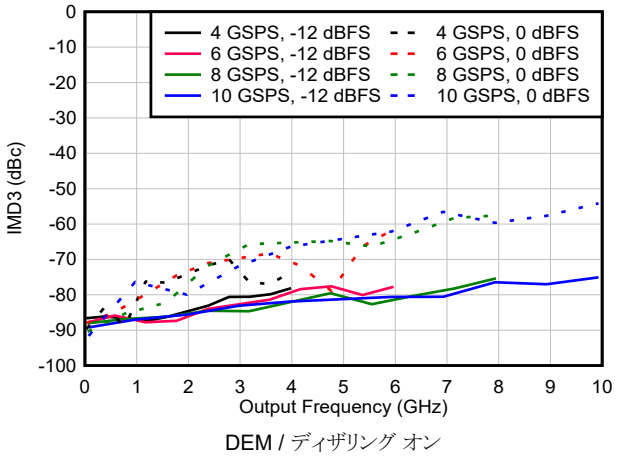


図 6-145. NRZ/RF モードにおける IMD3 と周波数およびサンプルレートとの関係

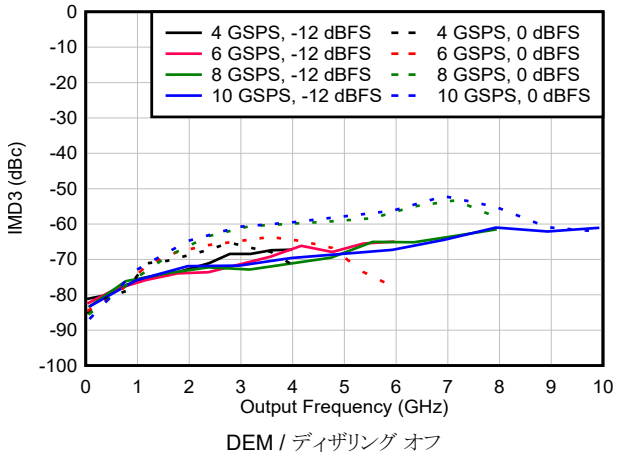
Copyright © 2026 Texas Instruments Incorporated

6.16 代表的特性：直線性スイープ (続き)



DEM / ディザリング オン

図 6-146. DES2X モードにおける IMD3 と周波数およびサンプル レートとの関係



DEM / ディザリング オフ

図 6-147. DES2X モードにおける IMD3 と周波数およびサンプル レートとの関係

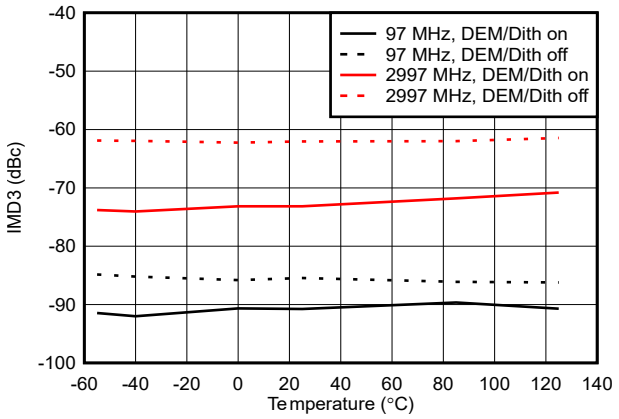


図 6-148. NRZ モードにおける IMD3 と温度との関係

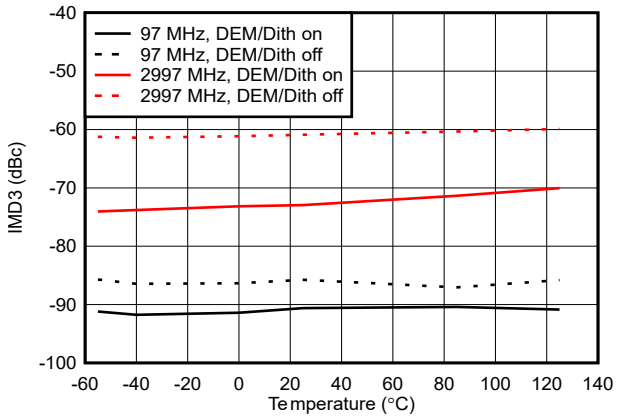


図 6-149. DES2XL モードにおける IMD3 と温度との関係

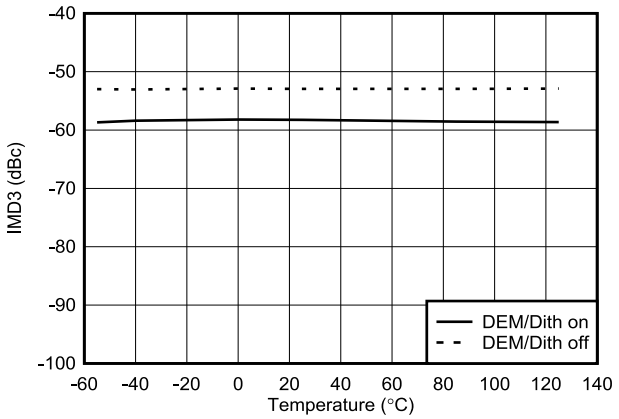


図 6-150. 7247MHz での RF モードでの IMD3 と温度との関係

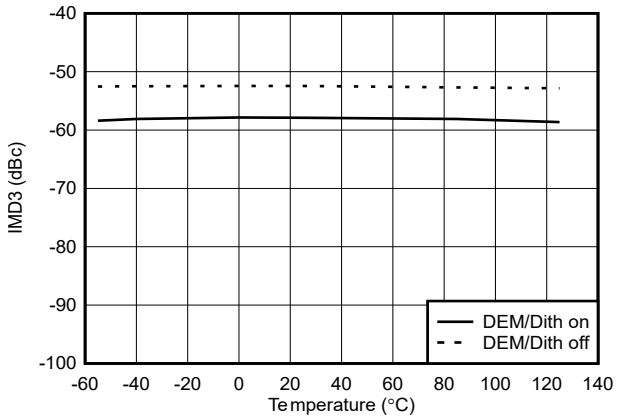


図 6-151. 7247MHz での DES2XH モードにおける IMD3 と温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.16 代表的特性：直線性スイープ (続き)

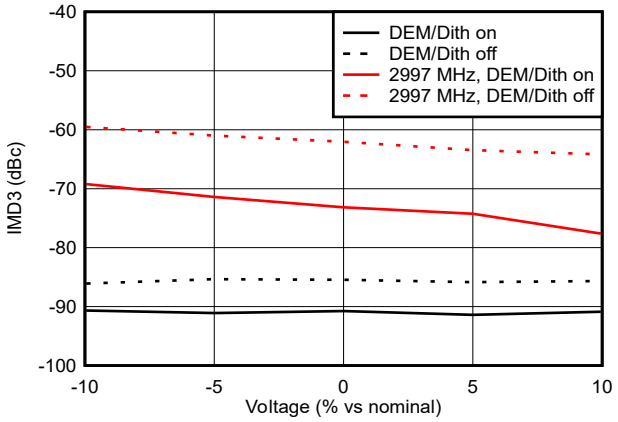


図 6-152. NRZ モードにおける IMD3 と電圧との関係

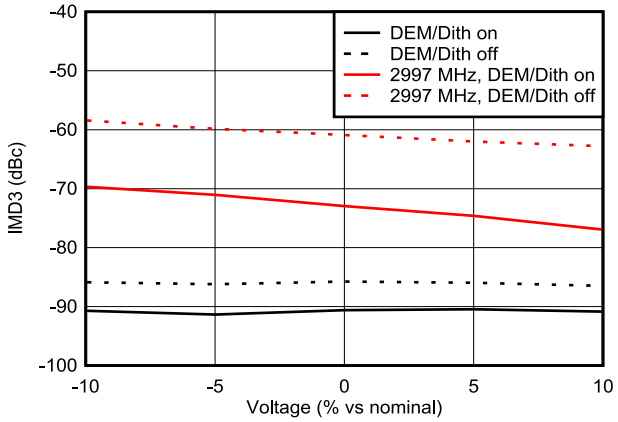


図 6-153. DES2XL モードにおける IMD3 と電圧との関係

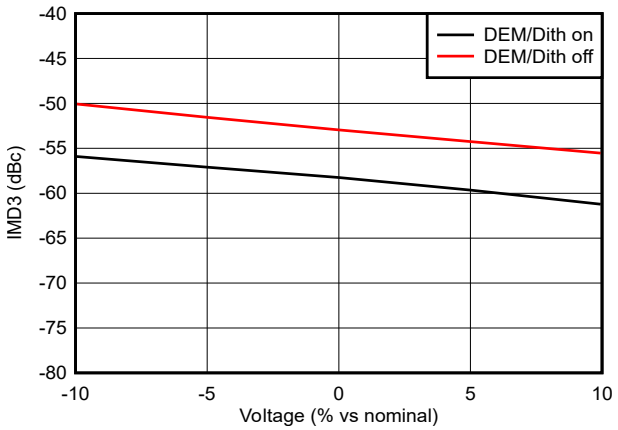


図 6-154. 7247MHz での RF モードにおける IMD3 と電圧との関係

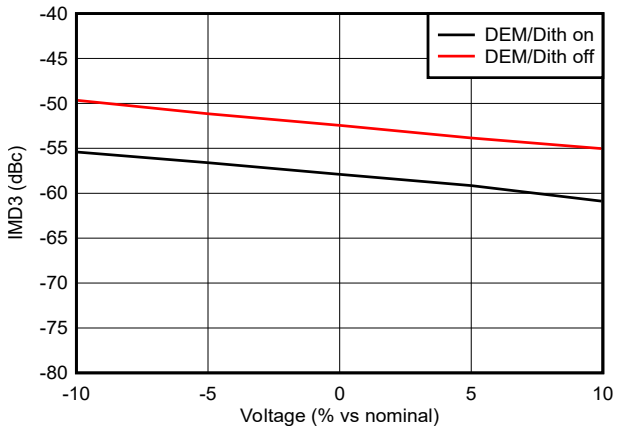


図 6-155. 7247MHz での DES2XH モードにおける IMD3 と電圧との関係

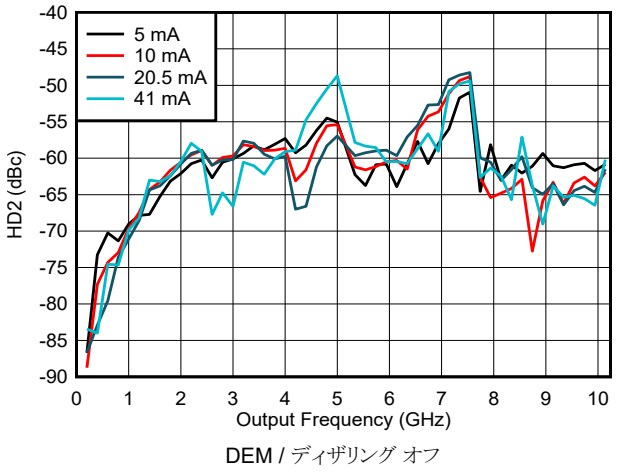


図 6-156. NRZ/RF モードにおける HD2 と周波数および出力電流との関係

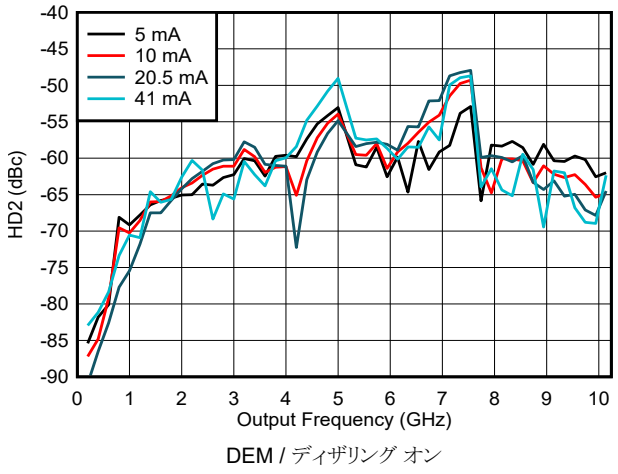
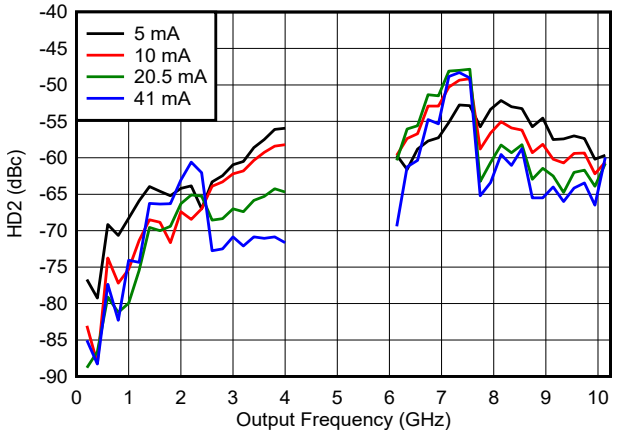


図 6-157. NRZ/RF モードにおける HD2 と周波数および出力電流との関係

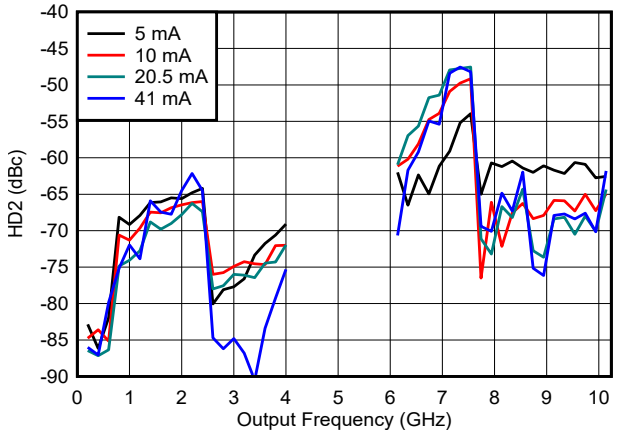
Copyright © 2026 Texas Instruments Incorporated

6.16 代表的特性：直線性スイープ (続き)



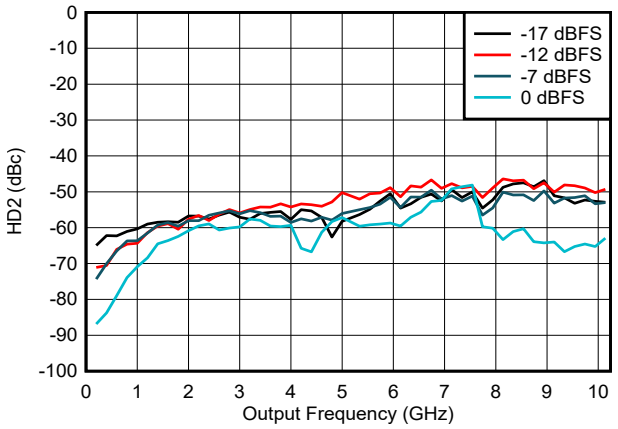
DEM / ディザリング オフ

図 6-158. DES2X モードでにおける HD2 と周波数および出力電流との関係



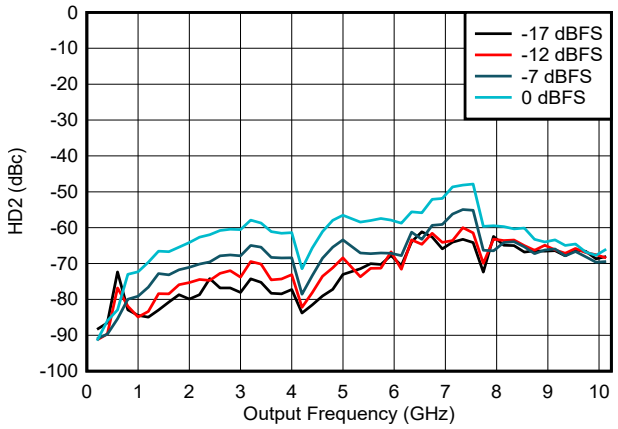
DEM / ディザリング オン

図 6-159. DES2X モードでにおける HD2 と周波数および出力電流との関係



I_{FS_SWITCH} = 20.5mA、DEM / ディザリング オフ

図 6-160. NRZ/RF モードにおける HD2 と周波数およびデジタル振幅との関係

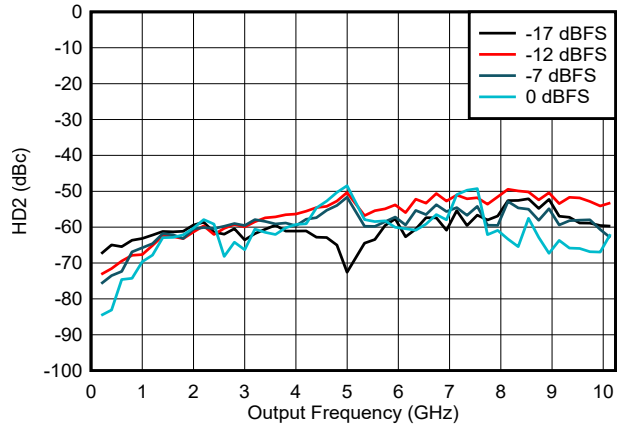


I_{FS_SWITCH} = 20.5mA、DEM / ディザリング オン

図 6-161. NRZ/RF モードにおける HD2 と周波数およびデジタル振幅との関係

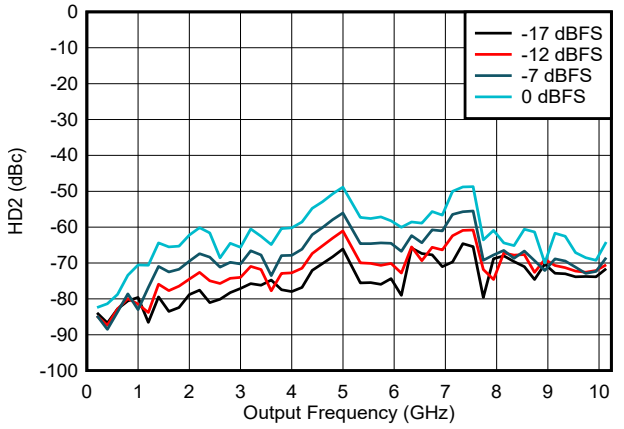
Copyright © 2026 Texas Instruments Incorporated

6.16 代表的特性：直線性スイープ (続き)



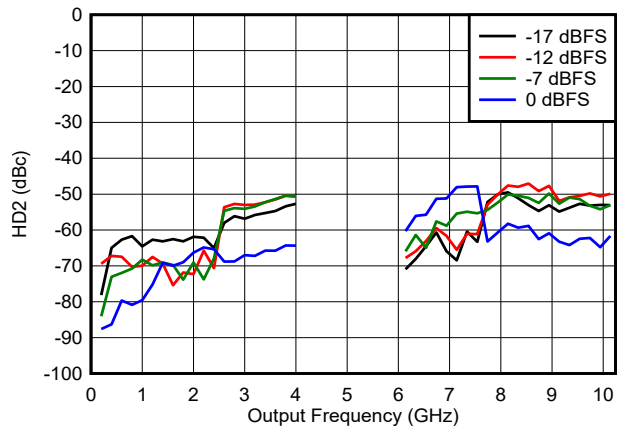
I_{FS_SWITCH} = 41mA、DEM / ディザリング オフ

図 6-162. NRZ/RF モードにおける HD2 と周波数およびデジタル振幅との関係



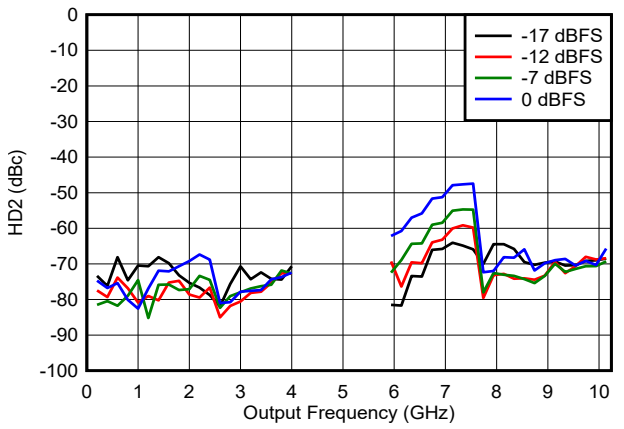
I_{FS_SWITCH} = 41mA、DEM / ディザリング オン

図 6-163. NRZ/RF モードにおける HD2 と周波数およびデジタル振幅との関係



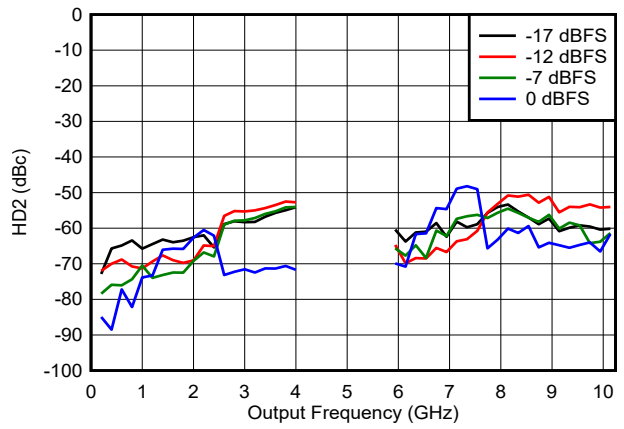
I_{FS_SWITCH} = 20.5mA、DEM / ディザリング オフ

図 6-164. DES2X モードにおける HD2 と周波数およびデジタル振幅との関係



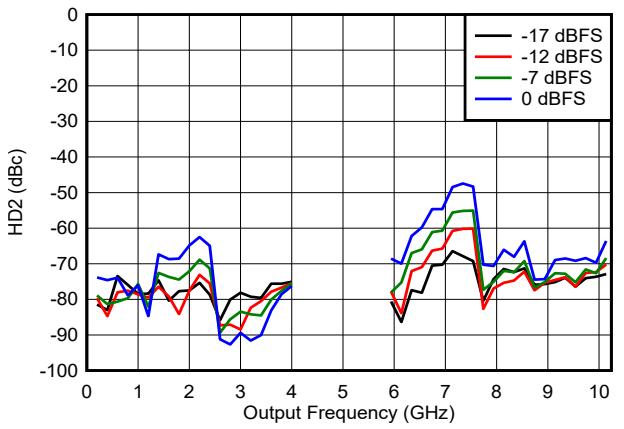
I_{FS_SWITCH} = 20.5mA、DEM / ディザリング オン

図 6-165. DES2X モードにおける HD2 と周波数およびデジタル振幅との関係



I_{FS_SWITCH} = 41mA、DEM / ディザリング オフ

図 6-166. DES2X モードにおける HD2 と周波数およびデジタル振幅との関係

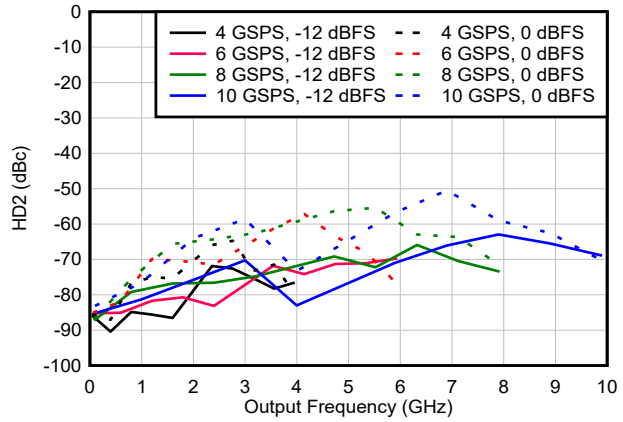


I_{FS_SWITCH} = 41mA、DEM / ディザリング オン

図 6-167. DES2X モードにおける HD2 と周波数およびデジタル振幅との関係

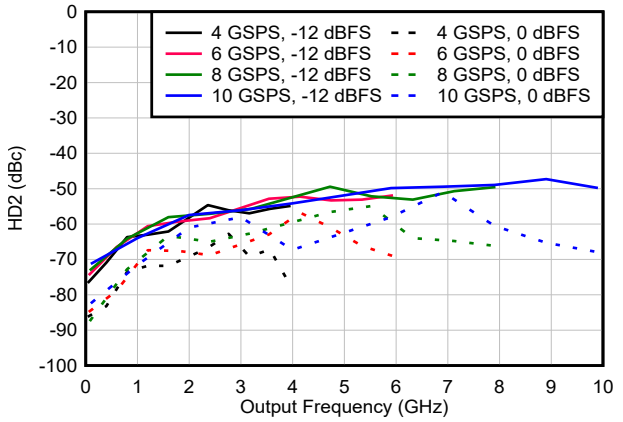
Copyright © 2026 Texas Instruments Incorporated

6.16 代表的特性：直線性スイープ (続き)



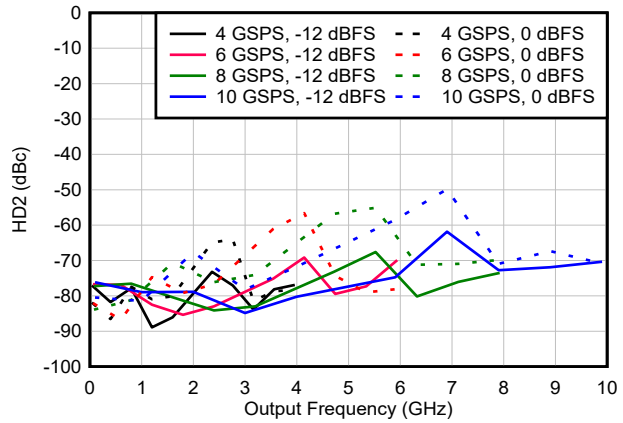
DEM / ディザリング オン

図 6-168. NRZ/RF モードにおける HD2 と周波数およびサンプル レートとの関係



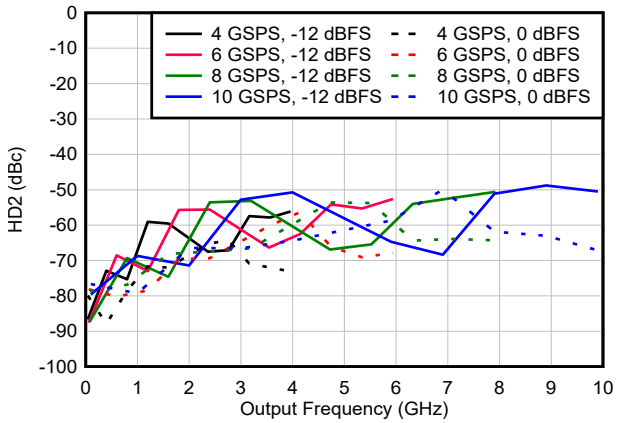
DEM / ディザリング オフ

図 6-169. NRZ/RF モードにおける HD2 と周波数およびサンプル レートとの関係



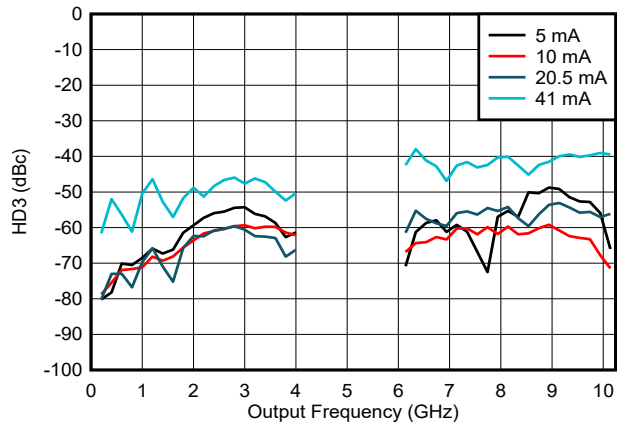
DEM / ディザリング オン

図 6-170. DES2X モードにおける HD2 と周波数およびサンプル レートとの関係



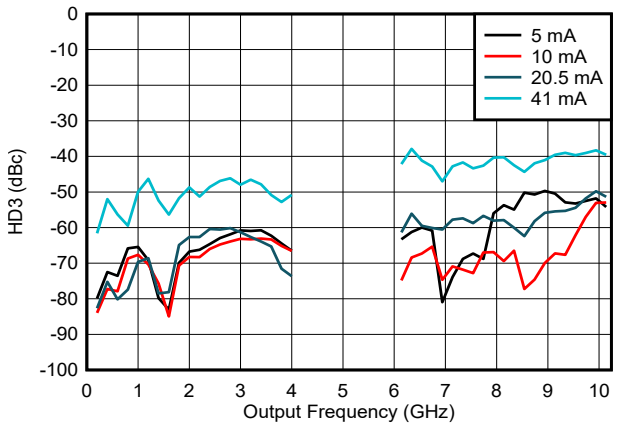
DEM / ディザリング オフ

図 6-171. DES2X モードにおける HD2 と周波数およびサンプル レートとの関係



DEM / ディザリング オフ

図 6-172. NRZ/RF モードにおける HD3 と周波数および出力電流との関係

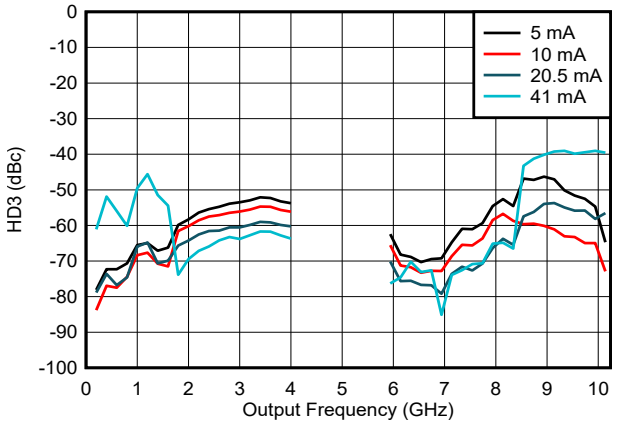


DEM / ディザリング オン

図 6-173. NRZ/RF モードにおける HD3 と周波数および出力電流との関係

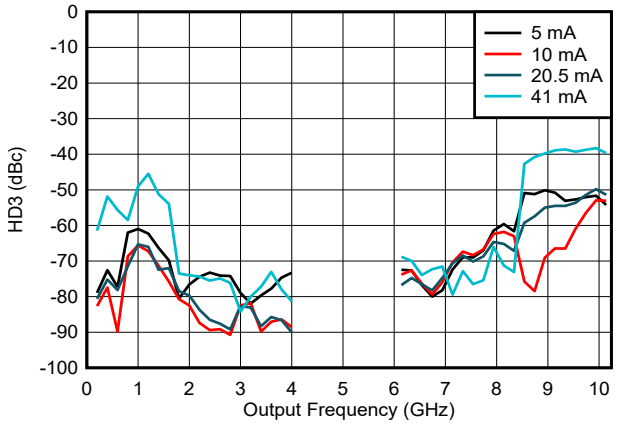
Copyright © 2026 Texas Instruments Incorporated

6.16 代表的特性：直線性スイープ (続き)



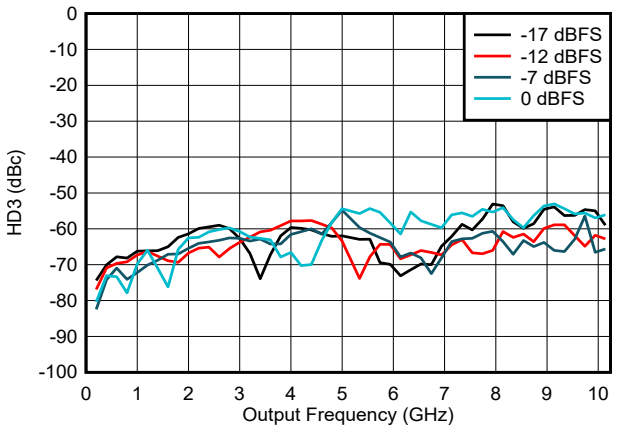
DEM / ディザリング オフ

図 6-174. DES2X モードでにおける HD3 と周波数および出力電流との関係



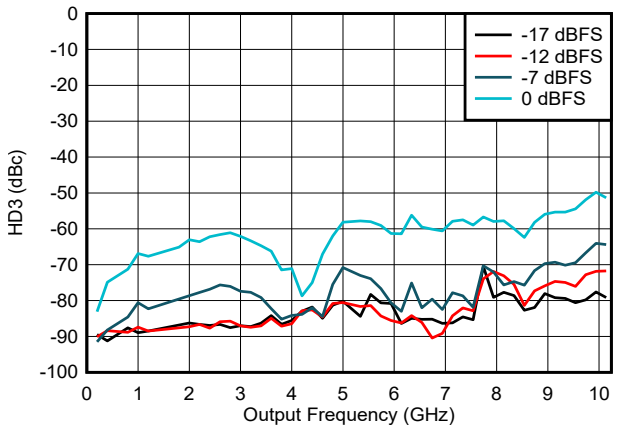
DEM / ディザリング オン

図 6-175. DES2X モードでにおける HD3 と周波数および出力電流との関係



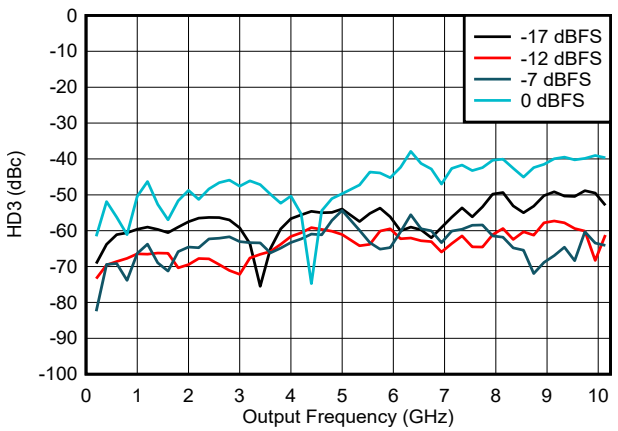
I_{FS_SWITCH} = 20.5mA、DEM / ディザリング オフ

図 6-176. NRZ/RF モードにおける HD3 と周波数およびデジタル振幅との関係



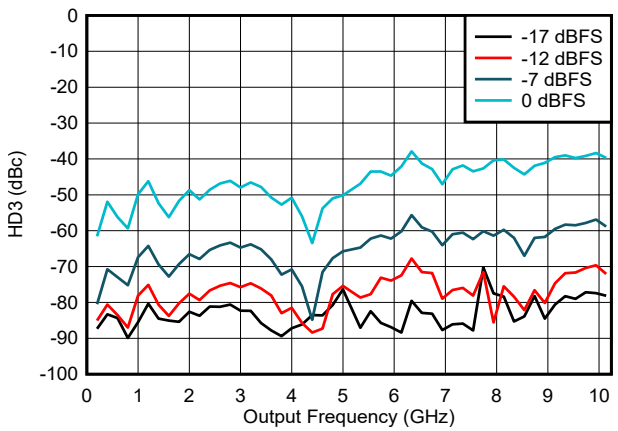
I_{FS_SWITCH} = 20.5mA、DEM / ディザリング オン

図 6-177. NRZ/RF モードにおける HD3 と周波数およびデジタル振幅との関係



I_{FS_SWITCH} = 41mA、DEM / ディザリング オフ

図 6-178. NRZ/RF モードにおける HD3 と周波数およびデジタル振幅との関係

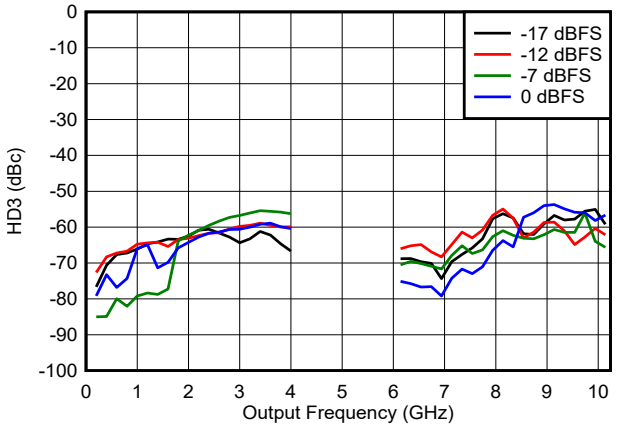


I_{FS_SWITCH} = 41mA、DEM / ディザリング オン

図 6-179. NRZ/RF モードにおける HD3 と周波数およびデジタル振幅との関係

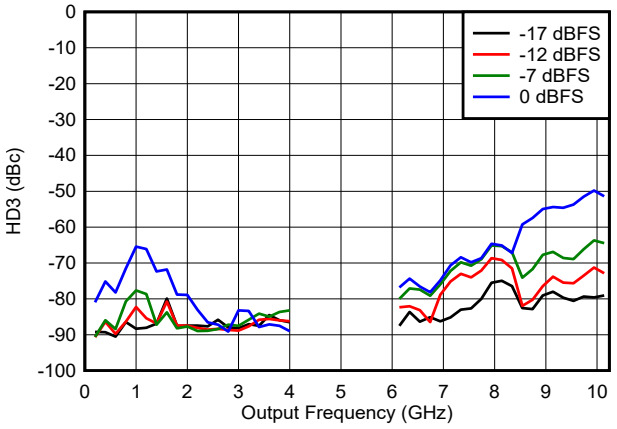
Copyright © 2026 Texas Instruments Incorporated

6.16 代表的特性：直線性スイープ (続き)



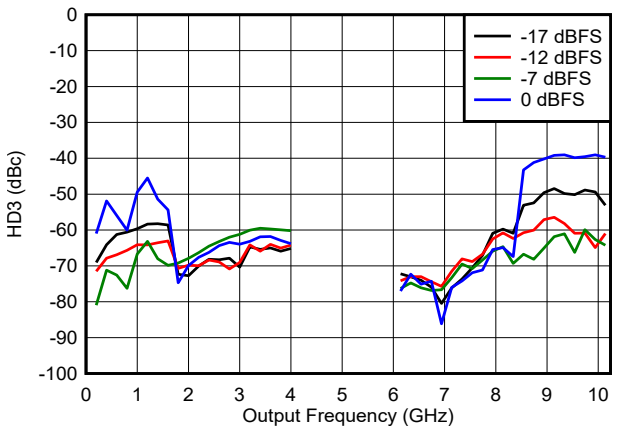
I_{FS_SWITCH} = 20.5mA、DEM / ディザリング オフ

図 6-180. DES2X モードにおける HD3 と周波数およびデジタル振幅との関係



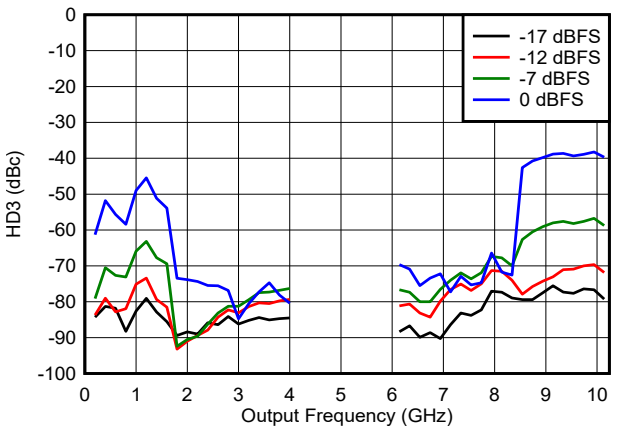
I_{FS_SWITCH} = 20.5mA、DEM / ディザリング オン

図 6-181. DES2X モードにおける HD3 と周波数およびデジタル振幅との関係



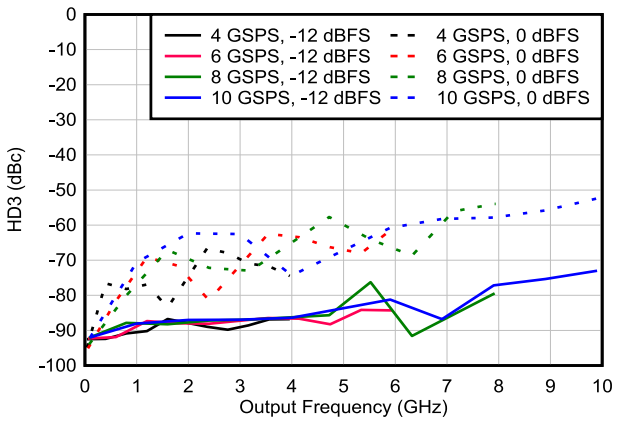
I_{FS_SWITCH} = 41mA、DEM / ディザリング オフ

図 6-182. DES2X モードにおける HD3 と周波数およびデジタル振幅との関係



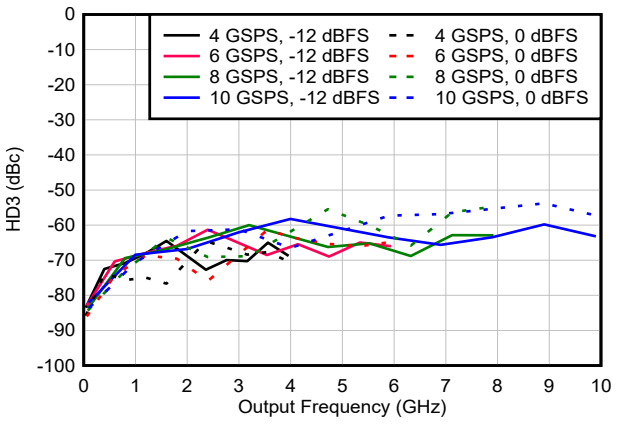
I_{FS_SWITCH} = 41mA、DEM / ディザリング オン

図 6-183. DES2X モードにおける HD3 と周波数およびデジタル振幅との関係



DEM / ディザリング オン

図 6-184. NRZ/RF モードにおける HD3 と周波数およびサンプル レートとの関係

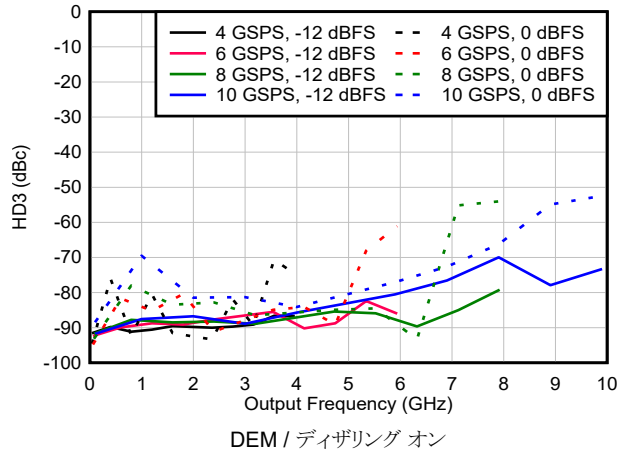


DEM / ディザリング オフ

図 6-185. NRZ/RF モードにおける HD3 と周波数およびサンプル レートとの関係

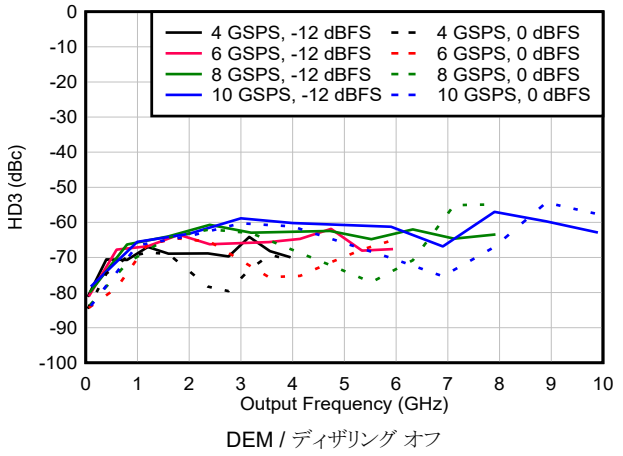
Copyright © 2026 Texas Instruments Incorporated

6.16 代表的特性：直線性スイープ (続き)



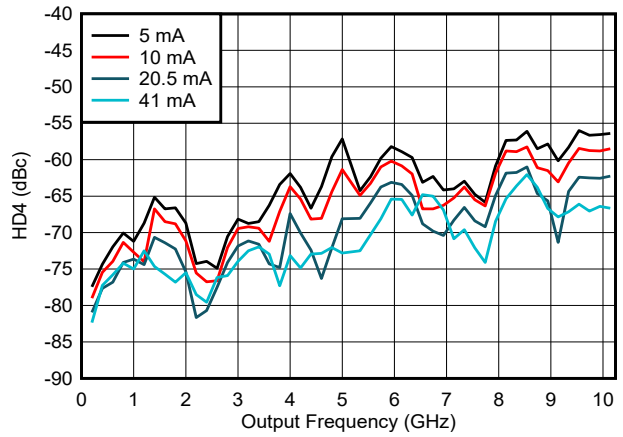
DEM / ディザリング オン

図 6-186. DES2X モードにおける HD3 と周波数およびサンプル レートとの関係



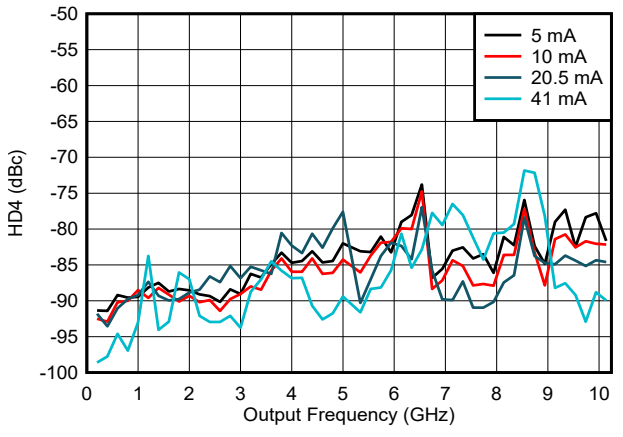
DEM / ディザリング オフ

図 6-187. DES2X モードにおける HD3 と周波数およびサンプル レートとの関係



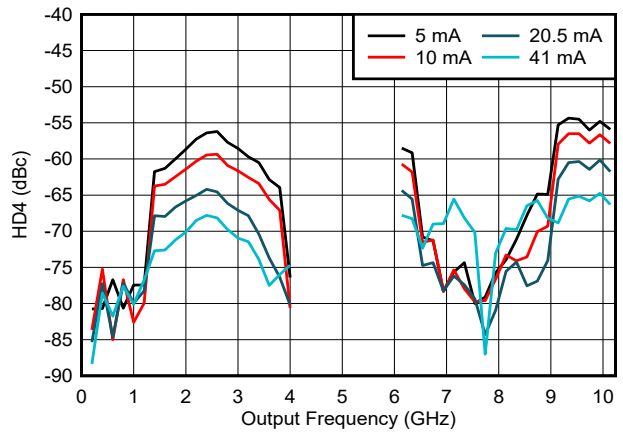
DEM / ディザリング オフ

図 6-188. NRZ/RF モードにおける HD4 と周波数および出力電流との関係



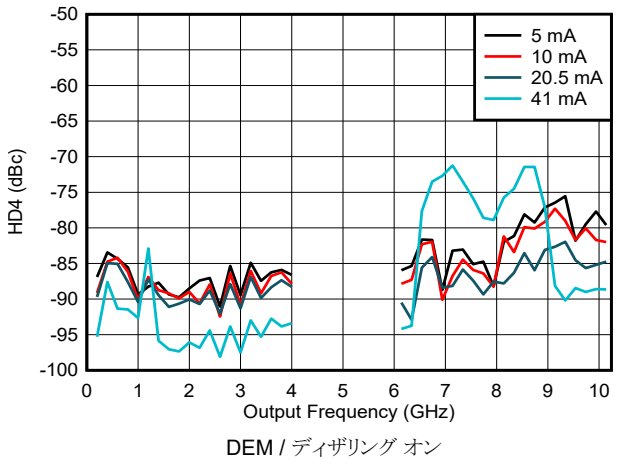
DEM / ディザリング オン

図 6-189. NRZ/RF モードにおける HD4 と周波数および出力電流との関係



DEM / ディザリング オフ

図 6-190. DES2X モードでにおける HD4 と周波数および出力電流との関係



DEM / ディザリング オン

図 6-191. DES2X モードでにおける HD4 と周波数および出力電流との関係

Copyright © 2026 Texas Instruments Incorporated

6.16 代表的特性：直線性スイープ (続き)

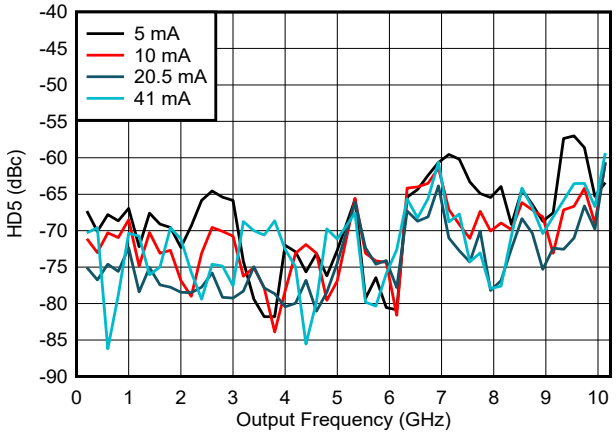


図 6-192. NRZ/RF モードにおける HD5 と周波数および出力電流との関係

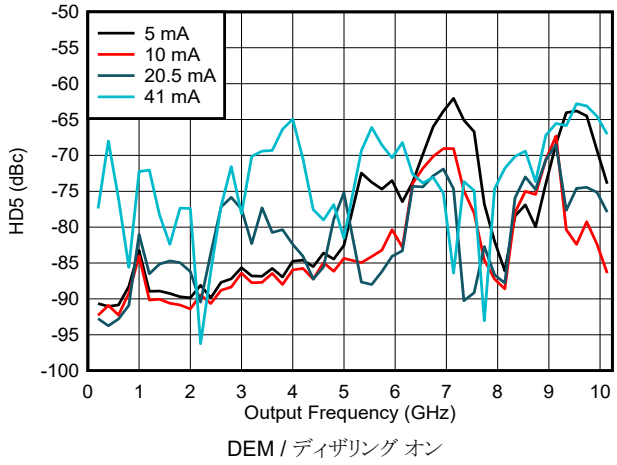


図 6-193. NRZ/RF モードにおける HD5 と周波数および出力電流との関係

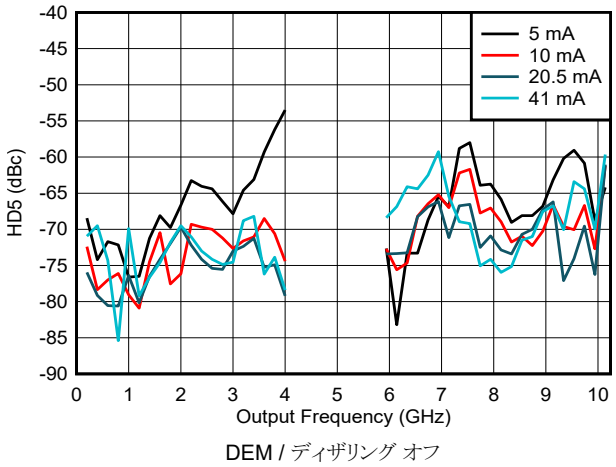


図 6-194. DES2X モードでにおける HD5 と周波数および出力電流との関係

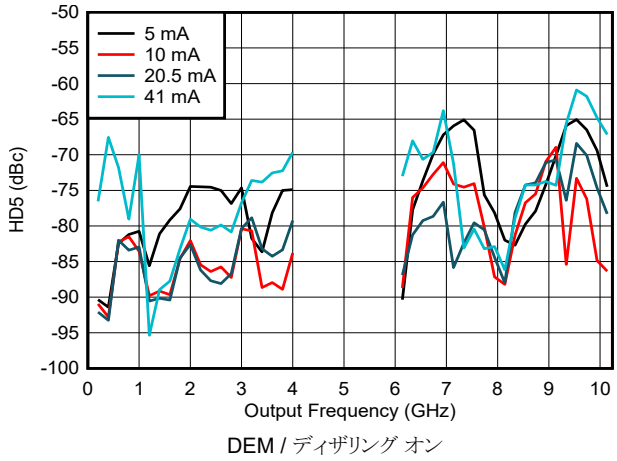
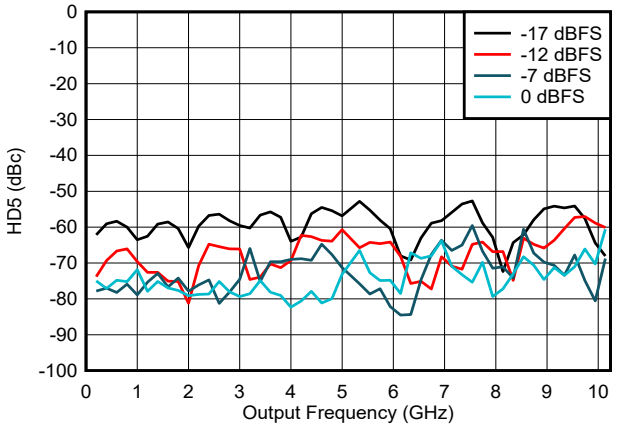


図 6-195. DES2X モードでにおける HD5 と周波数および出力電流との関係

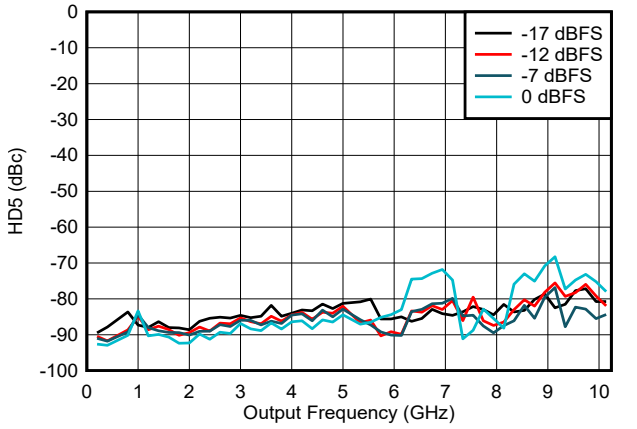
Copyright © 2026 Texas Instruments Incorporated

6.16 代表的特性：直線性スイープ (続き)



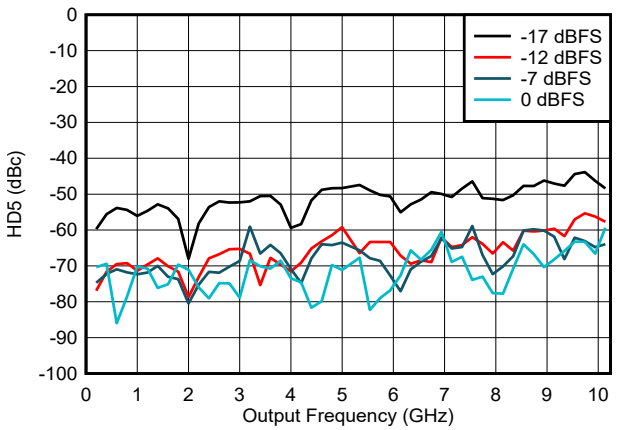
I_{FS_SWITCH} = 20.5mA、DEM / ディザリング オフ

図 6-196. NRZ/RF モードにおける HD5 と周波数およびデジタル振幅との関係



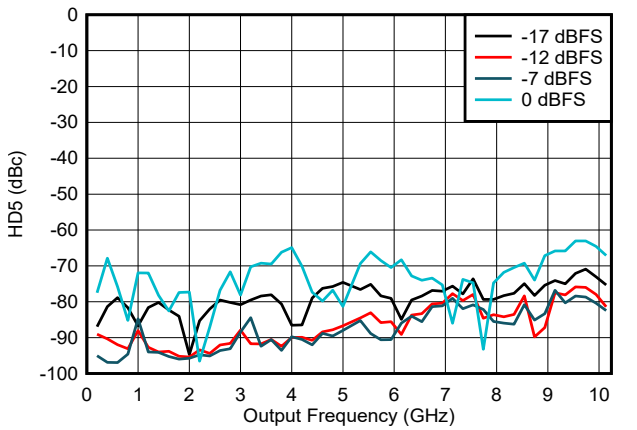
I_{FS_SWITCH} = 20.5mA、DEM / ディザリング オン

図 6-197. NRZ/RF モードにおける HD5 と周波数およびデジタル振幅との関係



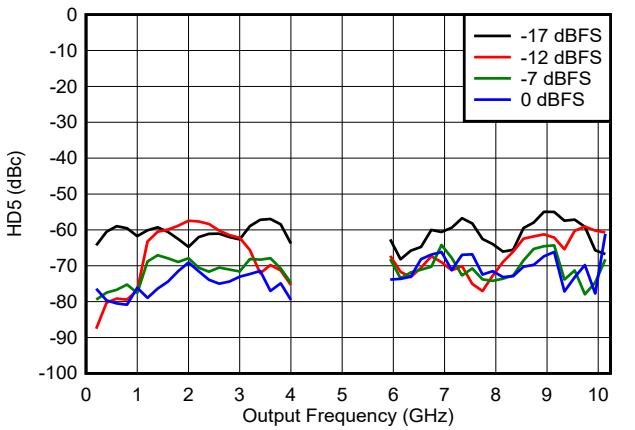
I_{FS_SWITCH} = 41mA、DEM / ディザリング オフ

図 6-198. NRZ/RF モードにおける HD5 と周波数およびデジタル振幅との関係



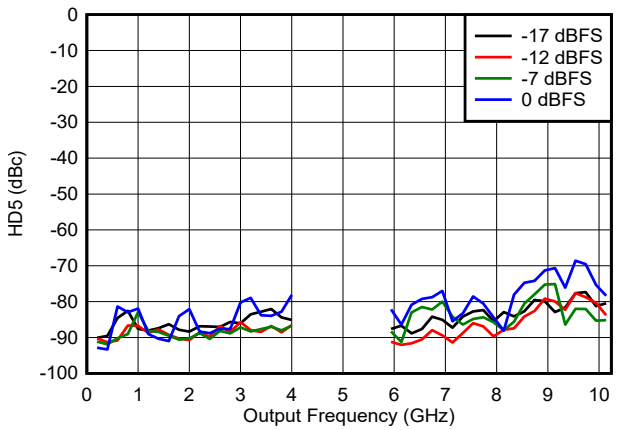
I_{FS_SWITCH} = 41mA、DEM / ディザリング オン

図 6-199. NRZ/RF モードにおける HD5 と周波数およびデジタル振幅との関係



I_{FS_SWITCH} = 20.5mA、DEM / ディザリング オフ

図 6-200. DES2X モードにおける HD5 と周波数およびデジタル振幅との関係

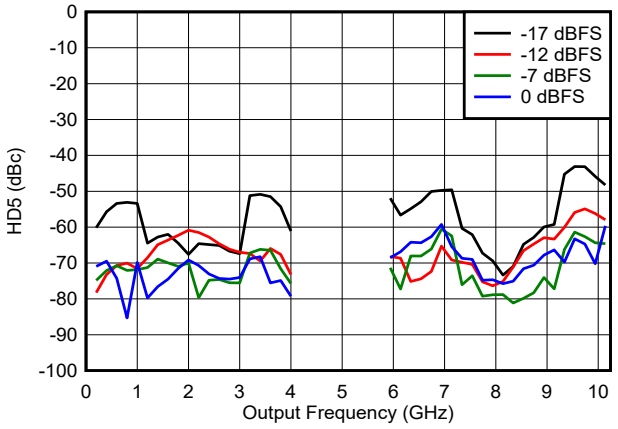


I_{FS_SWITCH} = 20.5mA、DEM / ディザリング オン

図 6-201. DES2X モードにおける HD5 と周波数およびデジタル振幅との関係

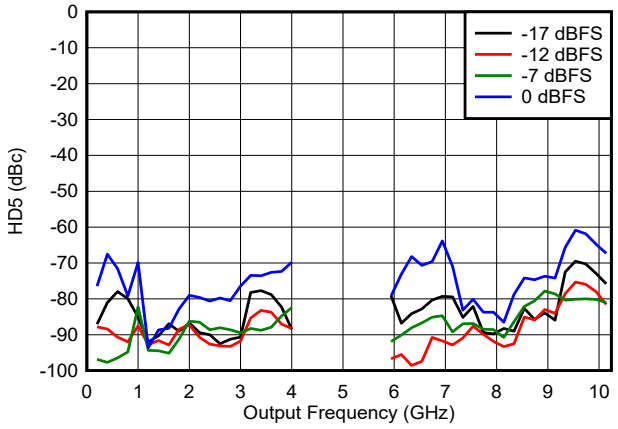
Copyright © 2026 Texas Instruments Incorporated

6.16 代表的特性：直線性スイープ (続き)



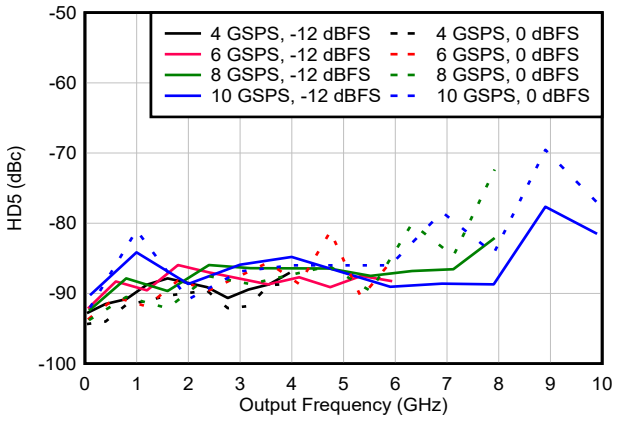
I_{FS_SWITCH} = 41mA、DEM / ディザリング オフ

図 6-202. DES2X モードにおける HD5 と周波数およびデジタル振幅との関係



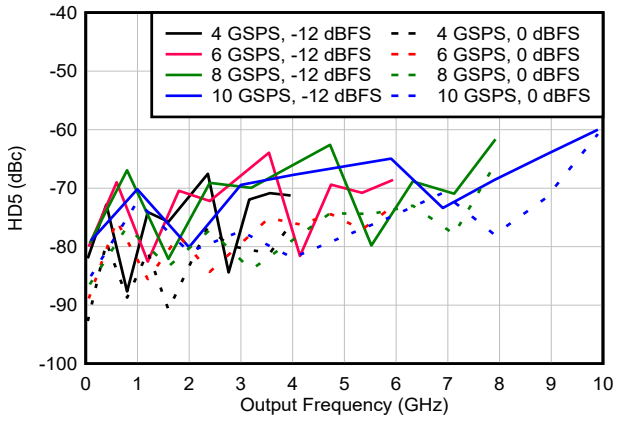
I_{FS_SWITCH} = 41mA、DEM / ディザリング オン

図 6-203. DES2X モードにおける HD5 と周波数およびデジタル振幅との関係



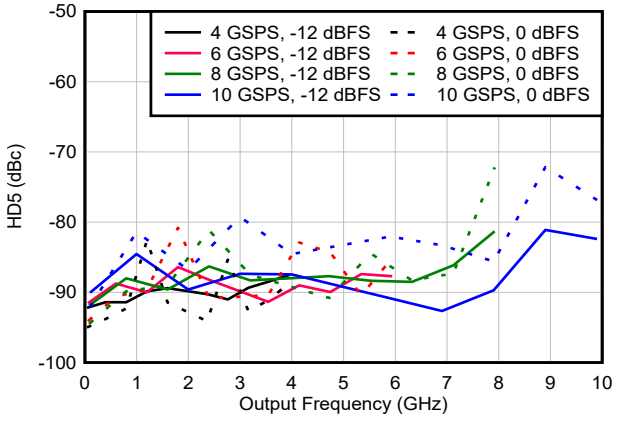
DEM / ディザリング オン

図 6-204. NRZ/RF モードにおける HD5 と周波数およびサンプル レートとの関係



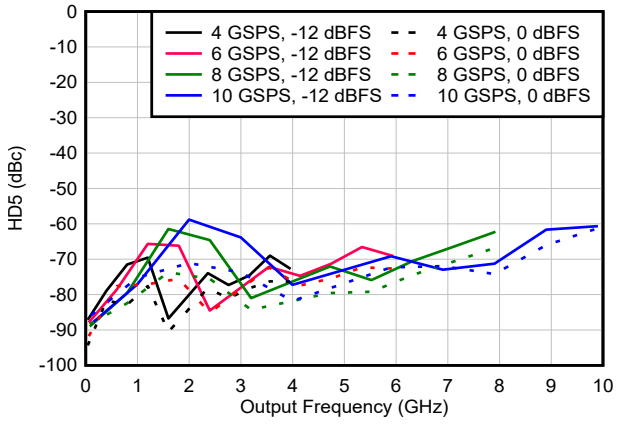
DEM / ディザリング オフ

図 6-205. NRZ/RF モードにおける HD5 と周波数およびサンプル レートとの関係



DEM / ディザリング オン

図 6-206. DES2X モードにおける HD5 と周波数およびサンプル レートとの関係

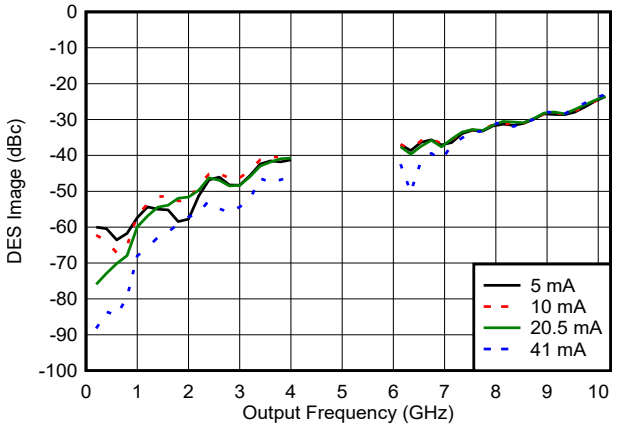


DEM / ディザリング オフ

図 6-207. DES2X モードにおける HD5 と周波数およびサンプル レートとの関係

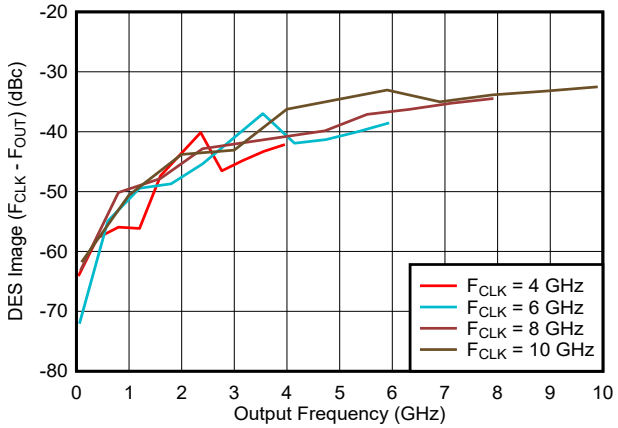
Copyright © 2026 Texas Instruments Incorporated

6.16 代表的特性：直線性スイープ (続き)



DES イメージ = F_{CLK} - F_{OUT}

図 6-208. DES2X モードにおける DES イメージと周波数および出力電流との関係



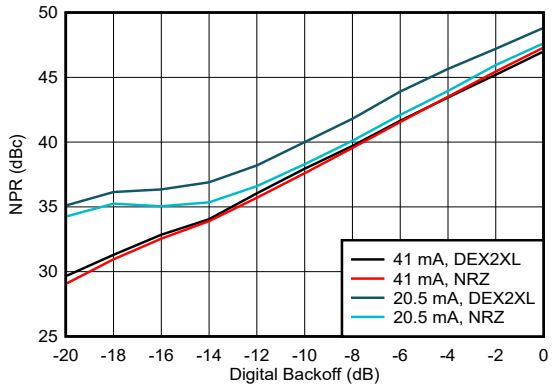
DES イメージ = F_{CLK} - F_{OUT}。反転 DES2X モードを用いて、イメージと同一周波数のトーン電力を基準とした DES イメージの相対レベルです。これにより、周波数全体にわたる帯域幅の差が除去されます。

図 6-209. DES2X モードにおける DES イメージと周波数およびサンプル レートとの関係

Copyright © 2026 Texas Instruments Incorporated

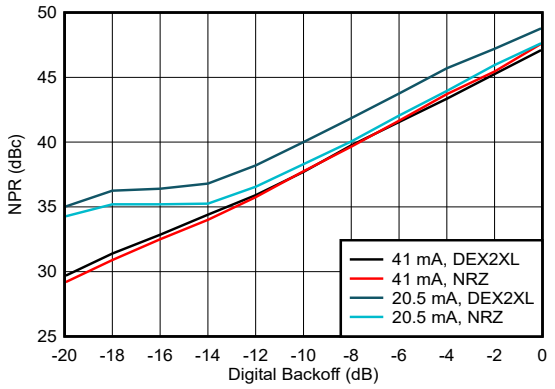
6.17 代表的特性：変調波形

トーンから 70MHz オフセットにおける NSD です。特に記載がない限り、T_A = +25°C における代表値、動作自由空間温度範囲での最小値および最大値、代表的な電源電圧条件、f_{CLK} = 10.24～GHz、DEM 有効時は DEM_ADJ = 0 とします。測定には、ナイキスト周波数の 80% を占有する NPR 波形 (測定用 5% ギャップ、PAR = 12dB) を使用します。



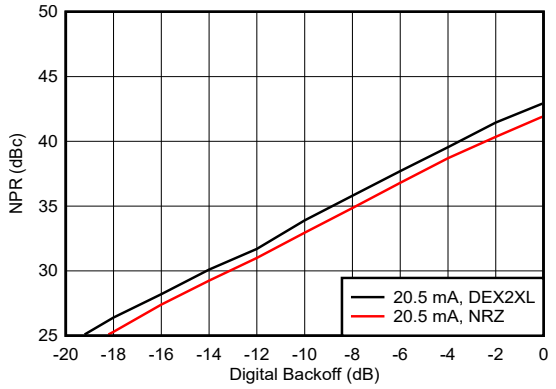
DEM / ディザリング オフ

図 6-210. ノイズ電力比とデジタル バックオフの関係：1 次ナイキスト領域



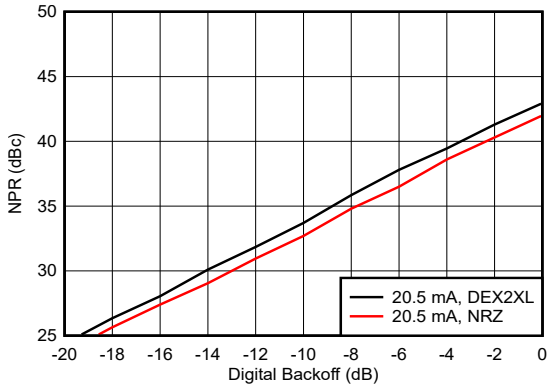
DEM / ディザリング オン

図 6-211. ノイズ電力比とデジタル バックオフの関係：1 次ナイキスト領域



DEM / ディザリング オフ

図 6-212. ノイズ電力比とデジタル バックオフの関係：2 次ナイキスト領域



DEM / ディザリング オン

図 6-213. ノイズ電力比とデジタル バックオフの関係：2 次ナイキスト領域

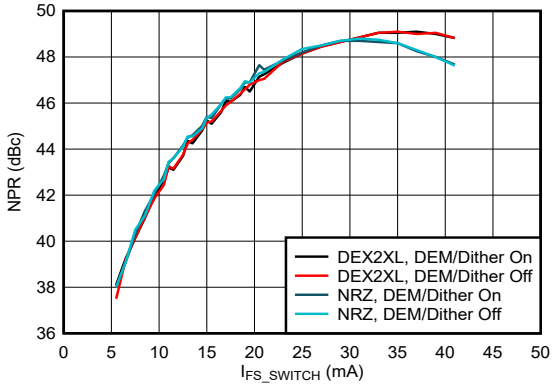


図 6-214. 出力電流とノイズ パワー比の関係：1 次ナイキスト領域

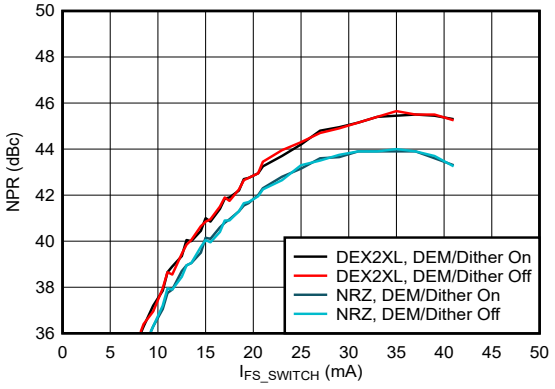
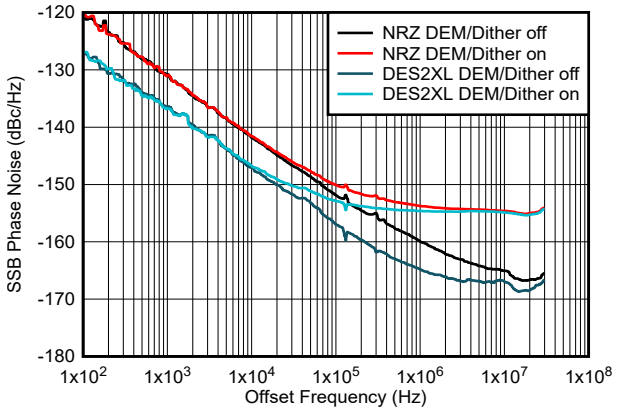


図 6-215. 出力電流とノイズ パワー比の関係：2 次ナイキスト領域

Copyright © 2026 Texas Instruments Incorporated

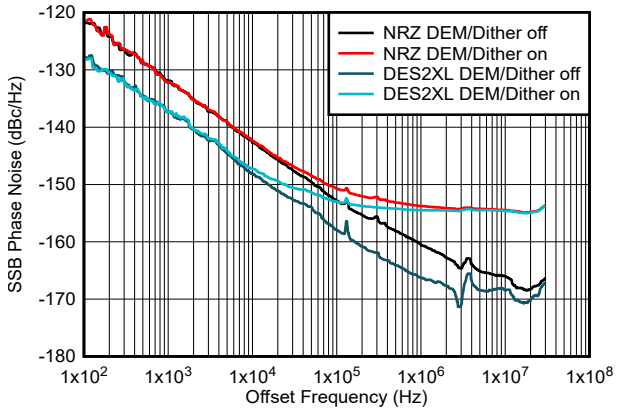
6.18 代表的特性：位相ノイズと振幅ノイズ

特に記載のない限り、T_A = +25°C での代表値、動作周囲温度範囲にわたる最小値 / 最大値、代表的な電源電圧、f_{CLK} = 10.24GHz、単一トーン振幅 0dBFS、f_{OUT} = 1GHz の条件で測定しています。位相ノイズ アナライザによって除去される入力クロックの寄与。



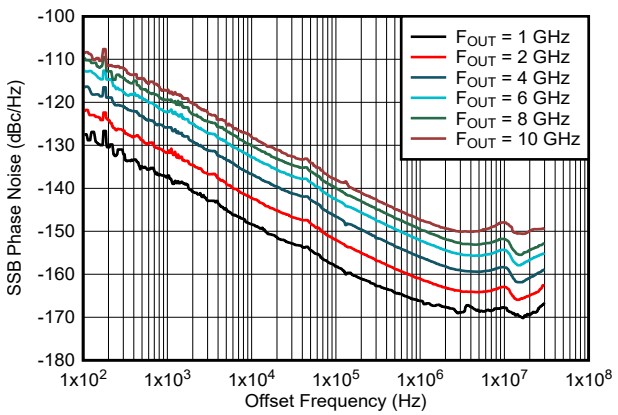
f_{CLK} = 8GHz

図 6-216. 1GHz における位相ノイズとオフセット周波数の関係



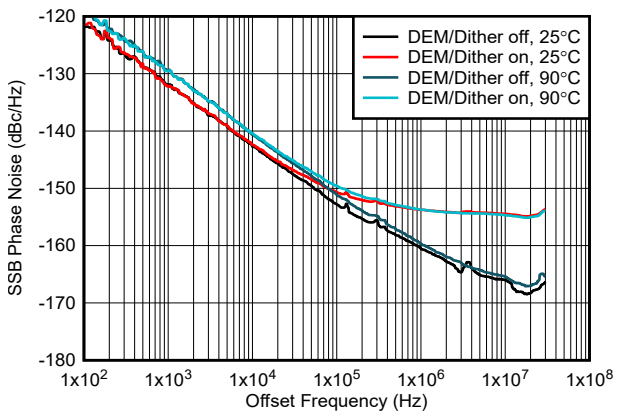
f_{CLK} = 10.24GHz

図 6-217. 1GHz における位相ノイズとオフセット周波数の関係



DES2XL および DES2XH モード、DEM / ディザリング オフ

図 6-218. 位相ノイズとオフセット周波数および出力周波数の関係



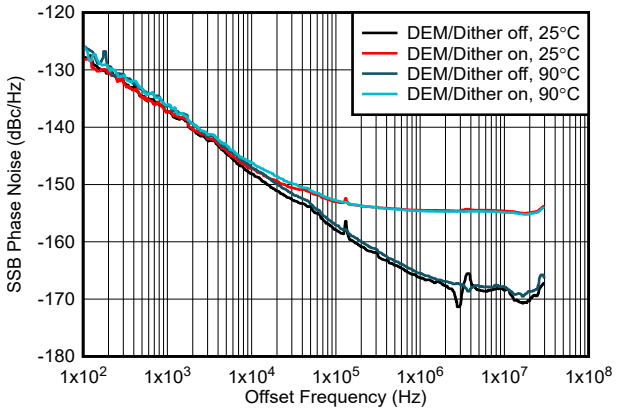
NRZ モード

図 6-219. 1GHz における位相ノイズとオフセット周波数の関係

Copyright © 2026 Texas Instruments Incorporated

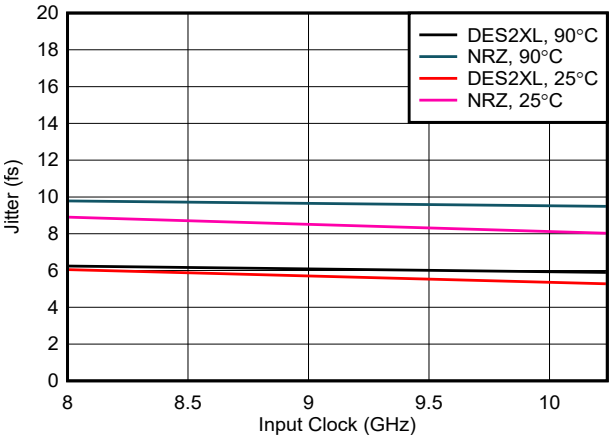
6.18 代表的特性：位相ノイズと振幅ノイズ (続き)

特に記載のない限り、T_A = +25°C での代表値、動作周囲温度範囲にわたる最小値 / 最大値、代表的な電源電圧、f_{CLK} = 10.24GHz、単一トーン振幅 0dBFS、f_{OUT} = 1GHz の条件で測定しています。位相ノイズ アナライザによって除去される入力クロックの寄与。



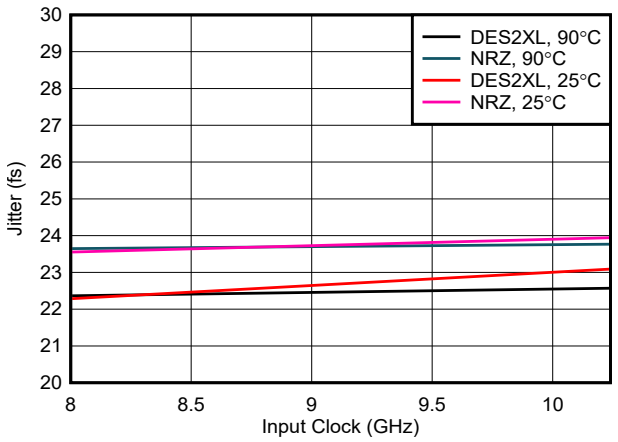
DES2XL モード

図 6-220. 1GHz における位相ノイズとオフセット周波数の関係



100Hz から 30MHz に内蔵、DEM / ディザリング オフ

図 6-221. ジッタと入力クロックとの関係



100Hz から 30MHz に統合、DEM / ディザリング オン

図 6-222. ジッタと入力クロックとの関係

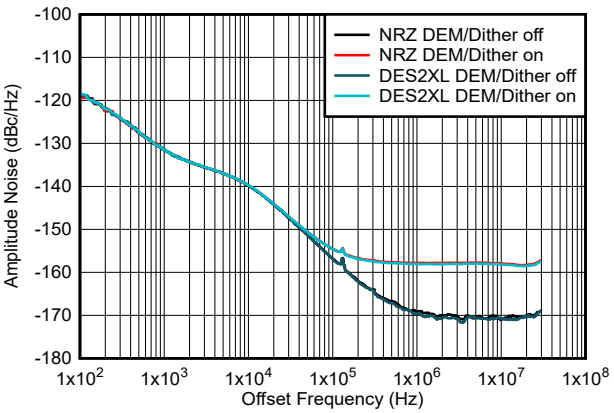
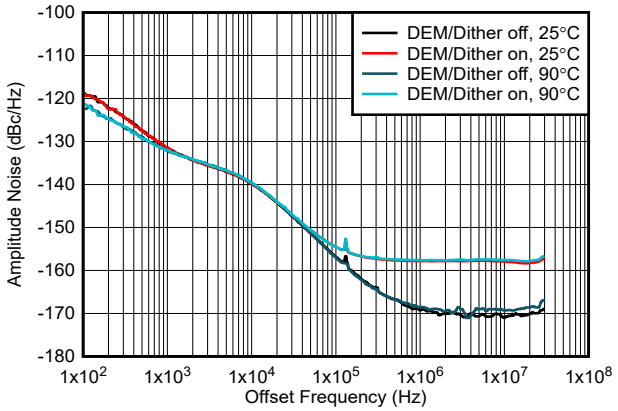


図 6-223. 1GHz における振幅ノイズとオフセット周波数の関係

Copyright © 2026 Texas Instruments Incorporated

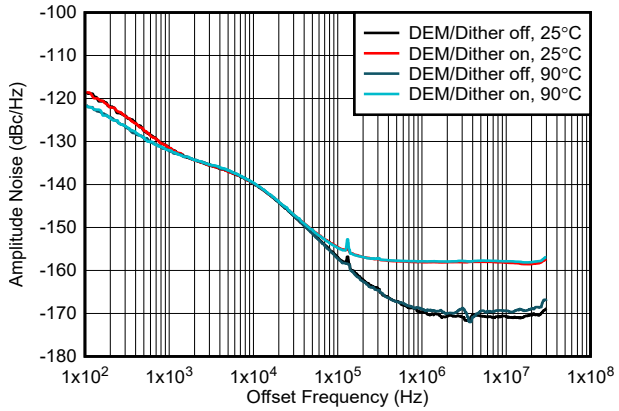
6.18 代表的特性：位相ノイズと振幅ノイズ (続き)

特に記載のない限り、T_A = +25°C での代表値、動作周囲温度範囲にわたる最小値 / 最大値、代表的な電源電圧、f_{CLK} = 10.24GHz、単一トーン振幅 0dBFS、f_{OUT} = 1GHz の条件で測定しています。位相ノイズ アナライザによって除去される入力クロックの寄与。



NRZ モード

図 6-224. 1GHz における振幅ノイズとオフセット周波数および温度の関係



DES2XL モード

図 6-225. 1GHz における振幅ノイズとオフセット周波数および温度の関係

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

DAC39RF10-Sx および RFS10-Sx は、16 ビット分解能のシングルおよびデュアル チャネル D/A コンバータ (DAC) ファミリです。これらのデバイスは、シングル チャネルまたはデュアル チャネルの非補間 DAC として使用できます。このデバイスは、直接 RF サンプリング モードまたはベースバンド モードの補間 DAC としても使用でき、異なる RF 周波数で結合可能な最大 4 つの複合 (IQ) 入力ストリームをサポートしています。最大入力データ レートは、シングル チャネル モードで 20.8 GSPS、デュアル チャネル モードまたはベースバンド モードで 10.4GSPS です。このデバイスは、8GHz を超えるキャリア周波数で、最大 5、7、8、10GHz の信号帯域幅 (8、12、16 ビットの入力分解能) の信号を生成できるため、C バンドを通した X バンドへの直接サンプリングを可能にします。

64 ビット NCO 周波数分解能と、位相コヒーレンス、連続性、リセットのオプションを備えた無限周波数ホッピングにより、このデバイスは任意波形生成 (AWG) およびダイレクト デジタル合成 (DDS) に理想的です。

8b/10b および 64b/66b エンコード オプションを持つ JESD204C 互換のシリアル インターフェースには、最大 12.8Gbps に対応する 16 組のレシーバ ペアがあります。インターフェイスは JESD204C サブクラス 1 に準拠しており、SYSREF を使用することで、決定論的レイテンシとマルチデバイス同期を実現します。SYSREF ウィンドウ処理機能により、SYSREF タイミングの自動較正が可能です。

7.2 機能ブロック図

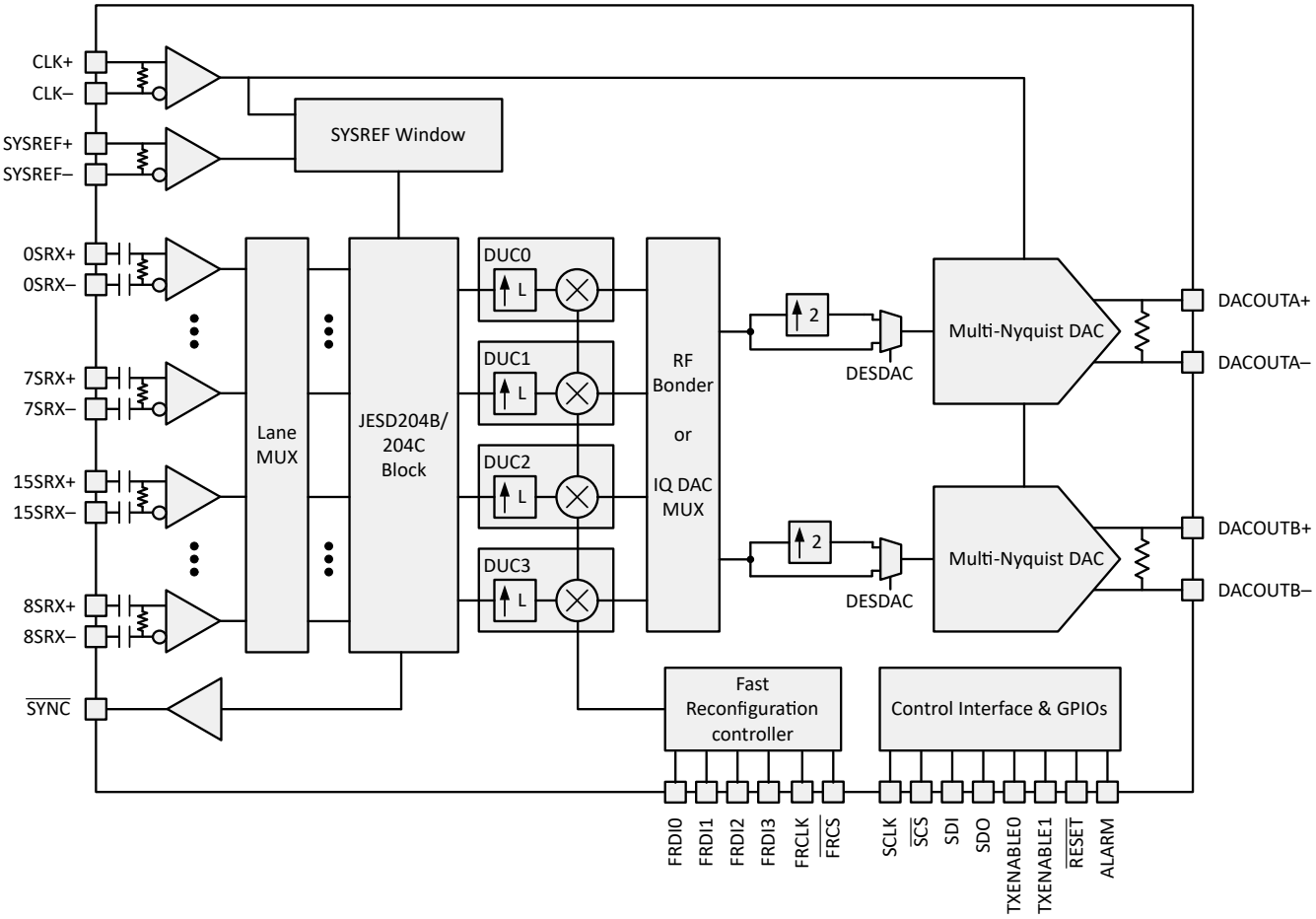


図 7-1. デュアル チャネル デバイス

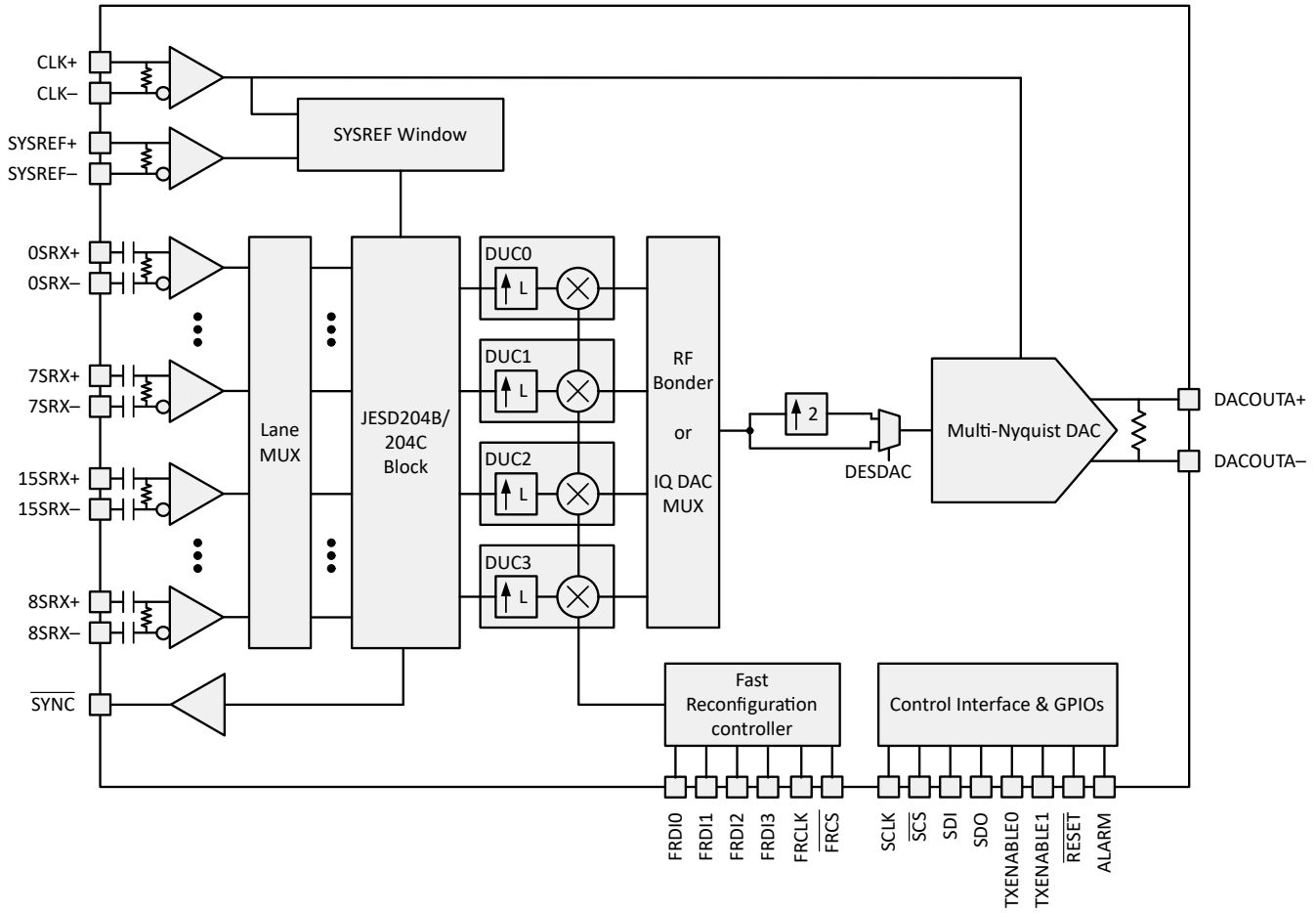


図 7-2. シングルチャネル デバイス

Copyright © 2026 Texas Instruments Incorporated

7.3 機能説明

このセクションでは、デバイスのアナログおよびデジタル機能について説明します。

7.3.1 DAC 出力モード

DAC39RF10-Sx および RFS10-Sx は、第 3 ナイキスト ゾーンを介した直接送信が可能なマルチナイキスト DAC コアで構成されています。高出力周波数機能は、出力波形を変化させる特定の出力スイッチング波形によって実現されます。これにより DAC の周波数応答が変化し、交互のナイキストゾーンにおける DAC イメージが強調されます。必要なスイッチング波形は、シリアル インターフェイス経由で選択可能です。各モードの特性および用途とともに、その一覧を表 7-1 に示します。このセクションに示す応答では、DAC アナログ帯域幅または外部のパッシブ / アクティブ信号チェーン部品の影響は考慮されません。

表 7-1. マルチナイキスト出力モードと使用方法の概要

DAC 出力モード	DC を通過	最適な周波数範囲	ピーク出力電力(1)	その他
NRZ (non-return to zero) 形式	あり	0 - F_{CLK}/2	0dBFS	
ゼロに復帰 (RTZ)	あり	0 - F_{CLK}	-6dBFS	
無線周波数 (RF)	なし	F_{CLK}/2 - F_{CLK}	-2.8dBFS	
デュアル エッジ サンプリング (DES)	あり	0 - F_{CLK}	0dBFS	F_{CLK} - F_{OUT} でのデューティ サイクルの画像

(1) ここでのピーク電力には、寄生的な受動部品または外部部品によるアナログ出力帯域幅の影響は含まれません

7.3.1.1 NRZ モード

NRZ（non-return-to-zero）モードは、標準的なゼロ次ホールドモードです。図 7-3 に、NRZ モードのタイミング図を示します。サンプルは、CLK の立ち上がりエッジで DAC から出力され、立ち上がりエッジまで保持されます。この出力波形は、タイムドメインの長方形フィルタと考えることができ、周波数ドメインで同期応答が得られます。その結果、第二および第三ナイキストゾーンで大きな電力損失が生じる周波数応答と、サンプリングレートでヌルが得られることから、第一ナイキストゾーンでの動作のみを対象としています。図 7-4 に、NRZ モードの周波数応答のプロットを示します。

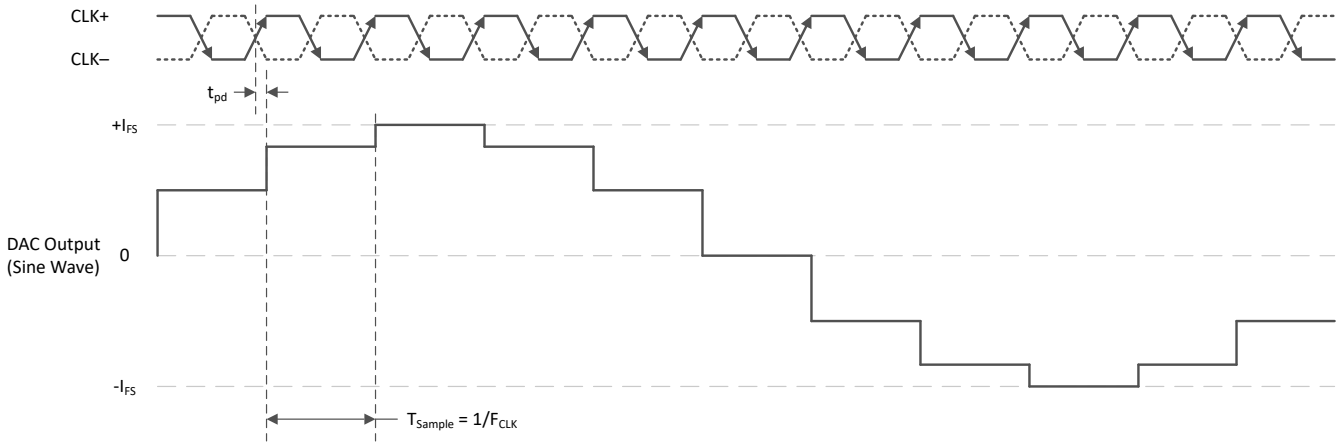


図 7-3. NRZ モードのタイミング図

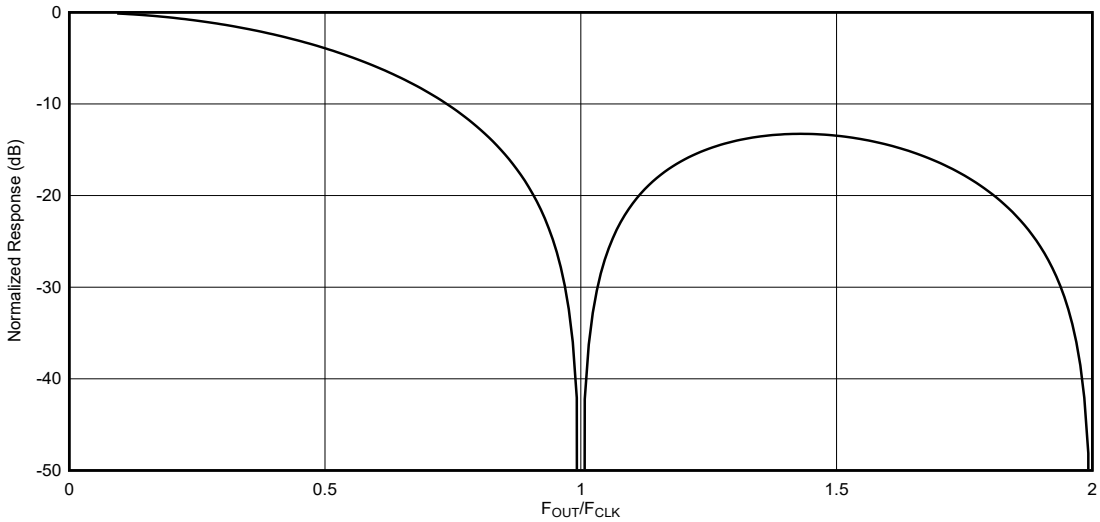


図 7-4. NRZ モード出力周波数応答

7.3.1.2 RTZ モード

ゼロ復帰 (RTZ) モードは、DAC で使用される標準的なゼロ次ホールドモードと似ていますが、応答により、サンプル期間の後半の間に RTZ パルスが追加されます。図 7-5 に、RTZ モードのタイミング図を示します。この出力波形は、NRZ モードで使用される半分の長さのタイムドメインの長方形フィルタと考えることができ、同期応答は周波数ドメインで 2 倍に拡大されます。その結果、第二ナイキスト領域での電力損失が小さく、サンプリングレートの 2 倍のヌルでの周波数応答を実現できます。第 1 および第 2 ナイキストゾーンアプリケーションで使用できます。 ゼロ復帰パルスは、ピーク電力を 6dB 低減するトレードオフで最初のナイキストゾーンを通じて、よりフラットなレスポンスを実現します。図 7-6 に、RTZ モードの周波数応答のプロットを示します。

Copyright © 2026 Texas Instruments Incorporated

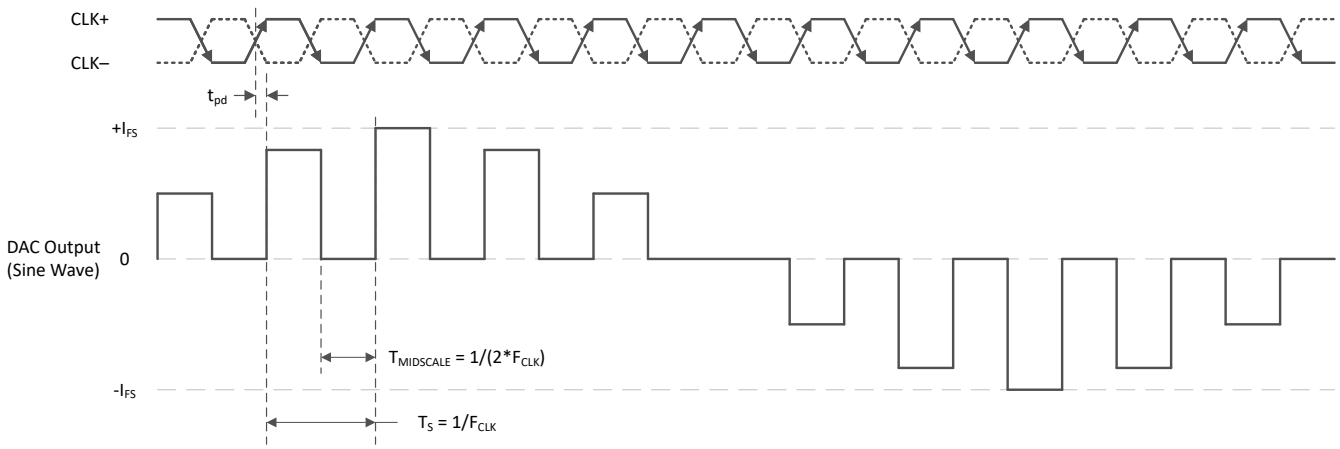


図 7-5. RTZ モードのタイミング図

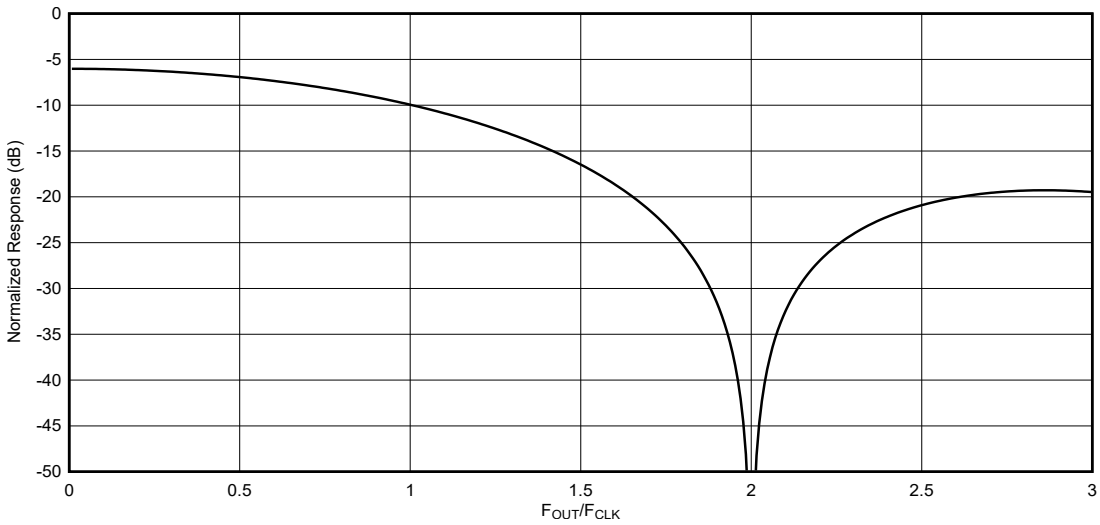


図 7-6. RTZ モード出力周波数応答

7.3.1.3 RF モード

RF モードでは、サンプル期間の中間でサンプルを反転することで、ミキシング機能が DAC の出力に追加されます。その結果、2 次ナイキスト ゾーンでピークと最大平坦度を実現する sinc 応答が得られます。図 7-7 に、RF モードのタイミング図を示します。図 7-8 に、RF モードの周波数応答のプロットを示します。

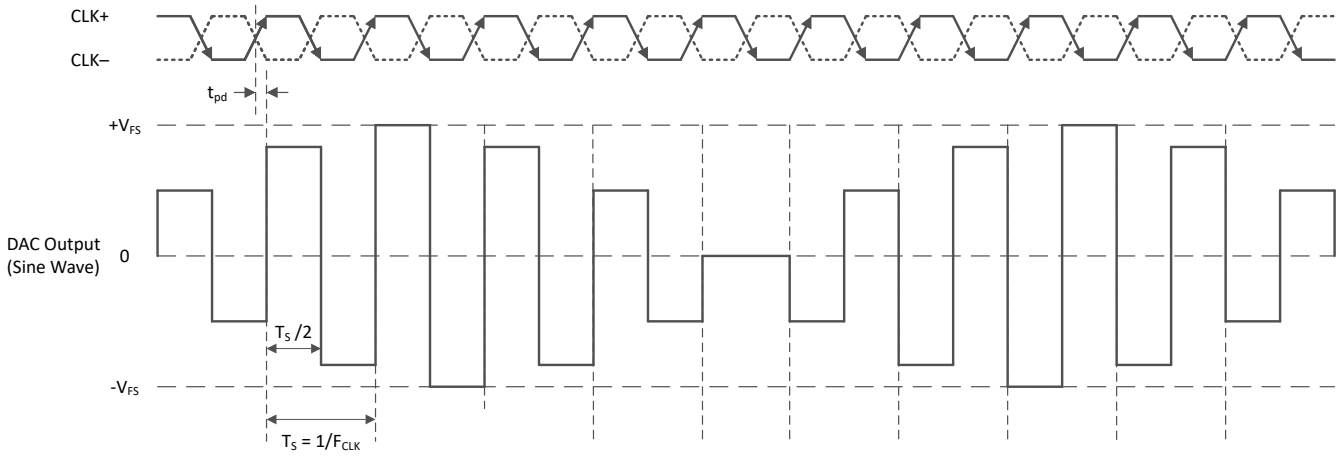


図 7-7. RF モードのタイミング図

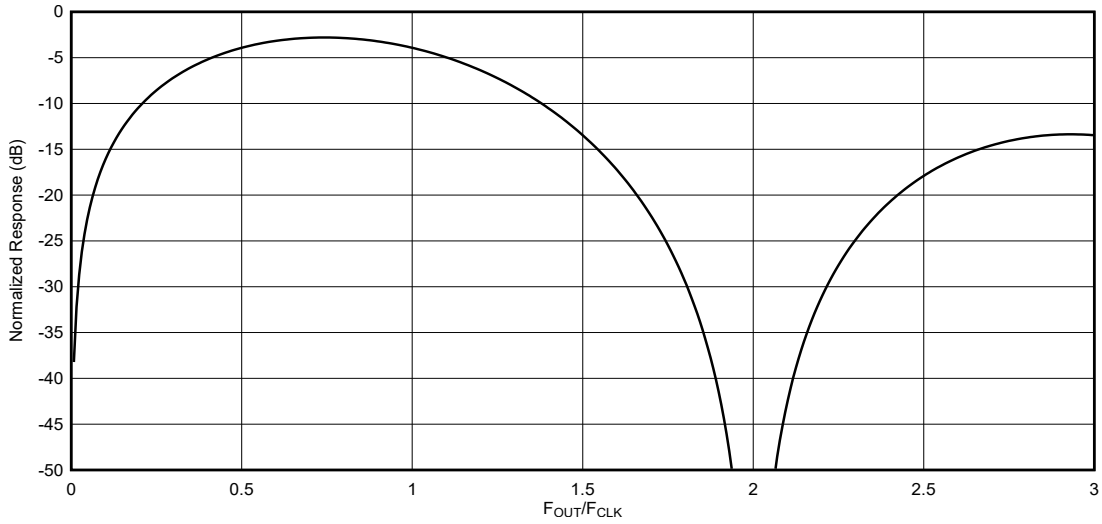


図 7-8. RF モード出力周波数応答

7.3.1.4 DES モード

デュアル エッジ サンプリング (DES) モードは、CLK の立ち上がりエッジと立ち下がりエッジの両方で固有のサンプルを出力し、同じクロック周波数でサンプル レートを 2 倍にします。デバイスには、2 段による追加のデジタル補間が含まれており、2 倍のサンプル レートを実現できます。

50% CLK デューティ サイクルがない場合、F_{CLK} - F_{OUT} で信号のイメージが得られます。同じクロック周波数の NRZ モードと比較すると、DES モードはイメージ振幅が大幅に減少し、フィルタの要件が低減されます。3 つの DES モード、DES1X、DES2XL および DES2XH があります。また、DES1X モードでは、12 ビットおよび 8 ビットのシングル チャネル モードで 15.52 または 20.8GSPS の固有データも許容され、7.68GHz または 10.4GHz の信号帯域幅をサポートします。DES2XL は、ローパス 2x 補間フィルタを使用してシングル エッジ サンプル レートからデュアル エッジ サンプル レートまで増加させ、0 ～ 0.4*F_{CLK} の出力周波数と、最大 4.16GHz の信号 BW をサポートしています。DES2XH はハイパス補間フィルタを使用し、0.6 ～ 1.0*F_{CLK} の出力周波数と、DES2XL と同じ信号 BW をサポートしています。

Copyright © 2026 Texas Instruments Incorporated

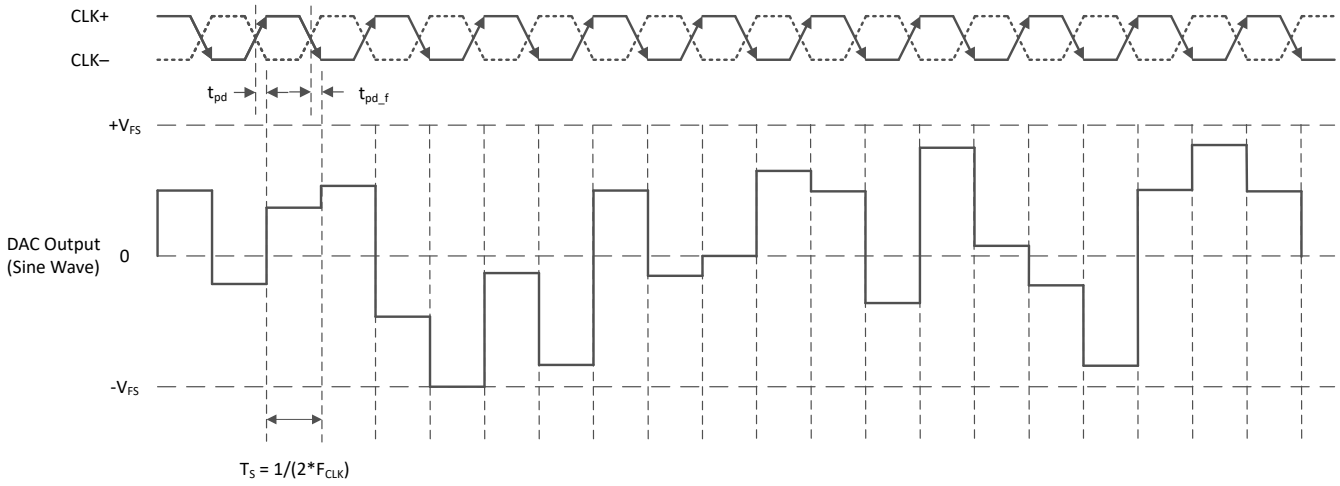


図 7-9. DES モードのタイミング図

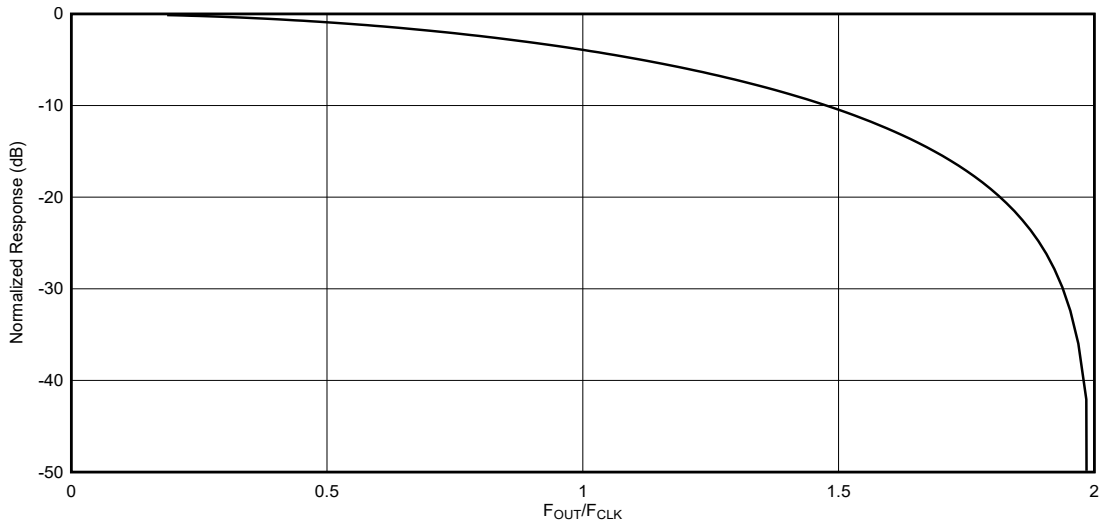


図 7-10. DES1X 出力周波数応答

7.3.2 DAC コア

このデバイスには 2 つの 16 ビット DAC コアがあります。

7.3.2.1 DAC 出力構造

DAC コアのアナログ出力構造を、1 つの DAC チャネル用に図 7-11 に示します。2 つの電流出力ピン DACOUTx± の間には差動終端抵抗があります。電流ステアリングスイッチアレイは出力ピンに接続され、デジタルコードに基づき、出力ピン間の電流を制御します。一定の DC 電流バイアス、I_{BIAS} は、デジタル コードに関係なく、両方の出力から電流を引き込みます。I_{BIAS} 電流は次のとおりです:

$$3mA \times 2^{CUR_2X_EN} (COARSE_CUR_x + 5)/20 \quad (1)$$

3.6kΩ 抵抗を、RBIAS+ と RBIAS- の間に接続します。

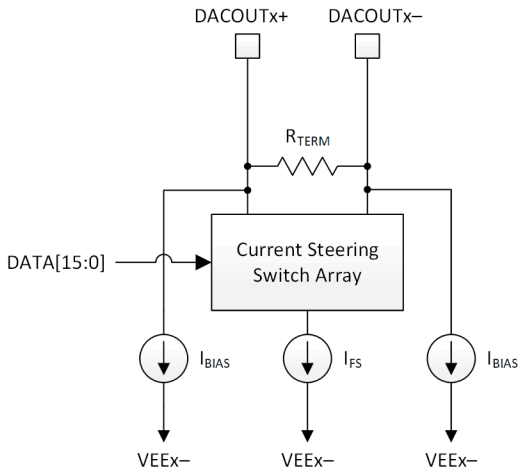


図 7-11. アナログ出力構造

表 7-2 に、デジタル コードから IOUTx± 出力の電流への変換の例を示します。表 7-2 に示される電流には、各レッグの電流制御部分とバイアス電流の両方が含まれています。

表 7-2. デジタルコードからアナログ電流への変換例

デジタルコード	2 の補数	オフセットバイナリ	$I_{DACOUTx+}$	$I_{DACOUTx–}$	$I_{DACOUTx+} – I_{DACOUTx–}$
32767	0111 1111 1111 1111	1111 1111 1111 1111	0.9999847 × I_{FS} + I_{BIAS}	0.0000153 × I_{FS} + I_{BIAS}	0.9999694 × I_{FS}
16384	0100 0000 0000 0000	1100 0000 0000 0000	¾ × I_{FS} + I_{BIAS}	¼ × I_{FS} + I_{BIAS}	½ × I_{FS}
0	0000 0000 0000 0000	0000 0000 0000 0000	½ × I_{FS} + I_{BIAS}	½ × I_{FS} + I_{BIAS}	0
-16384	1100 0000 0000 0000	0100 0000 0000 0000	¼ × I_{FS} + I_{BIAS}	¾ × I_{FS} + I_{BIAS}	–½ × I_{FS}
-32768	1000 0000 0000 0000	0000 0000 0000 0000	I_{BIAS}	I_{FS} + I_{BIAS}	–I_{FS}

7.3.2.2 フルスケールの電流調整

DAC の総出力電流は、外付けの RBIAS 抵抗、および COARSE_CUR_A または COARSE_CUR_B、ならびに FINE_CUR_A または FINE_CUR_B レジスタによって設定されます。スイッチングされたフルスケール電流と静的フルスケール電流があります。スイッチングされた電流は、DAC のデジタル信号値に比例して、DACOUTA/B+ と DACOUTA/B- に分割されます。静的電流は、各ボールの DACOUTA/B+ と DACOUTA/B- の出力に固定されています。

DAC のスイッチングされた出力電流の合計の式は以下のとおりです

$$I_{FSSWITCH} = \frac{3.6k\Omega}{R_{BIAS}} \times (5mA + 1mA{*}COARSE + 0.0156mA{*}FINE) \times 2^{CUR_2X_EN} \quad (2)$$

ここで、

- R_{bias} は、外部バイアス抵抗です。
- COARSE は、レジスタ COARSE_CUR_A または COARSE_CUR_B の値です (0 ～ 15)。
- FINE は、レジスタ FINE_CUR_A または FINE_CUR_B の値です (0 ～ 63)。
- CUR_2X_EN は、レジスタ CUR_2X_EN の値です (0 ～ 1)。

静的電流は、スイッチングされた電流の一定の割合です

$$I_{FSSTATIC} = 0.235 \times I_{FSSWITCH} \quad (3)$$

Copyright © 2026 Texas Instruments Incorporated

バイアス抵抗が 3.6kΩ、COARSE_CUR_A または COARSE_CUR_B = 15、FINE_CUR_A または FINE_CUR_B = 31 の場合、$I_{FSSWITCHED}$ は約 20.5mA、$I_{FSSTATIC}$ は約 4.82mA です (各ボールの + 側および − 側)。CUR_2X_EN をイネーブルにすると、電流が 2 倍になります。

7.3.3 DEM とディザリング

本デバイスには、電流セグメントおよびスイッチ タイミングのミスマッチに起因する非線形性を改善するための二つのオプション機能が搭載されています:動的要素ミキシング (DEM) とディザリング。

DAC コアは、以下で構成されます。

1. 上位 MSB を表すサーモメータ エンコード方式の電流源 / スイッチ
2. 中間ビット (ULSB と呼ばれる) を表すサーモメータ エンコード方式の電流源/ スイッチ
3. 下位 LSB を表すバイナリ重み付け電流源 / スイッチ。
4. ディザリング用の追加電流源 / スイッチ

DEM は、出力を生成するために使用される MSB および ULSB の電流源 / スイッチをランダム化し、電流源間およびスイッチ タイミングのミスマッチに起因する非線形性をホワイト化します。DEM_DACA/B および DEM_ADJ レジスタは、電流源 / セグメント内でのシフトの周波数と振幅を制御します。

ディザリングでは、デジタル データに対して異なる 8 種類のデジタル コード値が加算または減算されます。その後、同じ振幅の追加電流源を切り替えることで、これらの値がキャンセルされます。デジタル データ パスが拡張されて、16 ビットの範囲全体が保持されます。DITH_DACA/B レジスタは、ディザリングの周波数を制御します。

DEM を使用すると、一般にフルスケールに近い低次高調波が改善されます。一般的に、ディザーはフルスケールに近い高次高調波と、低デジタル振幅でのすべての高調波を改善します。DEM およびディザリングのいずれも、非線形性のホワイト化および追加のスイッチング動作により、出力のノイズ フロア (振幅および位相の両方) を上昇させます。これは、スイッチング動作を低減した DEM およびディザリング設定、すなわちデータ依存型または低アクティビティ DEM によって抑制されます。ただし、データ依存またはアクティビティの低減 DEM は、出力周波数が高くなると効果が下がります。「電気的特性 - AC 仕様」のデータシート仕様試験では、750MHz 未満ではデータ依存 DEM (DEM_ADJ = 1) が使用され、750MHz 以上では通常動作の DEM (DEM_ADJ = 0) が使用されます。ただし、用途に応じて異なる設定 (DEM の無効化および / またはディザリングの無効化を含む) を評価し、最適な設定を選択することができます。

7.3.4 オフセット調整

このデバイスを使用すると、DAC 出力の信号のオフセットを調整できます。オフセットの調整は、DAC データの 16 ビットのデジタル範囲全体から影響を受けることはありません。

このオフセットは、DACA および DACB の DAC_OFS[0] または DAC_OFS[1] レジスタ値によって設定されます。ディザリングが有効の場合 (レジスタ DEM_DITH を参照)、値は ±128 の範囲に飽和します。ディザリングが無効の場合、値は ±3968 の範囲に飽和します。これにより、プライマリ DAC の動作範囲が超過することはありません。

7.3.5 クロッキング サブシステム

このデバイスには、NRZ、RTZ、および RF モードでは DAC コアのサンプリング レートと等しい周波数で、または DES モードでは DAC コアのサンプリング レートの半分で動作するクロックが必要です。クロック処理サブシステムを図 7-12 に示します。

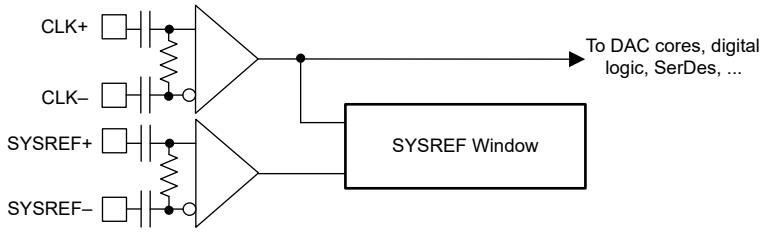


図 7-12. デバイスクロッキングサブシステム

Copyright © 2026 Texas Instruments Incorporated

7.3.5.1 SYSREF の周波数要件

SYSREF 入力周期は、LMFC/LEMC を含む、部品内のすべてのクロックの整数倍である必要があります。下表に、SYSREF 周期の要件を示します。

表 7-3. SYSREF 周期の要件

SYSREF 周期の要件	理由
SYSREF 周期は、16 CLK サイクルの倍数である必要があります。	DAC エンコーダ / DEM は常に、SYSREF に揃えられた F_{DAC}/16 クロックで動作します。
SYSREF の周期は LT CLK サイクルの整数倍である必要があります。この制約は DDS モード (DDS_EN = 1) には適用されません。	SYSREF の周期が入力サンプル周期の整数倍であることを確認します。
SYSREF の周期は 4* LT*S/F CLK サイクルの整数倍である必要があります。この制約は、DDS モード (DDS_EN = 1) には適用されません。	SYSREF の周期が有効リンク レイヤ クロック周期の整数倍であることを確認します。
SYSREF 周期は、LT*S*K CLK サイクルの倍数である必要があります。この制約は、サブクラス 0 モード (サブクラス = 0) または DDS モード (DDS_EN = 1) には適用されません	SYSREF の周期が LMFC/LEMC 周期の整数倍であることを確認します。なお、64b/66b モードでは K = 256 × E/F となります。

7.3.5.2 SYSREF 位置検出器およびサンプリング位置選択 (SYSREF ウィンドウ処理)

SYSREF ウィンドウ処理ブロックは、入力クロック CLK± 立ち上がりエッジに対する SYSREF の位置を最初に検出するために使用されます。ウィンドウ情報に基づいて、入力クロックに対するセットアップおよびホールド タイミング マージンを最大化するため、最適な SYSREF サンプリング時間が選択されます。多くの場合、すべてのシステム (デバイス間のバラツキ) と条件 (温度および電圧の変動) のタイミングを満たすには、単一の SYSREF サンプリング位置 (SYSREF_SEL) で十分です。ただし、この機能を使用して、動作条件の変化に応じた SYSREF の移動を追跡してタイミング ウィンドウを拡大することや、システムごとに公称条件で独自の最適値を見つけることで製造テスト時のシステム間の変動を排除することもできます。

このセクションでは、SYSREF ウィンドウ処理ブロックの適切な使用方法について説明します (SYSREF_RECV_SLEEP を 0 に設定する必要があります)。最初に、デバイス クロックと SYSREF をデバイスに印加します。デバイスクロックサイクルに対する SYSREF の位置が決定され、SYSREF_POS フィールドに保存されます。SYSREF_POS の各ビットは、SYSREF サンプリング位置の可能性を表します。SYSREF_POS のビットが 1 に設定されている場合、対応する SYSREF サンプリング位置にはセットアップまたはホールド違反の可能性があります。有効な SYSREF サンプリング位置 (0 に設定される SYSREF_POS の位置) を決定するときは、その SYSREF_POS の位置に対応する値に SYSREF_SEL を設定することで、目的のサンプリング位置を選択できます。一般に、2 つのセットアップインスタンスとホールドインスタンスの中間サンプリング位置が選択されます。SYSREF_SEL の決定は、システムの公称動作条件 (温度および電源電圧) で実行され、動作条件変動に対して最大のマージンを確保します。このプロセスは最終テストで実行でき、最適な SYSREF_SEL 設定を保存して、システム電源投入時に使用できます。さらに、SYSREF_POS を使用して、システムの温度と電源電圧をスイープすることで、システムの動作条件全体にわたって CLK± と SYSREF± との間のスキューの特性を決定できます。CLK± から SYSREF± の間のスキューに大きな変動があるシステムでは、この特性評価を使用することで、システムの動作条件が変化したときの最適な SYSREF サンプリング位置を追跡できます。一般的に、CLK±と SYSREF±が単一のクロックデバイスから供給される場合など、システムが適切にマッチしている場合、すべての条件を満たすタイミング値を 1 つ見つけることができます。

各 SYSREF_POS のサンプリング位置の間のステップ サイズは、SYSREF_ZOOM を使用して調整できます。SYSREF_ZOOM が 0 に設定されている場合、遅延ステップは粗くなります。SYSREF_ZOOM が 1 に設定されている場合は、遅延ステップは細かくなります。SYSREF_ZOOM が有効な場合と無効な場合の遅延ステップ サイズについては、「電気的仕様」の表を参照してください。一般に、常に SYSREF_ZOOM を使用する (SYSREF_ZOOM = 1) ことを推奨しますが、これは低クロック レートの場合など、遷移領域 (SYSREF_POS の 1 で定義) が観測されない場合を除きます。SYSREF_POS のビット 0 および 19 は、これらの設定がタイミング違反に近いかどうかを判定する十分な情報がないため、常に 1 に設定されます。ただし、実際の有効なウィンドウはこれらのサンプリング位置を超えて拡張できます。SYSREF_SEL にプログラムされる値は、SYSREF_POS の目的のビット位置を表す 10 進数です。表 7-4 に、SYSREF_POS の読み取り値の例と、最適な SYSREF_SEL 設定を示します。SYSREF_POS ステータス レジスタでは 20 のサンプリング位置が指定されますが、SYSREF_SEL では最初の 16 のサンプリング位置のみが選択可能であり、

Copyright © 2026 Texas Instruments Incorporated

SYSREF_POS のビット 0 から 15 に対応しています。追加の SYSREF_POS ステータス ビットは、SYSREF 有効ウィンドウについての追加情報を提供することのみを目的としています。一般に、電源電圧による遅延変動のため、SYSREF_SEL の値をより小さい値に選択しますが、4 番目の例では値 14 を使用するとマージンが追加され、代わりに選択できます。

SYSREF_PS_EN が 0 に設定されている場合、SYSREF_POS の値には最後の SYSREF エッジのみが使用されます。SYSREF_PS_EN を 1 に設定すると、「無限持続性」モードが有効になります。このモードでは、SYSREF_PS_EN が有効になって以降に生成された SYSREF エッジのいずれかに 1 がある場合、SYSREF_POS の値が 1 に設定されます。これにより、SYSREF_POS のワースト ケース値を提示し、最適な SYSREF_SEL 設定を選択できます。

表 7-4. SYSREF_POS 読み取り値と SYSREF_SEL の選択例

SYSREF_POS[19:0]			OPTIMAL SYSREF_SEL SETTING
0x092[3:0] (位置 19 ～ 16)	0x091[7:0](1)(位置 15 ～ 8)	0x090[7:0](1) (位置 7 ～ 0)	
b1000	b01100000	b00011001	8 または 9
b1000	b00000000	b00110001	12
b1000	b01100000	b00000001	6 または 7
b1000	b00000011	b00000001	4 または 14
b1100	b01100011	b00011001	6

(1) 下線のある 0 は、この表の最後の列に示されているように、選択されたビットを示しています。

SYSREF ウィンドウ処理を使用するには:

1. SYSREF と CLK を印加します
2. SYSREF_RECV_SLEEP = 0 および SYSREF_ZOOM = 1 に設定します
3. 持続の必要がある場合は、SYSREF_PS_EN = 1 に設定し、SYSREF_POS をビルドするために多くの SYSREF 遷移を許可します。
4. SYSREF_POS を読み取り、上記のように SYSREF_SEL の適切な設定を決定します。適切なサンプリング ポイントを決定できない場合は、SYSREF_ZOOM = 0 に設定して再試行します。
5. SYSREF_SEL の適切な値が適用されたら、SYSREF_PROC_EN = 1 および SYSREF_ALIGN_EN = 1 を設定します。
6. デバイスによって SYSREF が適切に処理されており、ユーザーは SYSREF を使用する JESD204C インターフェイス (または他の機能) の使用を進めることができます。
7. 入力クロック周波数に応じて、大きな温度スイングまたは電源電圧スイングに対して、SYSREF を調整する必要がある場合があります。SYSREF 無効ウィンドウが温度 ($t_{INV(TEMP)}$) および VA11 電源電圧 ($t_{INV(VA11)}$) に依存する関係性を セクション 6.8 に示します。入力クロックに対する SYSREF のシフトを追跡するために SYSREF_SEL を調整するには、以下の手順をループ化できます (つまり、JESD204C リンクの動作中にバックグラウンドで実行します)。
   a. 持続の必要がある場合は、SYSREF_PS_EN をクリアしてから設定し、SYSREF_POS データをビルドするために多数の SYSREF 遷移を許可します。
   b. SYSREF_POS を読み取り、SYSREF_SEL の新しい値を決定します (ただし、まだプログラムはしないでください)。SYSREF_SEL を段階的に調整する手順では、有効な SYSREF_SEL 値の最小値を選択するのではなく、前回の SYSREF_SEL 値に近い値を優先する必要があります。これにより、元の有効なウィンドウが選択され追跡されるようになり、別のウィンドウが選択されてクロックの再整列が発生する事態を防ぐことができます。
   c. SYSREF_PROC_EN = 0 をプログラムします。新しい SYSREF_SEL の値を書き込んでから、SYSREF_PROC_EN = 1 に設定します。これで、デバイスで新しい SYSREF_SEL の値が使用されます。
   d. しばらく待ってから、上記の手順 7a に戻ります。

7.3.6 デジタル信号処理ブロック

図 7-13 に、デジタル信号処理ブロックを示します。このデバイスには、4 つのデジタル アップコンバータ (DUC) ブロックが搭載されており、4 つの複素 (IQ) 入力ストリームをサポートしており、異なる RF 周波数で結合できます。4 つの DUC

Copyright © 2026 Texas Instruments Incorporated

は、柔軟に割り当てることができ、チャネル ボンダーのいずれかの DAC 出力に合計することができます。最終の信号処理ブロックは、DES2XL/H モードで使用するための追加の 2 倍補間フィルタです。

表 7-5 および表 7-6 に、それぞれシングル チャネル出力とデュアルチャネル出力で使用可能なモードを示します。

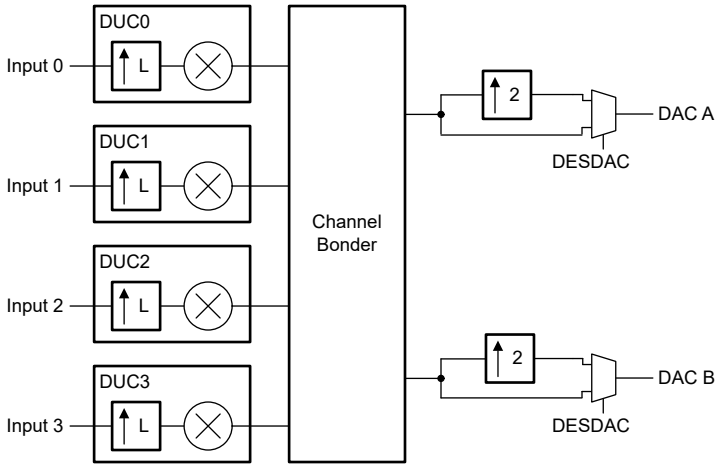


図 7-13. 実際の出力を持つ DUC ブロック

表 7-5. 単一出力信号の DSP モード

入力スチーム	LT (補間)	NCO_EN	DUC_FORMAT	DAC_SRC0 値	MXMODE0/1	説明
1	1	0	実数	0x1	NRZ、RTZ、RF、DES2x	シングル チャネル モード (アップ変換なし)。
1	1	0	実数	0x1	DES1x	補間なしのデュアル エッジ サンプル (DES1X) によるシングル チャネル モードです。JESD204C インターフェイスは、すべてのサンプル (補間なし) を提供します。
2、4、6、8	2-256x	1	実数	0x1、0x3、0x7、0xF	NRZ、RTZ、RF、DES2x	単一実数出力の 1 ～ 4 DUC チャネル DAC_SRC0 設定は、それぞれ 1、2、3 または 4 DUC チャネル用です。
これらのモードでは出力信号は 1 つのみ生成されるため、DAC は 1 つのみ必要です。この表は、DACA を使用するプログラミングを示しています (MXMODE1 を無効に設定する必要があります)。ユーザーは、DAC_SRC1 と MXMODE1 をプログラム (かつ MXMODE0 をディスエーブルに設定) することで、代わりに DACB を使用することもできます。ユーザーは、DAC_SRC1 = DAC_SRC0 および MXMODE1 = MXMODE0 に設定し、その後 DAC 出力を接続することで、より高い出力電力を得ることも可能です。						

表 7-6. デュアル出力信号の DSP モード

入力スチーム	LT (補間)	NCO_EN	DUC_FORMAT	DAC_SRC0 値	DAC_SRC1 値	MXMODE0/1	説明
2	1	0	該当なし	0x1	0x2	NRZ、RTZ、RF、DES2x	デュアル チャネル モード (アップ変換なし)
2、4、6、8	2-256x	1	実数	いずれかのビットがセットされています	いずれかのビットがセットされています	NRZ、RTZ、RF、DES2x	2 つの実数出力を持つ 1 ～ 4 DUC チャネル
2	2-256x	1 または 0	複雑	0x1	0x4	NRZ、RTZ、RF、DES2x	複素出力を持つ 1 DUC チャネル: DACA は実際のサンプルを出力します DACB は虚数サンプルを出力します
4	2-256x	1 または 0	複雑	0x3	0xC	NRZ、RTZ、RF、DES2x	複雑な出力を持つ 2 つの DUC チャネル

Copyright © 2026 Texas Instruments Incorporated

表 7-6. デュアル出力信号の DSP モード (続き)

入力スチーム	LT (補間)	NCO_EN	DUC_FORMAT	DAC_SRC0 値	DAC_SRC1 値	MXMODE 0/1	説明
これらのモードでは 2 つの出力信号が生成され、両方の DAC が使用されます。ユーザーは、出力信号を交換するために、DAC_SRC0 と DAC_SRC1 にプログラムされた値を交換することを選択できます。通常、MXMODE0 と MXMODE1 は同じ設定に設定されますが、これは必須ではありません。							

7.3.6.1 デジタル アップコンバータ (DUC)

各 DUC は、LT = 2、3、4、6、8、12、16、24、32、48、64、96、128、192、256 の範囲の係数によって I 信号と Q 信号を補間します。その後、アップ コンバートされたベースバンド I/Q 信号に、数値制御発振器 (NCO) によって生成された複素正弦波を乗算して、信号を DAC から出力するために目的のキャリア周波数にミックスします。表 7-7 に、サポートされる補間係数と有効な DUC 数の関係を示します。

表 7-7. サポートされる補間係数と有効な DUC 数との関係

ストリーム数 (JESD_M)	サポートされる補間係数 (LT)	DUC イネーブル
2	2-256x	DUC0
4	4-256x	DUC0、DUC1
6	8-256x	DUC0、DUC1、DUC2
8	8-256x	DUC0、DUC1、DUC2、DUC3

NCO とミキサは、周波数と位相を 0 に設定できます。この場合、I 入力は I 出力に渡され、Q 入力は Q 出力に渡されます。

7.3.6.1.1 補間フィルタ

DUC の最初の動作は、入力信号をより高いデータレートに補間することです。使用可能な補間オプションについては、表 7-8 に概説されています。入力信号のサンプリングレートを、指定された補間量で掛けて DAC 出力レートを算出します。このとき、DAC39RF10-Sx および RFS10-Sx の最大サンプルレートに準拠します。これらのレートには、DES モードでのオプションの 2x 補間は含まれていません。補間レートが 6x 以下の場合、DUC のチャネル数を減らすことができます。

表 7-8. 補間オプションの概要

補間	DUC チャネルの最大数
2x	1
3x	1
4x	2
6x	2
8x	4
12x	4
16x	4
24x	4
32x	4
48x	4
64x	4
96x	4
128x	4
192x	4
256x	4

各 DUC には、複数の 2x または 3x 補間フィルタが含まれています。各フィルタのフィルタ係数を表 7-9 に、各補間係数に使用されたフィルタを表 7-10 に示します。補間フィルタの合成応答は、図 7-14 から図 7-42 に示されます。このフィル

Copyright © 2026 Texas Instruments Incorporated

タは、入力帯域幅で 80% の通過帯域の帯域幅と 0.01dB 未満の通過帯域リップルを提供するように設計されています。通過帯域内の任意の信号の停止帯域減衰は、90dB を超えます。

表 7-9. 補間フィルタ係数

フィルタ	係数 (センター タップ、太字)
fir1	[6 0 -19 0 47 0 -100 0 192 0 -342 0 572 0 -914 0 1409 0 -2119 0 3152 0 -4729 0 7420 0 -13334 0 41527 **65536** 41527 0 -13334 0 7420 0 -4729 0 3152 0 -2119 0 1409 0 -914 0 572 0 -342 0 192 0 -100 0 47 0 -19 0 6]*2^{-16}
fir2	[-12 0 84 0 -336 0 1006 0 -2691 0 10141 **16384** 10141 0 -2691 0 1006 0 -336 0 84 0 -12]*2^{-14}
fir3	[29 0 -214 0 1209 **2048** 1209 0 -214 0 29]*2^{-11}
fir4	[3 0 -25 0 150 **256** 150 0 -25 0 3]*2^{-8}
fir5	[-1 0 9 **16** 9 0 -1]*2^{-4}
fir_3x	-38 -38 0 83 117 0 -214 -281 0 464 584 0 -900 -1102 0 1612 1929 0 -2713 -3190 0 4346 5040 0 -6699 -7684 0 10023 11408 0 -14701 -16661 0 21389 24260 0 -31417 -35960 0 48101 56540 0 -82781 -105224 0 215190 432780 **524288** 432780 215190 0 -105224 -82781 0 56540 48101 0 -35960 -31417 0 24260 21389 0 -16661 -14701 0 11408 10023 0 -7684 -6699 0 5040 4346 0 -3190 -2713 0 1929 1612 0 -1102 -900 0 584 464 0 -281 -214 0 117 83 0 -38 -38]*2^{-19}

表 7-10. 使用されたフィルタと DUC 補間係数の比較

DUC の補間係数 (L_{DUC})	DUC で使用されたフィルタ							
	1 番目のフィルタ	2 番目のフィルタ	3 番目のフィルタ	4 番目のフィルタ	5 番目のフィルタ	6 番目のフィルタ	7 番目のフィルタ	8 番目のフィルタ
2x	fir1							
3x	fir_3x							
4x	fir1	fir2						
6x	fir_3x	fir2						
8x	fir1	fir2	fir3					
12x	fir_3x	fir2	fir3					
16x	fir1	fir2	fir3	fir4				
24x	fir_3x	fir2	fir3	fir4				
32x	fir1	fir2	fir3	fir4	fir5			
48x	fir_3x	fir2	fir3	fir4	fir5			
64x	fir1	fir2	fir3	fir4	fir5	fir5		
96x	fir_3x	fir2	fir3	fir4	fir5	fir5		
128x	fir1	fir2	fir3	fir4	fir4	fir5	fir5	
192x	fir_3x	fir2	fir3	fir4	fir4	fir5	fir5	
256x	fir1	fir2	fir3	fir4	fir4	fir4	fir5	fir5

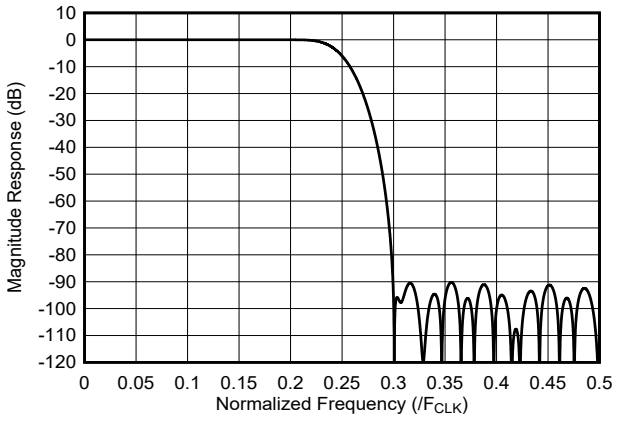


図 7-14. 2x 補間フィルタ応答

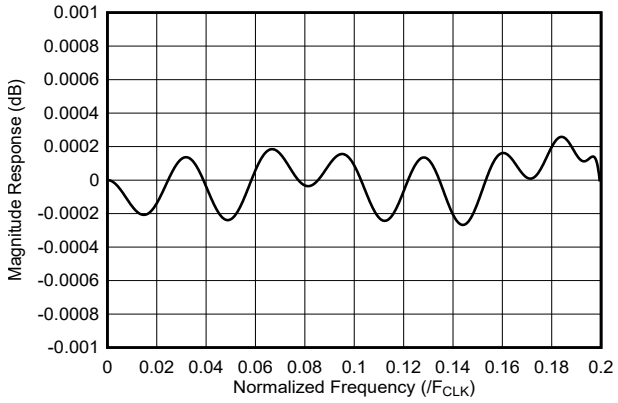


図 7-15. 2x 補間フィルタ通過帯域応答

Copyright © 2026 Texas Instruments Incorporated

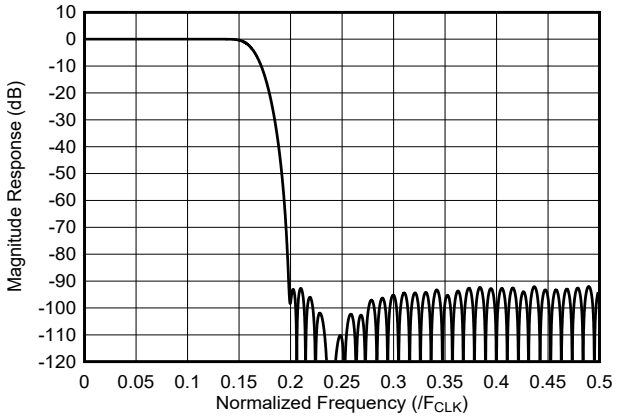


図 7-16. 3x 補間フィルタ応答

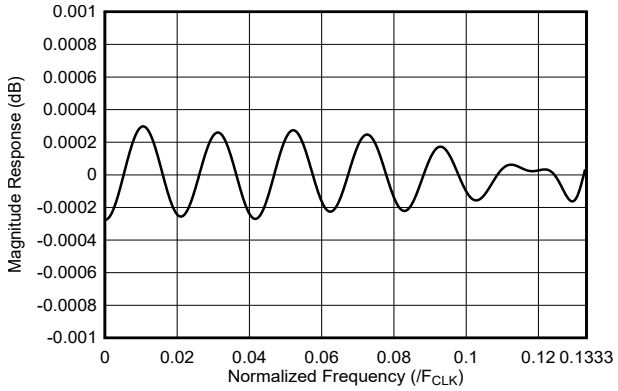


図 7-17. 3x 補間フィルタ通過帯域応答

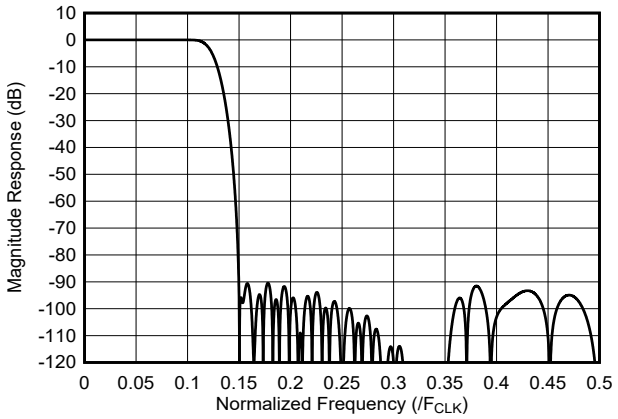


図 7-18. 4x 補間フィルタ応答

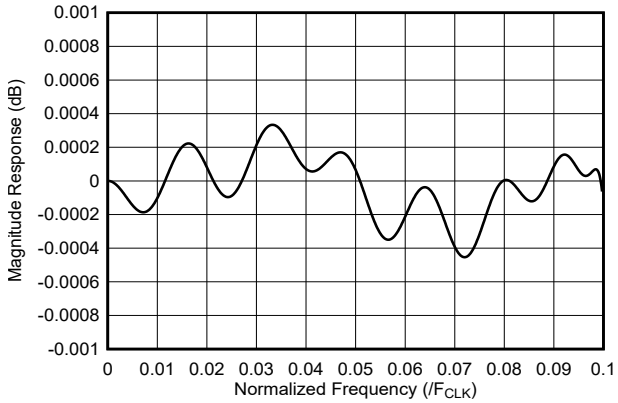


図 7-19. 4x 補間フィルタ通過帯域応答

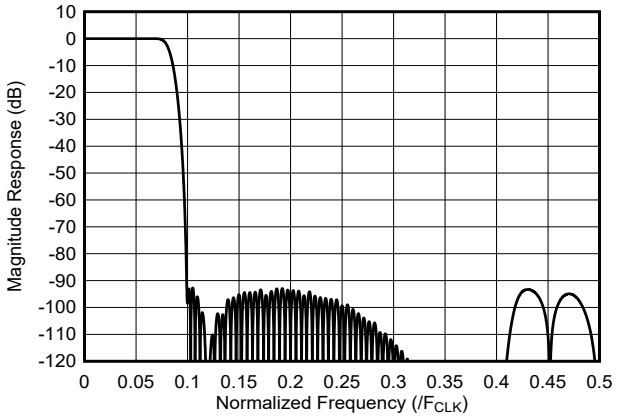


図 7-20. 6x 補間フィルタ応答

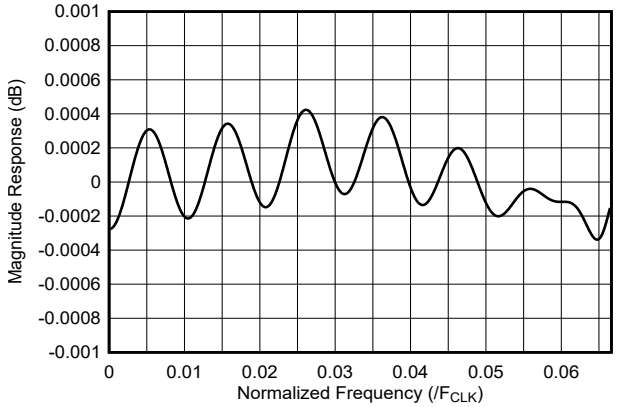


図 7-21. 6x 補間フィルタ通過帯域応答

Copyright © 2026 Texas Instruments Incorporated

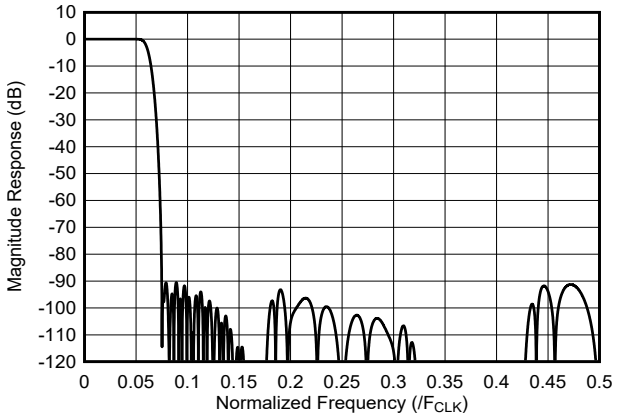


図 7-22. 8x 補間フィルタ応答

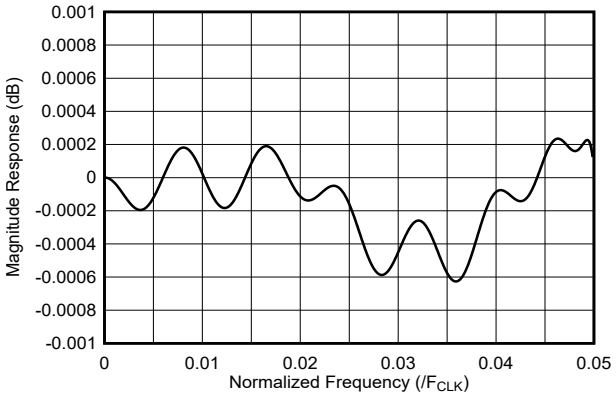


図 7-23. 8x 補間フィルタ通過帯域応答

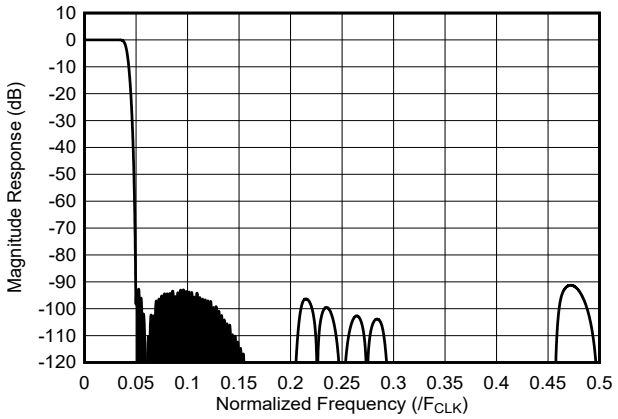


図 7-24. 12x 補間フィルタ応答

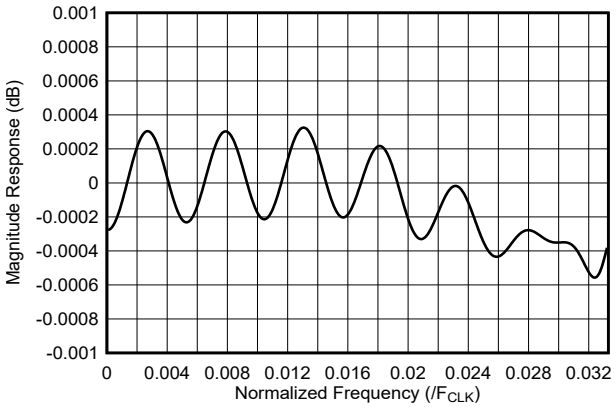


図 7-25. 12x 補間フィルタ通過帯域応答

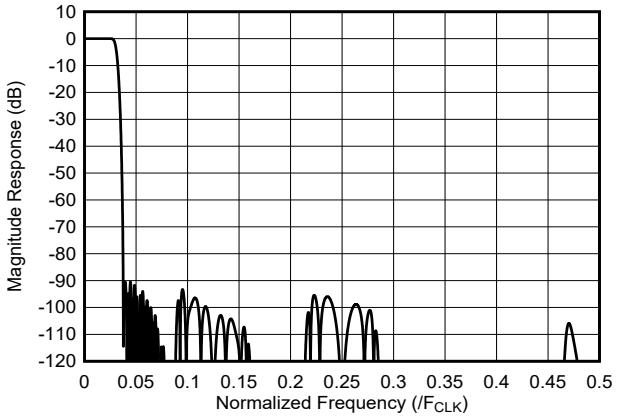


図 7-26. 16x 補間フィルタ応答

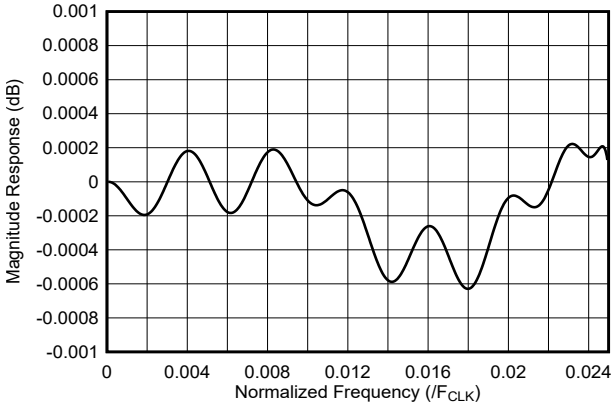


図 7-27. 16x 補間フィルタ通過帯域応答

Copyright © 2026 Texas Instruments Incorporated

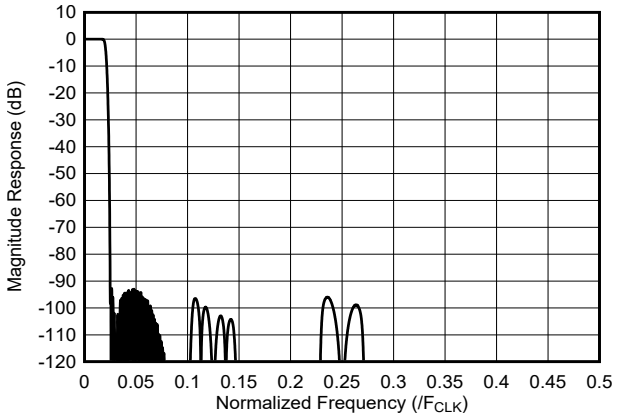


図 7-28. 24x 補間フィルタ応答

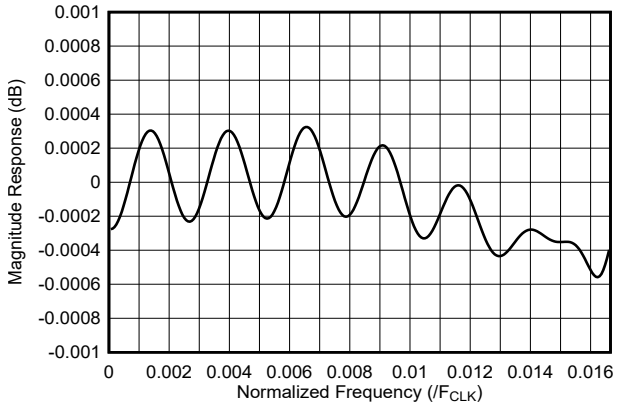


図 7-29. 24x 補間フィルタ通過帯域応答

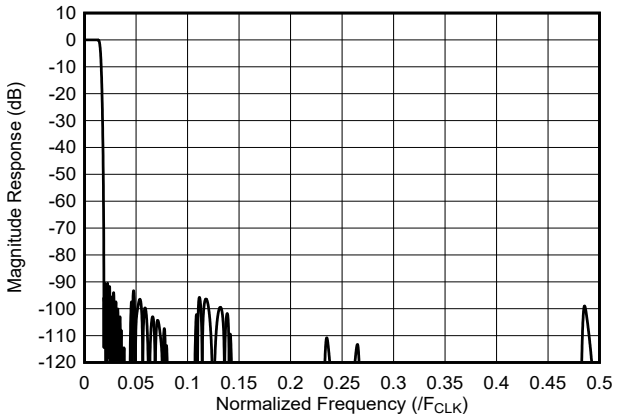


図 7-30. 32x 補間フィルタ応答

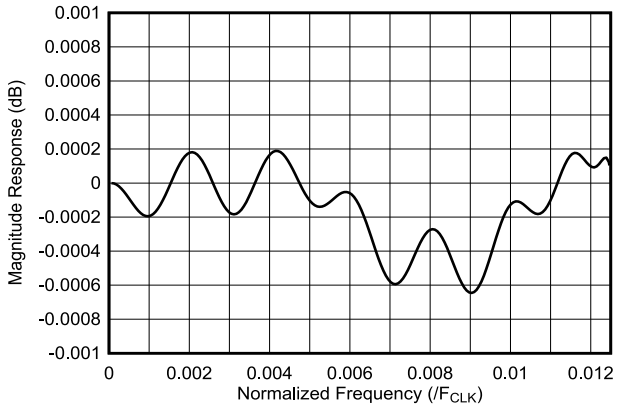


図 7-31. 32x 補間フィルタ通過帯域応答

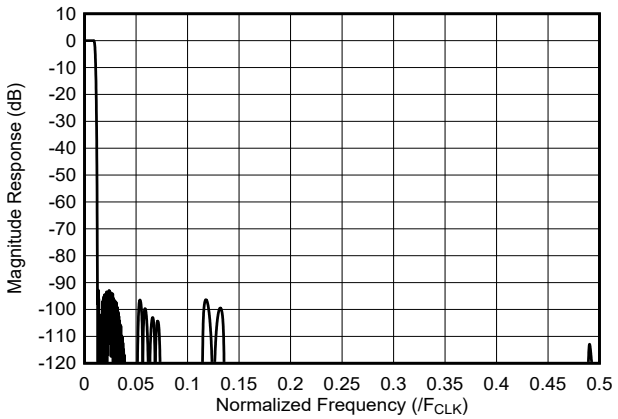


図 7-32. 48x 補間フィルタ応答

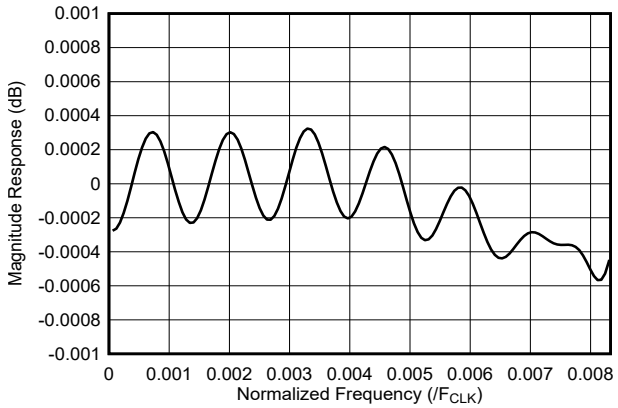


図 7-33. 48x 補間フィルタ通過帯域応答

Copyright © 2026 Texas Instruments Incorporated

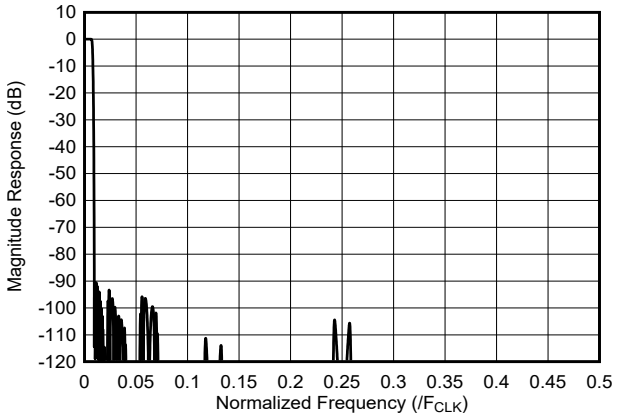


図 7-34. 64x 補間フィルタ応答

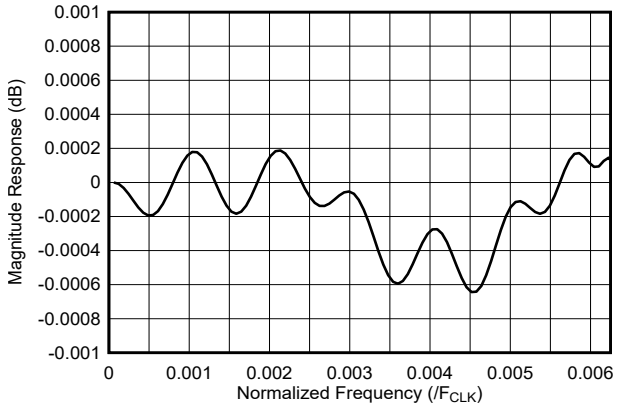


図 7-35. 64x 補間フィルタ通過帯域応答

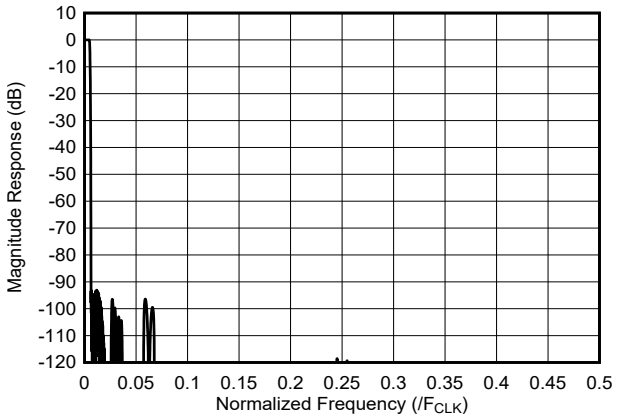


図 7-36. 96x 補間フィルタ応答

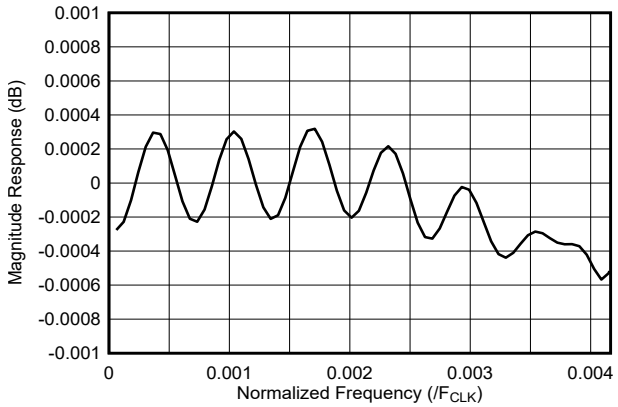


図 7-37. 96x 補間フィルタ通過帯域応答

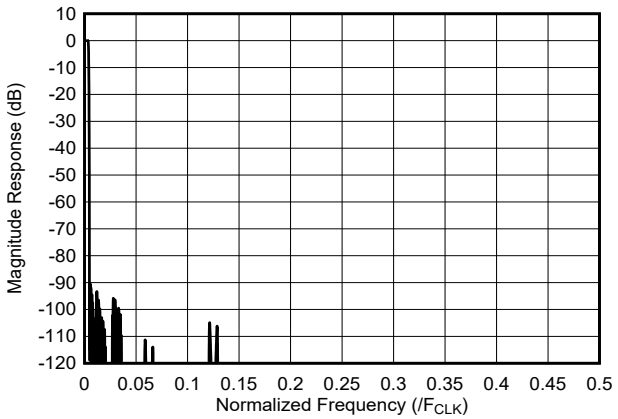


図 7-38. 128x 補間フィルタ応答

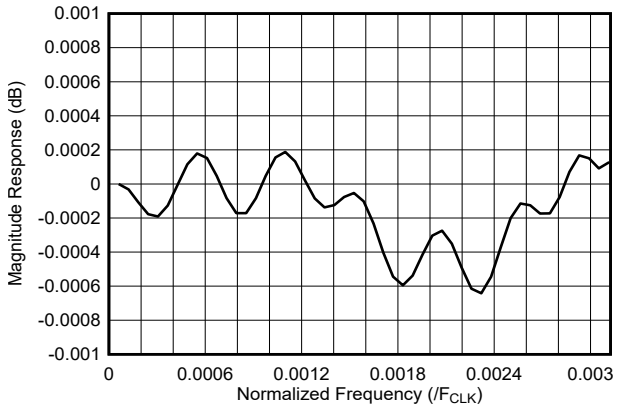


図 7-39. 128x 補間フィルタ通過帯域応答

Copyright © 2026 Texas Instruments Incorporated

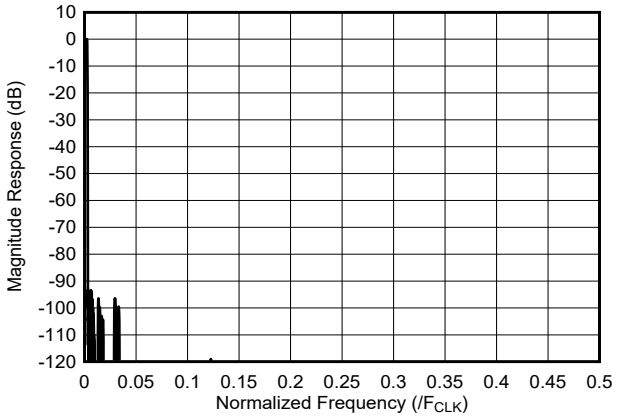


図 7-40. 192x 補間フィルタ応答

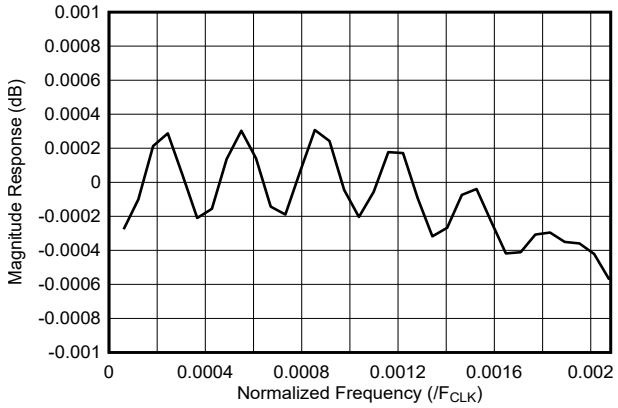


図 7-41. 192x 補間フィルタ通過帯域応答

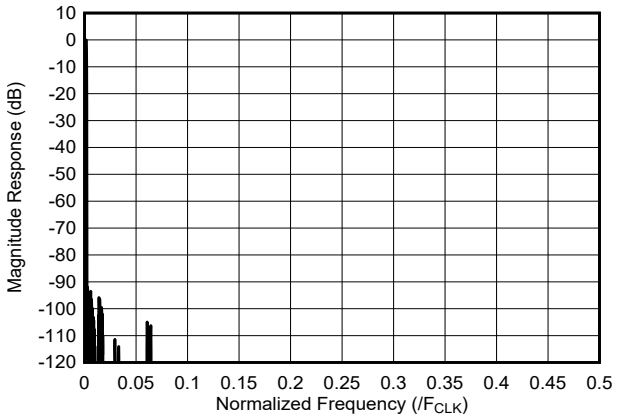


図 7-42. 256x 補間フィルタ応答

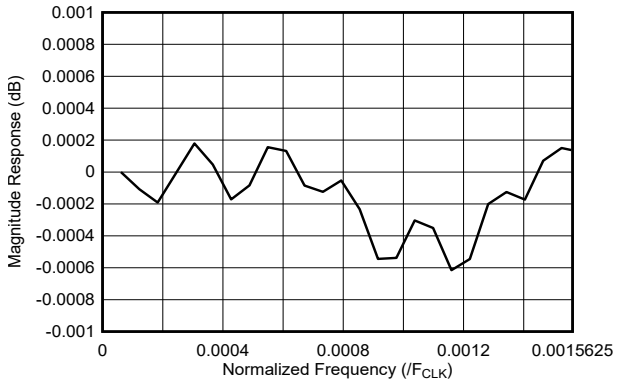


図 7-43. 256x 補間フィルタ通過帯域応答

7.3.6.1.2 数値制御発振器 (NCO)

各 DUC は、64 ビットの周波数と 16 ビットの位相ワードを持つ NCO を経由して、位相連続周波数ホッピングと位相コヒーレント周波数ホッピングを実行できる NCO ブロックを備えています。NCO は、複素ミキシング操作に使用される複素正弦波を提供します。NCO を DDS モードと組み合わせて使用すると、DUC フィルタ パスを使用せずにトーンを生成することもできます。

NCO 更新モードは、位相連続 (「位相連続 NCO 更新モード」を参照)、位相コヒーレント (「位相コヒーレント NCO 更新モード」を参照)、または位相同期 (「位相同期 NCO 更新モード」を参照) のいずれかです。

NCO 周波数は、標準 SPI インターフェイスまたは高速再構成 (FR) インターフェイスを介して、NCO 周波数ワード レジスタ設定に書き込まれます。周波数更新は、新しい周波数ワードが書きき込まれるとすぐに、または選択したトリガ ソースによってトリガされると行われます。使用可能なトリガ ソースは、SPI レジスタ、SYSREF 信号、または I 入力信号の LSB を同期信号に置き換える方法 (NCO_SYNC_SRC レジスタで指定) です。

7.3.6.1.2.1 位相連続 NCO 更新モード

位相連続 NCO 更新モードでは、位相アキュームレータをリセットせずに位相周波数が更新され、周波数を変更するときに現在の正弦波位相が維持されて、出力応答の非連続性が低減されます。位相連続 NCO モードの動作を 図 7-44 に示します。これは、NCO_CONT = 1 および NCO_AR = 0 を設定することで選択します。

Copyright © 2026 Texas Instruments Incorporated

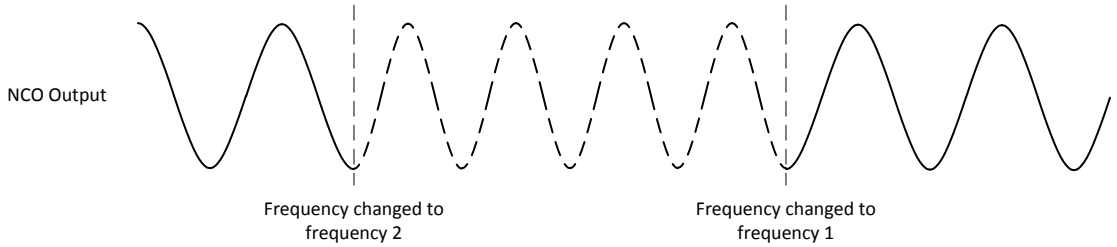


図 7-44. 位相連続 NCO モードの動作の例

7.3.6.1.2.2 位相コヒーレント NCO 更新モード

位相コヒーレント NCO 更新モードでは、周波数ワードが更新され、カウンタが乗算されてアキュームレータが更新されます。これにより、NCO がその周波数から一度も調整されなかったかのように、特定の周波数の位相が、その周波数の以前の使用と「コヒーレント」を保つことができます。位相情報がカウンタによって維持されるため、任意の周波数を位相コヒーレントにできます。位相コヒーレント NCO モードの動作を 図 7-45 に示します。これは、NCO_CONT = 0 および NCO_AR = 0 を設定することで選択します。複数のデバイス間の整列が必要な場合は、最初の NCO 同期中に NCO_AR を 1 に設定して、すべてのデバイスのマスタ アキュームレータを整列させる必要があります。

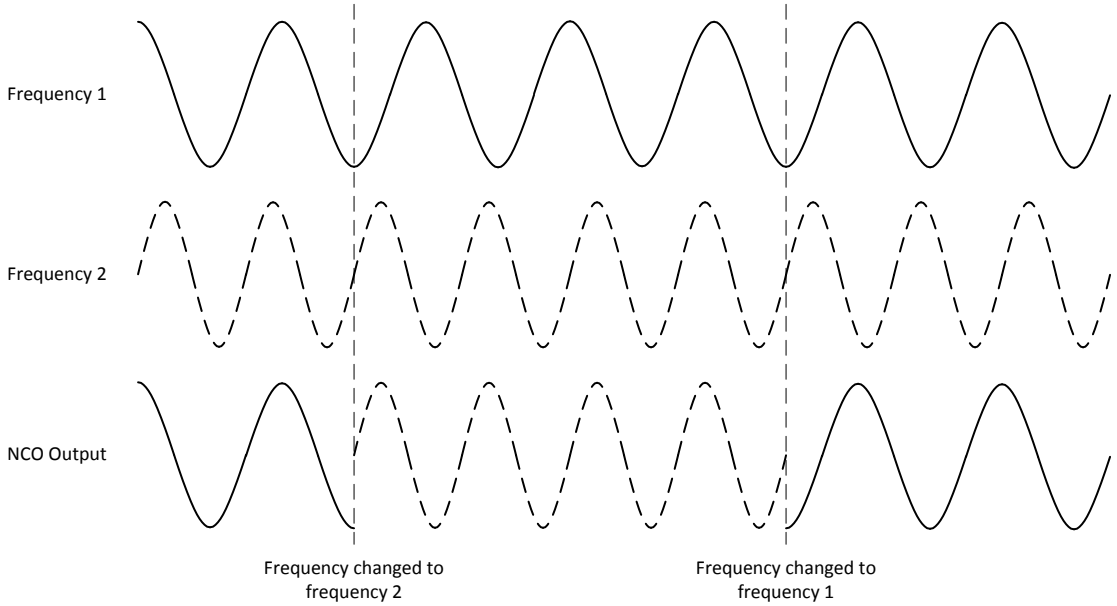


図 7-45. 位相コヒーレント NCO モードの動作の例

7.3.6.1.2.3 位相同期 NCO 更新モード

位相同期 NCO 更新モードでは、周波数ワードが (変更されている場合に) 更新され、アキュームレータはリセットされます。このモードを使用して、すべてのデバイスにわたって同期信号を同時に供給することで、複数のデバイスの NCO を揃えることができます。このモードは、NCO_AR = 1 を設定することで選択されます。

7.3.6.1.2.4 NCO 同期

多くのシステムでは、デジタル アップコンバージョン機能を使用する場合、内部 NCO の位相を含む DAC チャネル間の同期が必要です。さらに、周波数ホッピング システムでは、NCO 周波数が変化している間に NCO 同期を維持するため、同期周波数ホッピングが追加要件となる場合があります。デバイスには、NCO の変更を更新する方法がいくつかあります。以下のものが該当します。

- JESD204C 入力データ ストリームの DUC0 の「I」入力の LSB による同期
- SYSREF による同期
- SPI_SYNC レジスタ ビットによる更新

Copyright © 2026 Texas Instruments Incorporated

- FRS ビットがセットされている場合、FRI インターフェイスの FRCS の立ち上がりエッジで更新されます。

NCO 同期に使用する方式は、レジスタ設定によって制御されます。

JESD204C の LSB 方式では、同期情報を入力データに埋め込むことができるため、データ ソース (すなわち FPGA) によって容易に制御できます。複数のデバイス間の同期ビットのタイミングを制御することで、複数のデバイスの同期を実現できます。

SYSREF パルスの発行による同期には、DC 結合の SYSREF インターフェイスが必要で、NCO 周波数が SYSREF 周波数の整数倍である場合を除き、単一の SYSREF パルスを発行する機能が必要です。多くのシステムは、AC 結合の SYSREF 信号を使用しています。これにより、単一の SYSREF パルスを確実に発行する能力を排除できます。SPI インターフェイスのタイミングを慎重に調整すれば、特に非常に低速な SYSREF 信号 (< 10MHz) の場合において、複数デバイスでの SYSREF のマスキングおよびアンマスキングが可能となる場合があります。ただし、SPI パスは非同期であるため、特性評価はされていません。

SPI_SYNC 同期により、デバイス内のすべての NCO を同時に更新できます。

7.3.6.1.2.4.1 JESD204C LSB 同期

複素入力 JMODES において、JESD204C インターフェイス上の DUC0 チャネルの「I」入力の LSB を使用して、NCO ブロックを同期できます。データ サンプルの LSB を置き換える制御ビットは、NCO の位相リセットまたは NCO 周波数変更に使用されます。LSB の置き換えを使用するとき、SYNC ビットで I サンプルの LSB がどのように置き換えられるかを表 7-11 に示します。SPI_SYNC レジスタビットが high で、かつ NCO_SYNC_SRC が 3 に設定されている場合、LSB 置換モードが有効になります。イベントをトリガーするには、LSB が 4 つ以上の連続したサンプルで「低」、その後 4 つの連続したサンプルで「高」である必要があります。同期は、DUC0 入力に到着する 4 番目の high サンプルと一致します。SPI を使用して NCO 周波数ワードを更新する場合、ユーザーは SPI_SYNC を 0 に戻して、I sample データを表す LSB に戻す必要があります。FR インターフェイスを使用して NCO を更新する場合、同期イベントがトリガーされた後で、LSB は I sample データを表すものに戻ります。

表 7-11. LSB 置換を使用したビット割り当て

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I サンプル	I[15:1]															Sync
Q サンプル	Q[15:0]															

7.3.6.1.2.5 NCO モード プログラミング

表 7-13 および表 7-12 に、各種 NCO モードのレジスタ プログラミングを示します。各 NCO [n] は、それぞれ個別にモードを選択できます。

表 7-12. NCO プログラミング：SPI の使用法 (FR_EN = 0)

NCO_AR [n]	NCO_CONT [n]	モード
0	0	位相コヒーレント
	1	位相連続
1	0	位相のリセット
	1	

表 7-13. NCO プログラミング：FRI の使用法 (FR_EN = 1)

FR_NCO_AR [n]	NCO_CONT [n]	モード
0	0	位相コヒーレント
	1	位相連続
1	0	位相のリセット
	1	

Copyright © 2026 Texas Instruments Incorporated

7.3.6.1.3 ミキサのスケーリング

DUC ミキサは、複素補間入力信号を NCO 周波数と混合する際に、複素対複素または複素対実数のミキシングをサポートします。ミキサ内のスケーリングは正確に 1:1 であるため、フルスケールの 16 ビット (絶対振幅 = 32767) の複素トーンは、出力でフルスケールの実数または複素トーンとなります。入力複素振幅の絶対値が 32767 を超えると、ミキサは飽和し、波形が破損します。これは図 7-46 に示されており、白色で有効な円形領域を、灰色で無効なコーナー領域を示しています。

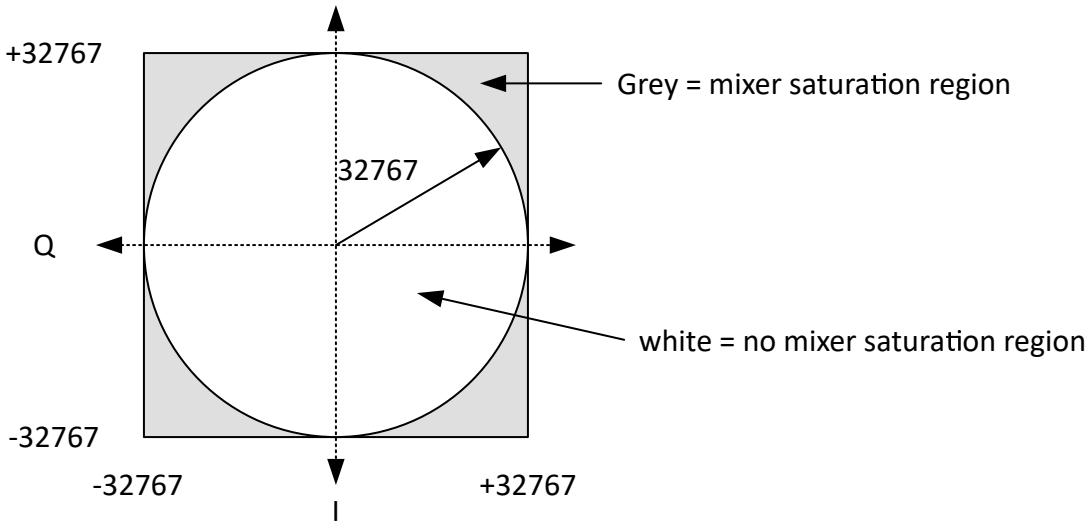


図 7-46. 16 ビット複素入力に対するミキサ飽和領域

7.3.6.2 チャネル ボンダー

チャネル ボンダーは DUC ブロックの後に位置し、DUC の出力を結合するために使用されます。図 7-47 に、DAC チャネルのブロック図を示します。DUC 出力は、信号の加算時に飽和を防止するため、DUC_GAIN レジスタで設定された値 (1 (0dB)、0.5 (-6dB)、または 0.25 (-12dB)) でスケーリングできます。信号は、DAC_SRC レジスタの設定で決定されるように最大精度で加算され、その後、結合された信号に対して飽和および丸めが発生します。DUC 出力が実数の場合、各 DAC で最大 4 つの DUC を結合できます。DUC 出力が複素数の場合、DAC 1 つあたり使用できる DUC は 2 つのみです。チャネル ボンダーは、各 DAC の実数または複素数の DUC 出力を任意の組み合わせで結合できます。

Copyright © 2026 Texas Instruments Incorporated

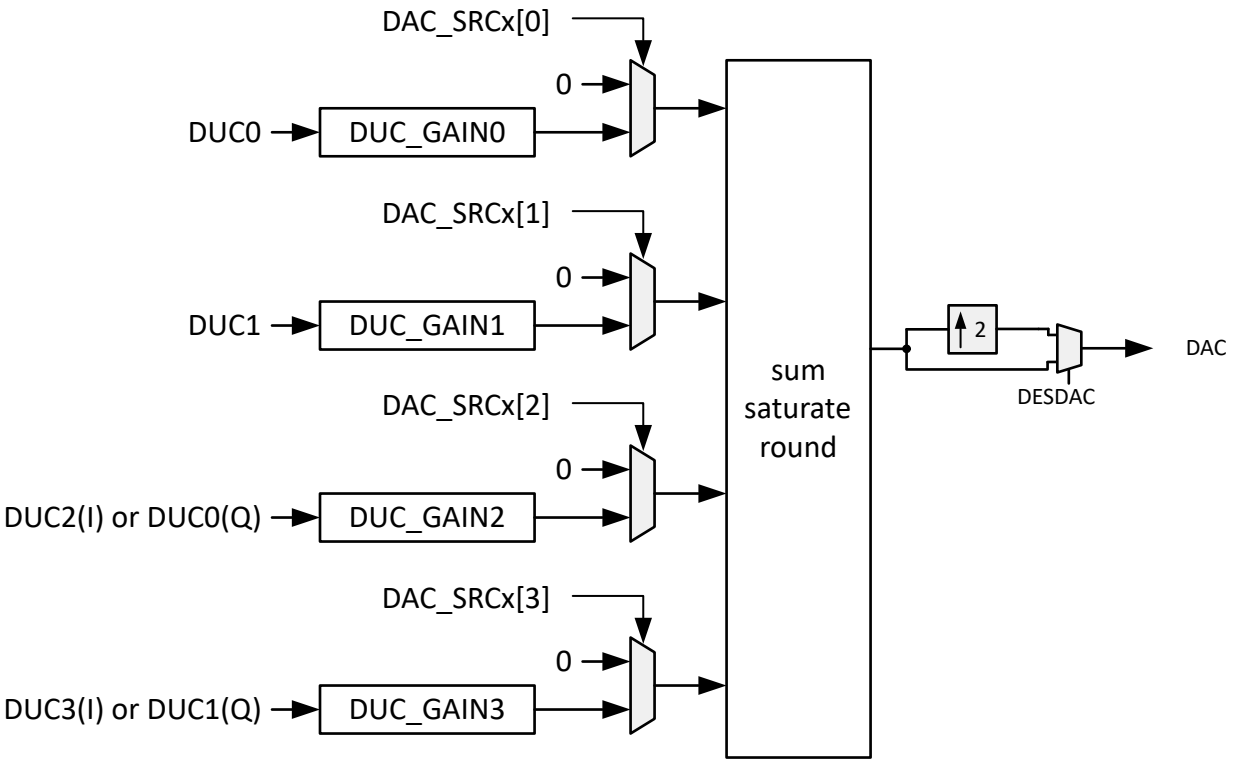


図 7-47. チャネル ボンダーのブロック図

7.3.6.3 DES 補間

加算ブロックの出力、または非補間入力信号は、オプションで DES インターポレータにより 2 倍補間され、DES2XL および DES2XH 出力モードにおいてサンプル レートを 2 倍にすることができます。DES インターポレータの通過帯域幅は 80%、停止帯域減衰は 54dB、リップルは ±0.02dB 未満です。DES インターポレータは、スペクトルを反転してハイパス（DES2XH）またはローパス（DES2XL）として動作します。DES2X フィルタ係数は表 7-14 に示され、応答は図 7-48 に示されています。また、DES2XL のパスバンド リップルは図 7-49 に示されています。補間後のサンプル レートは、立ち上がりエッジおよび立ち下がりエッジの両方でサンプルが取得されるため、2 × f_{CLK} となります。そのため、図 7-48 の x 軸はナイキスト ゾーンをカバーしています。

表 7-14. DES2X フィルタ係数

フィルタ	係数 (センター タップは太字)
DES2X	[-9 0 19 0 -39 0 70 0 -122 0 211 0 -403 0 1293 **2048** 1293 0 -403 0 211 0 -122 0 70 0 -39 0 19 0 -9] *2^{-11}

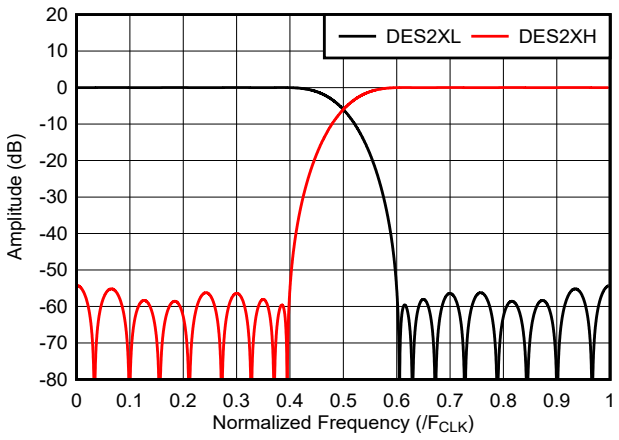


図 7-48. DES インターポレータの周波数応答

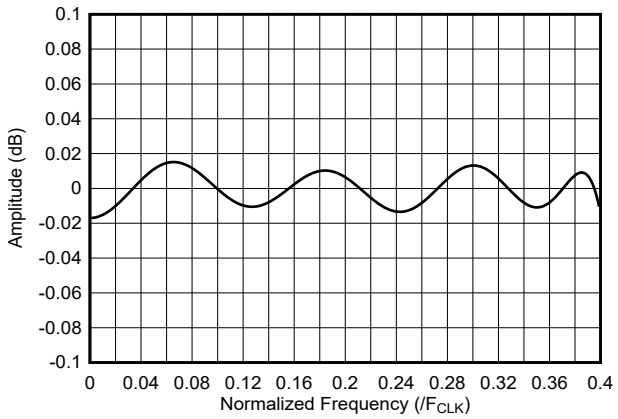


図 7-49. DES インターポレータの周波数応答（通過帯域）

7.3.7 JESD204C インターフェイス

このデバイスは、JESD204C 高速シリアルインターフェイスを使用して、ロジックデバイスから受信 DAC にデータを転送します。このデバイスのシリアル レーンは、8b/10b エンコードと、64b/66b エンコードの両方で動作することができます。8b/10b エンコーディングを使用する JESD204C フォーマットは、既存の JESD204B レシーバと後方互換性があります。最大 16 レーンを使用することで、速度に制限のあるロジック デバイスと接続する際のレーン レートを低減できます。8b/10b と 64b/66b のエンコーディングにはいくつかの違いがあり、これらについては、このセクションで取り上げています。図 7-50 に、8b/10b エンコードされた JESD204C インターフェイスの概略ブロック図を示し、図 7-51 に、64b/66b エンコードされた JESD204C インターフェイスの概略ブロック図を示します。

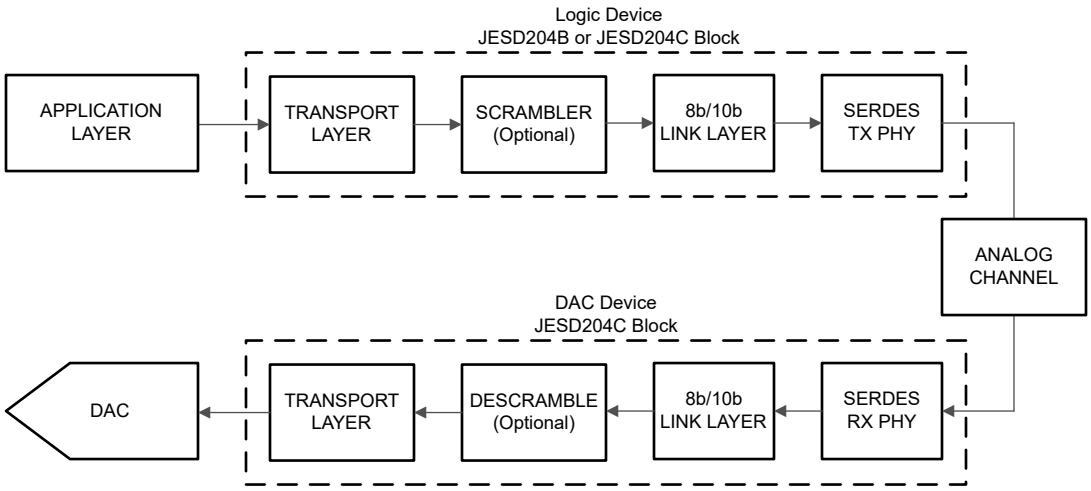


図 7-50. 8b/10b エンコードによる JESD204C インターフェイスの概略図

Copyright © 2026 Texas Instruments Incorporated

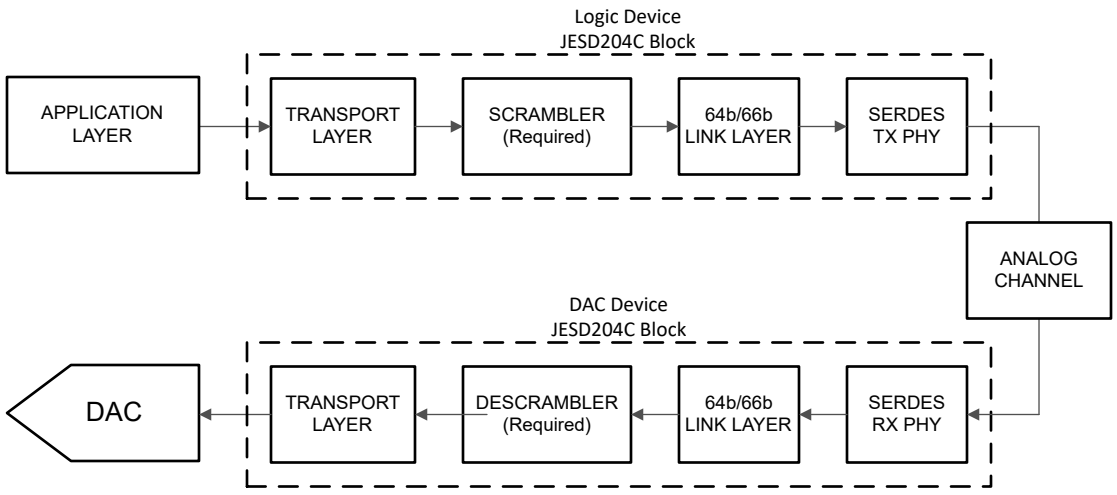


図 7-51. 64b/66b エンコードによる JESD204C インターフェイスの概略図

デバイスでは、JESD204C のすべてのオプション機能がサポートされているわけではありません。サポートされている機能とサポートされていない機能のリストは、表 7-15 を参照してください

表 7-15. サポートされている JESD204C 機能の宣言

文字識別子	特長	デバイスでサポートされていますか？
a	8b/10b リンク層	あり
b	64b/66b リンク層	あり
c	64b/80b リンク層	なし
d	64b/66b または 64b/80b のリンク層を使用した場合のコマンドチャネル	なし
e	64b/66b または 64b/80b リンク層を使用する場合の前方誤り訂正（FEC）	なし
f	64b/66b または 64b/80b のリンク層を使用する場合の CRC3	なし
g	8b/10b リンク層を使用するときの物理 $\overline{\text{SYNC}}$ ピン	あり
h	サブクラス 0	あり
i	サブクラス 1	あり
j	サブクラス 2	なし
k	単一リンク内のレーン整列	あり
l	MULTIREF 信号によるマルチポイントリンクでのレーン整列をサポートするサブクラス 1	なし
m	$\overline{\text{SYNC}}$ インターフェイスのタイミングは、JESD204A に対応しています	あり
n	$\overline{\text{SYNC}}$ インターフェイスのタイミングは、JESD204B に対応しています	あり

JESD204C インターフェイスで使用される各種信号および関連デバイスのピン名は、リファレンスとして 表 7-16 にまとめられています。

Copyright © 2026 Texas Instruments Incorporated

表 7-16. JESD204C 信号の概要

信号名	デバイスの PIN 名	説明
データ	[15:0] SRX±	SerDes レシーバによって受信された 8b/10b または 64b/66b エンコードの後の高速シリアル化データ。
$\overline{\text{SYNC}}$	$\overline{\text{SYNC}}$	リンク初期化信号（ハンドシェイク）。Low に切り替えて、コード・グループ同期（CGS）プロセスを開始します。64B/66B エンコードモードでは使用されません。
デバイス クロック	CLK+、CLK–	DAC サンプリングクロック。デジタルロジックや SerDes レシーバのクロック供給にも使用されます。
SYSREF	SYSREF+、SYSREF–	各 JESD204C デバイスの内部ローカルマルチフレームクロック（LMFC）またはローカル拡張マルチブロッククロック（LEMC）カウンタを確定的にリセットするために使用されるシステムタイミング基準

7.3.7.1 JESD204C 規格からの逸脱

JESD204C セクション 4.3.4 では、サブクラス 1 デバイスは、検出された SYSREF 信号のアクティブ エッジが予想される位置から逸脱し、予測される位置からの偏差がプログラマブル デバイス クロック サイクル数未満である場合に、LMFC/LEMC を再整列させないことが要求されます。この設計にはこの機能は含まれていませんが、この点に関しては JESD204B に準拠しています。JESD204C サブシステムと SYSREF プロセッサが有効（および SYSREF_ALIGN_EN=1）の場合、LMFC とその他のサポート クロックは検出された SYSREF に整列します。

7.3.7.2 トランスポート層

トランスミッタ (論理デバイス) において、トランスポート層はアプリケーション層からサンプルを取得し、サンプルをフレーム内のオクテットにマッピングします。このフレームは、使用可能な SerDes レーンにマッピングされます。レシーバ (DAC) では、トランスポート層が逆演算を実行し、シリアル化されたデータからサンプルを抽出します。オクテットをフレームに、フレームをレーンにマッピングする方法は、L、M、F、S、N、N'などのトランスポート層の設定によって定義されます。オクテットは 8 ビット (8b/10b または 64b/66b エンコーディングより前) であり、1 フレームは F オクテットで構成されます。これらのフレームは L レーンにマッピングされます。サンプルは N ビットですが、リンク経由で N'ビットとして送信されます。サンプルは M コンバータから供給されフレーム・サイクルごとに S サンプルが表示されます。

デバイスには、JESD204C インターフェイスモードで定義されている多数の事前定義済みトランスポート層モードがあります。JESD204C ブロックのさまざまな設定パラメータは、JESD204C インターフェイスのパラメータ定義で定義されています。

リンク層は、フレームをマルチフレームにさらにマッピングします。

7.3.7.3 スクランブラとデスクランブラ

DAC デバイスでは、受信後にデータをデスクランブルするためのデータ デスクランブラが備わっています。スクランブルは、反復データストリームによる送信データのスペクトルピークの可能性を除くために使用されます。スクランブラは 8b/10b エンコード モードではオプションですが、64b/66b エンコード モードでは、クロック リカバリおよび適応等化に十分なスペクトル成分を確保するために必須です。8b/10b のスクランブラは、10 ビットエンコーディングの前に 8 ビットのオクテットをスクランブルし、64b/66b のスクランブラは、同期ヘッダー挿入 (66 ビット エンコーディング) の前に 64 ビットのブロックをスクランブルします。JESD204C レシーバは、デスクランブラを受信スクランブル化データストリームと自動的に同期させます。8b/10b エンコードでは、初期レーン整列シーケンス (ILAS) はスクランブルされません。デスクランブラは、8b/10b エンコード モードでは SCR を設定することによって有効化できますが、64b/66b モードでは自動的に有効になります。スクランブル多項式は、JESD204C 規格で定義されている 8b/10b エンコードと 64b/66b エンコード方式とは異なります。

Copyright © 2026 Texas Instruments Incorporated

7.3.7.4 リンク層

JESD204C では、8b/10b と 64b/66b の両方のエンコード モードに対応するため、リンク層は複数の目的を果たしますが、それぞれのエンコード方式での実装にはいくつか違いがあります。一般に、リンク層の役割には、データのスクランブル化 (「スクランブラとデスクランブラ」を参照)、SerDes レーンをデスキューするためのコード (8b/10b) またはブロック (64b/66b) の境界、およびマルチフレーム (8b/10b) またはマルチブロック (64b/66b) 境界の確立、リンクの初期化、データのエンコード、およびリンクの健全性の監視などがあります。

7.3.7.5 物理層

このデバイスの JESD204C 物理層には、16 個の SerDes レシーバが搭載されています。各 SerDes レーンには、チャネル損失を補償するための連続時間リニア イコライザ (CTLE) が搭載されています。

7.3.7.6 SerDes PLL 制御

SerDes レシーバは、さまざまなパラメータを変更すると、広い周波数範囲で動作します。JESD_EN を設定する前に、SerDes レシーバが動作するための各種パラメータを設定する必要があります。パラメータは、以下の制約をすべて満たすように調整されます。

1. VCO クロック周波数 (F_{VCO}) は、1.5625GHz ～ 3.2GHz の範囲内である必要があります。
2. VCO クロック周波数 (F_{VCO}) が 2.17GHz 未満の場合は、VRANGE を設定する必要があります。
3. REFDIV、MPY、RATE 設定はすべて周波数変更に関連付けられます。すべての周波数変化の積は、選択した JMODE の R 値と一致している必要があります。
4. より高い PLL リファレンス クロック (および、より小さい MPY の逓倍) を使用する設定を推奨します。

Copyright © 2026 Texas Instruments Incorporated

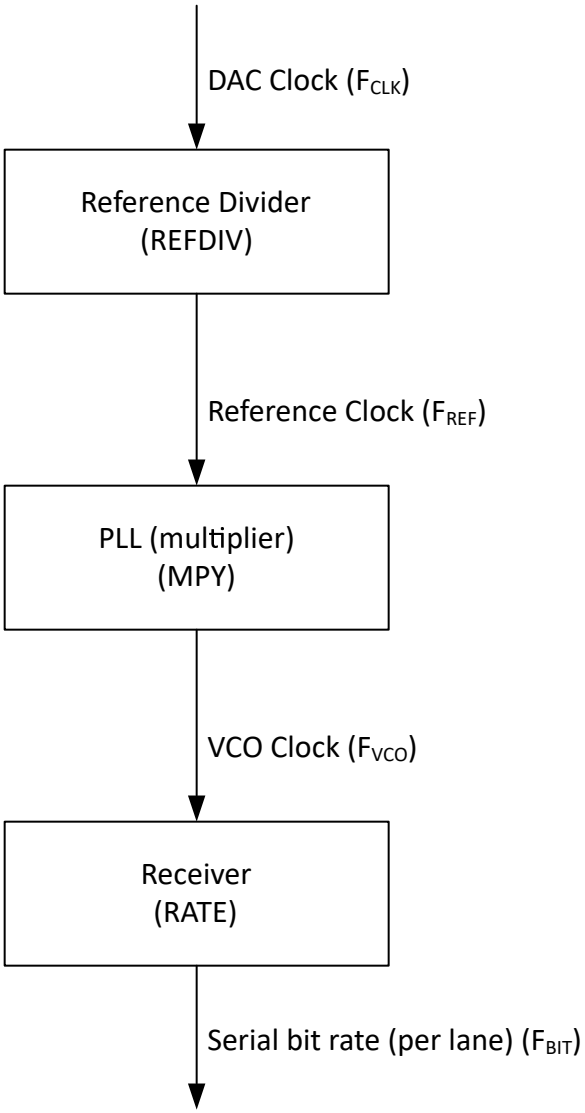


図 7-52. SerDes クロック周波数生成

表 7-17. 8b/10b エンコーディング モード用 PLL 構成表

R 10 進数 (分数)	CLK 範囲 (F_{CLK}) (GHz)	プログラムするレジスタ値				実際の周波数逓倍			レーン ビット レート (Gbps)
		REFDIV	MPY	RATE	VRANGE	REFDIV	MPY	RATE	
0.3125 (40/128)	2.5-5.12	0x08	0x14	0x3	F_{CLK} < 3.472GHz	1/8	5	0.5	0.78125 – 1.6
0.3125 (40/128)	5.0-10.24	0x10	0x14	0x2	F_{CLK} < 6.994GHz	1/16	5	1	1.5625 – 3.2
0.3125 (40/128)	10.0-12.8	0x20	0x14	0x1	1	1/32	5	2	3.125 – 4.0
0.4167 (40/96)	1.88-3.84	0x06	0x14	0x3	F_{CLK} < 2.604GHz	1/6	5	0.5	0.78125 – 1.6
0.4167 (40/96)	3.75-7.68	0x0C	0x14	0x2	F_{CLK} < 5.208GHz	1/12	5	1	1.5625 – 3.2
0.4167 (40/96)	7.50-12.8	0x18	0x14	0x1	F_{CLK} < 10.416GHz	1/24	5	2	3.125 – 5.333
0.625 (40/64)	1.25-2.56	0x04	0x14	0x3	F_{CLK} < 1.736GHz	1/4	5	0.5	0.78125 – 1.6
0.625 (40/64)	2.5-5.12	0x08	0x14	0x2	F_{CLK} < 3.472GHz	1/8	5	1	1.5625 – 3.2
0.625 (40/64)	5.00-10.24	0x10	0x14	0x1	F_{CLK} < 6.994GHz	1/16	5	2	3.125 – 6.4
0.625 (40/64)	10.00-12.8	0x20	0x14	0x0	1	1/32	5	4	6.25 – 8.0

Copyright © 2026 Texas Instruments Incorporated

表 7-17. 8b/10b エンコーディング モード用 PLL 構成表 (続き)

R 10 進数 (分数)	CLK 範囲 (F_{CLK}) (GHz)	プログラムするレジスタ値				実際の周波数逓倍			レーン ビット レート (Gbps)
		REFDIV	MPY	RATE	VRANGE	REFDIV	MPY	RATE	
0.833 (40/48)	0.94-1.92	0x03	0x14	0x3	F_{CLK} < 1.302GHz	1/3	5	0.5	0.78125 – 1.6
0.833 (40/48)	1.88-3.84	0x06	0x14	0x2	F_{CLK} < 2.604GHz	1/6	5	1	1.5625 – 3.2
0.833 (40/48)	3.75-7.68	0x0C	0x14	0x1	F_{CLK} < 5.208GHz	1/12	5	2	3.125 – 6.4
0.833 (40/48)	7.50-12.8	0x18	0x14	0x0	F_{CLK} < 10.416GHz	1/24	5	4	6.25 – 10.667
1 (40/40)	0.781-1.6	0x02	0x10	0x3	F_{CLK} < 1.085GHz	1/2	4	0.5	0.78125 – 1.6
1 (40/40)	1.5625-3.2	0x04	0x10	0x2	F_{CLK} < 2.17GHz	1/4	4	1	1.5625 – 3.2
1 (40/40)	3.125-6.4	0x08	0x10	0x1	F_{CLK} < 4.34GHz	1/8	4	2	3.125 – 6.4
1 (40/40)	6.25-12.8	0x10	0x10	0x0	F_{CLK} < 8.68GHz	1/16	4	4	6.25 – 12.8
1.25 (40/32)	0.625-1.28	0x02	0x14	0x3	F_{CLK} < 0.868GHz	1/2	5	0.5	0.78125 – 1.6
1.25 (40/32)	1.25-2.56	0x04	0x14	0x2	F_{CLK} < 1.736GHz	1/4	5	1	1.5625 – 3.2
1.25 (40/32)	2.5-5.12	0x08	0x14	0x1	F_{CLK} < 3.472GHz	1/8	5	2	3.125 – 6.4
1.25 (40/32)	5.0-10.24	0x10	0x14	0x0	F_{CLK} < 6.994GHz	1/16	5	4	6.25 – 12.8
1.667 (40/24)	0.47-0.96	0x03	0x28	0x3	F_{CLK} < 0.651GHz	1/3	10	0.5	0.78125 – 1.6
1.667 (40/24)	0.94-1.92	0x03	0x14	0x2	F_{CLK} < 1.302GHz	1/3	5	1	1.5625 – 3.2
1.667 (40/24)	1.88-3.84	0x06	0x14	0x1	F_{CLK} < 2.604GHz	1/6	5	2	3.125 – 6.4
1.667 (40/24)	3.75-7.68	0x0C	0x14	0x0	F_{CLK} < 5.208GHz	1/12	5	4	6.25 – 12.8
2 (40/20)	0.781-1.6	0x02	0x10	0x2	F_{CLK} < 1.085GHz	1/2	4	1	1.5625 – 3.2
2 (40/20)	1.5625-3.2	0x04	0x10	0x1	F_{CLK} < 2.17GHz	1/4	4	2	3.125 – 6.4
2 (40/20)	3.125-6.4	0x08	0x10	0x0	F_{CLK} < 4.34GHz	1/8	4	4	6.25 – 12.8
2.5 (40/16)	0.625-1.28	0x02	0x14	0x2	F_{CLK} < 0.868GHz	1/2	5	1	1.5625 – 3.2
2.5 (40/16)	1.25-2.56	0x04	0x14	0x1	F_{CLK} < 1.736GHz	1/4	5	2	3.125 – 6.4
2.5 (40/16)	2.5-5.12	0x08	0x14	0x0	F_{CLK} < 3.472GHz	1/8	5	4	6.25 – 12.8
3.3333 (40/12)	0.47 – 0.96	0x03	0x28	0x2	F_{CLK} < 0.651GHz	1/3	10	1	1.5625 – 3.2
3.3333 (40/12)	0.94 – 1.92	0x03	0x14	0x1	F_{CLK} < 1.302GHz	1/3	5	2	3.125 – 6.4
3.3333 (40/12)	1.88 – 3.84	0x06	0x14	0x0	F_{CLK} < 2.604GHz	1/6	5	4	6.25 – 12.8
4 (40/10)	0.781 – 1.6	0x02	0x10	0x1	F_{CLK} < 1.085GHz	1/2	4	2	3.125 – 6.4
4 (40/10)	1.5625 – 3.2	0x04	0x10	0x0	F_{CLK} < 2.17GHz	1/4	4	4	6.25 – 12.8
5 (40/8)	0.625-1.28	0x02	0x14	0x1	F_{CLK} < 0.868GHz	1/2	5	2	3.125 – 6.4
5 (40/8)	1.25-2.56	0x04	0x14	0x0	F_{CLK} < 1.736GHz	1/4	5	4	6.25 – 12.8

表 7-18. 64b/66b エンコーディング モード用 PLL 構成表

R 10 進数 (分数)	CLK 範囲 (F_{CLK}) (GHz)	プログラムするレジスタ値				実際の周波数逓倍			レーン ビット レート (F_{BIT}) (Gbps)
		REFDIV	MPY	RATE	VRANGE	REFDIV	MPY	RATE	
0.515625 (33/64)	6.06 – 12.41	0x20	0x21	0x1	F_{CLK} < 8.417GHz	1/32	8.25	2	3.125 – 6.4
0.6875 (33/48)	4.55 – 9.31	0x18	0x21	0x1	F_{CLK} < 6.313GHz	1/24	8.25	2	3.125 – 6.4
0.6875 (33/48)	9.09 – 12.8	0x30	0x21	0x0	F_{CLK} < 12.625GHz	1/48	8.25	4	6.25 – 8.8
0.825 (33/40)	3.79 – 7.76	0x14	0x21	0x1	F_{CLK} < 5.261GHz	1/20	8.25	2	3.125 – 6.4
0.825 (33/40)	7.58 – 12.8	0x28	0x21	0x0	F_{CLK} < 10.521GHz	1/40	8.25	4	6.25 – 10.56
1.03125 (33/32)	3.03 – 6.21	0x10	0x21	0x1	F_{CLK} < 4.208GHz	1/16	8.25	2	3.125 – 6.4
1.03125 (33/32)	6.06 – 12.41	0x20	0x21	0x0	F_{CLK} < 8.417GHz	1/32	8.25	4	6.25 – 12.8
1.375 (33/24)	2.27 – 4.65	0x0C	0x21	0x1	F_{CLK} < 3.156GHz	1/12	8.25	2	3.125 – 6.4
1.375 (33/24)	4.55 – 9.31	0x18	0x21	0x0	F_{CLK} < 6.313GHz	1/24	8.25	4	6.25 – 12.8
1.65 (33/20)	1.89 – 3.88	0x0A	0x21	0x1	F_{CLK} < 2.630GHz	1/10	8.25	2	3.125 – 6.4
1.65 (33/20)	3.79 – 7.76	0x14	0x21	0x0	F_{CLK} < 5.261GHz	1/20	8.25	4	6.25 – 12.8
2.0625 (33/16)	1.52 – 3.10	0x08	0x21	0x1	F_{CLK} < 2.104GHz	1/8	8.25	2	3.125 – 6.4
2.0625 (33/16)	3.03 – 6.21	0x10	0x21	0x0	F_{CLK} < 4.208GHz	1/16	8.25	4	6.25 – 12.8
2.75 (33/12)	1.14 – 2.33	0x06	0x21	0x1	F_{CLK} < 1.578GHz	1/6	8.25	2	3.125 – 6.4

Copyright © 2026 Texas Instruments Incorporated

表 7-18. 64b/66b エンコーディング モード用 PLL 構成表 (続き)

R 10 進数 (分数)	CLK 範囲 (F_{CLK}) (GHz)	プログラムするレジスタ値				実際の周波数逓倍			レーン ビット レート (F_{BIT}) (Gbps)
		REFDIV	MPY	RATE	VRANGE	REFDIV	MPY	RATE	
2.75 (33/12)	2.27 – 4.65	0x0C	0x21	0x0	F_{CLK} < 3.156GHz	1/12	8.25	4	6.25 – 12.8
3.3 (33/10)	0.95 – 1.94	0x05	0x21	0x1	F_{CLK} < 1.315GHz	1/5	8.25	2	3.125 – 6.4
3.3 (33/10)	1.89 – 3.88	0x0A	0x21	0x0	F_{CLK} < 2.630GHz	1/10	8.25	4	6.25 – 12.8
4.125 (33/8)	0.76 – 1.55	0x04	0x21	0x1	F_{CLK} < 1.052GHz	1/4	8.25	2	3.125 – 6.4
4.125 (33/8)	1.52 – 3.10	0x08	0x21	0x0	F_{CLK} < 2.104GHz	1/8	8.25	4	6.25 – 12.8

7.3.7.7 SerDes クロスバー

このデバイスには、PHY から抜け出した直後にクロスバーがあり、レーン間の信号をマッピングして Tx と Rx の間の PCB 配線が簡素化されます。これにより、PCB の複雑さを低減すること、または配線を短くすること (損失を低減) ができます。LANE_SEL **n** を参照してください。

物理層レーン (0SRX± ～ 15SRX±) は JESD204C のフォーマット図に示されているビット パッキング図に定義されたレーンに基づいて、適切な JESD204C レーン (JESD0 ～ JESD15) に配線する必要があります。

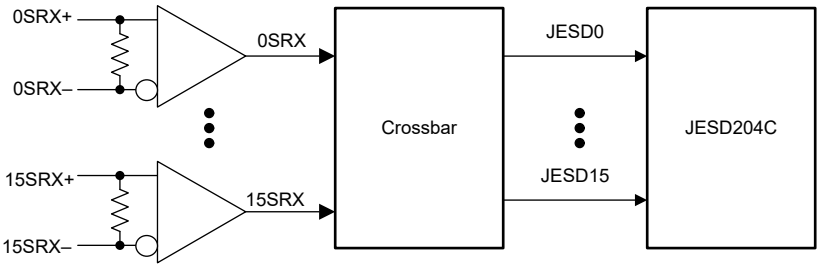


図 7-53. クロスバー ブロック図

7.3.7.8 複数デバイスの同期と決定論的レイテンシ

JESD204C サブクラス 1 では、シリアルリンク全体で決定論的なレイテンシを実現する方法の概要を示します。2 つのデバイスが同じ確定的レイテンシを達成している場合、それらのデバイスは同期していると考えることができます。このレイテンシは、システムの起動から起動まで、確定的である必要があります。確定的なレイテンシを実現するには、2 つの重要な要件があります。1 番目の要件は、SYSREF を適切にキャプチャすることです。SYSREF は、各デバイスの LMFC カウンタをリセットし、既知のタイミング リファレンスとして動作します。

2 番目の要件は、レシーバ内の適切な弾性バッファーリリースポイントを選択することです。コンバータ デバイスは JESD204C リンクのレシーバ (RX) で、ロジック デバイスはトランスミッタ (TX) です。弾性バッファは、決定論的なレイテンシを実現するための重要なブロックであり、データがトランスミッタからレシーバに伝達されるときにシリアル化されたデータの伝搬遅延の変動を吸収することで遅延を実現します。適切なリリースポイントは、遅延変動に対して十分なマージンを確保することです。適切なリリース ポイントを選択するには、LMFC エッジを参照する弾性バッファへのデータの平均到着時間と、すべてのデバイスの予測される遅延変動の合計を知る必要があります。この情報を使用して、LMFC 周期内の無効なリリース ポイントの領域を定義できます。この領域は、すべてのレーンの最小遅延から最大遅延まで延びます。基本的に、前のリリース ポイントが発生した後、次のリリース ポイントが発生する前に、すべてのレーンのデータがすべてのデバイスに到着することを設計者は確認する必要があります。無効な領域も実験的に見つけることができます。『RBD のプログラミング』を参照してください。

図 7-54 に、この要件を示すタイミング図を示します。この図には、2 つのトランスミッタ (ADC またはロジック デバイス) のデータが表示されています。2 番目のトランスミッタ (TX 2) は配線距離 (t_{PCB}) が長いため、最初のトランスミッタ (TX 1) よりもリンク遅延が長くなります。まず、LMFC 周期の無効領域は、すべてのデバイスのデータ到着時間によって決定されるとおりにマーク オフされます。次に、リリース バッファ遅延 (RBD) パラメータを使用して、リリース ポイントを LMFC エッジから適切な数の 4 オクテット ステップにシフトし、LMFC サイクルの有効な領域内でリリース ポイントが発生するようにします。図 7-54 の場合、有効領域の各側に十分なマージンがあるので、LMFC エッジ (RBD = 0) がリリース ポイントに適した選択肢です。

Copyright © 2026 Texas Instruments Incorporated

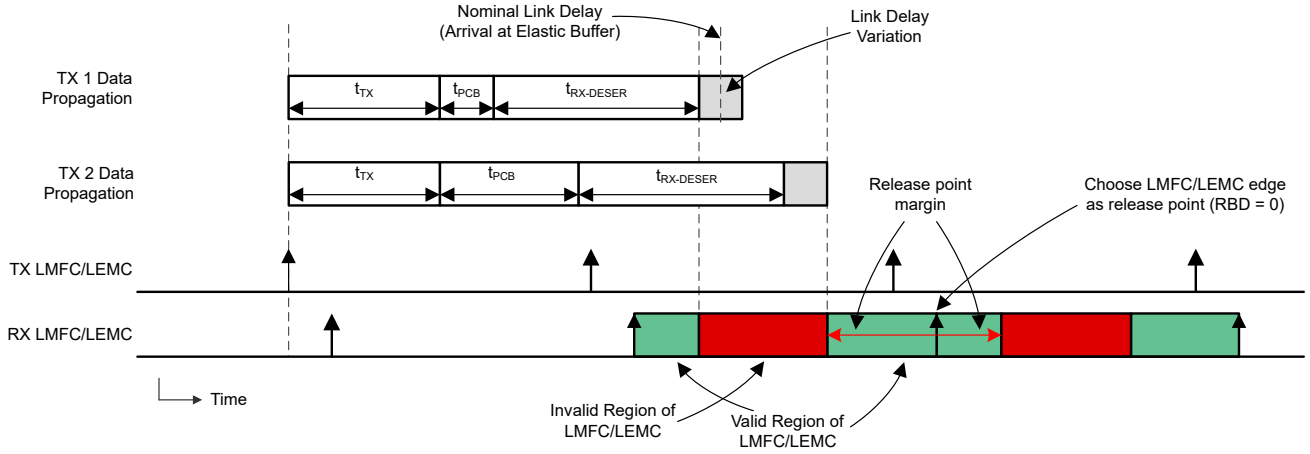


図 7-54. 弾性バッファのリリース ポイント選択における LMFC の有効領域の定義

TX および RX LMFC は必ずしも位相が揃っている必要はありませんが、弾性バッファのリリース ポイントを適切に選択するには、それらの位相を把握することが重要です。また、弾性バッファのリリース ポイントは各 LMFC サイクル内で発生しますが、バッファはすべてのレーンが到着したときにのみ解放されます。このため、合計リンク遅延が単一の LMFC 周期を超える可能性があります。詳細については、『*JESD204B 複数デバイスの同期：詳細情報は 要件を分解* を参照。

7.3.7.8.1 RBD のプログラミング

RBD の値の範囲は、Rx と Tx の LMFC/LEMC 間の位相差、および Tx、チャネル、Rx におけるリンク遅延に依存します。したがって、すべてのシステムに共通して適用できる事前定義の RBD 値を用いるべきではありません。ユーザーがレーン到着時間を測定し、システムに適した RBD 値を選択するのに役立つように、LANE_ARR レジスタが提供されています。決定論的レイテンシを実現するために、RBD 値はシステムのプロトタイピング段階で選択し、システム ファームウェアに保存できます。システムの電源がオンになるたびに RBD を計算すると、非確定的なレイテンシが発生する可能性があります。

到着時刻はクアッド バイト単位で報告され、各レーンで受信されるクアッド バイトごとにインクリメントされるモジュロ 64 のリファレンス カウンタに対して測定されます。リファレンス カウンタは SYSREF によって整列 (リセット) されます。

レーン到着時刻はモジュロ値であるため、モジュールを考慮した演算を使用することが重要です (最も遅れて到着したレーンの LANE_ARR 値が、最も早く到着したレーンよりも実際には小さい場合があります)。図 7-55 および図 7-56 に、これを強調するために RBD 計算を図式で示します。レーン到着時間は、64 個の quad-bytes の円周を持つ円にマッピングされます。これは、レーン到着時間の測定に使用される modulo-64 カウンタに対応します。

使用可能な最も早い RBD 値は、最新の LANE_ARR 値に 1 を加えた値 (モジュロ 64) に等しくなります。使用可能な最大の RBD 値は、最も早く到着した LANE_ARR 値にバッファ深さを加えた値 (モジュロ 64) に等しくなります (バッファの深さは通常 16 クアッド オクテットですが、K × F = 32 の場合は 8 クアッド オクテットに減少します)。使用できる最新の RBD 値により、最も早い到着レーンは、データが読み出されているクロック サイクルと同じクロック サイクルでバッファ データを上書きします (これは許容可能であり、オーバーフローは発生しません)。

使用可能な範囲の中央に RBD 値を選択すると、スキュー許容誤差が最大になりますが、レイテンシを短縮する必要がある場合は、最新の到着レーンに近い値を選択できます。

Copyright © 2026 Texas Instruments Incorporated

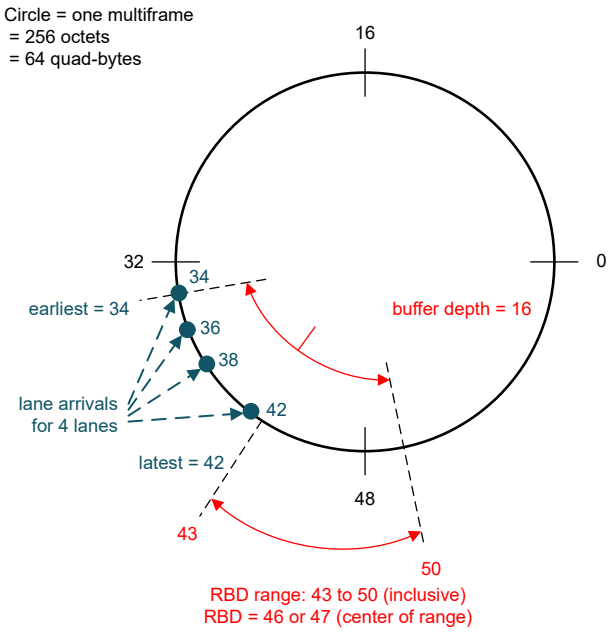


図 7-55. RBD の例 (レーン到着がゼロにまたがっていない場合)

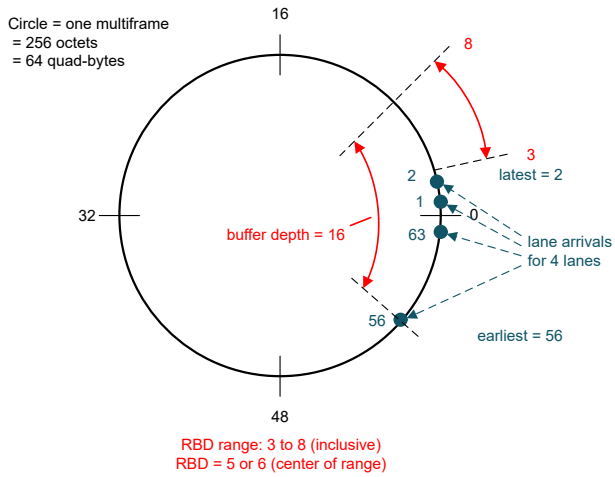


図 7-56. RBD の例 (レーン到着がゼロの場合)

7.3.7.9 Subclass 0 システムでの動作

マルチ DAC の同期と決定論的レイテンシが不要な場合、デバイスはサブクラス 0 との互換性で動作できます。これらの制限により、このデバイスは SYSREF をアプリケーションしなくても動作できます。内部 LMFC は、開始フェーズが不明な場合に自動的に自己生成されます。最新の到着レーンが弾性バッファに書き込みを開始した直後に弾性バッファが自動的に解放されるため、RBD をプログラムする必要はありません。同期は、CGS と ILAS を開始するために通常どおり使用されます。

7.3.7.10 リンクのリセット

以下の場合に、すべてのレーンのリンク層全体がリセットされます。

- JESD リンクで使用されるレーンでギヤボックス FIFO のアンダーフロー / オーバーフローが検出された場合 (LANE_ERR [0])
- JESD リンクで使用されるレーンで弾性バッファのオーバーフローが検出された場合 (EB_ERR)
- JESD リンクがダウンした場合 (JESD_LINK_DOWN_ALM)
- SYSREF により、クロック分周器または LMFC/LEMC の再整列が発生した場合 (REALIGNED)
- JTimer の有効期限が切れた場合 (JTIMER_EXPIRED_ALM)

7.3.8 アラーム生成

alarm ピンは、介入を必要とするイベントをホスト コントローラに通知するために役立ちます。SYS_ALM レジスタのアクティブなアラームが ALM_MASK レジスタでマスキングされていない場合は、アラーム出力がアサートされます。

7.4 デバイスの機能モード

このセクションでは、デバイスの機能モードについて説明します。このセクションの機能の一部については、『機能説明』に詳細な説明が記載されています。

7.4.1 DUC および DDS モード

このデバイスには、DUC モードと直接デジタル合成 (DDS) モードが搭載されています。データ パス モードでは、JESD インターフェイスからの複素 (I および Q) データを使用し、DUC 内で補間およびアップコンバートし、DUC 出力を合計し

Copyright © 2026 Texas Instruments Incorporated

て DAC 内のアナログ信号を生成します。DDS モードでは、DUC NCO を直接使用して、入力データを必要とせずに、トーンを生成します。

DDS モードと DUC モードの違いを以下に示します。

1. 補間フィルタは使用できません。
2. JESD204C インターフェイスは無効です。
3. NCO の消費電力が削減されます (複素ミキシングなし)。
4. AMP レジスタは、各 DUC (DDS) チャネルに固有の振幅を供給するため、DDS チャネルはトーンを生成して DAC 出力の高調波トーンをキャンセルできます。たとえば、DDS チャネル 0 は基本トーンを生成し、チャネル 1 は HD2 をキャンセルするトーンを生成し、チャネル 2 は HD3 をキャンセルするトーンを生成できます。
5. JMODE および DUC_L レジスタは無視され、JESD204C システムおよび補間フィルタによって課される SYSREF 周期制約が削除されます。表 7-3 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 JESD204C インターフェイス モード

各動作モードでは、使用可能なインターフェイス形式 (レーン数、分解能) が限定されています。

7.4.2.1 JESD204C インターフェイス モード

デバイスの JESD204C モードは、表 7-19、表 7-20 および表 7-21 で定義されたパラメータを用いて構成されます。

表 7-19. JESD204C インターフェイス パラメータの定義

パラメータ	説明
JMODE	JESD204C モード番号。ユーザーは、このパラメータを設定して、サポートされているモードを選択します。他のほとんどのパラメータは、この設定から導出されます。表 7-22 を参照してください。
LS	サンプル ストリームあたりのレーン。これは JMODE から導出されたものです。表 7-22 を参照してください。
LT	クロックと入力サンプル レートの比率。LT = F_{CLK}/F_{INPUT}。値が 0.5 の場合、DES1X モードが有効となり、入力サンプリング レートは DAC クロック周波数の 2 倍になります (JESD204C システムでは、CLK サイクルあたり 2 つのサンプルが提供されます)。DES1X モードが有効でない場合、LT は補間係数に等しく、これは出力サンプル レートと入力サンプル レートの比率を示します。なお、DES2X モードは LT の値に影響を与えません。 補間係数 1 ～ 256x は、DUC_L レジスタに設定されます。
Lx	特定の JMODE で使用されるレーンの最大数。有効になっているチャネル数に応じて、リンクはアクティブなレーン数 (L) を減少させます。JESD_M レジスタを参照してください。
Mx	特定の JMODE の最大ストリーム数。Mx は、表 7-22 に基づいて自動的に算出されます。ユーザーは、JESD_M レジスタを使用して実際のストリーム数 (M) を指定できます。
R	CLK サイクルあたりのレーンあたり送信されるビット数。JMODE および LT から導出されます (表 7-22 を参照)。R に基づいて、REFDIV、MPY、および RATE レジスタをプログラムする必要があります。また、最大 CLK 周波数は R の関数です
SI	サンプル インターリーブ / 増分係数。1 の値は、JESD204C 規格からの標準トランスポート層マッピングが使用されることを示します (サンプルは 0 から S-1 まで線形にマッピングされます)。1 より大きい値は、代替マッピングが次のように使用されることを示します。サンプル 0 から始まるマップ サンプル。インデックスを SI 単位でインクリメントします。すべての S サンプルをマッピングするために必要な回数だけ繰り返します。各繰り返しは、前の繰り返しよりも 1 つ大きいインデックスで開始します。JESD フォーマット図 JESD フォーマット図を参照してください。
KR	8b/10b 動作の場合、KR は K (マルチフレームあたりのフレーム数) の有効値を定義します。有効値は、弾性バッファのアップセット耐性を容易にするために制限されています。マルチフレーム長は、64 文字のエラスティック バッファ深さの整数倍に制限されます (K = 32 かつ F = 1 の場合、バッファの深さは 32 文字に縮小されます)。8b/10b モードの場合、K は KM1 レジスタを介してプログラムされます。

Copyright © 2026 Texas Instruments Incorporated

表 7-20. JESD204C リンク パラメータ

パラメータ	説明	ILAS フィールド名	このデバイスの値(1)
ADJCNT	DAC LMFC 調整	ADJCNT[3:0]	該当なし
ADJDIR	DAC LMFC 調整方向	ADJDIR[0]	該当なし
BID	Bank ID	BID[3:0]	該当なし
CF	フレームあたりの制御ワード数	CF[4:0]	0
CS	サンプルあたりの制御ビット数	CS[1:0]	0
DID	デバイス識別番号	DID[7:0]	該当なし
F	フレームあたりのオクテット数 (レーンあたり)	F[7:0]	表 7-22 を参照してください。
HD	高密度形式	HD[0]	表 7-22 を参照してください。
JESDV	JESD204 バージョン	JESDV[2:0]	該当なし
K	マルチフレームあたりのフレーム数	K[7:0]	KM1 レジスタによって設定
L	リンクあたりのレーン数	L[4:0]	最高限度 (M/Mx*Lx)
LID	レーン識別番号	LID[4:0]	該当なし
M	リンクあたりのサンプル ストリーム数 ((1) を参照)	M[7:0]	JESD_M レジスタによって設定
N	JESD204C インターフェイスにおける、制御ビットまたはテール ビット追加前の 1 サンプル当たりのビット数。	N[4:0]	表 7-22 を参照してください。
N'	JESD204C インターフェイスにおける、制御ビットおよびテール ビットを含むサンプル当たりの総ビット数。	N'[4:0]	表 7-22 を参照してください。
PHADJ	DAC への位相調整要求	PHADJ[0]	該当なし
S	フレームあたりのストリームごとのサンプル数	S[4:0]	表 7-22 を参照してください。
SCR	スクランブル イネーブル	SCR[0]	SCR レジスタによって設定
SUBCLASSV	デバイス サブクラス バージョン	SUBCLASSV[2:0]	該当なし
RES1	予約済みフィールド 1	RES1[7:0]	該当なし
RES2	予約済みフィールド 2	RES2[7:0]	該当なし
CHKSUM	チェックサム (モジュロを 256 上記のすべてのフィールドの合計、モジュロ 256)	FCHK[7:0]	該当なし

(1) 8b/10b モードでは、送信側は ILAS 中にリンク構成オクテットを送信する場合があります。トランスミッタから送信された値は、このレシーバによってチェックされず、レシーバの動作値と一致する必要はありません。

表 7-21. リンク パラメータ (64b/66b エンコードでのみ適用)

パラメータ	説明	このデバイスの値(1)
E	拡張マルチブロックあたりのマルチブロック数 (64b/66b エンコードのみ)	1

サポートされている各モードにはモード番号が割り当てられており、表 7-22 に示されているパラメータを使用して、JMODE レジスタにプログラムできます。

Copyright © 2026 Texas Instruments Incorporated

表 7-22. JESD インターフェイス モード

JMODE	エンコード	ストリームあたりの最大入力サンプル レート (MSPS)	最大 SerDes ボーレート (Gbps)	R = F_{BIT}/F_{CLK}	N	Mx = 最大ストリーム数	Ls = レーン / ストリーム	Lx = 最大レーン数	LT = 補間		JESD フォーマット				KR
									最小値	最大値	F	S	HD	SI	
0	8b/10b	10240	12.8	1.25	16	1	16	16	1	1	2	16	0	1	32、64、128
	64b/66b	10400	10.725	1.03125											
1	8b/10b	5120	12.8	2.5/LT	16	2	8	16	1	8	2	8	0	1	32、64、128
	64b/66b	6206.1	12.8	2.0625/LT											
2	8b/10b	2560	12.8	5/LT	16	4	4	16	1	16	2	4	0	1	32、64、128
	64b/66b	3103.0	12.8	4.125/LT											
3	8b/10b	1280	12.8	10/LT	16	8	2	16	2	32	2	2	0	1	32、64、128
	64b/66b	1551.5	12.8	8.25/LT											
4	8b/10b	640	12.8	20/LT	16	8	1	8	4	64	2	1	0	1	32、64、128
	64b/66b	775.8	12.8	16.5/LT											
5	8b/10b	320	12.8	40/LT	16	8	½	4	8	128	4	1	0	1	16、32、64
	64b/66b	387.9	12.8	33/LT											
6	8b/10b	160	12.8	80/LT	16	8	¼	2	16	256	8	1	0	1	8、16、32
	64b/66b	193.9	12.8	66/LT											
7	8b/10b	80	12.8	160/LT	16	8	⅛	1	32	256	16	1	0	1	4、8、16
	64b/66b	97.0	12.8	132/LT											
8	8b/10b	12800	12.8	1/LT	12	1	16	16	0.5	1	8	80	0	16	8、16、32
	64b/66b	15515.2	12.8	0.825/LT											
9	8b/10b	9600	12.8	1.25	12	1	12	12	1	1	2	16	1	1	32.64、128
	64b/66b	10400	10.725	1.03125											
10	8b/10b	6400	12.8	2	12	2	8	16	1	1	8	40	0	8	8、16、32
	64b/66b	7757.6	12.8	1.65											
11	8b/10b	4800	12.8	2.5	12	2	6	12	1	1	2	8	1	1	32.64、128
	64b/66b	6206.1	12.8	2.0625											
12	8b/10b	3200	12.8	4	12	2	4	8	1	1	8	20	0	4	8、16、32
	64b/66b	3878.8	12.8	3.3											
13	8b/10b	2400	12.8	5	12	2	3	6	1	1	2	4	1	1	32.64、128
	64b/66b	3103.0	12.8	4.125											
14	8b/10b	20480	12.8	0.625/LT	8	1	16	16	0.5	1	1	16	0	1	32.64、128,256
	64b/66b	20800	10.725	0.515625/LT											
15	8b/10b	10240	12.8	1.25	8	2	8	16	1	1	1	8	0	1	32.64、128,256
	64b/66b	10400	10.725	1.03125											
16	8b/10b	5120	12.8	2.5	8	2	4	8	1	1	1	4	0	1	32.64、128,256
	64b/66b	6206.1	12.8	2.0625											

1. 最小補間レート時

7.4.2.2 JESD204C のフォーマット図

以下の各サブセクションでは、各出力フォーマットを示し、サンプルおよびテール ビットが各レーンへどのように割り当てられるかを示しています。出力形式の表に示されていないレーンは使用されません。各表は 1 つのフレームを表しています。テール ビットは、トランスポート層によって廃棄され、無視されます。すべての図は、LANE_SELn を使用して外部物理レーンに任意にマッピングできる論理レーン番号を基準にしています。

表 7-23. フォーマット表記の説明

表記	説明
T	テール ビット (一部の 12 ビット モードで使用)

Copyright © 2026 Texas Instruments Incorporated

表 7-23. フォーマット表記の説明 (続き)

表記	説明
CH0_I[n]	チャネル 0 の位相内サンプルです。入力を複素データとして扱わない場合、このチャネルは「チャネル A」と見なすことができます。
CH0_Q[n]	チャネル 0 のクアドラチャ サンプルです。入力が複素データとして扱われない場合は、「チャネル B」と見なすこともできます。
CH1_I[n]	チャネル 1 の位相内サンプルです。
CH1_Q[n]	チャネル 1 のクアドラチャ サンプルです。
CH2_I[n]	チャネル 2 の位相内サンプルです。
CH2_Q[n]	チャネル 2 のクアドラチャ サンプルです。
CH3_I[n]	チャネル 3 の位相内サンプルです。
CH3_Q[n]	チャネル 3 のクアドラチャ サンプルです。

上記のすべての表記において、n はサンプル番号を示します。JESD204C の一部のモードは S=1 (フレームあたりのストリームごとに 1 サンプル) です。その場合は、「[n]」を省略しています。

7.4.2.2.1 16 ビット形式

表 7-24. JMODE 0 (16 ビット、ストリームごとに 16 レーン、1 ストリーム)

オクテット	0		1	
ニブル	0	1	2	3
Lane 0	CH0_I[0]			
Lane 1	CH0_I[1]			
Lane 2	CH0_I[2]			
Lane 3	CH0_I[3]			
Lane 4	CH0_I[4]			
Lane 5	CH0_I[5]			
Lane 6	CH0_I[6]			
Lane 7	CH0_I[7]			
Lane 8	CH0_I[8]			
Lane 9	CH0_I[9]			
Lane 10	CH0_I[10]			
Lane 11	CH0_I[11]			
Lane 12	CH0_I[12]			
Lane 13	CH0_I[13]			
Lane 14	CH0_I[14]			
Lane 15	CH0_I[15]			

表 7-25. JMODE 1 (16 ビット、ストリームごとに 8 レーン、最大 2 ストリーム)

オクテット	0		1	
ニブル	0	1	2	3
Lane 0	CH0_I[0]			
Lane 1	CH0_I[1]			
Lane 2	CH0_I[2]			
Lane 3	CH0_I[3]			
Lane 4	CH0_I[4]			
Lane 5	CH0_I[5]			
Lane 6	CH0_I[6]			
Lane 7	CH0_I[7]			

Copyright © 2026 Texas Instruments Incorporated

表 7-25. JMODE 1 (16 ビット、ストリームごとに 8 レーン、最大 2 ストリーム) (続き)

オクテット	0		1	
ニブル	0	1	2	3
Lane 8	CH0_Q[0]			
Lane 9	CH0_Q[1]			
Lane 10	CH0_Q[2]			
Lane 11	CH0_Q[3]			
Lane 12	CH0_Q[4]			
Lane 13	CH0_Q[5]			
Lane 14	CH0_Q[6]			
Lane 15	CH0_Q[7]			

表 7-26. JMODE 2 (16 ビット、ストリームごとに 4 レーン、最大 4 ストリーム)

オクテット	0		1	
ニブル	0	1	2	3
Lane 0	CH0_I[0]			
Lane 1	CH0_I[1]			
Lane 2	CH0_I[2]			
Lane 3	CH0_I[3]			
Lane 4	CH0_Q[0]			
Lane 5	CH0_Q[1]			
Lane 6	CH0_Q[2]			
Lane 7	CH0_Q[3]			
Lane 8	CH1_I[0]			
Lane 9	CH1_I[1]			
Lane 10	CH1_I[2]			
Lane 11	CH1_I[3]			
Lane 12	CH1_Q[0]			
Lane 13	CH1_Q[1]			
Lane 14	CH1_Q[2]			
Lane 15	CH1_Q[3]			

表 7-27. JMODE 3 (16 ビット、ストリームごとに 2 レーン、最大 8 ストリーム)

オクテット	0		1	
ニブル	0	1	2	3
Lane 0	CH0_I[0]			
Lane 1	CH0_I[1]			
Lane 2	CH0_Q[0]			
Lane 3	CH0_Q[1]			
Lane 4	CH1_I[0]			
Lane 5	CH1_I[1]			
Lane 6	CH1_Q[0]			
Lane 7	CH1_Q[1]			
Lane 8	CH2_I[0]			
Lane 9	CH2_I[1]			
Lane 10	CH2_Q[0]			
Lane 11	CH2_Q[1]			

Copyright © 2026 Texas Instruments Incorporated

表 7-27. JMODE 3 (16 ビット、ストリームごとに 2 レーン、最大 8 ストリーム) (続き)

オクテット	0		1	
ニブル	0	1	2	3
Lane 12	CH3_I[0]			
Lane 13	CH3_I[1]			
Lane 14	CH3_Q[0]			
Lane 15	CH3_Q[1]			

表 7-28. JMODE 4（16 ビット、ストリームごとに 1 レーン、最大 8 ストリーム）

オクテット	0		1	
ニブル	0	1	2	3
Lane 0	CH0_I			
Lane 1	CH0_Q			
Lane 2	CH1_I			
Lane 3	CH1_Q			
Lane 4	CH2_I			
Lane 5	CH2_Q			
Lane 6	CH3_I			
Lane 7	CH3_Q			

表 7-29. JMODE 5（16 ビット、ストリームごとに 1/2 レーン、最大 8 ストリーム）

オクテット	0		1		2		3	
ニブル	0	1	2	3	4	5	6	7
Lane 0	CH0_I				CH0_Q			
Lane 1	CH1_I				CH1_Q			
Lane 2	CH2_I				CH2_Q			
Lane 3	CH3_I				CH3_Q			

表 7-30. JMODE 6（16 ビット、ストリームごとに 1/4 レーン、最大 8 ストリーム）

オクテット	0		1		2		3		4		5		6		7	
ニブル	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Lane 0	CH0_I				CH0_Q				CH1_I				CH1_Q			
Lane 1	CH2_I				CH2_Q				CH3_I				CH3_Q			

表 7-31. JMODE 7（16 ビット、ストリームごとに 1/8 レーン、最大 8 ストリーム）

オクテット	0		1		2		3		4		5		6		7		8		9		10		11		12		13		14		15	
ニブル	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
Lane 0	CH0_I				CH0_Q				CH1_I				CH1_Q				CH2_I				CH2_Q				CH3_I				CH3_Q			

7.4.2.2.2 12 ビット形式

表 7-32. JMODE 8 (12 ビット、ストリームごとに 16 レーン、1 ストリーム)

オクテット	0		1		2		3		4		5		6		7	
ニブル	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Lane 0	CH0_I[0]			CH0_I[16]			CH0_I[32]			CH0_I[48]			CH0_I[64]			T
Lane 1	CH0_I[1]			CH0_I[17]			CH0_I[33]			CH0_I[49]			CH0_I[65]			T
Lane 2	CH0_I[2]			CH0_I[18]			CH0_I[34]			CH0_I[50]			CH0_I[66]			T
Lane 3	CH0_I[3]			CH0_I[19]			CH0_I[35]			CH0_I[51]			CH0_I[67]			T
Lane 4	CH0_I[4]			CH0_I[20]			CH0_I[36]			CH0_I[52]			CH0_I[68]			T

Copyright © 2026 Texas Instruments Incorporated

表 7-32. JMODE 8 (12 ビット、ストリームごとに 16 レーン、1 ストリーム) (続き)

オクテット	0		1		2		3		4		5		6		7	
ニブル	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Lane 5	CH0_I[5]		CH0_I[21]		CH0_I[37]		CH0_I[53]		CH0_I[69]						T	
Lane 6	CH0_I[6]		CH0_I[22]		CH0_I[38]		CH0_I[54]		CH0_I[70]						T	
Lane 7	CH0_I[7]		CH0_I[23]		CH0_I[39]		CH0_I[55]		CH0_I[71]						T	
Lane 8	CH0_I[8]		CH0_I[24]		CH0_I[40]		CH0_I[56]		CH0_I[72]						T	
Lane 9	CH0_I[9]		CH0_I[25]		CH0_I[41]		CH0_I[57]		CH0_I[73]						T	
Lane 10	CH0_I[10]		CH0_I[26]		CH0_I[42]		CH0_I[58]		CH0_I[74]						T	
Lane 11	CH0_I[11]		CH0_I[27]		CH0_I[43]		CH0_I[59]		CH0_I[75]						T	
Lane 12	CH0_I[12]		CH0_I[28]		CH0_I[44]		CH0_I[60]		CH0_I[76]						T	
Lane 13	CH0_I[13]		CH0_I[29]		CH0_I[45]		CH0_I[61]		CH0_I[77]						T	
Lane 14	CH0_I[14]		CH0_I[30]		CH0_I[46]		CH0_I[62]		CH0_I[78]						T	
Lane 15	CH0_I[15]		CH0_I[31]		CH0_I[47]		CH0_I[63]		CH0_I[79]						T	

表 7-33. JMODE 9 (12 ビット、ストリームごとに 12 レーン、1 ストリーム)

オクテット	0		1	
ニブル	0	1	2	3
Lane 0	CH0_I[0]			CH0_I[1][11:8]
Lane 1	CH0_I[1][7:0]		CH0_I[2] [11:4]	
Lane 2	CH0_I[2] [3:0]		CH0_I[3]	
Lane 3	CH0_I[4]			CH0_I[5][11:8]
Lane 4	CH0_I[5][7:0]		CH0_I[6] [11:4]	
Lane 5	CH0_I[6] [3:0]		CH0_I[7]	
Lane 6	CH0_I[8]			CH0_I[9][11:8]
Lane 7	CH0_I[9][7:0]		CH0_I[10] [11:4]	
Lane 8	CH0_I[10] [3:0]		CH0_I[11]	
Lane 9	CH0_I[12]			CH0_I[13][11:8]
Lane 10	CH0_I[13][7:0]		CH0_I[14] [11:4]	
Lane 11	CH0_I[14] [3:0]		CH0_I[15]	

表 7-34. JMODE 10 (12 ビット、ストリームごとに 8 レーン、最大 2 ストリーム)

オクテット	0		1		2		3		4		5		6		7	
ニブル	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Lane 0	CH0_I[0]		CH0_I[8]		CH0_I[16]		CH0_I[24]		CH0_I[32]						T	
Lane 1	CH0_I[1]		CH0_I[9]		CH0_I[17]		CH0_I[25]		CH0_I[33]						T	
Lane 2	CH0_I[2]		CH0_I[10]		CH0_I[18]		CH0_I[26]		CH0_I[34]						T	
Lane 3	CH0_I[3]		CH0_I[11]		CH0_I[19]		CH0_I[27]		CH0_I[35]						T	
Lane 4	CH0_I[4]		CH0_I[12]		CH0_I[20]		CH0_I[28]		CH0_I[36]						T	
Lane 5	CH0_I[5]		CH0_I[13]		CH0_I[21]		CH0_I[29]		CH0_I[37]						T	
Lane 6	CH0_I[6]		CH0_I[14]		CH0_I[22]		CH0_I[30]		CH0_I[38]						T	
Lane 7	CH0_I[7]		CH0_I[15]		CH0_I[23]		CH0_I[31]		CH0_I[39]						T	
Lane 8	CH0_Q[0]		CH0_Q[8]		CH0_Q[16]		CH0_Q[24]		CH0_Q[32]						T	
Lane 9	CH0_Q[1]		CH0_Q[9]		CH0_Q[17]		CH0_Q[25]		CH0_Q[33]						T	
Lane 10	CH0_Q[2]		CH0_Q[10]		CH0_Q[18]		CH0_Q[26]		CH0_Q[34]						T	
Lane 11	CH0_Q[3]		CH0_Q[11]		CH0_Q[19]		CH0_Q[27]		CH0_Q[35]						T	
Lane 12	CH0_Q[4]		CH0_Q[12]		CH0_Q[20]		CH0_Q[28]		CH0_Q[36]						T	

Copyright © 2026 Texas Instruments Incorporated

表 7-34. JMODE 10 (12 ビット、ストリームごとに 8 レーン、最大 2 ストリーム) (続き)

オクテット	0		1		2		3		4		5		6		7	
ニブル	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Lane 13	CH0_Q[5]		CH0_Q[13]		CH0_Q[21]		CH0_Q[29]		CH0_Q[37]						T	
Lane 14	CH0_Q[6]		CH0_Q[14]		CH0_Q[22]		CH0_Q[30]		CH0_Q[38]						T	
Lane 15	CH0_Q[7]		CH0_Q[15]		CH0_Q[23]		CH0_Q[31]		CH0_Q[39]						T	

表 7-35. JMODE 11 (12 ビット、ストリームごとに 6 レーン、最大 2 ストリーム)

オクテット	0		1	
ニブル	0	1	2	3
Lane 0	CH0_I[0]			CH0_I[1][11:8]
Lane 1	CH0_I[1][7:0]		CH0_I[2] [11:4]	
Lane 2	CH0_I[2] [3:0]		CH0_I[3]	
Lane 3	CH0_I[4]			CH0_I[5][11:8]
Lane 4	CH0_I[5][7:0]		CH0_I[6] [11:4]	
Lane 5	CH0_I[6] [3:0]		CH0_I[7]	
Lane 6	CH0_Q[0]			CH0_Q[1][11:8]
Lane 7	CH0_Q[1][7:0]		CH0_Q[2] [11:4]	
Lane 8	CH0_Q[2] [3:0]		CH0_Q[3]	
Lane 9	CH0_Q[4]			CH0_Q[5][11:8]
Lane 10	CH0_Q[5][7:0]		CH0_Q[6] [11:4]	
Lane 11	CH0_Q[6] [3:0]		CH0_Q[7]	

表 7-36. JMODE 12 (12 ビット、ストリームごとに 4 レーン、最大 2 ストリーム)

オクテット	0		1		2		3		4		5		6		7	
ニブル	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Lane 0	CH0_I[0]		CH0_I[4]		CH0_I[8]		CH0_I[12]		CH0_I[16]						T	
Lane 1	CH0_I[1]		CH0_I[5]		CH0_I[9]		CH0_I[13]		CH0_I[17]						T	
Lane 2	CH0_I[2]		CH0_I[6]		CH0_I[10]		CH0_I[14]		CH0_I[18]						T	
Lane 3	CH0_I[3]		CH0_I[7]		CH0_I[11]		CH0_I[15]		CH0_I[19]						T	
Lane 4	CH0_Q[0]		CH0_Q[4]		CH0_Q[8]		CH0_Q[12]		CH0_Q[16]						T	
Lane 5	CH0_Q[1]		CH0_Q[5]		CH0_Q[9]		CH0_Q[13]		CH0_Q[17]						T	
Lane 6	CH0_Q[2]		CH0_Q[6]		CH0_Q[10]		CH0_Q[14]		CH0_Q[18]						T	
Lane 7	CH0_Q[3]		CH0_Q[7]		CH0_Q[11]		CH0_Q[15]		CH0_Q[19]						T	

表 7-37. JMODE 13 (12 ビット、ストリームごとに 3 レーン、最大 2 ストリーム)

オクテット	0		1	
ニブル	0	1	2	3
Lane 0	CH0_I[0]			CH0_I[1][11:8]
Lane 1	CH0_I[1][7:0]		CH0_I[2] [11:4]	
Lane 2	CH0_I[2] [3:0]		CH0_I[3]	
Lane 3	CH0_I[4]			CH0_I[5][11:8]
Lane 4	CH0_I[5][7:0]		CH0_I[6] [11:4]	
Lane 5	CH0_I[6] [3:0]		CH0_I[7]	

Copyright © 2026 Texas Instruments Incorporated

7.4.2.2.3 8 ビット形式

表 7-38. JMODE 14 (8 ビット、ストリームごとに 16 レーン、1 ストリーム)

オクテット	0	
ニブル	0	1
Lane 0	CH0_I[0]	
Lane 1	CH0_I[1]	
Lane 2	CH0_I[2]	
Lane 3	CH0_I[3]	
Lane 4	CH0_I[4]	
Lane 5	CH0_I[5]	
Lane 6	CH0_I[6]	
Lane 7	CH0_I[7]	
Lane 8	CH0_I[8]	
Lane 9	CH0_I[9]	
Lane 10	CH0_I[10]	
Lane 11	CH0_I[11]	
Lane 12	CH0_I[12]	
Lane 13	CH0_I[13]	
Lane 14	CH0_I[14]	
Lane 15	CH0_I[15]	

表 7-39. JMODE 15 (8 ビット、ストリームごとに 8 レーン、最大 2 ストリーム)

オクテット	0	
ニブル	0	1
Lane 0	CH0_I[0]	
Lane 1	CH0_I[1]	
Lane 2	CH0_I[2]	
Lane 3	CH0_I[3]	
Lane 4	CH0_I[4]	
Lane 5	CH0_I[5]	
Lane 6	CH0_I[6]	
Lane 7	CH0_I[7]	
Lane 8	CH0_Q[0]	
Lane 9	CH0_Q[1]	
Lane 10	CH0_Q[2]	
Lane 11	CH0_Q[3]	
Lane 12	CH0_Q[4]	
Lane 13	CH0_Q[5]	
Lane 14	CH0_Q[6]	
Lane 15	CH0_Q[7]	

表 7-40. JMODE 16 (8 ビット、ストリームごとに 4 レーン、最大 2 ストリーム)

オクテット	0	
ニブル	0	1
Lane 0	CH0_I[0]	
Lane 1	CH0_I[1]	
Lane 2	CH0_I[2]	

Copyright © 2026 Texas Instruments Incorporated

表 7-40. JMODE 16 (8 ビット、ストリームごとに 4 レーン、最大 2 ストリーム) (続き)

オクテット	0	
ニブル	0	1
Lane 3	CH0_I[3]	
Lane 4	CH0_Q[0]	
Lane 5	CH0_Q[1]	
Lane 6	CH0_Q[2]	
Lane 7	CH0_Q[3]	

7.4.3 NCO 同期レイテンシ

NCO (周波数または位相の変更、アキュームレータのリセット) を同期させるための決定論的な方法は二種類あります。JESD204C インターフェイスの LSB を使用する方法と、SYSREF を使用する方法です。表 7-41 に、それぞれの同期方式のレイテンシ パラメータを示します。

同期ソースとして SYSREF を使用する場合、レイテンシ パラメータ T_{SYSREF_NCO} は、SYSREF が CLK によって High としてサンプリングされた瞬間から、NCO の変更が DAC 出力に到達するまでの時間を示します。データ パスのサンプルの整列は、セクション 7.4.4 で説明している Excel スプレッドシート レイテンシ カリキュレータで計算できます。

JESD204C インターフェイスの LSB を使用する場合、レイテンシ パラメータ T_{JSYNC_NCO} は、LSB に整列した対応するデータ サンプルに対する NCO 同期イベントの時間差を示します。T_{JSYNC_NCO} は決定論的ですが、一部のモードでは、LSB 立ち上がりエッジとマルチフレーム境界の整列に依存します (表 7-42 を参照)。

表 7-41. NCO 同期レイテンシ パラメータ

レイテンシ パラメータ	説明	値
T_{SYSREF_NCO}	SYSREF が (CLK によって) High でサンプリングされてから、DAC 出力が (SYSREF によってトリガーされた) NCO 同期イベントに反応するまでのレイテンシ。	477.5 CLK サイクル
T_{JSYNC_NCO}	補間フィルタによる NCO へのレイテンシから NCO を同期する LSB のレイテンシを引いた値。入力データの LSB を使用して NCO を同期する場合にのみ適用されます。入力サンプル **n** を新しい NCO 周波数または位相と混合する最初のサンプルとするために、サンプル **n'** = **n** + T_{JSYNC_NCO}/LT の LSB を High にする必要があります。同期パスは常に入力サンプル周期の整数倍とは限らないため、**n'** は整数でない場合があります。	表 7-42 を参照してください。

表 7-42. T_{JSYNC_NCO} と LT との関係

補間係数 (LT)	T_{JSYNC_NCO} [CLK サイクル](1)
2	-144、-142、-140、-138、-136、-134、-132、-130
3	-89、-86、-83、-81、-80、-78、-77、-75、-74、-72、-71、-69、-68、-66、-63、-60
4	-36、-32、-28、-24
6	34、40、42、46、48、52、54、60
8	86、94
12	186、194、198、206
16	290
24	458、466
32	648
48	968
64	1396
96	2036
128	2932
192	4212

Copyright © 2026 Texas Instruments Incorporated

表 7-42. T_{JSYNC_NCO} と LT との関係 (続き)

補間係数 (LT)	T_{JSYNC_NCO} [CLK サイクル](1)
256	6004

(1) 複数の値が一覧になっている場合は、T_{JSYNC_NCO} がマルチフレーム境界を基準とした LSB の上昇タイミングに依存することを示します。

7.4.4 データ パス レイテンシ

図 7-57 に示され、表 7-43 に一覧表示されているように、デバイスに定義されたいくつかの異なるレイテンシーがあります。デバイス内部のレイテンシは、JMODE、補間係数、RBD 設定、NCO の使用状況、および DES 設定を含む動作モードに依存します。さまざまな動作モードでのデバイスのレイテンシーを計算するために、TI は Excel スプレッドシートカリキュレータを提供しています。

JESD204C サブクラス 0 動作では、Serdes 入力から DAC 出力へのレイテンシーが、T_{DAC_LAT0} と呼ばれ、確定的ではなく、Excel スプレッドシートのカリキュレータに最小範囲と最大範囲が提供されます。

JESD204C サブクラス 1 の動作では、SYSREF 入力から DAC 出力までのレイテンシー T_{DAC_LAT} は、決定論的で、Excel スプレッドシートのカリキュレータに提供されています。SYSREF が確実にサンプリングされ、RBD 値が適切に設定されている限り、JESD204C リンクのレイテンシは確定的です。

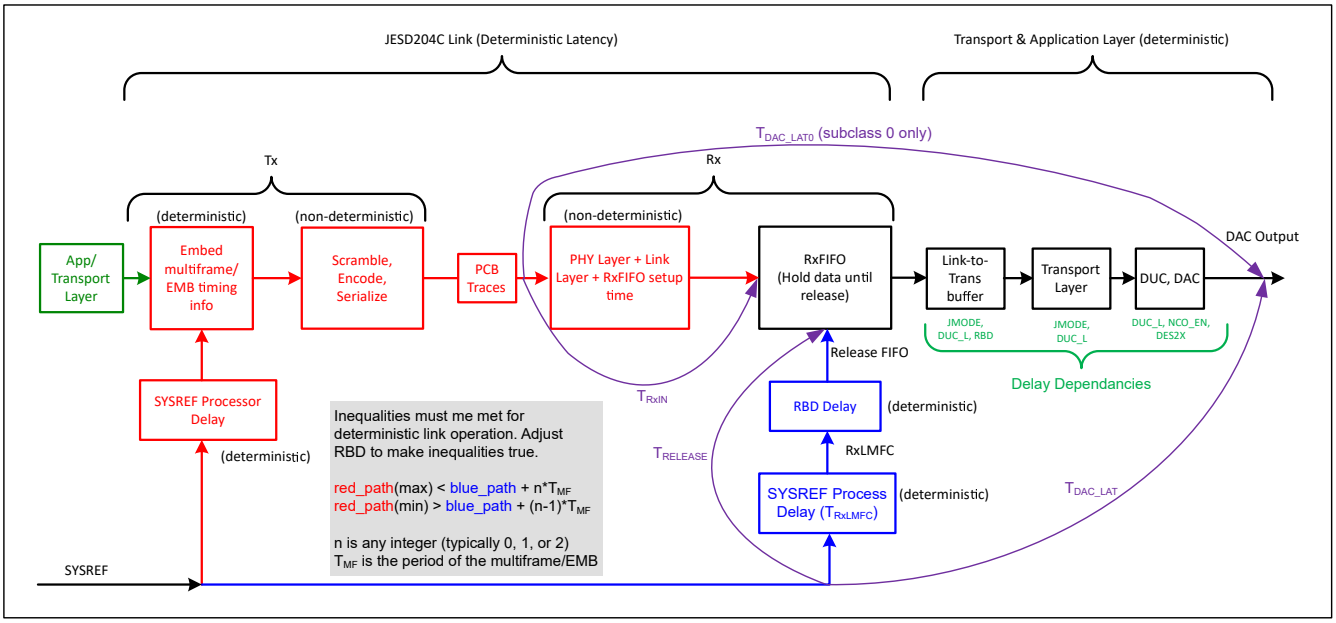


図 7-57. デバイスレイテンシーの定義

表 7-43. レイテンシーの定義

レイテンシ パラメータ	定義
$T_{RELEASE}$	弾性バッファ用のイベントをリリースするまでの SYSREF の立ち上がりエッジに続く、CLK の立ち上がりエッジからのレイテンシー。(サブクラス 1 のみ)。
T_{DAC_LAT}	SYSREF の立ち上がりエッジに続く CLK の立ち上がりエッジから、SYSREF によって起動されるマルチフレーム/拡張マルチブロックの DAC 出力における最初のサンプリング時間までのレイテンシ (サブクラス 1 のみ)。
T_{RxIN}	弾性バッファの最小設定時間を含む、レシーバのデータ入力から弾性バッファ入力へのレイテンシー。これは非確定的なので、最小値と最大値の制限が規定されています。
T_{DAC_LAT0}	レシーバデータ入力 (マルチフレーム/EMB 境界) から、DAC 出力で起動されるマルチフレームの最初のサンプリングまでのレイテンシー。これは非確定的なので、最小値と最大値の制限が規定されます (サブクラス 0 のみ)。

Copyright © 2026 Texas Instruments Incorporated

7.5 プログラミング

このデバイスには 2 つのプログラミング インターフェイスがあります。SPI インターフェイスと、NCO の周波数および位相を高速に設定するための Fast Reconfiguration (FR) インターフェイスです。

7.5.1 標準 SPI インターフェイスを使用

標準 SPI インターフェイスには、シリアル クロック (SCLK)、シリアル データ入力 (SDI)、シリアル データ出力 (SDO)、シリアル インターフェイス チップセレクト ($\overline{SCS}$) の 4 つのピンを使用してアクセスします。レジスタ・アクセスは、$\overline{SCS}$ ピンによって有効にされます。

7.5.1.1 $\overline{SCS}$

シリアルインターフェイス経由でレジスタにアクセスするには、この信号を Low にアサートする必要があります。SCLK に対するセットアップ時間とホールド時間を確認する必要があります。

7.5.1.2 SCLK

シリアル・データ入力は、この信号の立ち上がりエッジで受け付けられます。SCLK には最小周波数要件はありません。

7.5.1.3 SDI

各レジスタアクセスには、この入力で仕様の 24 ビットパターンが必要です。このパターンは、読み取り/書き込み (R/W) ビット、レジスタ・アドレス、レジスタ値で構成されます。データは、MSB ファースト・レジスタとマルチ・バイト・レジスタでシフトされ、常にリトルエンディアン形式です (最小桁バイトが最下位アドレスに格納されます)。SCLK に対するセットアップ時間およびホールド時間を満たす必要があります (「スイッチング特性 」表を参照)。

7.5.1.4 SDO

SDO 信号は、読み出しコマンドで要求される出力データを提供します。この出力は、書き込みバス・サイクル中、および読み取りバス・サイクルの読み出しビットおよびレジスタ・アドレス部分においてハイインピーダンスになります。

7.5.1.5 シリアル インターフェイス プロトコル

図 7-58 に示されているように、各レジスタ アクセスは 24 ビットで構成されています。最初のビットは、読み取りの場合は High、書き込みの場合は Low です。

次の 15 ビットは、書き込み先のレジスタのアドレスです。書き込み動作中、最後の 8 ビットは、アドレス指定されたレジスタに書き込まれるデータです。読み取り動作中、SDI の最後の 8 ビットは無視され、この期間中 SDO がアドレス指定されたレジスタからデータを出力します。図 7-58 に、シリアル プロトコルの詳細を示します。

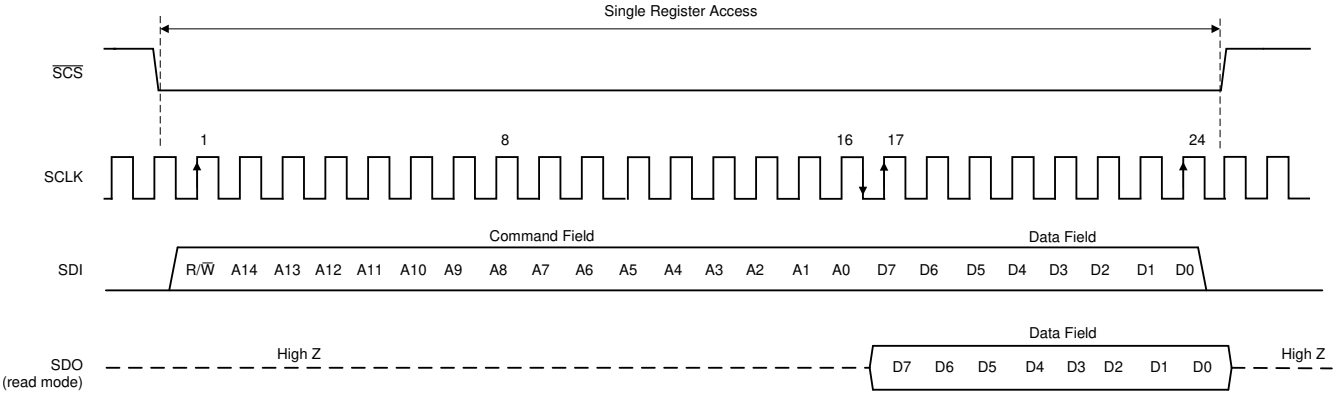


図 7-58. シリアル インターフェイス プロトコル：単一読み取りおよび書き込み

7.5.1.6 ストリーミング モード

シリアルインターフェイスは、ストリーミング読み取りおよび書き込みをサポートしています。このモードでは、トランザクションの初期 24 ビットによりアクセス タイプ、レジスタ アドレス、データ値が通常どおりに指定されます。$\overline{SCS}$ 入力がアサート (ロジック Low) 状態に維持されている限り、書き込みデータまたは読み取りデータの追加クロックサイクルは直ちに転送されます。レジスタアドレスは、ストリーミングトランザクションの後続の 8 ビット転送ごとに自動インクリメント (デフォルト) またはデクリメントします。ASCEND ビット (レジスタ 000h、ビット 5) は、アドレス値を昇順 (インクリメント) または降順 (デクリメント) にするかを制御します。図 7-59 に、ストリーミング モードのトランザクションの詳細を示します。

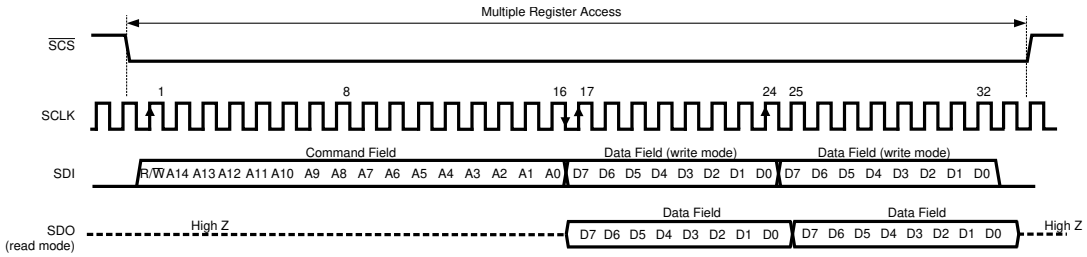


図 7-59. シリアル インターフェイス プロトコル：ストリーミング読み取りおよび書き込み

7.5.2 高速再構成インターフェイスの使用

高速再構成 (FR) インターフェイスは、NCO 周波数および同期を設定するための高速書き込み専用アクセスを提供します。FR インターフェイスは SPI インターフェイスと似ていますが、クロック サイクルごとに 4 ビットが送信されます。図 7-60 に、FR タイミング図を示します。R/W ビット (このデバイスでは常に書き込み)、トランザクション同期ビット (FRS)、14 ビットのアドレス、それに続くデータ バイトを使用します。このアドレスは、各データ バイトの後にデクリメントされます (リトル エンディアンと整合します)。このインターフェイスはバイトでアドレス指定でき、各バイトの後にデータがコミットされます。FR インターフェイスは、1 クロックにつき 4 ビット (1 ニブル) を取ります。マルチニブル フィールドの場合、データは最上位のニブルから送信されます。トランザクション同期ビット (FRS) が設定されている場合、NCO_SYNC_SRC レジスタ フィールドで指定された同期イベントが $\overline{FRCS}$ の立ち上がりエッジで発生します。最初のデータ バイトの完了前に終了したトランザクションでは、SYNC イベントがトリガされない場合があります。

Copyright © 2026 Texas Instruments Incorporated

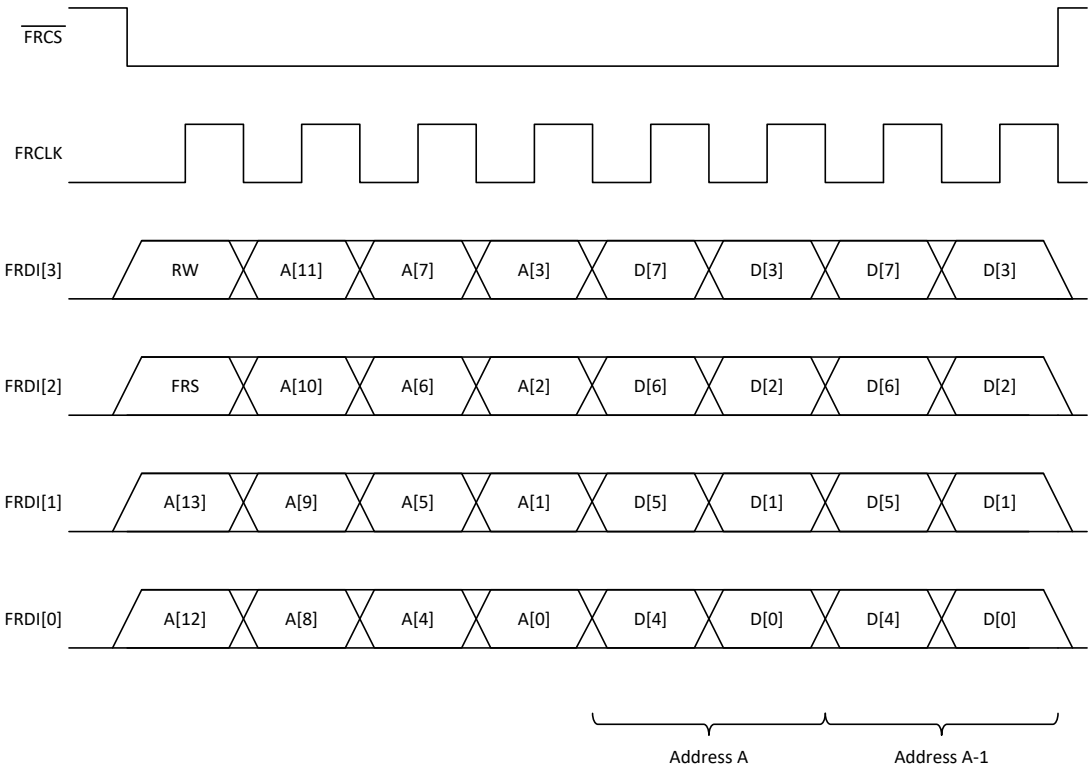


図 7-60. FR インターフェイスのタイミング図

FR インターフェイス レジスタを 表 7-44 に示します。NCO 周波数を変更できるレジスタは 2 つあります。FR_FREQL[3:0] は NCO ごとに 64 ビットであり、周波数ワード全体を変更します。FR_FREQS[3:0] は NCO ごとに 32 ビットであり、周波数ワードの上位 32 ビットのみを変更するため、周波数をより速く変更できます。

表 7-44. FR インターフェイス レジスタ

アドレス	名称	説明
0x00FF	FR_NCO_AR	FR NCO アキュームレータ リセット (デフォルト:0x0f) [7:4] 予約済み [3:0] FR_NCO_AR 各ビット FR_NCO_AR[n] が設定されると、NCO_SYNC_SRC で指定された同期イベントごとに、NCOn のアキュームレータがリセットされます。 注:FR_EN = 0 の場合、このレジスタは何の影響も及ぼしません。
0x0100-0x011F	FR_FREQL[3:0]	NCO アキュームレータの FR 64 ビット周波数 (FR_FREQL[n]= 0x00 の場合のデフォルト) FR_FREQL[0] の周波数設定は最下位アドレスです。 [63:0] FR_FREQL[n] FR_EN = 1 の場合、FREQ[n] の代わりにこのレジスタが使用されます。このレジスタの上位 32 ビットに変更を加えると、FR_FREQS[n] も変更されます。 注:このレジスタへの変更は、NCO_SYNC_SRC で指定された次の同期イベントまで有効になりません。 注:FR_EN = 0 の場合、このレジスタは何の影響も及ぼしません。
0x0120-0x0127	FR_PHASE[3:0]	NCO アキュームレータの FR 位相 (FR_PHASE[n]= 0x0000 の場合のデフォルト) FR_PHASE[0] の位相設定は最下位アドレスです。 [15:0] FR_PHASE[n] FR_EN = 1 の場合、PHASE[n] の代わりにこのレジスタが使用されます。 注:このレジスタへの変更は、NCO_SYNC_SRC で指定された次の同期イベントまで有効になりません。 注:FR_EN = 0 の場合、このレジスタは何の影響も及ぼしません。

Copyright © 2026 Texas Instruments Incorporated

表 7-44. FR インターフェイス レジスタ (続き)

アドレス	名称	説明
0x0128-0x0137	FR_FREQS[3:0]	NCO アキュームレータの FR 32 ビット周波数 (FR_FREQS[n]= 0x00 の場合のデフォルト) FR_FREQS[0] の周波数設定は最下位アドレスです。 [31:0] FR_FREQS[n] FR_EN = 1 の場合は FREQ[n] の代わりにこのレジスタが使用されます。このレジスタに変更を加えると、FR_FREQL[n] の上位 32 ビットも変更されます。このレジスタは、周波数の上位 32 ビットのみを制御します。周波数の下位 32 ビットは、常に FR_FREQL[n] によって制御されます。 注:このレジスタへの変更は、NCO_SYNC_SRC で指定された次の同期イベントまで有効になりません。 注:FR_EN = 0 の場合、このレジスタは何の影響も及ぼしません。

Copyright © 2026 Texas Instruments Incorporated

8 SPI レジスタ マップ

表 8-1 に、SPI レジスタの一覧を示します。表 8-1 にないレジスタ オフセット アドレスはすべて予約済みと見なすべきであり、レジスタ内容は変更しないでください。予約済みでない R/W フィールドを持つアドレスの予約済みレジスタ フィールドは、書き込まれた値ではなく、読み取り時に常にデフォルト / リセット値を返します。

表 8-1. SPI レジスタ

オフセット	略称	レジスタ名	セクション
0x0000	CONFIG_A	設定 A	表示
0x0002	DEVICE_CONFIG	デバイス設定	表示
0x0003	CHIP_TYPE	チップ タイプ	表示
0x0004	CHIP_ID	チップ識別	表示
0x0006	CHIP_VERSION	チップ バージョン	表示
0x000C	VENDOR_ID	ベンダー識別	表示
0x0010-0x007F	予約済み		
0x0080	SYSREF_CTRL	SYSREF 制御	表示
0x0081-0x008F	予約済み		
0x0090-0x0092	SYSREF_POS	SYSREF キャプチャ位置	表示
0x0093-0x009F	予約済み		
0x00A0	SYSREF_ALIGN	SYSREF 整列制御	表示
0x00A1	SYSREF_TERM	SYSREF 終端構成	表示
0x00A2-0x00FF	予約済み		
0x0100	JESD_EN	JESD204C サブシステム有効化	表示
0x0101	JMODE	JESD204C モード	表示
0x0102	JESD_M	JESD204C ストリーム数	表示
0x0103	JCTRL	JESD204C 制御	表示
0x0104	SHMODE	JESD204C 同期ワード モード	表示
0x0105	KM1	JESD204C K パラメータ	表示
x0106	RBD	JESD204C リリース バッファ遅延	表示
0x0107	JESD_STATUS	JESD204C システム ステータス レジスタ	表示
0x0108	REFDIV	JESD204C リファレンス分周器	表示
0x0109	MPY	JESD204C PLL 周波数逓倍	表示
0x010A	レート	JESD204C 受信レート	表示
0x010B	LB_VRANGE	JESD204C VCO 範囲	表示
0x010C-0x011F	予約済み		
0x0120	JSYNC_N	JESD204C 手動同期要求	表示
0x0121	JTEST	JESD204C テスト制御	表示
0x0122-0x0123	予約済み	予約済み	
0x0124	JTIMER	JESD204C ウォッチドッグ タイマ	表示
0x0125-0x0126	予約済み		
0x0127	SYNC_EPW	JESD204C $\overline{\text{SYNC}}$ エラー レポート パルス幅	表示
0x0128	CRC_TH	JESD204C CRC エラーのスレッショルド	表示
0x0129-0x012B	予約済み		
0x012C	LANE_ARSTAT	レーン到着ステータス	表示
0x012D	予約済み		
0x012E-0x012F	LANE_INV	PHY レーン反転	表示

Copyright © 2026 Texas Instruments Incorporated

表 8-1. SPI レジスタ (続き)

オフセット	略称	レジスタ名	セクション
0x0130-0x013F	LANE_SEL[15:0]	論理レーン n の PHY レーン選択	表示
0x0140-0x014F	LANE_ARR[15:0]	レーン n の到着時間	表示
0x0150-0x015F	LANE_STATUS[15:0]	レーン n のステータス	表示
0x0160-0x016F	LANE_ERR[15:0]	レーン n のエラー フラグ	表示
0x0170-0x017F	FIFO_STATUS[15:0]	論理レーン n のギアボックス FIFO ステータス	表示
0x0180-0x0189	予約済み		
0x018A-0x019F	予約済み		
0x01A0	BER_EN	BER 測定制御	表示
0x01A1-0x01AF	予約済み		
0x01B0-0x01BF	BER_CNT[15:0]	レーン n の BER エラー カウント	表示
0x01C0	予約済み		
0x01C1	JPHY_CTRL	SerDes PHY 制御	表示
0x01C2	EQ_CTRL	SerDes イコライザ制御	表示
0x01C3	EQZERO	SerDes イコライザ ゼロ	表示
0x01D0-0x01DF	LANE_EQ[15:0]	レーン n の SerDes イコライザ レベル	表示
0x01E0-0x01EF	LANE_EQS[15:0]	レーン n の SerDes イコライザ ステータス	表示
0x1F0	ESRUN	SerDes アイスキャン実行制御	表示
0x01F1	ES_CTRL	SerDes アイスキャン制御	表示
0x01F2	ESPO	SerDes アイスキャン位相オフセット	表示
0x01F3	ESVO	SerDes アイスキャン電圧オフセット	表示
0x01F4	ES_BIT_SELECT	SerDes アイスキャン ビット選択	表示
0x01F5	ESCOUNT_CLR	SerDes エラー カウンタ クリア	表示
0x01F6-0x01F7	ESDONE	SerDes アイスキャン プロセス完了	表示
0x01F8-0x01FF	予約済み		
0x0200-0x020F	ESVO_S[15:0]	レーン n の SerDes アイスキャン電圧オフセット	表示
0x0210-0x022F	ECOUNT[15:0]	レーン n の SerDes エラー / 不一致カウント	表示
0x0230-0x0233	予約済み		
0x0234	LOS_TH	SerDes 信号喪失スレッショルド	表示
0x0235	EQCNTSZ	SerDes イコライザ カウンタ サイズ	表示
0x0236-0x237	予約済み		
0x0238	CDRLOCK	SerDes CDR のロック / フリーズ	表示
0x0239	CDRPHASE	SerDes CDR 位相ステータス	表示
0x023A-0x024F	予約済み		
0x0250	PLL_STATUS	SerDes PLL ステータス	表示
0x0251-0x0252	予約済み		
0x0253	JESD_RST	JESD のリセット	表示
0x0254-0x02AF	予約済み		
0x02B0	EXTREF_EN	外部リファレンスの有効化	表示
0x02B1	CUR_2X_EN	DAC 電流ダブラ有効化	表示
0x02B2-0x02C1	予約済み		
0x02C2-0x02CE	予約済み		
0x02CF	DAC_OFS_CHG_BLK	DAC オフセット調整変更ブロック	表示
0x02D0-0x02DF	予約済み		

Copyright © 2026 Texas Instruments Incorporated

表 8-1. SPI レジスタ (続き)

オフセット	略称	レジスタ名	セクション
0x02E0	DP_EN	データパス有効化	表示
0x02E1	DUC_L	DUC 補間係数	表示
0x02E2	DUC_GAIN	DUC ゲイン	表示
0x02E3	DUC_FORMAT	DUC 出力フォーマット	表示
0x02E4	DAC_SRC	DAC ソース	表示
0x02E5-0x02E7	予約済み		
0x02E8	MXMODE	DAC 出力モード	表示
0x02E9	予約済み		
0x02EA	TRUNC_HLSB	切り捨ての 1/2 LSB オフセット	表示
0x02EB-0x02F7	予約済み		
0x02F8	TX_EN_SEL	トランスミッタ有効化の制御選択	表示
0x02F9	TX_EN	トランスミッタ有効化の構成	表示
0x02FA-0x02FF	予約済み		
0x0300	NCO_CTRL	NCO 制御	表示
0x0301	NCO_CONT	NCO 位相の連続モード	表示
0x0302	NCO_SYNC	NCO 同期構成	表示
0x0303	NCO_AR	NCO アキュームレータのリセット	表示
0x0304	SPI_SYNC	SPI 同期	表示
0x0305	NCO_SS	NCO 連続自己同期モード	表示
0x0306-0x0317	予約済み		
0x0318-0x031F	AMP[3:0]	DDS の振幅	表示
0x0320-0x0327	FREQ[0]	NCO0 アキュームレータの周波数	表示
0x0328-0x032F	FREQ[1]	NCO1 アキュームレータの周波数	表示
0x0330-0x0337	FREQ[2]	NCO2 アキュームレータの周波数	表示
0x0338-0x033F	FREQ[3]	NCO3 アキュームレータの周波数	表示
0x0340-0x0347	PHASE[3:0]	NCOn アキュームレータの位相	表示
0x0348-0x0377	予約済み		
0x0378-0x037F	AMP_R[3:0]	NCOn の振幅ワードの読み戻し	表示
0x0380-0x039F	FREQ_R[3:0]	NCOn アキュームレータの周波数の読み戻し	表示
0x03A0-0x03A7	PHASE_R[3:0]	NCOn アキュームレータの位相ワードの読み戻し	表示
0x03A8-0x03DF	予約済み		
0x03E0	FR_FRS_R	FR 同期の読み戻し	表示
0x03E1	FR_NCO_AR_R	FR NCO アキュームレータ リセットの読み戻し	表示
0x03E2-0x03FF	予約済み		
0x0400	TS_TEMP	温度読み取り値 (摂氏)	表示
0x0401	TS_SLEEP	温度センサ スリープ	表示
0x0402-0x040F	予約済み		
0x0410	SYNC_STATUS	同期ステータス	表示
0x0411-0x042F	予約済み		
0x0430	SYS_ALM	システム アラーム ステータス	表示
0x0431	ALM_MASK	アラーム マスク	表示
0x0432	MUTE_MASK	DAC ミュート マスク	表示
0x0433	MUTE_REC	DAC ミュート リカバリ	表示

Copyright © 2026 Texas Instruments Incorporated

表 8-1. SPI レジスタ (続き)

オフセット	略称	レジスタ名	セクション
0x0434-0x05FF	予約済み		
0x0600	FUSE_STATUS	ヒューズのステータス	表示
0x0601-0x0722	予約済み		
0x0723	FINE_CUR_A	DACA のバイアス電流微調整	表示
0x0724	COARSE_CUR_A	DACA のバイアス電流粗調整	表示
0x0725	FINE_CUR_B	DACB のバイアス電流微調整	表示
0x0726	COARSE_CUR_B	DACB のバイアス電流粗調整	表示
0x0727	DEM_ADJ	DEM 調整	表示
0x0728	予約済み		
0x0729	DEM_DITH	DEM と DITHER の制御	表示
0x72A-0x072D	DAC_OFS	DAC オフセット調整	表示
0x72E～0x7FF	予約済み		

8.1 CONFIG_A レジスタ (オフセット = 0h) [リセット = 30h]

図 8-1 に CONFIG_A を示し、表 8-2 でその説明を示します。

レジスタ サマリ表に戻ります。

設定 A (デフォルト:0x30)

図 8-1. CONFIG_A レジスタ

7	6	5	4	3	2	1	0
SOFT_RESET	予約済み	ASCEND	予約済み	予約済み			
R/W-0h	R/W-0h	R/W-1h	R/W-1h	R/W-0h			

表 8-2. CONFIG_A レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SOFT_RESET	R/W	0h	このビットに 1 を書き込むと、チップとすべての SPI レジスタ (CONFIG_A を含む) が完全にリセットされます。このビットはセルフクリアされ、常に 0 を読み取ります。このビットを書き込んだ後、パーツをリセットするのに最大 5ns を要する場合があります。この期間中は、SPI トランザクションを実行しません。
6	予約済み	R/W	0h	
5	ASCEND	R/W	1h	0:ストリーミングの読み取り / 書き込み中にアドレスが減少します 1:ストリーミングお読み取り/書き込み中にアドレスが増加します (デフォルト)
4	予約済み	R	1h	常に 1 を読み出す。
3-0	予約済み	R/W	0h	

8.2 DEVICE_CONFIG レジスタ (オフセット = 2h) [リセット = 00h]

図 8-2 に DEVICE_CONFIG を示し、表 8-3 でその説明を示します。

レジスタ サマリ表に戻ります。

デバイス構成 (デフォルト:0x00)

図 8-2. DEVICE_CONFIG レジスタ

7	6	5	4	3	2	1	0

Copyright © 2026 Texas Instruments Incorporated

図 8-2. DEVICE_CONFIG レジスタ (続き)

予約済み	モード
R/W-0h	R/W-0h

表 8-3. DEVICE_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R/W	0h	
1-0	モード	R/W	0h	0:通常動作 (デフォルト) 1:予約済み 2:予約済み 3:全面的な省電力モード。信頼性の問題を回避するため、このモードでは セクション 9.1.6 の推奨事項に従う必要があります。

8.3 CHIP_TYPE レジスタ (オフセット = 3h) [リセット = 04h]

図 8-3 に CHIP_TYPE を示し、表 8-4 でその説明を示します。

レジスタ サマリ表に戻ります。

チップタイプ (読み取り専用:0x04)

図 8-3. CHIP_TYPE レジスタ

7	6	5	4	3	2	1	0
予約済み				CHIP_TYPE			
R/W-0h				R-4h			

表 8-4. CHIP_TYPE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	
3-0	CHIP_TYPE	R	4h	常に 0x4 を返します。これは、部品が高速 DAC であることを示します。

8.4 CHIP_ID レジスタ (オフセット = 4h) [リセット = 003Bh]

図 8-4 に CHIP_ID を示し、表 8-5 でその説明を示します。

レジスタ サマリ表に戻ります。

チップ識別 (読み取り専用):

図 8-4. CHIP_ID レジスタ

15	14	13	12	11	10	9	8
CHIP_ID							
R-0h							
7	6	5	4	3	2	1	0
CHIP_ID							
R-3Bh							

表 8-5. CHIP_ID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	CHIP_ID	R	003Bh	DAC39RF10 デバイス ファミリであることを示す、0x003B を常に返します

Copyright © 2026 Texas Instruments Incorporated

8.5 CHIP_VERSION レジスタ (オフセット = 6h) [リセット = 02h]

図 8-5 に CHIP_VERSION を示し、表 8-6 にその説明を示します。

レジスタ サマリ表に戻ります。

チップ バージョン (読み取り専用)

図 8-5. CHIP_VERSION レジスタ

7	6	5	4	3	2	1	0
CHIP_VERSION							
R-2h							

表 8-6. CHIP_VERSION レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CHIP_VERSION	R	02h	1:PG1.0 2:PG2.0

8.6 VENDOR_ID レジスタ (オフセット = Ch) [リセット = 0451h]

図 8-6 に VENDOR_ID を示し、表 8-7 でその説明を示します。

レジスタ サマリ表に戻ります。

ベンダ識別 (デフォルト:0x0451)

図 8-6. VENDOR_ID レジスタ

15	14	13	12	11	10	9	8
VENDOR_ID							
R-04h							
7	6	5	4	3	2	1	0
VENDOR_ID							
R-51h							

表 8-7. VENDOR_ID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	VENDOR_ID	R	451h	TI ベンダ ID

8.7 SYSREF_CTRL レジスタ (オフセット = 0080h) [リセット = 40h]

図 8-7 に SYSREF_CTRL を示し、表 8-8 にその説明を示します。

レジスタ サマリ表に戻ります。

SYSREF 制御

図 8-7. SYSREF_CTRL レジスタ

7	6	5	4	3	2	1	0
SYSREF_PROC_EN	SYSREF_RECV_SLEEP	SYSREF_PS_EN	SYSREF_ZOOM	SYSREF_SEL			
R/W-0b	R/W-1b	R/W-0b	R/W-0b	R/W-0h			

Copyright © 2026 Texas Instruments Incorporated

表 8-8. SYSREF_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SYSREF_PROC_EN	R/W	0h	セットされている場合、このビットは、SYSREF プロセッサを有効にします。これが有効化されている場合、システムは新しい SYSREF エッジを受信して処理します。このビットを設定する前に、常に SYSREF_RECV_SLEEP をクリアする必要があります。このビットは、SYSREF がデジタル信号に供給される前に、SYSREF レシーバーを安定させるために提供されます。
6	SYSREF_RECV_SLEEP	R/W	1b	このビットをクリアすると、SYSREF レシーバ回路が有効になります。このビットを設定する前に、常に SYSREF_PROC_EN をクリアする必要があります。
5	SYSREF_PS_EN	R/W	0b	設定されている場合、このビットが設定されてから、SYSREF エッジ付近で検出されたすべての位置について、SYSREF_POS には 1 が含まれます。クリアされている場合、検出された最後の SYSREF エッジに対して、SYSREF_POS に 1 のみが含まれます。
4	SYSREF_ZOOM	R/W	0b	このビットを設定すると、SYSREF ストローブのステータスを「拡大」できます (SYSREF_POS および SYSREF_SEL のステップ サイズに影響します)。
3-0	SYSREF_SEL	R/W	0b	使用する SYSREF 遅延を選択するには、このフィールドを設定します。SYSREF_POS から返された結果に基づいて設定します。

8.8 SYSREF_POS レジスタ (オフセット = 90h) [リセット = NA]

図 8-8 に SYSREF_POS を示し、表 8-9 でその説明を示します。

レジスタ サマリ表に戻ります。

SYSREF 位置キャプチャ

図 8-8. SYSREF_POS レジスタ

23	22	21	20	19	18	17	16
予約済み				SYSREF_POS			
R				R			
15	14	13	12	11	10	9	8
SYSREF_POS							
R							
7	6	5	4	3	2	1	0
SYSREF_POS							
R							

表 8-9. SYSREF_POS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-20	予約済み	R	0x0	予約済み
19-0	SYSREF_POS	R	該当なし	CLK を基準とした SYSREF エッジの位置を示す 20 ビットのステータス値を返します。これを使用して、SYSREF_SEL および SYSREF_ZOOM の適切なプログラミングを決定します。

8.9 SYSREF_ALIGN レジスタ (オフセット = 00A0h) [リセット = 00h]

図 8-9 に SYSREF_ALIGN を示し、表 8-10 にその説明を示します。

レジスタ サマリ表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

SYSREF 整列制御

図 8-9. SYSREF_ALIGN レジスタ

7	6	5	4	3	2	1	0
予約済み							SYSREF_ALIGN_EN
R/W-00h							R/W-0b

表 8-10. SYSREF_ALIGN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	00h	予約済み
0	SYSREF_ALIGN_EN	R/W	0b	このビットがセットされている場合、チップは検出された各 SYSREF エッジに再整列します。これは、外部クロック分周器と、JESD サブシステムの両方に影響します。

SYSREF_TERM レジスタ (オフセット = 00A1h) [リセット = 00h]

図 8-10 に SYSREF_TERM を示し、表 8-11 にその説明を示します。

レジスタ サマリ表に戻ります。

SYSREF 終端構成

図 8-10. SYSREF_TERM レジスタ

7	6	5	4	3	2	1	0
予約済み							SYSREF_RECV_LVPECL
R/W-00h							R/W-0b

表 8-11. SYSREF_TERM レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	00h	予約済み
0	SYSREF_RECV_LVPECL	R/W	0b	0:SYSREF 終端は 100Ω 差動で、Vcm は 0.4V です 1:SYSREF 終端は、GND に対してシングル エンドの 50Ω (LVPECL モード)

8.10 JESD_EN レジスタ (オフセット = 0100h) [リセット = 00h]

図 8-11 に JESD_EN を示し、表 8-12 でその説明を示します。

レジスタ サマリ表に戻ります。

JESD204C サブシステム有効化

図 8-11. JESD_EN レジスタ

7	6	5	4	3	2	1	0
予約済み							JESD_EN
R/W-00h							R/W-0b

表 8-12. JESD_EN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	00h	

Copyright © 2026 Texas Instruments Incorporated

表 8-12. JESD_EN レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	JESD_EN	R/W	0b	0:JESD204C インターフェイスを無効化 1:JESD204C インターフェイスを有効化 JESD_EN = 0 の場合、JESD204C サブシステムはリセット状態に保持され、SERDES PHY が無効になります。LMFC/LEMC カウンタもリセット状態に保持されるため、SYSREF は LMFC/LEMC と整合しません。 注:このレジスタは、DP_EN = 0 のときのみ変更できます。

8.11 JMODE レジスタ (オフセット = 0101h) [リセット = 00h]

図 8-12 に JMODE を示し、表 8-13 でその説明を示します。

レジスタ サマリ表に戻ります。

JESD204C モード

図 8-12. JMODE レジスタ

7	6	5	4	3	2	1	0
予約済み		JMODE					
R/W-00b		R/W-000000b					

表 8-13. JMODE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W	00b	
5-0	JMODE	RW	000000b	JESD204C インターフェイス モードを指定します。表 7-22 を参照してください。 注:このレジスタは、JESD_EN = 0 のときのみ変更できます。

8.12 JESD_M レジスタ (オフセット = 0102h) [リセット = 01h]

図 8-13 に JESD_M を示し、表 8-14 にその説明を示します。

レジスタ サマリ表に戻ります。

JESD204C ストリーム数

図 8-13. JESD_M レジスタ

7	6	5	4	3	2	1	0
				JESD_M			
R/W-0h				R/W-1h			

表 8-14. JESD_M レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

表 8-14. JESD_M レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	JESD_M	R/W	1h	有効にするサンプル ストリームの数を指定します (JESD204C M パラメータ)。JESD_M でサポートされている設定は、DUC 補間 (DUC_L) と Mx によって異なります。 **L_{DUC}:JESD_M でサポートされている設定** 1x:1 または 2 (ただし Mx を超えない) 2x または 3x:2 (ただし Mx を超えない) 4x または 6x:2 または 4 (ただし Mx を超えない) 8x 以上:2、4、6、または 8 (ただし Mx を超えない) 各 JMODE に関連付けられている Mx 値については、表 7-22 を参照してください。有効なレーン数 (L) は、L = ceiling(M/Mx*Lx) として計算されます。I/Q ペアは 2 つのストリームとしてカウントされます。たとえば、4 つの IQ ストリームを入力する場合は、JESD_M = 8 をプログラムします。 注:このレジスタは、JESD_EN=0 かつ DP_EN=0 のときにのみ変更できます。

8.13 JCTRL レジスタ (オフセット = 0103h) [リセット = 03h]

図 8-14 に JCTRL を示し、表 8-15 でその説明を示します。

レジスタ サマリ表に戻ります。

JESD204C 制御。このレジスタは、JESD_EN = 0 のときのみ変更できます。

図 8-14. JCTRL レジスタ

7	6	5	4	3	2	1	0
予約済み	TI_MODE	サブクラス	JENC	予約済み		SFORMAT	SCR
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-00b		R/W-1b	R/W-1b

表 8-15. JCTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0b	
6	TI_MODE	R/W	0b	0:JESD204C 標準モード (デフォルト) 1:TI モード - TI の FPGA トランスミッタ IP を使用する場合に設定
5	サブクラス	R/W	0b	弾性バッファのリリース方法の指定: 0:サブクラス 0 の動作 (デフォルト)。すべてのレーンがバッファへの書き込みを開始したら、すぐに弾性バッファをリリースします。 1:サブクラス 1 の動作。LMFC/LEMC および RBD によって定義されたリリースの機会で弾性バッファをリリースします。
4	JENC	R/W	0b	0:8b/10b リンク層を使用 1:64b/66b リンク層を使用
3-2	予約済み	R/W	0b	
1	SFORMAT	R/W	1b	JESD204C サンプルの入力サンプル フォーマット 0:オフセット バイナリ 1:符号付き 2 の補数(デフォルト)

Copyright © 2026 Texas Instruments Incorporated

表 8-15. JCTRL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	SCR	R/W	1b	0:8b/10b スクランブラ無効 1:8b/10b スクランブラ有効 (デフォルト) スプリアス ノイズを改善し、特定のサンプル ペイロードが JESD204C レシーバによる誤ったコード グループやレーン整列の検出を妨げないようにするため、8b/10b スクランブラが推奨されます。このレジスタは、64b/66b モードには影響しません (常にスクランブルされます)。

8.14 SHMODE レジスタ (オフセット = 0104h) [リセット = 00h]

図 8-15 に SHMODE を示し、表 8-16 でその説明を示します。

レジスタ サマリ表に戻ります。

JESD204C 同期ワード モード

図 8-15. SHMODE レジスタ

7	6	5	4	3	2	1	0
予約済み						SHMODE	
R/W-0b						R/W-00b	

表 8-16. SHMODE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R/W	00h	
1-0	SHMODE	R/W	00b	64b/66b 同期ワードのモードを選択します (マルチブロックごとに 32 ビットのデータ)。これは、JENC=1 (64b/66b モード) の場合にのみ適用されます。 0:CRC-12 のチェックを有効化 (JESD204C 表 41) (デフォルト設定) 1:予約済み 2:予約済み 3:予約済み 注:このデバイスは、JESD204C コマンド機能をサポートしていません。レシーバーは、すべてのコマンドフィールドを無視します。 注:このレジスタは、JESD_EN = 0 のときのみ変更できます。

8.15 KM1 レジスタ (オフセット = 0105h) [リセット = 1Fh]

図 8-16 に、KM1 レジスタを示し、表 8-17 にこのレジスタのフィールドの説明を示します。

レジスタ サマリ表に戻ります。

JESD204C K パラメータ (-1)

図 8-16. KM1 レジスタ

7	6	5	4	3	2	1	0
KM1							
R/W-1Fh							

Copyright © 2026 Texas Instruments Incorporated

表 8-17. KM1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	KM1	R/W	1Fh	K はマルチフレームあたりのフレーム数です。8b/10b リンク層を使用する場合は、ここで K-1 をプログラミングします (JENC を参照)。JMODE の設定に応じて、K の有効値には制約があります (表 7-22 および KR を参照)。K に不正な値をプログラムすると、リンクが誤動作します。 デフォルト値は KM1 = 31 で、K = 32 に対応します。 注:64b/66b リンク層を使用するモードでは、KM1 レジスタは無視されます。K の実効値は 256 * E/F です。 注:このレジスタは、JESD_EN = 0 のときのみ変更できます。

8.16 RBD レジスタ (オフセット = 106h) [リセット = 00h]

図 8-17 に RBD を示し、表 8-18 でその説明を示します。

レジスタ サマリ表に戻ります。

JESD204C リリース バッファ遅延

図 8-17. RBD レジスタ

7	6	5	4	3	2	1	0
予約済み		RBD					
R/W-0b		R/W-000000b					

表 8-18. RBD レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W	00b	
5-0	RBD	R/W	000000b	このレジスタは、弾性バッファのリリースの機会をシフトさせます。RBD を 1 増やすと、リリースの機会が 4 バイト (オクテット) 遅延します。 有効な RBD 範囲は 0 ～ K*F/4-1 です。 64b/66b モードの場合、有効な RBD 範囲は 0 ～ 63 です。 RBD のプログラミングを参照してください。 注:このレジスタは、JESD_EN = 0 のときのみ変更できます。

8.17 JESD_STATUS レジスタ (オフセット = 0107h) [リセット = NA]

図 8-18 に JESD_STATUS を示し、表 8-19 でその説明を示します。

レジスタ サマリ表に戻ります。

JESD204C / システム ステータス

図 8-18. JESD_STATUS レジスタ

7	6	5	4	3	2	1	0
EB_ERR	LINK_UP	JSYNC_STATE	REALIGNED	ALIGNED	PLL_LOCKED	予約済み	
R/W1C	R	R	R/W1C	R	R	R	

Copyright © 2026 Texas Instruments Incorporated

表 8-19. JESD_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	EB_ERR	R/W1C	該当なし	弾性バッファでアンダーフロー/オーバーフローが発生しました。RBD を確認してください。 1 を書き込むと、このビットをクリアします。
6	LINK_UP	R	該当なし	セットされている場合、これは JESD204C リンクがアップしていることを示します（弾性バッファが開放されている）。
5	JSYNC_STATE	R	該当なし	JESD204C $\overline{\text{SYNC}}$ 信号の状態を返します。 0：$\overline{\text{SYNC}}$ アサート 1：$\overline{\text{SYNC}}$ デアサート
4	REALIGNED	R/W1C	該当なし	クロック分周器または LMFC/LEMC カウンタが SYSREF によって再整列されると、このビットが設定されます。1 を書き込むと、このビットをクリアします。 SUBCLASS = 0 の場合、このビットの動作は未定義です。
3	ALIGNED	R	該当なし	設定されている場合、最後の SYSREF パルスが、SYSREF に関連付けられたクロック分周器 (LMFC/LEMC を含む) と一貫していたことを示します。このビットは読み取り専用です（SPI ではクリアできません）。 JESD_EN が設定された後、部品には、完全な整列を達成してこのビットを設定するために、最大 7 の SYSREF パルスが必要になる場合があります。 SUBCLASS = 0 の場合、このビットの動作は未定義です。
2	PLL_LOCKED	R	該当なし	High の場合、有効になっているすべての SerDes PLL がロックされています。
1-0	予約済み	R	該当なし	

8.18 REFDIV レジスタ (オフセット = 0108h) [リセット = 30h]

図 8-19 に REFDIV を示し、表 8-20 でその説明を示します。

レジスタ サマリ表に戻ります。

JESD204C リファレンス分周器

図 8-19. REFDIV レジスタ

7	6	5	4	3	2	1	0
予約済み		REFDIV					
R/W-0b		R/W-30h					

表 8-20. REFDIV レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W	00b	
5-0	REFDIV	R/W	30h	DAC クロック (F_{CLK}) から PHY PLL リファレンス クロック (FREF) を生成する周波数除数を指定します。『PLL 制御』を参照してください。 次の値が有効です。2、3、4、5、6、8、10、12、16、20、24、32、40、48。 他の値はすべて予約済みであり、未定義の動作が発生します。

8.19 MPY レジスタ (オフセット = 0109h) [リセット = 14h]

図 8-20 に MPY を示し、表 8-21 でその説明を示します。

Copyright © 2026 Texas Instruments Incorporated

レジスタ サマリ表に戻ります。

JESD204C PLL 周波数逓倍

図 8-20. MPY レジスタ

7	6	5	4	3	2	1	0
MPY							
R/W-14h							

表 8-21. MPY レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	MPY	R/W	14h	PHY の PLL 周波数乗数を指定します。『PLL 制御』を参照してください。 この設計では、以下の値が許可されています。 **MPY:周波数逓倍器** 16 (0x10):4 20 (0x14):5 33 (0x21):8.25 40 (0x28):10 注:このレジスタは、JESD_EN = 0 のときのみ変更できます。

8.20 RATE レジスタ (オフセット = 010Ah) [リセット = 00h]

図 8-21 に RATE を示し、表 8-22 でその説明を示します。

レジスタ サマリ表に戻ります。

JESD204C 受信レート

図 8-21. RATE レジスタ

7	6	5	4	3	2	1	0
予約済み						レート	
R/W-00h						R/W-00b	

表 8-22. RATE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R/W	00h	
1-0	レート	R/W	00b	PHY PLL からシリアル ライン レートへの周波数逓倍を制御します。『PLL 制御』を参照してください。すべてのレーンに影響します。 **レート:逓倍** 00b:4 01b:2 10b:1 11b:0.5 注:このレジスタは、JESD_EN = 0 のときのみ変更できます。

8.21 LB_VRANGE レジスタ (オフセット = 010Bh) [リセット = 00h]

図 8-22 に LB_VRANGE を示し、表 8-23 にその説明を示します。

レジスタ サマリ表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

JESD204C PLL VCO 範囲注:このレジスタは、JESD_EN = 0 のときのみ変更できます。

図 8-22. LB_VRANGE レジスタ

7	6	5	4	3	2	1	0
予約済み							VRANGE
R/W-0h							R/W-0b

表 8-23. LB_VRANGE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	00h	
0	VRANGE	R/W	0b	PLL/VCO 周波数が 2.17GHz を下回る場合、このビットを設定する必要があります。『PLL 制御』を参照してください。

8.22 JSYNC_N レジスタ (オフセット = 0120h) [リセット = 01h]

図 8-7 に JSYNC_N を示し、表 8-8 でその説明を示します。

レジスタ サマリ表に戻ります。

JESD204C 手動同期要求

図 8-23. JSYNC_N レジスタ

7	6	5	4	3	2	1	0
予約済み							JSYNC_N
R/W-00h							R/W1C

表 8-24. JSYNC_N レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	00h	
0	JSYNC_N	R/W	1b	このビットを 0 に設定すると、$\overline{\text{SYNC}}$ 信号が手動でアサートされます。通常動作の場合は、このビットの設定を 1 のままにします。 注:JENC = 1 の場合、JSYNC_N = 0 の動作は未定義です。

8.23 JTEST レジスタ (オフセット = 0121h) [リセット = 00h]

図 8-24 に JTEST を示し、表 8-25 でその説明を示します。

レジスタ サマリ表に戻ります。

JESD204C テスト制御

図 8-24. JTEST レジスタ

7	6	5	4	3	2	1	0
予約済み			JTEST				
R/W-000b			R/W-00h				

表 8-25. JTEST レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

表 8-25. JTEST レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-0	JTEST	R/W	0b	PRBS テスト モード: 0:テストモードは無効です。通常動作 (デフォルト) 1:PRBS7 テスト モード 2:PRBS9 テスト モード 3:PRBS15 テスト モード 4:PRBS31 テスト モード 5-31:予約済み PRBS テスト モードが有効化されている場合、BER_EN を参照してください。 注:このレジスタは、JESD_EN = 0 のときのみ変更できます。

8.24 JTIMER レジスタ (オフセット = 0124h) [リセット = 00h]

図 8-25 に JTIMER を示し、表 8-26 でその説明を示します。

レジスタ サマリ表に戻ります。

注:このレジスタは、JESD_EN = 0 のときのみ変更できます。

JESD204C ウォッチドッグ タイマ

図 8-25. JTIMER レジスタ

7	6	5	4	3	2	1	0
JTPLL	予約済み	JTR		予約済み	JTT		
R/W-0b	R/W-0b	R/W-0b		R/W-0b	R/W-000b		

表 8-26. JTIMER レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	JTPLL	R/W	1b	このビットが設定されている場合、ウォッチドッグ タイマがタイムアウトすると SerDes PLL もリセットされます。このビットが 0 の場合、SerDes レシーバのみがリセットされます。
6	予約済み	R/W	0b	
5-4	JTR	R/W	00b	このレジスタは、リンクがアップ状態で CRC_FAULT が設定されていない場合に、ウォッチドッグ カウンタが減少する量を決定します。 **JTR:ウォッチドッグ カウンタ デクリメント:SerDes のリセットを防ぐために必要な、おおよそのリンク稼働率 (%)** 0:1:99.25% 1:2:98.46% 2:8:94.12% 3:16:88.89%
3	予約済み	R/W	0b	

Copyright © 2026 Texas Instruments Incorporated

表 8-26. JTIMER レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	JTT	R/W	0b	JESD204C ウォッチドッグ カウンタ しきい値。ウォッチドッグカウンターが JTT で定義されたしきい値に達すると、PHY 層がリセットされ (JTPLL = 1 の場合は PHY PLL を含む)、ウォッチドッグタイマーがリセットされます。JTT の値が大きくなるほど、ウォッチドッグタイマーの介入に時間がかかります。 JTT:ウォッチドッグ カウンタ スレッショルド:カウンタ持続時間 [F_{CLK} = 10.24GHz と仮定 0:<ウォッチドッグ タイマ無効>:<無効> 1:2^{17}:102.4µs 2:2^{19}:409.6µs 3:2^{32}:1.63ms 4:2^{23}:6.55ms 5 ～ 7:予約済み:予約済み 注:ウォッチドッグは、2^{10} (1024) CLK サイクルより短いリンクアップイベントを検出しないことがあります。

8.25 SYNC_EPW レジスタ (オフセット = 0127h) [リセット = 00h]

図 8-26 に SYNC_EPW を示し、表 8-27 にその説明を示します。

レジスタ サマリ表に戻ります。

JESD204C SYNC エラー レポート パルス幅

図 8-26. SYNC_EPW レジスタ

7	6	5	4	3	2	1	0
予約済み					SYNC_EPW		
R/W-00h					R/W-000b		

表 8-27. SYNC_EPW レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R/W	00h	
2-0	SYNC_EPW	R/W	000b	トランスミッタにエラーを報告するために使用する $\overline{\text{SYNC}}$ のパルス幅を指定します。リンクの再同期を必要としないエラーが検出されると、SYNC_EPW リンク クロック サイクル (4 * SYNC_EPW 文字間隔) の間、$\overline{\text{SYNC}}$ がアサートされます。$\overline{\text{SYNC}}$ 経由のエラー報告を無効にするには、SYNC_EPW = 0 に設定します。SYNC_EPW の有効な範囲は 0 ～ 7 です。 注:このレジスタは、JESD_EN = 0 のときのみ変更できます。

8.26 CRC_TH レジスタ (オフセット = 0128h) [リセット = 00h]

図 8-27 に CRC_TH を示し、表 8-28 にその説明を示します。

レジスタ サマリ表に戻ります。

JESD204C CRC エラーのスレッショルド

図 8-27. CRC_TH レジスタ

7	6	5	4	3	2	1	0

Copyright © 2026 Texas Instruments Incorporated

図 8-27. CRC_TH レジスタ (続き)

予約済み	CRC_ERR_REC	CFC_ERR_TH
R/W-0h	R/W-00b	R/W-00b

表 8-28. CRC_TH レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	
3-2	CRC_ERR_REC	R/W	0b	CRC エラー カウンタをリセットするために (また、CRC アラームがトリガーされた場合はそれを解除するために)、受信を必要とする連続したエラーのないマルチブロックの数を指定します。 0:1 マルチブロック 1:4 マルチブロック 2:16 マルチブロック 3:64 マルチブロック
1-0	CRC_ERR_TH	R/W	0b	CRC アラームをトリガするために、CRC エラーが発生するマルチブロックの数を指定します。レシーバは各エラーをカウントしますが、エラーのないマルチブロックが発生すると (CRC_ERR_REC で指定されたように)、エラー カウンタはリセットされます。 0:1 マルチブロック 1:2 マルチブロック 2:4 マルチブロック 3:8 マルチブロック
注:各レーンで、CRC エラーがあるマルチブロックの数が、CRC_ERR_TH で設定されたスレッショルドを超えると、CRC_ERR_REC で指定された連続したエラーのないマルチブロックの実行なしに、内部信号 CRC_FAULT が設定されます。CRC_ERR_REC で指定された連続したエラーのないマルチブロックの実行が検出されると、CRC_FAULT がクリアされます。 注:このレジスタは、JESD_EN = 0 のときのみ変更できます。				

8.27 LANE_ARSTAT レジスタ (オフセット = 012Ch) [リセット = NA]

図 8-28 に LANE_ARSTAT を示し、表 8-29 にその説明を示します。

レジスタ サマリ表に戻ります。

レーン到着ステータス

図 8-28. LANE_ARSTAT レジスタ

7	6	5	4	3	2	1	0
予約済み							LANE_ARR_RDY
R/W-00h							R

表 8-29. LANE_ARSTAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	00h	
0	LANE_ARR_RDY	R	該当なし	このビットは、レーン到着時間がキャプチャされ、LANE_ARR で読み出しが可能な場合にセットされます。レーン到着データは、すべてのレーンが準備完了したときにキャプチャされ、チップは弾性バッファをリリースしようとします。JESD_EN = 0 または JESD_RST = 1 のとき、このビットはクリアされます。

Copyright © 2026 Texas Instruments Incorporated

8.28 LANE_INV レジスタ (オフセット = 012Eh) [リセット = 0000h]

図 8-29 に LANE_INV を示し、表 8-30 にその説明を示します。

レジスタ サマリ表に戻ります。

SerDes レーン反転

図 8-29. LANE_INV レジスタ

15	14	13	12	11	10	9	8
LANE_INV[15:8]							
R/W-00h							
7	6	5	4	3	2	1	0
LANE_INV[7:0]							
R/W-00h							

表 8-30. LANE_INV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	LANE_INV	R/W	0000h	物理レーン n を介してビットストリームを反転するには、LANE_INV[n]= 1 をプログラムします。差動ペアがトランスミッタとレシーバ間でスワップされる場合にこれを使用します。

8.29 LANE_SEL[15:0] レジスタ (オフセット = 0130h) [LANE_SEL[n] = n の場合のリセット]

LANE_SEL[15:0] はクロスバー スイッチを形成し、どの物理レーンを論理レーン n にバインドするかを指定するための 16 個のレジスタのセットです。図 8-30 に LANE_SEL[15:0] を示し、その説明を表 8-31 に示します。

レジスタ サマリ表に戻ります。

論理レーン n の SerDes レーン選択 (n = 0 ～ 15)。LANE_SEL[0] は最下位アドレスです。

図 8-30. LANE_SEL[15:0] レジスタ

7	6	5	4	3	2	1	0
予約済み				LANE_SEL[n]			
R/W-0h				R/W-n			

表 8-31. LANE_SEL[15:0] レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	
3-0	LANE_SEL[n]	R/W	*n*	論理レーン n にバインドする物理レーン (0 ～ 15) を指定します。物理レーン p を論理レーン n にバインドするには、LANE_SEL[n]=p をプログラムします。たとえば、論理レーン 0 を物理レーン 3 にバインドするには、LANE_SEL[0]=3 をプログラムします。 注:このレジスタは、JESD_EN = 0 のときのみ変更できます。

8.30 LANE_ARR[15:0] レジスタ (オフセット = 0140h) [読み取り専用、リセット = NA]

LANE_ARR[15:0] は、レーン n の到着時間を測定するための 16 個のレジスタのセットです。図 8-31 に LANE_ARR[15:0] を示し、表 8-32 にその説明を示します。

レジスタ サマリ表に戻ります。

SerDes レーン n 到着時間 (n = 0 ～ 15)。LANE_ARR[0] は最下位アドレスです。

Copyright © 2026 Texas Instruments Incorporated

図 8-31. LANE_ARR[15:0] レジスタ

7	6	5	4	3	2	1	0
予約済み		LANE_ARR[n]					
R-00b		R					

表 8-32. LANE_ARR[15:0] レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	
5-0	LANE_ARR[n]	R	該当なし	SYSREF によって確立された内部 LMFC/LEMC に対するレーン n の到着時間を返します。返される値はマルチフレーム / EMB の長さに関係なく、0 から 63 の範囲で指定できます。これらのレジスタは LANE_ARR_RDY = 1 のときにのみ有効です。RBD のプログラミングを参照してください。 注:レーン到着データは、弾性バッファを解放しようとしたときにキャプチャされ、LANE_ARR_RDY=0 です。すべての値は同じリリース試行によるものです。 注:レーン到着値を正確に得るために、リンクを開始するときは JESD_RST の使用が必要な場合があります。

8.31 LANE_STATUS[15:0] レジスタ (オフセット = 0150h) [読み取り専用、リセット = NA]

LANE_STATUS[15:0] は、レーン n のステータスを示す 16 のレジスタのセットです。図 8-32 に LANE_STATUS[15:0] を示し、表 8-33 にその説明を示します。

レジスタ サマリ表に戻ります。

SerDes レーン n ステータス (n = 0 ～ 15)。LANE_STATUS[0] は最下位アドレスです。

図 8-32. LANE_STATUS[15:0] レジスタ

7	6	5	4	3	2	1	0
予約済み					LANE_STATUS [n]		
R-00h					R		

表 8-33. LANE_STATUS[15:0] レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	00h	
2	F_EMB_SYNC[n]	R	該当なし	論理レーン n にフレームまたは EMB 同期が存在する場合、1 を返します。
1	CG_BK_SYNC[n]	R	該当なし	論理レーン n にコードグループまたはブロック同期が存在する場合、1 を返します。
0	SIG_DET[n]	R	該当なし	論理レーン n がデータ信号を検出している場合 (PHY の信号喪失検出器を使用)、1 を返します。

8.32 LANE_ERR[15:0] レジスタ (オフセット = 0160h) [リセット = 00h]

LANE_ERR[15:0] は、レーン n のエラーを報告する 16 のレジスタのセットです。図 8-33 に LANE_ERR[15:0] を示し、表 8-34 にその説明を示します。

レジスタ サマリ表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

SerDes レーン n エラー フラグ (n = 0 ～ 15)。LANE_ERR[0] は最下位アドレスです。

図 8-33. LANE_ERR[15:0] レジスタ

7	6	5	4	3	2	1	0
LANE_ERR[n]							
R/W1C							

表 8-34. LANE_ERR[15:0] レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	LANE_ERR[n]	R/W1C	00h	レーン n の各種エラーを示すスティッキ ビット。エラーを示すためにビットが設定されます。1 を書き込むと、このビットをクリアします。 [7] 整列文字が予期しない場所で見つかった (8b/10b) か、(拡張) マルチブロック パイロット信号が予期される場所にありません (64b/66b) [6] マルチフレーム、マルチブロック、または拡張マルチブロックの整列が失われました。 [5] フレーム整列が失われた (8b/10b のみ) か、CRC_FAULT=1 です (64b/66b)。 [4] コードグループまたはブロックの同期が失われました。 [3] 予約済み [2] テーブル内にない、または予期しない制御文字がある (8b/10b) か、CRC エラーが発生しました (64b/66b)。 [1] ディスパリティ エラー (8b/10b)、または無効な同期ヘッダー (64b/66b) が発生しました。 [0] ギアボックス FIFO オーバーフローまたはアンダーフロー。書き込みクロック周波数が正しい限り、ギアボックスの書き込みクロックは、このフラグの後にデータ破損を引き起こすことなく 3UI 以上をドリフトする可能性があります。 注：追加または無効化されたレーンのレーン エラー フラグは未定義です。 注：LANE_ERR[6:1] は、sync_n=1 の状態で 8b/10b 動作時のみ検出されます

8.33 FIFO_STATUS[15:0] レジスタ (オフセット = 0170h) [読み取り専用、リセット = NA]

FIFO_STATUS[15:0] は、レーン n のステータスを示す 16 のレジスタのセットです。図 8-34 に LANE_STATUS[15:0] を示し、表 8-35 にその説明を示します。

レジスタ サマリ表に戻ります。

SerDes レーン n ステータス (n = 0 ～ 15)。FIFO_STATUS[0] は最下位アドレスです。

図 8-34. FIFO_STATUS[15:0] レジスタ

7	6	5	4	3	2	1	0
予約済み			PDIFF[n]				
R-000b			R				

表 8-35. FIFO_STATUS[15:0] レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	000b	

Copyright © 2026 Texas Instruments Incorporated

表 8-35. FIFO_STATUS[15:0] レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-0	PDIFF[n]	R	該当なし	このレジスタは、論理レーン n のギアボックス FIFO 内の書き込みポインタと読み取りポインタの差を返します。 8b/10b の場合、0 ～14 の値が返されます。64b/66b の場合、0 ～16 の値が返されます。 範囲の両端の値 (8b/10b の場合は 0 と 14、64b/66b の場合は 0 と 16) は、LANE_ERR においてギアボックス FIFO オーバーフロー / アンダーフロー フラグが設定されるエラー位置を示します。どちらの場合も、1 は最小セットアップを示し、最大値から 1 を引いた値は最小ホールドを示します。 値は、読み取りクロックで測定されます。トレッド サイズは、有効リンク層のクロック周期 (0.5/(LCR*FDR)) の約 1/2 です。UI の観点からは、以下のようになります。 • 8b/10b モードでは、公称トレッド サイズは 20UI です。最終的なトレッド (14) の公称トレッド サイズは 380UI±20UI です。 • 64b/66b モードでは、公称トレッド サイズは 16.5UI です。最終的なトレッド (16) の公称トレッド サイズは 412.5UI±16.5UI です。 無効化されたレーン、および EXTRA_LANE によって有効化されるレーンの PDIFF[n] 値は未定義です。

8.34 BER_EN レジスタ (オフセット = 01A0h) [リセット = 00h]

図 8-35 に BER_EN を示し、表 8-36 にその説明を示します。

レジスタ サマリ表に戻ります。

BER 測定制御

図 8-35. BER_EN レジスタ

7	6	5	4	3	2	1	0
予約済み							BER_EN
R/W-0b							R/W-0b

表 8-36. BER_EN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	00h	
0	BER_EN	R/W	0b	BER (ビットエラーレート) テスト有効化。レシーバ パラメータを設定後、ユーザーは JTEST を PRBS モードにプログラムし、JESD_EN を設定してから、BER カウンタを有効にするために BER_EN を設定します (BER_CNTn を参照)。カウンタをクリアして再起動するには、BER_EN を 0 にプログラムしてから、1 に戻ります。BER ロジックは、BER_EN の立ち上がりエッジの後、入力された PRBS データと自己同期します。

8.35 BER_CNT レジスタ (オフセット = 01B0h) [リセット = NA、読み取り専用]

図 8-36 に BER_CNT を示し、表 8-37 にその説明を示します。

レジスタ サマリ表に戻ります。

レーン n の BER エラー カウント。レーン 0 は最下位アドレスです

Copyright © 2026 Texas Instruments Incorporated

図 8-36. BER_CNT レジスタ

7	6	5	4	3	2	1	0
BER_CNT[n]							
R/W-0b							

表 8-37. BER_CNT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	BER_CNT[n]	R/W	0h	レーン n で検出されたビット エラーの数を返します。この値は 255 で飽和します。レーン n の BER は、次のように計算できます。 BER = BER_CNT[n] / FBIT / TBER TBER は、BER_EN が設定されてから BER_CNT[n] が読み取られるまでに経過した秒数です。TBER は、ホスト システムまたはクロックによって測定されます。 例:BER_CNT[n] が 2 を返し、FBIT が 12.8Gbps、TBER が 3600 秒の場合、ビットエラーレートは 2/12.8e9/3600 = 43e-15 です 注:無効化されたレーン、および EXTRA_LANE によって有効化されたレーンのエラー カウンタは未定義です。

8.36 JPHY_CTRL レジスタ (オフセット = 01C1h) [リセット = 43h]

図 8-37 に JPHY_CTRL を示し、表 8-38 にその説明を示します。

レジスタ サマリ表に戻ります。

JESD204C SerDes 制御。注:このレジスタは、JESD_EN = 0 のときのみ変更できます。

図 8-37. JPHY_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み	CDR			予約済み		OC_EN	LOS_EN
R/W-0b	R/W-100b			R/W-0b		R/W-1b	R/W-1b

表 8-38. JPHY_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0b	
6-4	CDR	R/W	100b	CDR (クロックデータリカバリ) 設定を制御します。デフォルト値が通常は適切ですが、他の設定を使用してトラッキング レートを調整したり、CDR の消費電力を削減したりすることもできます。2 次モードは、Tx と Rx が共通の基準クロックを共有していない場合の周波数オフセットをトラッキングするためのものです。これは JESD204C には適用されません。「CDR 設定」を参照してください。
3-2	予約済み	R/W	00b	
1	OC_EN	R/W	1b	すべてのレーンのオフセット補償 / キャリブレーションを有効にします。
0	LOS_EN	R/W	1b	すべてのレーンで信号喪失検出器を有効にします。

表 8-39. CDR の設定

CDR	投票スレッショルド	トラッキング レート [ppm]	のご注文	セトリング タイム [UI]	アクティビティ率 (%)
0	15	313	2 次	36	83
1	7	607	2 次	36	70
2	3	723	2 次	36	50

Copyright © 2026 Texas Instruments Incorporated

表 8-39. CDR の設定 (続き)

CDR	投票スレッショルド	トラッキング レート [ppm]	のご注文	セトリング タイム [UI]	アクティビティ率 (%)
3	1	868	2 次	36	25
4 (デフォルト)	15	96	1 次	36	83
5	3	289	1 次	36	50
6	1	434	1 次	36	25
7	7	13	1 次	1524	5

8.37 EQ_CTRL レジスタ (オフセット = 01C2h) [リセット = 00h]

図 8-38 に EQ_CTRL を示し、表 8-40 にその説明を示します。

レジスタ サマリ表に戻ります。

SerDes イコライザ制御

図 8-38. EQ_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み			EQ_OVR	EQZ_OVR	EQHLD	EQMODE	
R/W-000b			R/W-0b	R/W-0b	R/W-0b	R/W-00b	

表 8-40. EQ_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	000b	
4	EQ_OVR	R/W	0b	EQMODE = 1 の場合、EQLEVEL[n] レジスタを使用して EQ_OVR = 1 をプログラムし、イコライザ レベルを上書きできます。すべてのレーンに影響します。
3	EQZ_OVR	R/W	0b	EQZERO レジスタが有効になるようにこのビットを設定します (イコライザのゼロ周波数をオーバーライドするため)。EQZ_OVR = 0 の場合、周波数は RATE レジスタに基づいてセットされます。すべてのレーンに影響します。
2	EQHLD	R/W	0b	イコライザが完全適応モード (EQMODE = 1 および EQ_OVR = 0) のとき、EQHLD をプログラムすると、(すべてのレーンの) アダプテーション ループが停止 (ホールド) されます。
1-0	EQMODE	R/W	00b	イコライザモードを設定します (すべてのレーンで) :「イコライザ」を参照してください。 0:イコライザが無効。最大ゲインのフラット応答。 1:イコライザが有効。EQ_OVR = 0 の場合、イコライザは完全適応型です。 2:プリカーソル イコライゼーション解析。 3:ポストカーソル イコライゼーション解析。

8.38 EQZERO レジスタ (オフセット = 01C3h) [リセット = 00h]

図 8-39 に EQZERO を示し、表 8-41 でその説明を示します。

レジスタ サマリ表に戻ります。

SerDes イコライザ ゼロ。

図 8-39. EQZERO レジスタ

7	6	5	4	3	2	1	0

Copyright © 2026 Texas Instruments Incorporated

図 8-39. EQZERO レジスタ (続き)

予約済み	EQZERO
R/W-000b	R/W-00h

表 8-41. EQZERO レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	000b	
4-0	EQZERO	R/W	00h	EQZ_OVR = 1 の場合、このフィールドは (すべてのレーンの) イコライザのゼロ周波数を上書きします。EQZ_OVR = 0 の場合、ゼロ周波数は RATE 設定に基づいて自動的に設定されます。 0x1F:365MHz (フルおよびハーフレートのデフォルト設定、RATE = 0 または 1) 0x1E:275 MHz 0x1D:195 MHz 0x1B:140MHz (クォーターレート モードのデフォルト設定、RATE = 2) 0x19:105 MHz 0x10:75 MHz 0x08:55MHz (8 分の 1 レートのデフォルト設定、RATE = 3) 0x00:50 MHz

8.39 LANE_EQ[15:0] レジスタ (オフセット = 01D0h) [リセット = 08h]

図 8-40 に LANE_EQ[15:0] を示し、表 8-42 にその説明を示します。

レジスタ サマリ表に戻ります。

物理レーン [n] の SerDes イコライザ レベル。LANE_EQ[0] は最下位アドレスです。

図 8-40. LANE_EQ[15:0] レジスタ

7	6	5	4	3	2	1	0
予約済み	EQBOOST[n]		EQLEVEL [n]				
R/W-0b	R/W-00b		R/W-00h				

表 8-42. LANE_EQ[15:0] レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0b	
6-5	EQBOOST[n]	R/W	00b	物理レーン n の EQ ブーストを制御します。 **EQBOOST:ゲイン ブースト:BW の変更:電力の増加** 0:0dB:0%:0mW 1:2dB:-30%:0mW 2:4dB:+10%:5mW 3:6dB:-20%:5mW
4-0	EQLEVEL [n]	R/W	00h	EQ_OVR = 1 の場合、このフィールドはレーン n のイコライゼーション レベルを制御します。有効範囲は 0 (最小イコライゼーション) から 16 (最大イコライゼーション) までです。

8.40 LANE_EQS[15:0] レジスタ (オフセット = 01E0h) [リセット = NA、読み取り専用]

図 8-41 に LANE_EQS[15:0] を示し、表 8-43 にその説明を示します。

Copyright © 2026 Texas Instruments Incorporated

レジスタ サマリ表に戻ります。

物理レーン n の SerDes イコライザ ステータス

図 8-41. LANE_EQS[15:0] レジスタ

7	6	5	4	3	2	1	0
予約済み	EQOVER[n]	EQUNDER [n]	EQLEVEL_S[n]				
R	R	R	R				

表 8-43. LANE_EQS[15:0] レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R		
6	EQOVER[n]	R		PHY レーン n プリ / ポスト カーソル解析の EQOVER ステータス。「プリ / ポスト カーソル解析手順」を参照してください。
5	EQUNDER [n]	R		PHY レーン n プリ / ポスト カーソル解析の EQUNDER ステータス。「プリ / ポスト カーソル解析手順」を参照してください。
4	EQLEVEL_S[n]	R		このフィールドは、レーン n に対して現在有効なイコライザ レベルを返します。これは、レーン n の stsrx EQLEVEL_S フィールドにおける温度計のエンコード値で設定されているビット数のカウントです。

8.41 ESRUN レジスタ (オフセット = 01F0h) [リセット = 00h]

図 8-42 に ESRUN を示し、表 8-44 でその説明を示します。

レジスタ サマリ表に戻ります。

アイスキャン実行制御

図 8-42. ESRUN レジスタ

7	6	5	4	3	2	1	0
予約済み							ESRUN
R/W-00h							R/W-0b

表 8-44. ESRUN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	00h	
0	ESRUN	R/W	0b	アイスキャンの設定後、ESRUN=1 に設定してアイスキャンテストを実行します。「アイスキャン手順」を参照してください。

8.42 ES_CTRL レジスタ (オフセット = 01F1h) [リセット = 00h]

図 8-43 に ES_CTRL を示し、表 8-45 にその説明を示します。

レジスタ サマリ表に戻ります。注:ESRUN=0 の場合のみ、このレジスタを変更します。

アイスキャン制御

図 8-43. ES_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み		ESLEN		ES			
R/W-00b		R/W-00b		R/W-0h			

Copyright © 2026 Texas Instruments Incorporated

表 8-45. ES_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	ES_CTRL	R/W	00b	
5-4	ESLEN	R/W	00b	アイスキャンテストの長さを指定します。値が大きくなるほど、より一貫した結果が得られますが、より時間がかかります。 **ESLEN:分析サンプル数** 0:127 1:1032 2:8191 3:65535 注:多くのアイスキャンモードでは、ゼロ(または 1)のみを解析します。このモードはすべてのサンプルを分析しないため、すべてのサンプルを分析するモードと比較して、完了により時間がかかります。
3-0	ES	R/W	0h	アイスキャンモードを指定します。すべてのレーンに適用されます。 ES:アイスキャン モード 0:アイスキャンが無効 (デフォルト)。 1:比較。通常のサンプラーとアイスキャン サンプラー間の不一致をカウントします。0 と 1 を解析します。 2:0 を比較。ES=1 と同じですが、ゼロのみを解析します。 3:1 を比較。ES=1 と同じですが、解析対象は 1 つだけです。 4:1 をカウント。アイスキャン サンプルが 1 のとき、ECOUNTn をインクリメントします。 5 ～ 7:予約済み 8:平均ゼロ。ESVO_Sn をゼロの平均電圧に調整します。 9:外側のゼロ。ESVO_Sn をゼロの最小電圧に調整します。 10:内側のゼロ。ESVO_Sn をゼロの最大電圧に調整します。 11:予約済み 12:平均 1。ESVO_Sn を 1 の平均電圧に調整します。 13:外側の 1。ESVO_Sn を 1 の最高電圧に調整します。 14:内側の 1。ESVO_Sn を 1 の最低電圧に調整します。 15:予約済み

8.43 ESPO レジスタ (オフセット = 01F2h) [リセット = 00h]

図 8-44 に ESPO を示し、表 8-46 でその説明を示します。

レジスタ サマリ表に戻ります。

アイスキャン位相オフセット

図 8-44. ESPO レジスタ

7	6	5	4	3	2	1	0
予約済み	ESPO						
R/W-0b	R/W-00h						

表 8-46. ESPO レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

表 8-46. ESPO レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-0	ESPO	R/W	0b	すべてのレーンのアイスキャン位相オフセット。これにより、通常のサンプラーと比較したアイスキャンサンプラーのサンプリングの瞬間を調整します。これは -64 から +63 の符号付き値で、ステップ サイズは UI の 1/32 です。 注:ESRUN=0 の場合のみ、このレジスタを変更します。

8.44 ESVO レジスタ (オフセット = 01F3h) [リセット = 00h]

図 8-45 に ESVO を示し、表 8-47 でその説明を示します。

レジスタ サマリ表に戻ります。

アイスキャン電圧オフセット

図 8-45. ESVO レジスタ

7	6	5	4	3	2	1	0
予約済み		ESVO					
R/W-00b		R/W-00h					

表 8-47. ESVO レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W	0h	
5-0	ESVO	R/W	00h	すべてのレーンのアイスキャン電圧オフセット。これは、アイスキャンサンプラーの電圧のしきい値を調整します。これは -32 から +31 の符号付き値です。ステップサイズは約 10mV です(調整範囲は約 -320mV から +310mV です)。このフィールドは、電圧オフセットを自動的に調整して ESVO_S[n] に結果を返すアイスキャン モードでは無視されます。 注:このレジスタは、ESRUN=0 のときのみ変更できます。

8.45 ES_BIT_SELECT レジスタ (オフセット = 01F4h) [リセット = 00h]

図 8-46 に ES_BIT_SELECT を示し、表 8-48 にその説明を示します。

レジスタ サマリ表に戻ります。

アイスキャン ビット選択。

図 8-46. ES_BIT_SELECT レジスタ

7	6	5	4	3	2	1	0
予約済み			ES_BIT_SELECT				
R/W-000b			R/W-00h				

表 8-48. ES_BIT_SELECT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	000b	

Copyright © 2026 Texas Instruments Incorporated

表 8-48. ES_BIT_SELECT レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-0	ES_BIT_SELECT	R/W	00h	アイスキャンは 20 ビットごとにのみ実行されます。このフィールドは、アイスキャンが実行されるビット位置を指定します(有効範囲は 0 から 19)。アイスキャンは、ES_BIT_SELECT の可能なすべての値と結果を組み合わせて実行することができます。または、デューティ サイクルの歪みや反復ジッタの影響を確認するために、結果を分離しておくこともできます。 注:このレジスタは、ESRUN=0 のときのみ変更できます。

8.46 ECOUNT_CLR レジスタ (オフセット = 01F5h) [リセット = 00h]

図 8-47 に ECOUNT_CLR を示し、表 8-49 にその説明を示します。

レジスタ サマリ表に戻ります。

SerDes エラー カウンタ クリア

図 8-47. ECOUNT_CLR レジスタ

7	6	5	4	3	2	1	0
予約済み							ECOUNT_CLR
R/W-00h							R/W-0b

表 8-49. ECOUNT_CLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	00h	
0	ECOUNT_CLR	R/W	0b	これを 1 にプログラムし、次に 0 にして、ECOUNT カウンタをクリアします。

8.47 ESDONE レジスタ (オフセット = 01F6h) [リセット = NA、読み取り専用]

図 8-48 に ESDONE を示し、表 8-50 でその説明を示します。

レジスタ サマリ表に戻ります。

アイスキャン プロセス完了

図 8-48. ESDONE レジスタ

7	6	5	4	3	2	1	0
ESDONE[15:8]							
R							
ESDONE[7:0]							
R							

表 8-50. ESDONE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	ESDONE[15:0]	R	該当なし	ESDONE[n] は 1 を返し、物理レーン n でアイスキャン手順が完了したことを示します。ESVO_S[n] または ECOUNT[n] を読み取る前に、ESDONE[n] が 1 を返すことを確認する必要があります。

Copyright © 2026 Texas Instruments Incorporated

8.48 ESVO_S[15:0] レジスタ (オフセット = 0200h) [リセット = NA、読み取り専用]

図 8-49 に ESVO_S[15:0] を示し、表 8-51 にその説明を示します。

レジスタ サマリ表に戻ります。

SerDes レーン n のアイスキャン電圧オフセット、n = 0 ～ 15。ESVO_S[0] は最下位アドレスです。

図 8-49. ESVO_S[15:0] レジスタ

7	6	5	4	3	2	1	0
予約済み				ESVO_S[n]			
R				R			

表 8-51. ESVO_S[15:0] レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	該当なし	
5-0	ESVO_S[n]	R	該当なし	物理レーン n のアイスキャンから電圧オフセットの結果を返します。電圧オフセットを自動的に計算するアイスキャン モードに適用します。 ESDONE[n] が 1 を返した場合にのみ有効です。

8.49 ESCOUNT[15:0] レジスタ (オフセット = 0210h) [リセット = NA、読み取り専用]

図 8-50 に ESCOUNT[15:0] を示し、表 8-52 にその説明を示します。

レジスタ サマリ表に戻ります。

SerDes レーン n のアイスキャン電圧オフセット、n = 0 ～ 15。ESCOUNT[0] は最下位アドレスです。

図 8-50. ESCOUNT[15:0] レジスタ

7	6	5	4	3	2	1	0
ESCOUNT[15:8][n]							
R							
ESCOUNT[7:0][n]							
R							

表 8-52. ESCOUNT[15:0] レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	ESCOUNT[n]	R	該当なし	物理レーン n の不一致カウントを返します (不一致をカウントするアイスキャン モードに適用します)。ESDONE[n] が 1 を返した場合にのみ有効です。

8.50 LOS_TH レジスタ (オフセット = 0234h) [リセット = 08h]

図 8-51 に LOS_TH を示し、表 8-53 にその説明を示します。

レジスタ サマリ表に戻ります。

SerDes 信号喪失スレッショルド

図 8-51. LOS_TH レジスタ

7	6	5	4	3	2	1	0
予約済み				LOS_TH			
R/W-0h				R/W-0h			

Copyright © 2026 Texas Instruments Incorporated

表 8-53. LOS_TH レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	
3-0	LOS_TH	R/W	0h	信号損失検出器のスレッショルドを指定します。LOS_EN = 1 の場合に適用されます。すべてのレーンに影響します。 LOS_TH:近似スレッショルド (mV) 0、1:予約済み 2 ～ 15:15*(LOS_TH)

8.51 EQCNTSZ レジスタ (オフセット = 0235h) [リセット = 00h]

図 8-52 に EQCNTSZ を示し、表 8-54 にその説明を示します。

レジスタ サマリ表に戻ります。

SerDes イコライザ カウンタ サイズ

図 8-52. EQCNTSZ レジスタ

7	6	5	4	3	2	1	0
R/W-0h				R/W-0h			

表 8-54. EQCNTSZ レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	
3-0	EQCNTSZ	R/W	0h	イコライザ カウンタ サイズ:適応イコライザのゲインを変更するために累積する必要のある投票数を調整します。すべてのレーンに影響します。これはデバッグのみを目的としており、通常、この設定を変更する必要はありません。 EQCNTSZ:イコライザ投票カウンタ サイズ (ゲインを調整するために必要な投票数) 0:(デフォルト) 511 1:予約済み 2:1 3:3 4:7 5:15 6:31 7:63 8:127 9:255 10 ～ 15:予約済み

8.52 CDRLOCK レジスタ (オフセット = 0238h) [リセット = 00h]

図 8-53 に CDRLOCK を示し、表 8-55 にその説明を示します。

レジスタ サマリ表に戻ります。

SerDes CDR のロック / フリーズ。

図 8-53. CDRLOCK レジスタ

7	6	5	4	3	2	1	0

Copyright © 2026 Texas Instruments Incorporated

図 8-53. CDRLOCK レジスタ (続き)

予約済み	CDRLOCK
R/W-00h	R/W-0b

表 8-55. CDRLOCK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	00h	
0	CDRLOCK	R/W	0b	設定すると、CDR はフリーズされ、トラッキングされなくなります。CDR が一次モードで動作している場合は、CDRLOCK を設定して CDRPHASE 値をフリーズして検査します。

8.53 CDRPHASE レジスタ (オフセット = 0239h) [リセット = NA、読み取り専用]

図 8-54 に CDRPHASE を示し、表 8-56 にその説明を示します。

レジスタ サマリ表に戻ります。

SerDes CDR 位相ステータス

図 8-54. CDRPHASE レジスタ

7	6	5	4	3	2	1	0
CDRPHASE							
R							

表 8-56. CDRPHASE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CDRPHASE	R		RXDLANE で指定されたレーンの現在の CDR 位相値を返します。このレジスタを読み取る前に、CDRLOCK = 1 に設定することを推奨します。形式はグレイコード化されています。コーディングについては、「CDRPHASE ステータス」を参照してください。

8.54 PLL_STATUS レジスタ (オフセット = 0250h) [リセット = NA、読み取り専用]

図 8-7 に PLL_STATUS を示し、表 8-8 にその説明を示します。

レジスタ サマリ表に戻ります。

SerDes PLL ステータス

図 8-55. PLL_STATUS レジスタ

7	6	5	4	3	2	1	0
PLL_LOCK_STS				PLL_LOCK_LOST			
R-0h				R/W1C-0h			

表 8-57. PLL_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	PLL_LOCK_STS	R	0h	このフィールドは、4 つの SerDes マクロ (3:0) すべてからの LOCK 信号を返します。このフィールドは、PLL ロック検出器の機能 (フォルト) テストに使用できます。

Copyright © 2026 Texas Instruments Incorporated

表 8-57. PLL_STATUS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	PLL_LOCK_LOST	R/W1C	0h	SerDes PLL からの LOCK 信号が Low になると常に PLL_LOCK_LOST[n] が設定されます。 ビット 0:レーン 0 ～ 3 ビット 1:レーン 4 ～ 7 ビット 2:レーン 8 ～ 11 ビット 3:レーン 12 ～ 15 これはスティッキー ビットです (PLL がロックを取得しても設定されたまま)。1 を書き込むと、このビットをクリアします。これらのビットはデバッグ目的であり、SPI は SerDes PLL が短時間でもロックを失ったかどうかを監視することができます。

8.55 JESD_RST レジスタ (オフセット = 0253h) [リセット = 0x00]

図 8-56 に JESD_RST を示し、表 8-58 にその説明を示します。

レジスタ サマリ表に戻ります。

JESD のリセット

図 8-56. JESD_RST レジスタ

7	6	5	4	3	2	1	
予約済み							JESD_RST
R/W-00h							R/W-0h

表 8-58. JESD_RST レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	00h	予約済み
0	JESD_RST	R/W	0b	このビットを設定すると、JESD 回路のデジタル部分がリセット状態で保持されますが、物理レーンには影響しません。JESD_EN = 1 を設定する前にこのビットを設定してから、後でこのビットをクリアして JESD データの処理の開始が必要な場合があります。これにより、PHY および JESD クロックを起動するときに発生する大きな電力の変化から、電源を安定させることができます。LANE_ARR の値を使用する予定の場合は特に重要です。これらの値は、弾性バッファが最初に解放を試みたときにのみキャプチャされるためです。

8.56 EXTREF_EN レジスタ (オフセット = 02B0h) [リセット = 00h]

図 8-57 に EXTREF_EN を示し、表 8-59 にその説明を示します。

レジスタ サマリ表に戻ります。

外部リファレンスの有効化

図 8-57. EXTREF_EN レジスタ

7	6	5	4	3	2	1	0
予約済み							EXTREF_EN
R/W-00h							R/W-0b

表 8-59. EXTREF_EN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	00h	

Copyright © 2026 Texas Instruments Incorporated

表 8-59. EXTREF_EN レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	EXTREF_EN	R/W	0b	このビットを設定すると、EXTREF ボールで外部リファレンス電圧を使用できます。

CUR_2X_EN レジスタ (オフセット = 02B1h) [リセット = 00h]

図 8-58 に、CUR_2X_EN レジスタを示し、表 8-60 にこのレジスタのフィールドの説明を示します。

レジスタ サマリ表に戻ります。

DAC 電流ダブラ有効化

図 8-58. CUR_2X_EN レジスタ

7	6	5	4	3	2	1	0
予約済み							CUR_2X_EN
R/W-00h							R/W-0b

表 8-60. CUR_2X_EN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	00h	
0	CUR_2X_EN	R/W	0b	このビットを設定すると、DAC 出力電流が 2 倍になります。

8.57 DAC_OFS_CHG_BLK レジスタ (オフセット = 02CFh) [リセット = 00h]

図 8-59 に DAC_OFS_CHG_BLK を示し、表 8-61 にその説明を示します。

レジスタ サマリ表に戻ります。

DAC オフセット調整変更ブロック

図 8-59. DAC_OFS_CHG_BLK レジスタ

7	6	5	4	3	2	1	0
予約済み							DAC_OFS_CHG_BLK
R/W-00h							R/W-0b

表 8-61. DAC_OFS_CHG_BLK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1		R/W	00h	
0	DAC_OFS_CHG_BLK	R/W	0b	セットされている場合、DAC_OFS[n] に加えられた変更が高速クロックに伝搬されず、両方の DAC は現在の値をそのまま使用し続けます。これが 1 から 0 に変更されると、新しい DAC_OFS[n] 値が同じクロック サイクルの両方の DAC に適用されます。

8.58 DP_EN レジスタ (オフセット = 02E0h) [リセット = 00h]

図 8-60 に DP_EN を示し、表 8-62 にその説明を示します。

レジスタ サマリ表に戻ります。

データパスの有効化。

Copyright © 2026 Texas Instruments Incorporated

図 8-60. DP_EN レジスタ

7	6	5	4	3	2	1	0
予約済み							DP_EN
R/W-00h							R/W-0b

表 8-62. DP_EN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	00h	
0	DP_EN	R/W	0b	このビットを設定すると、データパス動作が有効になります。クリアされると、データパスがリセット状態に保持されます。このビットは、チップが適切に動作するように構成された後に設定する必要があります。 注:このレジスタは、FUSE_DONE=1 の場合にのみ 0 から 1 に変更する必要があります。

8.59 DUC_L レジスタ (オフセット = 02E1h) [リセット = 00h]

図 8-61 に DUC_L を示し、表 8-63 にその説明を示します。

レジスタ サマリ表に戻ります。

DUC の補間係数。

図 8-61. DUC_L レジスタ

7	6	5	4	3	2	1	0
予約済み				DUC_L			
R/W-0h				R/W-0h			

表 8-63. DUC_L レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	
3-0	DUC_L	R/W	0h	DUC 補間係数 0:1x 1:2x 2:3x 3:4x 4:6x 5:8x 6:12x 7:16x 8:24x 9:32x 10:48x 11:64x 12:96x 13:128x 14:192x 15:256x 注:このレジスタは、JESD_EN=0 かつ DP_EN=0 のときにのみ変更できます。

Copyright © 2026 Texas Instruments Incorporated

8.60 DUC_GAIN レジスタ (オフセット = 02E2h) [リセット = 00h]

図 8-62 に DUC_GAIN を示し、表 8-64 にその説明を示します。

レジスタ サマリ表に戻ります。

図 8-62. DUC_GAIN レジスタ

7	6	5	4	3	2	1	0
DUC_GAIN3		DUC_GAIN2		DUC_GAIN1		DUC_GAIN0	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-64. DUC_GAIN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	DUC_GAIN3	R/W	00b	DUC_GAINn は、DUCn (チャネル ボンダー内) のゲインを調整します 0:0dB 1:-6dB 2:-12dB 3:予約済み 注:DUC が複素数出力用に構成されている場合 (DUC_FORMAT = 1)、DUC2 および DUC3 は使用できません。この場合、DUC_GAIN2 と DUC_GAIN3 は、それぞれ DUC0 と DUC1 の仮想出力のゲインを調整します。 注:このレジスタは、DP_EN = 0 のときのみ変更できます。
5-4	DUC_GAIN2	R/W	00b	
3-2	DUC_GAIN1	R/W	00b	
1-0	DUC_GAIN0	R/W	00b	

8.61 DUC_FORMAT レジスタ (オフセット = 02E3h) [リセット = 00h]

図 8-63 に DUC_FORMAT を示し、表 8-65 にその説明を示します。

レジスタ サマリ表に戻ります。

DUC 出力フォーマット

図 8-63. DUC_FORMAT レジスタ

7	6	5	4	3	2	1	0
予約済み							DUC_FORMAT
R/W-00h							R/W-0b

表 8-65. DUC_FORMAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	00h	
0	DUC_FORMAT	R/W	0b	0:DUC 出力は実数です (DUC ミキサーは、虚部を破棄することで、複素数を実数に変換)。最大 4 つの DUC を有効化できます。 1:DUC 出力は複素数です。最大 2 つの DUC を有効化できます (DUC0 および DUC1)。 注:このレジスタは、DP_EN = 0 のときのみ変更できます。

8.62 DAC_SRC レジスタ (オフセット = 02E4h) [リセット = 00h]

図 8-64 に DAC_SRC を示し、表 8-66 にその説明を示します。

レジスタ サマリ表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

DAC ソース

図 8-64. DAC_SRC レジスタ

7	6	5	4	3	2	1	0
DAC_SRC1				DAC_SRC0			
R/W-0h				R/W-0h			

表 8-66. DAC_SRC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	DAC_SRC1	R/W	0h	DUC が無効化されている場合 (LT ≦ 1)、DAC_SRCn は、DACn に送信する入力ストリームを選択します。DUC が有効化されている場合 (LT ≧ 2)、DAC_SRCn は、DACn にルーティング (合計) する DUC 出力を制御します (また、ビットの意味は DUC_FORMAT によって異なります)。 DAC_SRCn[m] が設定されているときに DACn にルーティングされる信号: LT = 0.5 または 1 (DUC 無効化) DAC_SRCn[0]:入力ストリーム 0 (I) DAC_SRCn[1]:入力ストリーム 1 (Q) DAC_SRCn[2]:該当なし DAC_SRCn[3]:該当なし LT が 2 以上 (DUC 有効化) のレジスタ ビット DAC_SRCn[x]:DUC_FORMAT = 0 (実数):DUC_FORMAT = 1 (複素数) DAC_SRCn[0]:DUC0 (実数):DUC0 (実数) DAC_SRCn[1]:DUC1 (実数):DUC1 (実数) DAC_SRCn[2]:DUC2 (実数):DUC0 (虚数) DAC_SRCn[3]:DUC3 (実数):DUC1 (虚数) 複数の信号が同じ DAC に配線されている場合、それらの信号は一緒に加算されます。この場合、飽和を回避するために DUC_GAIN を使用します。 実際の出力と虚数出力を合計することは可能ですが、実際のアプリケーションではそれを必要としないため、テストやサポートは行われません。LT = 0.5 または 1 の場合、加算はサポートされません。DAC_SRCn[0] または DAC_SRCn[1] のみを設定する必要があります 注:このレジスタは、DP_EN = 0 のときのみ変更できます。
3-0	DAC_SRC0	R/W	0b	

8.63 MXMODE レジスタ (オフセット = 02E8h) [リセット = 00h]

図 8-65 に MXMODE を示し、表 8-67 でその説明を示します。

レジスタ サマリ表に戻ります。

DAC 出力モード。注:このレジスタは、DP_EN = 0 のときのみ変更できます。

図 8-65. MXMODE レジスタ

7	6	5	4	3	2	1	0
予約済み	MXMODE1			予約済み	MXMODE0		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		

Copyright © 2026 Texas Instruments Incorporated

表 8-67. MXMODE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0b	
6-4	MXMODE1	R/W	000b	DACB の DAC パルス形式を指定します。 0:通常モード (非ゼロ復帰または NRZ) (n*FS で sinc ヌル) 1:RF モード (反転または RTI) (DC および 2n*FS で sinc ヌル) 2:ゼロ復帰 (RTZ) (2n*FS で sinc ヌル) 3:DES2X – DES 補間器により供給されるサンプル (ローパス モード) 4:DES2XH – DES 補間器により供給されるサンプル (ハイパス モード) 5:DES1X – 両方のサンプルが入力ストリームから供給されます 6:無効化 – DACA は無効 7:予約済み 注:MXMODE1 または MXMODE0 のいずれかが DES1X に設定されている場合は、もう一方を DES1X または無効に設定する必要があります。また、DUC_L = 0 も設定する必要があります。
3	予約済み	R/W	0b	
2-0	MXMODE0	R/W	0b	DACA の DAC パルス形式を指定します。 0:通常モード (非ゼロ復帰または NRZ) (n*FS で sinc ヌル) 1:RF モード (反転または RTI) (DC および 2n*FS で sinc ヌル) 2:ゼロ復帰 (RTZ) (2n*FS で sinc ヌル) 3:DES2X – DES 補間器により供給されるサンプル (ローパス モード) 4:DES2XH – DES 補間器により供給されるサンプル (ハイパス モード) 5:DES1X – 両方のサンプルが入力ストリームから供給されます 6:無効化 – DACA は無効 7:予約済み 注:MXMODE1 または MXMODE0 のいずれかが DES1X に設定されている場合は、もう一方を DES1X または無効に設定する必要があります。また、DUC_L = 0 も設定する必要があります。

8.64 TRUNC_HLSB レジスタ (オフセット = 02EAh) [リセット = 00h]

図 8-66 に TRUNC_HLSB を示し、表 8-68 にその説明を示します。

レジスタ サマリ表に戻ります。

切り捨ての 1/2 LSB オフセット

図 8-66. TRUNC_HLSB レジスタ

7	6	5	4	3	2	1	0
予約済み							TRUNC_HLSB
R/W-00h							R/W-0b

表 8-68. TRUNC_HLSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1		R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

表 8-68. TRUNC_HLSB レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	TRUNC_HLSB	R/W	0b	16 ビット未満の分解能モードまたはデバイスに対して 1/2 LSB オフセットを追加。出力分解能が 16 ビット未満のモードまたはデバイスの場合、このビットを設定すると 1/2 LSB オフセットが追加され、切り捨てによって生じる平均オフセットを低減できます。 注:このレジスタは、DP_EN=0 のときのみ変更できます。

8.65 TX_EN_SEL レジスタ (オフセット = 02F8h) [リセット = 03h]

図 8-67 に TX_EN_SEL を示し、表 8-69 にその説明を示します。

レジスタ サマリ表に戻ります。

トランスミッタ有効化の制御選択。

図 8-67. TX_EN_SEL レジスタ

7	6	5	4	3	2	1	0
予約済み				QUIET_TX_DISABLE	FAST_TX_EN	USE_TX_EN1	USE_TX_EN0
R/W-0h				R/W-0b	R/W-0b	R/W-1b	R/W-1b

表 8-69. TX_EN_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	
3	QUIET_TX_DISABLE	R/W	0b	0:DEM およびディザリング後、経年劣化耐性のある静的コードを送ることで、送信は無効になります。一部の構成および周波数では、通常の静的なミッドスケールのコードよりも出力のノイズが大きくなります。しかし、このモードでは、送信イネーブルから DAC 出力までのレイテンシが最小限になります。 1:送信が無効になると、DEM とディザリングへの入力はミュートされ、出力ノイズが最小限に抑えられます。これにより、送信有効化から DAC 出力までのレイテンシが 56 DAC クロック分増加します 注:このビットは、FAST_TX_EN = 1 の場合のみ設定することができます。
2	FAST_TX_EN	R/W	0b	0:送信有効化が両方とも Low のとき、電力を節約するため、JESD とデータパス クロックがシャットダウンされます。送信が再度有効になったとき、有効なデータが出力で利用可能になるまで、出力はミュートのままです。 1:省電力は実行されず、送信有効化は個別に使用できます。このモードでは、送信有効化から DAC 出力までのレイテンシが低減されます。
1	USE_TX_EN1	R/W	1b	0:DACB は TXEN1 ボールによって制御されます。このモードでは、TX_EN1 レジスタは無視されます。 1:DACB は、TX_EN1 レジスタによって制御されます。このモードでは、TXEN1 ボール入力は DACB の送信有効化に影響を与えません。 ***注:USE_TX_EN1 と USE_TX_EN0 は同じ値に設定する必要があります (個別のチャネル制御はサポートされていません)。***

Copyright © 2026 Texas Instruments Incorporated

表 8-69. TX_EN_SEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	USE_TX_EN0	R/W	1b	0:DACA は TXEN0 ボールによって制御されます。このモードでは、TX_EN0 レジスタは無視されます。 1:DACA は、TX_EN0 レジスタによって制御されます。このモードでは、TXEN0 ボール入力は DACA の送信有効化に影響を与えません。 ***注:USE_TX_EN1 と USE_TX_EN0 は同じ値に設定する必要があります (個別のチャネル制御はサポートされていません)。***

8.66 TX_EN レジスタ (オフセット = 02F9h) [リセット = 03h]

図 8-68 に TX_EN を示し、表 8-70 にその説明を示します。

レジスタ サマリ表に戻ります。

トランスミッタ有効化の制御

図 8-68. TX_EN レジスタ

7	6	5	4	3	2	1	0
						TX_EN1	TX_EN0
R/W-00h						R/W-1b	R/W-1b

表 8-70. TX_EN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R/W	00h	
1	TX_EN1	R/W	1b	USE_TX_EN1 = 1 の場合、このビットは DACB の送信有効化を制御します。 ***注:TX_EN1 と TX_EN0 は同じ値に設定する必要があります (個別のチャネル制御はサポートされていません)。***
0	TX_EN0	R/W	1b	USE_TX_EN0 = 1 の場合、このビットは DACA の送信有効化を制御します ***注:TX_EN1 と TX_EN0 は同じ値に設定する必要があります (個別のチャネル制御はサポートされていません)。***

8.67 NCO_CTRL レジスタ (オフセット = 0300h) [リセット = 00h]

図 8-69 に NCO_CTRL を示し、表 8-71 にその説明を示します。

レジスタ サマリ表に戻ります。 注:このレジスタは、DP_EN = 0 のときのみ変更できます。

NCO イネーブル

図 8-69. NCO_CTRL レジスタ

7	6	5	4	3	2	1	0
FR_EN	予約済み				NCO_SC	DDS_EN	NCO_EN
R/W-0b	R/W-0h				R/W-0b	R/W-0b	R/W-0b

表 8-71. NCO_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FR_EN	R/W	0b	設定すると、高速再構成 (FR) インターフェイスが有効になり、NCO 周波数、位相、ディザリング、およびアキュームレータのリセットが SPI レジスタではなく FR レジスタによって制御されます。

Copyright © 2026 Texas Instruments Incorporated

表 8-71. NCO_CTRL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-3	予約済み	R/W	0h	
2	NCO_SC	R/W	0b	自己コヒーレント NCO モード:このビットが設定されている場合、すべての NCO は DDS/DUC チャネル 0 の NCO からのリファレンス カウンタを使用します。通常これは、NCO_SS レジスタと組み合わせて使用されます。これは、位相コヒーレント モード (NCO_CONT = 0) にのみ影響します。
1	DDS_EN	R/W	0b	設定した場合、DP_EN が設定されると、すべての DUC は DDS 動作用に構成されます。詳細については、セクション 7.4.1 の DDS 動作を参照してください。
0	NCO_EN	R/W	0b	セットすると、DUC サンプルは NCO と混合されます。

8.68 NCO_CONT レジスタ (オフセット = 0301h) [リセット = 00h]

図 8-70 に NCO_CONT を示し、表 8-72 にその説明を示します。

レジスタ サマリ表に戻ります。

NCO 位相の連続モード

図 8-70. NCO_CONT レジスタ

7	6	5	4	3	2	1	0
予約済み				NCO_CONT			
R/W-0h				R/W-0h			

表 8-72. NCO_CONT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	
3-0	NCO_CONT	R/W	0h	各ビット NCO_CONT[n] が設定されると、NCOn は位相連続モードで動作します。これは、位相アキュームレータをシードすることなく周波数の変化が発生することを意味します。このビットがクリアされると、NCOn は位相コヒーレントモードで動作します。周波数が変化する間に、位相アキュームレータがメイン カウンタからシードされます。これは、周波数が A から B に変化し、その後 A に戻る場合に、変更が起こらなかった場合でも位相が元の状態に戻ることを意味します。 注:このレジスタは、DP_EN = 0 のときのみ変更できます。

8.69 NCO_SYNC レジスタ (オフセット = 0302h) [リセット = 00h]

図 8-71 に NCO_SYNC を示し、表 8-73 でその説明を示します。

レジスタ サマリ表に戻ります。

NCO 同期構成

図 8-71. NCO_SYNC レジスタ

7	6	5	4	3	2	1	0
予約済み						NCO_SYNC_SRC	
R/W-00h						R/W-00b	

Copyright © 2026 Texas Instruments Incorporated

表 8-73. NCO_SYNC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R/W	00h	
1-0	NCO_SYNC_SRC	R/W	00b	FR_EN = 0 の場合: このレジスタは、NCO 同期イベントをトリガする方法を決定します。これには、NCO_AR で指定されたアキュームレータ リセットと、NCO_DITH_EN、FREQ、PHASE への変更の適用の両方が含まれます。 0:SPI_SYNC を設定すると、指定されたイベントが直ちに実行されます。(すべてが同じクロック サイクル内で発生します。) 1:SPI_SYNC を設定すると、次の SYSREF の立ち上がりエッジで、指定されたイベントが発生します。 2:SPI_SYNC が High の間、SYSREF の立ち上がりエッジごとに、指定されたイベントが発生します。 3:SPI_SYNC が High の間、DUC0 への「I」入力の LSb が指定されたイベントを発生させます。イベントをトリガするには、LSb が 4 つ以上の連続したサンプルで Low、その後 4 つの連続したサンプルで High である必要があります。同期は、DUC0 入力に 4 番目の High サンプルが到着すると同時に発生します。 FR_EN = 1 の場合: このレジスタは、NCO 同期イベントをトリガする方法を決定します。これには、FR_NCO_AR で指定されるアキュームレータ リセットと、FR_NCO_DITH_EN、FR_FREQL、FR_FREQS、FR_PHASE への変更の適用が含まれます。 0:FRS が設定されている場合、指定されたイベントは $\overline{\text{FRCS}}$ の立ち上がりエッジで実行されます。(すべてが同じクロック サイクル内で発生します。) 1:予約済み 2:予約済み 3:FRS が設定されている場合、DUC0 への「I」入力の LSb が、$\overline{\text{FRCS}}$ の立ち上がりエッジ後に指定されたイベントを発生させます。イベントをトリガするには、LSb が 4 つ以上の連続したサンプルで Low、その後 4 つの連続したサンプルで High である必要があります。同期は、DUC0 入力に 4 番目の High サンプルが到着すると同時に発生します。LSb トリガを待機する間、LSb データにはゼロが使用されます。4 番目の連続する High サンプルが経過すると、LSb は直ちにデータとして使用される状態に戻ります。 注:このレジスタは、SPI_SYNC=0 で FR インターフェイスがアイドル状態 ($\overline{\text{FRCS}}$=1) のときにのみ変更する必要があります。

8.70 NCO_AR レジスタ (オフセット = 0303h) [リセット = 0Fh]

図 8-72 に NCO_AR を示し、表 8-74 にその説明を示します。

レジスタ サマリ表に戻ります。

NCO アキュームレータのリセット

図 8-72. NCO_AR レジスタ

7	6	5	4	3	2	1	0
予約済み				NCO_AR			
R/W-0h				R/W-0h			

Copyright © 2026 Texas Instruments Incorporated

図 8-72. NCO_AR レジスタ (続き)

表 8-74. NCO_AR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	
3-0	NCO_AR	R/W	0h	各ビット NCO_AR[n] が設定されると、NCO_SYNC_SRC で指定される同期イベントごとに、NCOn のアキュームレータがリセットされます。 注:FR_EN = 1 の場合、このレジスタは何の影響も及ぼしません。

8.71 SPI_SYNC レジスタ (オフセット = 0304h) [リセット = 00h]

図 8-73 に SPI_SYNC を示し、表 8-75 にその説明を示します。

レジスタ サマリ表に戻ります。

SPI 同期ビット

図 8-73. SPI_SYNC レジスタ

7	6	5	4	3	2	1	0
予約済み							SPI_SYNC
R/W-00h							R/W-0b

表 8-75. SPI_SYNC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	00h	
0	SPI_SYNC	R/W	0b	このレジスタが「0」のときに「1」を書き込むと、このレジスタにバインドされている同期イベントがトリガされます (NCO_SYNC_SRC を参照)。このレジスタは、最後に書き込まれた値を返します。 注:このレジスタが影響を受けやすいのはエッジかレベルかは、NCO_SYNC_SRC の設定によって決まります。 注:FR_EN = 1 の場合、このレジスタは何の影響も及ぼしません。

NCO_SS レジスタ (オフセット = 0305h) [リセット = 00h]

図 8-74 に NCO_SS を示し、表 8-76 にその説明を示します。

レジスタ サマリ表に戻ります。

NCO_SS ビット

図 8-74. NCO_SS レジスタ

7	6	5	4	3	2	1	0
予約済み							NCO_SS
R/W-00h							R/W-0b

表 8-76. NCO_SS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	00h	

Copyright © 2026 Texas Instruments Incorporated

表 8-76. NCO_SS レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	NCO_SS	R/W	0b	このビットが設定されている場合、すべての NCO は 256 DAC クロック サイクルごとに継続的に自己同期します。 放射線環境下では、NCO_SS を設定することで、アップセット耐性のある AMP、FREQ、および PHASE レジスタ値を NCO 内部の (非耐性) レジスタに継続的に転送できます。これは、外部の周期的な同期ソース (SYSREF など) を必要とせずに、放射線下でトーンを生成するのに役立ちます。 NCO が動作している間 (DP_EN = 1)、NCO_SS は変更できます。新しい FREQ、AMP、または PHASE の値を書き込むには、最初に NCO_SS をクリアしてから、新しい値を書き込み、再度それをセットします。すべての値は、すべての NCO に対して同時に有効になります。 ユーザーは、NCO_SS = 1 の場合、常に NCO_AR = 0 であることを確認する必要があります (そうしないと、NCO アキュームレータおよび / またはリファレンス カウンタがリセットし続けます)。 また、NCO_SC= 1 および NCO_CONT= 0 も設定すると、4 つの NCO すべては放射線照射下で互いにコヒーレンシを維持しますが、外部コンポーネントとのコヒーレンシがない可能性があります。各 NCO アキュームレータは、DUC/DDS チャネル 0 のリファレンスカウンタから継続的にシードされます。この機能を使用して、コヒーレントな高調波トーンを生成し、DAC の高調波歪みを打ち消すことができます。

AMP[3:0] レジスタ (オフセット = 0318h) [リセット = 0000h]

表 8-77 に、AMP[3:0] を示します。AMP[0] はアドレス 0x0318 から始まり、AMP[1] はアドレス 0x031A から、AMP[2] はアドレス 0x031C から、AMP[3] はアドレス 0x031E から始まります。

レジスタ サマリ表に戻ります。

表 8-77. AMP[3:0] レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	AMP[3:0]	R/W	0000h	DDS チャネル n の DDS 振幅を指定します。16 ビット符号付き値です。このレジスタは DDS 動作にのみ適用されます。 注:このレジスタへの変更は、NCO_SYNC_SRC で指定された次の同期イベントまで有効になりません。 注:このレジスタは、DP_EN = 0 の場合、または NCO の更新が変更とは別のタイミングで発生するようにスケジュールされている場合にのみ変更できます。(NCO_SYNC を参照。) FREQ[0] レジスタ (オフセット = 0320h) [リセット = 0000000000000000h]

表 8-78 に FREQ[0] を示します。

レジスタ サマリ表に戻ります。

NCO0 アキュームレータの周波数。

Copyright © 2026 Texas Instruments Incorporated

表 8-78. FREQ[0] レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
63-0	FREQ[0]	R/W	0000 0000 0000 0000h	NCO 周波数 (F_{NCO}) は次のとおりです。 $F_{NCO} = FREQ[0] * 2^{-64} * F_{CLK}$ F_{CLK} は DAC のサンプル周波数です。FREQ[0] はこのレジスタの整数値です。このレジスタは、符号付きまたは符号なしと解釈できます (どちらの解釈も有効です)。 この式を使用して、プログラムする値を決定します。 $FREQ[0] = 2^{64} * F_{NCO} / F_{CLK}$ 注:このレジスタへの変更は、NCO_SYNC_SRC で指定された次の同期イベントまで有効になりません。 注:このレジスタは、DP_EN = 0 の場合、または NCO の更新が変更とは別のタイミングで発生するようにスケジュールされている場合にのみ変更できます。(NCO_SYNC を参照。) 注:FR_EN = 1 の場合、このレジスタは何の影響も及ぼしません。

8.73 FREQ[1] レジスタ (オフセット = 0328h) [リセット = 0000000000000000h]

表 8-79 に FREQ[1] を示します。

レジスタ サマリ表に戻ります。

NCO1 アキュームレータの FREQ。

表 8-79. FREQ[1] レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
63-0	FREQ[1]	R/W	0000 0000 0000 0000h	NCO 周波数 (F_{NCO}) は次のとおりです。 $F_{NCO} = FREQ[1] * 2^{-64} * F_{CLK}$ F_{CLK} は DAC のサンプル周波数です。FREQ[1] はこのレジスタの整数値です。このレジスタは、符号付きまたは符号なしと解釈できます (どちらの解釈も有効です)。 この式を使用して、プログラムする値を決定します。 $FREQ[1] = 2^{64} * F_{NCO} / F_{CLK}$ 注:このレジスタへの変更は、NCO_SYNC_SRC で指定された次の同期イベントまで有効になりません。 注:このレジスタは、DP_EN = 0 の場合、または NCO の更新が変更とは別のタイミングで発生するようにスケジュールされている場合にのみ変更できます。(NCO_SYNC を参照。) 注:FR_EN = 1 の場合、このレジスタは何の影響も及ぼしません。

8.74 FREQ[2] レジスタ (オフセット = 0330h) [リセット = 0000000000000000h]

表 8-80 に FREQ[2] を示します。

レジスタ サマリ表に戻ります。

NCO2 アキュームレータの FREQ。

Copyright © 2026 Texas Instruments Incorporated

表 8-80. FREQ[2] レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
63-0	FREQ[2]	R/W	0000 0000 0000 0000h	NCO 周波数 (F_{NCO}) は次のとおりです。 F_{NCO} = FREQ[2] * 2^{-64} * F_{CLK} F_{CLK} は DAC のサンプル周波数です。FREQ[2] はこのレジスタの整数値です。このレジスタは、符号付きまたは符号なしと解釈できます (どちらの解釈も有効です)。 この式を使用して、プログラムする値を決定します。 FREQ[2] = 2^{64} * F_{NCO} /F_{CLK} 注:このレジスタへの変更は、NCO_SYNC_SRC で指定された次の同期イベントまで有効になりません。 注:このレジスタは、DP_EN = 0 の場合、または NCO の更新が変更とは別のタイミングで発生するようにスケジュールされている場合にのみ変更できます。(NCO_SYNC を参照。) 注:FR_EN = 1 の場合、このレジスタは何の影響も及ぼしません。

8.75 FREQ[3] レジスタ (オフセット = 0338h) [リセット = 0000000000000000h]

表 8-81 に FREQ[3] を示します。

レジスタ サマリ表に戻ります。

NCO3 アキュームレータの FREQ。

表 8-81. FREQ[3] レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
63-0	FREQ[3]	R/W	0000 0000 0000 0000h	NCO 周波数 (F_{NCO}) は次のとおりです。 F_{NCO} = FREQ[3] * 2^{-64} * F_{CLK} F_{CLK} は DAC のサンプル周波数です。FREQ[3] はこのレジスタの整数値です。このレジスタは、符号付きまたは符号なしと解釈できます (どちらの解釈も有効です)。 この式を使用して、プログラムする値を決定します。 FREQ[3] = 2^{64} * F_{NCO} /F_{CLK} 注:このレジスタへの変更は、NCO_SYNC_SRC で指定された次の同期イベントまで有効になりません。 注:このレジスタは、DP_EN = 0 の場合、または NCO の更新が変更とは別のタイミングで発生するようにスケジュールされている場合にのみ変更できます。(NCO_SYNC を参照。) 注:FR_EN = 1 の場合、このレジスタは何の影響も及ぼしません。

8.76 PHASE0 レジスタ (オフセット = 0340h) [リセット = 0000h]

表 8-82 に、PHASE0 を示します。

レジスタ サマリ表に戻ります。

NCO0 アキュームレータの位相。

Copyright © 2026 Texas Instruments Incorporated

表 8-82. PHASE0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PHASE0	R/W	0h	位相が後に追加されるため、動作中にこのレジスタを書き込むことで、NCO をリセットする必要なしに位相を変更できます。 この値は左揃えで 32 ビット フィールドに入力され、位相アキュムレータに追加されます。位相 (ラジアン単位) は PHASE0 * 2^{-16} * 2π です。このレジスタは、符号付きまたは符号なしと解釈できます。 注:このレジスタへの変更は、NCO_SYNC_SRC で指定された次の同期イベントまで有効になりません。 注:このレジスタは、DP_EN = 0 の場合、または NCO の更新が変更とは別のタイミングで発生するようにスケジュールされている場合にのみ変更できます。(NCO_SYNC を参照。) 注:FR_EN = 1 の場合、このレジスタは何の影響も及ぼしません。

8.77 PHASE1 レジスタ (オフセット = 0342h) [リセット = 0000h]

表 8-83 に、PHASE1 を示します。

レジスタ サマリ表に戻ります。

NCO1 アキュームレータの位相。

表 8-83. PHASE1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PHASE1	R/W	0h	位相が後に追加されるため、動作中にこのレジスタを書き込むことで、NCO をリセットする必要なしに位相を変更できます。 この値は左揃えで 32 ビット フィールドに入力され、位相アキュムレータに追加されます。位相 (ラジアン単位) は PHASE1 * 2^{-16} * 2π です。このレジスタは、符号付きまたは符号なしと解釈できます。 注:このレジスタへの変更は、NCO_SYNC_SRC で指定された次の同期イベントまで有効になりません。 注:このレジスタは、DP_EN = 0 の場合、または NCO の更新が変更とは別のタイミングで発生するようにスケジュールされている場合にのみ変更できます。(NCO_SYNC を参照。) 注:FR_EN = 1 の場合、このレジスタは何の影響も及ぼしません。

8.78 PHASE2 レジスタ (オフセット = 0344h) [リセット = 0000h]

表 8-84 に、PHASE2 を示します。

レジスタ サマリ表に戻ります。

NCO2 アキュームレータの位相。

Copyright © 2026 Texas Instruments Incorporated

表 8-84. PHASE2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PHASE2	R/W	0h	位相が後に追加されるため、動作中にこのレジスタを書き込むことで、NCO をリセットする必要なしに位相を変更できます。 この値は左揃えで 32 ビット フィールドに入力され、位相アキュムレータに追加されます。位相 (ラジアン単位) は PHASE2 * 2^{-16} * 2π です。このレジスタは、符号付きまたは符号なしと解釈できます。 注:このレジスタへの変更は、NCO_SYNC_SRC で指定された次の同期イベントまで有効になりません。 注:このレジスタは、DP_EN = 0 の場合、または NCO の更新が変更とは別のタイミングで発生するようにスケジュールされている場合にのみ変更できます。(NCO_SYNC を参照。) 注:FR_EN = 1 の場合、このレジスタは何の影響も及ぼしません。

8.79 PHASE3 レジスタ (オフセット = 0346h) [リセット = 0000h]

表 8-85 に、PHASE3 を示します。

レジスタ サマリ表に戻ります。

NCO3 アキュームレータの位相。

表 8-85. PHASE3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PHASE3	R/W	0h	位相が後に追加されるため、動作中にこのレジスタを書き込むことで、NCO をリセットする必要なしに位相を変更できます。 この値は左揃えで 32 ビット フィールドに入力され、位相アキュムレータに追加されます。位相 (ラジアン単位) は PHASE3 * 2^{-16} * 2π です。このレジスタは、符号付きまたは符号なしと解釈できます。 注:このレジスタへの変更は、NCO_SYNC_SRC で指定された次の同期イベントまで有効になりません。 注:このレジスタは、DP_EN = 0 の場合、または NCO の更新が変更とは別のタイミングで発生するようにスケジュールされている場合にのみ変更できます。(NCO_SYNC を参照。) 注:FR_EN = 1 の場合、このレジスタは何の影響も及ぼしません。

AMP_R[3:0] レジスタ (オフセット = 0378h) [リセット = NA]

表 8-86 に、AMPR[3:0] を示します。AMP_R[0] はアドレス オフセット 0x0378、AMP_R[1] はアドレス オフセット 0x37A、AMP_R[2] はアドレス オフセット 0x37C、AMP_R[3] はアドレス オフセット 0x37E から開始します

レジスタ サマリ表に戻ります。

表 8-86. AMP_R[3:0] レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	AMP_R[n]	R	該当なし	これにより、DDS チャネル n で現在使用されている振幅設定が読み戻されます。フォーマットは 16 ビット符号付きです。このレジスタは、DDS_EN=1 の場合にのみ適用されます。DDS_EN=0 の場合、戻り値は未定義です。バイトが読み取られるたびに値がサンプリングされるため、読み戻し中に振幅が変化した場合に、一貫性のないデータが返される場合があります。

Copyright © 2026 Texas Instruments Incorporated

8.80 FREQ_R0 レジスタ (オフセット = 0380h) [リセット = NA、読み取り専用]

表 8-87 に、FREQ_R0 を示します。

レジスタ サマリ表に戻ります。

NCO0 の周波数の読み戻し

表 8-87. FREQ_R0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
63-0	FREQ_R0	R	該当なし	これにより、NCO0 のシステムで現在使用されている FREQ 設定が読み戻されます。バイトが読み取られるたびに値がサンプリングされるため、読み戻し中に動作値が変化すると、一貫性のないデータが返される場合があります。

8.81 FREQ_R1 レジスタ (オフセット = 0388h) [リセット = NA、読み取り専用]

表 8-88 に、FREQ_R1 を示します。

レジスタ サマリ表に戻ります。

NCO1 の周波数の読み戻し

表 8-88. FREQ_R1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
63-0	FREQ_R1	R	該当なし	これにより、NCO1 のシステムで現在使用されている FREQ 設定が読み戻されます。バイトが読み取られるたびに値がサンプリングされるため、読み戻し中に動作値が変化すると、一貫性のないデータが返される場合があります。

8.82 FREQ_R2 レジスタ (オフセット = 0390h) [リセット = NA、読み取り専用]

表 8-89 に、FREQ_R2 を示します。

レジスタ サマリ表に戻ります。

NCO2 の周波数の読み戻し

表 8-89. FREQ_R2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
63-0	FREQ_R2	R	該当なし	これにより、NCO2 のシステムで現在使用されている FREQ 設定が読み戻されます。バイトが読み取られるたびに値がサンプリングされるため、読み戻し中に動作値が変化すると、一貫性のないデータが返される場合があります。

8.83 FREQ_R3 レジスタ (オフセット = 0398h) [リセット = NA、読み取り専用]

表 8-90 に、FREQ_R3 を示します。

レジスタ サマリ表に戻ります。

NCO3 の周波数の読み戻し

Copyright © 2026 Texas Instruments Incorporated

表 8-90. FREQ_R3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
63-0	FREQ_R3	R	該当なし	これにより、NCO3 のシステムで現在使用されている FREQ 設定が読み戻されます。バイトが読み取られるたびに値がサンプリングされるため、読み戻し中に動作値が変化すると、一貫性のないデータが返される場合があります。

8.84 PHASE_R0 レジスタ (オフセット = 03A0h) [リセット = NA、読み取り専用]

表 8-91 に、PHASE_R0 を示します。

レジスタ サマリ表に戻ります。

NCO0 の位相ワードの読み戻し

表 8-91. PHASE_R0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PHASE_R0	R/W	0h	これにより、NCO0 のシステムで現在使用されている PHASE 設定が読み戻されます。バイトが読み取られるたびに値がサンプリングされるため、読み戻し中に動作値が変化すると、一貫性のないデータが返される場合があります。

8.85 PHASE_R1 レジスタ (オフセット = 03A2h) [リセット = NA、読み取り専用]

表 8-92 に、PHASE_R1 を示します。

レジスタ サマリ表に戻ります。

NCO1 の位相ワードの読み戻し

表 8-92. PHASE_R1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PHASE_R1	R/W	該当なし	これにより、NCO1 のシステムで現在使用されている PHASE 設定が読み戻されます。バイトが読み取られるたびに値がサンプリングされるため、読み戻し中に動作値が変化すると、一貫性のないデータが返される場合があります。

8.86 PHASE_R2 レジスタ (オフセット = 03A4h) [リセット = NA、読み取り専用]

表 8-93 に、PHASE_R2 を示します。

レジスタ サマリ表に戻ります。

NCO2 の位相ワードの読み戻し

表 8-93. PHASE_R2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PHASE_R2	R/W	該当なし	これにより、NCO2 のシステムで現在使用されている PHASE 設定が読み戻されます。バイトが読み取られるたびに値がサンプリングされるため、読み戻し中に動作値が変化すると、一貫性のないデータが返される場合があります。

8.87 PHASE_R3 レジスタ (オフセット = 03A6h) [リセット = NA、読み取り専用]

表 8-94 に、PHASE_R3 を示します。

Copyright © 2026 Texas Instruments Incorporated

レジスタ サマリ表に戻ります。

NCO3 の位相ワードの読み戻し

表 8-94. PHASE_R3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PHASE_R3	R/W	該当なし	これにより、NCO3 のシステムで現在使用されている PHASE 設定が読み戻されます。バイトが読み取られるたびに値がサンプリングされるため、読み戻し中に動作値が変化すると、一貫性のないデータが返される場合があります。

8.88 FR_FRS_R レジスタ (オフセット = 03E0h) [リセット = NA、読み取り専用]

図 8-75 に FR_FRS_R を示し、表 8-95 にその説明を示します。

レジスタ サマリ表に戻ります。

FR 同期の読み戻し

図 8-75. FR_FRS_R レジスタ

7	6	5	4	3	2	1	0
FR_FRS_R	予約済み						
R	R						

表 8-95. FR_FRS_R レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FR_FRS_R	R	該当なし	これにより、最後のトランザクションでの FRS の値の読み戻しが行われます。 注:この値は同期化されていないため、FR インターフェイスが静的な場合にのみ読み取る必要があります。
6-0	予約済み	R	該当なし	

8.89 FR_NCO_AR_R レジスタ (オフセット = 03E1h) [リセット = NA、読み取り専用]

図 8-76 に FR_NCO_AR_R を示し、表 8-96 にその説明を示します。

レジスタ サマリ表に戻ります。

FR NCO アキュームレータ リセットの読み戻し

図 8-76. FR_NCO_AR_R レジスタ

7	6	5	4	3	2	1	0
予約済み				FR_NCO_AR_R			
R				R			

表 8-96. FR_NCO_AR_R レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	該当なし	
3-0	FR_NCO_AR_R	R	該当なし	これにより、FR_NCO_AR に最後に書き込まれた値の読み戻しが行われます。 注:この値は同期化されていないため、FR インターフェイスが静的な場合にのみ読み取る必要があります。

Copyright © 2026 Texas Instruments Incorporated

8.90 TS_TEMP レジスタ (オフセット = 0400h) [リセット = NA、読み取り専用]

図 8-77 に TS_TEMP を示し、表 8-97 にその説明を示します。

レジスタ サマリ表に戻ります。

温度読み取り値 (摂氏)

図 8-77. TS_TEMP レジスタ

7	6	5	4	3	2	1	0
TS_TEMP							
R							

表 8-97. TS_TEMP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	TS_TEMP	R	該当なし	温度センサの読み取り値を返します。これは、0 ～ 255 の符号なしの値を返します。この値から 80 を減算すると、摂氏温度が得られます。たとえば、値が 110 の場合は 30℃ を示します。 「温度センサ」を参照してください。 注:このレジスタを読み取るには、より低速の SPI タイミングが必要です。「スイッチング特性」を参照してください。 注:このレジスタは、TS_SLEEP = 0 の場合にのみ、有効なデータを返します。

8.91 TS_SLEEP レジスタ (オフセット = 0401h) [リセット = 00h]

図 8-78 に TS_SLEEP を示し、表 8-98 にその説明を示します。

レジスタ サマリ表に戻ります。

温度センサ スリープ

図 8-78. TS_SLEEP レジスタ

7	6	5	4	3	2	1	0
予約済み							TS_SLEEP
R/W-00h							R/W-0b

表 8-98. TS_SLEEP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	00h	
0	TS_SLEEP	R/W	0b	温度変換が不要な場合は、このビットを設定して温度センサをスリープ状態にします。

8.92 SYNC_STATUS レジスタ (オフセット = 0410h) [リセット = NA]

図 8-79 に SYNC_STATUS を示し、表 8-99 にその説明を示します。

レジスタ サマリ表に戻ります。

同期ステータス

図 8-79. SYNC_STATUS レジスタ

7	6	5	4	3	2	1	0

Copyright © 2026 Texas Instruments Incorporated

図 8-79. SYNC_STATUS レジスタ (続き)

予約済み	CLK_REALIGNED	CLK_ALIGNED	NCO_SYNC_DET	SYSREF_DET
R	R/W1C	R	R/W1C	R/W1C

表 8-99. SYNC_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	該当なし	
3	CLK_REALIGNED	R/W1C	該当なし	このビットは、SYSREF に関連付けられたクロック分周器 (LMFC / LEMC を除く) が SYSREF に再整列されるたびに設定されます。このビットは、DDS モードにおいて内部サンプリングされた SYSREF 信号が正確かつ安定した周期を持つことを確認するのに有用です (または、JESD204C モードでのデバッグ目的にも有用です)。1 を書き込むと、このビットをクリアします。
2	CLK_ALIGNED	R	該当なし	設定されている場合、最後の SYSREF パルスが SYSREF に関連付けられたクロック分周器 (LMFC / LEMC を除く) と一致していたことを示します。LMFC / LEMC はこのビットに影響を及ぼさないため、DDS モードでの使用が適切ですが、JESD204C インターフェイスが有効になっている場合にも使用できます。このビットは読み取り専用です (SPI ではクリアできません)。
1	NCO_SYNC_DET	R/W1C	該当なし	このビットは、1 つ以上の NCO が同期イベントを受信するたびに設定されます。1 を書き込むと、このビットをクリアします。
0	SYSREF_DET	R/W1C	該当なし	このビットは、SYSREF が検出されるとセットされます。1 を書き込むとビットがクリアされ、再検出されるようになります。

8.93 SYS_ALM レジスタ (オフセット = 0430h) [リセット = NA、読み取り / 書き込み 1 でクリア]

図 8-80 に SYS_ALM を示し、表 8-100 にその説明を示します。

レジスタ サマリ表に戻ります。

システム アラーム ステータス

図 8-80. SYS_ALM レジスタ

7	6	5	4	3	2	1	0
JESD_LINK_DOWN_ALM	JTIMER_EXPIRED_ALM	JESD_CRC_ALM	予約済み			SYSRST_ALM	SYSREF_ALM
R/W1C	R/W1C	R/W1C	R			R/W1C	R/W1C

表 8-100. SYS_ALM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	JESD_LINK_DOWN_ALM	R/W1C		このビットは、JESD_EN = 1 の間に、LINK_UP が 1 から 0 に遷移する際に、いつでも設定されます。アラームをクリアするには 1 を書き込みます。
6	JTIMER_EXPIRED_ALM	R/W1C		このビットは、JESD リンクがダウンしている (JESD_EN = 1 の状態で LINK_UP = 0) 場合、JTIMER で許容されている時間よりも長い場合に設定されます。アラームをクリアするには 1 を書き込みます。
5	JESD_CRC_ALM	R/W1C		このビットは、有効化されたレーンで CRC_FAULT が検出されるたびに設定されます。64b/66b モードにのみ適用されます。アラームをクリアするには 1 を書き込みます。
4-2	予約済み	R		
1	SYSRST_ALM	R/W1C		このビットは、$\overline{\text{RESET}}$ ボール、パワーオン リセットまたは SOFT_RESET によってチップがリセットされると、常に設定されます。アラームをクリアするには 1 を書き込みます。

Copyright © 2026 Texas Instruments Incorporated

表 8-100. SYS_ALM レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	SYSREF_ALM	R/W1C		このビットは、クロック分周器または JESD サブシステム (JESD_EN = 1 の場合) にのいずれかによって、誤った整列で SYSREF エッジが検出された際に設定されます。アラームをクリアするには 1 を書き込みます。

8.94 ALM_MASK レジスタ (オフセット = 0431h) [リセット = 00h]

図 8-81 に ALM_MASK を示し、表 8-101 でその説明を示します。

レジスタ サマリ表に戻ります。

アラーム マスク

図 8-81. ALM_MASK レジスタ

7	6	5	4	3	2	1	0
JESD_LINK_DOWN_MASK	JTIMER_EXPIRED_MASK	JESD_CRC_MASK	予約済み				SYSREF_ALM_MASK
R/W-0b	R/W-0b	R/W-0b	R/W-0h				R/W-0b

表 8-101. ALM_MASK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	JESD_LINK_DOWN_MASK	R/W	0h	設定すると、JESD_LINK_DOWN_ALM レジスタのアラームがマスクされ、アラーム出力に影響を与えません。
6	JTIMER_EXPIRED_MASK	R/W	0b	設定すると、JTIMER_EXPIRED_ALM レジスタのアラームはマスクされ、アラーム出力に影響を与えません。
5	JESD_CRC_MASK	R/W	0b	設定すると、JESD_CRC_ALM レジスタのアラームはマスクされ、アラーム出力に影響を与えません。
4-1	予約済み	R/W	0h	
0	SYSREF_ALM_MASK	R/W	0b	セットすると、SYSREF_ALM レジスタのアラームはマスクされ、アラーム出力に影響を与えません。

8.95 MUTE_MASK レジスタ (オフセット = 0432h) [リセット = 21h]

図 8-82 に MUTE_MASK を示し、表 8-102 にその説明を示します。

レジスタ サマリ表に戻ります。

DAC ミュート マスク

図 8-82. MUTE_MASK レジスタ

7	6	5	4	3	2	1	0
予約済み		JESD_CRC_MUTE_MASK	予約済み				SYSREF_MUTE_MASK
R/W-00b		R/W-1b	R/W-0h				R/W-1b

表 8-102. MUTE_MASK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W	00b	
5	JESD_CRC_MUTE_MASK	R/W	1b	このビットが設定されていない限り、JESD CRC アラームは、JESD_CRC_REC に従って DAC をミュートします。
4-1	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

表 8-102. MUTE_MASK レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	SYSREF_MUTE_MASK	R/W	1b	SYSREF_ALM レジスタからのアラームは、このビットが設定されていない限り、DAC をミュートします。

8.96 MUTE_REC レジスタ (オフセット = 0433h) [リセット = A0h]

図 8-83 に MUTE_REC を示し、表 8-103 にその説明を示します。

レジスタ サマリ表に戻ります。

DAC ミュート リカバリ

図 8-83. MUTE_REC レジスタ

7	6	5	4	3	2	1	0
JESD_LINK_DOWN_REC	予約済み	JESD_CRC_REC	予約済み				
R/W-1b	R/W-0b	R/W-1b	R/W-00h				

表 8-103. MUTE_REC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	JESD_LINK_DOWN_REC	R/W	1b	0:JESD_LINK_DOWN_ALM = 0 になるまで、DAC はミュートされたままです。 1:JESD リンクが回復すると、DAC は自動的にミュート解除されます。
6	予約済み	R/W	0b	
5	JESD_CRC_MUTE_MASK	R/W	1b	このビットは、JESD_CRC_MUTE_MASK = 0 の場合にのみ使用されます。 0:JESD_CRC_ALM = 0 になるまで、DAC はミュートされたままです 1:CRC_FAULT = 0 になると、DAC は自動的にミュート解除されます。
4-0	予約済み	R/W	0h	

8.97 FUSE_STATUS レジスタ (オフセット = 0600h) [リセット = NA]

図 8-82 に FUSE_STATUS を示し、表 8-102 にその説明を示します。

レジスタ サマリ表に戻ります。

ヒューズのステータス

図 8-84. FUSE_STATUS レジスタ

7	6	5	4	3	2	1	0
予約済み							FUSE_DONE
R-NA							R-NA

表 8-104. FUSE_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	該当なし	

Copyright © 2026 Texas Instruments Incorporated

表 8-104. FUSE_STATUS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	FUSE_DONE	R	該当なし	ヒューズ コントローラがアイドル状態の場合に「1」を返し、コントローラがヒューズ自動ロード シーケンスを完了したことを意味します。このシーケンスは 523,000 CLK サイクル未満で完了します。または、FUSE_DONE が「1」になるまでポーリングできます。 FUSE_DONE が「0」の場合、ユーザーはヒューズバックアップされたレジスタの読み取りや書き込みを行わないでください。

8.98 FINE_CUR_A レジスタ (オフセット = 0723h) [リセット = 可変]

図 8-85 に FINE_CUR_A を示し、表 8-105 にその説明を示します。

レジスタ サマリ表に戻ります。

DACA のバイアス電流微調整

図 8-85. FINE_CUR_A レジスタ

7	6	5	4	3	2	1	0
予約済み		FINE_CUR_A					
R-00b		R/W - 可変					

表 8-105. FINE_CUR_A レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	
5-0	FINE_CUR_A	R/W	条件によって変化	DAC A の微調整電流制御設定。セクション 7.3.2.2 を参照してください。デフォルト値は、出力電流仕様に合わせて変化します。

8.99 COARSE_CUR_A レジスタ (オフセット = 0724h) [リセット = 0Fh]

図 8-86 に COARSE_CUR_A を示し、表 8-106 にその説明を示します。

レジスタ サマリ表に戻ります。

DACA のバイアス電流粗調整

図 8-86. COARSE_CUR_A レジスタ

7	6	5	4	3	2	1	0
DAC0_CBIAS_SLEEP				COARSE_CUR_A			
R/W-0h				R/W-0xF			

表 8-106. COARSE_CUR_A レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	DAC0_CBIAS_SLEEP	R/W	0h	スリープ中の DAC の粗電流設定。DC 結合出力については、セクション 9.1.6 の説明を参照してください
3-0	COARSE_CUR_A	R/W	0xF	DAC A の粗電流制御設定。セクション 7.3.2.2 を参照してください。

8.100 FINE_CUR_B レジスタ (オフセット = 0725h) [リセット = 可変]

図 8-87 に FINE_CUR_B を示し、表 8-107 にその説明を示します。

レジスタ サマリ表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

DACB のバイアス電流微調整

図 8-87. FINE_CUR_B レジスタ

7	6	5	4	3	2	1	0
予約済み				FINE_CUR_B			
R-00b				R/W - 可変			

表 8-107. FINE_CUR_B レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	
5-0	FINE_CUR_B	R/W	条件によって変化	DACB の微調整電流制御設定。セクション 7.3.2.2 を参照してください。デフォルト値は、出力電流仕様に合わせて変化します。

8.101 COARSE_CUR_B レジスタ (オフセット = 0726h) [リセット = 0Fh]

図 8-88 に COARSE_CUR_B を示し、表 8-108 にその説明を示します。

レジスタ サマリ表に戻ります。

DACB のバイアス電流粗調整

図 8-88. COARSE_CUR_B レジスタ

7	6	5	4	3	2	1	0
DAC1_CBIAS_SLEEP				COARSE_CUR_B			
R/W-0h				R/W-0xF			

表 8-108. COARSE_CUR_B レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	DAC1_CBIAS_SLEEP	R/W	0h	スリープ中の DAC の粗電流設定。DC 結合出力については、セクション 9.1.6 の説明を参照してください
3-0	COARSE_CUR_B	R/W	0xF	DACB の粗電流制御設定。セクション 7.3.2.2 を参照してください。

8.102 DEM_ADJ レジスタ (オフセット = 0727h) [リセット = 11h]

図 8-88 に DEM_ADJ を示し、表 8-108 にその説明を示します。

レジスタ サマリ表に戻ります

DEM 調整

表 8-109. シングル エッジ DEM 調整

7	6	5	4	3	2	1	0
DEM_ADJ1				DEM_ADJ0			
R/W-0x1				R/W-0x1			

表 8-110. DEM_ADJ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	DEM_ADJ1	R/W	0x1	DAC1 用にデータに依存しないシングル エッジ DEM の DEM 動作を調整します。DAC1 がデータに依存しないシングル エッジ DEM として構成されていない限り、このレジスタは無効です。有効な設定は 0 ～ 3 のみで、4 ～ 15 は予約済みです。

Copyright © 2026 Texas Instruments Incorporated

表 8-110. DEM_ADJ レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	DEM_ADJ0	R/W	0x1	DAC0 用にデータに依存しないシングル エッジ DEM の DEM 動作を調整します。DAC0 がデータに依存しないシングル エッジ DEM として構成されていない限り、このレジスタは無効です。有効な設定は 0 ～ 3 のみで、4 ～ 15 は予約済みです。

8.103 DEM_DITH レジスタ (オフセット = 0729h) [リセット = 00h]

図 8-89 に DEM_DITH を示し、表 8-111 にその説明を示します。

レジスタ サマリ表に戻ります。

DAC DEM およびディザリング制御

図 8-89. DEM_DITH レジスタ

7	6	5	4	3	2	1	0
DEM_DACB		DEM_DACA		DITHER_DACB		DITHER_DACA	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-111. DEM_DITH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	DEM_DACB	R/W	00b	0:DACB のデータに依存しないシングル エッジ DEM を有効化する 1:DACB のデータに依存しないデュアル エッジ DEM を有効化する 2:DACB のデータ依存 DEM を有効化する 3:DACB の DEM を無効化する
5-4	DEM_DACA	R/W	00b	0:DACA のデータに依存しないシングル エッジ DEM を有効化する 1:DACA のデータに依存しないデュアル エッジ DEM を有効化する 2:DACA のデータ依存 DEM を有効化する 3:DACA の DEM を無効化する
3-2	DITHER_DACB	R/W	00b	0:DACB のシングル エッジ ディザリングを有効化する 1:DACB のデュアル エッジ ディザリングを有効化する 2:予約済み 3:DACB のディザリングを無効化する
1-0	DITHER_DACA	R/W	00b	0:DACA のシングル エッジ ディザリングを有効化する 1:DACA のデュアル エッジ ディザリングを有効化する 2:予約済み 3:DACA のディザリングを無効化する

8.104 DAC_OFS[0:1] レジスタ (オフセット = 072Ah) [リセット = 00h]

表 8-112 に DAC_OFS[0:1] を示します。

レジスタ サマリ表に戻ります。

DAC オフセット制御。DAC_OFS[0] は最下位アドレスです。

表 8-112. DAC_OFS[0:1] レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R/W	000b	

Copyright © 2026 Texas Instruments Incorporated

表 8-112. DAC_OFS[0:1] レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12-0	DAC_OFS[n]	R/W	00b	DACn のオフセット調整 (n = 0 または 1)。このレジスタの値は、DACn 出力に追加されます。これは 2 の補数、13 ビット符号付き値です。LSB の重みは 1 つの DAC LSB です。 このレジスタにプログラムされた値は飽和関数を通過して、調整を可能な範囲に制限します。DACn でディザリングが有効の場合 (DEM_DITH を参照)、DAC_OFS[n] は +/-128 の範囲に飽和します。DACn でディザリングが無効の場合、飽和範囲は +/-3968 です。 セクション 7.3.4 を参照してください。 注:この値は、DP_EN=0 または DAC_OFS_CHG_BLK=1 のときのみ変更できます。

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

9.1.1 DUC/Bypass モードの起動手順

以下は、デバイスの起動手順です:

1. セクション 9.3.1 に記載の手順を使用し、ボール $\overline{\text{RESET}}$ をアサートした状態でデバイスの電源を投入します。
2. CLK を適用し、$\overline{\text{RESET}}$ デアサートします。
3. ヒューズ値がロードされるのを待ちます(レジスタ FUSE_DONE が 1 を返します)。
4. すべての動作パラメータを設定します(レジスタは任意の順序でプログラムできます):
   a. DUC_L レジスタで補間係数をプログラムします。
   b. 次の手順で必要となる合計補間係数 (LT) を求めます。DES1X モード (補間なしのデュアル エッジ サンプリング) を除いて、LT = DUC_L になります。
   c. 必要なサンプル ストリーム数を決定し、JESD_M レジスタを設定します。
   d. 表 7-22 から JESD204C モードを選択します。選択したモードが、前に計算した LT の値と目的のリンク層エンコーディングをサポートしていることを確認します。また、JESD_M レジスタでセットされた必要なストリーム数が、モードでサポートされていることも確認します。モード番号を JMODE レジスタにプログラムします。
   e. JENC レジスタをプログラムして、8b/10b または 64b/66b の動作を選択します。
   f. 先に算出した LT の値と表 7-22 を用いて、R の値を計算します。
   g. 表 7-17 (8b/10b) または 表 7-18(64b/66b) を使用して、R 値と DAC クロック周波数に一致する行を特定します。表に従って、REFDIV、MPY、RATE および VRANGE を設定します。
   h. 必要に応じて、LANE_SELn をプログラムし、適切な物理レーンを論理レーンに割り当てます。(必要に応じて、レーン反転 (PCB 上で差動ペアが入れ替わっている場合) に対応するため、LANE_INV をプログラムします。
   i. 使用目的に応じて、その他の共通設定 (SUBCLASS、SFORMAT、JCTRL 内の SCR) をプログラムします。
   j. 8b/10b エンコーディングを使用する場合は、K パラメータを設定するために KM1 レジスタをプログラムします。KM1 はリンク パートナーと一致している必要があります。表 7-22 で定義された KR パラメータによる制約を必ず守ります。
   k. サブクラス 1 動作 (SUBCLASS = 1) を使用する場合は、RBD も設定する必要があります。以下を参照して、RBD の適切な値を決定します:RBD のプログラミング。
   l. 必要に応じて、オプションの Serdes パラメータ (JPHY_CNTL、EQ_CNTL、EQZERO、LANE_EQn など) をプログラムできます。
   m. DAC または DUC 関連のレジスタ (たとえば DAC_SRC レジスタ) をプログラムして、データを目的の DAC にルーティングし、MXMODE を構成して DAC 出力モードを設定します。
5. トランスミッタ (リンク パートナー、すなわち FPGA または ASIC) を設定し、送信を開始するよう指示します。
6. レシーバを起動するには、JESD_EN を 1 に設定します。
7. データパスを有効化するには、DP_EN = 1 をプログラムします。これは、データを DAC に流すために必要です。JESD204C 診断のみを実行する場合は、DP_EN を 0 のままにできます。
8. 電源電流の過渡変動によって電源電圧が一時的に低下する場合があるため、VDDDIG の電源電圧が再安定するまで待機します。80 マイクロ秒で十分ですが、実際の測定結果に基づいて最適化できます。
9. SUBCLASS = 1 の場合、レシーバに LMFC/LEMC 位相を確立するために SYSREF が必要です。次の手順に従います。
   a. 二回の別個のトランザクションを使用して、まず SYSREF_RECV_SLEEP = 0 に設定し、その後 SYSREF_PROC_EN = 1 にプログラムします (いずれも SYSREF_CNTL レジスタ内)。

Copyright © 2026 Texas Instruments Incorporated

b. 既知の適切な値に SYSREF_SEL を設定します (SYSREF ウィンドウイング機能を使用して SYSREF_SEL を算出する方法の詳細については、「SYSREF ウィンドウイング」を参照してください)。
c. SYSREF_ALIGN_EN = 1 をプログラムします。
d. SYSREF 入力に少なくとも 5 つの SYSREF パルスを印加します。各 SYSREF サイクルの周期は、表 7-3 に記載されている要件を満たす必要があります。

10. JESD_STATUS レジスタを読み取り、リンクの動作を確認します (JESD_STATUS = 1 の LINK_UP フィールド)。LINK_UP フィールドが 0 を返す場合は、次の項目を順に確認します:
    a. JESD_STATUS レジスタ内の PLL_LOCKED フィールドが 0 の場合は、PLL 設定を確認します (REFDIV、MPY、RATE および VRANGE)。CLK の周波数が正しいことを確認します。
    b. SUBCLASS = 1 の場合で、JESD_STATUS 内の ALIGNED フィールドが 0 を返すときは、SYSREF が適用されていること、および SYSREF_PROC_EN により SYSREF プロセッサが有効になっていることを確認します。
    c. 上記の問題が解決しない場合は、LANE_STATUSn を読み取ります (論理レーン 0 ～ L-1 のレジスタのみを読み取ります)。レーンによってはコードグループまたはブロック同期を取得できない可能性あることを確認します。その場合、トランスミッタが正しくプログラムされていることを確認します。LANE_SELn が正しくプログラムされていることを確認します。PHY の動作を検証および最適化するために、PHY テスト (JTEST、アイスキャン テスト、またはイコライザ最適化を使用した PRBS テスト) を行うことを検討してください。
11. 複数の NCO 間でコヒーレンシが必要な場合は、「NCO 同期」セクションに記載されているマルチデバイス / 決定論的同期の方法のいずれかを使用して NCO を再同期する必要があります。内部 NCO 位相のみが必要な場合は、NCO_SYNC_SRC とともに SPI_SYNC を使用して再同期します。
12. デバイスを別のモードに構成する場合は、DP_EN と JESD_EN をともに 0 に設定します。その後、ステップ 4 に戻ります。

9.1.2 DDS モードの起動手順

DUC チャネルは、DP_EN を設定する前に DDS_EN レジスタをセットすることで、DDS モードで動作できます。

DDS モードを使用するには、次の手順を実行します:

1. DDS_EN = 1 をプログラムします (DP_EN がセットされるまで DDS はイネーブルになりません)
2. 1、2、3 または 4 個の DDS チャネルを有効にする場合は、それぞれ JESD_M を 2、4、6 または 8 にプログラムします
3. AMP、FREQ、PHASE の初期値をプログラムします
4. NCO_EN をプログラムする必要はありません (DDS_EN = 1 によって暗黙的に有効になります)
5. 複素数出力が必要な場合は、DUC_FORMAT = 1 をプログラムします。DUC_FORMAT = 1 の場合、JESD_M は 2 または 4 (1 チャネルまたは 2 チャネル) に設定する必要があります。
6. DAC_SRC をプログラムして、DUC (DDS) チャネルを DAC にバインドします
7. JESD_EN = 0 のままにします
8. DP_EN = 1 をプログラムします
9. 電源電流の過渡変動によって電源電圧が一時的に低下する場合があるため、VDDDIG の電源電圧が再安定するまで待機します。80 マイクロ秒で十分ですが、実際の測定結果に基づいて最適化できます。
10. 複数の NCO 間でコヒーレンシが必要な場合は、NCO 同期セクションに記載されているマルチデバイス / 決定論的同期の方法のいずれかを使用して NCO を再同期する必要があります。内部 NCO 位相のみが必要な場合は、NCO_SYNC_SRC とともに SPI_SYNC を使用して再同期します。
11. これで DUC チャネルは DDS モードで実行され、トーンの出力が開始されます。AMP、FREQ および PHASE を使用して、波形パラメータを更新します。NCO に新しい値を適用するには、NCO を再同期する必要があります。AMP_R、FREQ_R、PHASE_R を使用して、現在有効な値を検査します。
12. NCO_AR や NCO_CONT などのその他の NCO 設定も、DDS モードに適用されます。NCO は、DUC モードと同じ方法で同期できます。

Copyright © 2026 Texas Instruments Incorporated

9.1.3 デュアル エッジ サンプリング モードについて

デュアル エッジ サンプリング モード (DES1X、DES2XL/H) は、CLK の立ち上がりと立ち下がりのエッジの両方でそれぞれ異なるサンプルを出力し、NRZ、RTZ、RF モードと比較して、同じクロック周波数においてサンプル レートを 2 倍にします。DES1X モード では、両方のクロック エッジ (立ち上がりおよび立ち下がり) に対応する入力サンプルが必要です。一方、DES2XL/H モードでは、立ち下がりエッジのサンプルをデジタル補間によって生成します。2x DES 補間器 は、80% のパスバンド帯域幅と 55dB のストップ バンド減衰特性を持ち、ローパスまたはハイパスとして構成できます (応答は 図 9-1 に示されています)。DES 補間器は DES2XL モードではローパス特性となり、0.4*F_{CLK} 未満の信号を通過させ、0.6*F_{CLK} を超えるイメージ成分を除去します。DES2XH モードでは、0.6*F_{CLK} を超える信号を通過させ、0.4*F_{CLK} 未満のイメージ成分を除去します。0.4*F_{CLK} と 0.6*F_{CLK} の間の遷移帯域では、パスバンドは最大 6dB 減衰し、イメージの減衰量は大きく低下します。

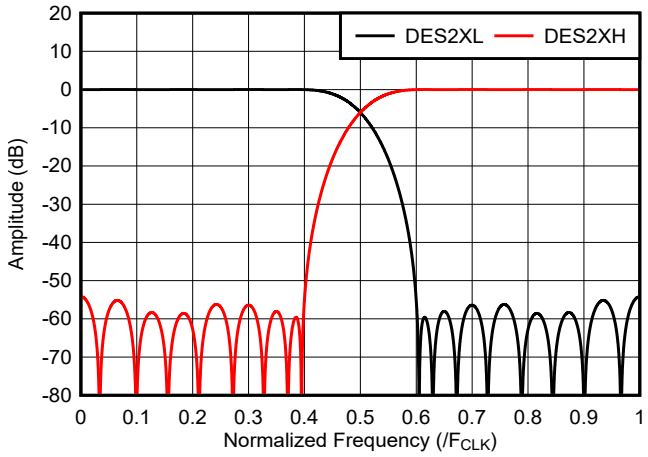


図 9-1. DES インターポレータの周波数応答

50% CLK デューティ サイクルがない場合、F_{CLK} - F_{OUT} で信号の画像が得られます。図 9-2 に、DES2XL/H モードと NRZ/RF モードとの比較における画像の振幅を示します。DES2XL は NRZ モードに対して 30dB 以上の抑圧を提供し、DES2XH は RF モードに対して 20 ～ 30B の抑圧を提供します。これにより、不要なイメージ成分を除去するために DAC の後段で必要となるアナログ フィルタリングを削減できます。

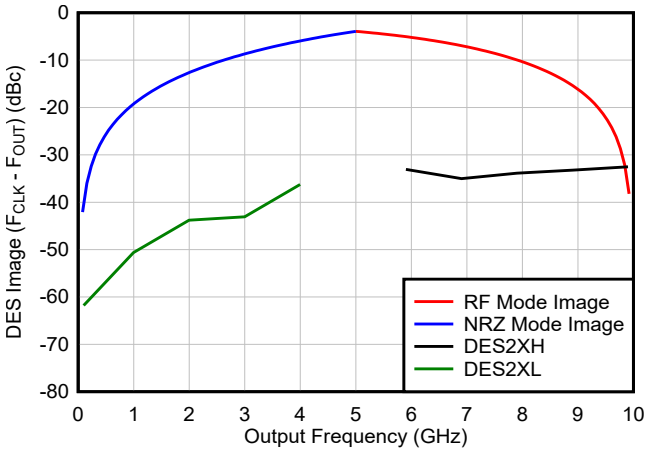


図 9-2. DES2XL/H のイメージ特性の NRZ および RF モードとの比較

NRZ、RF、RTZ、DES2XL、DES2XH 各モードでは、入力クロック周波数および入力データ レートは同じであり、DAC によって生成される出力波形のみが変化します (セクション 7.3.1 を参照)。モードの切り替えは、MXMODE レジスタの設定を変更するだけで行えます。

Copyright © 2026 Texas Instruments Incorporated

図 9-3 は、10GSPS のクロック周波数において、3497MHz のフルスケール トーンに対する DES2XL モードと NRZ モードの比較を示しています。F_{CLK} − F_{OUT} = 6743MHz におけるイメージの低減に加えて、DES2XL モードでは、NRZ モードでは F_{CLK}/2 未満に折り返される高調波も抑圧できます。プロットでは、HD2 のイメージは 3006MHz に現れ、NRZ モードでは -65dBc、DES2XL モードでは -80dBc となっています。同様に、491MHz に現れる HD3 画像は、NRZ モードでは -70dBc ですが、DES2XL モードでは -90dBc を上回るレベルまで改善します。0 と F_{CLK}/2 の間の SFDR は HD2 によって制限されるため、65 ～ 80dBc に改善されます。セクション 6 に示されている DES2XL モードの非直線性仕様は、NRZ モードと同様に 0 から F_{CLK}/2 の範囲で測定されています。一方、DES2XH モードでは F_{CLK}/2 から F_{CLK} の範囲で測定されています。

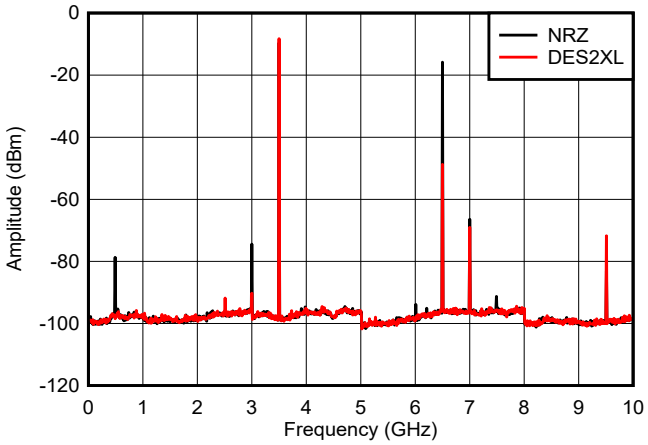


図 9-3. DES2XL モードと NRZ モードの出力スペクトルの比較

RF モードと DES2XH モードは同様に動作します。図 9-4 は、10GHz のクロックにおける 7997MHz のトーンを、RF モードおよび DES2XH モードで示しています。NRZ モードでは、HD2 および HD3 は約 6GHz 付近に折り返し周波数成分として現れますが、DES2XH モードではこれらが 10dB 以上抑圧されます。

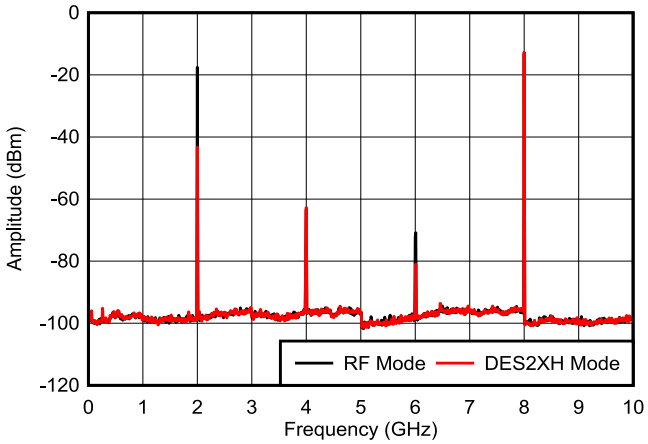


図 9-4. DES2XH モードと RF モードの出力スペクトルの比較

DES2XL は NRZ モードと比較して、オフセット周波数の 1/f 領域における加算位相ノイズが約 6dB 改善するという追加の利点があります (図 9-5 を参照)。これは、DES2XL がクロックの立ち上がりエッジと立ち下がりエッジの両方を使用することで、クロック経路における一部の同相モード ノイズが相殺されるためです。RF モードも立ち下がりエッジを使用して反転サンプルを生成するため、RF モードと DES2XH モードの間に大きな差はありません。

Copyright © 2026 Texas Instruments Incorporated

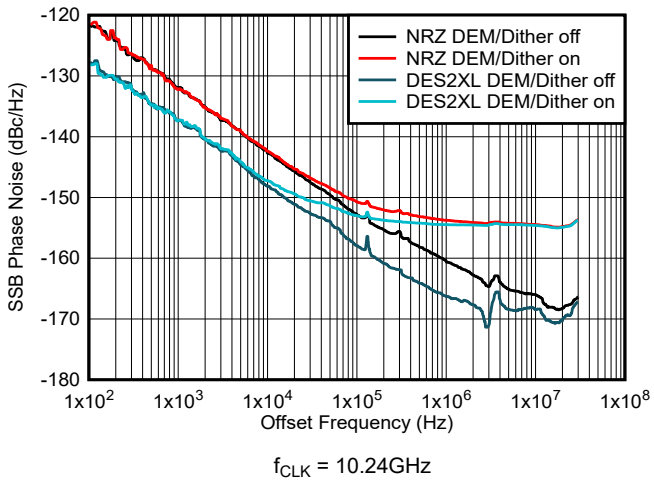


図 9-5. 1GHz における位相ノイズとオフセット周波数の関係

DES2XL および DES2XH モードには、留意すべき小さな欠点が 3 つあります:

1. 0.4*F_{CLK} と 0.6*F_{CLK} の間にある DES 補間フィルタの遷移帯域における信号の減衰
2. DES 補間フィルタにより、レイテンシが 97 クロック サイクル増加する、または 10GHz クロックの場合、約 9.7ns に相当します
3. DES 補間フィルタにより、10GHz クロック時で消費電力が 250mW 増加します

9.1.4 アイ スキャン手順

PHY レイヤには、アイ ダイアグラムを生成するための機能が含まれています。さまざまなモードがサポートされています (モードのリストについては、ES レジスタを参照)。以下のセクションでは、部品からアイ スキャン データを生成する方法、およびアイ ダイアグラムを作成するいくつかの方法について説明します。

1. DUC モード開始手順に従って、デバイスを JESD204C 動作用に構成します。JESD_EN = 1 を設定した後、ここに戻ります。アイ スキャンは JESD204C ビット ストリームで実行できますが、一般的な PRBS 入力スティミュラスと組み合わせて動作させることもできます。アイ スキャンは、有効になっているすべての物理レーンで同時に実行されます。
2. ES を目的のアイ スキャン モードにプログラムします。
3. ES が 8 未満の場合は、ESVO を目的の電圧オフセットにプログラムする必要があります。その他のモードでは、アイ スキャン ロジックによってアイ スキャン サンプラーの電圧オフセットが自動的に調整されます。
4. ESPO を目的の位相オフセットにプログラムします。
5. ES_BIT_SELECT を 0 ～ 19 の値にプログラムします。アイ スキャンは、受信ビットの 20 ビットごと (20 分の 1 にデシメーション) を解析します。ES_BIT_SELECT はこのデシメーション位相を調整します。ランダムなスティミュラスの場合、これは結果に影響を与えません。入力に繰り返しパターンがある場合、結果に影響を与える可能性があります。
6. 目的のサンプル数に ESLEN をプログラムします。設定値を高くすると、一貫性のある結果が得られます。
7. ECOUNT_CLR = 1 に設定してから、ECOUNT_CLR に設定して、エラー カウンタをクリアします。この手順は推奨されますが、必要に応じて省略することができます (複数のアイ スキャン実行からカウントを追加する場合など)。ECOUNT を使用しない場合も、これを省略することができます (ES が 8 以上のモードの場合)。
8. ESRUN = 1 をプログラムして、スキャンを開始します。
9. アイ スキャンを実行するレーンごとに ESDONE が 1 を返すまで ESDONE をポーリングします。
10. 選択したアイ スキャン モードでアイ スキャン電圧オフセット (内側 / 外側 / 平均モード) が変更された場合は、ESVO_S を読み取り、内側 / 外側 / 平均アイ境界を取得します。他のアイ スキャン モードでは、ECOUNT を読み取って、記録された不一致 (または一致) の数を返します。
11. ESRUN = 0 をプログラムします。

Copyright © 2026 Texas Instruments Incorporated

12. 手順 2 に戻り、別のアイ スキャン データ収集プロセスを実行します。レシーバは、手順 2 ～ 12 を複数回の繰り返す間、有効にしたままにすることができます。

アイ スキャン機能を使用してアイ ダイアグラムを作成するには、2 つの基本的なアプローチがあります。

1. 1.ESVO_S を使用した迅速なアプローチ:
   a. ESPO の有効な各値に対して、上記の手順を繰り返します。ESPO の各値について、0 と 1 の内側のアイの分析を実行します。これにより、ESPO の各値に対して最大 0 ($ESVO_{max0}$) と最小 1 ($ESVO_{min1}$) が配置されます。
   b. $ESVO_{max0}$ と $ESVO_{min1}$ (両端を含む) の間のアイのすべてのセルは黒になり、その他のすべてのセルは白になります。
   c. 外側および / または平均分析を含めることで、アイ ダイアグラムに詳細を追加できます (ES を参照)。たとえば、平均分析から生成された ESVO_S 値は赤で表示されますが、内側と外側の値は白で表示されます。
2. ECOUNT を使用した詳細なアプローチ:
   a. 不一致をカウントするアイ スキャン モードを選択します。ESVO および ESPO の有効な各値に対して、上記の手順を繰り返します。
   b. 各実行後に ECOUNT の値を記録します (各実行の前に ECOUNT をリセットします)。
   c. 各アイ スキャンの実行は、アイ ダイアグラムの 1 つのセルに対応しています。ESPO は、セルの x 座標です。ESVO は、セルの y 座標です。セルの強度は ECOUNT/Nsamples に比例します。ここで、Nsamples は 1 回の実行あたりに解析されたサンプル数 (ESLEN によって決定) です。
   d. このアプローチは実行にはるかに時間がかかりますが、より詳細なアイ ダイアグラムを提供できます。

9.1.5 プリ / ポスト カーソル解析手順

プリ カーソルおよびポスト カーソル解析を用いることで、トランスミッタのプリエンファシスの最適設定を決定できます。

1. 必要に応じて、JESD_EN = 0 をプログラムします。EQMODE = 1 をプログラムします。JESD_EN = 1 をプログラムし、イコライザが適応してセトリングするのに十分な時間を確保します。EQLEVEL_S を複数回読み出して、値が安定しているか、または隣接する値の間で切り替わっていないかを確認できます。
2. EQHOLD =1 に設定して、イコライザをロックします (適応を無効化)。この結果、EQOVER および EQUNDER フィールドが low になります。
3. 少なくとも 48UI を待ち、CDR アクティビティが 100% 未満の場合はそれに比例して長く待機して、EQHOLD の 1 がサンプリングされ、それに基づいて処理されることを確認します。SPI は十分に遅いため、明示的な遅延が必要ありません。
4. EQMODE を 2 または 3 に設定して、プリ カーソルとポスト カーソル分析をそれぞれ選択します。個別の SPI トランザクションを使用する場合は、EQHOLD = 0 に設定します。受信した信号のイコライゼーション特性を分析します (イコライザ応答は引き続きロックされます)。
5. CDR アクティビティが 100% 未満の場合は、少なくとも 150,000UI 待って分析が実行されるまで待機します
6. EQOVER と EQUNDER を調べて、分析結果を確認します:
   a. EQOVER が high の場合、信号が過度にイコライズされています。
   b. EQUNDER が high の場合、信号はイコライズ不足です。
7. EQHOLD = 1 に設定します
8. トランスミッタのプリエンファシスを調整し、必要に応じて手順 3 ～ 7 を繰り返します。
9. EQMODE = 1 に設定し、個別の SPI トランザクションで EQHOLD = 0 に設定すると、分析モードが終了し、通常のアダプティブ イコライゼーションに戻ります。

9.1.6 スリープ モードとディセーブル モード

DAC 出力を電源オフにする、または一時的に無効化する方法はいくつかあります。デバイス回路の非対称な経年劣化を防ぐため、一部のオプションでは DAC から低レベル出力を維持します。表 9-1 に、DAC 出力をスリープまたはディスエーブルするオプションを示します。

最も大きな消費電力削減が得られるのはフル パワーダウン時であり、これは MODE レジスタを 0x3 に設定することで有効になります。このモードでは、非対称な経年劣化を防ぐために低レベルの出力信号が維持されます。全面的な省電力モードからフル動作状態へ復帰するには、数百マイクロ秒を要します。

対応する MXMODE レジスタを 0x6 に設定することで、DAC 出力の一方または両方を無効化できます。これにより一定の消費電力を削減でき、非対称な経年劣化を防ぐために DAC は低レベルの信号を出力します。一方のチャネルのみを無効化した場合、無効化されたチャネルからの低レベルのスプリアスが有効なチャネルに回り込み、約 -80dBFS 付近のスプリアスを発生させることがあります。

TX イネーブル機能は、TXEN0/1 ボールまたは TX_EN レジスタを介して、デジタル コードを 0 (ミッドスケール) に強制することにより、DAC 出力を迅速に無効化する手段を提供します (TX ENABLE のレイテンシについてはセクション 6.9 を参照)。QUITE_TX_ENABLE レジスタが 0 に設定されている場合でも、飽和を防ぐために出力には低レベル信号が維持されます。QUITE_TX_ENABLE が 1 に設定され、かつデータに依存しない DEM およびディザリングが有効になっている場合、これにより非対称な経年劣化を防止できます。DEM およびディザリングが無効化されている場合、または DEM がデータに依存する DEM に設定されている場合、このモードで長時間動作すると、デバイスの寿命にわたって DAC 特性が劣化する可能性があります。この劣化はチャネル固有のものであり、無効化されているチャネルのみに影響します。

表 9-1. DAC スリープおよび出力ディスエーブル オプション

オプション	MXMODE	TX_EN	QUIET_TX_DISABLE	DEM	ディザリング	Low レベル出力	長期的劣化	節電
全面的な省電力モード (MODE = 0b11)	-	-	-	-	-	あり	なし	最も多い
DAC の無効化	6	1	-	-	-	あり	なし	ある程度
TX イネーブル	任意	0	0	-	-	あり	なし	最も少ない
TX イネーブル	0-5	0	1	0.1	0.1	なし	なし	最も少ない
TX イネーブル	0-5	0	1	2、3	3	なし	あり	最も少ない
TX イネーブル	6	0	1	0.1	0.1	なし	なし	最も少ない
TX イネーブル	6	0	1	2.3	3	なし	あり	最も少ない

DAC が全面的な省電力モード状態にある場合、スリープ中の DAC 出力の同相モード電圧は 2V 未満に維持する必要があります。AC 結合出力の場合、バイアスは通常、インダクタまたはバランのセンター タップを介して 1.8V に供給され、その結果、同相モード電圧も 1.8V に固定されます。DC 結合出力では、一般に 1.8V を超える電圧 (例:2.3V) へ抵抗を介して終端されます。この場合、同相モード電圧を 2V 未満に抑えるために、十分な DAC 出力電流を供給する必要があります。これは、以下の式に従って DACx_CBIAS_SLEEP (DACA はアドレス 0x724 のビット 7:4、DACB はアドレス 0x726 のビット 7:4) を設定することで実現できます:

$$DAC_CBIAS_SLEEP = ceil\left(\frac{2 \cdot \frac{V_{BIAS} - V_{OUT_CM_SLEEP}}{R_{TERM}} - 7.36mA}{1.47mA}\right) \quad (4)$$

ここで

- V_{OUT_SLEEP} は、スリープ時の DAC 出力の同相モード (≤ 2V) です
- V_{BIAS} は外部 DC バイアスです
- R_{TERM} は、V_{BIAS} への外部バイアス抵抗 / 終端です
- ceil はセイリング演算子 (整数切り上げ) です

9.1.7 放射線環境に関する推奨事項

放射線環境で製品を使用する際は、環境条件に十分配慮する必要があります。表 9-2 に、デバイスの機能の放射線耐性の概要を示します。

Copyright © 2026 Texas Instruments Incorporated

表 9-2. 放射線耐性の概要

特長	放射線耐性
書き込み可能な SPI レジスタ （書き込み/クリアレジスタを除く）	アップセット耐性のあるフリップフロップで実装済みです。放射線によって状態が変化することはありません。
*定数値を返す*読み出し専用 SPI レジスタ	放射線は状態 (CHIP_TYPE、CHIP_ID、CHIP_VERSION、VENDOR_ID) に影響を与えません
JESD204C の物理層またはリンク層に関連する、読み取り専用の SPI ステータスレジスタ（書き込みクリアレジスタを除く）	返される値は、放射線の影響を受ける可能性があります (SYSREF_POS、LINK_UP、JSYNC_STATE、PLL_LOCKED、LANE_ARR、FIFO_STATUS、JCAP_STATUS、JCAP、BER_CNT、LANE_EQS、ESDONE、ESVO_S、ECOUNT、RXDMUX、CDRPHASE、RXCSA_S)。
FUSE_DONE レジスタ	FUSE_DONE は、アップセット耐性です。
OCSTS レジスタ	PHY が初期化され、オフセットキャリブレーションが完了すると、OCSTS はアップセット耐性のあるオフセット値を返します。ただし、アップセットが発生すると PHY PLL のロック機能が失われる可能性があり、これによってオフセットキャリブレーションプロセスが再トリガされ、新しいオフセットキャリブレーション値が生成される可能性があります。
スティッキー SPI ステータス レジスタ （書き込みでクリア）	これらのビットは、アップセットに脆弱なロジックで特定のイベントが発生したときにセットされます。アップセットによりイベントが発生し、スティッキービットをセットする可能性があります。また、アップセットはスティッキービットがセットされるのを防ぐ場合もありますが、発生の可能性のある時間枠が小さいため、その可能性は高くありません。スティッキー ビットがセットされると、アップセットによってスティッキービットはクリアされません (SPI が読み取ったフロップは、アップセット耐性です)。 例：LANE_ERR、PLL_LOCK_LOST、SYS_ALM、REALIGNED、CLK_REALIGNED。
JESD204C レシーバ	JESD204C レシーバにアップセット耐性はありませんが、機能的な割り込みが発生しないように設計されています（アップセットからの自動回復が可能）。JESD204C の信頼性をご覧ください。
補間フィルタ（DUC および DES2X フィルタ）	補間フィルタは、アップセット耐性がなく、アップセット時にグリッチが発生する可能性があります。フィルタは、機能割り込みによる影響を受けません。
DUC の NCO	NCO の放射感度は未定です。
温度センサ	温度センサー内の ADC には、アップセット耐性がありません。信頼性を向上させるために、TS_TEMP を 3 回以上読み取り、その中央値を算出することが推奨されます。

9.1.7.1 SPI のプログラミング

SPI インターフェイスおよびレジスタ セットは、アップセット耐性ロジックで実装されています。書き込み可能な SPI レジスタの状態は、放射線によって変更されません。Fast Reconfiguration インターフェイスはアップセットされないため、放射線環境ではイネーブルにしないでください。

9.1.7.2 JESD204C の信頼性

JESD204C レシーバは、高速フリップフロップを使用して実装されていますが、シングルアップセットに耐性がありません。その結果、JESD204C リンクは放射線にさらされることで、さまざまなエラーを生じる可能性があります。

リンク全体の信頼性を向上させ、アップセットから自動的に回復できるようにするため、いくつかの推奨事項に従う必要があります。

1. SUBCLASS=1 を設定することで、subclass 1 を操作します。
2. 64b/66b リンクエンコード（JENC=1）は、8b/10b エンコードよりも優先されます。64b/66b リンク層はフルタイムブロック信号と EMB 同期（パイロット）信号を提供するため、放射線によるずれを迅速に一貫して検出できます。これに対し

Copyright © 2026 Texas Instruments Incorporated

て、8b/10b リンク レイヤは出現頻度の高くない同期文字に依存しているため、位置ずれの検出に時間がかかります。

3. 周期的で連続した SYSREF 信号を使用します。Tx および Rx デバイスで、SYSREF 整列は常に有効な状態にしておきます。放射線によって Tx または Rx の LMFC/LEMC が乱れた場合でも、SYSREF 信号がそれらの位相を再確立し、Rx と Tx の同期を維持します。この推奨事項に従わない場合、放射線によってリンクレイテンシーが恒久的に変化するか、レーンが恒久的にミスアラインを起こしたりする可能性があります（永続的で破損したサンプルが DAC に送信されます）。
4. 4.SerDes 受信機にデータを供給する送信側ロジックデバイスは、放射線耐性を考慮して設計する必要があります。推奨事項：
   a. 可能であれば、継続的にカウンタを SYSREF に調整します。
   b. FIFO には、オーバーフロー / アンダーフロー状態を引き起こす可能性のあるアップセットを検出し、自動的に回復する手段を備える必要があります。
5. ユーザーは、機能的な割り込みからの追加の保護レベルを得るために、JTT をプログラムできます。

9.1.7.3 NCO の信頼性

NCO には放射線耐性フリップフロップは含まれていません。ただし、以下の各セクションで説明する 2 つの一般的な方法を用いることで、アップセット事象から NCO が回復できるようにすることができます。

9.1.7.3.1 NCO 周波数および位相補正 (戦略 #1)

この方式は、周期的な基準信号を使用して、NCO アキュームレータで発生したアップセットを補正します。この戦略は、フェーズドアレイシステム、または NCO 位相が他のシステムコンポーネントとのコヒーレンスを保つ必要があるその他のシステムに適しています。

1. 各同期イベントでアキュームレータがリセットされるように設定するには、NCO_AR=1 をプログラムします。
2. NCO の同期ソースとして SYSREF を使用するように設定します (NCO_SYNC_SRC = 2)。SPI_SYNC = 1 をプログラムします。
3. SYSREF ジェネレータが連続的 / 周期的出力用に設定されていることを確認します。
4. アキュームレータは定期的にリセットされるため、プログラムされた NCO 周波数が SYSREF 周波数の整数倍であることを確認する必要があります。SYSREF の周波数を決定する際には、システムが必要とする周波数ラスタを考慮する必要があります。
5. ユーザーが、周波数ラスタを満たし、かつマルチフレーム / EMB 周波数のサブハーモニックでもある SYSREF 周波数を選択できない場合は、JESD204C データ ストリームの LSB を使用して、NCO を周期的に同期させます。NCO_SYNC_SRC = 3 に設定し、DUC0 の I サンプルの LSB に周期的な基準信号を入力します。
6. いずれかの NCO アキュームレータまたは内部周波数レジスタにアップセットが発生した場合、次回の同期イベント時に復元されます。

9.1.7.3.2 NCO 周波数補正 (戦略 #2)

この方式でも周期的な同期信号を使用しますが、NCO アキュームレータはリセットされません。同期信号によって補正されるのは、各 NCO 内部の周波数レジスタのみです。これにより、アップセット発生後に NCO は適切な周波数に戻りますが、NCO の位相は補正されません。この方式は、時折発生する任意の位相ジャンプを許容できる非位相アレイ システムに適しています。

1. 同期イベントでアキュームレータがリセットされないように設定するには、NCO_AR=0 をプログラムします。
2. NCO の同期ソースとして SYSREF を使用するように設定します (NCO_SYNC_SRC = 2)。SPI_SYNC = 1 をプログラムします。
3. SYSREF ジェネレータが連続的 / 周期的出力用に設定されていることを確認します。
4. アキュームレータが周期的にリセットされないため、ユーザーは SYSREF 周波数に関係なく任意の NCO 周波数を設定できます。SYSREF の周期は、引き続きマルチフレーム/EMB 周期の倍数である必要があります。

Copyright © 2026 Texas Instruments Incorporated

5. NCO が動作している間、内部周波数レジスタへの任意のアップセットは、次の SYSREF パルスで補正されます（周波数ワードは SEU 耐性 FREQ レジスタから再コピーされます）。NCO は、正しい周波数に戻る前に (ただし任意の位相で) 不適切な周波数で短時間動作します。

9.2 代表的なアプリケーション

9.2.1 S バンド レーダー トランスミッタ

9.2.2 設計要件

S バンドは、2GHz ～ 4GHz の周波数範囲です。この例では、信号帯域幅が 200MHz、中心周波数が 3.2GHz のレーダーを使用しています。

ドップラーレーダーは、返された信号内での周波数シフトを使用して、物体の速度を測定します。たとえば、グラウンドクラッターなどからの大きな反射信号は、TX および RX 位相ノイズと混ざり合い、小さな移動物体からの戻り信号を圧倒する可能性があります。この結果、レーダー チャープの近接位相ノイズに対して、近接位相ノイズの要件が課せられます。

レーダーはスプリアス信号にも敏感であり、この例では、帯域内の SFDR に対して 90dBFS が必要であると想定しています。

9.2.3 詳細な設計手順

表 9-3 に、設計パラメータの概要を示します。250MSPS 複素の入力サンプルレートで 200MHz の信号帯域幅がカバーされ、TX サンプルレートを 8GSPS に増加させるために 32x の補間が使用されます。このデバイスの数値制御発振器（NCO）は、TX 出力に 3.2GHz の信号を配置するために使用されます。DES2XL モードでは、追加で 2 倍の補間が適用され、サンプル レートは 16GSPS に増加します。

DES2XL モードでは、4.7 ～ 4.9GHz におけるイメージ成分の抑圧は、2 倍 DES 補間器によって 40dB に制限されます。

低オフセット周波数の位相ノイズを最適化するため、DEM とディザリングが無効になります。

JESD204C インターフェイスは JMODE 5 に構成され、4 ストリーム (2 IQ ペア) を使用し、各 IQ ペアにつき 1 本の Serdes レーンが割り当てられています。64/66 ビットエンコーディングにおいて、Serdes のボーレートは 8.25Gbps です。

表 9-3. S バンド トランスミッタにおける設計パラメータ

パラメータ	値
入力クロック	8GHz
DAC サンプル レート	16GSPS
出力モード	DES2XL
DEM とディザリング設定	オフ
TX 補間係数	32x
TX 入力レート	250MSPS 複素
NCO 周波数	3.2GHz
JMODE	5
# ストリーム	4（2x IQ ペア、1/DAC）
# Serdes レーン	2
エンコード	64/66
Serdes ボーレート	8.25Gbps

Copyright © 2026 Texas Instruments Incorporated

9.2.4 詳細なクロッキング サブシステムの設計手順

ドップラ レーダー、量子コンピューティング、ワイヤレス試験などのアプリケーションにおける DAC39RF10-Sx および RFS10-Sx の主な利点の一つは、X バンド (12GHz) までの範囲で、非常に低い位相ノイズの信号を直接合成できることです。DAC の極めて低い付加位相ノイズ性能を最大限に活用するには、高性能なクロックが必要です。

多くのシステムにおいては、サイズ、重量、面積、消費電力、コスト (SWAP-C) の影響も同様に重要です。これは、各システム アーキテクトがシステム要件に基づき、性能とシステム全体の SWAP-C との間のトレードオフを検討する必要があることを意味します。このセクションでは、SWAP-C と性能のトレードオフに基づく 3 つのクロック構成例を紹介します。

図 9-6 は、内蔵 PLL + VCO、外付け高性能 VCO を使用した内蔵 PLL、および完全ディスクリート構成の高性能アナログ PLL によって生成された 8GHz サンプル クロックの位相ノイズのプロットを示しています。すべての例では、シンセサイザへの入力としてリファレンス クロックが供給されることを前提としています。このリファレンス クロックは、低コストの表面実装型水晶発振器から高価なリファレンス クロックのサブシステムまで幅広く選択できます。比較のために、8GHz における DAC39RF10-Sx および RFS10-Sx の付加位相ノイズも示しています。アナログ PLL を使用した場合であっても、オフセット周波数が 5MHz 未満の領域では、クロックの位相ノイズが DAC39RF10-Sx および RFS10-Sx の出力位相ノイズを劣化させます。

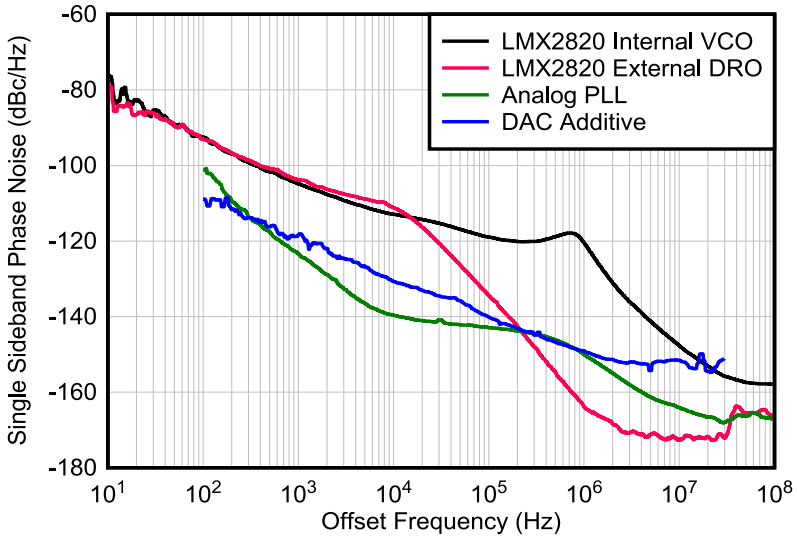


図 9-6. デバイスの付加位相ノイズを含む DAC クロック例の位相ノイズ

9.2.4.1 事例 1：SWAP-C の最適化

最適な SWAP-C サブシステムは、LMX2820 のような最新の PLL + VCO デバイスが提供する高い集積度を活用します。図 9-7 は、クロッキング サブシステムのブロック図を示しています。外部リファレンス クロックが LMX2820 の入力に供給され、その後、内部の PLL + VCO をロックするために使用されたのち、出力バッファへ送られます。ループ フィルタを構成し、サブシステムを完成させるために必要なのは外付けの受動部品のみです。

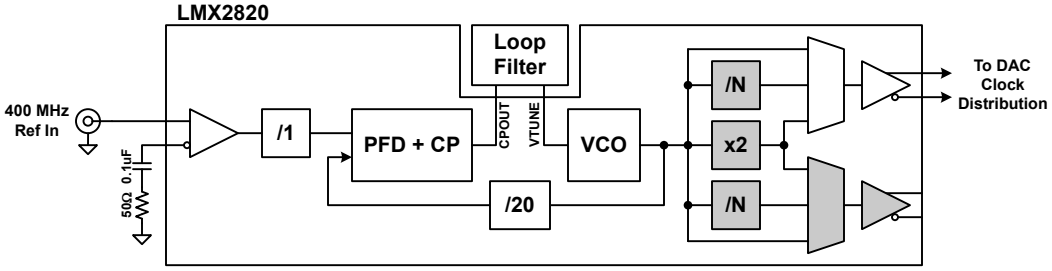


図 9-7. 内部 VCO を内蔵した LMX2820

Copyright © 2026 Texas Instruments Incorporated

LMX2820 は柔軟性の高いデバイスですが、設定項目が多く、構成が複雑に感じられる場合があります。例えば、分周器の設定方法を決めたり、ループ フィルタの部品定数を設定したりする必要があります。位相ノイズを最適化するには、いくつかの高レベルのガイドラインを考慮できます。

まず、LMX2820 は可能な場合は分数モードではなく常に整数モードで動作させます。これは、基準クロックと出力クロックの関係が一般的な形式に従うことを意味します:

$$F_{OUT} = (F_{REF}/N_{REF}) \times N_{DIV}/N_{OUT} \quad (5)$$

ここで、N_{REF}、N_{DIV} および N_{OUT} は、それぞれ基準分周器、フィードバック分周器、および出力分周器を表します。F_{REF} は入力基準周波数であり、F_{OUT} は DAC クロックとして使用される出力周波数です。この比率が得られない場合は、全体の位相ノイズが悪化するという代償を伴いますが、分数モードを使用する必要があります。

次に、帯域内位相ノイズを最小化するには、位相検出器周波数を最大化し、フィードバック分周器を最小化することが重要です。LMX2820 の最大位相検出器周波数は 400MHz であり、最大 200MHz のリファレンス入力に対しては、オプションのリファレンス ダブラを使用できます。同じ出力周波数において、位相検出器周波数を 2 倍にし (同時にフィードバック分周比を半分にする) ごとに、帯域内位相ノイズは 3dB 低減します。

8GHz 出力の場合、400MHz の最大位相検出器周波数を使用します。N_{REF} = 1、N_{DIV} = 20、N_{OUT} = 1 (分周器バイパス) に設定します。帯域内ノイズがわずかに劣化することを許容すれば、入力を 200MHz に設定し、リファレンス ダブラを使用することができます。

第三に、リファレンス入力上のいかなるノイズも、帯域内ノイズが支配的になる前の近接位相ノイズに影響を与えることに注意してください。帯域内ノイズは、PLL ノイズ (位相検出器、チャージ ポンプ、および分周器) と VCO ノイズの組み合わせで構成されます。一方、広帯域ノイズは出力バッファのノイズ フロアによって制限されます。近接ノイズはデバイスのフリッカー ノイズによって制限され、これは位相検出器周波数には依存せず、出力周波数に対して 20 x LOG_{base10} の割合でスケールします。

最後に、LMX2820 を 11GHz を超える周波数で動作させる場合は、内蔵出力ダブラを使用する必要があります。その結果、サブハーモニック (出力周波数の 1/2) が発生し、システム要件に応じてハイパス フィルタまたはバンドパス フィルタによる外部フィルタリングが必要になる可能性があります。LMX2820 の出力段にナロー バンドのバンドパス フィルタを追加することで、広帯域ノイズを抑制することも可能です。

外付けループ フィルタの受動部品値を設計するために、TI から PLLatinumSim ソフトウェアが提供されています。

9.2.4.2 事例 2：位相ノイズの改善、LMX2820、外部 VCO 付き

外部 VCO を使用することで、帯域内ノイズおよび広帯域ノイズを大幅に改善できます。位相ノイズ特性は、一般に電圧制御水晶発振器 (VCXO)、電圧制御表面弾性波発振器 (VCSO)、誘電体共振発振器 (DRO) などの狭帯域 VCO を使用した場合に最も良好になります。この設計では、広帯域ノイズ (-170dBc/Hz) および低フリッカー ノイズ コーナー (1MHz において -160dBc/Hz) を実現するために、Synergy Microwave 製 8GHz DRO (SDRO800-8) を使用しています。DRO は通常、約 5 ～ 25GHz 以上の範囲で使用できます。

図 9-8 に、シンセサイザのブロック図を示します。ノイズ性能を向上させ、DRO に必要なチューニング電圧範囲 (0 ～ 10V) を拡張するために、外付けのアクティブ ループ フィルタを使用します。DRO 出力は分割され、一つの出力が LMX2820 にフィードバックされ、もう一つの出力は DAC クロック分配ネットワークに送信されます。

Copyright © 2026 Texas Instruments Incorporated

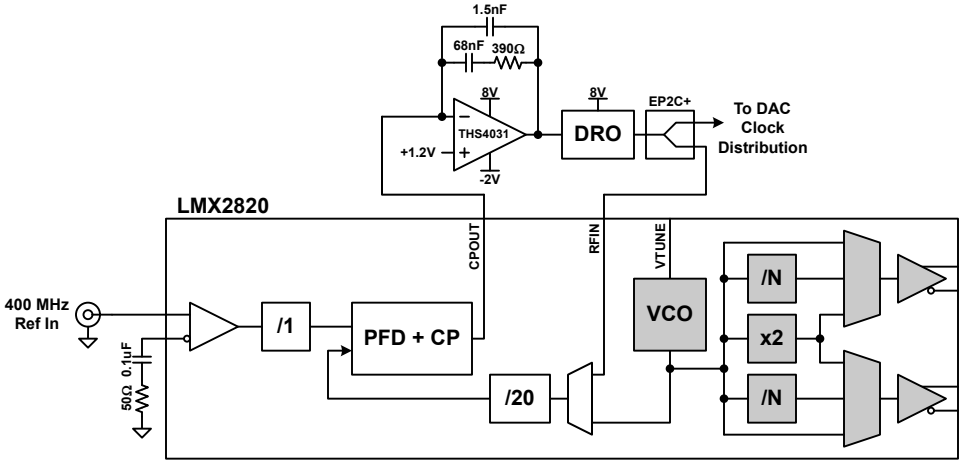


図 9-8. 外部 VCO を搭載した外部 LMX2820

この実装では、PLL のフリッカー ノイズと DRO のオープン ループ ノイズが交差する点付近となるように、ループ帯域幅を約 24kHz に設定しました。この結果、全体的な積分位相ノイズは最善の結果になります。出力バッファを使用していないこと、および DRO が約 -170dBc/Hz という優れた広帯域ノイズ特性を持つことにより、完全統合例と比較してノイズ フロアは約 10 dB 改善されています。

内蔵 VCO と同様に、PLLatinumSim ソフトウェアを使用してループ フィルタ コンポーネントを設計できます。

9.2.4.3 事例 3：ディスクリート アナログ PLL による DAC 性能の最適化

位相ノイズ性能が最重要となる場合、ディスクリート構成のアナログ PLL (APLL) は、集積型と比べて大幅に低い位相ノイズを実現できます。そのトレードオフとして SWAP-C が増加します。図 9-9 は、そのような構成のブロック図を示しています。この構成では、前述の LMX2820 の外部 VCO の例で使用したものと同じ Synergy Microwave 製の 8GHz DRO を用いています。

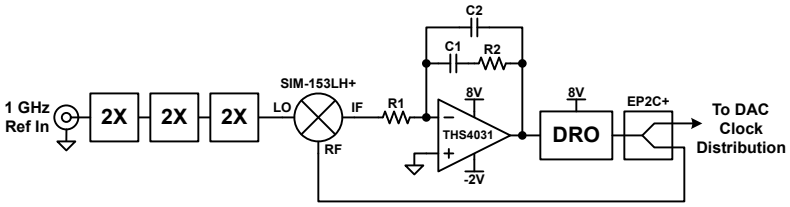


図 9-9. ディスクリート アナログ PLL

APLL は、位相ノイズを著しく悪化させるデジタル分周器および位相検出器を使用しないことにより、従来の例を上回る性能を実現します。代わりに、受動型のダイオード ベース周波数のマルチプライヤおよびミキサが使用されており、これらは付加位相ノイズへの寄与が小さいものとなっています。すべてのシンセサイザと同様に、最良の性能を得るためには、APLL のループ帯域幅より低いオフセット周波数において優れた近接位相ノイズ特性を持つ周波数リファレンスが必要です。

この場合、1GHz のリファレンスが選択されました。これは、その周波数がサンプル レートの分周に都合がよく、R&S SMA100B RF 信号発生器の出力として、あるいは Wenzel Associates 製のスタンドアロン ユニットとして入手可能であるためです。

すでに説明したように、APLL はデジタル デバイダや位相検出器を使用しておらず、位相ノイズが大幅に低下します。代わりに、パッシブ マルチプライヤ段を使用して、基準電圧を出力周波数に乗算します (図 9-10 を参照)。受動型ミキサを位相検出器として使用し、その出力を低ノイズのオペアンプによるループ フィルタへ入力します。DRO の出力は分配され、一方は DAC クロック分配ネットワークへ送られ、もう一方はミキサの RF ポートへフィードバックされます。

Copyright © 2026 Texas Instruments Incorporated

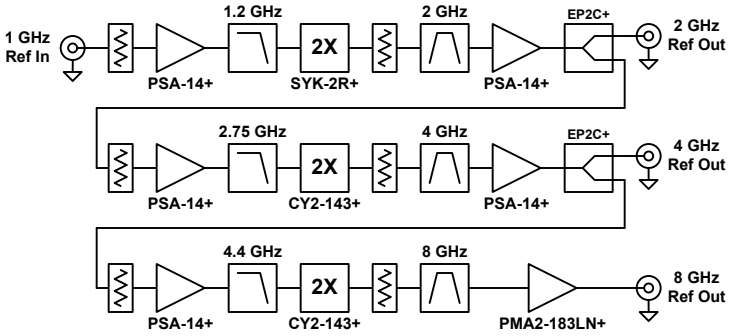


図 9-10. リファレンス マルチプライヤ チェーン

マルチプライヤ チェーンでは、低ノイズのアンプ、パッシブ ダイオード マルチプライヤ、およびバンドパス フィルタが使用されます。この回路部分において最も重要なのは、PLL のループ帯域幅以下のオフセット領域における近接位相ノイズです。すべてのアンプが優れた近接位相ノイズ特性を示すわけではなく、特に飽和付近や圧縮領域で駆動した場合にはその傾向が顕著です。一般に、ヘテロ接合バイポーラ トランジスタ (HBT) アンプはフリッカー ノイズが低く、圧縮領域で駆動した場合でも良好に動作します。

マルチプライヤによっては十分に抑圧されない F_{IN} および 3 × F_{IN}/2 の高調波を除去するために、バンドパスフィルタが選択されました。一部の実装では、駆動アンプにフィルタを追加することで、高調波抑圧性能の劣化を防ぐことができます。この信号チェーンは実験的に最適化されていますが、反射やアンプの動作条件を管理するために、ステージ間に追加の減衰を挿入することも可能です。

ループ フィルタの帯域幅は、開ループの DRO 位相ノイズが乗算されたリファレンス ノイズと交差する付近に設定されており、ダンピング係数は、積分位相ノイズを最小化するように滑らかなロール オフが得られる値に設定されています。オプションの追加の帰還コンデンサを使用すると、必要に応じてロール オフを高速化できます (C2 は、C1 がおよそ 1/10 ～ 1/100 に設定)。ループ フィルタ部品の値は、この設計では実験的に決定されています。

一部の実装では、ループがロックを取得するのに役立つスタートアップ回路が必要になります。実際には、初回の電源投入だけでループは引き込み動作を行い、ロックしました。

9.2.4.4 10GHz クロック生成

より高いサンプル レート用には、複数のオプションを使用できます。まず、目的の周波数で直接動作する DRO を選択し、それに応じてマルチプライヤ チェーンおよび / または基準周波数を調整することができます。

別の方法として、分周器およびミキサーを使用して、APLL の出力をより高い新しい周波数に変換する方法があります。10GHz のクロック シンセサイザの例を図 9-11 に示します。これは、前述のリファレンス マルチプライヤ チェーンおよび APLL を使用し、さらにミキシング段を追加して DAC クロックを 8 から 10GHz へ変換します。

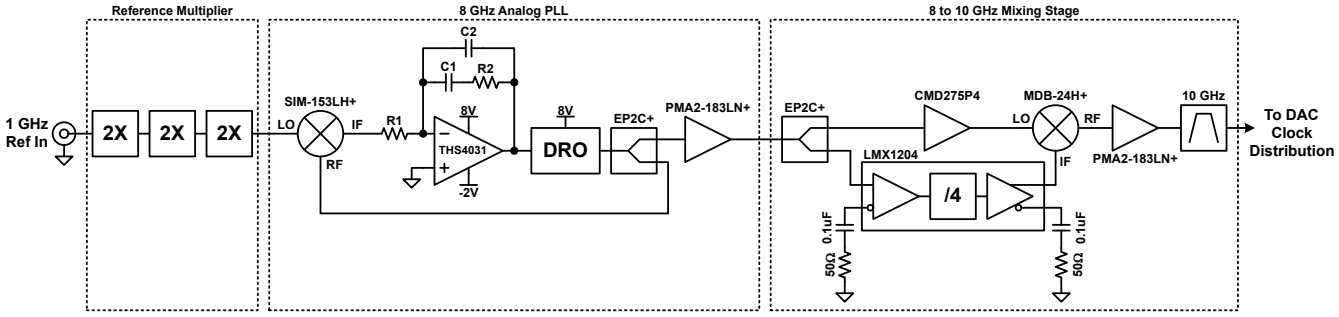


図 9-11. 10GHz クロック シンセサイザ

LMX1204 は、バッファ、マルチプライヤ、または分周器として動作できます。この場合、LMX1204 は 8GHz の APLL 出力を 4 で分周するために使用され、その出力を入力信号とミキシングしてクロックを 10GHz へ変換します。ミキシング後

Copyright © 2026 Texas Instruments Incorporated

には、LO のフィードスルーおよび不要なミキシング生成物を除去するために、バンドパス フィルタが必要です。図 9-12 は、10GHz にスケーリングされた 8GHz の入力信号と、ミキシング後に得られる 10GHz 信号を示しています。

リファレンス マルチプライヤ チェーンと同様に、最良の位相ノイズ特性を得るためには、部品および動作点の選定に特別な配慮が必要です。ミキサの IF 入力に供給する前に、LMX1204 の二つの出力を電力合成することで、ノイズ フロアがわずかに改善することが確認されています。

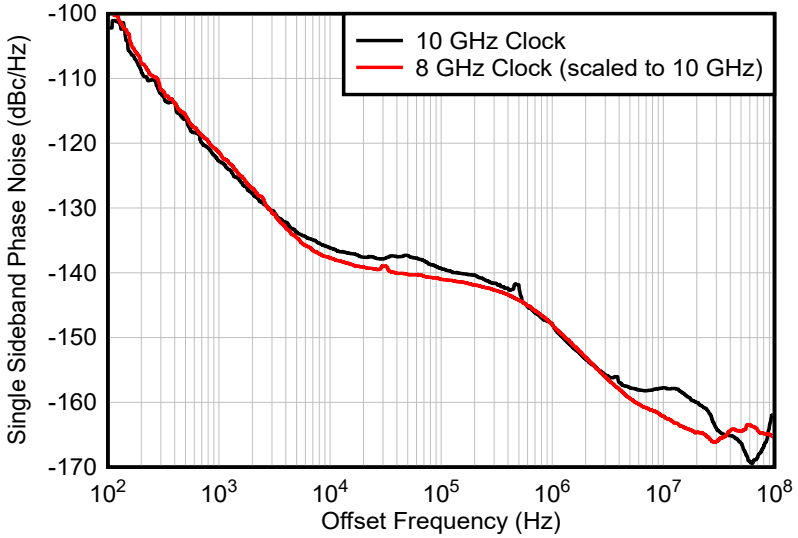


図 9-12. 8GHz および 10GHz のクロック位相ノイズ

9.2.5 アプリケーション曲線

テストに使用されるレーダーチップの波形は、非線形周波数変調（NLFM）パルスであり、250MSPS の複素入力レートで 4,096 サンプルに対応します。ベースバンドでは、周波数は −100MHz から +100MHz までランプ状に変化し、式 6 によって開発された周波数ランプ曲線に従います [Price R. Chebyshev Low Pulse Compression Sidelobes via a Nonlinear FM。URSI の全国無線科学会議：ポートサイード、エジプト：1979.]、T = 4096 サンプル付き、B = 0.8、B_l = 0.5611 および B_c = 0.238。

$$f(f, B_l, B_c) = B \times \frac{t - T/2}{T} \times \left(B_l + \frac{B_c}{\sqrt{1 - 4\left(t - T/2\right)^2 / T^2}} \right) \quad (6)$$

NLFM チャープの周波数ランプは図 9-13 に示され、複素時間領域ベースバンド波形は図 9-14 に、ベースバンド周波数スペクトルは図 9-15 に、自己相関は図 9-16 に示されています。

Copyright © 2026 Texas Instruments Incorporated

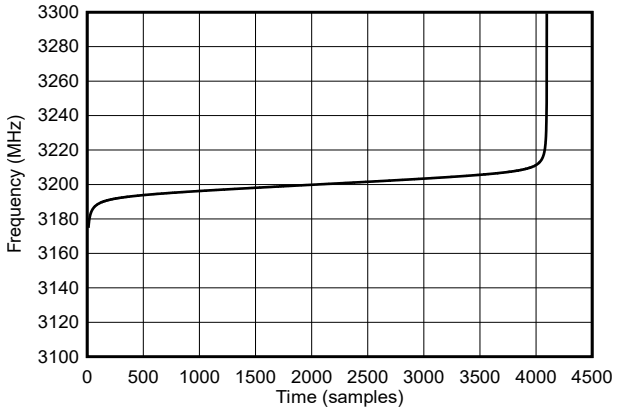


図 9-13. NLFM 周波数ランプ

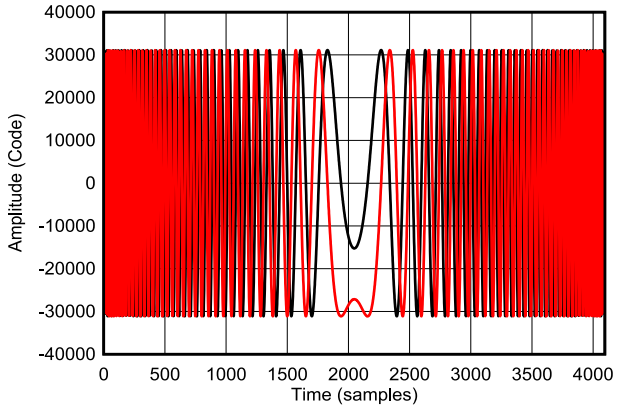


図 9-14. NLFM チャープの複素時間領域 (赤 = 実部、黒 = 虚部)

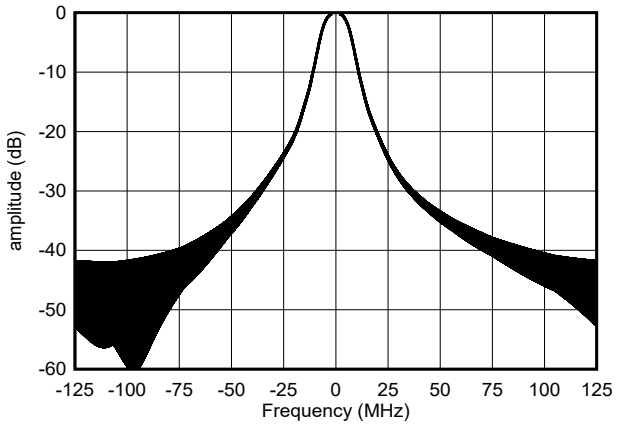


図 9-15. NLFM チャープ向けデジタル スペクトラム

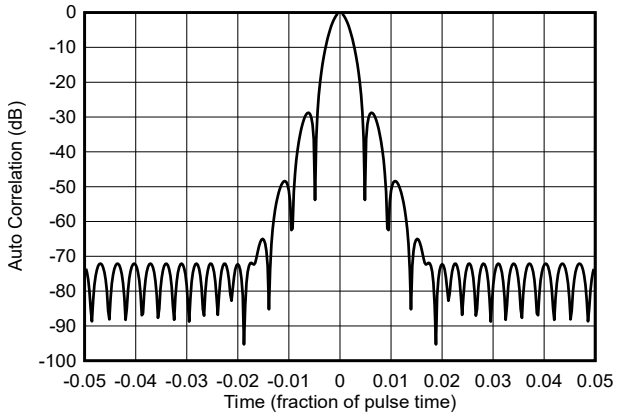


図 9-16. NLFM チャープの自動相関

3.2GHz における NLFM チャープの出力スペクトルは図 9-17 に示されています。最大のスプリアスは 4.8GHz に現れるデューティ サイクル イメージであり、50dB 抑圧されています。図 9-18 に、3.2GHz を中心とする 1GHz スパンを示します。補間フィルタは、出力スペクトルを 3.2GHz における 250MHz 幅の帯域内に収めます。200MHz のスペクトル純度は、図 9-19 にフルスケールのトーンで示されています。最大のスプリアスは、3.16GHz における約 80dBc の成分であり、これは 4 次高調波 (1 次ナイキスト ゾーンに折り返されたもの) です。また、6 次高調波は約 86dBc です。

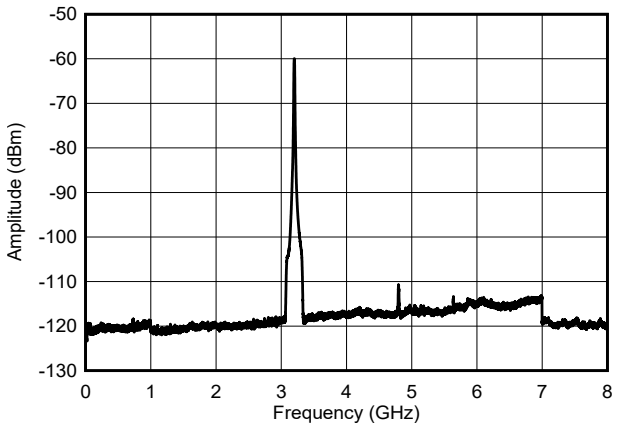


図 9-17. 0 ～ 8GHz における NLFM チャープ出力スペクトル

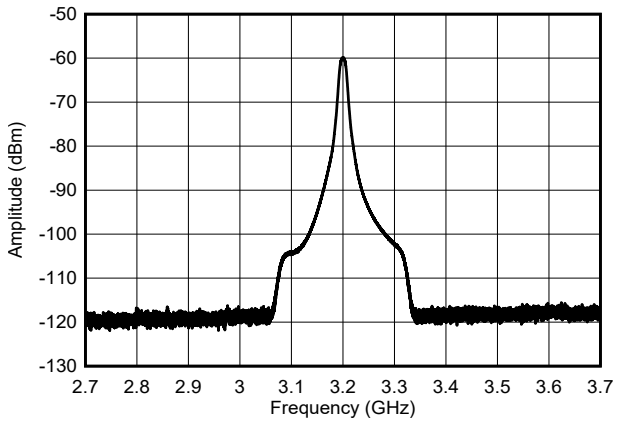


図 9-18. 1GHz における NLFM チャープ出力スペクトル

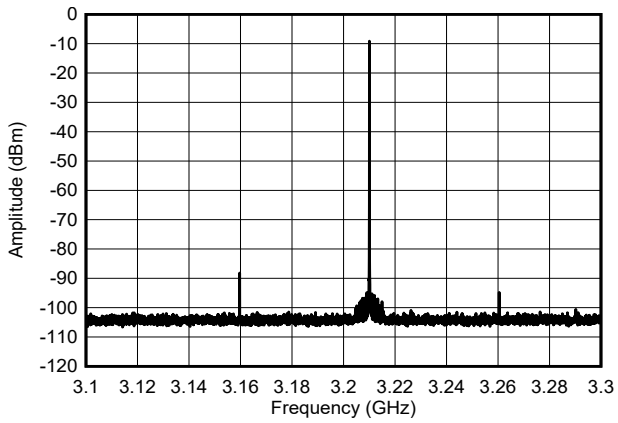


図 9-19. f_{OUT} = 3.211GHz での帯域内単一トーンの周波数スペクトル

Copyright © 2026 Texas Instruments Incorporated

9.3 電源に関する推奨事項

このデバイスには 3 つの電源電圧があり、表 9-4 に示すデータシートの性能を実現するには 7 つの電源ドメインが必要です。

表 9-4. 推奨される電源電圧ドメイン

電圧	電源ドメイン	デバイス電源
+1.8V	VDDA	VDDA18A、VDDA18B
	VDDIO	VDDIO
	VDDCSR	VDDCLK、VDDSYS、VDDR
+1V	VDDL	VDDLA、VDDLB
	VDDCLK	VDDCLK10
	DVDD	VDDDIG、VDDT、VDDDEA、VDDDEB
-1.8V	VEEx	VEEAM18、VEEBM18

推奨電源構成は、-SP グレードについては図 9-20 に、-SEP グレードについては図 9-21 に示されています。電源電圧は低ノイズで、デバイスの定格性能を達成するために必要な電流を供給する必要があります。高効率の降圧スイッチングコンバータを使用し、次に LDO を使用した第二段階のレギュレーションによりスイッチングノイズを低減し、電圧精度を向上させます。また、TI の WEBENCH® Power Designer を参照し、必要に応じて個別の電源エレメントを選択して設計することもできます。推奨されるスイッチング レギュレータは以下のとおりです:

- -SP グレード:
  - TPS50601A-SP = VDDLA、VDDLB、および VDDCCLK10 ドメインに +2.2V
  - TPS50601A-SP は、VDDA18A、VDDA18B、VDDIO、VDDSYS18、VDDR18、および VDDCLK18 ドメインに +3V
  - TPS50601A-SP は、VDDDIG、VDDEA、VDDEB、および VDDT に +1V
  - TPS7H4011-SP は、VEEAM18 および VEEBM18 ドメインに −4.2V
- -SEP グレード:
  - TPS7H4010-SEP = VDDLA、VDDLB、および VDDCCLK10 ドメインに +2.2V
  - TPS7H4010-SEP は、VDDA18A、VDDA18B、VDDIO、VDDSYS18、VDDR18、および VDDCLK18 ドメインに +3V
  - TPS7H4010-SEP は、VDDDIG、VDDEA、VDDEB、および VDDT に +1V
  - TPS7H4010-SEP は、VEEAM18 および VEEBM18 ドメインに −3.3V

推奨される LDO は以下の通りです:

- -SP グレード
  - 1.8V と +1V 用の TPS7H1111-SP
  - -1.8V 用の TPS7A4501-SP
- -SEP グレード
  - 1.8V と +1V 用の TPS7H1111-SEP
  - -1.8V 用の TPS7H1210-SEP

Copyright © 2026 Texas Instruments Incorporated

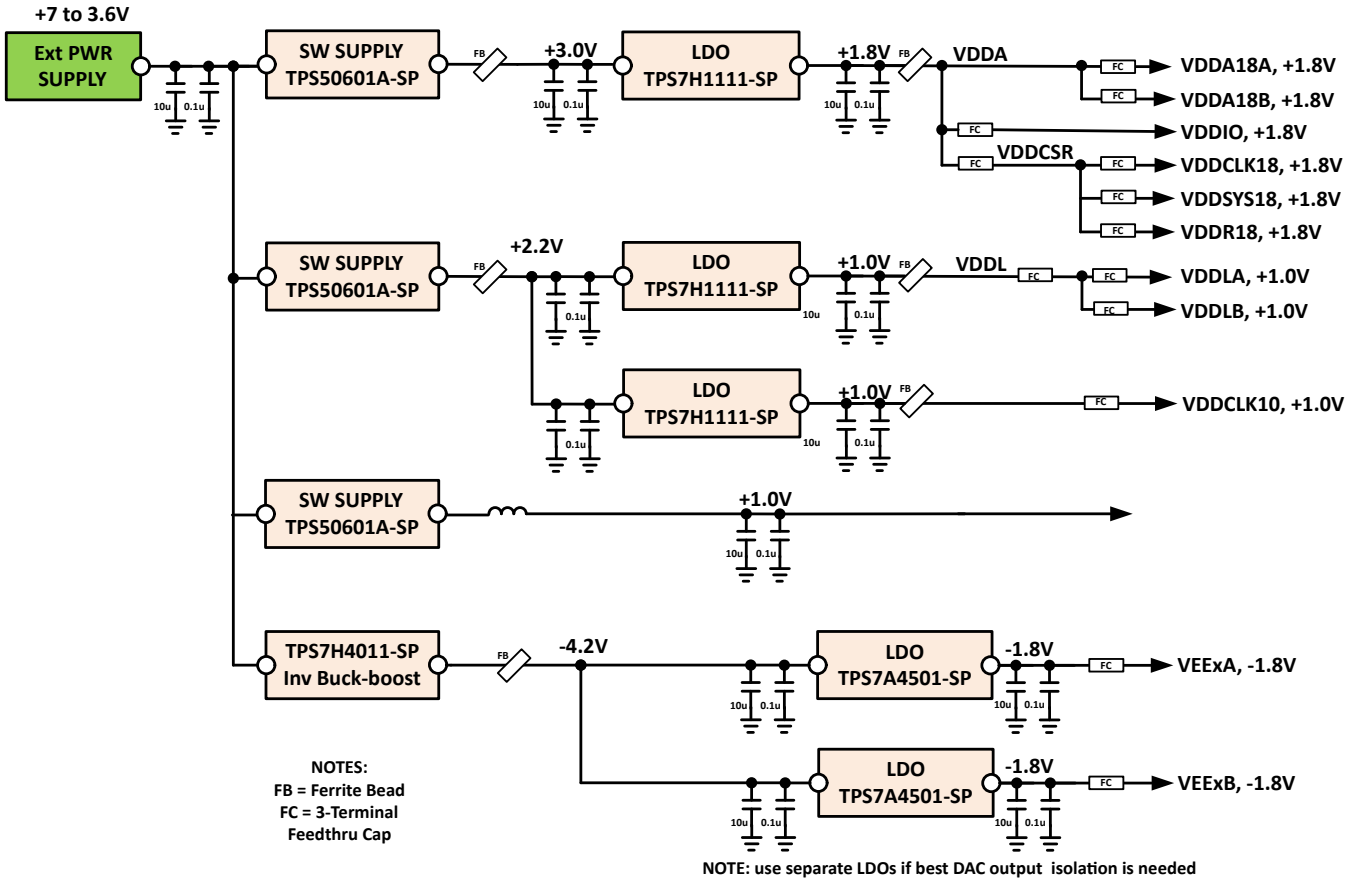


図 9-20. 推奨 -SP 電源ブロック図

Copyright © 2026 Texas Instruments Incorporated

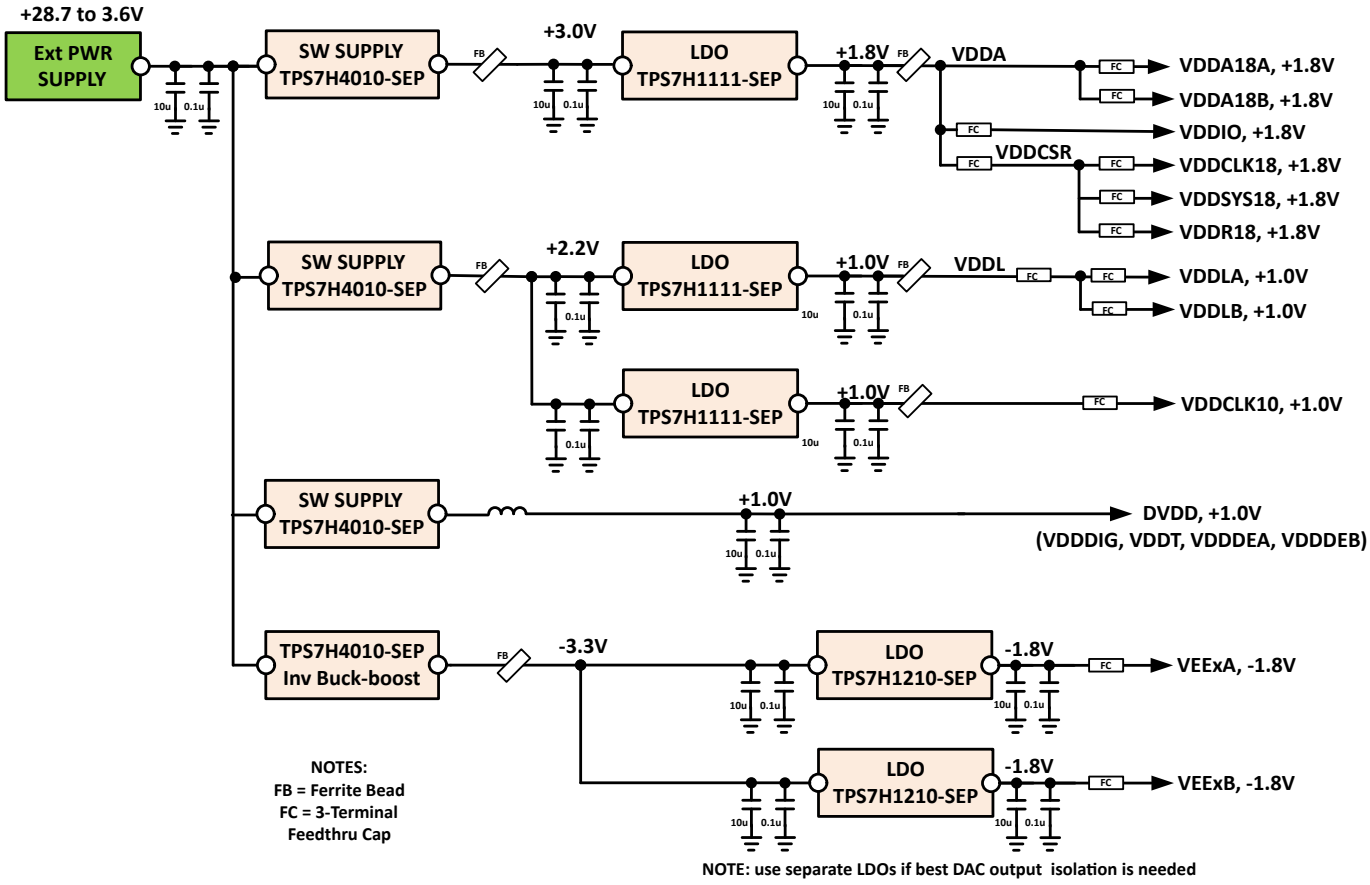


図 9-21. 推奨 -SEP 電源ブロック図

VDDA 電源は、+1.8V 出力で LDO または低ノイズドロップアウトリニアレギュレータによって制御され、さらに以下のサブグループ電源ドメインに分類されます:

- VDDA:VDDA18A、VDDA18B
- VDDIO
- VDDCSR:VDDCLK18、VDDSYS18、VDDR18

各デバイスの電源は単一の LDO に接続できますが、フェライトビーズおよび/または三端子コンデンサ、もしくは同様の部品で絶縁されています。

VDDL 電源は +1V であり、VDDLA と VDDLB に分割されます。各デバイスの電源は単一の LDO に接続できますが、フェライトビーズおよび/または三端子コンデンサ、もしくは同様の部品で絶縁されています。

VDDCLK10 の電源は +1V で、最良の位相ノイズ性能を達成する最も感度の高いものです。VDDCLK10 は、他の 1.0V 電源からのノイズがクロック経路に結合するのを防ぐため、単独の LDO によって分離する必要があります。

DVDD 電源は +1V で、電源スイッチに直接接続できます。DVDD には、VDDDIG10、VDDT、VDDEA、および VDDEB の各電源が含まれており、これらはすべてまとめて接続できます。フェライトビーズおよび/または三端子コンデンサ、または類似品を使用してさらに絶縁する必要はありません。

VEEx 電源は、単一の LDO から派生した -1.8V 電源であり、さらにフェライトビーズや 3 端子コンデンサなどで絶縁された VEEAM18 と VEEBM18 に分割されています。

以下の重要な電源設計上の考慮事項に従うことを強く推奨します:

Copyright © 2026 Texas Instruments Incorporated

1. すべての電源レールとバス電圧は、システム基板に接続するとき、デカップリングします。さらに、各電源ドメインごとに、DAC 本体の直近または近隣に追加のデカップリングを配置します。通常、データシートまたは EVM アセンブリで特に指定がない限り、各電源ピンにつき 1 個のデカップリング コンデンサで十分です。
2. フィルタリングのステージを追加するごとに、約 20dB/decade のノイズ抑制が得られることをご記憶ください。
3. 高周波数と低周波数の両方でデカップリングしますが、このとき、コンデンサの値が複数必要になることがあります。
4. 直列フェライト ビーズとフィードスルー コンデンサは、一般に電源プレーンのエントリ ポイントで使用されており、電源ドメインの分離点を追加するために使用できます。これは、LDO 由来であってもスイッチング レギュレータ由来であっても、システム基板上の各個別電源電圧について実施する必要があります。
5. 容量を増やすには、電源とグランドプレーンのペアを緊密にスタックさせ（≤4 mil 間隔）、PCB 設計に固有の高周波（> 500MHz）デカップリングを追加します。
6. DAC のフロントエンド RF ステージや高速クロック、デジタル回路などの感度の高いアナログ回路から電源をできるだけ離してください。
7. スタックアップ、または電源プレーンのエントリポイントがある層の最上部付近に、より大きな電流を必要とする電源ドメインを配置します。これにより、全体的なループのインダクタンスが最小化されます。
8. 電源プレーン上に空白領域またはオープン領域がある場合は、グランドで埋めて、絶縁とシールドを追加します。
9. 隣接するすべての電源プレーンとグランドプレーンの間には、20 から 25mil の隙間を確保します。これにより、同じ層内の隣接する電力ドメインおよび/またはグランドの間のギャップ結合をすべて除去できます。
10. 絶縁性能を強化するために、一部の切り替えレギュレータ回路/コンポーネントを PCB の反対側に配置することもできます。
11. IC メーカーの推奨事項に従います。アプリケーション ノートやデータシートに直接記載がない場合は、評価ボードを確認します。これらは学習に非常に有用なツールです。上記の項目を適用することで、多くのアプリケーションにおいてデータシート性能を満たす堅牢な電源設計を実現できます。

アプリケーションごとに、電源電圧のノイズの許容誤差が異なるため、これらのトレードオフの詳細を理解するには、以下の 2 つのアプリケーションノートが最も参考になります：

- レーダーアプリケーションにおける RF コンバータ用のノイズの少ない電源（パート 1）
- レーダーアプリケーションにおける RF コンバータ用のノイズの少ない電源（パート 2）

一つの電源レイアウトとスタックアップアプローチについての説明は 図 9-29 から 図 9-32 を参照してください。

9.3.1 パワーアップ/ ダウン シーケンス

電源投入時には、以下の順序で電源を立ち上げます：

1. DACOUTA+/− および DACOUTB+/− のバイアス電圧を含む 1.8V 電源を立ち上げます
2. -1.8V 電源ランプ
3. 1V 電源ランプ

電源の立ち下げは、逆の順序で行います。

1. 1V 電源を立ち下げます
2. -1.8V 電源を立ち下げます
3. DACOUTA+/− および DACOUTB+/− のバイアス電圧を含む 1.8V 電源を立ち下げます

Copyright © 2026 Texas Instruments Incorporated

9.4 レイアウト

9.4.1 レイアウトのガイドラインと例

PC ボード設計中は、特別なケアと注意が必要な重要な信号接続が数多く存在します:

1. DAC アナログ出力信号
2. サンプリングクロック
3. Serdes（JESD204x）データ入力
4. 電源
5. 電力と接地戦略

高速 PCB 設計を開発する際には、注意すべき数多くの検討事項があります。すべての高速 PCB 設計において準拠すべき、いくつかの推奨事項とサンプル数値を以下に示します:

1. Serdes 入力で可能な場合は、緩く結合した 100Ω の差動トレースを使用して配線します。この配線により、ペアのインピーダンスに対するコーナーや長さの一致する蛇行ピンの影響を最小限に抑えることができます。
2. 特に疎結合の差動配線では、クロストークを最小限に抑えるため、十分なペア間の間隔を設けてください。適切な間隔を確保できない場合は、密結合した差動パターンを使用して、自己放射ノイズを低減したり、隣接トレース ノイズ耐性を向上させたりすることが可能です。
3. 高速パターンとの結合を最小限に抑えるため、十分なグランド プレーン注入間隔を確保してください。グランド プレーンの注入には、基板のメイン グランド プレーンに十分なビア接続が必要です。フローティングまたは接続不良なグランド パターンを使用しないでください。
4. 滑らかに丸みを帯びたコーナーを使用し、45 度や 90 度の屈曲を避けて、アナログとデジタルの両方の信号トレースのすべての高速入力/出力におけるインピーダンスの不一致を減らします。例として 図 9-22 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

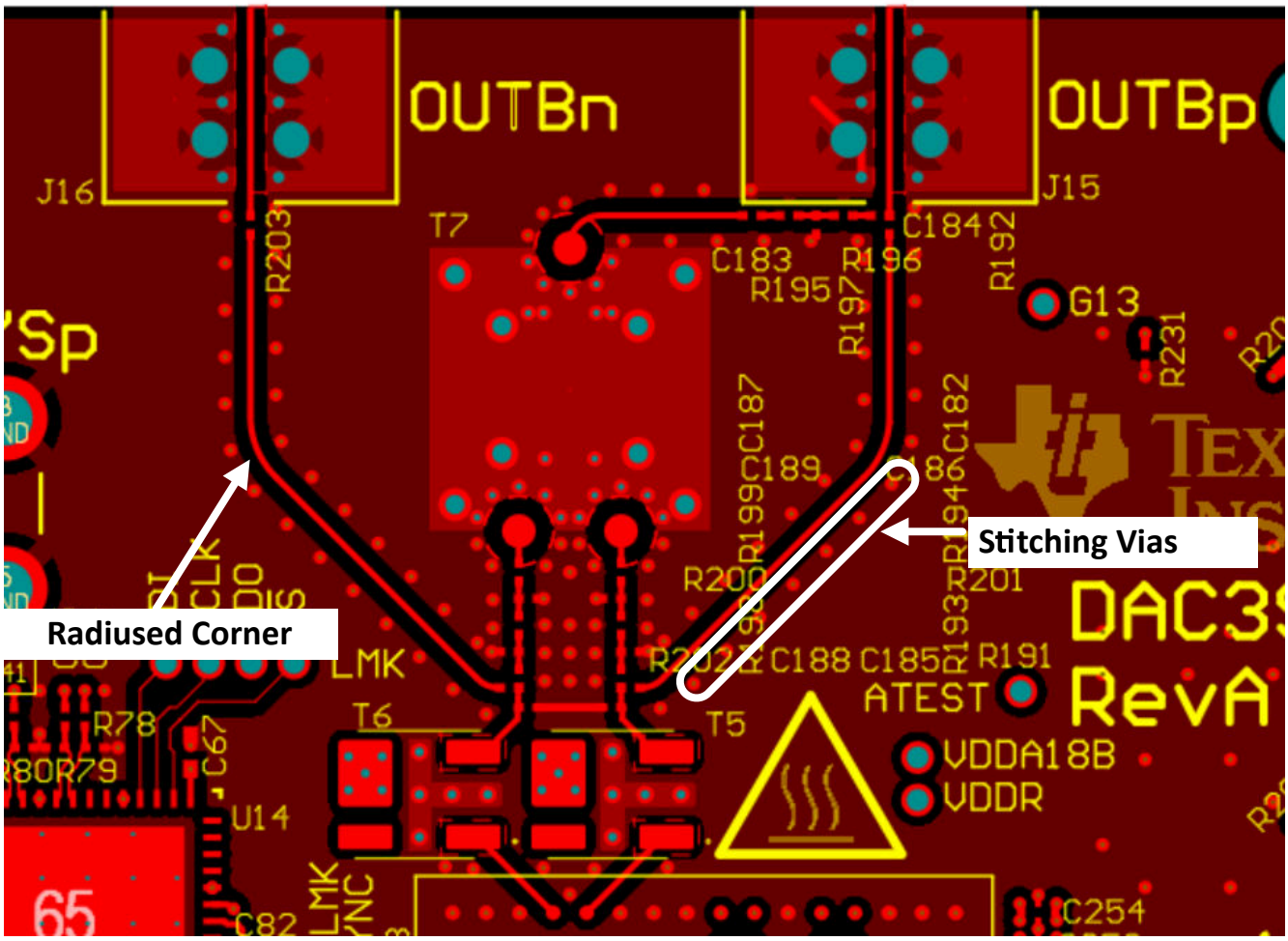


図 9-22. 高速信号トレースの横にあるラディウス コーナーとステッチ ビア

5. コンポーネントのランディングパッド、すなわち SMA コネクタ、バランなどで必要とされるグランドプレーンの切り欠きをすべて組み込むと、これらの場所でのインピーダンスの不連続性を回避することができます。1 つまたは複数のグランドプレーンのランディングパッドの下の切り欠きにより、必要とされる 50Ω のシングルエンドのインピーダンスを達成するパッドのサイズやスタックアップの高さが実現します。例として、図 9-23 と図 9-24 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

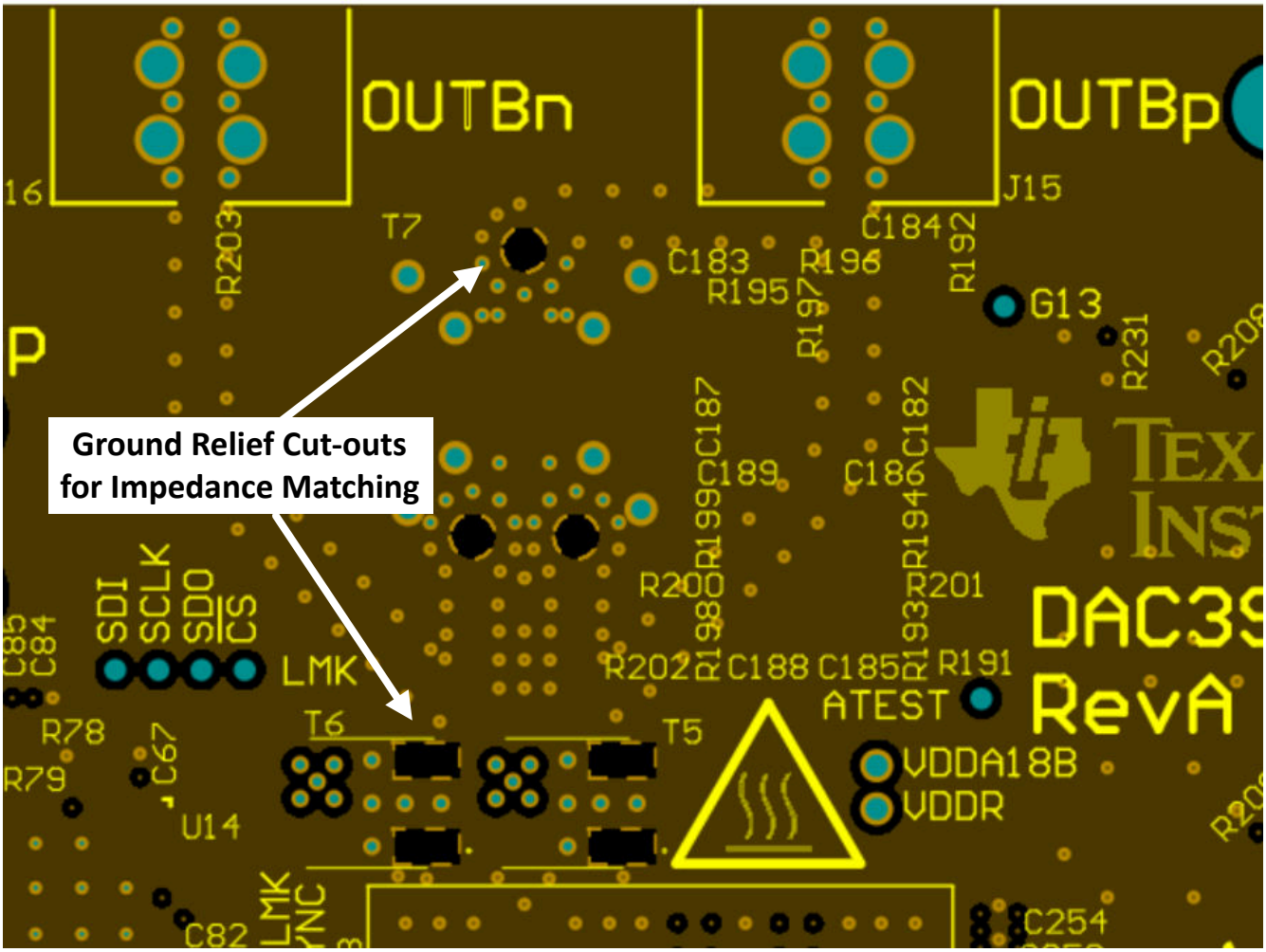


図 9-23. バラン ピンと Biase-T ピンより下のグランド カットアウト

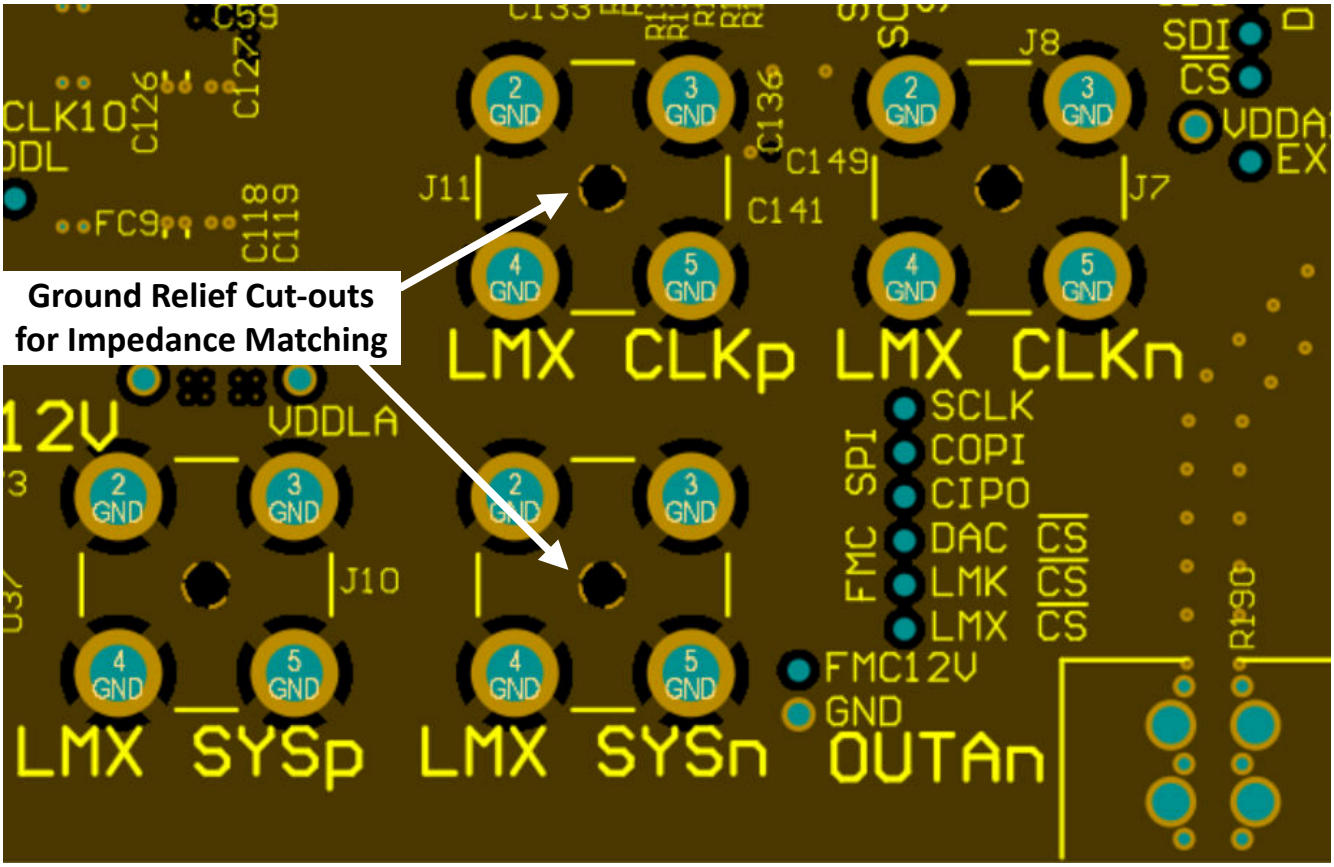


図 9-24. SMA コネクタのセンター ピン下でのグランド カットアウト

6. 基準グランド プレーンの不規則な部分の近くにトレースを配線することは避けてください。不具合として、電源ビアと信号ビア、およびスルーホール部品のリードに関連するグランド プレーンまたはグランド プレーンの空間距離が不足していることがあります。
7. トレーストランスポートの最大周波数(λ/4)によって決定される適切な間隔で、すべての高速信号に隣接する対称的に配置されたグランド接続ステッチングビアを用意します。例として 図 9-22 を参照してください。
8. ビアを使用して高速信号を別の層に遷移する必要がある場合は、基板をできるだけ遠くまで遷移させて (上下に最適なケース)、ビアの上部または下部にあるビア スタブを最小限に抑えます。レイヤーの選択が柔軟でない場合は、バックドリルまたは埋め込みのブラインド ビアを使用してスタブを除去します。層間の遷移を行うときは、常に臨界高速信号トレースの近くに 2 つのグランドビア(「リターンビア」)を配置して、近くのグランドリターンパスを提供します。例として、図 9-25 および図 9-26 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

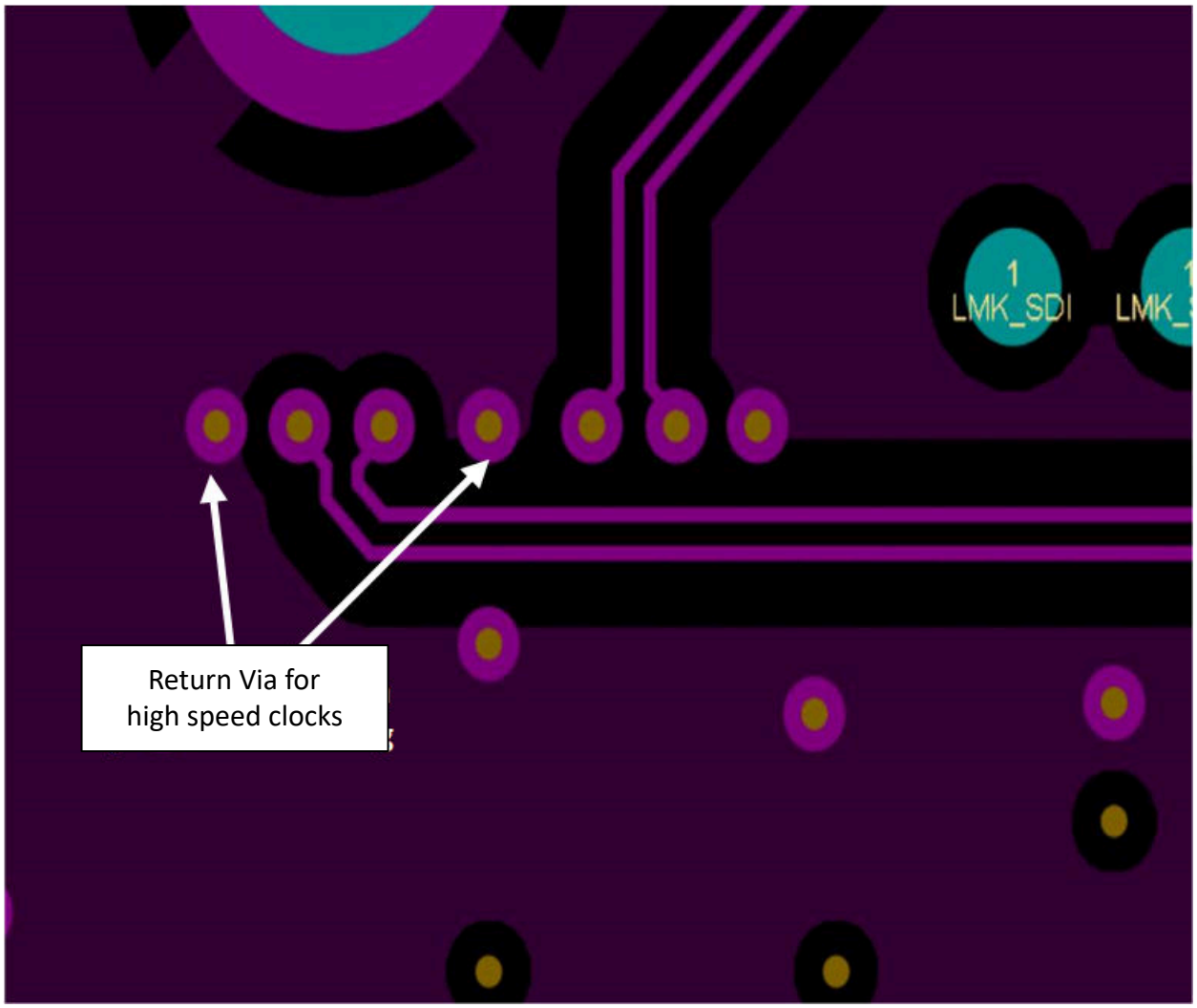


図 9-25. 高速クロックのリターンビア

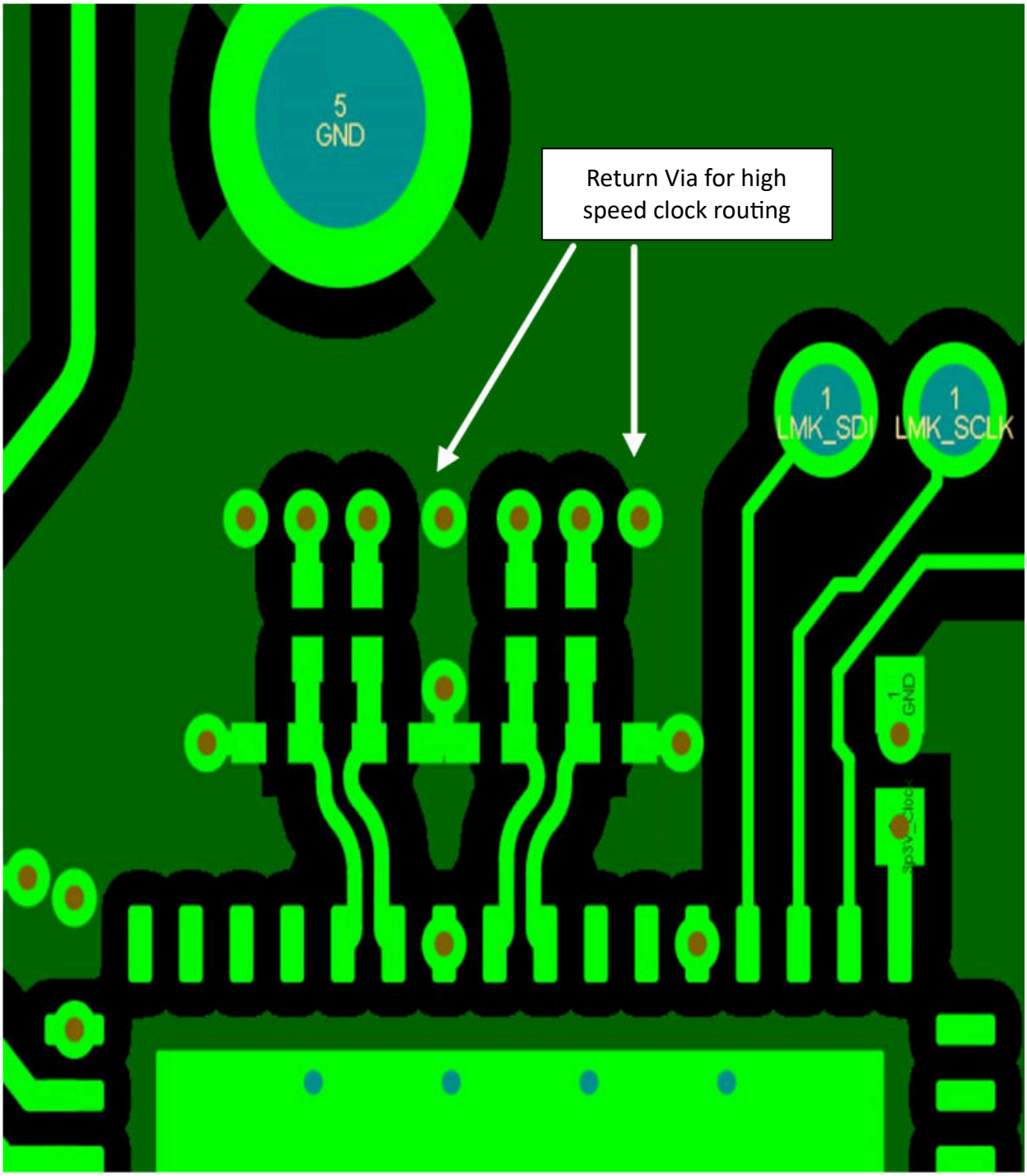


図 9-26. クロック ジェネレータ近くに配置する高速クロック用リターン ビア

9. JESD204x のデータ出力配線とアナログ入力配線が結合する場合があるので、特に注意が必要です。JESD204x 入力からのノイズの切り替えは、アナログ出力トレースに結合し、DAC の入力帯域幅が広いため広帯域ノイズとして現れることがあります。可能であれば、Serdes JESD204x データ入力を DAC 出力トレースから別の層に配線して、ノイズの結合を回避します。例として 図 9-27 と 図 9-28 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

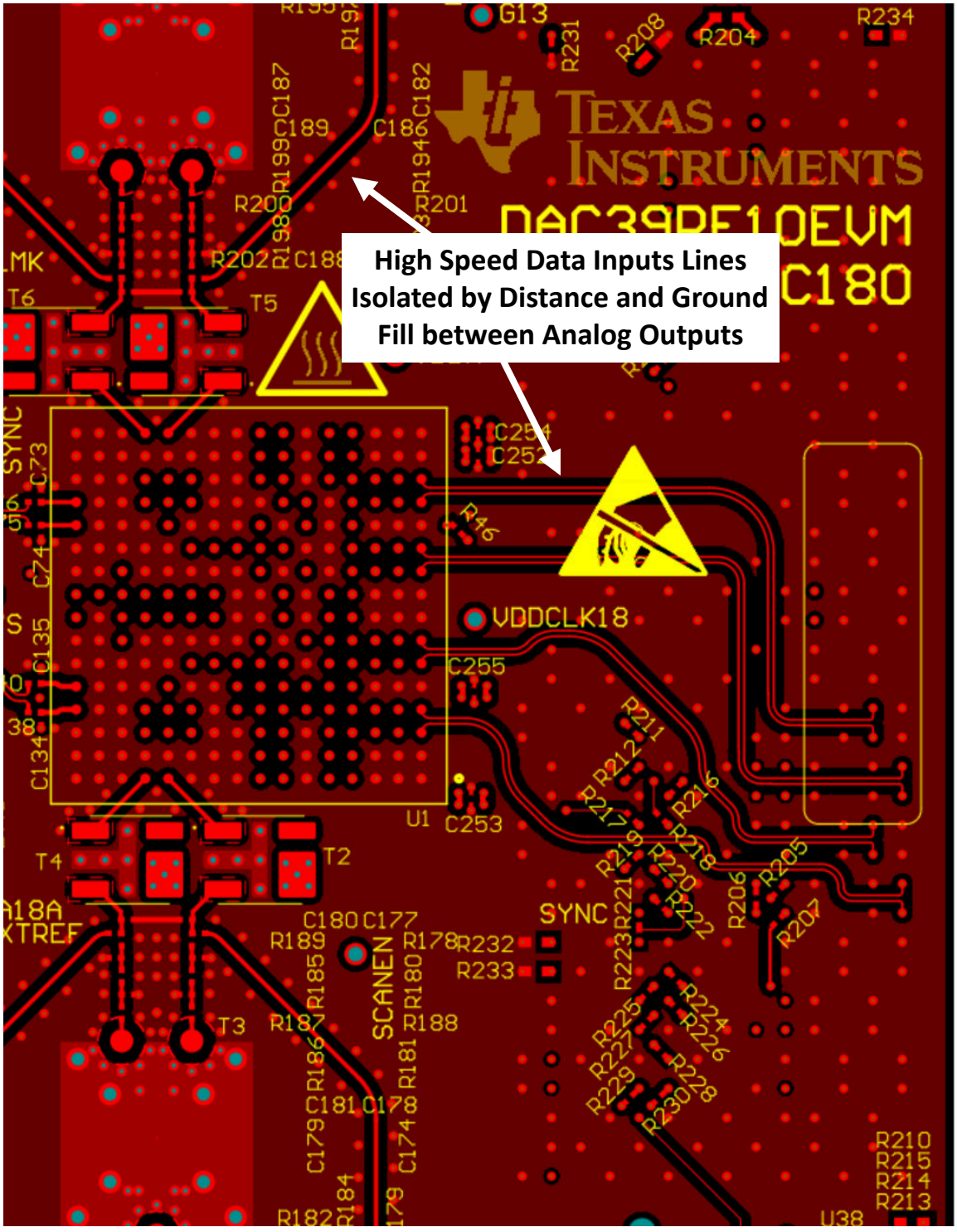


図 9-27. グランドフィル絶縁による Serdes の上層配線

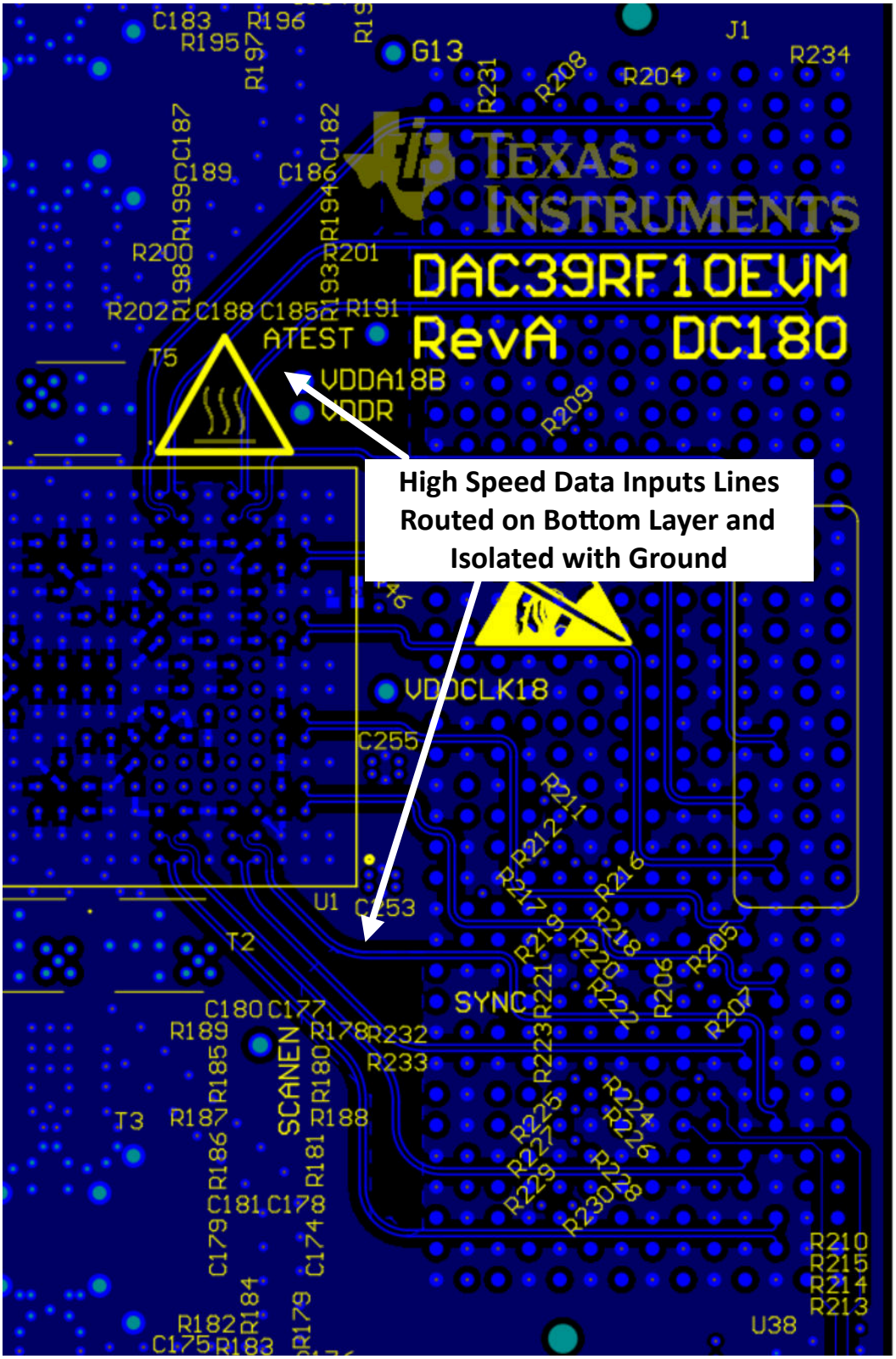


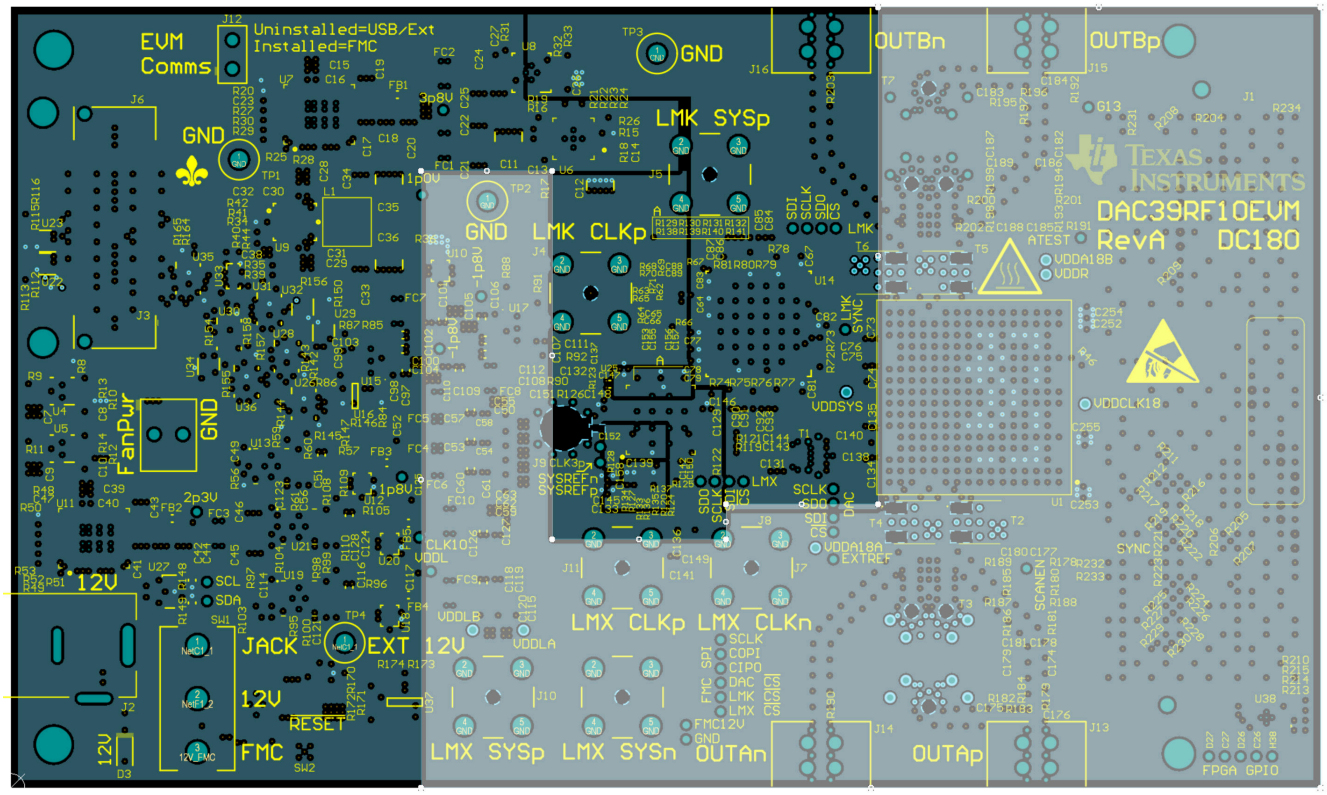
図 9-28. グランド絶縁による Serdes の下層配線

10. クロック振幅を小さくすると、DAC のノイズ性能が低下する可能性があるので、特に高周波数の場合、クロック信号が適切な駆動強度を備えていることを確認してください。この事態を防止するには、パッシブバランを使用してコンバー

Copyright © 2026 Texas Instruments Incorporated

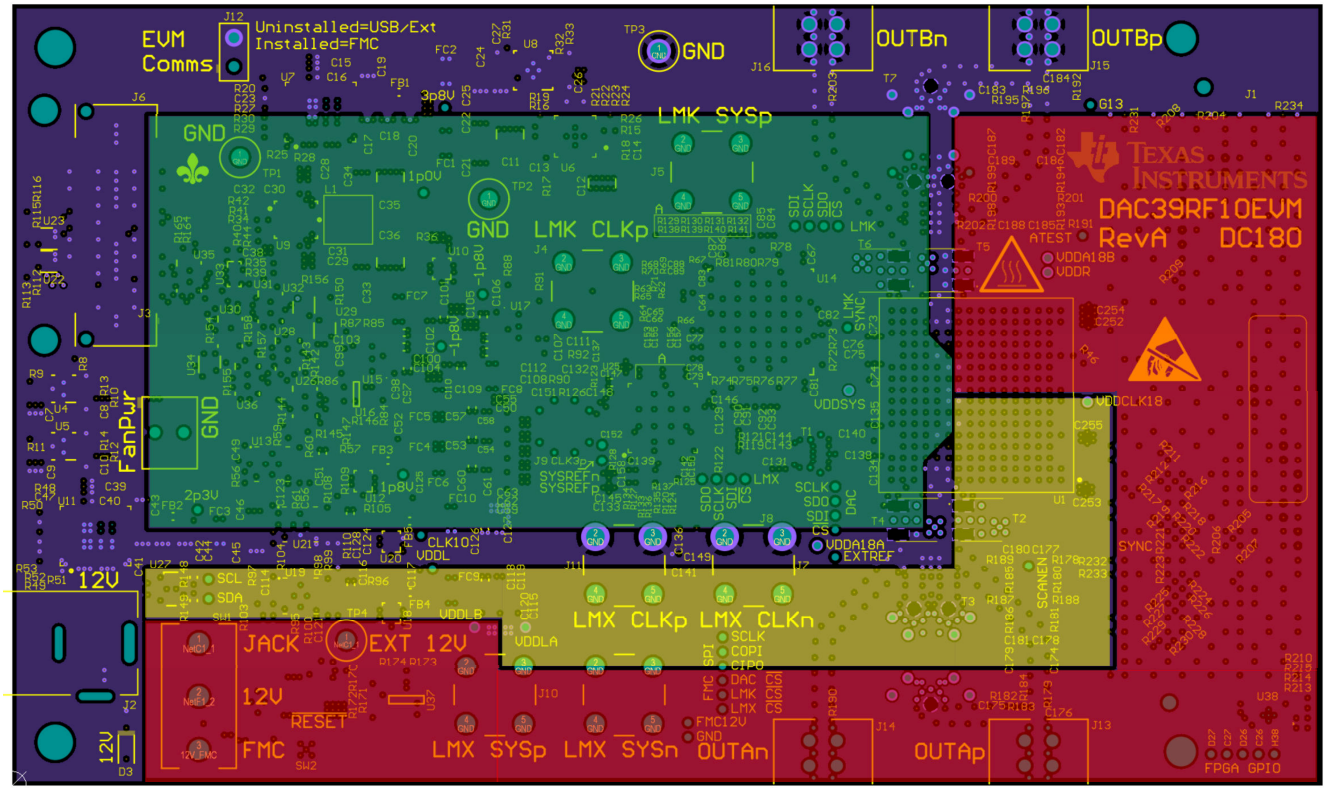
タのサンプリングクロックピンを駆動するか、インターフェイスを実行する場合、クロックソースを DAC の近くに配置する必要があります。トレースの配線が数インチより長い場合、DAC サンプリングクロック入力ピンでのインピーダンスマッチングが必要になる場合があります。

パワープレーンの設計例を 図 9-29 から 図 9-32 に示します。



Layer3 / PWR1
DAC DVDD = WHITE
Other PWR Planes = AUX Supplies

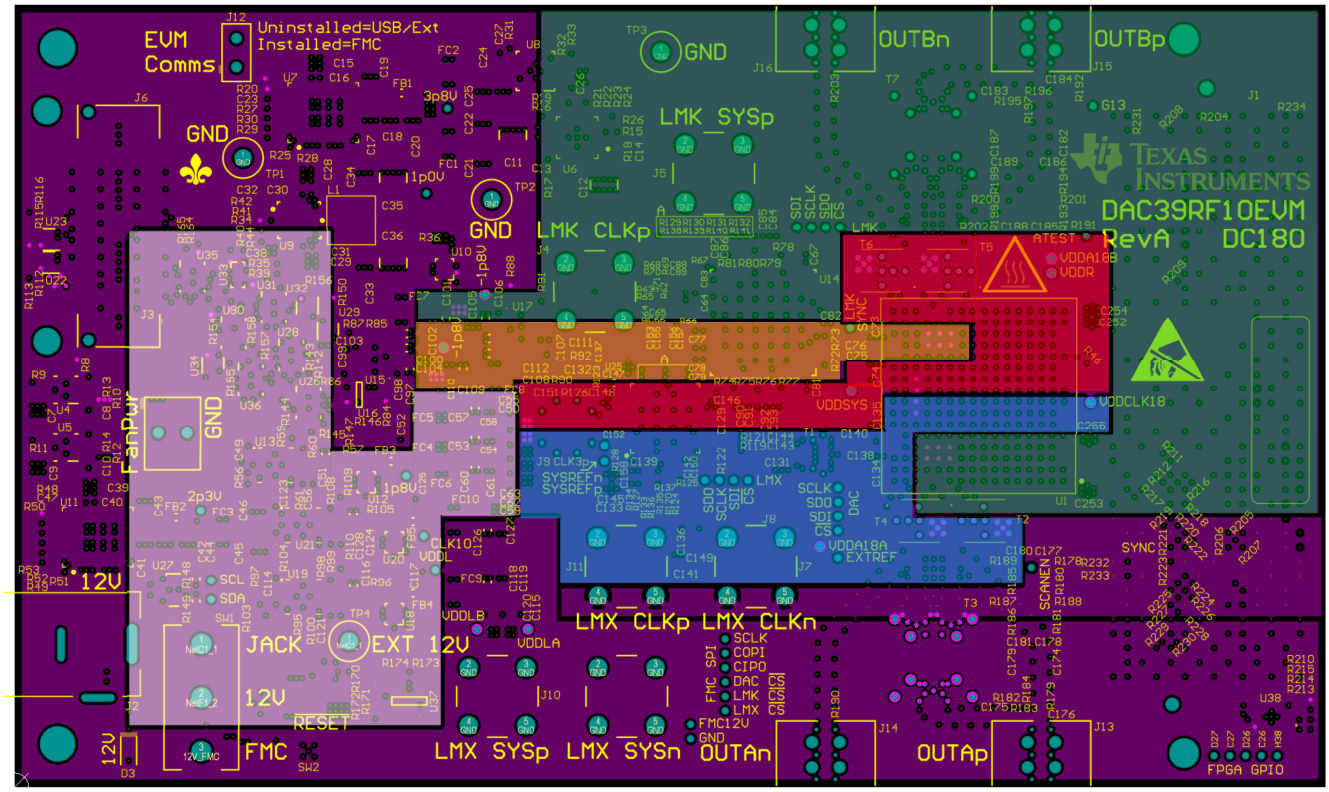
図 9-29. 層 3 の電源プレーンのレイアウト



Layer5 / PWR2
DAC VDDLA = RED
DAC VDDLB = YELLOW
DAC VDDCLK1P0V = GREEN

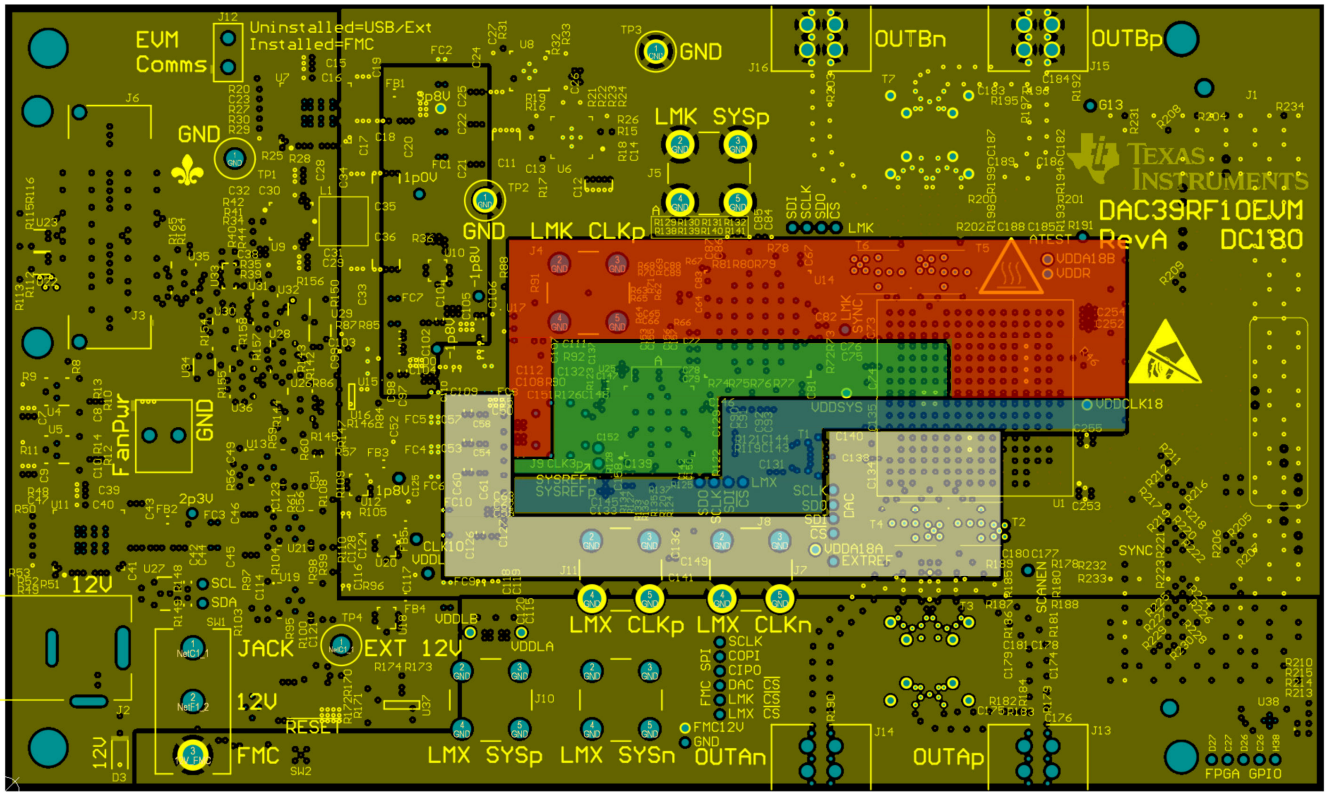
図 9-30. 層 5 の電源プレーンのレイアウト

Copyright © 2026 Texas Instruments Incorporated



Layer12 / PWR3
DAC VDDA18A = RED
DAC VDDA18B = ORANGE
DAC VDDB = YELLOW
DAC VEExA = GREEN
DAC VEExB = BLUE
VDDIO = WHITE

図 9-31. 層 12 の電源プレーンのレイアウト



Layer14 / PWR4
DAC VDDR = RED
DAC VDDSYS18 = GREEN
DAC VDDCLK18 = BLUE
VDDIO = WHITE

図 9-32. 層 14 の電源プレーンのレイアウト

さらに、TI は、すべての高速 PCB 設計について、以下のような一般的な PCB 製造に関する考慮事項を示すことを推奨します:

1. PCB のスタックアップ内の重要な信号層には、高品質の誘電体材料が使用されてます。通常、最上層と最下層が最も重要であり、より多くの基板ハウスで、高品質と標準品質の誘電体材料（ハイブリッドスタックアップとも呼ばれる）を組み合わせて実装することができます。
2. 必要に応じて、コンバータに堅牢な電力供給システムを提供するために、複数の電力層を使用します。
3. PCB 内で複数のグランド、電力、グランド層スタックを使用して、PCB 内で高周波デカップリングを開発する場合、これらの層の推奨値は、4mils 以下です。
4. しっかりしたグランド プレーンを使用し、損傷を防ぐために、グランド プレーンを分割したり、「スロット」を設けたりしてアナログとデジタルのグランドバリアや分圧器を作成したりしないでください。

Copyright © 2026 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (March 2024) to Revision A (February 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 「特長」に非カプセル化チップ コンデンサの情報を追加	1
• 「アプリケーション」に、広帯域および高速のデータ転送と、クロックまたは局部発振器 (LO) 用の RF 合成を追加	1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DAC39RF10ACL-MLS	Active	Production	FCBGA (ACL) | 256	90 | JEDEC TRAY (5+1)	-	Call TI	Call TI	-55 to 125	DAC39RF10 MLS
DAC39RF10ACLNSP	Active	Production	FCBGA (ACL) | 256	90 | JEDEC TRAY (5+1)	No	SNPB	Level-3-220C-168 HR	-55 to 125	DAC39RF10 NSP
DAC39RF10ACLSHP	Active	Production	FCBGA (ACL) | 256	90 | JEDEC TRAY (5+1)	-	Call TI	Call TI	-55 to 125	DAC39RF10 MLS
DAC39RFS10ACL-MLS	Active	Production	FCBGA (ACL) | 256	90 | JEDEC TRAY (5+1)	-	Call TI	Call TI	-55 to 125	DAC39RFS10 MLS
DAC39RFS10ACLNSP	Active	Production	FCBGA (ACL) | 256	90 | JEDEC TRAY (5+1)	No	SNPB	Level-3-220C-168 HR	-55 to 125	DAC39RFS10 NSP
SN0256ACL-DC	Active	Production	FCBGA (ACL) | 256	90 | JEDEC TRAY (5+1)	-	Call TI	Call TI	-55 to 125	256ACL DC SNPB

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

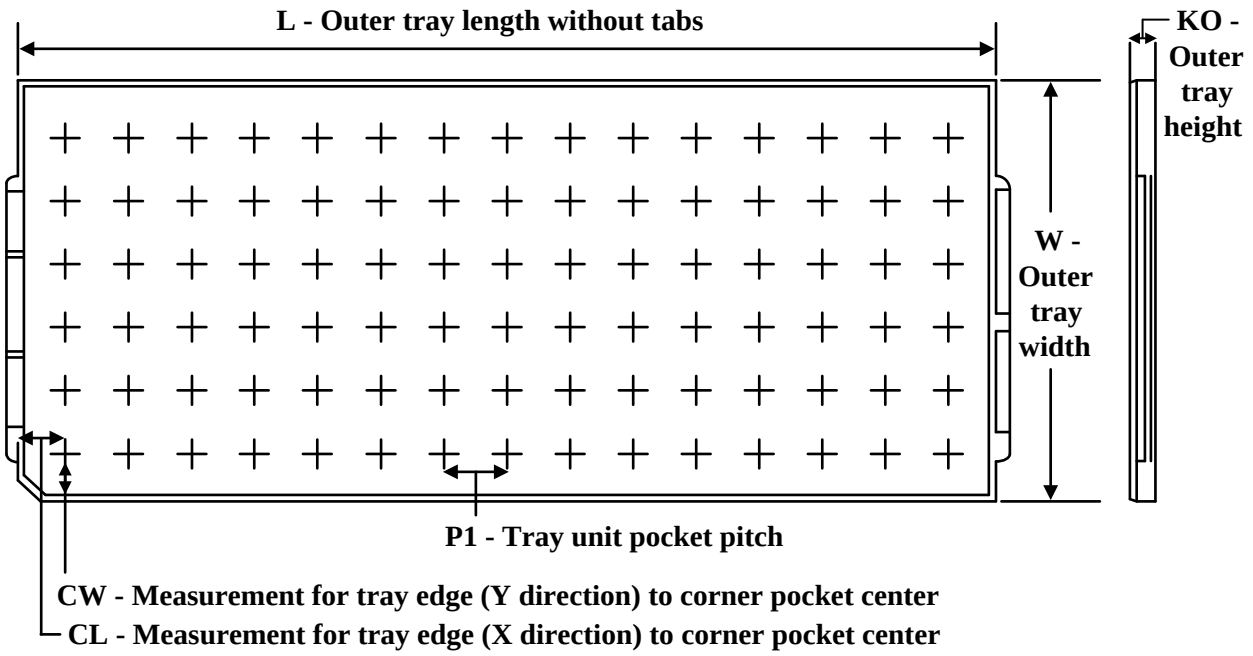
OTHER QUALIFIED VERSIONS OF DAC39RF10-SEP, DAC39RF10-SP, DAC39RFS10-SEP, DAC39RFS10-SP :

- Catalog : DAC39RF10, DAC39RFS10
- Space : DAC39RF10-SP, DAC39RFS10-SP

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

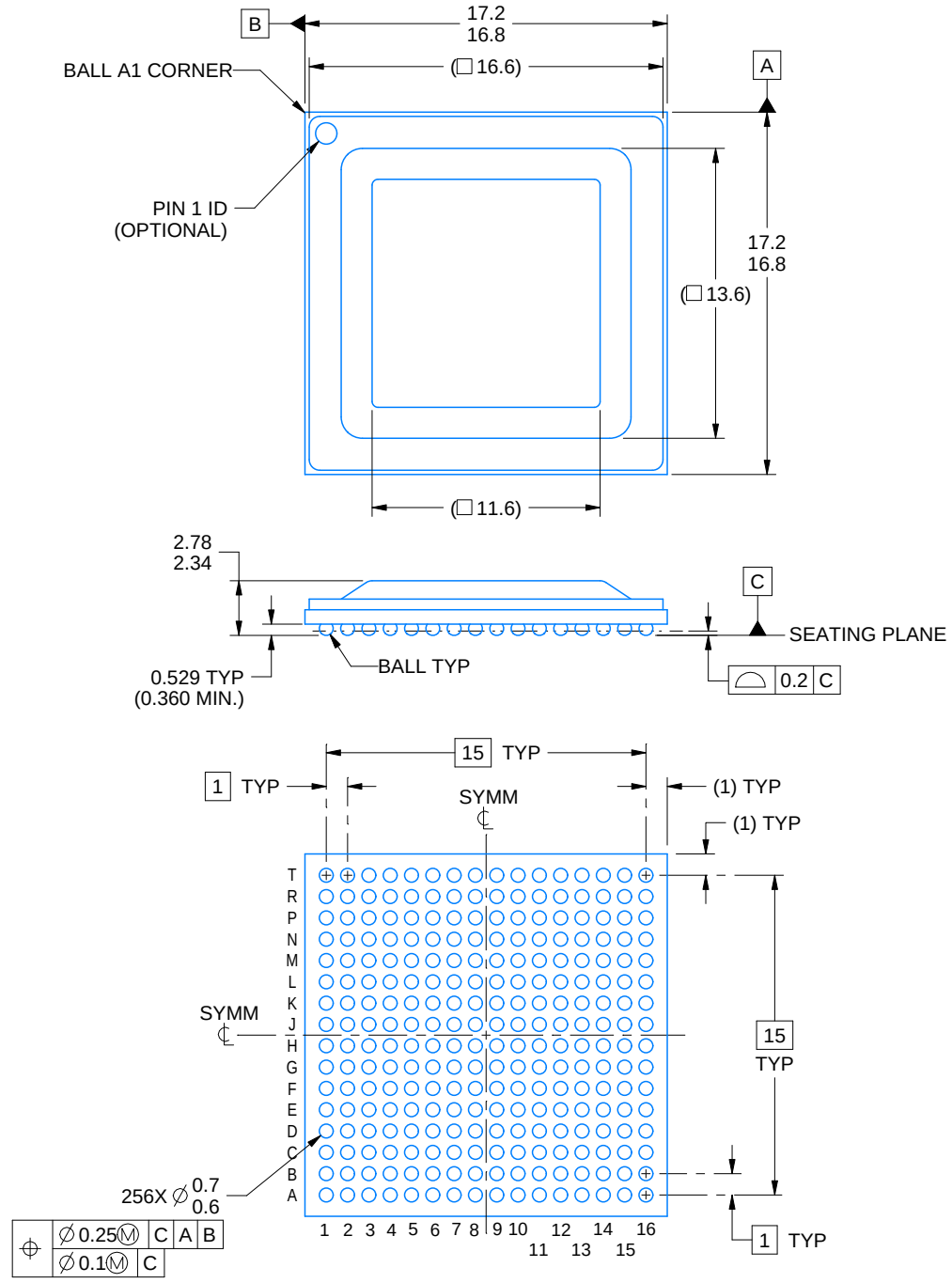
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
DAC39RF10ACL-MLS	ACL	FCBGA	256	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
DAC39RF10ACLNSP	ACL	FCBGA	256	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
DAC39RF10ACLSHP	ACL	FCBGA	256	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
DAC39RFS10ACL-MLS	ACL	FCBGA	256	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
DAC39RFS10ACLNSP	ACL	FCBGA	256	90	6 x 15	150	315	135.9	7620	19.5	21	19.2

PACKAGE OUTLINE

ACL0256A

FCBGA - 2.78 mm max height

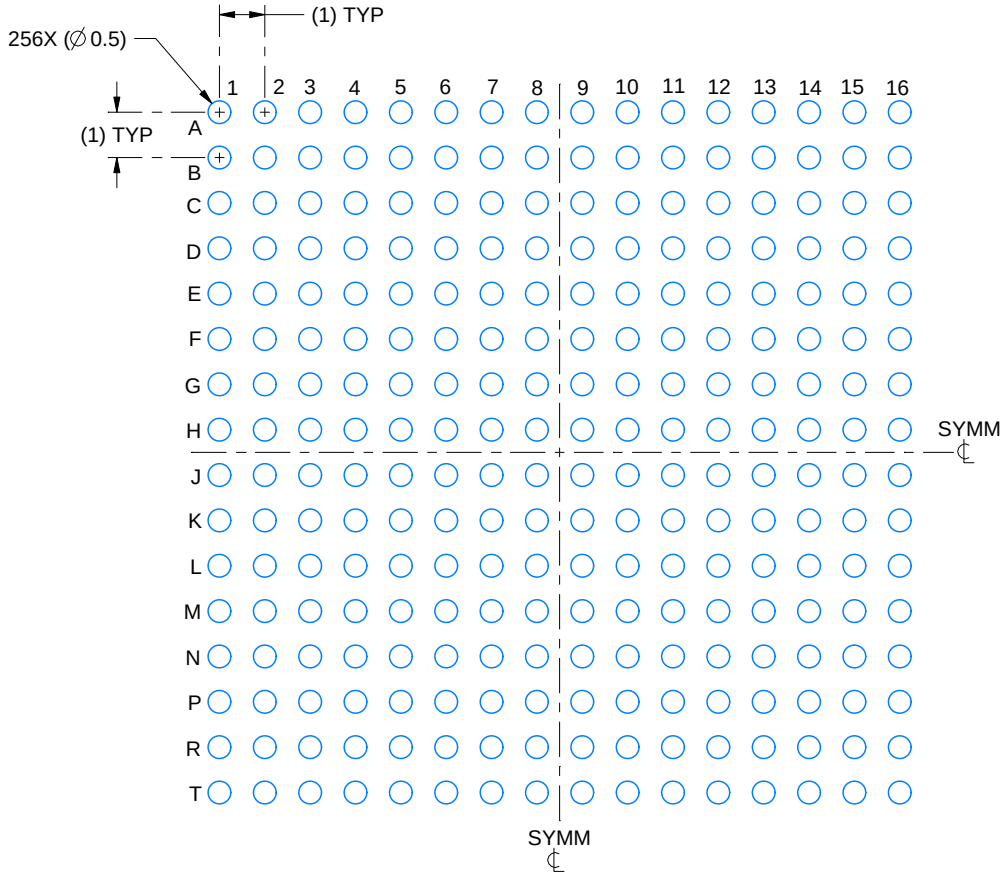
BALL GRID ARRAY



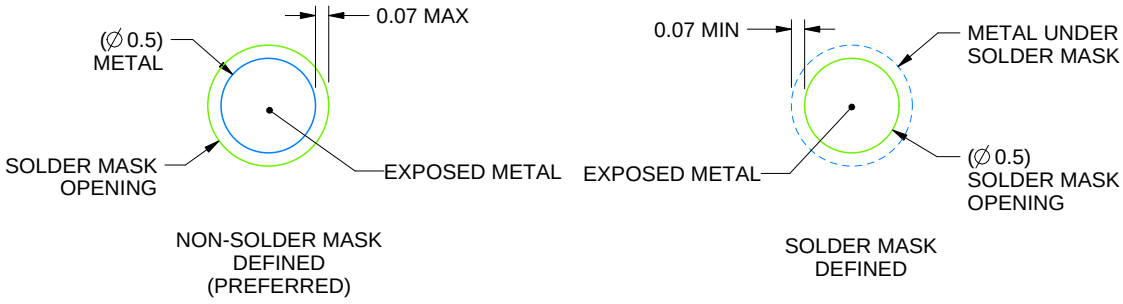
4229409/A 02/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SNOWN
SCALE:6X

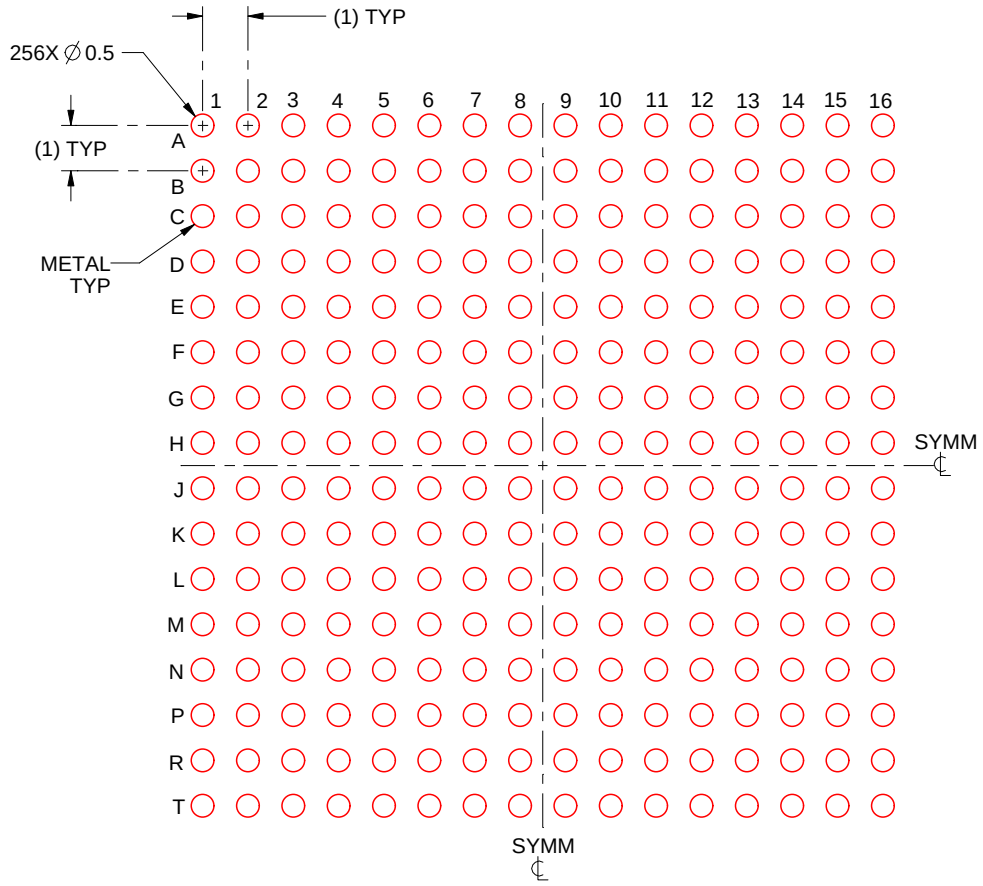


SOLDER MASK DETAILS
NOT TO SCALE

4229409/A 02/2023

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE: 6X

4229409/A 02/2023

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月