DACx1416 16 チャネル、12/14/16 ビット、高電圧出力 DAC、内部リファレンス付き

1 特長

- 性能
  - 16 ビット分解能で単調性を規定
  - INL：16 ビット分解能で ±1LSB 以下
  - TUE (総合未調整誤差)：FSR 最大値±0.1%
- 2.5V の高精度内部リファレンスを搭載
  - 初期精度：±2.5mV (最大値)
  - 低いドリフト：5ppm/°C (標準値)
- 柔軟な出力構成
  - 出力電圧範囲：±2.5V、±5V、±10V、±20V
    0V~5V、0V~10V、0V~20V、または 0V~40V
  - 差動出力モード
- 高い駆動能力：電源レールから 1.5V で ±25mA
- 3 つの専用 A-B トグル ピンによるディザリング信号生成
- アナログ温度出力
  - センサ ゲイン: -4mV/°C
- 50MHz SPI 互換のシリアル インターフェース
  - 4 線式モード、1.7V~5.5V で動作
  - デイジー チェーン動作
  - CRC エラー チェック
- 温度範囲：–40°C ～ +125°C
- 小型パッケージ
  - 6mm × 6mm、40 ピン VQFN

2 アプリケーション

- DC (データセンター) 間の相互接続 (長距離、海底)
- DC (データセンター) 間の相互接続 (都市)
- 光学モジュール
- 半導体試験装置
- 実験室およびフィールド向け計測機器
- データ アクイジション (DAQ)

3 説明

12 ビットの DAC61416、14 ビットの DAC71416、16 ビットの DAC81416 (DACx1416) は、16 チャネルのバッファ付き高電圧出力 D/A コンバータ (DAC) のピン互換ファミリです。DACx1416 には、低ドリフト、2.5V の内部リファレンスが搭載されており、ほとんどのアプリケーションでは外付けの精度リファレンスが不要になります。これらのデバイスは単調性が保証されており、±1LSB INL の高い直線性を提供します。

出力構成をユーザーが選択可能で、フルスケールのバイポーラ出力電圧の ±20V、±10V、±5V、±2.5V、およびフルスケールのユニポーラ出力電圧の 40V、20V、10V、5V を使用できます。各 DAC チャネルのフルスケール出力範囲は別々にプログラム可能です。内蔵された DAC 出力バッファは最大 25mA のシンクおよびソースが可能であり、追加のオペアンプの必要性を減らします。チャネルの各ペアは、オフセット較正付きの差動出力を供給するように構成可能です。3 つの専用 A-B トグル ピンにより、最大 3 つの周波数についてディザリング信号を生成できます。

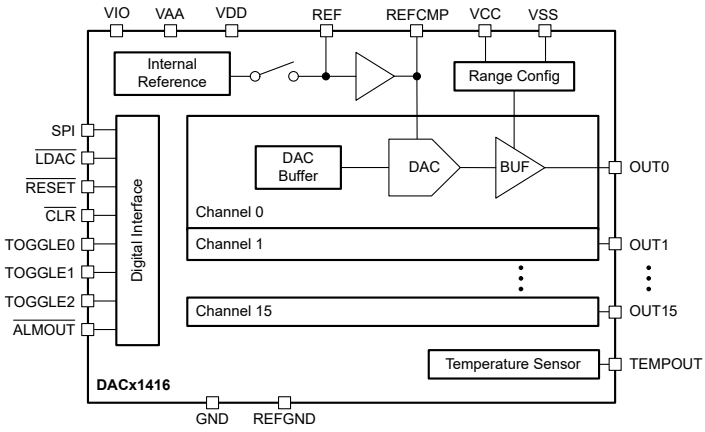
DACx1416 にはパワー オン リセット (POR) 回路が組み込まれており、電源オン時に DAC 出力をグランドに接続します。デバイスのレジスタが動作用に正しく構成されるまで、出力がこの状態に維持されます。

DACx1416 への通信は、1.7V～5.5V での動作をサポートする 4 線式シリアル インターフェイスにより行われます。

製品情報

部品番号	分解能	パッケージ (1)
DAC61416	12 ビット	RHA (VQFN、40)
DAC71416	14 ビット	
DAC81416	16 ビット	

(1) 詳細については、セクション 11 を参照してください。



機能ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 1
2 アプリケーション 1
3 説明 1
4 ピン構成および機能 2
5 仕様 5
5.1 絶対最大定格 5
5.2 ESD 定格 5
5.3 推奨動作条件 5
5.4 熱に関する情報 6
5.5 電気的特性 6
5.6 タイミング要件 12
5.7 タイミング図 15
5.8 代表的特性 16
6 詳細説明 27
6.1 概要 27
6.2 機能ブロック図 27
6.3 機能説明 28
6.4 デバイスの機能モード 31
6.5 プログラミング 33
7 レジスタ マップ 37
8 アプリケーションと実装 51
8.1 アプリケーション情報 51
8.2 代表的なアプリケーション 51
8.3 電源に関する推奨事項 54
8.4 レイアウト 54
9 デバイスおよびドキュメントのサポート 56
9.1 デバイス サポート 56
9.2 ドキュメントのサポート 56
9.3 ドキュメントの更新通知を受け取る方法 56
9.4 サポート・リソース 56
9.5 商標 56
9.6 静電気放電に関する注意事項 56
9.7 用語集 56
10 改訂履歴 56
11 メカニカル、パッケージ、および注文情報 57

4 ピン構成および機能

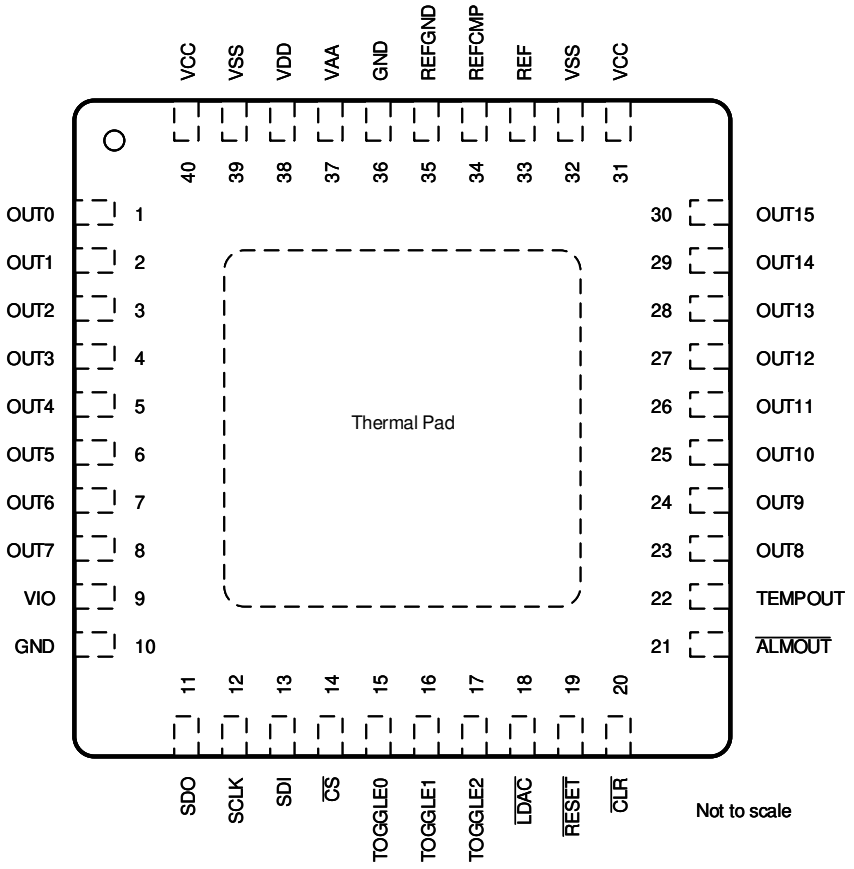


図 4-1. RHA パッケージ、40 ピン VQFN、上面図

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能

ピン		タイプ	説明
番号	名称		
1	OUT0	出力	チャネル 0 アナログ DAC 出力電圧。
2	OUT1	出力	チャネル 1 アナログ DAC 出力電圧。
3	OUT2	出力	チャネル 2 アナログ DAC 出力電圧。
4	OUT3	出力	チャネル 3 アナログ DAC 出力電圧。
5	OUT4	出力	チャネル 4 アナログ DAC 出力電圧。
6	OUT5	出力	チャネル 5 アナログ DAC 出力電圧。
7	OUT6	出力	チャネル 6 アナログ DAC 出力電圧。
8	OUT7	出力	チャネル 7 アナログ DAC 出力電圧。
9	VIO	電源	IO 消費電圧。(1.7V～5.5V)。このピンは、デバイスの I/O 動作電圧を設定します。
10、36	GND	グランド	デバイスの全回路のグランド基準点。
11	SDO	出力	シリアル インターフェイス データ出力。SDO-EN ビットを設定して、動作前に SDO ピンをイネーブルにします。データは、FSDO ビットで指定されたとおりに、SCLK ピンの立ち上がりエッジまたは立ち下がりエッジで入力シフト レジスタからクロック アウトされます (デフォルトは立ち上がりエッジ)。
12	SCLK	入力	シリアル インターフェイス クロック。
13	SDI	入力	シリアル インターフェイスのデータ入力。データは SCLK ピンの各立ち下がりエッジで入力シフト レジスタにクロックされます。
14	$\overline{CS}$	入力	アクティブ Low のシリアル データをイネーブルにします。この入力は、シリアル データのフレーム同期信号です。信号が low になると、シリアル インターフェイス入力シフト レジスタがイネーブルになります。
15	TOGGLE0	入力	ピン 0 をトグルします。各 DAC に関連付けられた 2 つの DAC データ レジスタ間を切り替えるため、トグル動作に設定された DAC 出力用の制御信号。ロジック Low では DAC 出力がレジスタ A に設定された値に更新されます。ロジック High では DAC 出力がレジスタ B に設定された値に更新されます。未使用の場合、TOGGLE0 ピンはグラウンドに接続します。
16	TOGGLE1	入力	ピン 1 をトグルします。各 DAC に関連付けられた 2 つの DAC データ レジスタ間を切り替えるため、トグル動作に設定された DAC 出力用の制御信号。ロジック Low では DAC 出力がレジスタ A に設定された値に更新されます。ロジック High では DAC 出力がレジスタ B に設定された値に更新されます。未使用の場合、TOGGLE1 ピンはグラウンドに接続します。
17	TOGGLE2	入力	ピン 2 をトグルします。各 DAC に関連付けられた 2 つの DAC データ レジスタ間を切り替えるため、トグル動作に設定された DAC 出力用の制御信号。ロジック Low では DAC 出力がレジスタ A に設定された値に更新されます。ロジック High では DAC 出力がレジスタ B に設定された値に更新されます。未使用の場合、TOGGLE2 ピンはグラウンドに接続します。
18	$\overline{LDAC}$	入力	アクティブ Low 同期信号。$\overline{LDAC}$ ピンが Low のとき、同期モードに構成されたチャネルの DAC 出力は同時に更新されます。使用しない場合は VIO に接続します。
19	$\overline{RESET}$	入力	アクティブ Low のリセット入力。このピンがロジック Low になると、デバイスはパワーオン リセット イベントを発生させます。
20	$\overline{CLR}$	入力	アクティブ Low クリア入力。このピンがロジック Low になると、すべての DAC 出力がクリア コードにクリアされます。使用しない場合は VIO に接続します。
21	$\overline{ALMOUT}$	出力	$\overline{ALMOUT}$ はオープン ドレインのアラーム出力です。V_{IO} を超えない電圧に接続する外付け 10kΩ プルアップ抵抗が必要です。
22	TEMPOUT	出力	アナログ温度モニタ出力。
23	OUT8	出力	チャネル 8 アナログ DAC 出力電圧。
24	OUT9	出力	チャネル 9 アナログ DAC 出力電圧。
25	OUT10	出力	チャネル 10 アナログ DAC 出力電圧。
26	OUT11	出力	チャネル 11 アナログ DAC 出力電圧。
27	OUT12	出力	チャネル 12 アナログ DAC 出力電圧。
28	OUT13	出力	チャネル 13 アナログ DAC 出力電圧。
29	OUT14	出力	チャネル 14 アナログ DAC 出力電圧。
30	OUT15	出力	チャネル 15 アナログ DAC 出力電圧。
31、40	VCC	電源	出力用正のアナログ電源 (9V ～ 41.5V)。
32、39	VSS	電源	出力用負のアナログ電源 (-21.5V~0V)。
33	REF	入力 / 出力	外部リファレンスで動作する場合のデバイスへの基準入力。内部リファレンスを使用する場合、このピンは基準出力電圧ピンとなります。150nF のコンデンサをグランドに接続します。
34	REFCMP	入力 / 出力	基準補償コンデンサの接続。REFCMP と REFGND の間に 330pF のコンデンサを接続します。
35	REFGND	グランド	内部リファレンスのグラウンド基準点。
37	VAA	電源	アナログ消費電圧 (4.5V～5.5V)。このピンは、必ず VDD ピンと同じ電位にする必要があります。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
番号	名称		
38	VDD	電源	デジタル電源電圧 (4.5V ～ 5.5V)。このピンは、必ず VAA ピンと同じ電位にする必要があります。
サーマル パッド	サーマル パッド	—	サーマル パッドはパッケージの底面に配置されています。このサーマル パッドは、複数のビアを使用して内部の任意の PCB グランド プレーンに接続し、優れた熱特性を実現できます。

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電源電圧	V_{DD} から GND	-0.3	6	V
	V_{IO} から GND	-0.3	6	V
	V_{CC} から GND	-0.3	44	V
	V_{SS} から GND	-22	0.3	V
	REFGND から GND へ	-0.3	0.9	V
	V_{DD} ～ V_{AA}	-0.3	0.3	V
	V_{CC} から V_{SS}	-0.3	44	V
ピン電圧	DAC 出力から GND へ	V_{SS} – 0.3	V_{CC} + 0.3	V
	TEMPOUT から GND	-0.3	V_{DD} + 0.3	V
	REF および REFCMP から GND	-0.3	V_{DD} + 0.3	V
	デジタル入力から GND へ	-0.3	V_{IO} + 0.3	V
	SDO から GND	-0.3	V_{IO} + 0.3	V
	$\overline{\text{ALARMOUT}}$ から GND	-0.3	6	V
T_J	動作時接合部温度	-40	150	℃
T_{stg}	保存温度	-60	150	℃

(1) 「*絶対最大定格*」の範囲外の動作は、デバイスに恒久的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±1000	V
		荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠(2)	±500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{AA} (1)	アナログ電源電圧	4.5		5.5	V
V_{DD} (1)	デジタル電源電圧	4.5		5.5	V
V_{IO}	IO 電源	1.7		5.5	V
V_{CC}	出力バッファの正の電源電圧	9		41.5	V
V_{SS} (2)	出力バッファの負の電源電圧	-21.5		0	V
$V_{CC} – V_{SS}$	出力バッファの電源電圧範囲	9		43	V
	デジタル入力電圧	0		V_{IO}	V
V_{REFIN}	V_{REFGND} に対するリファレンス入力電圧	2.49	2.5	2.51	V
V_{REFGND} (3)	REFGND ピン電圧	0	0	0.6	V

Copyright © 2025 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
T_A	動作時の周囲温度	-40		125	℃

(1) V_{AA} と V_{DD} が同じ電位にあることを確認します。
(2) V_{SS} は、すべての DAC 出力がユニポーラの場合のみ GND に接続されます。
(3) V_{REFGND} が GND に接続されていない場合は、バッファ付きソースを使用して V_{REFGND} を駆動します。

5.4 熱に関する情報

熱評価基準(1)		DACx1416 RHA (VQFN) 40 ピン	単位
$R_{\Theta JA}$	接合部から周囲への熱抵抗	26.8	℃/W
$R_{\Theta JC(top)}$	接合部からケース (上面) への熱抵抗	14.1	℃/W
$R_{\Theta JB}$	接合部から基板への熱抵抗	3.4	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.2	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	3.4	℃/W
$R_{\Theta JC(bot)}$	接合部からケース (底面) への熱抵抗	0.7	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

特に記載がない限り、最小/最大仕様は T_A = –40℃ ～ +125℃、代表値仕様は T_A = 25℃、V_{CC} = 9V ～ 41.5V、V_{SS} = –21.5V ～ 0V、V_{DD} = V_{AA} = 4.5V ～ 5.5V、V_{REFIN} = 2.5V、V_{IO} = 1.7 V ～ 5.5 V、DAC 出力は無負荷、デジタル入力は V_{IO} または GND における条件です

パラメータ		テスト条件	最小値	標準値	最大値	単位
安定動作(1)						
	分解能	DAC81416	16			ビット
		DAC71416	14			
		DAC61416	12			
INL	積分非直線性	DAC81416、0V~40V および ±2.5V を除くすべての範囲	-1	±0.5	1	LSB
		DAC81416、0V ~ 40V、±2.5V 範囲に対応	-2	±1	2	
		DAC71416、すべての範囲	-1	±0.5	1	
		DAC61416、すべての範囲	-1	±0.5	1	
DNL	微分非直線性	DAC81416、16 ビット単調性を指定	-1	±0.5	1	LSB
		DAC71416、14 ビット単調性を指定	-1	±0.5	1	
		DAC61416、12 ビット単調性を指定	-1	±0.5	1	
TUE	総合未調整誤差	すべての範囲、±2.5V を除く	-0.1	±0.01	0.1	%FSR
		±2.5 範囲	-0.2	±0.02	0.2	
	ユニポーラ オフセット誤差	すべてのユニポーラ レンジ	-0.03	±0.015	0.03	%FSR
	ユニポーラ ゼロ コード誤差	すべてのユニポーラ レンジ	0	0.04	0.1	%FSR
	バイポーラ ゼロ誤差	すべてのバイポーラ レンジ	-0.2	±0.02	0.2	%FSR
	フルスケール誤差	全範囲	-0.2	±0.075	0.2	%FSR
	ゲイン誤差	すべての範囲、±2.5V を除く	-0.1	±0.02	0.1	%FSR
		±2.5 範囲	-0.2	±0.02	0.2	

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (続き)

特に記載がない限り、最小/最大仕様は T_A = –40℃ ～ +125℃、代表値仕様は T_A = 25℃、V_{CC} = 9V ～ 41.5V、V_{SS} = –21.5V ～ 0V、V_{DD} = V_{AA} = 4.5V ～ 5.5V、V_{REFIN} = 2.5V、V_{IO} = 1.7 V ～ 5.5 V、DAC 出力は無負荷、デジタル入力は V_{IO} または GND における条件です

パラメータ		テスト条件	最小値	標準値	最大値	単位
	ユニポーラ オフセット誤差のドリフト	すべてのユニポーラ レンジ		±2		ppm (対 FSR) / ℃
	バイポーラ ゼロ誤差のドリフト	すべてのバイポーラ レンジ		±2		ppm (対 FSR) / ℃
	ゲイン ドリフト	全範囲		±2		ppm (対 FSR) / ℃
	時間の経過に伴う出力電圧ドリフト	T_A = 40°C、フルスケール コード、1900 時間		5		ppm (対 FSR)

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (続き)

特に記載がない限り、最小/最大仕様は T_A = –40℃ ～ +125℃、代表値仕様は T_A = 25℃、V_{CC} = 9V ～ 41.5V、V_{SS} = –21.5V ～ 0V、V_{DD} = V_{AA} = 4.5V ～ 5.5V、V_{REFIN} = 2.5V、V_{IO} = 1.7 V ～ 5.5 V、DAC 出力は無負荷、デジタル入力は V_{IO} または GND における条件です

パラメータ		テスト条件	最小値	標準値	最大値	単位
差動モード性能(1)						
TUE	総合未調整誤差	全範囲	-0.1	±0.01	0.1	%FSR
		±2.5 範囲	-0.2	±0.02	0.2	
	同相モード誤差	すべてのバイポーラ範囲、ミッドスケール コード	-0.1	±0.01	0.1	%FSR
出力特性						
	出力電圧ヘッドルーム	V_{SS} および V_{CC} (–10mA ≤ I_{OUT} ≤ 10mA)	1			V
		V_{SS} および V_{CC} (–15mA ≤ I_{OUT} ≤ 15mA)	1.5			
	短絡電流(2)	フルスケール出力を V_{SS} に短絡		40		mA
		V_{CC} に短絡したゼロスケール出力		40		
	ロード レギュレーション	ミッドスケール コード、–15mA ≤ I_{OUT}≤ 15mA		70		µV/mA
	最大容量性負荷(3)	R_{LOAD} = 開	0		1	nF
	DC 出力インピーダンス	ミッドスケール コード		0.05		Ω
		フルスケール コード		40		
ダイナミック性能						
	出力電圧セトリング時間	¼ ～ ¾ スケールおよび ¾ ～ ¼ スケールのセトリング タイム (±1LSB、±10V レンジ、R_L = 5kΩ、C_L = 200pF)		12		µs
	スルーレート	0V ~ 5V の範囲		1		V/µs
		その他のすべての出力範囲		4		
	電源オン時のグリッチ振幅	アクティブな DAC 出力までのパワーダウン、±20V 範囲、ミッドスケール コード、R_L = 5kΩ、C_L = 200pF		0.3		V
	出力ノイズ電圧	0.1Hz~10Hz、ミッドスケール コード、0V ~ 5V 範囲		15		μV_{PP}
	出力ノイズ 密度	1kHz、ミッドスケール コード、0V ~ 5V 範囲		78		nV/Hz
PSRR-AC	電源 AC 除去比	ミッドスケール コード、周波数 = 60Hz、振幅 = 200mV_{PP} を V_{DD}、V_{CC} または V_{SS} に重畳		1		LSB/V
PSRR-DC	電源 DC 除去比	ミッドスケール コード、V_{DD} = 5V ± 5%、V_{CC} = 20V、V_{SS} = –20V		1		LSB/V
		ミッドスケール コード、V_{DD} = 5V、V_{CC} = 20V ± 5%、V_{SS} = –20V		1		
		ミッドスケール コード、V_{DD} = 5V、V_{CC} = 20V、V_{SS} = –20V ± 5%		1		
	コード書き換えによるグリッチ インパルス	主要なキャリア付近での 1LSB 変化、0V ～ 5V 範囲		4		nV-s
	チャネル間 AC クロストーク	0V ～ 5V の範囲、測定チャネルはミッドスケール、他のすべてのチャネルはフルスケール スイング		4		nV-s

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (続き)

特に記載がない限り、最小/最大仕様は T_A = –40℃ ～ +125℃、代表値仕様は T_A = 25℃、V_{CC} = 9V ～ 41.5V、V_{SS} = –21.5V ～ 0V、V_{DD} = V_{AA} = 4.5V ～ 5.5V、V_{REFIN} = 2.5V、V_{IO} = 1.7 V ～ 5.5 V、DAC 出力は無負荷、デジタル入力は V_{IO} または GND における条件です

パラメータ		テスト条件	最小値	標準値	最大値	単位
	チャネル間 DC クロストーク	0V ～ 5V の範囲、測定チャネルはミッドスケール、他のすべてのチャネルはフルスケール		0.25		LSB
	デジタル フィードスルー	0V から 5V までの範囲、ミッドスケール コード、 f_{SCLK} = 1MHz		1		nV-s

5.5 電気的特性 (続き)

特に記載がない限り、最小/最大仕様は T_A = –40℃ ～ +125℃、代表値仕様は T_A = 25℃、V_{CC} = 9V ～ 41.5V、V_{SS} = –21.5V ～ 0V、V_{DD} = V_{AA} = 4.5V ～ 5.5V、V_{REFIN} = 2.5V、V_{IO} = 1.7 V ～ 5.5 V、DAC 出力は無負荷、デジタル入力は V_{IO} または GND における条件です

パラメータ		テスト条件	最小値	標準値	最大値	単位
外部リファレンス入力						
V_{REFIN}	基準入力電圧範囲	V_{REFGND} 向け	2.49	2.5	2.51	V
	基準入力電流			50		µA
	リファレンス入力インピーダンス			50		kΩ
	基準入力容量			20		pF
内部リファレンス						
V_{REFOUT}	基準出力電圧範囲	T_A = 25℃	2.4975		2.5025	V
	リファレンス出力のドリフト			5	15	ppm/℃
	リファレンス出力インピーダンス			0.1		Ω
	リファレンス出力ノイズ	0.1Hz ～ 10Hz		12		$µV_{PP}$
	リファレンス出力ノイズ密度	10kHz、REF_{LOAD} = 10nF		150		nV/Hz
	リファレンス負荷電流			5		mA
	基準負荷レギュレーション	ソース		80		µV/mA
	基準ライン レギュレーション			20		µV/V
	温度によるリファレンス出力のドリフト	T_A = 25℃、1900 時間		250		µV
	基準温度ヒステリシス	最初のサイクル		±700		µV
		追加サイクル		±50		
デジタル入出力						
V_{IH}	High レベル入力電圧		0.7 × V_{IO}			V
V_{IL}	Low レベル入力電圧				0.3 × V_{IO}	V
	入力電流			±2		µA
	入力ピン容量			2		pF
V_{OH}	High レベル出力電圧	I_{OH} = 0.2mA	V_{IO} – 0.2			V
V_{OL}	Low レベル出力電圧	I_{OL} = 0.2mA			0.4	V
	出力ピンの容量			5		pF
アラーム出力						
	出力ピンの容量			5		pF
V_{OL}	Low レベル出力電圧	I_{LOAD} = -0.2mA			0.4	V
温度出力						
$V_{TEMPOUT、0C}$	0℃での出力電圧オフセット			1.34		V
	センサのゲイン			-4		mV/℃

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (続き)

特に記載がない限り、最小/最大仕様は T_A = –40℃ ～ +125℃、代表値仕様は T_A = 25℃、V_{CC} = 9V ～ 41.5V、V_{SS} = –21.5V ～ 0V、V_{DD} = V_{AA} = 4.5V ～ 5.5V、V_{REFIN} = 2.5V、V_{IO} = 1.7 V ～ 5.5 V、DAC 出力は無負荷、デジタル入力は V_{IO} または GND における条件です

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源要件						
I_{DD}	V_{DD} 消費電流	アクティブ モード、内部リファレンスがイネーブル、フルスケール コード、±20V の出力範囲、SPI が静的		0.05	0.5	mA
		アクティブモード、内部リファレンスがディスエーブル、フルスケール コード、±20V の出力範囲、SPI が静的		0.05	0.5	mA
		パワーダウン モード		0.05	0.5	mA
I_{AA}	V_{AA} 消費電流	アクティブ モード、内部リファレンスがイネーブル、フルスケール コード、±20V の出力範囲、SPI が静的		20	30	mA
		アクティブモード、内部リファレンスがディスエーブル、フルスケール コード、±20V の出力範囲、SPI が静的		18	28	mA
		パワーダウン モード		2	85	µA
I_{CC}	V_{CC} 消費電流	アクティブ モード、内部リファレンスがイネーブル、フルスケール コード、±20V の出力範囲、SPI が静的		10	25	mA
		アクティブモード、内部リファレンスがディスエーブル、フルスケール コード、±20V の出力範囲、SPI が静的		10	25	mA
		パワーダウン モード		10	30	µA
I_{SS}	V_{SS} 消費電流	アクティブ モード、内部リファレンスがイネーブル、フルスケール コード、±20V の出力範囲、SPI が静的	-15	-10		mA
		アクティブモード、内部リファレンスがディスエーブル、フルスケール コード、±20V の出力範囲、SPI が静的	-15	-10		mA
		パワーダウン モード	-30	-10		µA
I_{IO}	V_{IO} の電源電流	50MHz での SCLK と SDI のトグル		350	500	µA

(1) エンドポイントはコード間にフィットします。16 ビット: コード 256 ～ 65280、14 ビット: コード 128 ～ 16256、12 ビット: コード 32 ～ 4064。
(2) 一時的な過負荷状態保護。電流制限時には、接合部温度が規定値を超える可能性があります。規定された最大接合部温度を超える動作は、デバイスの信頼性を損なう可能性があります。
(3) 設計と特性評価による仕様で、製造テストは未実施。

Copyright © 2025 Texas Instruments Incorporated

5.6 タイミング要件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
シリアル インターフェース - 書き込み操作						
$f_{(SCLK)}$	シリアル クロック周波数	V_{IO} = 1.7V～2.7V			25	MHz
		V_{IO} = 2.7V～5.5V			50	
$t_{SCLKHIGH}$	SCLK High 時間	V_{IO} = 1.7V～2.7V	20			ns
		V_{IO} = 2.7V～5.5V	10			
$t_{SCLKLOW}$	SCLK Low 時間	V_{IO} = 1.7V～2.7V	20			ns
		V_{IO} = 2.7V～5.5V	10			
t_{SDIS}	SDI のセットアップ時間	V_{IO} = 1.7V～2.7V	10			ns
		V_{IO} = 2.7V～5.5V	5			
t_{SDIH}	SDI のホールド時間	V_{IO} = 1.7V～2.7V	10			ns
		V_{IO} = 2.7V～5.5V	5			
t_{CSS}	$\overline{CS}$ から SCLK 立ち下がりエッジまでのセットアップ時間	V_{IO} = 1.7V～2.7V	30			ns
		V_{IO} = 2.7V～5.5V	15			
t_{CSH}	SCLK 立ち下がりエッジから $\overline{CS}$ 立ち上がりエッジまで	V_{IO} = 1.7V～2.7V	10			ns
		V_{IO} = 2.7V～5.5V	5			
t_{CSHIGH}	$\overline{CS}$ High 時間	V_{IO} = 1.7V～2.7V	50			ns
		V_{IO} = 2.7V～5.5V	25			
$t_{DACWAIT}$	シーケンシャル DAC 更新の待機時間	V_{IO} = 1.7V～2.7V	2.4			µs
		V_{IO} = 2.7V～5.5V	2.4			
$t_{BCASTWAIT}$	ブロードキャスト DAC 更新待機時間	V_{IO} = 1.7V～2.7V	4			µs
		V_{IO} = 2.7V～5.5V	4			
シリアル インターフェース — 読み出しおよびデイジーチェーン動作、FSDO = 0						
$f_{(SCLK)}$	シリアル クロック周波数	V_{IO} = 1.7V～2.7V			15	MHz
		V_{IO} = 2.7V～5.5V			20	
$t_{SCLKHIGH}$	SCLK High 時間	V_{IO} = 1.7V～2.7V	33			ns
		V_{IO} = 2.7V～5.5V	25			
$t_{SCLKLOW}$	SCLK Low 時間	V_{IO} = 1.7V～2.7V	33			ns
		V_{IO} = 2.7V～5.5V	25			
t_{SDIS}	SDI のセットアップ時間	V_{IO} = 1.7V～2.7V	10			ns
		V_{IO} = 2.7V～5.5V	5			
t_{SDIH}	SDI のホールド時間	V_{IO} = 1.7V～2.7V	10			ns
		V_{IO} = 2.7V～5.5V	5			
t_{CSS}	$\overline{CS}$ から SCLK 立ち下がりエッジまでのセットアップ時間	V_{IO} = 1.7V～2.7V	30			ns
		V_{IO} = 2.7V～5.5V	20			
t_{CSH}	SCLK 立ち下がりエッジから $\overline{CS}$ 立ち上がりエッジまで	V_{IO} = 1.7V～2.7V	8			ns
		V_{IO} = 2.7V～5.5V	5			
t_{CSHIGH}	$\overline{CS}$ high 時間	V_{IO} = 1.7V～2.7V	50			ns
		V_{IO} = 2.7V～5.5V	25			
t_{SDOZD}	SDO トライステート状態から駆動へ	V_{IO} = 1.7V～2.7V	0		20	ns
		V_{IO} = 2.7V～5.5V	0		20	

Copyright © 2025 Texas Instruments Incorporated

5.6 タイミング要件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
t_{SDODLY}	SDO 出力遅延	V_{IO} = 1.7V～2.7V	0		35	ns
		V_{IO} = 2.7V～5.5V	0		20	

5.6 タイミング要件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
シリアル インターフェース — 読み出しおよびデイジーチェーン動作、FSDO = 1						
$f_{(SCLK)}$	シリアル クロック周波数	V_{IO} = 1.7V～2.7V			25	MHz
		V_{IO} = 2.7V～5.5V			35	
$t_{SCLKHIGH}$	SCLK High 時間	V_{IO} = 1.7V～2.7V	20			ns
		V_{IO} = 2.7V～5.5V	14			
$t_{SCLKLOW}$	SCLK Low 時間	V_{IO} = 1.7V～2.7V	20			ns
		V_{IO} = 2.7V～5.5V	14			
t_{SDIS}	SDI のセットアップ時間	V_{IO} = 1.7V～2.7V	10			ns
		V_{IO} = 2.7V～5.5V	5			
t_{SDIH}	SDI のホールド時間	V_{IO} = 1.7V～2.7V	10			ns
		V_{IO} = 2.7V～5.5V	5			
t_{CSS}	$\overline{CS}$ から SCLK 立ち下がりエッジまでのセットアップ時間	V_{IO} = 1.7V～2.7V	30			ns
		V_{IO} = 2.7V～5.5V	20			
t_{CSH}	SCLK 立ち下がりエッジから $\overline{CS}$ 立ち上がりエッジまで	V_{IO} = 1.7V～2.7V	8			ns
		V_{IO} = 2.7V～5.5V	5			
t_{CSHIGH}	$\overline{CS}$ high 時間	V_{IO} = 1.7V～2.7V	50			ns
		V_{IO} = 2.7V～5.5V	25			
t_{SDOZD}	SDO トライステート状態から駆動へ	V_{IO} = 1.7V～2.7V	0		20	ns
		V_{IO} = 2.7V～5.5V	0		20	
t_{SDODLY}	SDO 出力遅延	V_{IO} = 1.7V～2.7V	0		35	ns
		V_{IO} = 2.7V～5.5V	0		20	
デジタル ロジック						
t_{LOGDLY}	$\overline{CS}$ 立ち上がりエッジから $\overline{LDAC}$ または $\overline{CLR}$ 立ち下がりエッジまでの遅延時間	VIO = 1.7V～2.7V	40			ns
t_{LOGDLY}	$\overline{CS}$ 立ち上がりエッジから $\overline{LDAC}$ または $\overline{CLR}$ 立ち下がりエッジまでの遅延時間	VIO = 2.7V～5.5V	20			
t_{LDAC}	$\overline{LDAC}$ Low 時間	VIO = 1.7V～2.7V	20			ns
		VIO = 2.7V～5.5V	10			
t_{CLR}	$\overline{CLR}$ Low 時間	VIO = 1.7V～2.7V	20			ns
		VIO = 2.7V～5.5V	10			
t_{RESET}	POR リセット遅延	VIO = 1.7V～2.7V			1	ms
		VIO = 2.7V～5.5V			1	
f_{TOGGLE}	TOGGLE 周波数	VIO = 1.7V～2.7V			100	kHz
		VIO = 2.7V～5.5V			100	

Copyright © 2025 Texas Instruments Incorporated

5.7 タイミング図

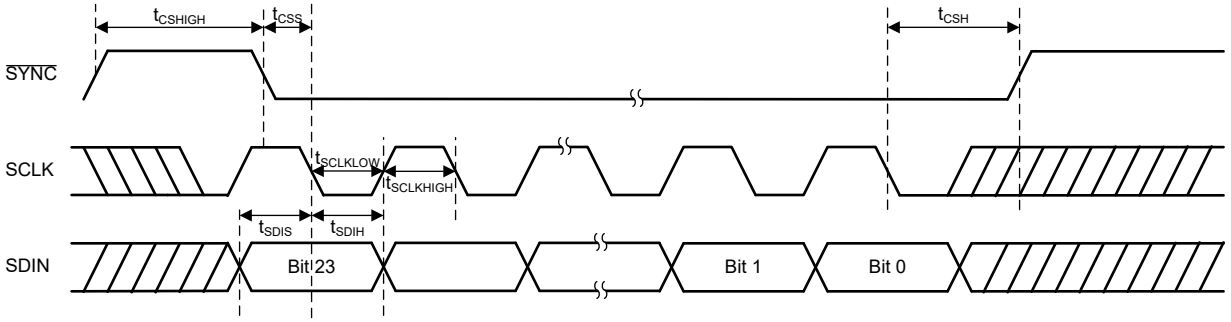


図 5-1. シリアル インターフェース書き込みタイミング図

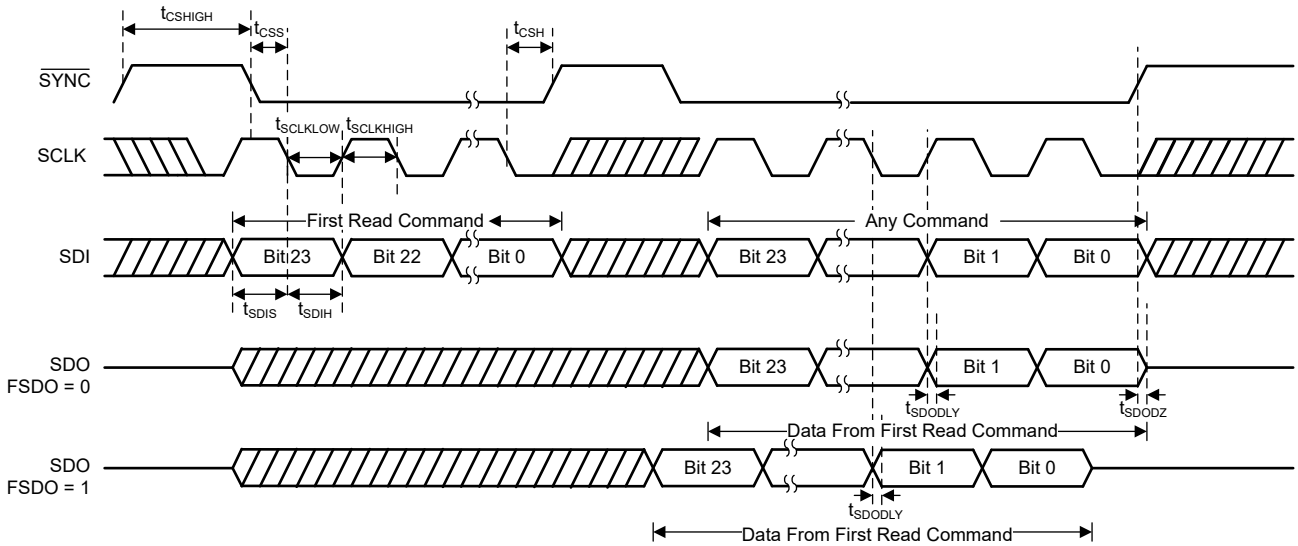


図 5-2. シリアル レジスタ読み取りタイミング図

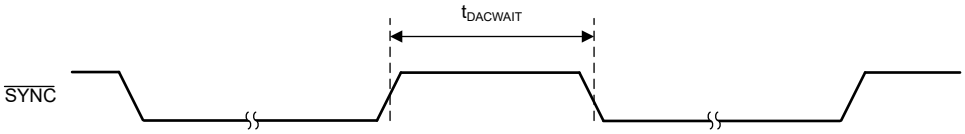


図 5-3. 更新モードでの DAC 待機時間

5.8 代表的特性

T_A = 25°C、V_{DD} = V_{AA} = 5V、V_{REFIN} = 2.5V、ユニポーラ範囲の場合：V_{SS} = 0V かつ DAC 範囲に対して $V_{CC} \geq V_{MAX}$ + 1.5 V、バイポーラ範囲の場合: $V_{SS} \leq V_{MIN}$ – 1.5V かつ $V_{CC} \geq V_{MAX}$ + 1.5 V の場合に DAC 範囲となり、特に記載がない限り DAC 出力は無負荷とします

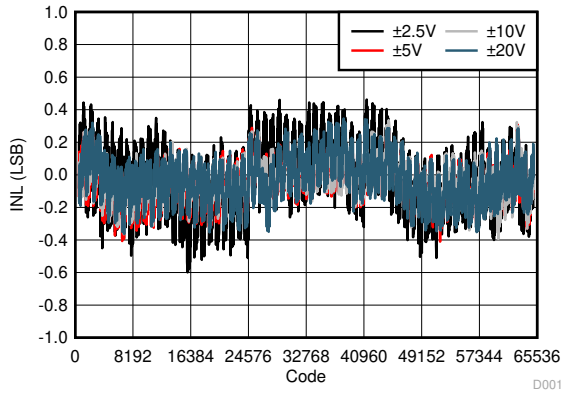


図 5-4. 積分非直線性誤差とデジタル入力コードとの関係 (バイポーラ出力)

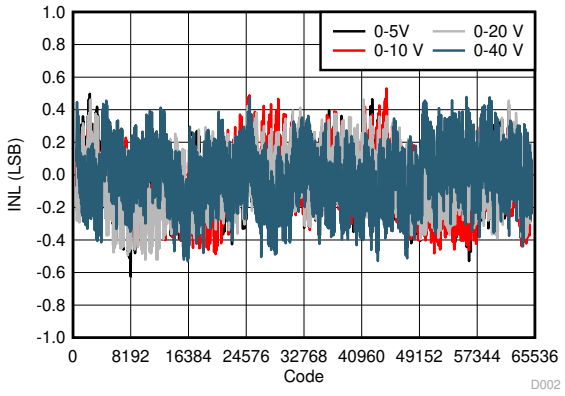


図 5-5. 積分直線性誤差とデジタル入力コードとの関係 (ユニポーラ出力)

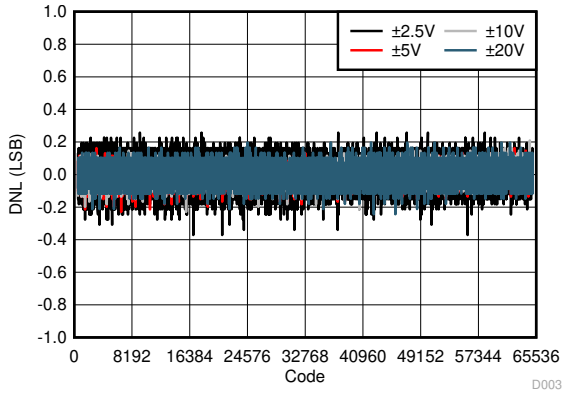


図 5-6. 微分直線性誤差とデジタル入力コードとの関係 (バイポーラ出力)

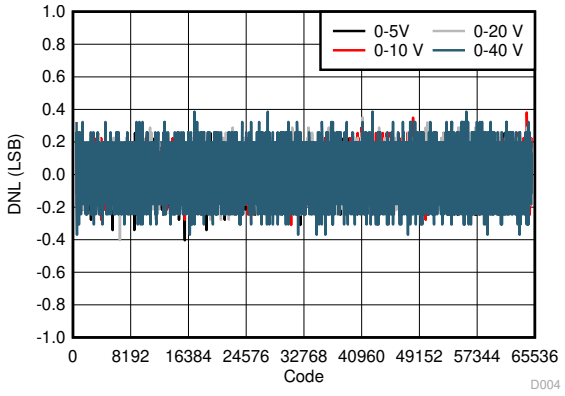


図 5-7. 微分直線性誤差とデジタル入力コードとの関係 (ユニポーラ出力)

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性 (続き)

T_A = 25°C、V_{DD} = V_{AA} = 5V、V_{REFIN} = 2.5V、ユニポーラ範囲の場合:V_{SS} = 0V かつ DAC 範囲に対して $V_{CC} \geq V_{MAX}$ + 1.5 V、バイポーラ範囲の場合: $V_{SS} \leq V_{MIN}$ – 1.5V かつ $V_{CC} \geq V_{MAX}$ + 1.5 V の場合に DAC 範囲となり、特に記載がない限り DAC 出力は無負荷とします

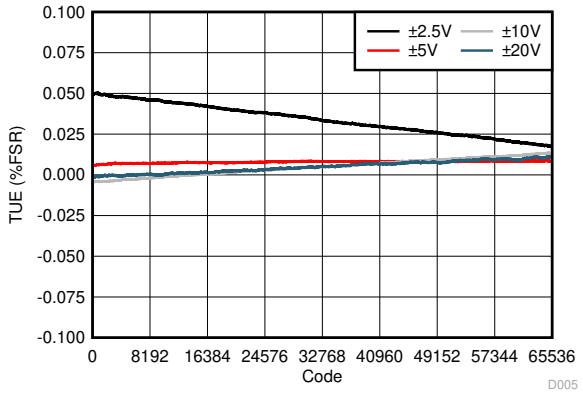


図 5-8. 総未調整誤差とデジタル入力コードとの関係 (バイポーラ出力)

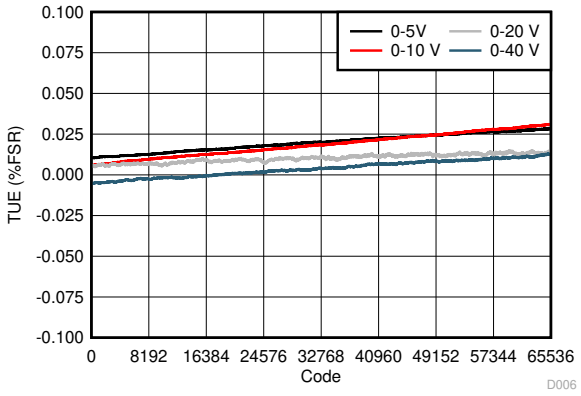


図 5-9. 総ユニポーラ誤差とデジタル入力コードとの関係 (ユニポーラ出力)

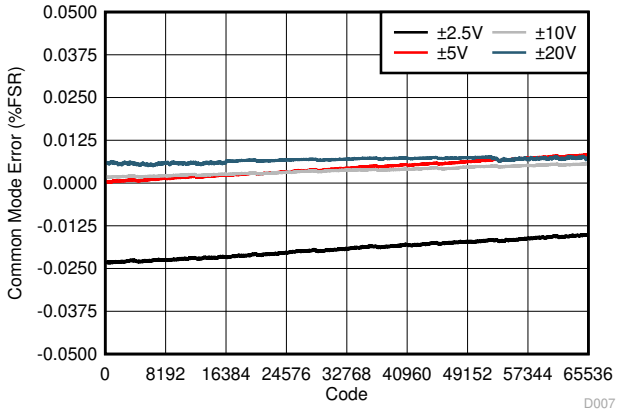


図 5-10. 同相モード誤差とデジタル入力コードとの関係 (差動バイポーラ出力)

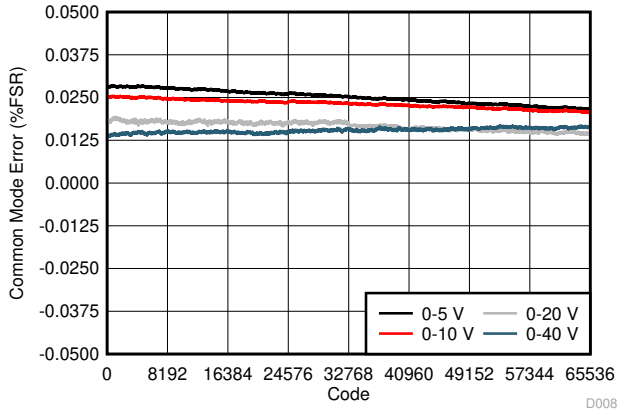
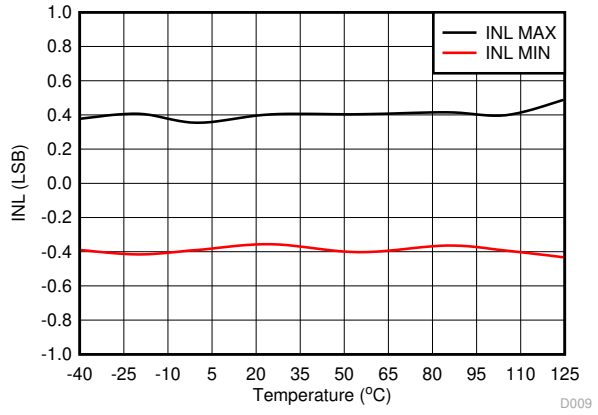


図 5-11. 同相モード誤差とデジタル入力コードとの関係 (差動ユニポーラ出力)

Copyright © 2025 Texas Instruments Incorporated

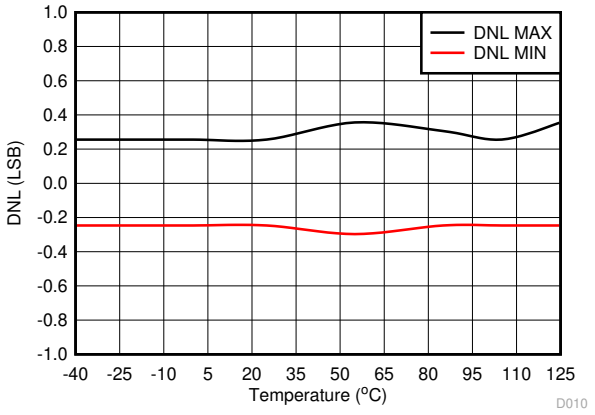
5.8 代表的特性 (続き)

T_A = 25°C、V_{DD} = V_{AA} = 5V、V_{REFIN} = 2.5V、ユニポーラ範囲の場合:V_{SS} = 0V かつ DAC 範囲に対して $V_{CC} \geq V_{MAX}$ + 1.5 V、バイポーラ範囲の場合: $V_{SS} \leq V_{MIN}$ – 1.5V かつ $V_{CC} \geq V_{MAX}$ + 1.5 V の場合に DAC 範囲となり、特に記載がない限り DAC 出力は無負荷とします



±20V の出力範囲

図 5-12. 積分直線性誤差と温度との関係



±20V の出力範囲

図 5-13. 微分直線性誤差と温度との関係

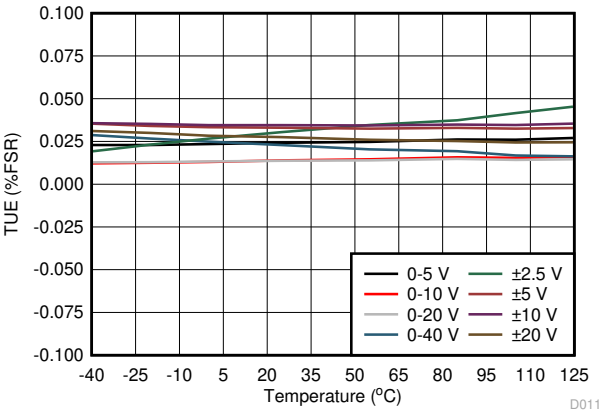


図 5-14. 総未調整誤差と温度との関係

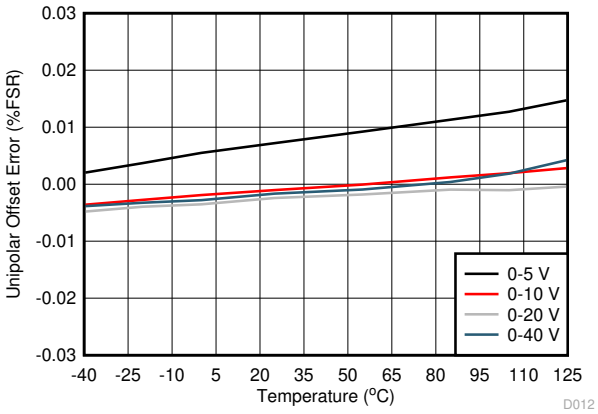


図 5-15. ユニポーラ オフセット誤差と温度との関係

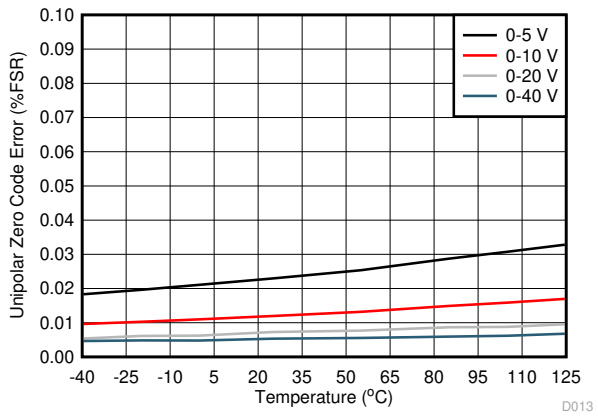


図 5-16. ユニポーラ ゼロ コード誤差と温度との関係

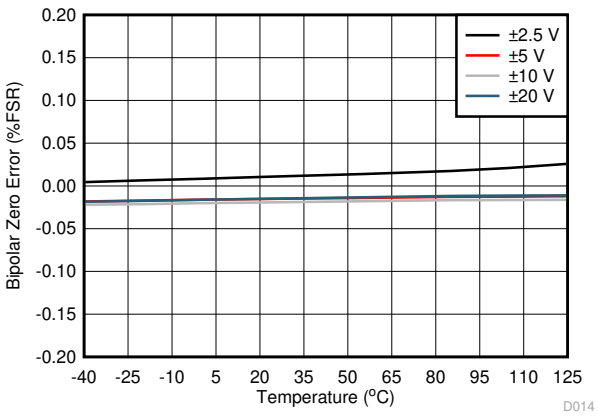


図 5-17. バイポーラ ゼロ誤差と温度との関係

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性 (続き)

T_A = 25°C、V_{DD} = V_{AA} = 5V、V_{REFIN} = 2.5V、ユニポーラ範囲の場合:V_{SS} = 0V かつ DAC 範囲に対して $V_{CC} \geq V_{MAX}$ + 1.5 V、バイポーラ範囲の場合: $V_{SS} \leq V_{MIN}$ – 1.5V かつ $V_{CC} \geq V_{MAX}$ + 1.5 V の場合に DAC 範囲となり、特に記載がない限り DAC 出力は無負荷とします

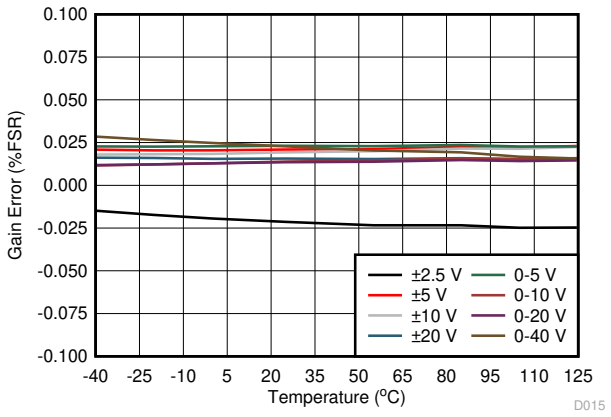


図 5-18. ゲイン誤差と温度との関係

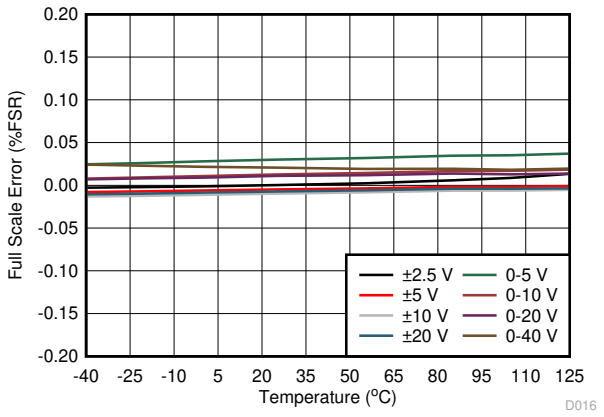


図 5-19. フルスケール誤差と温度との関係

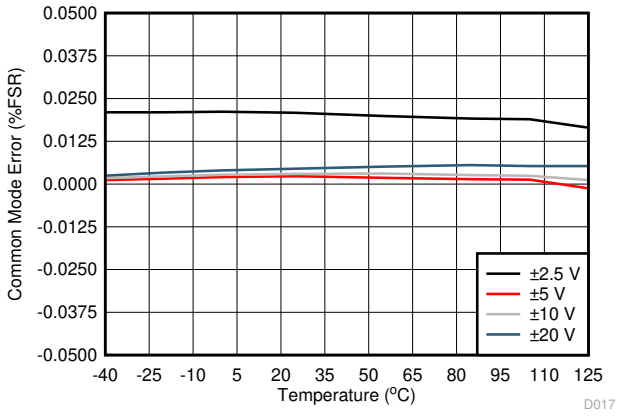


図 5-20. 同相モード誤差と温度との関係
(差動バイポーラ出力)

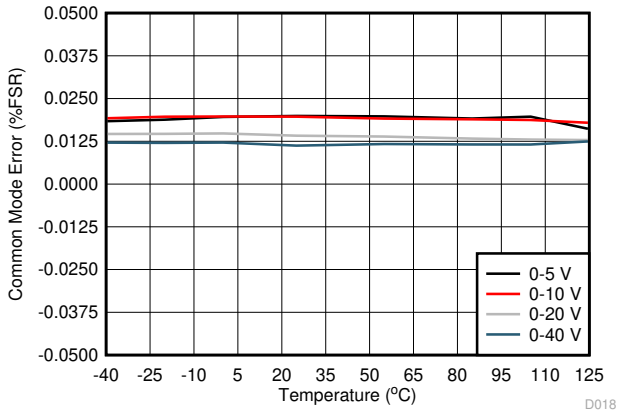
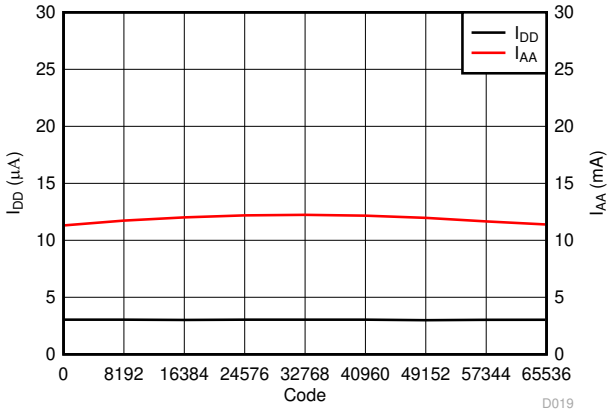


図 5-21. 同相モード誤差と温度との関係
(差動ユニポーラ出力)

Copyright © 2025 Texas Instruments Incorporated

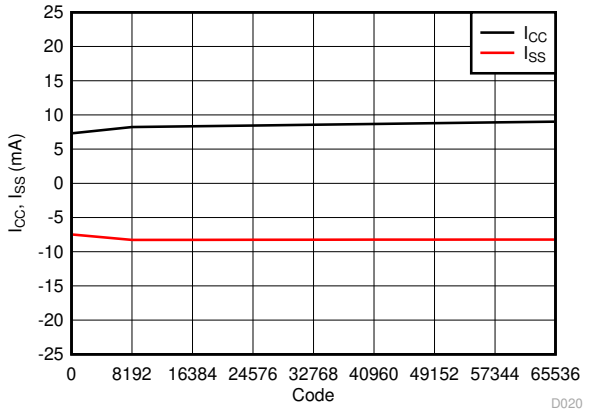
5.8 代表的特性 (続き)

T_A = 25°C、V_{DD} = V_{AA} = 5V、V_{REFIN} = 2.5V、ユニポーラ範囲の場合:V_{SS} = 0V かつ DAC 範囲に対して $V_{CC} \geq V_{MAX}$ + 1.5 V、バイポーラ範囲の場合: $V_{SS} \leq V_{MIN}$ – 1.5V かつ $V_{CC} \geq V_{MAX}$ + 1.5 V の場合に DAC 範囲となり、特に記載がない限り DAC 出力は無負荷とします



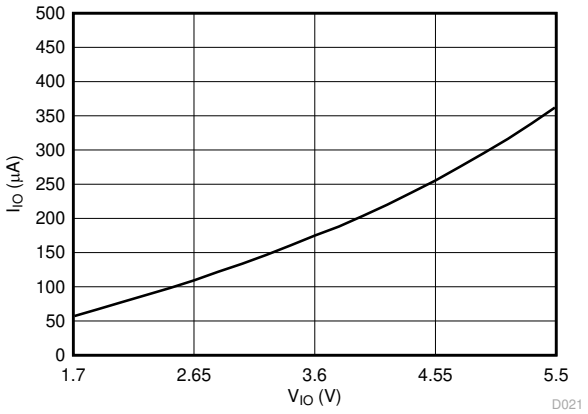
±20V の出力範囲

図 5-22. 電源電流 (I_{DD}、I_{AA})とデジタル入力コードとの関係



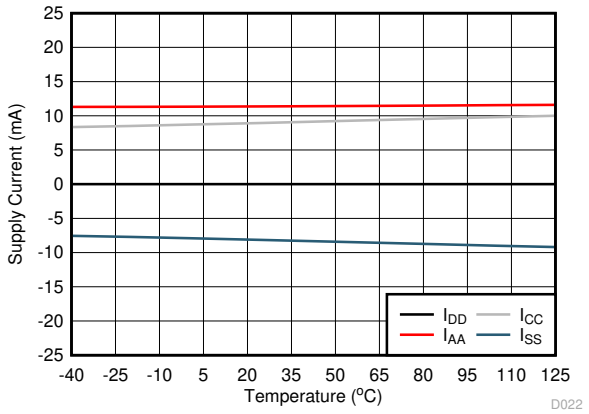
±20V の出力範囲

図 5-23. 電源電流 (I_{CC}、I_{SS})とデジタル入力コードとの関係



±20V の出力範囲

図 5-24. 電源電流 (I_{IO}) と電源電圧の関係



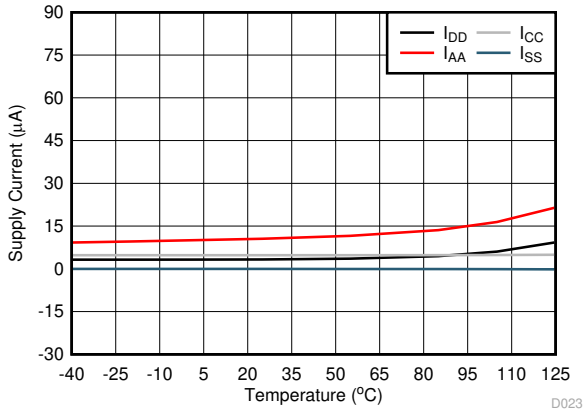
±20V の出力範囲

図 5-25. 電源電流と温度との関係

Copyright © 2025 Texas Instruments Incorporated

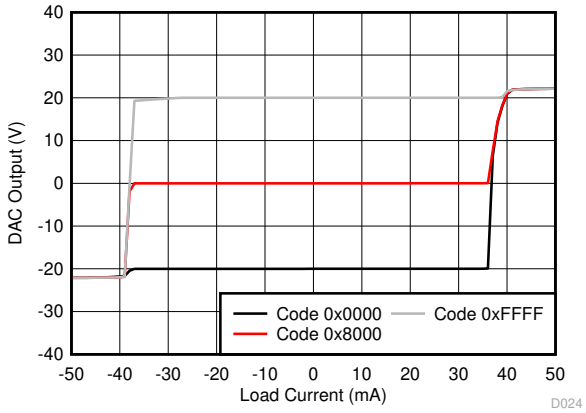
5.8 代表的特性 (続き)

T_A = 25°C、V_{DD} = V_{AA} = 5V、V_{REFIN} = 2.5V、ユニポーラ範囲の場合：V_{SS} = 0V かつ DAC 範囲に対して $V_{CC} \geq V_{MAX}$ + 1.5 V、バイポーラ範囲の場合: $V_{SS} \leq V_{MIN}$ – 1.5V かつ $V_{CC} \geq V_{MAX}$ + 1.5 V の場合に DAC 範囲となり、特に記載がない限り DAC 出力は無負荷とします



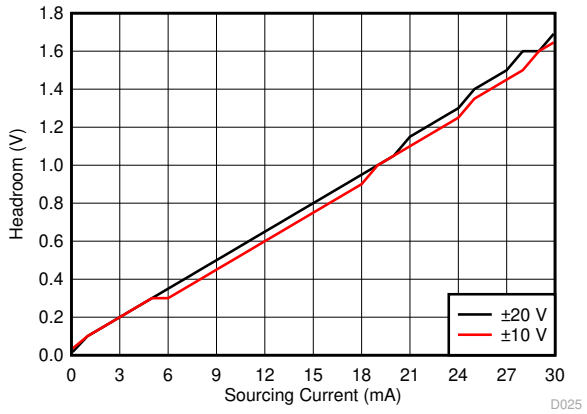
±20V の出力範囲

図 5-26. パワーダウン電流と温度との関係



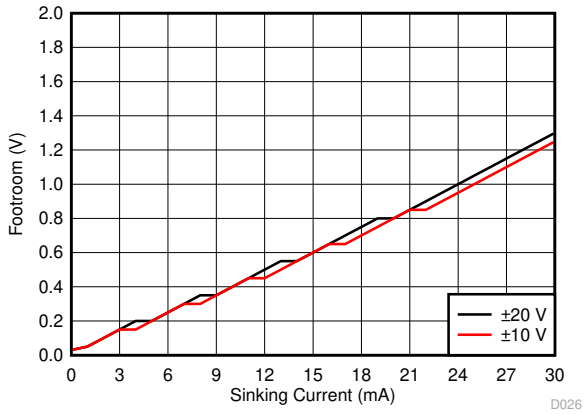
±20V の出力範囲

図 5-27. ソースおよびシンク振幅



フルスケール コード

図 5-28. V_{CC} ヘッドルームとソース電流との関係

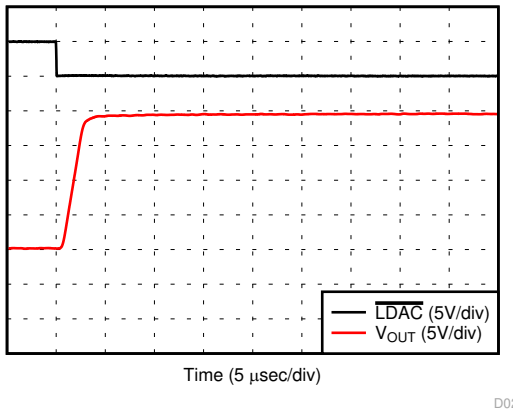


ゼロ コード

図 5-29. V_{SS} フットルームとシンク電流との関係

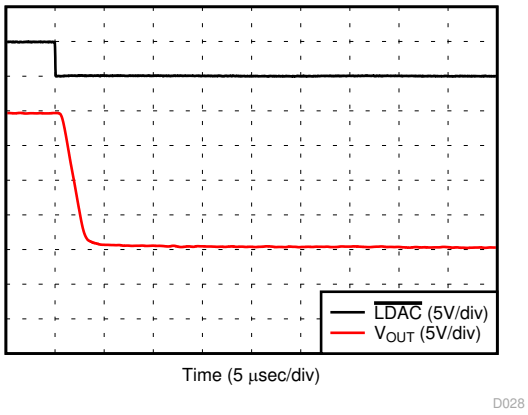
5.8 代表的特性 (続き)

T_A = 25°C、V_{DD} = V_{AA} = 5V、V_{REFIN} = 2.5V、ユニポーラ範囲の場合：V_{SS} = 0V かつ DAC 範囲に対して V_{CC} ≥ V_{MAX} + 1.5 V、バイポーラ範囲の場合: V_{SS} ≤ V_{MIN} – 1.5V かつ V_{CC} ≥ V_{MAX} + 1.5 V の場合に DAC 範囲となり、特に記載がない限り DAC 出力は無負荷とします



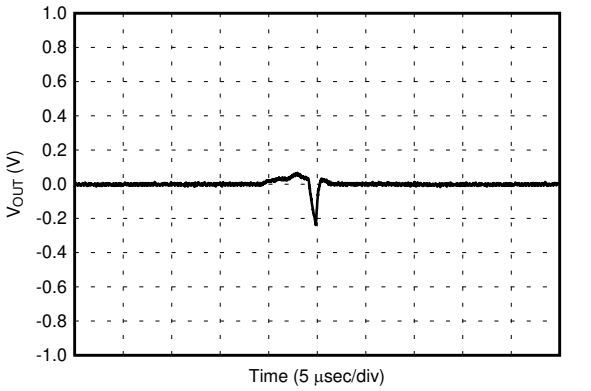
±20V の出力範囲

図 5-30. フルスケール セトリング時間、立ち上がりエッジ



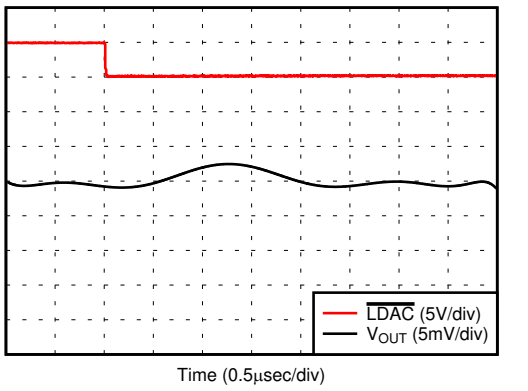
±20V の出力範囲

図 5-31. フルスケール セトリング時間、立ち下がりエッジ



アクティブ DAC モードへのパワーダウン
±20V の出力範囲

図 5-32. DAC 出力イネーブル グリッチ



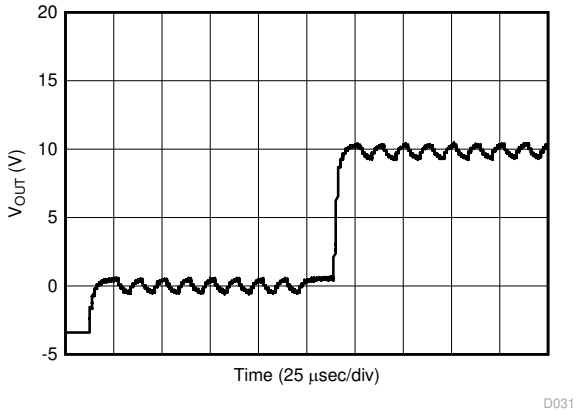
0V ~ 5V 出力範囲

図 5-33. グリッチ インパルス、1LSB ステップ

Copyright © 2025 Texas Instruments Incorporated

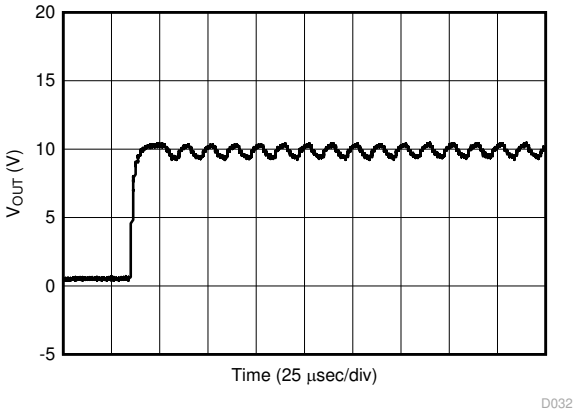
5.8 代表的特性 (続き)

T_A = 25°C、V_{DD} = V_{AA} = 5V、V_{REFIN} = 2.5V、ユニポーラ範囲の場合:V_{SS} = 0V かつ DAC 範囲に対して $V_{CC} \geq V_{MAX}$ + 1.5 V、バイポーラ範囲の場合: $V_{SS} \leq V_{MIN}$ – 1.5V かつ $V_{CC} \geq V_{MAX}$ + 1.5 V の場合に DAC 範囲となり、特に記載がない限り DAC 出力は無負荷とします



±20V の出力範囲
トグル信号:1V_{PP}
DC 変化: ミッドスケールからフルスケールの 3/4 まで

図 5-34. トグル出力変化応答



±20V の出力範囲
トグル信号:1V_{PP}
DC 値:3/4 フルスケール

図 5-35. トグル イネーブル応答

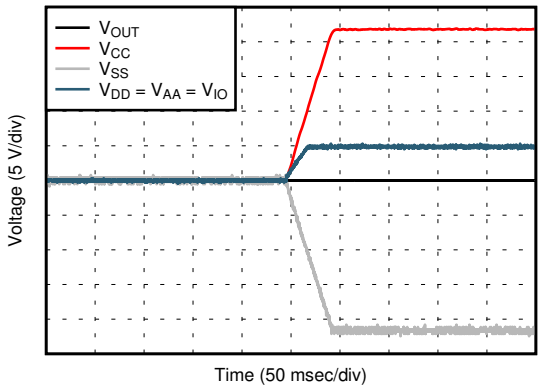


図 5-36. パワーアップ応答

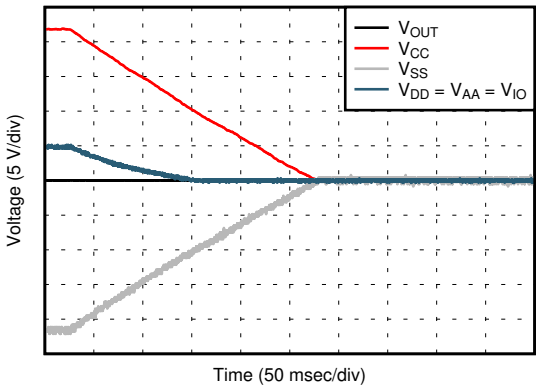
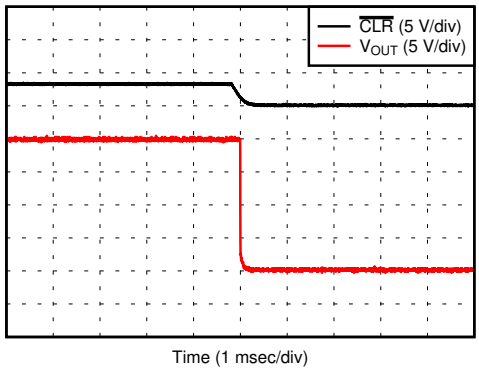


図 5-37. パワーダウン応答

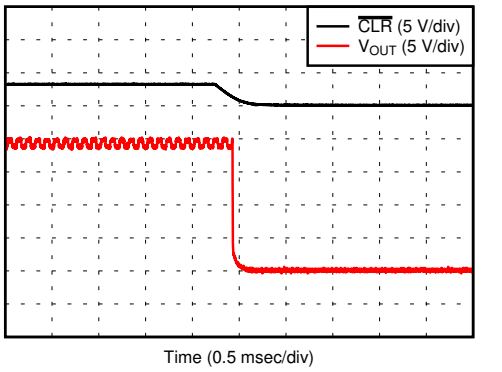
5.8 代表的特性 (続き)

T_A = 25°C、V_{DD} = V_{AA} = 5V、V_{REFIN} = 2.5V、ユニポーラ範囲の場合:V_{SS} = 0V かつ DAC 範囲に対して V_{CC} ≥ V_{MAX} + 1.5 V、バイポーラ範囲の場合: V_{SS} ≤ V_{MIN} – 1.5V かつ V_{CC} ≥ V_{MAX} + 1.5 V の場合に DAC 範囲となり、特に記載がない限り DAC 出力は無負荷とします



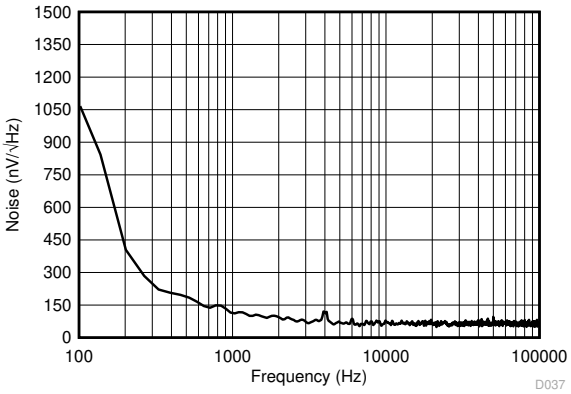
±20V の出力範囲
フルスケール コードから 0 V まで

図 5-38. クリア コマンド応答



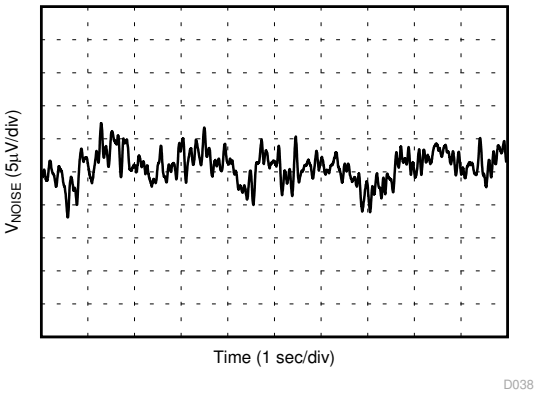
±20V の出力範囲
トグル信号:1V_{PP}
20V での DC 値

図 5-39. トグル モードでのクリア コマンド応答



0V ~ 5V 出力範囲
ミッドスケール コード

図 5-40. DAC の出力ノイズ密度と周波数との関係



0V ~ 5V 出力範囲
ミッドスケール コード

図 5-41. DAC 出力ノイズ

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性 (続き)

T_A = 25°C、V_{DD} = V_{AA} = 5V、V_{REFIN} = 2.5V、ユニポーラ範囲の場合:V_{SS} = 0V かつ DAC 範囲に対して $V_{CC} \geq V_{MAX}$ + 1.5 V、バイポーラ範囲の場合: $V_{SS} \leq V_{MIN}$ – 1.5V かつ $V_{CC} \geq V_{MAX}$ + 1.5 V の場合に DAC 範囲となり、特に記載がない限り DAC 出力は無負荷とします

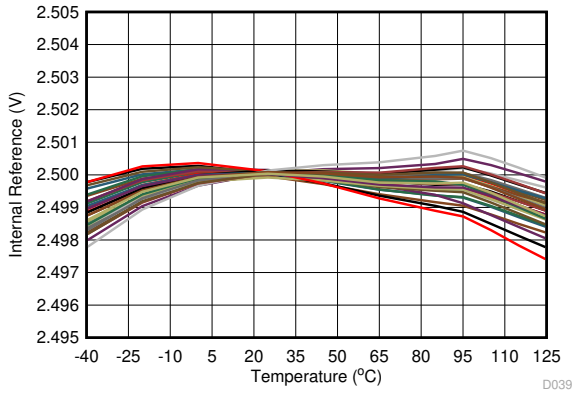


図 5-42. 内部基準電圧と温度との関係

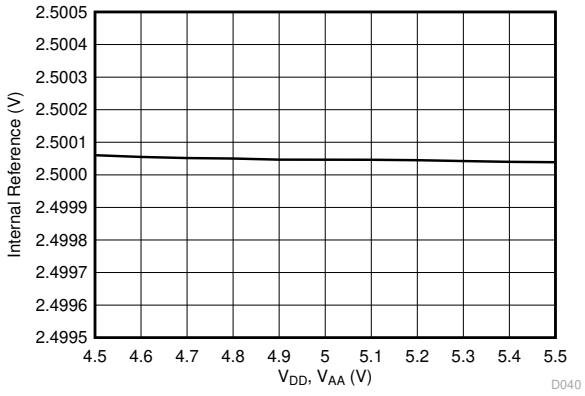


図 5-43. 内部リファレンス電圧と電源電圧との関係

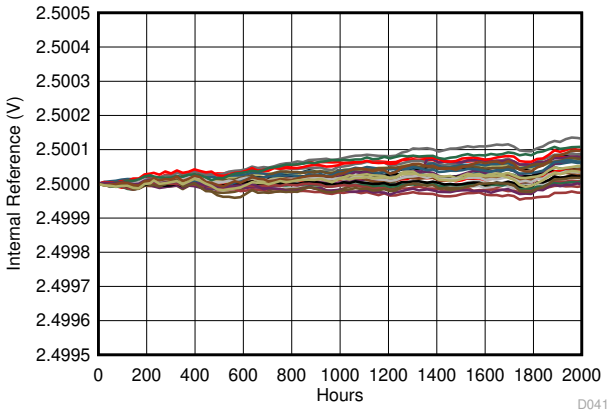


図 5-44. 内部リファレンス電圧と時間との関係

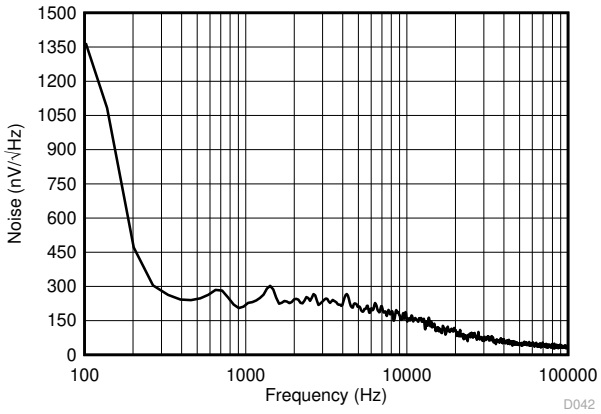


図 5-45. 内部リファレンスノイズ密度と周波数との関係

5.8 代表的特性 (続き)

T_A = 25°C、V_{DD} = V_{AA} = 5V、V_{REFIN} = 2.5V、ユニポーラ範囲の場合:V_{SS} = 0V かつ DAC 範囲に対して $V_{CC} \geq V_{MAX}$ + 1.5 V、バイポーラ範囲の場合: $V_{SS} \leq V_{MIN}$ – 1.5V かつ $V_{CC} \geq V_{MAX}$ + 1.5 V の場合に DAC 範囲となり、特に記載がない限り DAC 出力は無負荷とします

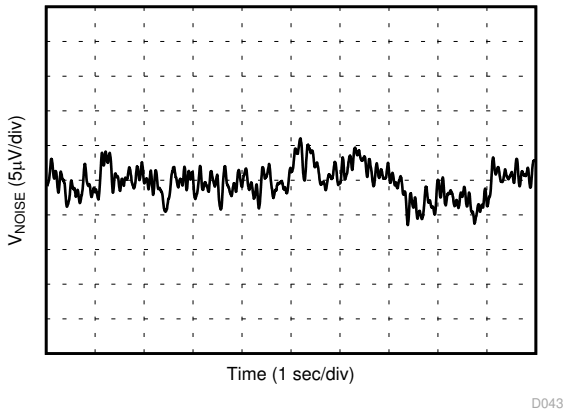


図 5-46. 内部リファレンス ノイズ

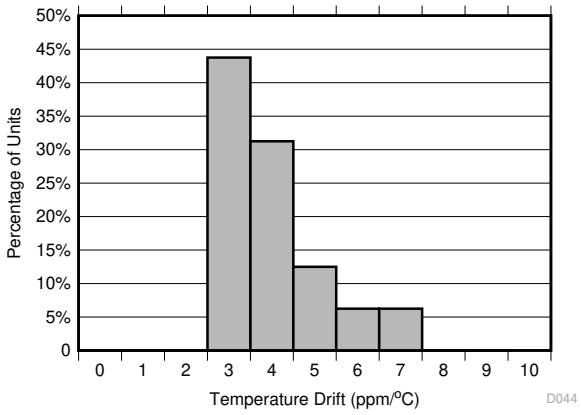


図 5-47. 内部リファレンス温度ドリフト ヒストグラム

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

DACx1416 は、16 チャネル、バッファ付き、高電圧出力の D/A コンバータ (DAC) ファミリで、16 ビット、14 ビット、12 ビットの分解能に対応し、ピン互換性があります。DACx1416 には、2.5V 内部リファレンスが含まれています。出力構成をユーザーが選択可能で、フルスケールのバイポーラ出力電圧の ±20V、±10V、±5V、±2.5V、およびフルスケールのユニポーラ出力電圧の 40V、20V、10V、5V を使用できます。各 DAC チャネルのフルスケール出力範囲は別々にプログラム可能です。さらに、各 DAC チャネルのペアは差動出力を提供するように設定できます。3 つの専用 A-B トグル ピンにより、最大 3 つの周波数についてディザ信号を生成できます。

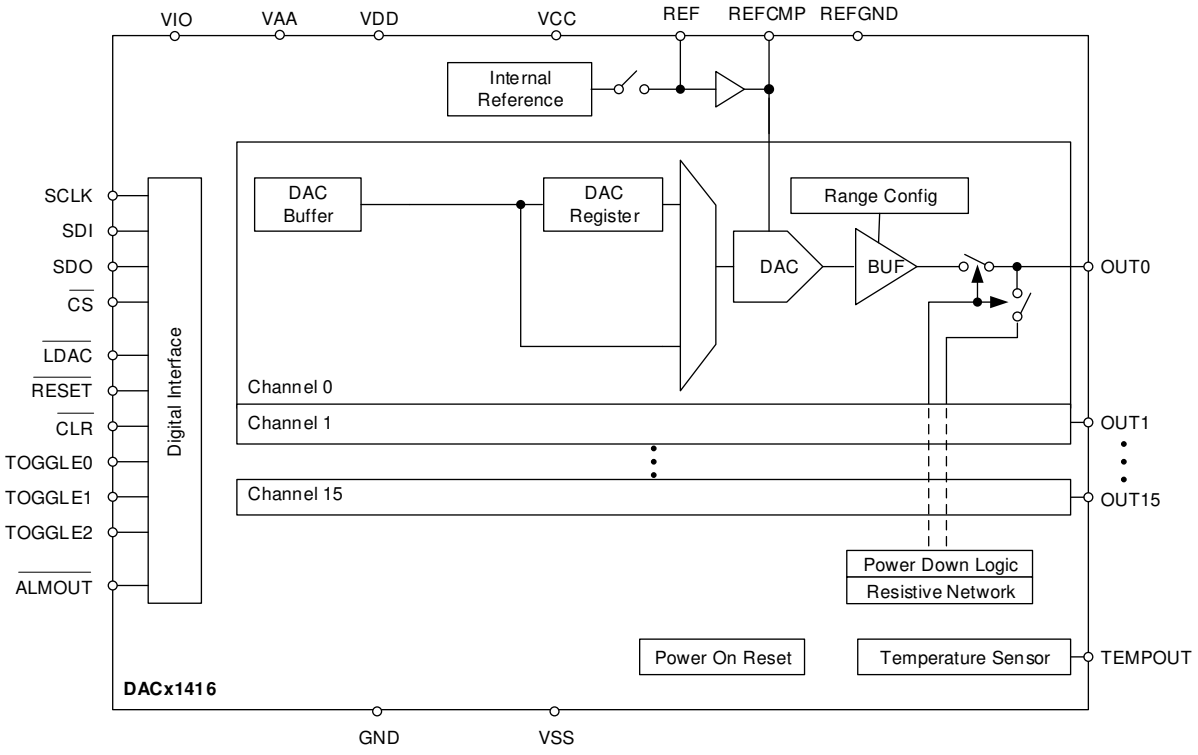
DACx1416 は 5 系統の電源電圧で動作します:V_{DD}、V_{AA}、V_{CC}、V_{SS} および V_{IO}。

- V_{DD} および V_{AA} は、DAC、内部基準電圧、その他の低電圧部品のデジタル電源およびアナログ電源です。V_{DD} と V_{AA} を同じ電位に設定します。
- V_{CC} および V_{SS} は、DAC 出力アンプ用の正電源および負電源です。
- V_{IO} は、デジタル入力および出力のロジック レベルを設定します。

DACx1416 との通信は、スタンドアロン動作およびデイジーチェーン動作をサポートする 4 線式シリアル インターフェースを介して行われます。オプションのフレームエラー チェックにより、DACx1416 のシリアル インターフェースはさらに堅牢性が高められます。

DACx1416 にはパワー オン リセット (POR) 回路が組み込まれており、電源オン時に DAC 出力をグランドに接続します。デバイスのレジスタが動作用に正しく構成されるまで、出力がこの状態に維持されます。

6.2 機能ブロック図



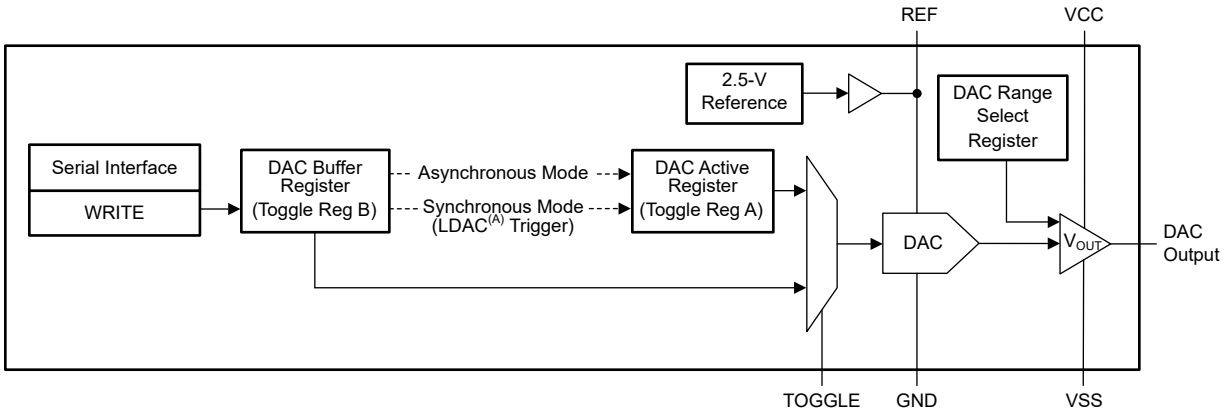
6.3 機能説明

6.3.1 デジタル / アナログ コンバータ (DAC) アーキテクチャ

DACx1416 の各出力チャネルは、R-2R ラダー アーキテクチャと、その後段に配置されたレール ツー レール動作が可能な出力バッファ アンプで構成されています。出力アンプは、V_{CC} または V_{SS} から 1.5V のヘッドルームを確保しつつ、25mA を駆動し、デバイスの規定された TUE 特性を維持します。各チャネルのフルスケール出力電圧は、以下の範囲に個別に設定できます:

- -20V ～ +20V
- -10V ～ +10V
- -5V ～ +5V
- -2.5V ～ +2.5V
- 0V ～ 40V
- 0V ～ 20V
- 0V ～ 10V
- 0V ～ 5V

図 6-1 に、DAC アーキテクチャのブロック図を示します。



A. DAC トリガは、LDAC ビットに 1 を書き込むか、同期モードで $\overline{LDAC}$ ピンによって生成されます。非同期モードでは、DAC ラッチは透過します。

図 6-1. DACx1416 DAC のブロック図

6.3.1.1 DAC の伝達関数

入力データは、すべての出力範囲においてストレート バイナリ形式で各 DAC データレジスタに書き込まれます。DAC 伝達関数は式 1 で与えられます。

$$V_{OUT} = \left(\frac{CODE}{2^n} \times FSR \right) + V_{MIN} \quad (1)$$

ここで

- CODE は、DAC レジスタにロードされるバイナリ コードの 10 進数換算値です。CODE 範囲は 0 ～ 2^n - 1 です。
- n は DAC の分解能 (ビット数) です。12 ビット (DAC61416)、14 ビット (DAC71416)、または 16 ビット (DAC81416) のいずれかです。
- FSR は DAC フルスケール レンジです。選択した DAC 出力範囲にわたって、V_{MAX} - V_{MIN} に等しくなります。
- V_{MIN} は、選択された DAC 出力範囲の最小電圧です。

Copyright © 2025 Texas Instruments Incorporated

6.3.1.2 DAC レジスタ構造

DAC データ レジスタに書き込まれたデータは、最初に DAC バッファ レジスタに格納されます。DAC バッファ レジスタからアクティブ DAC レジスタへのデータ転送は、即時に行われるように設定することも (非同期モード)、DAC トリガ信号によって開始することも (同期モード) 可能です。DAC アクティブ レジスタが更新されると、DAC 出力は新しい値に変わります。

電源投入またはリセット後、すべての DAC レジスタはゼロコードに設定され、DAC 出力アンプはパワーダウンし、DAC 出力はグランドにクランプされます。

6.3.1.2.1 DAC レジスタの同期および非同期更新

各 DAC チャネルの更新モードは、対応する SYNC-EN ビットの状態によって決まります。非同期モードでは、DAC データ レジスタへの書き込みにより、$\overline{CS}$ の立ち上がりエッジで DAC のアクティブ レジスタと DAC 出力が即座に更新されます。同期モードでは、DAC データ レジスタに書き込んでも DAC 出力は自動的には更新されません。代わりに、更新はトリガ イベントの後にのみ行われます。DAC トリガ信号は、LDAC ビットまたは $\overline{LDAC}$ ピンによって生成されます。同期更新モードでは、複数の DAC 出力を同時に更新することができます。両方の更新モードにおいて、DAC 出力の更新間には最小で 2.4µs の待機時間が必要です。

6.3.1.2.2 ブロードキャスト DAC レジスタ

DAC ブロードキャスト レジスタを使用すると、1 回のレジスタ書き込みで複数の DAC 出力を同じ値に同時更新できます。ブロードキャスト動作は、すべての DAC チャネルがシングルエンド モードで動作している場合にのみ可能です。1 つ以上の出力が差動モードに設定されている場合、ブロードキャスト コマンドは無視されます。

各 DAC チャネルは、対応する DAC-BRDCAST-EN ビットを設定することで、ブロードキャスト コマンドによって更新されるか、影響を受けないかを構成できます。BRDCAST レジスタへの書き込みにより、ブロードキャスト動作用に設定された DAC チャネルは、それぞれの DAC バッファ レジスタをこの値に更新します。DAC 出力は、同期モードの設定に従ってブロードキャスト値に更新されます。

6.3.1.2.3 DAC 動作のクリア

DAC 出力は、$\overline{CLR}$ ピンを使用してクリア モードに設定されます。クリア モードでは、各 DAC データ チャネルは、表 6-1 に示すそれぞれの構成に関連付けられたクリア コードに設定されます。$\overline{CLR}$ ピンがロジック Low になると、すべての DAC チャンネルは、それぞれのバッファおよびアクティブ レジスタの内容をクリア コードにリセットし、同期設定に関係なくアナログ出力をその値に設定します。

表 6-1. DAC 値をクリアし

ユニポーラまたはバイポーラ レンジ	差動モード	クリア コード
ユニポーラ	なし	ゼロ コード
ユニポーラ	あり	ミッドスケール コード
バイポーラ	なし	ミッドスケール コード
バイポーラ	あり	ミッドスケール コード

DAC がトグル モードで動作している場合、クリア コマンドにより両方のトグル レジスタがクリア値に設定されます。

6.3.2 内部リファレンス

DAx1416 には、温度ドリフトが典型値で 5 ppm/°C の高精度 2.5V バンドギャップ リファレンスが内蔵されています。内部リファレンスは REF ピンから外部に利用可能です。外部負荷を駆動するには、高インピーダンス入力の外部バッファ アンプが必要です。

ノイズ フィルタリングのため、リファレンス出力と GND の間に最小 150nF のコンデンサを配置することを推奨します。REFCMP ピンと REFGND の間に補償用コンデンサ (代表値 330pF) を接続します。

内部リファレンスをパワーダウンすることで、外部リファレンスからの動作もサポートされます。REF ピンに外部リファレンスを印加します。

Copyright © 2025 Texas Instruments Incorporated

6.3.3 デバイス リセット オプション

6.3.3.1 パワーオン リセット (POR)

DACx1416 にはパワーオン リセット機能が含まれています。電源が確立した後、POR イベントが発行されます。POR により、すべてのレジスタがデフォルト値に初期化され、1ms の POR 遅延後にのみデバイスとの通信が有効になります。POR イベント後、デバイスはパワーダウン モードに設定され、すべての DAC チャネルと内部リファレンスがパワーダウンし、DAC 出力ピンは内部 10kΩ 抵抗を介してグランドに接続されます。

6.3.3.2 ハードウェア リセット

デバイス ハードウェア リセット イベントは、$\overline{\text{RESET}}$ ピンの最小 500ns のロジック Low によって開始されます。ハードウェア リセットにより、POR イベントが開始されます。

6.3.3.3 ソフトウェア リセット

デバイスのソフトウェア リセット イベントは、TRIGGER レジスタの SOFT-RESET に予約コード 0x1010 を書き込むことで開始されます。ソフトウェア リセット コマンドは、命令の $\overline{\text{CS}}$ 立ち上がりエッジでトリガされます。ソフトウェア リセットにより、POR イベントが開始されます。

6.3.4 過熱保護

デバイスは DAC チャネル密度が高く、駆動能力も大きいため、消費電力がデバイス温度に与える影響を十分に理解し、デバイス温度が最大接合温度を超えないように注意します。

6.3.4.1 アナログ温度センサ：TEMPOUT ピン

DACx1416 にはアナログ温度モニタが搭載されており、バッファなし出力電圧はデバイスの接合温度に反比例します。TEMPOUT ピンの出力電圧の温度勾配 は -4mV/°C で、1.34V オフセットは式 2 で説明します。

$$V_{TEMPOUT} = \left(\frac{-4\ mV}{°C} \times T \right) + 1.34\ V \tag{2}$$

ここで

- T はデバイスの接合温度 (°C) です。
- $V_{TEMPOUT}$ は温度モニタ出力電圧です。

6.3.4.2 サーマル シャットダウン

DACx1416 にはサーマル シャットダウン機能が組み込まれており、ダイ温度が 140°C を超えると作動します。サーマル シャットダウンが発生すると TEMP-ALM ビットがセットされ、すべての DAC 出力がパワーダウンしますが、内部リファレンスは動作を継続します。$\overline{\text{ALMOUT}}$ ピンは、TEMPALM-EN ビットを設定することでサーマル シャットダウン状態を監視するように構成できます。サーマル シャットダウンがトリガされると、デバイスの温度が低下してもシャットダウン状態を維持します。

デバイスが通常動作に戻るためには、ダイ温度が 140°C を下回る必要があります。通常動作を再開するには、DAC チャネルがパワーダウン モードの間に、ALM-RESET ビットを使用してサーマル アラームをクリアする必要があります。

Copyright © 2025 Texas Instruments Incorporated

6.4 デバイスの機能モード

6.4.1 トグル モード

デバイス内の各 DAC は、トグル モードで動作するように個別に設定できます。トグル モードの DAC チャネルは 2 つの DAC レジスタ (レジスタ A とレジスタ B) を備えており、これら 2 つの値を繰り返し切り替えるように設定できます。DACx1416 のトグルモード動作は、DAC 出力にディザ信号を導入したり、周期信号を生成したり、ON/OFF 信号を実装したりするように設定できます。そのほかにもいくつかの用途に対応しています。

トグル レジスタを更新するには、次のシーケンスを使用します:

1. DAC チャネルを同期モードに設定し、そのチャネルのトグル モードを無効にします
2. 目的のレジスタ A の値を DAC データ レジスタに書き込みます
3. DAC トリガ信号を発行してレジスタ A をロードします
4. 目的のレジスタ B の値を DAC データ レジスタに書き込みます
5. トグル モードを有効にしてレジスタ B をロードします

両方のレジスタにデータがロードされた後、3 つの TOGGLE[2:0] ピンのいずれかを使用して、トグル動作に設定された DAC を、外部クロックまたは論理信号を用いて、それぞれの DAC 固有レジスタ 2 つの内容の間で切り替えます。TOGGLE ピンがロジック Low の場合、DAC 出力はレジスタ A で設定された値に更新されます。ロジック High の場合、DAC 出力はレジスタ B で設定された値に更新されます。3 つの TOGGLE[2:0] ピンにより、DACx1416 は最大 3 種類のトグル レートで動作するオプションを持ちます。

さらに、このデバイスは SOFTTOGGLE-EN ビットを設定することで、ソフトウェア制御によるトグル動作を行うように構成できます。このモードでは、3 つの AB-TOG[2:0] ビットのいずれかをトグル制御信号として使用します。AB-TOG ビットを 1 に設定するとレジスタ B が有効になり、このビットを 0 にクリアするとレジスタ A が有効になります。

6.4.2 差動モード

デバイス内の各 DAC ペアは、それぞれ独立して差動出力ペアとして動作するように設定できます。*DACx-y* ペアの差動出力は、*DACx* チャネルに書き込むことで更新されます。正しく動作させるためには、差動モードを有効にする前に、2 つの DAC ペアを同じ出力範囲に設定します。図 6-2 と図 6-3 に、それぞれ ±20V および 40V 動作に構成された DAC 差動ペアの理想的な差動出力電圧 (V_{DIFF}) と同相電圧 (V_{CM}) を示します。

差動出力として構成した後、*DACx* トグル レジスタを更新することでトグル動作できるように *DACx-y* ペアを設定します。セクション 6.4.1 を参照します。

2 つの差動信号の間で不均衡があると、同相モード誤差と振幅誤差が発生します。このデバイスにはオフセット レジスタが組み込まれており、ユーザーは *DACx-y* 差動ペアの *DACy* チャネルに電圧オフセットを導入して、2 つのチャネル間の DC オフセット誤差を補償できます。オフセット補償により、約 ±0.2% の FSR 調整ウィンドウが得られます。オフセット レジスタを更新した後で、差動 DAC データ レジスタを書き換えます。

Copyright © 2025 Texas Instruments Incorporated

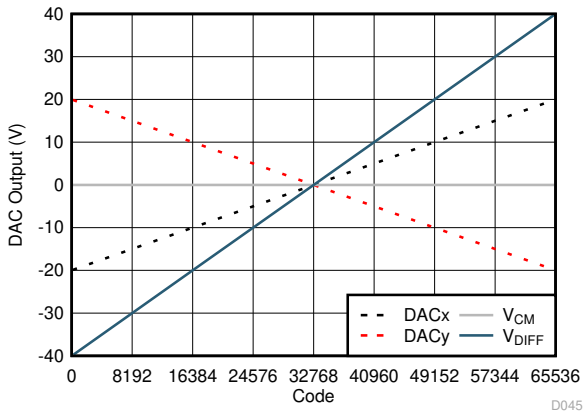


図 6-2. 差動バイポーラ出力 (16 ビット) : ±20V の出力範囲

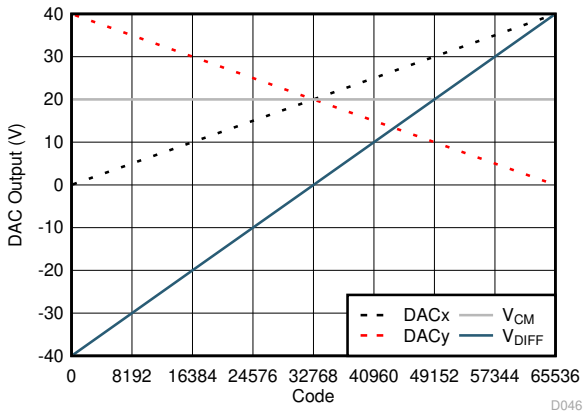


図 6-3. 差動ユニポーラ出力 (16 ビット) : 0V ~ 40V の出力範囲

6.4.3 パワーダウン モード

DACx1416 の DAC 出力アンプおよび内部リファレンスのパワーダウン状態は、PWDWN レジスタを通じて個別に設定および監視されます。DAC チャネルをパワーダウン モードに設定すると、出力アンプが無効化され、内部 10 kΩ 抵抗を介して出力ピンがグランドにクランプされます。

DAC がパワーダウンに入っても DAC データ レジスタはクリアされないため、通常動作に戻った際に同じ出力電圧へ復帰できます。パワーダウン モード中は、DAC データ レジスタは更新できます。

電源投入またはリセット後、すべての DAC チャネルと内部リファレンスはパワーダウン モードになります。DEV-PWDWN ビットを使用して、デバイス全体をパワーダウン モードまたはアクティブ モードに設定します。

Copyright © 2025 Texas Instruments Incorporated

6.5 プログラミング

DACx1416 ファミリのデバイスは、柔軟な 4 線式シリアルインターフェースを介して制御され、多くのマイクロコントローラや DSP コントローラで使用される SPI タイプのインターフェイスと互換性があります。このインターフェイスにより DACx1416 のレジスタへアクセスでき、書き込み動作において複数デバイスをデイジー チェーン接続するように構成できます。DACx1416 には、ノイズの多い環境で SPI データ通信の完全性を検証するためのオプションのエラー チェック モードが組み込まれています。

6.5.1 スタンドアロン動作

シリアル インターフェイスのアクセス サイクルは、$\overline{CS}$ ピンを Low にすることで開始されます。シリアル クロック SCLK は連続クロックでもゲート付きクロックでも使用できます。SDI データは、SCLK の立ち下がりエッジに同期します。通常のシリアル インターフェイス アクセス サイクルは、エラー チェックが無効の場合 24 ビット、有効の場合 32 ビットの長さとなります。したがって、$\overline{CS}$ ピンは少なくとも 24 回または 32 回の SCLK 立ち下がりエッジの間 Low の状態を維持する必要があります。$\overline{CS}$ ピンが High にデアサートされると、アクセス サイクルは終了します。アクセス サイクルが最小クロック エッジよりも短い場合、通信は無視されます。アクセス サイクルに最小クロック エッジ数を超えるビットが含まれている場合、デバイスは最初の 24 ビットまたは 32 ビットのみを使用します。$\overline{CS}$ ピンが High のとき、SCLK および SDI 信号はブロックされ、SDO はハイ インピーダンス (Hi-Z) 状態になります。

エラー チェックが無効のアクセス サイクル (24 ビットの場合) では、SDI に入力される最初のバイトが、リクエストが読み取りコマンドか書き込みコマンドかを識別する命令サイクルおよびアクセスする 6 ビットのアドレスとなります。サイクルの最後の 16 ビットは、データ サイクルを形成します。

表 6-2. シリアル インターフェイス アクセス サイクル

ビット	フィールド	説明
23	RW	アドレス指定されたレジスタに対する読み取りまたは書き込みコマンドとして通信を識別します。R/W = 0 は書き込み動作を設定します。R/W = 1 は読み取り動作を設定します。
22	x	ドント ケア ビット。
21-16	A[5:0]	レジスタ アドレス。読み取りまたは書き込み操作中にアクセスするレジスタを指定します。
15-0	DI[15:0]	データ サイクル ビット。書き込みコマンドの場合、データ サイクルのビットはアドレス A[5:0] のレジスタに書き込まれる値となります。読み取りコマンドの場合、データ サイクルのビットは「無効」値となります。

読み取り操作を行うには、まず SDO-EN ビットを設定して SDO ピンを有効化する必要があります。読み取り操作は、読み取りコマンドのアクセス サイクルを発行することで開始されます。読み取りコマンドの後、要求されたデータを取得するために、2 回目のアクセス サイクルを発行する必要があります。データは、FSDO ビットに応じて、SCLK の立ち下がりエッジまたは立ち上がりエッジのいずれかの SDO ピンでクロック出力されます。

表 6-3. SDO 出力アクセスサイクル

ビット	フィールド	説明
23	RW	前回のアクセス サイクルから RW をエコーします。
22	x	前回のアクセス サイクルのビット 22 をエコーします。
21-16	A[5:0]	前回のアクセス サイクルのアドレスをエコーします。
15-0	DO[15:0]	前のアクセス サイクルで要求されたデータの読み戻し。

Copyright © 2025 Texas Instruments Incorporated

6.5.1.1 ストリーミング モード動作

16 チャネルのデータ レジスタを更新するには大量のデータをデバイスに送信する必要があるため、このデバイスはストリーミング モードをサポートしています。ストリーミングモードでは、各データ レジスタごとに命令コマンドを与えることなく、DAC データ レジスタを書き込むことができます。ストリーミング モードは、STR-EN ビットを設定することで有効になります。イネーブルになると、$\overline{CS}$ をアクティブに保持して、デバイスに新しいデータをシフトし続けることで、ストリーミング動作が実装されます。STR-EN ビットをイネーブルにすると、SDO ピンはディスエーブルになります。

命令サイクルには開始アドレスが含まれます。デバイスはこのアドレスへの書き込みを開始し、$\overline{CS}$ がアサートされている間、アドレスを自動的にインクリメントします。最後の DAC データ レジスタ アドレスに達して、$\overline{CS}$ がアサートされたままの場合、このアドレスのデータは新しいデータで上書きされます。

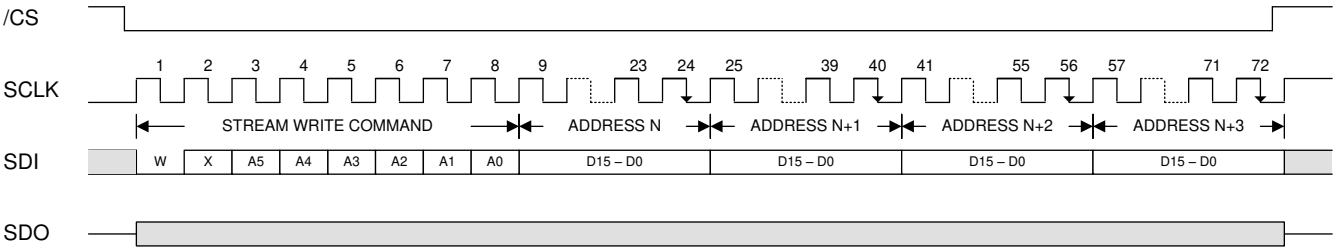


図 6-4. シリアル インターフェースのストリーミング サイクル

6.5.2 デイジー チェーン動作

複数の DACx1416 デバイスを含むシステムでは、SDO ピンを使用してそれらをデイジー チェーン接続することができます。デイジー チェーン動作を開始する前に、SDO-EN ビットを設定して SDO ピンを有効にする必要があります。シリアル インターフェイス ラインの数を減らす場合に、デイジー チェーン動作が役立ちます。

$\overline{CS}$ ピンの最初の立ち下がりエッジで動作サイクルが開始されます。$\overline{CS}$ ピンが Low のまま 24 パルスを超える SCLK パルスが印加されると、シフト レジスタ内のデータがリップル アウトし、FSDO ビットの設定に従って SCLK の立ち下がりエッジまたは立ち上がりエッジで SDO ピンからクロックアウトされます。最初のデバイスの SDO 出力をチェーン内の次のデバイスの SDI 入力に接続することで、複数デバイスのインターフェイスが構築されます。システム内の各デバイスは 24 のクロック パルスを必要とします。その結果、クロック サイクルの合計数は 24 × N に等しくする必要があります。ここで N は、デイジー チェーンに含まれる DACx1416 デバイスの総数です。すべてのデバイスへのシリアル転送が完了すると、$\overline{CS}$ 信号が High になります。この操作により、SPI シフト レジスタから各デバイスの内部レジスタへデータが転送され、さらに入力シフト レジスタへデータがクロックインされるのを防ぎます。ストリーミング モード中は、デイジー チェーン動作はサポートされていません。

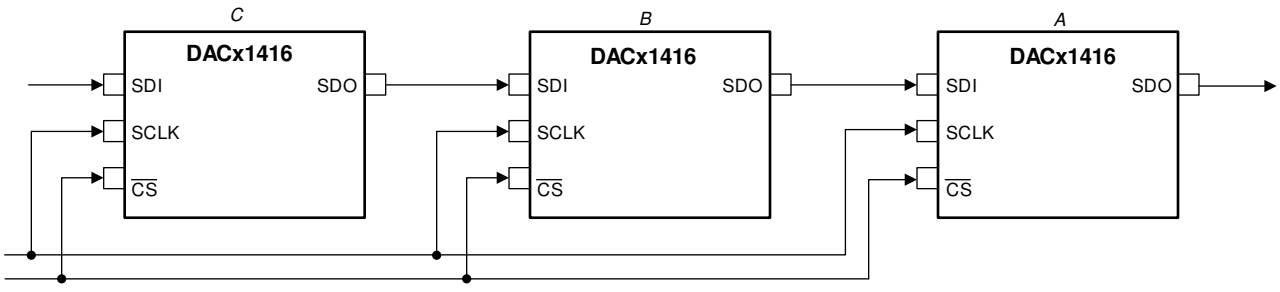


図 6-5. デイジー チェーンのレイアウト

Copyright © 2025 Texas Instruments Incorporated

6.5.3 フレームエラー チェック

DACx1416 をノイズの多い環境で使用する場合、エラー チェックを利用して、デバイスとホスト プロセッサ間の SPI データ通信の完全性を確認します。この機能を有効にするには、CRC-EN ビットをセットします。

エラー チェック方式は、CRC-8-ATM (HEC) 多項式 $x^8 + x^2 + x + 1$ (つまり 100000111) に基づいています。エラー チェックがイネーブルの場合、シリアル インターフェイスのアクセス サイクル幅は 32 ビットです。常の 24 ビット SPI データには、ホスト プロセッサによって 8 ビットの CRC 多項式が付加され、デバイスに送信されます。すべてのシリアル インターフェイスの読み戻し動作において、CRC 多項式は 32 ビット サイクルの一部として SDO ピンから出力されます。

表 6-4. エラー チェック付きシリアル インターフェイス アクセス サイクル

ビット	フィールド	説明
31	RW	アドレス指定されたレジスタに対する読み取りまたは書き込みコマンドとして通信を識別します。R/W = 0 は書き込み動作を設定します。R/W = 1 は読み取り動作を設定します。
30	CRC-ERROR	予約済みビット。ゼロに設定します。
29-24	A[5:0]	レジスタ アドレス。読み取りまたは書き込み操作中にアクセスするレジスタを指定します。
23-8	DI[15:0]	データ サイクル ビット。書き込みコマンドの場合、データ サイクルのビットはアドレス A[5:0] のレジスタに書き込まれる値となります。読み取りコマンドの場合、データ サイクルのビットは「無効」値となります。
7-0	CRC	8 ビット CRC 多項式。

DACx1416 は、$\overline{\text{CS}}$ の立ち上がりエッジで 32 ビットのアクセス サイクルをデコードし、CRC の余りを計算します。エラーがない場合、CRC の余りはゼロとなり、データはデバイスに受け入れられます。

CRC チェックに失敗した書き込み操作の場合、そのデータはデバイスによって無視されます。書き込みコマンドの後、2 回目のアクセスサイクルを実行し、SDO ピン上のエラー チェック結果 (CRC-ERROR ビット) を確認します。

CRC エラーが発生すると、STATUS レジスタの CRC-ALM ビットが 1 にセットされます。CRC エラーを監視するには、CRCALM-EN ビットを設定して $\overline{\text{ALMOUT}}$ ピンを構成します。

表 6-5. 書き込み動作エラー チェック サイクル

ビット	フィールド	説明
31	RW	前回のアクセスサイクルから RW をエコーします (RW = 0)。
30	CRC-ERROR	CRC エラーが検出された場合は 1 を返し、それ以外の場合は 0 を返します。
29-24	A[5:0]	前回のアクセス サイクルのアドレスをエコーします。
23-8	DO[15:0]	前回のアクセス サイクルのエコー データ。
7-0	CRC	ビット 31:8 の計算された CRC 値。

読み出し操作の後には、要求されたデータを SDO ピンで取得するために 2 回目のアクセス サイクルを行う必要があります。読み取りコマンドによるエラー チェック結果 (CRC-ERROR ビット) は SDO ピンに出力されます。

書き込み動作が CRC チェックに失敗した場合と同様に、ステータス レジスタの CRC-ALM ビットが 1 に設定され、$\overline{\text{ALMOUT}}$ ピンが CRC アラート用に構成されている場合は Low に設定されます。

表 6-6. 読み取り動作エラー チェック サイクル

ビット	フィールド	説明
31	RW	前回のアクセスサイクルから RW をエコーします (RW = 1)。
30	CRC-ERROR	CRC エラーが検出された場合は 1 を返し、それ以外の場合は 0 を返します。
29-24	A[5:0]	前回のアクセス サイクルのアドレスをエコーします。
23-8	DO[15:0]	前のアクセス サイクルで要求されたデータの読み戻し。

Copyright © 2025 Texas Instruments Incorporated

表 6-6. 読み取り動作エラー チェック サイクル (続き)

ビット	フィールド	説明
7-0	CRC	ビット 31:8 の計算された CRC 値。

Copyright © 2025 Texas Instruments Incorporated

7 レジスタ マップ

デバイスのメモリマップ レジスタを、表 7-1 に示します。表 7-1 に記載されていないすべてのレジスタ オフセット アドレスは予約済み領域と見なされます。これらの予約済みレジスタ内容を変更しないでください。

表 7-1. DACx1416 のレジスタ

オフセット	略称	レジスタ名	セクション
00h	NOP	NOP レジスタ	表示
01h	DEVICEID	Device ID レジスタ	表示
02h	STATUS	ステータス レジスタ	表示
03h	SPICONFIG	SPI 構成レジスタ	表示
04h	GENCONFIG	全般構成レジスタ	表示
05h	BRDCONFIG	ブロードキャスト構成レジスタ	表示
06h	SYNCCONFIG	同期構成レジスタ	表示
07h	TOGGCONFIG0	DAC[15:8]トグル構成レジスタ	表示
08h	TOGGCONFIG1	DAC[7:0]トグル構成レジスタ	表示
09h	DACPWDWN	DAC パワーダウン レジスタ	表示
0Ah	DACRANGE0	DAC[15:12] 範囲レジスタ	表示
0Bh	DACRANGE1	DAC[11:8] 範囲レジスタ	表示
0Ch	DACRANGE2	DAC[7:4] 範囲レジスタ	表示
0Dh	DACRANGE3	DAC[3:0] 範囲レジスタ	表示
0Eh	TRIGGER	Trigger レジスタ	表示
0Fh	BRDCAST	ブロードキャスト データ レジスタ	表示
10h	DAC0	DAC0 データ レジスタ	表示
11h	DAC1	DAC1 データ レジスタ	表示
12h	DAC2	DAC2 データ レジスタ	表示
13h	DAC3	DAC3 データ レジスタ	表示
14h	DAC4	DAC4 データ レジスタ	表示
15h	DAC5	DAC5 データ レジスタ	表示
16h	DAC6	DAC6 データ レジスタ	表示
17h	DAC7	DAC7 データ レジスタ	表示
18h	DAC8	DAC8 データ レジスタ	表示
19h	DAC9	DAC9 データ レジスタ	表示
1Ah	DAC10	DAC10 データ レジスタ	表示
1Bh	DAC11	DAC11 データ レジスタ	表示
1Ch	DAC12	DAC12 データ レジスタ	表示
1Dh	DAC13	DAC13 データ レジスタ	表示
1Eh	DAC14	DAC14 データ レジスタ	表示
1Fh	DAC15	DAC15 データ レジスタ	表示
20h	OFFSET0	DAC[14-15、12-13] 差動オフセット レジスタ	表示
21h	OFFSET1	DAC[10-11、8-9] 差動オフセット レジスタ	表示
22h	OFFSET2	DAC[6-7、4-5] 差動オフセット レジスタ	表示
23h	OFFSET3	DAC[2-3、0-1] 差動オフセット レジスタ	表示

Copyright © 2025 Texas Instruments Incorporated

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-2. アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値
レジスタ アレイ変数		
i、j、k、l、m、n		これらの変数がレジスタ名、オフセット、またはアドレスで使用される場合、その変数はレジスタが繰り返しレジスタのグループの一部であるレジスタ配列の値を参照します。レジスタ グループは階層構造を形成し、アレイは式で表されます。
y		この変数がレジスタ名、オフセット、またはアドレスで使用される場合、その変数はレジスタ配列の値を参照します。

Copyright © 2025 Texas Instruments Incorporated

7.1 NOP レジスタ (オフセット = 00h) [リセット = 0000h]

図 7-1 に、NOP を示し、表 7-3 に、その説明を示します。

概略表に戻ります。

図 7-1. NOP レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOP															
W-0h															

表 7-3. NOP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	NOP	W	0h	動作なし。適切な無動作コマンドの場合は 0000h を書き込みます。

7.2 DEVICEID レジスタ (オフセット = 01h) [リセット = ----h]

DEVICEID は 図 7-2 に示され、表 7-4 に記載されています。

概略表に戻ります。

図 7-2. DEVICEID レジスタ

15	14	13	12	11	10	9	8
DEVICEID							
R----h							
7	6	5	4	3	2	1	0
DEVICEID						VERSIONID	
R----h						R-0h	

表 7-4. DEVICEID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-2	DEVICEID	R	---h	デバイス ID DAC81416:29Ch DAC71416:28Ch DAC61416:24Ch
1-0	VERSIONID	R	0h	バージョン ID。変更される可能性があります。

Copyright © 2025 Texas Instruments Incorporated

7.3 STATUS レジスタ (オフセット = 02h) [リセット = 0000h]

図 7-3 に、STATUS を示し、表 7-5 に、その説明を示します。

概略表に戻ります。

図 7-3. ステータス レジスタ

15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					CRC-ALM	DAC-BUSY	TEMP-ALM
R-0h					R-0h	R-0h	R-0h

表 7-5. STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-3	予約済み	R	0h	このビットは予約済みです。
2	CRC-ALM	R	0h	CRC-ALM = 1 は CRC エラーを示します。
1	DAC-BUSY	R	0h	DAC-BUSY = 1 は、DAC レジスタの更新準備ができていないことを示します。
0	TEMP-ALM	R	0h	TEMP-ALM = 1 は、ダイ温度が 140°C を超えていることを示します。サーマル アラーム イベントが発生すると、DAC 出力はパワーダウン モードに移行します。

Copyright © 2025 Texas Instruments Incorporated

7.4 SPICONFIG レジスタ (オフセット = 03h) [リセット = 0AA4h]

図 7-4 に、SPICONFIG を示し、表 7-6 に、その説明を示します。

概略表に戻ります。

図 7-4. SPICONFIG レジスタ

15	14	13	12	11	10	9	8
予約済み				TEMPALM-EN	DACBUSY-EN	CRCALM-EN	予約済み
R-0h				R/W-1h	R/W-0h	R/W-1h	R-0h
7	6	5	4	3	2	1	0
予約済み	SOFTTOGGLE-EN	DEV-PWDWN	CRC-EN	STR-EN	SDO-EN	FSDO	予約済み
R-1h	R/W-0h	R/W-1h	R/W-0h	R/W-0h	R/W-1h	R/W-0h	R-0h

表 7-6. SPICONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0h	このビットは予約済みです。
11	TEMPALM-EN	R/W	1h	1 に設定されると、過熱アラームによって $\overline{\text{ALMOUT}}$ ピンがトリガされます。
10	DACBUSY-EN	R/W	0h	1 に設定すると、$\overline{\text{ALMOUT}}$ ピンが DAC 出力を更新する間に設定されます。他のアラーム イベントとは異なり、このアラームは自動的にリセットされます。
9	CRCALM-EN	R/W	1h	1 に設定すると、CRC エラーにより $\overline{\text{ALMOUT}}$ ピンがトリガされます。
8	予約済み	R	0h	このビットは予約済みです。
7	予約済み	R	1h	このビットは予約済みです。
6	SOFTTOGGLE-EN	R/W	0h	1 に設定すると、ソフトトグル動作が有効になります。
5	DEV-PWDWN	R/W	1h	DEV-PWDWN = 1 は、デバイスをパワーダウン モードに設定します DEV-PWDWN = 0 は、デバイスをアクティブモードに設定します
4	CRC-EN	R/W	0h	1 フレーム エラー チェックが有効になります。
3	STR-EN	R/W	0h	1 に設定すると、ストリーミング モード動作が有効になります。
2	SDO-EN	R/W	1h	1 に設定すると、SDO ピンが動作します。
1	FSDO	R/W	0h	高速 SDO ビット (ハーフサイクル スピードアップ)。 0 の場合、SCLK の立ち上がりエッジ中に SDO が更新されます。 1 の場合、SCLK の立ち下がりエッジ中に SDO が更新されます。
0	予約済み	R	0h	このビットは予約済みです。

Copyright © 2025 Texas Instruments Incorporated

7.5 GENCONFIG レジスタ (オフセット = 04h) [リセット = 7F00h]

図 7-5 に、GENCONFIG を示し、表 7-7 に、その説明を示します。

概略表に戻ります。

図 7-5. GENCONFIG レジスタ

15	14	13	12	11	10	9	8
予約済み	REF-PWDWN	予約済み					
R-0h	R/W-1h	R-1h					
7	6	5	4	3	2	1	0
DAC-14-15-DIFF-EN	DAC-12-13-DIFF-EN	DAC-10-11-DIFF-EN	DAC-8-9-DIFF-EN	DAC-6-7-DIFF-EN	DAC-4-5-DIFF-EN	DAC-2-3-DIFF-EN	DAC-0-1-DIFF-EN
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-7. GENCONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	このビットは予約済みです。
14	REF-PWDWN	R/W	1h	REF-PWDWN = 1 は、内部リファレンスをパワーダウンします REF-PWDWN = 0 は、内部リファレンスをアクティブにします
13-8	予約済み	R	1h	このビットは予約済みです。
7	DAC-14-15-DIFF-EN	R/W	0h	1 に設定すると、対応する DAC ペアは差動モードで動作するように設定されます。差動動作を有効化または無効化した後は、DAC データ レジスタを書き直します。
6	DAC-12-13-DIFF-EN	R/W	0h	
5	DAC-10-11-DIFF-EN	R/W	0h	
4	DAC-8-9-DIFF-EN	R/W	0h	
3	DAC-6-7-DIFF-EN	R/W	0h	
2	DAC-4-5-DIFF-EN	R/W	0h	
1	DAC-2-3-DIFF-EN	R/W	0h	
0	DAC-0-1-DIFF-EN	R/W	0h	

Copyright © 2025 Texas Instruments Incorporated

7.6 BRDCONFIG レジスタ (オフセット = 05h) [リセット = FFFFh]

図 7-6 に、BRDCONFIG を示し、表 7-8 に、その説明を示します。

概略表に戻ります。

図 7-6. BRDCONFIG レジスタ

15	14	13	12	11	10	9	8
DAC15-BRDCAST-EN	DAC14-BRDCAST-EN	DAC13-BRDCAST-EN	DAC12-BRDCAST-EN	DAC11-BRDCAST-EN	DAC10-BRDCAST-EN	DAC9-BRDCAST-EN	DAC8-BRDCAST-EN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h
7	6	5	4	3	2	1	0
DAC7-BRDCAST-EN	DAC6-BRDCAST-EN	DAC5-BRDCAST-EN	DAC4-BRDCAST-EN	DAC3-BRDCAST-EN	DAC2-BRDCAST-EN	DAC1-BRDCAST-EN	DAC0-BRDCAST-EN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h

表 7-8. BRDCONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	DAC15-BRDCAST-EN	R/W	1h	1 に設定すると、対応する DAC は BRDCAST レジスタで設定された値に応じて各出力を更新するように設定されます。ブロードキャスト動作のために、すべての DAC チャネルをシングル エンド モードに設定します。1 つ以上の出力が差動モードに設定されている場合、ブロードキャスト モードは無視されます。 0 にクリアされると、対応する DAC 出力は BRDCAST コマンドの影響を受けません。
14	DAC14-BRDCAST-EN	R/W	1h	
13	DAC13-BRDCAST-EN	R/W	1h	
12	DAC12-BRDCAST-EN	R/W	1h	
11	DAC11-BRDCAST-EN	R/W	1h	
10	DAC10-BRDCAST-EN	R/W	1h	
9	DAC9-BRDCAST-EN	R/W	1h	
8	DAC8-BRDCAST-EN	R/W	1h	
7	DAC7-BRDCAST-EN	R/W	1h	
6	DAC6-BRDCAST-EN	R/W	1h	
5	DAC5-BRDCAST-EN	R/W	1h	
4	DAC4-BRDCAST-EN	R/W	1h	
3	DAC3-BRDCAST-EN	R/W	1h	
2	DAC2-BRDCAST-EN	R/W	1h	
1	DAC1-BRDCAST-EN	R/W	1h	
0	DAC0-BRDCAST-EN	R/W	1h	

Copyright © 2025 Texas Instruments Incorporated

7.7 SYNCCONFIG レジスタ (オフセット = 06h) [リセット = 0000h]

図 7-7 に、SYNCCONFIG を示し、表 7-9 に、その説明を示します。

概略表に戻ります。

図 7-7. SYNCCONFIG レジスタ

15	14	13	12	11	10	9	8
DAC15-SYNC-EN	DAC14-SYNC-EN	DAC13-SYNC-EN	DAC12-SYNC-EN	DAC11-SYNC-EN	DAC10-SYNC-EN	DAC9-SYNC-EN	DAC8-SYNC-EN
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
DAC7-SYNC-EN	DAC6-SYNC-EN	DAC5-SYNC-EN	DAC4-SYNC-EN	DAC3-SYNC-EN	DAC2-SYNC-EN	DAC1-SYNC-EN	DAC0-SYNC-EN
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-9. SYNCCONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	DAC15-SYNC-EN	R/W	0h	1 に設定すると、対応する DAC 出力は LDAC トリガに応答して更新されるように設定されます (同期モード)。 0 にクリアされると、対応する DAC 出力は即時に更新されるように設定されます (非同期モード)。
14	DAC14-SYNC-EN	R/W	0h	
13	DAC13-SYNC-EN	R/W	0h	
12	DAC12-SYNC-EN	R/W	0h	
11	DAC11-SYNC-EN	R/W	0h	
10	DAC10-SYNC-EN	R/W	0h	
9	DAC9-SYNC-EN	R/W	0h	
8	DAC8-SYNC-EN	R/W	0h	
7	DAC7-SYNC-EN	R/W	0h	
6	DAC6-SYNC-EN	R/W	0h	
5	DAC5-SYNC-EN	R/W	0h	
4	DAC4-SYNC-EN	R/W	0h	
3	DAC3-SYNC-EN	R/W	0h	
2	DAC2-SYNC-EN	R/W	0h	
1	DAC1-SYNC-EN	R/W	0h	
0	DAC0-SYNC-EN	R/W	0h	

Copyright © 2025 Texas Instruments Incorporated

7.8 TOGGCONFIG0 レジスタ (オフセット = 07h) [リセット = 0000h]

図 7-8 に、TOGGCONFIG0 を示し、表 7-10 に、その説明を示します。

概略表に戻ります。

図 7-8. TOGGCONFIG0 レジスタ

15	14	13	12	11	10	9	8
DAC15-AB-TOGG-EN		DAC14-AB-TOGG-EN		DAC13-AB-TOGG-EN		DAC12-AB-TOGG-EN	
R/W-0h		R/W-0h		R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
DAC11-AB-TOGG-EN		DAC10-AB-TOGG-EN		DAC9-AB-TOGG-EN		DAC8-AB-TOGG-EN	
R/W-0h		R/W-0h		R/W-0h		R/W-0h	

表 7-10. TOGGCONFIG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	DAC15-AB-TOGG-EN	R/W	0h	トグル モード動作を有効化し、トグル ピンまたはソフト トグル ビットを設定します: 00 = トグル モードはディスエーブル 01 = トグルモードはイネーブル:TOGGLE0 10 = トグルモードはイネーブル:TOGGLE1 11 = トグルモードはイネーブル:TOGGLE2
13-12	DAC14-AB-TOGG-EN	R/W	0h	
11-10	DAC13-AB-TOGG-EN	R/W	0h	
9-8	DAC12-AB-TOGG-EN	R/W	0h	
7-6	DAC11-AB-TOGG-EN	R/W	0h	
5-4	DAC10-AB-TOGG-EN	R/W	0h	
3-2	DAC9-AB-TOGG-EN	R/W	0h	
1-0	DAC8-AB-TOGG-EN	R/W	0h	

7.9 TOGGCONFIG1 レジスタ (オフセット = 08h) [リセット = 0000h]

図 7-9 に、TOGGCONFIG1 を示し、表 7-11 に、その説明を示します。

概略表に戻ります。

図 7-9. TOGGCONFIG1 レジスタ

15	14	13	12	11	10	9	8
DAC7-AB-TOGG-EN		DAC6-AB-TOGG-EN		DAC5-AB-TOGG-EN		DAC4-AB-TOGG-EN	
R/W-0h		R/W-0h		R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
DAC3-AB-TOGG-EN		DAC2-AB-TOGG-EN		DAC1-AB-TOGG-EN		DAC0-AB-TOGG-EN	
R/W-0h		R/W-0h		R/W-0h		R/W-0h	

表 7-11. TOGGCONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	DAC7-AB-TOGG-EN	R/W	0h	トグル モード動作を有効化し、トグル ピンまたはソフト トグル ビットを設定します: 00 = トグル モードはディスエーブル 01 = トグルモードはイネーブル:TOGGLE0 10 = トグルモードはイネーブル:TOGGLE1 11 = トグルモードはイネーブル:TOGGLE2
13-12	DAC6-AB-TOGG-EN	R/W	0h	
11-10	DAC5-AB-TOGG-EN	R/W	0h	
9-8	DAC4-AB-TOGG-EN	R/W	0h	
7-6	DAC3-AB-TOGG-EN	R/W	0h	
5-4	DAC2-AB-TOGG-EN	R/W	0h	
3-2	DAC1-AB-TOGG-EN	R/W	0h	
1-0	DAC0-AB-TOGG-EN	R/W	0h	

Copyright © 2025 Texas Instruments Incorporated

7.10 DACPWDWN レジスタ (オフセット = 09h) [リセット = FFFFh]

図 7-10 に、DACPWDWN を示し、表 7-12 に、その説明を示します。

概略表に戻ります。

図 7-10. DACPWDWN レジスタ

15	14	13	12	11	10	9	8
DAC15-PWDWN	DAC14-PWDWN	DAC13-PWDWN	DAC12-PWDWN	DAC11-PWDWN	DAC10-PWDWN	DAC9-PWDWN	DAC8-PWDWN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h
7	6	5	4	3	2	1	0
DAC7-PWDWN	DAC6-PWDWN	DAC5-PWDWN	DAC4-PWDWN	DAC3-PWDWN	DAC2-PWDWN	DAC1-PWDWN	DAC0-PWDWN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h

表 7-12. DACPWDWN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	DAC15-PWDWN	R/W	1h	1 に設定すると、対応する DAC はパワーダウン モードになり、各出力は 10kΩ の内部抵抗を介して GND に接続されます。
14	DAC14-PWDWN	R/W	1h	
13	DAC13-PWDWN	R/W	1h	
12	DAC12-PWDWN	R/W	1h	
11	DAC11-PWDWN	R/W	1h	
10	DAC10-PWDWN	R/W	1h	
9	DAC9-PWDWN	R/W	1h	
8	DAC8-PWDWN	R/W	1h	
7	DAC7-PWDWN	R/W	1h	
6	DAC6-PWDWN	R/W	1h	
5	DAC5-PWDWN	R/W	1h	
4	DAC4-PWDWN	R/W	1h	
3	DAC3-PWDWN	R/W	1h	
2	DAC2-PWDWN	R/W	1h	
1	DAC1-PWDWN	R/W	1h	
0	DAC0-PWDWN	R/W	1h	

Copyright © 2025 Texas Instruments Incorporated

7.11 DACRANGEn レジスタ (オフセット = 0Ah–0Dh) [リセット = 0000h]

図 7-11 に、DACRANGEn を示し、表 7-13 に、その説明を示します。

概略表に戻ります。

図 7-11. DACRANGEn レジスタ

15	14	13	12	11	10	9	8
DACa-RANGE[3:0]				DACb-RANGE[3:0]			
W-0h				W-0h			
7	6	5	4	3	2	1	0
DACc-RANGE[3:0]				DACd-RANGE[3:0]			
W-0h				W-0h			

表 7-13. DACRANGEn レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	DACa-RANGE[3:0]	W	0h	対応する DAC の出力範囲を設定します。 0000 = 0V ~ 5V 0001 = 0V ~ 10V 0010 = 0V ~ 20V 0100 = 0V ~ 40V 1001 = -5V ~ +5V 1010 = -10V ~ +10V 1100 = -20V ~ +20V 1110 = -2.5V ~ +2.5V その他すべて: 無効 出力を差動ペアとして設定する前に、差動 DAC ペアの 2 つの出力を同じ出力レンジに設定します。 a: 15、11、7、または 3。b: 14、10、6、または 2。c: 13、9、5、または 1。d: 12、8、4、0
11-8	DACb-RANGE[3:0]	W	0h	
7-4	DACc-RANGE[3:0]	W	0h	
3-0	DACd-RANGE[3:0]	W	0h	

Copyright © 2025 Texas Instruments Incorporated

7.12 TRIGGER レジスタ (オフセット = 0Eh) [リセット = 0000h]

図 7-12 に、TRIGGER を示し、表 7-14 に、その説明を示します。

概略表に戻ります。

図 7-12. TRIGGER レジスタ

15	14	13	12	11	10	9	8
予約済み							ALM-RESET
W-0h							W-0h
7	6	5	4	3	2	1	0
AB-TOG2	AB-TOG1	AB-TOG0	LDAC	SOFT-RESET[3:0]			
W-0h	W-0h	W-0h	W-0h	W-0h			

表 7-14. TRIGGER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	予約済み	W	0h	このビットは予約済みです
8	ALM-RESET	W	0h	このビットを 1 に設定すると、アラーム イベントがクリアされます。DAC-BUSY アラーム イベントには適用できません。
7	AB-TOG2	W	0h	ソフトトグルが有効化されている場合、このビットは、TOGGCONFIG レジスタでトグル モード 2 に設定された DAC の値の切り替えを制御します。1 に設定するとレジスタ B に更新され、0 にクリアするとレジスタ A になります。
6	AB-TOG1	W	0h	ソフトトグルが有効化されている場合、このビットは、TOGGCONFIG レジスタでトグル モード 1 に設定された DAC の値の切り替えを制御します。1 に設定するとレジスタ B に更新され、0 にクリアするとレジスタ A になります。
5	AB-TOG0	W	0h	ソフトトグルが有効化されている場合、このビットは、TOGGCONFIG レジスタでトグル モード 0 に設定された DAC の値の切り替えを制御します。1 に設定するとレジスタ B に更新され、0 にクリアするとレジスタ A になります。
4	LDAC	W	0h	このビットを 1 に設定すると、SYNCCONFIG レジスタで同期モードに設定された DAC が同期的にロードされます。
3-0	SOFT-RESET[3:0]	W	0h	予約コード 1010 に設定すると、これらのビットはデバイスをデフォルト状態にリセットします。

Copyright © 2025 Texas Instruments Incorporated

7.13 BRDCAST レジスタ (オフセット = 0Fh) [リセット = 0000h]

図 7-13 に、BRDCAST を示し、表 7-15 に、その説明を示します。

概略表に戻ります。

図 7-13. BRDCAST レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BRDCAST-DATA[15:0]															
W-0h															

表 7-15. BRDCAST レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	BRDCAST-DATA[15:0]	W	0h	BRDCAST レジスタに書き込むと、BRDCONFIG レジスタでブロードキャストに設定された DAC チャネルが、それぞれのレジスタ データを BRDCAST レジスタの新しいデータに更新します。 データは、次のようにストレート バイナリ形式で MSB 揃えとします: DAC81416: { DATA[15:0] } DAC71416: { DATA[13:0], x, x } DAC61416: { DATA[11:0], x, x, x, x} x -ドント ケア ビット

7.14 DACn レジスタ (オフセット = 10h-1Fh) [リセット = 0000h]

図 7-14 に、DACn を示し、表 7-16 に、その説明を示します。

概略表に戻ります。

図 7-14. DACn レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DACn-DATA[15:0]															
W-0h															

表 7-16. DACn レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	DACn-DATA[15:0]	W	0h	DACn にロードされる 16 ビット、14 ビット、または 12 ビットのデータを、MSB 揃えのストレート バイナリ形式で格納します。差動 DAC モードでは、データは DAC ペア内で値が小さい方の DAC にロードされます (DAC*xy* ペアではデータは DAC*x* にロードされ、DAC*y* への書き込みは無視されます)。 データは次の形式を使用します: DAC81416:{ DATA[15:0] } DAC71416:{ DATA[13:0], x, x } DAC61416:{ DATA[11:0], x, x, x, x} x -ドント ケア ビット

Copyright © 2025 Texas Instruments Incorporated

7.15 OFFSETn レジスタ (オフセット = 20h-23h) [リセット = 0000h]

図 7-15 に、OFFSETn を示し、表 7-17 に、その説明を示します。

概略表に戻ります。

図 7-15. OFFSETn レジスタ

15	14	13	12	11	10	9	8
OFFSETab[7:0]							
R/W-0h							
7	6	5	4	3	2	1	0
OFFSETcd[7:0]							
R/W-0h							

表 7-17. OFFSETn レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	OFFSETab[7:0]	R/W	0h	2 の補数形式で、差動 DAC *x-y* ペアにおける DAC*y* へのオフセット調整を提供します。 データは次の形式を使用します: • DAC81416: – フォーマット:{ OFFSET[7:0] } – 範囲:–128LSB ～ +127LSB • DAC71416: – フォーマット: { OFFSET[5:0], x, x } – 範囲:–32LSB ～ +31LSB • DAC61416: – フォーマット:{ OFFSET[3:0], x, x, x, x} – 範囲:–8LSB ～ +7LSB X – ドント ケア ビット オフセット レジスタを更新した後に差動 DAC データ レジスタを書き換えます。 ab: 14-15、10-11、6-7、または 2-3。cd: 12-13、8-9、4-5、または 0-1
7-0	OFFSETcd[7:0]	R/W	0h	

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

DACx1416 ファミリの主な用途の一つは、光学ライン カードや光学モジュールで使用されるマッハツェンダ変調器 (MZM) のバイアスです。高電圧、大電流、差動出力機能を備えた DACx1416 ファミリは、$LiNbO_3$ および InP タイプの変調器の両方にバイアスを印加するために使用できます。トグル モードと複数の対応入力ピンを利用することで、このような用途に必要なディザ波形を SPI プログラミングを行わずに生成できます。小型パッケージと内蔵リファレンスにより、このような用途での全体のフットプリントが最小化されます。

8.2 代表的なアプリケーション

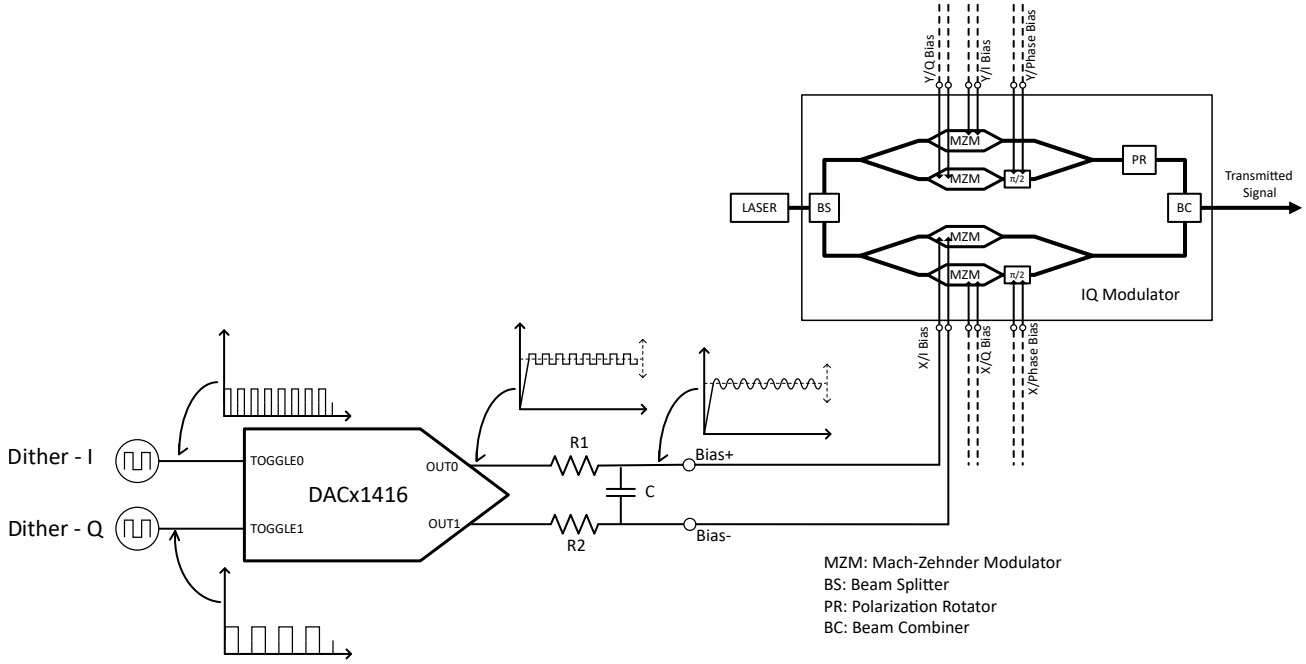


図 8-1. マッハ ツェンダー変調器のバイアス設定

8.2.1 設計要件

両方のタイプの MZM テクノロジー ($LiNbO_3$ と InP) に合わせてバイアス回路を設計するには、高電圧範囲と大電流範囲が必要です。表 8-1 を参照してください。光学インターネットワーキングフォーラム (OIF) は、4 つの差動 IQ バイアス入力と 2 つの差動位相バイアス入力を推奨しています。図 8-1 を参照してください。この差動信号方式は、チャネル間のクロストークやノイズを最小限に抑えるのに役立ちます。そうでなければ複雑なバイアス制御アルゴリズムが必要になる可能性があります。理想的なディザ トーンは正弦波ですが、大部分のデジタル回路領域では正弦波の生成は面倒です。矩形波はデジタル回路で比較的容易に生成でき、また使用することも可能です。ただし、このディザ信号の帯域幅が受信機の低域遮断周波数 (OIF によれば 100kHz または 1 MHz) 未満であることが条件となります。バイアス電流の要件が非常に小さい $LiNbO_3$ 変調器の DAC 出力には、カットオフ周波数が 100kHz 未満のパッシブ RC フィルタを使用できます。主に光モジュールで使用される InP 変調器の場合、通常は受信機の低域遮断周波数が MHz 程度必要になります。このとき、抵抗にかかる消費電力が小さくなるように RC 値を選択します。

MZM 出力でディザ信号を滑らかに検出するには、*I* アームと *Q* アームに 2 つの直交ディザリング周波数ソースを使用します。ディザ波形の振幅は通常、直流バイアス電圧の 0.5% ～ 2.5% 程度であり、主に設計の実装によって決まります。

表 8-1. MZM バイアス回路の要件

パラメータ	値
DC 範囲	最大 ±18V
ディザリ振幅	40mV ～ 500mV
ディザ周波数	100Hz ～ 100kHz
ディザ形状	正弦または四角形
バイアス電流	最大 25mA (InP MZM 用)
ディザリ周波数の数	2
出力方式	差動 (6 ペア)

Copyright © 2025 Texas Instruments Incorporated

8.2.2 詳細な設計手順

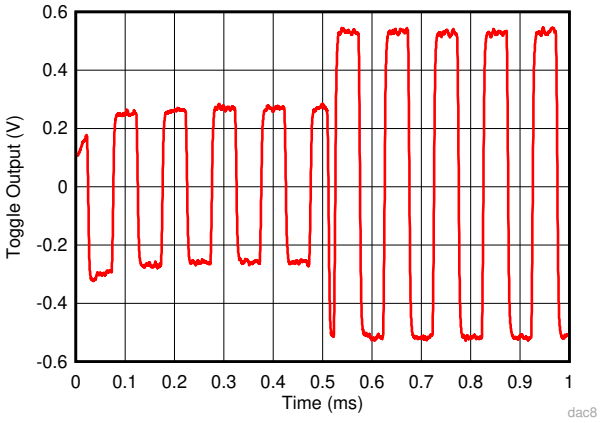
図 8-1 に、*ディザリング タイプのバイアス制御*回路の MZM にバイアスをかけるための概略回路図を示します。ここに示されているように、この回路には IQ バイアス用に 4 組の差動入力ペアと、位相バイアス用に 2 組の差動入力ペアが必要です。$LiNbO_3$ MZM にバイアスをかけるには、電圧は最大 ±18V に達することがあり、電流要件は数マイクロアンペア程度です。レシーバの低カットオフ周波数は通常 100kHz であるため、ディザ信号の帯域幅はこの周波数よりも十分に低くなります。IQ バイアス入力のみがディザ信号を必要とし、位相バイアスを必要としないことに注意してください。DACx1416 にはトグル モードがあり、出力を DC バイアスに方形波を印加するように構成できます。このモードでは、矩形波の HIGH コードと LOW コードを設定する必要があり、遷移は選択されたトグル入力ピンと同期して行われます。トグル機能を使用してディザ出力を得るための疑似コードを以下に示します。

```
//SYNTAX: WRITE <REGISTER NAME>,<DATA>
//Power-on Device, Disable Soft-toggle
WRITE SPICONFIG,0x0A84
//Select Range for all 12 channels as ±10V
WRITE DACRANGE2, 0xAAAA
WRITE DACRANGE3, 0xAAAA
WRITE DACRANGE4, 0xAAAA
//Power-on DAC Channels 0 - 11
WRITE DACPWDWN,0xF000
//Write HIGH code to Register A of all IQ Bias Differential Pairs
WRITE DAC0,0xXXXX
WRITE DAC2,0xXXXX
WRITE DAC4,0xXXXX
WRITE DAC6,0xXXXX
//Write Data to Phase Bias Channels
WRITE DAC8,0xXXXX
WRITE DAC10,0xXXXX
//Enable Sync for All Differential Pairs
WRITE SYNCCONFIG,0x0FFF
//Enable Software LDAC
WRITE TRIGGER,0x0002
//Write LOW code to Register B of all IQ Bias Differential Pairs
WRITE DAC_DATA0,0xXXXX
WRITE DAC_DATA0,0xXXXX
WRITE DAC_DATA0,0xXXXX
WRITE DAC_DATA0,0xXXXX
//Turn Toggle Mode ON for All IQ Differential Pairs
//DAC11-10:Y/Phase Bias , DAC9-8:Y/I Bias - TOGG0, DAC7-6:Y/Q Bias - TOGG 1
//DAC5-4:Y/Phase Bias , DAC3-2:Y/I Bias - TOGG0, DAC1-0:Y/Q Bias - TOGG 1
WRITE TOGGCONFIG0,0x0005
WRITE TOGGCONFIG1,0xA05A
//Method to Modify the DC Value of Any IQ Differential Pair
//Turn Off Toggle Mode for that Channel (e.g. DAC0-1)
WRITE TOGGCONFIG1,0xA050
//Turn Off Sync for the Channel
WRITE SYNCCONFIG,0x0FFC
//Write HIGH code to Register A of the Channel Pair
WRITE DAC0,0xXXXX
//Turn On Sync for the Channel Pair
WRITE SYNCCONFIG,0x0FFF
//Turn On Toggle for the Channel Pair
WRITE TOGGCONFIG1,0xA05A
```

ディザ周波数は 1kHz および 2kHz に設定でき、これにより 1 次 RC ローパス フィルタで 100kHz において十分な減衰が得られます。たとえば、R1 = R2 = 10kΩ、C = 0.01µF の場合、100kHz でおよそ 40dB の減衰が得られます。

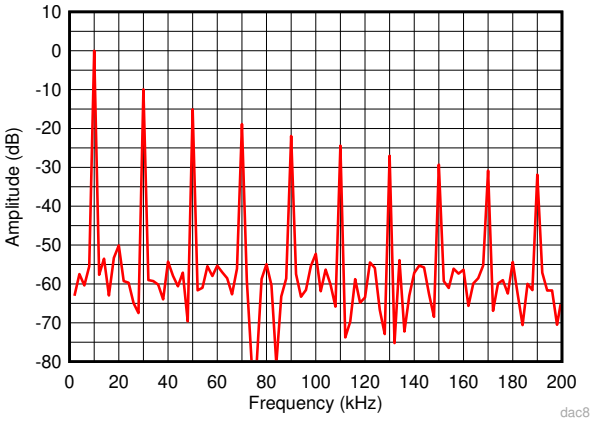
Copyright © 2025 Texas Instruments Incorporated

8.2.3 アプリケーション曲線



トグル周波数 = 10kHz

図 8-2. AC 振幅遷移を切り替え



トグル周波数 = 10kHz、出力にフィルタなし

図 8-3. トグル出力の周波数スペクトル

8.3 電源に関する推奨事項

DACx1416 には 5 つの電源入力が必要です:VIO、VDD、VAA、VCC、VSS。VDD と VAA が同じレベルであることを確認します。VIO と VDD/VAA が異なると仮定すると、4 つの独立した電源ソースが必要となります。

各電源ピンの近くに 0.1µF のセラミックコンデンサを配置します。VCC と VSS にはそれぞれ 2 本のピンがあることに注意してください。さらに、各電源に対して 4.7µF または 10µF のバルク キャパシタを推奨します。バルク キャパシタにはタンタル キャパシタまたはアルミ電解キャパシタが良い選択肢です。

電源にはシーケンス要件はありません。DAC の出力範囲は設定可能であるため、電源レール付近のコードでも直線性を確保できるように、電源に十分なヘッドルームを持たせます。DAC 出力から電流を供給または吸い込む場合は、放熱を考慮します。例えば、MZM バイアスの典型的な用途として、12 チャネルから 25mA の負荷電流を供給または吸い込み、かつ 2.5V の電源ヘッドルームがある場合、DAC 全体での消費電力は (12 × 2.5 × 25mA) = 0.75W となります。この例での電力を放散するための熱設計には、デバイスのサーマル シャットダウンを回避するためにヒート シンクを組み込むことが必要になる可能性があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

DACx1416 のピン配置は、アナログ ピン、デジタル ピン、電源ピンがそれぞれ空間的に分離されるように設計されており、これにより PCB レイアウトが容易になります。図 8-4 にレイアウト例を示します。ご覧のとおり、すべての電源ピンには、その近くに 0.1µF のコンデンサが配置されています。アナログ信号とデジタル信号は互いに離して、または異なる PCB 層上にレイアウトします。デジタル信号には、途切れのないリファレンス プレーン (グランド または VIO) を設けます。SCLK や SDI などの高周波信号には、信号整合性を確保するために適切なインピーダンス終端を施します。

Copyright © 2025 Texas Instruments Incorporated

8.4.2 レイアウト例

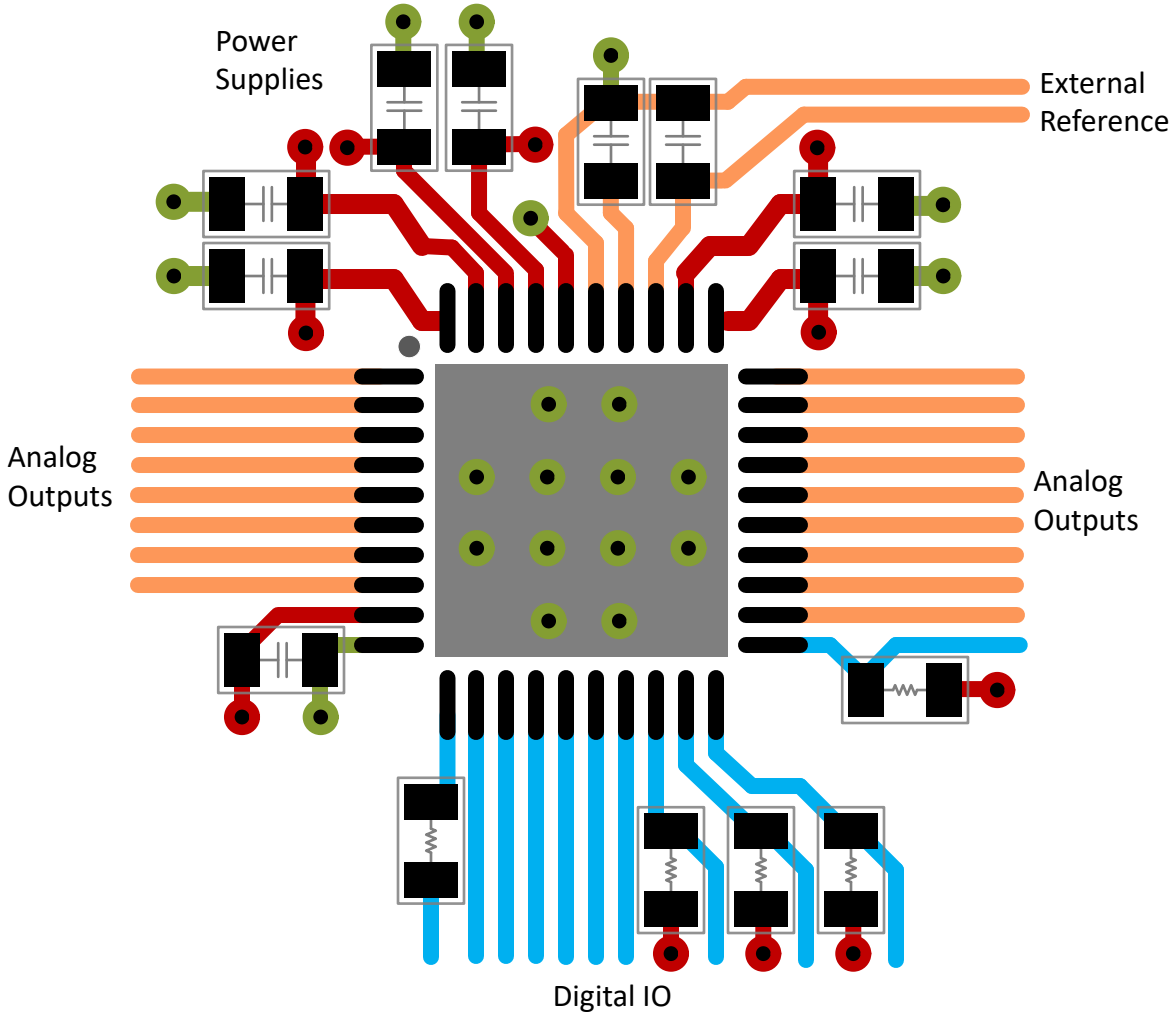


図 8-4. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 開発サポート

開発サポートについては、以下を参照してください。DAC81416 評価基板

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、DAC81416EVM ユーザーガイド
- テキサス インスツルメンツ、*DACx1416 がマッハツェンダ変調器バイアスに最適化されたソリューションを提供 アプリケーション ノート*
- テキサス インスツルメンツ、*出力検出を備えたプログラム可能な電圧出力回路 アプリケーション ノート*

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (June 2021) to Revision C (August 2025)	Page
• 図 5-3、*更新モードでの DAC 待機時間*を追加	15
• *DAC レジスタ同期および非同期更新*で、DAC 出力更新の最小ウェイト時間を更新	29
• *ストリーミング モード動作*に、ストリーミング モード中の SDO の状態に関する補足説明を追加	34
• BRDCAST-DATA および DACn-DATA を R/W から W に変更	37

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision A (November 2018) to Revision B (June 2021)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 明確さを高めるために、フォーマットと細かな編集上の問題を更新	1

Changes from Revision * (July 2018) to Revision A (November 2018)	Page
• DAC81416 を「事前情報」から「量産データ」に変更	1
• DAC71416 と DAC61416 を「製品プレビュー」から「量産データ」に変更	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DAC61416RHAR	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC61416
DAC61416RHAR.A	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC61416
DAC61416RHAT	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC61416
DAC61416RHAT.A	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC61416
DAC71416RHAR	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC71416
DAC71416RHAR.A	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC71416
DAC71416RHAT	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC71416
DAC71416RHAT.A	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC71416
DAC81416RHAR	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC81416
DAC81416RHAR.A	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC81416
DAC81416RHAT	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC81416
DAC81416RHAT.A	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC81416

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

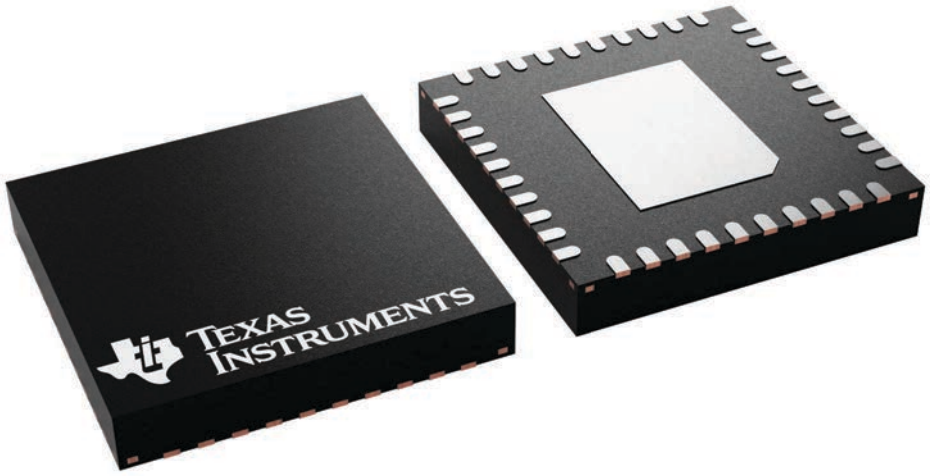
RHA 40

VQFN - 1 mm max height

6 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



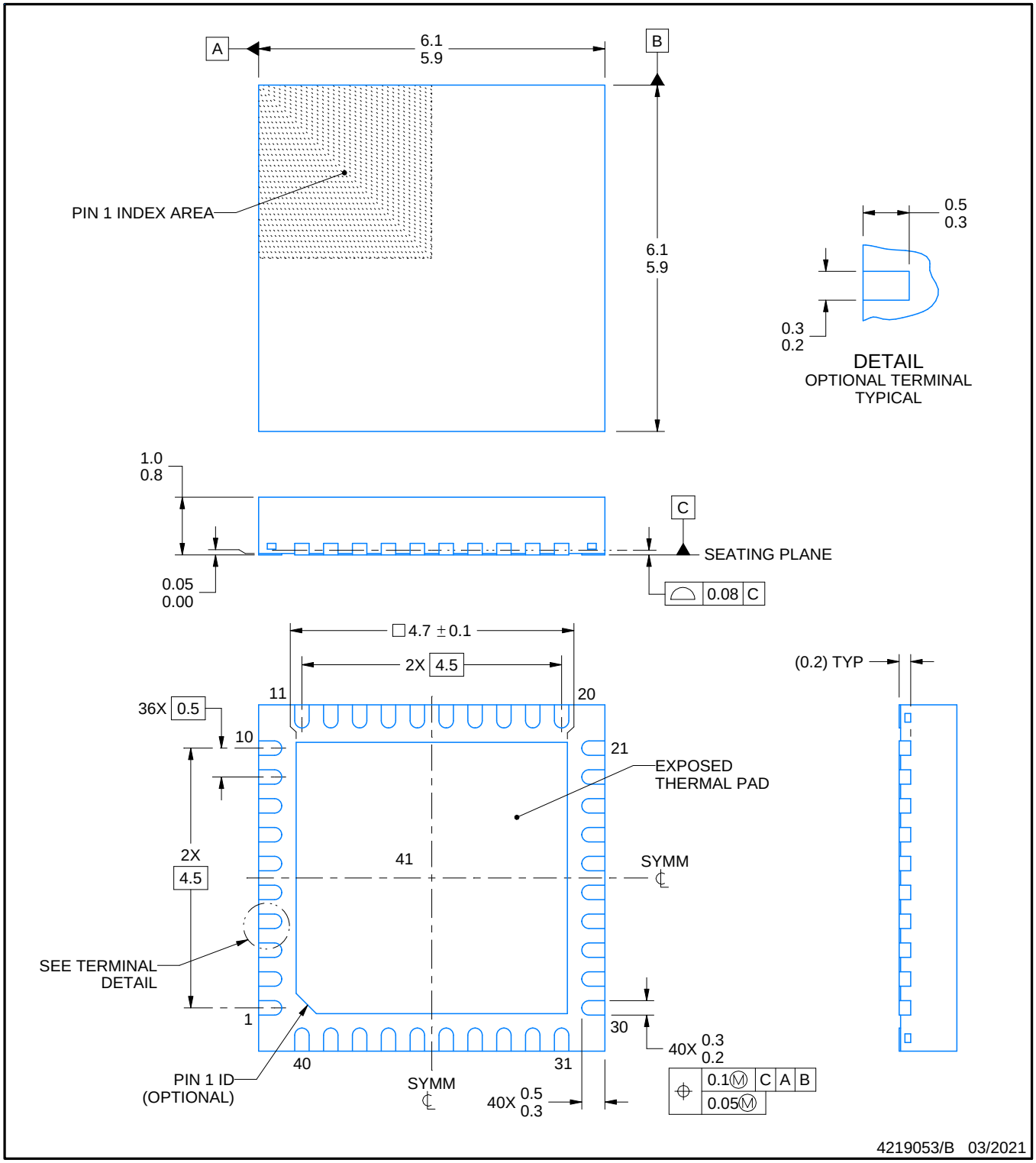
4225870/A

RHA0040C

PACKAGE OUTLINE

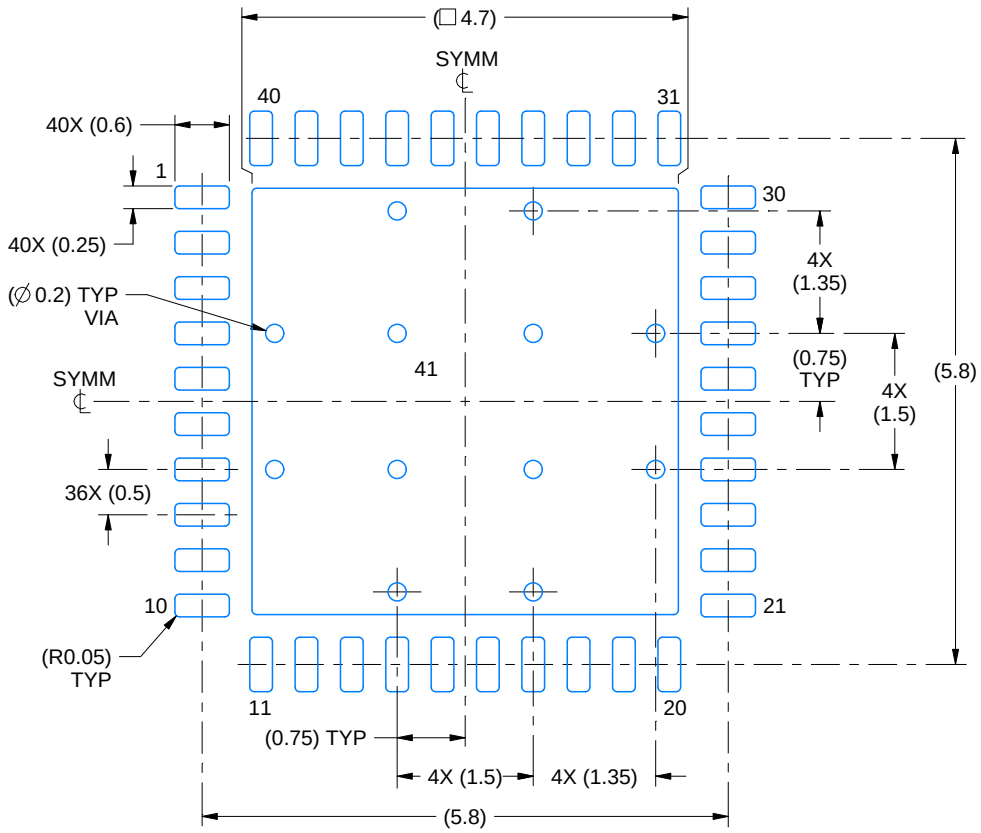
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

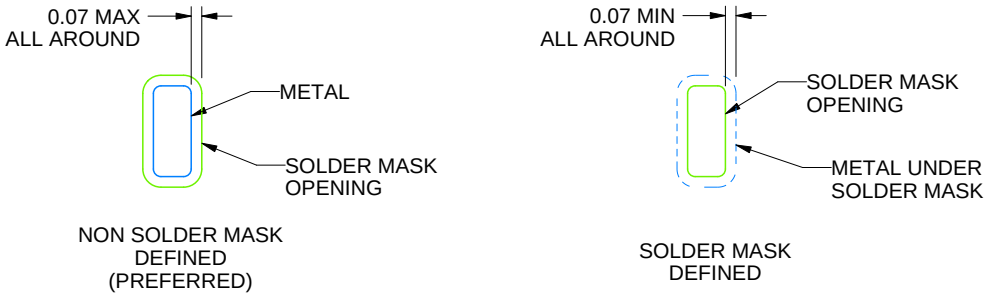


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:12X

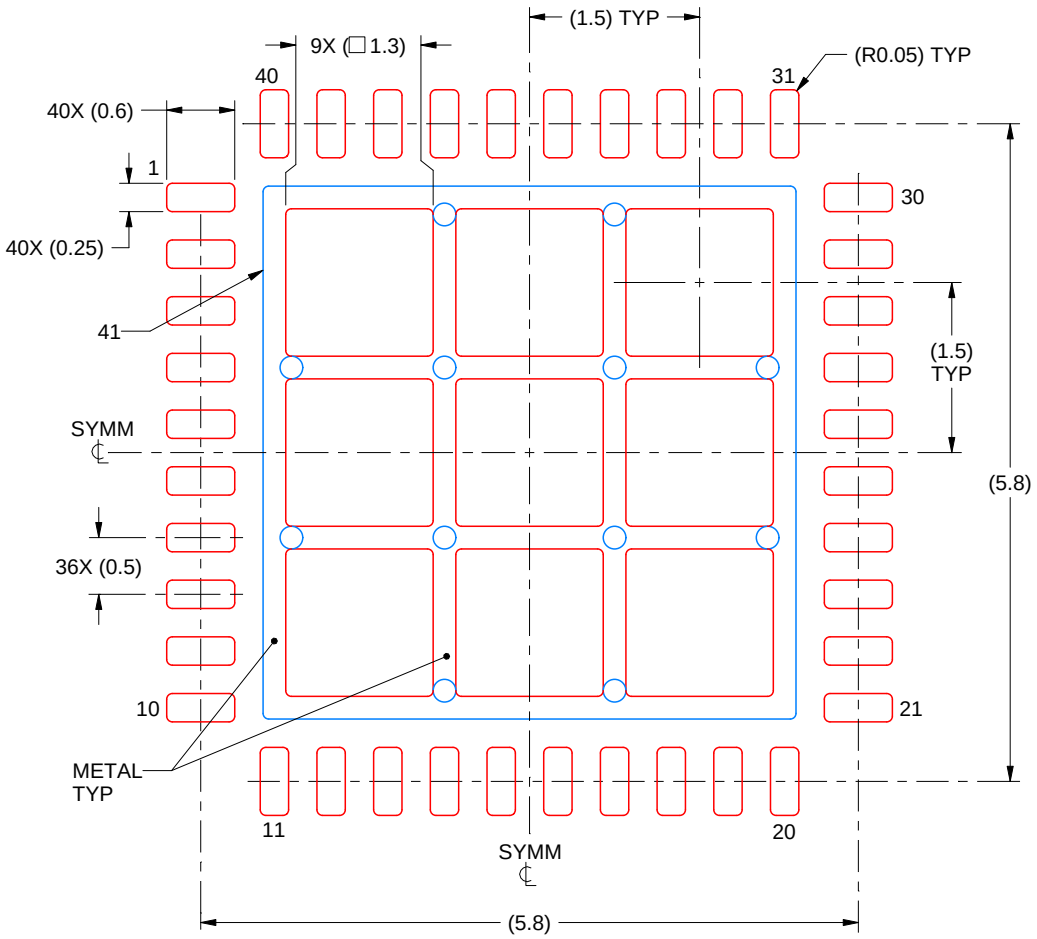


SOLDER MASK DETAILS

4219053/B 03/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 41:
69% PRINTED SOLDER COVERAGE BY AREA
SCALE:15X

4219053/B 03/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月