



16ビット、シングル・チャネル、±18V出力（バッファなし）、超低消費電力、シリアル・インターフェイス、DA コンバータ

特 長

- 16ビット分解能
- 出力：±18V（±18Vリファレンス電圧入力）
- ±18V電源動作
- 超低消費電力
- 高精度INL：1LSB
- 低ノイズ：10nV/√Hz
- 高速セトリング：1LSBまで1μs
- 高速SPI™インターフェイス：最大50MHz
- 16ピンTSSOPパッケージ
- ゼロまたはミッドスケールへ選択リセット

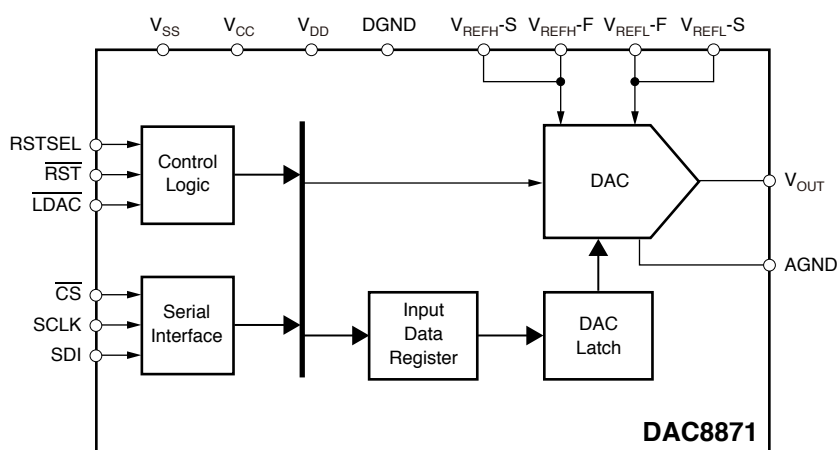
アプリケーション

- 携帯機器
- 自動試験装置
- 産業用プロセス制御
- データ・アキュイジション・システム
- 光ネットワーク

解 説

DAC8871は16ビット、シングル・チャネル、シリアル入力、電圧出力型のDAコンバータ（DAC）です。出力範囲はリファレンス電圧 V_{REFH} および V_{REFL} により定まります。リファレンス電圧を適切に選択することで、出力をユニポーラあるいはバイポーラに設定でき、最大出力電圧は±18Vです。このコンバータは規定の動作温度範囲-40℃～+105℃にわたって、優れた直線性（1LSBのINL）、低ノイズ、および高速セトリング特性（フルスケール出力で1μs/1LSB）を提供します。出力バッファがないため、消費電力およびバッファ起因の誤差が低減されます。本デバイスは、標準的な高速クロック（最大50MHz）の3Vまたは5VのSPIシリアル・インターフェイスによってDSPやマイクロプロセッサと通信を行います。

最適な特性を得るために、外部リファレンス電圧をケルビン接続する端子を備えています。DAC8871はTSSOP-16パッケージで提供します。



Gate Drive、PowerPAD は、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切な ESD 保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

製品情報⁽¹⁾

製品型番	最小相対精度 (LSB)	微分非直線性 (LSB)	温度範囲	パッケージ捺印	パッケージ	パッケージ・コード
DAC8871B	±1	±1	−40°C to +105°C	8871	TSSOP-16	PW
DAC8871	±3	±1	−40°C to +105°C	8871	TSSOP-16	PW

(1) 最新のパッケージ情報と発注情報については、このデータ・シート末尾のパッケージ・オプション追捕または、TIのウェブ・サイト (www.tij.co.jp, www.ti.com) を参照してください。

絶対最大定格⁽¹⁾

		DAC8871	単位
$V_{DD} \sim GND$		−0.3 ~ +7	V
デジタル入力電圧 ~ GND		−0.3 ~ ($V_{DD} + 0.3$)	V
AGND ~ DGND		−0.3 ~ +0.3	V
$V_{CC} \sim V_{SS}$		−0.3 ~ +39.6	V
$V_{CC} \sim AGND$		−0.3 ~ +19.8	V
$V_{SS} \sim AGND$		+0.3 ~ −19.8	V
$V_{REFH} \sim V_{REFL}$		−0.3 ~ +39.6	V
$V_{REFH} \sim AGND$		−0.3 ~ +19.8	V
$V_{REFL} \sim AGND$		−19.8 ~ +17.5	V
動作温度範囲		−40 ~ +105	°C
保存温度範囲		−65 ~ +150	°C
最大ジャンクション温度 ($T_J \text{ max}$)		+150	°C
許容損失		$(T_J \text{ max} - T_A)/\theta_{JA}$	W
熱抵抗, θ_{JA}	TSSOP-16	161.4	°C/W

(1) 絶対最大定格を超えるストレスが加わった場合、デバイスが永続的なダメージを受ける事があります。
また、絶対最大定格の状態が続いた場合、デバイスの信頼性に影響を与える事があります。

電気的特性

(特に記述の無い限り) $T_A = T_{MIN} \sim T_{MAX}$, $V_{CC} = +15V$, $V_{SS} = -15V$, $V_{REFH} = +10V$, $V_{REFL} = -10V$, $V_{DD} = +5V$

パラメータ		測定条件	DAC8871			単位
			MIN	TYP	MAX	
静特性						
分解能			16			ビット
直線性誤差	DAC8871B	V _{REFH} = 10V, V _{REFL} = −5V	±0.75	±1	LSB	
		V _{REFH} = 10V, V _{REFL} = −10V	±1	±1.5	LSB	
	DAC8871		±1	±3	LSB	
微分直線性誤差			±0.25	±1	LSB	
ゲイン誤差		T _A = +25°C	±0.5	2	LSB	
ゲイン・ドリフト			±0.1		ppm/°C	
バイポーラ・ゼロ誤差		T _A = +25°C	±1	±4	LSB	
バイポーラ・ドリフト			±0.1		ppm/°C	
ゼロ・コード誤差		T _A = +25°C	±0.5	±2	LSB	
ゼロ・コード・ドリフト			±0.05		ppm/°C	
出力特性						
出力電圧			V _{REFL}	V _{REFH}	V	
出力インピーダンス			6.25			kΩ
セトリング時間		FSの1LSBまで, C _L = 15 pF	1			μs
スルー・レート ⁽¹⁾		C _L = 15pF	40			V/μs
デジタル・フィードスルー ⁽²⁾			0.2			nV-s
出力ノイズ		T _A = +25°C	10			nV/√Hz
電源除去		電源変動 ±10%	1			LSB
リファレンス入力						
V _{REFH}	Ref high 入力電圧範囲		0	+18	V	
V _{REFL}	Ref low 入力電圧範囲		−18	V _{REFH} − 1.25	V	
	Ref high 入力電流		1.3			mA
	Ref low 入力電流		−1.3			mA
リファレンス入力インピーダンス ⁽³⁾			7.5			kΩ
リファレンス入力容量		Code = 0000h	75			pF
		Code = FFFFh	120			pF
デジタル入力						
V _{IL}	“L” 入力電圧	V _{DD} = +5V	DGND	0.8	V	
		V _{DD} = +3V	DGND	0.6	V	
V _{IH}	“H” 入力電圧	V _{DD} = +5V	2.6	V _{DD}	V	
		V _{DD} = +3V	2.1	V _{DD}	V	
入力電流			±1			μA
入力容量			10			pF

(1) スルー・レートは、出力が0からフルスケールに変化するときの遷移の10%から90%を測定しています。

(2) デジタル・フィードスルーは、デジタル入力からアナログ出力へ注入されるインパルスとして定義されます。これは、 $\overline{CS}$ を“High”に保ちSCLKおよびDIN信号がトグルしている、DAC出力が変化しない条件下で測定されます。このときのSDIバスにおけるフルスケールのコード変化（すなわち、0000hから1111h、およびその逆）で規定されます。

(3) リファレンス電圧入力抵抗にはコード依存性があり、最小値は8555hのときです。

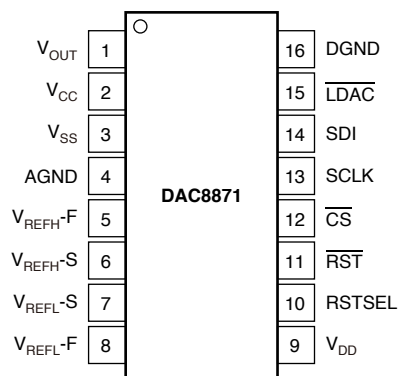
電氣的特性（続き）

(特に記述の無い限り) $T_A = T_{MIN} \sim T_{MAX}$, $V_{CC} = +15V$, $V_{SS} = -15V$, $V_{REFH} = +10V$, $V_{REFL} = -10V$, $V_{DD} = +5V$

パラメータ	測定条件	DAC8871			単位
		MIN	TYP	MAX	
電源					
V _{CC}		+13.5	+15	+19.8	V
V _{SS}		−19.8	−15	−13.5	V
V _{DD}		+2.7		+5.5	V
I _{CC}			0.01	2	μA
I _{SS}			−0.01	−2	μA
I _{DD}			3	10	μA
消費電力			15	30	μW
温度範囲					
規定		−40		+105	°C

ピン配置

PWパッケージ
TSSOP-16
(上面図)



ピン構成

端子		説明
NO.	名称	
1	V _{OUT}	DACアナログ出力
2	V _{CC}	アナログ正電源: +15V
3	V _{SS}	アナログ負電源: -15V
4	AGND	アナログ・グランド
5	V _{REFH-F}	V _{REFH} リファレンス入力 (フォース)、外部 V _{REFH} に接続
6	V _{REFH-S}	V _{REFH} リファレンス入力 (センス)、外部 V _{REFH} に接続
7	V _{REFL-S}	V _{REFL} リファレンス入力 (センス)、外部 V _{REFL} に接続
8	V _{REFL-F}	V _{REFL} リファレンス入力 (フォース)、外部 V _{REFL} に接続
9	V _{DD}	デジタル電源、5Vロジックのインターフェースの場合 +5V、3Vロジックのインターフェースの場合 +3V
10	RSTSEL	パワーオン・リセットの選択、パワーオン・リセット後の V _{OUT} を決める。V _{DD} に接続の場合、DACラッチがパワーオン後にミッドスケールに設定され、V _{OUT} = (V _{REFH} - V _{REFL})/2。DGNDに接続の場合、DACラッチはクリアされ('0'), V _{OUT} = V _{REFL} 。
11	RST	リセット (アクティブ "Low")
12	CS	チップ・セレクト入力 (アクティブ "Low")、CS が "Low" のときデータをSDIへクロック入力
13	SCLK	シリアル・クロック入力
14	SDI	シリアル・データ入力、データはSCLKの立ち上がりエッジでレジスタにラッチ
15	LDAC	Load DAC 制御入力(アクティブ"Low")、LDAC が "Low" のときDACラッチにラッチすると同時に入力レジスタの内容を更新
16	DGND	デジタル・グランド

タイミング図

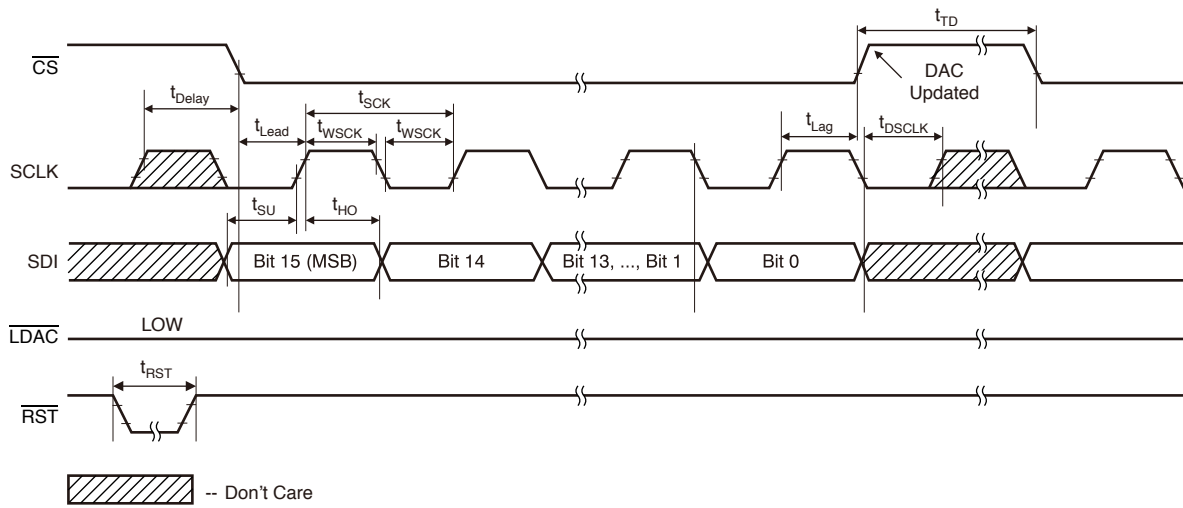


図1. $\overline{\text{LDAC}}$ が“Low” 固定の場合

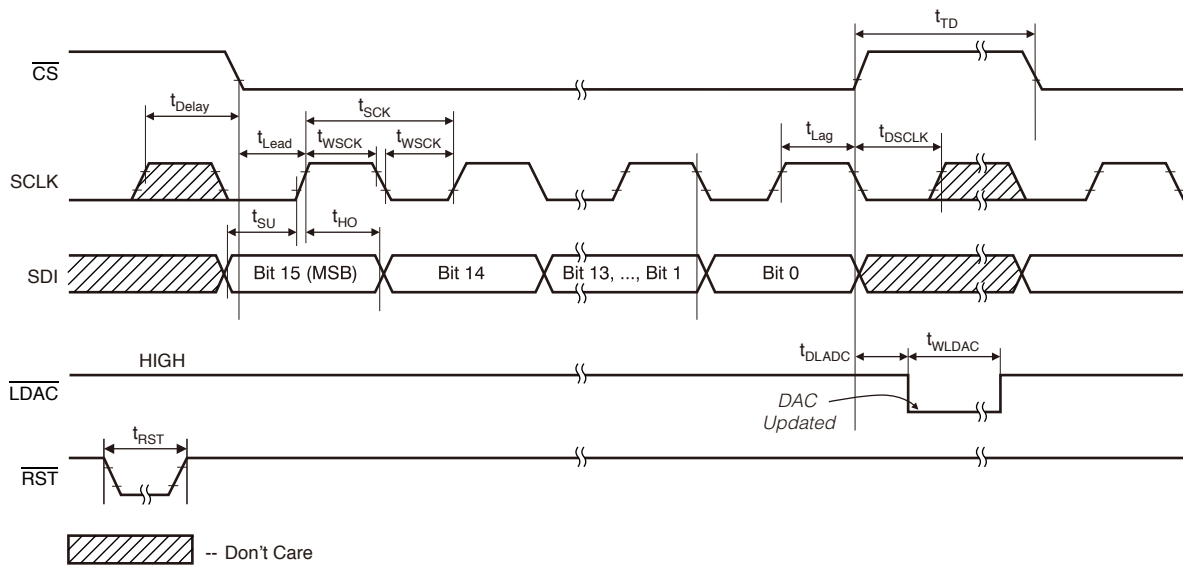


図2. $\overline{\text{LDAC}}$ をアクティブにする場合

タイミング特性：V_{DD}=+5V⁽¹⁾⁽²⁾

(特に記述の無い限り) T_A=−40 ～+105°C

パラメータ		MIN	MAX	UNIT
t _{SCK}	SCLK 周期	20		ns
t _{WSCK}	SCLK “High”/“Low” 時間	10		ns
t _{Delay}	SCLK “High”から $\overline{CS}$ “Low” までの遅延時間	10		ns
t _{Lead}	$\overline{CS}$ イネーブルになる時間	10		ns
t _{Lag}	$\overline{CS}$ イネーブルの遅れ時間	10		ns
t _{DSCLK}	$\overline{CS}$ “High”から SCLK “High”までの遅延時間	10		ns
t _{TD}	$\overline{CS}$ のアクティブからアクティブ間の $\overline{CS}$ “High”時間	30		ns
t _{SU}	データ・セットアップ時間 (入力)	10		ns
t _{HO}	データ・ホールド時間 (入力)	0		ns
t _{WLDAC}	$\overline{LDAC}$ 幅	30		ns
t _{DLDAC}	$\overline{CS}$ “High”から $\overline{LDAC}$ “Low” までの遅延時間	30		ns
t _{RST}	リセット (RST) “Low”時間	10		ns
	V _{DD} “High”から $\overline{CS}$ “Low” まで (パワーアップ遅延時間)	10		μs

(1) 設計でのデータ。製造時に試験はしていません。

(2) 出荷開始時に抜き取りサンプル・テスト、その後は再設計やプロセス変更時に試験を行いこのパラメータに反映します。

代表的特性

(特に記述の無い限り) $T_A = +25^\circ\text{C}$, $V_{DD} = +5\text{V}$, $V_{CC} = +15\text{V}$, $V_{SS} = -15\text{V}$, $V_{REFH} = +10\text{V}$, $V_{REFL} = -10\text{V}$

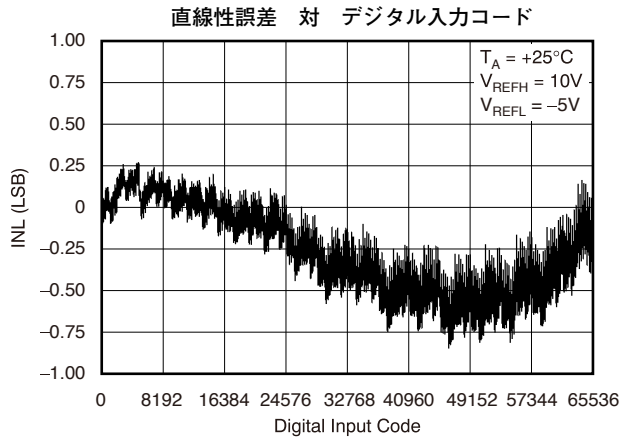


図3

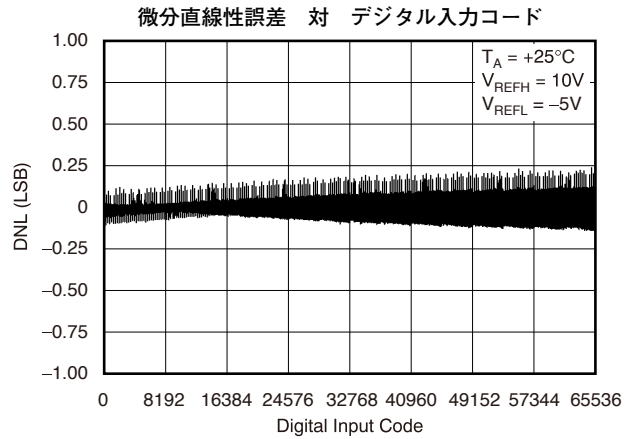


図4

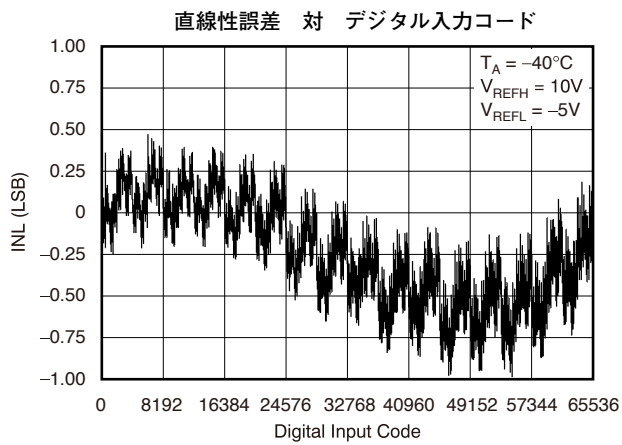


図5

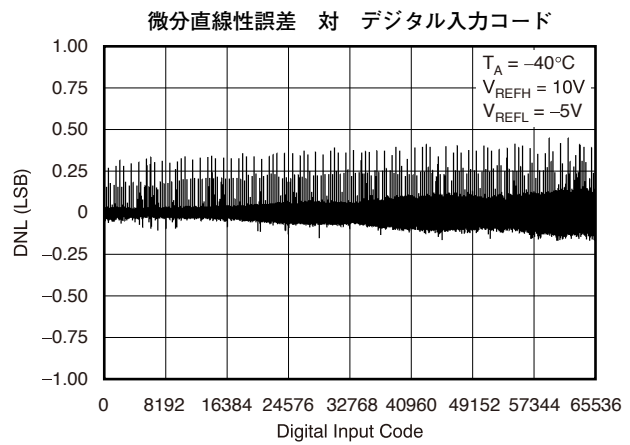


図6

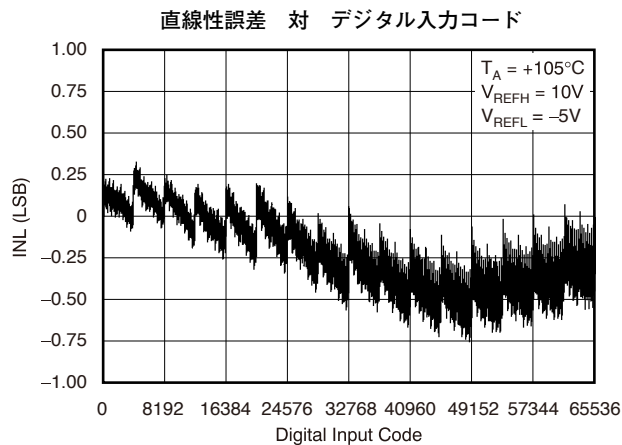


図7

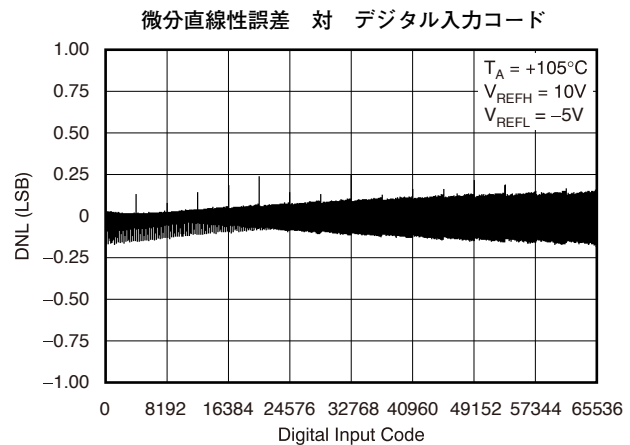


図8

代表的特性 (続き)

(特に記述の無い限り) $T_A = +25^\circ\text{C}$, $V_{DD} = +5\text{V}$, $V_{CC} = +15\text{V}$, $V_{SS} = -15\text{V}$, $V_{REFH} = +10\text{V}$, $V_{REFL} = -10\text{V}$

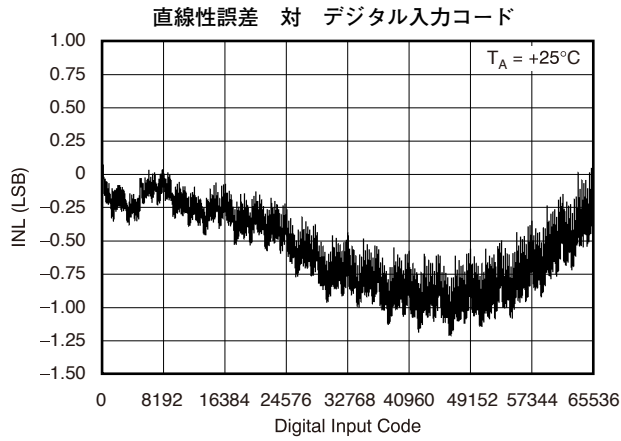


図9

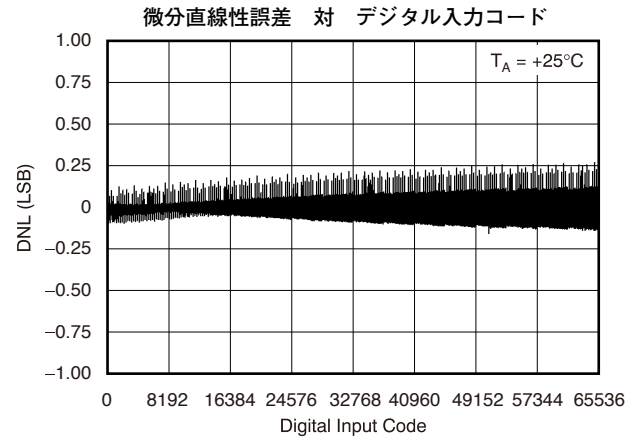


図10

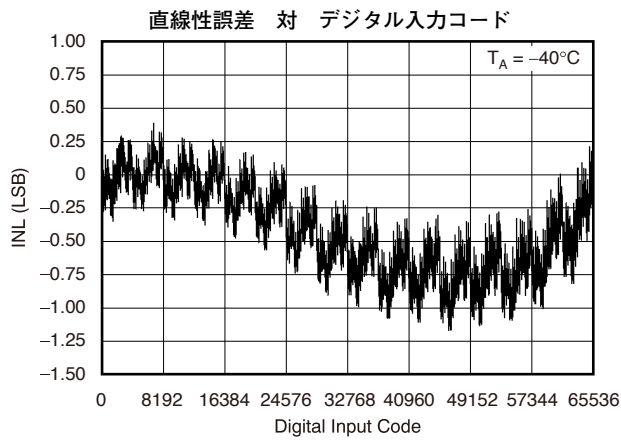


図11

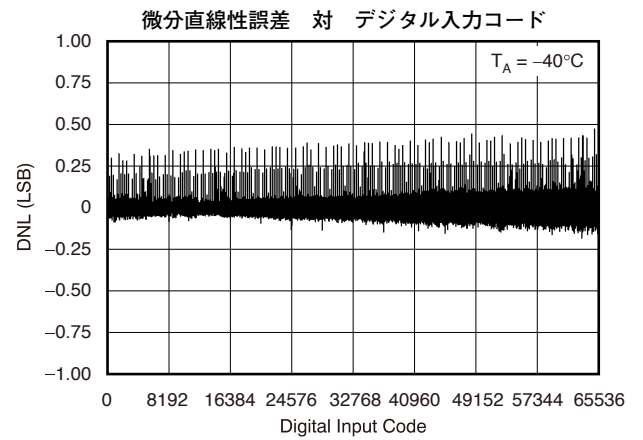


図12

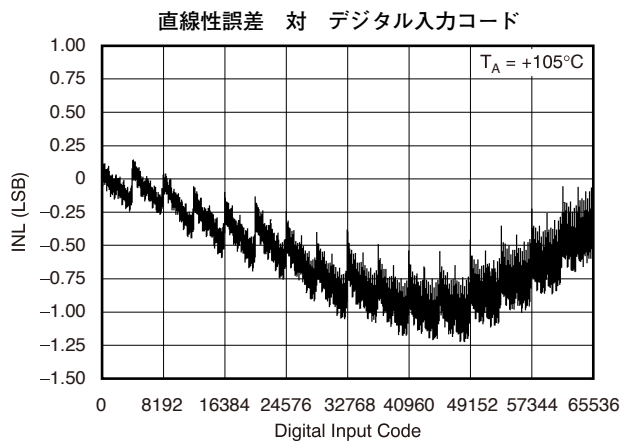


図13

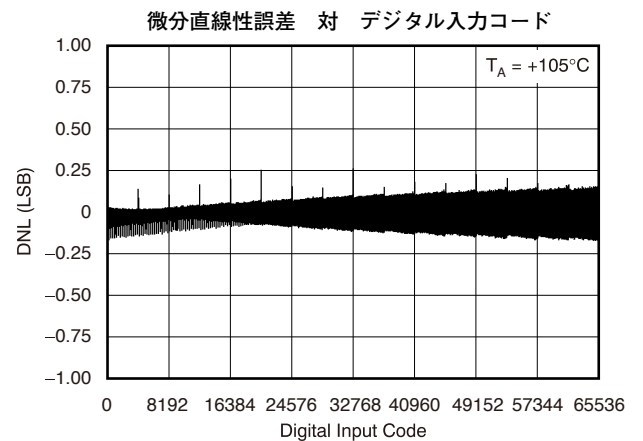


図14

代表的特性 (続き)

(特に記述の無い限り) $T_A = +25^\circ\text{C}$, $V_{DD} = +5\text{V}$, $V_{CC} = +15\text{V}$, $V_{SS} = -15\text{V}$, $V_{REFH} = +10\text{V}$, $V_{REFL} = -10\text{V}$

直線性誤差 対 デジタル入力コード

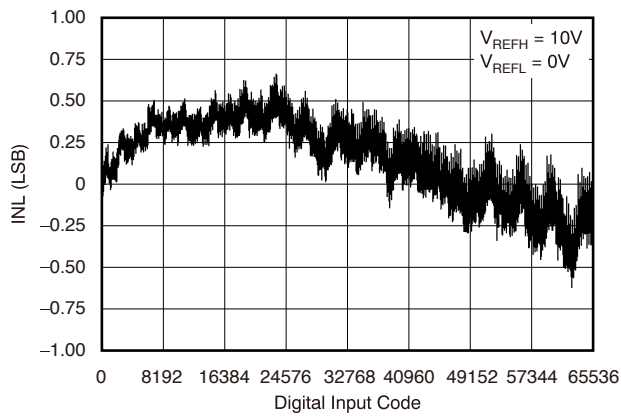


図15

微分直線性誤差 対 デジタル入力コード

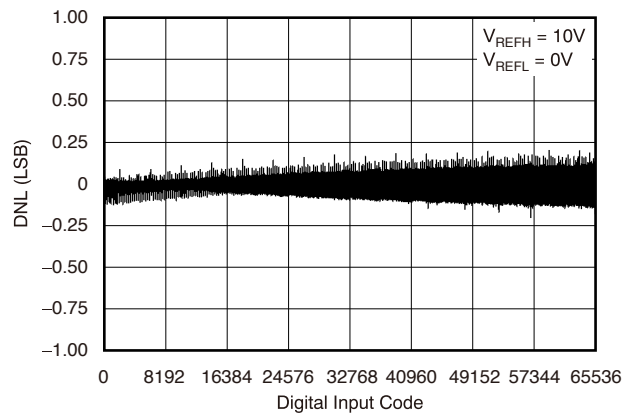


図16

直線性誤差 対 デジタル入力コード

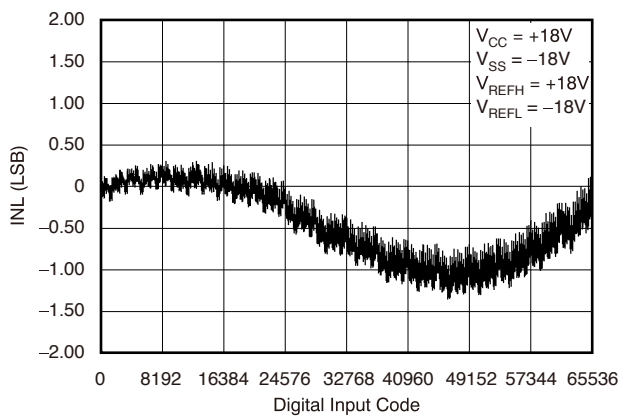


図17

微分直線性誤差 対 デジタル入力コード

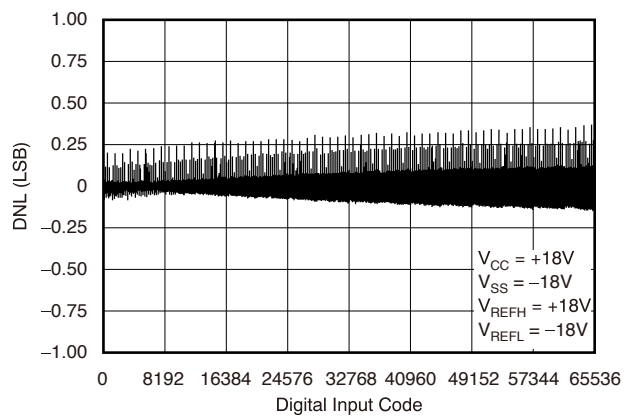


図18

積分非直線性誤差 対 リファレンス電圧

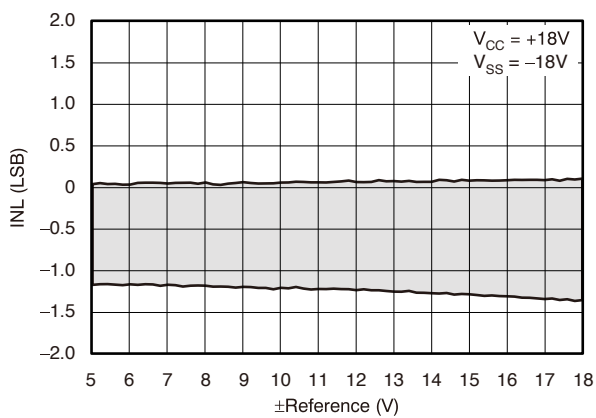


図19

微分非直線性誤差 対 リファレンス電圧

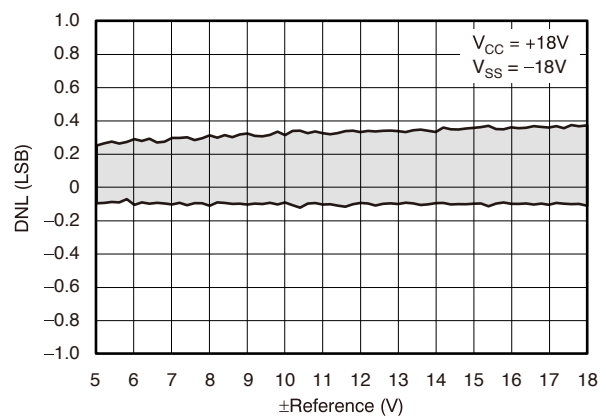


図20

代表的特性 (続き)

(特に記述の無い限り) $T_A = +25^\circ\text{C}$, $V_{DD} = +5\text{V}$, $V_{CC} = +15\text{V}$, $V_{SS} = -15\text{V}$, $V_{REFH} = +10\text{V}$, $V_{REFL} = -10\text{V}$

積分非直線性誤差 対 アナログ電源電圧

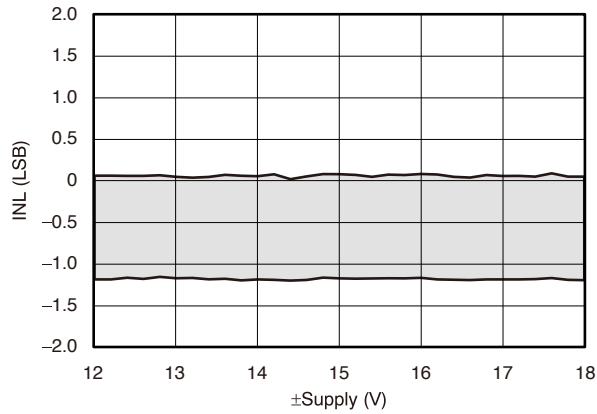


図21

微分非直線性誤差 対 アナログ電源電圧

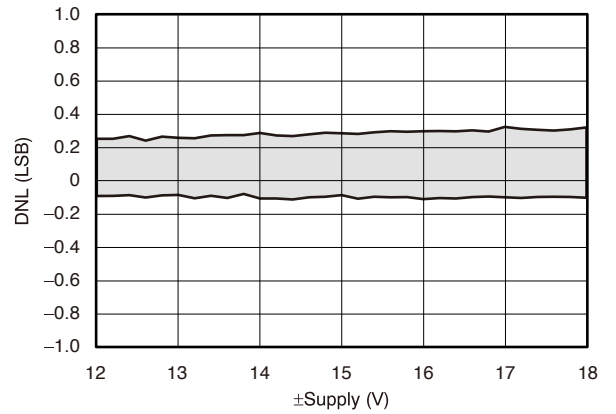


図22

ゲイン誤差 対 温度

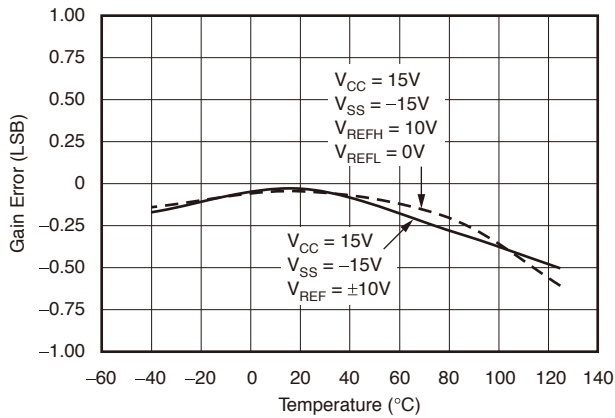


図23

ゼロ・コード誤差 対 温度

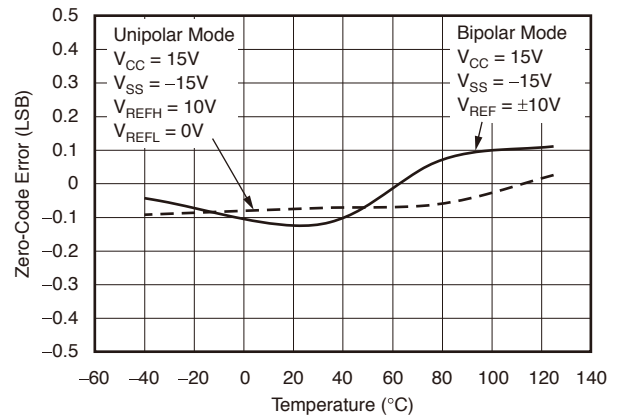


図24

バイポーラ・ゼロ誤差 対 温度

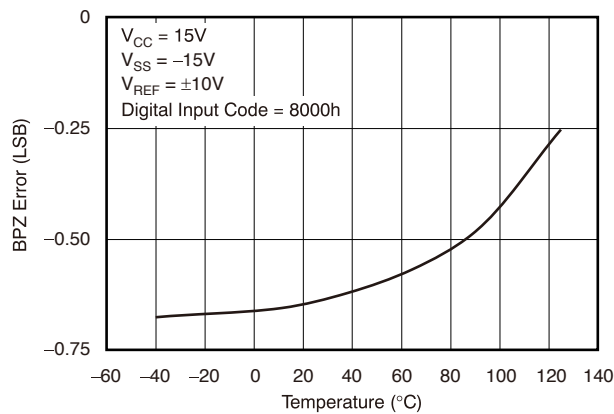


図25

電源電流 対 デジタル入力電圧

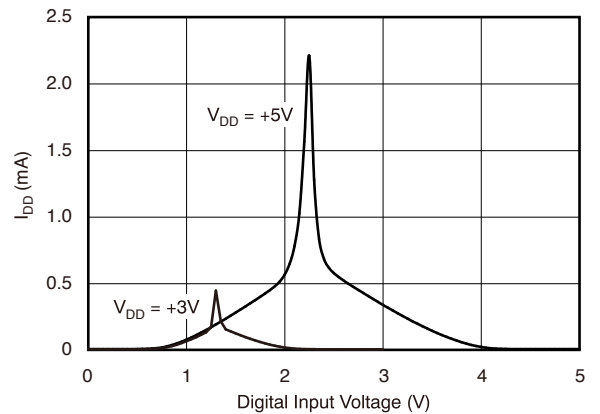


図26

代表的特性 (続き)

(特に記述の無い限り) $T_A = +25^\circ\text{C}$, $V_{DD} = +5\text{V}$, $V_{CC} = +15\text{V}$, $V_{SS} = -15\text{V}$, $V_{REFH} = +10\text{V}$, $V_{REFL} = -10\text{V}$

両リファレンス電流 対 コード

$V_{REFH} = +10\text{V}$, $V_{REFL} = -10\text{V}$

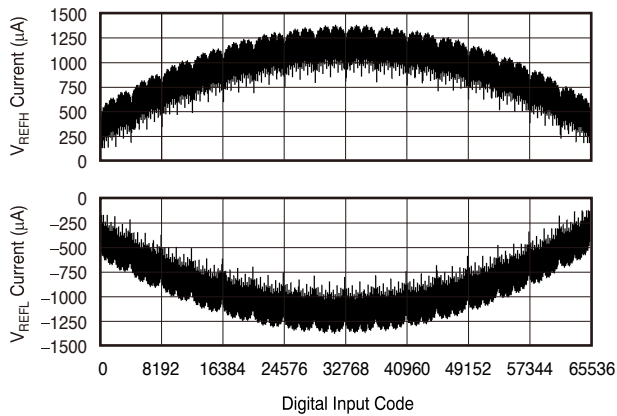


図27

単リファレンス電流 対 コード

$V_{REFH} = +10\text{V}$, $V_{REFL} = 0\text{V}$

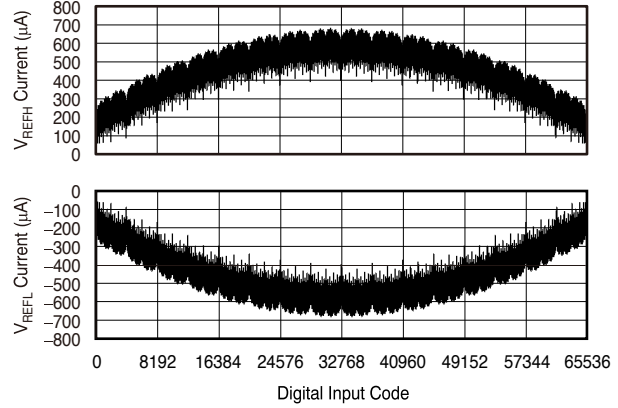


図28

電源電流 対 温度

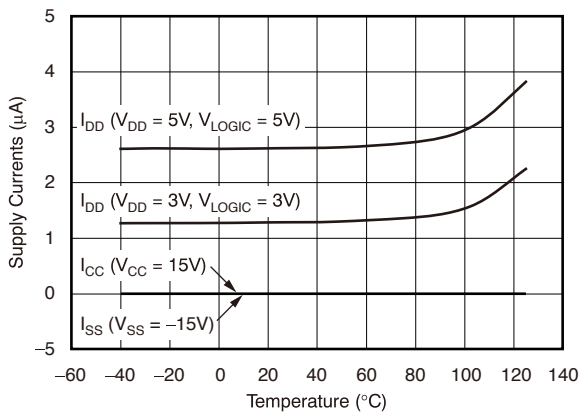


図29

デジタル電源電流 対 デジタル電源電圧

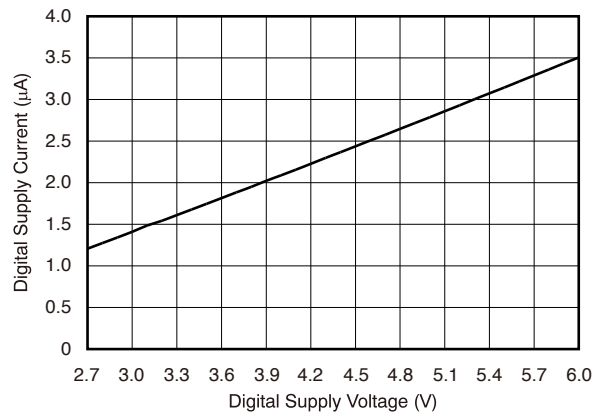


図30

アナログ電源電流 対 アナログ電源電圧

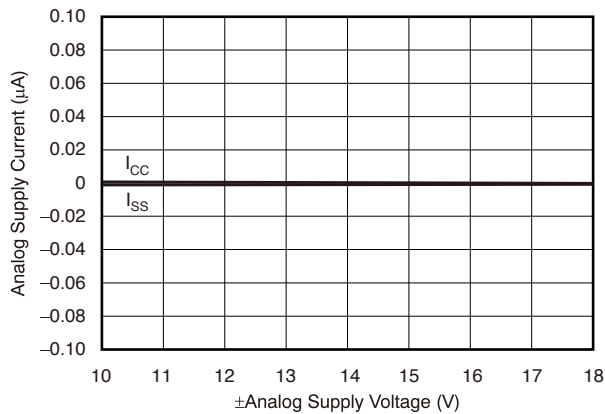


図31

電源電流 対 リファレンス電圧

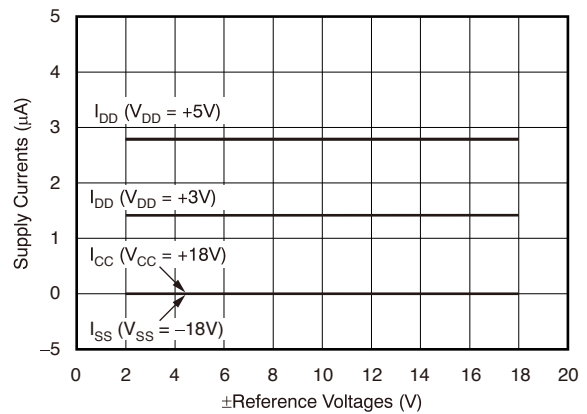


図32

代表的特性（続き）

（特に記述の無い限り） $T_A = +25^{\circ}\text{C}$, $V_{DD} = +5\text{V}$, $V_{CC} = +15\text{V}$, $V_{SS} = -15\text{V}$, $V_{REFH} = +10\text{V}$, $V_{REFL} = -10\text{V}$

メジャー・キャリー・グリッチ（立下り）

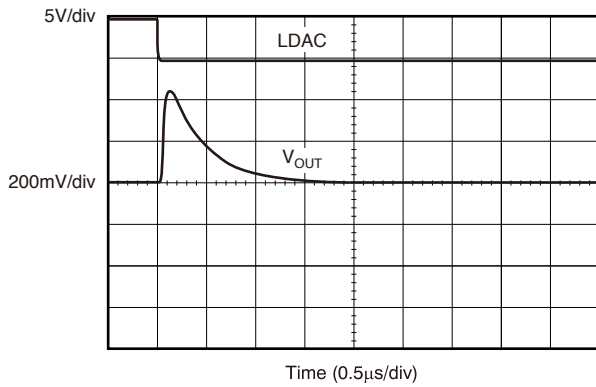


図33

メジャー・キャリー・グリッチ（立上り）

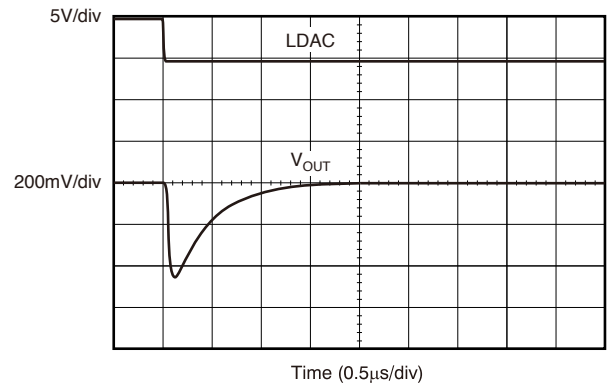


図34

DACセトリング・タイム（立下り）

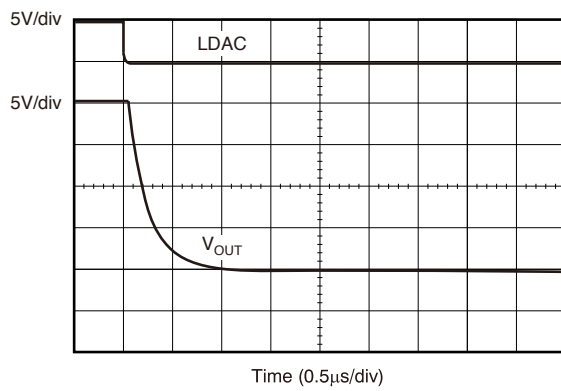


図35

DACセトリング・タイム（立上り）

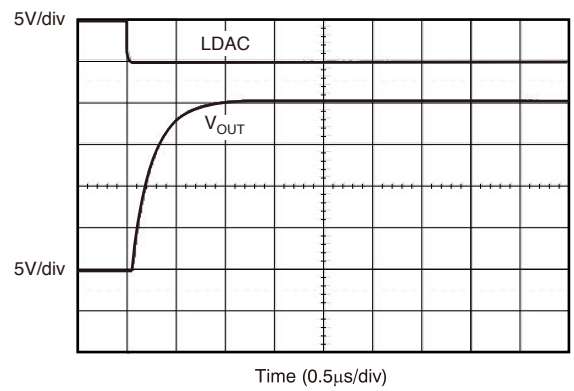


図36

広帯域ノイズ

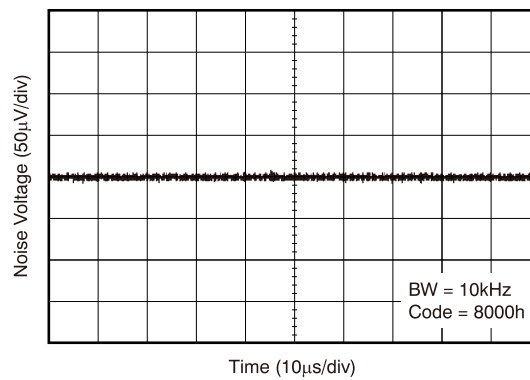


図37

概要

DAC8871は、16ビット、シングル・チャンネル、シリアル入力、電圧出力のDACです。±13.5Vから±19.8Vまでの範囲のデュアル電源で動作し、10μA (Typ) の消費電流となります。その出力範囲は V_{REFL} から V_{REFH} です。データは16ビット・ワード・フォーマットで、SPIシリアル・インターフェイスを経由してDAC8871に書き込みます。DAC8871は、電源投入時に出力を既知の状態にするようにパワーオン・リセット機能が組込まれています。パワーオン後、RSTSEL端子の状態により入力レジスタの値およびDACラッチが設定され、このDACラッチが V_{OUT} 端子の出力状態を設定します。詳細は、「パワーオン・リセットおよびハードウェア・リセット」節を参照してください。

DAC8871には、リファレンス電圧およびアナログ・グランド用のケルビン接続用端子も備えています。

デジタル・アナログ変換部

DAC8871のDACアーキテクチャは2つのマッチドDACで構成され、かつ、セグメント化されています。その単純化した回路図を図38に示します。16ビット・データ・ワードの上位 (MSB) 4ビットは、デコードされて15個のスイッチE1からE15をドライブします。これらスイッチの各々が、15個の同じ抵抗値の抵抗の1個をAGNDあるいは V_{REF} のいずれかに接続します。データ・ワードの残りの12ビットは、12ビット電圧モードR-2Rラダー抵抗網のスイッチS0からS11をドライブします。

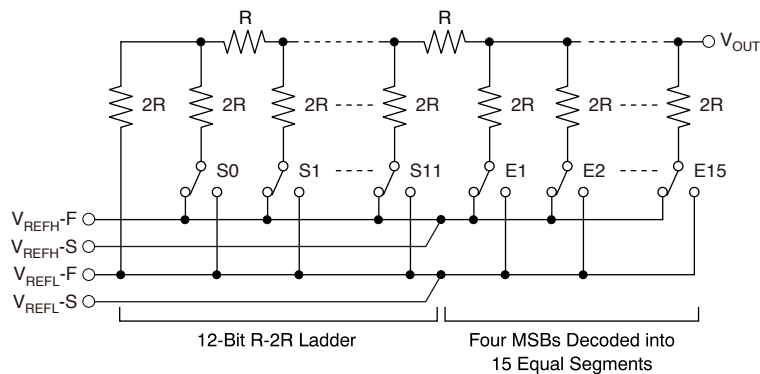


図38. DACのアーキテクチャ

出力範囲

DACの出力は次式のようにになります。

$$V_{OUT} = \frac{(V_{REFH} - V_{REFL}) \times \text{Code}}{65536} + V_{REFL} \quad (1)$$

ここで、Code (コード) とはDACラッチにロードされる10進データ・ワードです。

例えば、 V_{REFH} が+10Vおよび V_{REFL} が-10Vの場合、 V_{OUT} の範囲は-10V (Code=0000h) から+10V (Code=FFFFh) になります。

V_{REFL} の範囲は-18Vから ($V_{REFH}-1.25V$) であり、 V_{REFH} の範囲は0Vから+18Vです。DAC8871の出力は、適切な V_{REFL} および V_{REFH} の値を設定することにより、ユニポーラ (0Vから+18V) またはバイポーラにすることができます。

パワーオン・リセットおよびハードウェア・リセット

DAC8871にはパワーオン・リセット機能があります。RSTSEL端子が“Low” (DGNDに接続) で、パワーオンまたはハードウェア・リセット信号で $\overline{\text{RST}}$ 端子を有効にしたとき、DACラッチは(‘0’)にクリアされ、 V_{OUT} 端子は負のフルスケールに設定されます。RSTSEL端子が“High”の場合、DACラッチおよび V_{OUT} はミッドスケールに設定されます。

シリアル・インターフェイス

DAC8871のデジタル・インターフェイスは、SPI, QSPITM, MicrowireTMおよびTI DSPTMインターフェイスと互換性のある標準的な3線式であり、最大50Mビット/秒の伝送速度まで動作できます。データ伝送はチップ・セレクト ($\overline{\text{CS}}$) 信号によりフレーム化されます。DACはバス・スレーブとして動作します。バス・マスタは同期クロック (SCLK) を発生し、データ伝送を開始します。 $\overline{\text{CS}}$ が“High”の場合、DACはアクセスされず、SCLKとSDIは無視されます。バス・マスタは、 $\overline{\text{CS}}$ を“Low”にドライブしてDACにアクセスします。 $\overline{\text{CS}}$ の“High”から“Low”への遷移の直後に、SDI端子へのシリアル入力データはSCLKの立ち下がりエッジに同期してバス・マスタからシフト出力され、SCLKの立ち上がりエッジで入力シフトレジスタにMSBファーストでラッチされます。 $\overline{\text{CS}}$ の“Low”から“High”への遷移により、入力シフトレジスタの内容は入力レジスタへ転送されます。

データ・レジスタは、すべて16ビットです。DAC8871に1データ・ワードを転送するには16SCLKサイクルが必要です。1データ・ワード全体の転送を完了するには、16番目のSCLKが入力された直後に $\overline{\text{CS}}$ が“High”になる必要があります。 $\overline{\text{CS}}$ が“Low”の間にSCLKが16サイクル以上供給されると、最後の16ビットが $\overline{\text{CS}}$ の立ち上がりエッジで入力レジスタへ転送されます。しかし、 $\overline{\text{CS}}$ が16SCLKサイクルの途中で“High”になると、データは破損されます。この場合、DACへ新規の16ビット・ワードを再ロードします。

DAC8871には $\overline{\text{LDAC}}$ 端子があり、 $\overline{\text{CS}}$ が“High”になった後で $\overline{\text{LDAC}}$ を“Low”にすることにより、DACラッチを非同期で更新することができます。この場合、 $\overline{\text{CS}}$ が“Low”の間 $\overline{\text{LDAC}}$ を“High”に保つ必要があります。 $\overline{\text{LDAC}}$ を“Low”に固定すると、DACラッチは入力レジスタがロードされた直後に更新されます (これは、 $\overline{\text{CS}}$ の“Low”から“High”への遷移によります)。

外付けアンプの選定

DAC8871の出力はバッファされていません。その出力インピーダンスは約6.2k Ω です。外付けのバッファ・アンプを要するアプリケーションの場合、出力オフセットのトリミングを不要にするため、低オフセット電圧 (出力範囲が $\pm 10\text{V}$ で1LSB=305 μV) のアンプを選ぶ必要があります。また、入力バイアス電流とDAC出力インピーダンス (およそ6.25k Ω) の積がゼロ・コード誤差に加算されるため、入力バイアス電流も低いアンプにします。入出力レール・ツー・レール特性も必要になります。セトリングの高速性については、オペアンプのスルー・レートによりDACのセトリング・タイムが妨害されないようにします。DACの出力インピーダンスは一定であり、コードに依存しません。しかし、ゲイン誤差を最小にするために、出力アンプの入力インピーダンスは可能な限り高くします。さらに、アンプの3dB帯域幅は1MHz以上にします。アンプによりシステムに対して別個の時定数が増えるため、出力のセトリング・タイムは増加します。したがって、アンプの3dB帯域幅が高いと、DACとアンプを組み合わせた実効的なセトリング・タイムは短いものになります。

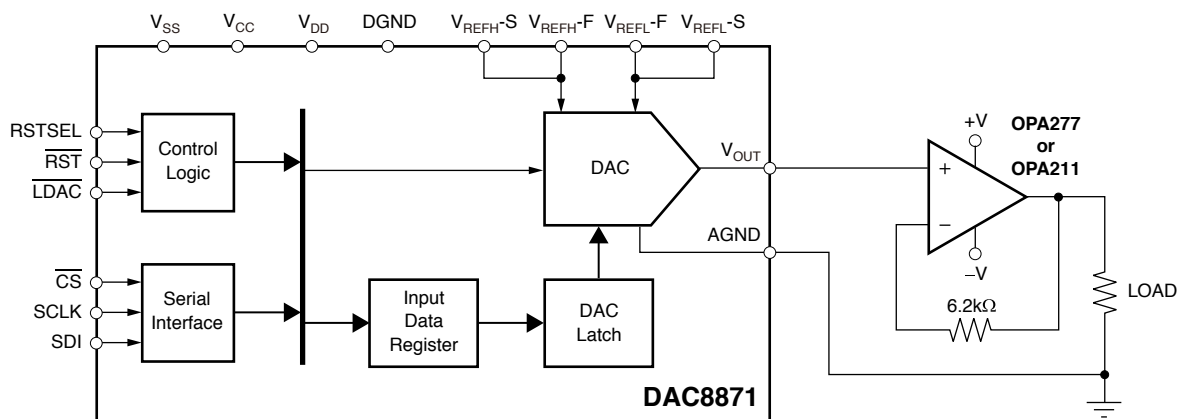


図39. 外部アンプを付けたDAC8871

リファレンス電圧入力

DACのフルスケール出力電圧は、「出力範囲」節で示したように、リファレンス電圧により定まります。

リファレンス電圧入力 V_{REFH} は、0Vから+18Vまでの任意の電圧に設定できます。また、リファレンス電圧入力 V_{REFL} は、-18Vから($V_{REFH}-1.25V$)までの任意の電圧に設定できます。 V_{REFH} 入力に流入し、 V_{REFL} から流出する電流は、DACの出力電圧に依存します。詳細は図27および図28を参照してください。リファレンス電圧入力は、リファレンス電圧源に対して変動する負荷になります。リファレンス電圧源が所要の電流をシンクまたはソースできる場合、リファレンス電圧バッファは不要です。DAC8871にはリファレンス電圧ドライブ（フォース）およびセンス接続があり、リファレンス電圧電流および回路インピーダンスの変化により生じる内部誤差を最小にします。図40に標準的なリファレンス電圧構成を示します。

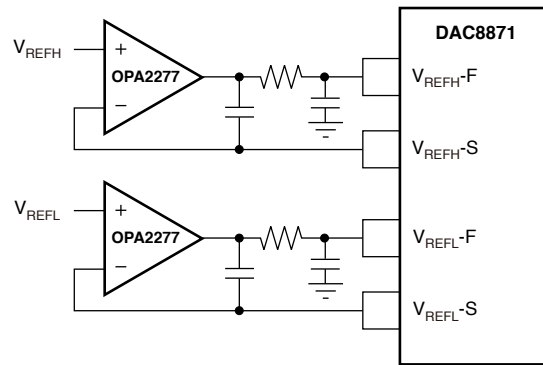


図40. バッファされたリファレンス電圧の接続

電源のバイパス

高精度、高分解能の特性を実現するために、10 μ Fのタンタル・コンデンサと0.1 μ Fのセラミック・コンデンサの各1個を並列にして、電源端子をバイパスするように推奨します。

電源立ち上げシーケンス

アナログ電源(VCCとVSS)はデジタル電源(VDD)より先に立ち上げてください。これら全ての電源はリファレンス電源(V_{REFH} と V_{REFL})より必ず先に立ち上げなければなりません。更に、DACの入力シフトレジスタはパワーオン・リセット（もしくは $\overline{RST}$ ピンによるハードウェア・リセット）によってリセットされませんから、電源が立ち上がるまでは $\overline{CS}$ ピンは間違っても絶対にアサートしないで下さい。不適当なパワーアップに備えるためにも、 $\overline{CS}$ ピンは抵抗を介してVDDへプルアップされることをお勧め致します。

同様に、パワーアップしている期間は、 $\overline{LDAC}$ ピンの状態を絶対に変えないで下さい。 $\overline{LDAC}$ ピンは、抵抗を介してVDDへプルアップされることをお勧めいたします。もし全く使用されない場合にはGNDへ固定接続してください。

ESD保護回路が起動されることを確実に防ぐために、他の全部のデジタル信号ピンは、VDDが立ち上がるまで必ずGND電位を保持して下さい。

パッケージ情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
DAC8871SBPW	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8871SBPWG4	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8871SBPWR	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8871SBPWRG4	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8871SPW	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8871SPWG4	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8871SPWR	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8871SPWRG4	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TI によりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TI では新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBsolete：TI によりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green 変換プランが策定されていません。

Pb-Free (RoHS)：TI における“Lead-Free”または“Pb-Free” (鉛フリー) は、6 つの物質すべてに対して現在の RoHS 要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が 0.1% を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TI の鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

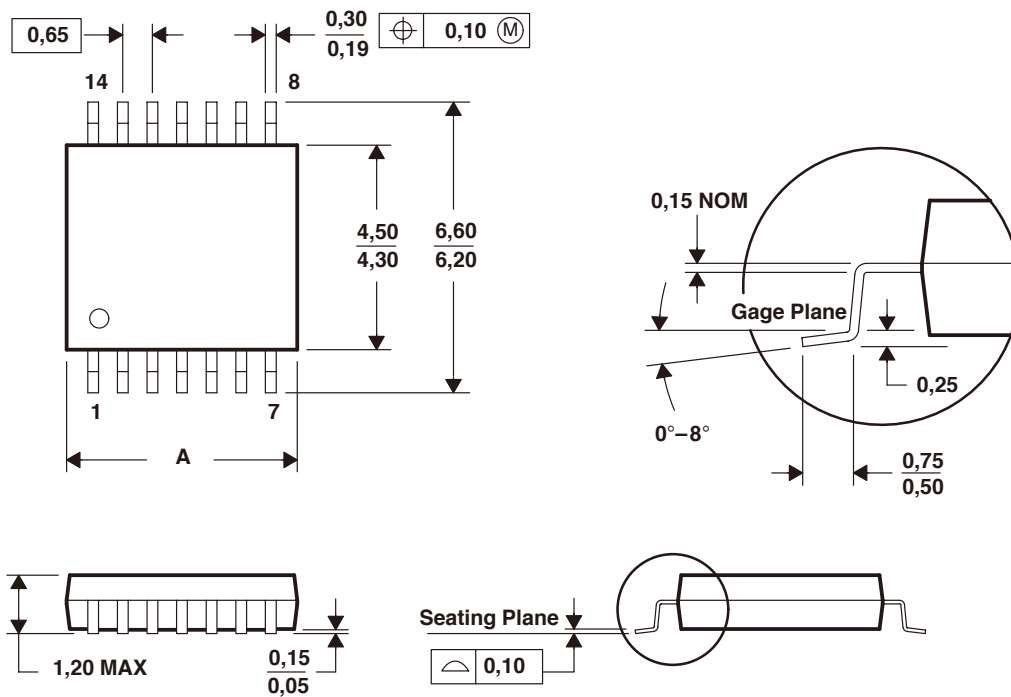
Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様に Pb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br)：TI における“Green”は、“Pb-Free” (RoHS 互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質材質中の Br または Sb 重量が 0.1% を超えない) ことを意味しています。

⁽³⁾ MSL、ピーク温度 -- JEDEC 業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点での TI の知識および見解を表しています。TI の知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TI では、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TI および TI 製品の供給者は、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

14 PINS SHOWN



DIM \ PINS **	8	14	16	20	24	28
A MAX	3,10	5,10	5,10	6,60	7,90	9,80
A MIN	2,90	4,90	4,90	6,40	7,70	9,60

4040064/F 01/97

注記:

- A. 寸法はすべてミリメートルです。
- B. 本図は予告なく変更することがあります。
- C. ボディの寸法には、0,15 を超えるモールド・フラッシュや突起は含まれません。
- D. JEDEC MO-153 に準拠します。

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DAC8871SBPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
DAC8871SPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DAC8871SBPWR	TSSOP	PW	16	2000	350.0	350.0	43.0
DAC8871SPWR	TSSOP	PW	16	2000	350.0	350.0	43.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
DAC8871SBPW	PW	TSSOP	16	90	530	10.2	3600	3.5
DAC8871SBPW.A	PW	TSSOP	16	90	530	10.2	3600	3.5
DAC8871SPW	PW	TSSOP	16	90	530	10.2	3600	3.5
DAC8871SPW.A	PW	TSSOP	16	90	530	10.2	3600	3.5

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月