

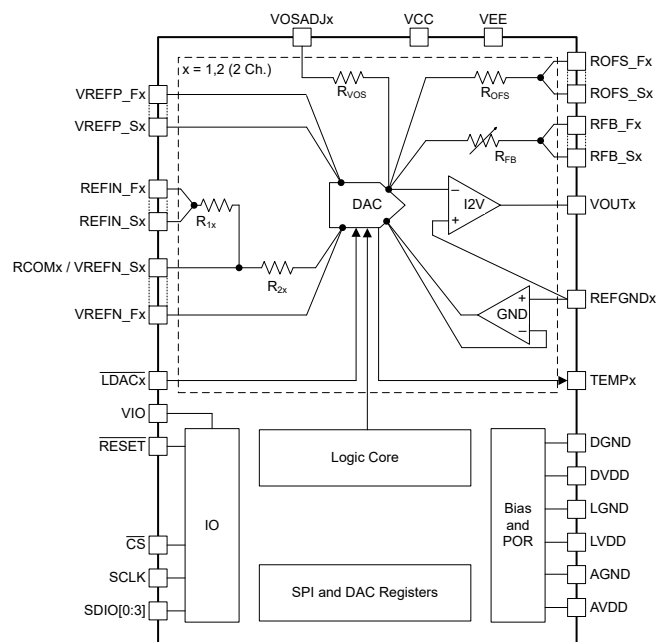
DAC90802、デュアル 18 ビット、電圧出力、乗算型 DAC、内蔵

1 特長

- INL: 1.9ppm (18 ビットで ± 0.5 LSB)
- DNL: 1.9ppm (18 ビットで ± 0.5 LSB)
- V_{REF} 範囲: $\pm 21V$
- 高スループートの $\pm 21V$ 出力バッファを内蔵
- デジタル制御で選べるゲイン設定: $1\times$ 、 $2\times$ 、および $4\times$
- 0.1%FSR まで 50ns でセトリング、グリッチ 140pVs
- リファレンス乗算の帯域幅: 25MHz、100kHz 時の MFE-90dB
- $\pm 5V$ 出力時の THD: -125 dB (2kHz) および -110 dB (100kHz)
- QSPI™ 互換のインターフェイス: 66MHz DDR の 16 ビット高速モードで 33MUPS
- チャンネルごとの LDAC ピン付きのダブルバッファレジスタ
- パワーオンリセット内蔵
- チャンネルごとに独立した 4 象限乗算対応のケルビン接続リファレンス入力
- グランド バッファを内蔵

2 アプリケーション

- 自動テスト機器およびキャリブレーション機器
- 量子コンピューティングの制御エレクトロニクス
- 高データレートのデジタル オーディオ
- 忠実度の高い信号生成
- 静電気、電磁レンズ
- 高更新レートの閉ループ制御



概略ブロック図

3 説明

DAC90802 は、デュアル チャネルの 18 ビット乗算型 D/A コンバータ (MDAC) で、 $\pm 23.5V$ の電源電圧範囲で動作可能です。このデバイスのリファレンス入力と RFB ピンの電圧帰還は、 $\pm 21V$ のダイナミック信号範囲に対応しています。ゲインは $1\times$ 、 $2\times$ 、 $4\times$ から、デジタル設定で選択できます。出力ピン VOUT は、VREFP から VREFN までの全出力範囲に対応しています。

DAC90802 は、低ノイズの電圧出力と、MDAC の内蔵構成抵抗に真のケルビン接続アクセスが可能です。このデバイスは、熱変動が非常に小さく、コア R-2R ラダーの優れた長期ドリフト性能を維持します。DAC90802 には、任意波形生成 (AWG) モード、高速セトリング モード、乗算モードで使用するために、選択可能な最適化機能が実装されています。

66MHz シリアル データ インターフェイスは、デュアル データレート (DDR) モードで最大四つのシリアル データライン (SDIO0 ~ SDIO3) を持つ、高速 16 ビットモードで最大 33MUPS、高分解能 18 ビット モードで 22MUPS までの更新レートをサポートしています。チャンネルごとのエッジセンシティブ負荷 DAC LDAC 入力により、DAC を微調整できます。DAC90802 は、リセット ピンを使用したデバイスリセットをサポートしています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
DAC90802	HTQFP (48)	7mm × 7mm

- (1) 「メカニカル、パッケージ、および注文情報」を参照
- (2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます



目次

1 特長	1	7 レジスタ マップ	59
2 アプリケーション	1	7.1 共通レジスタ.....	60
3 説明	1	7.2 HS_DATA レジスタ.....	65
4 ピン構成および機能	3	7.3 HR_DATA レジスタ.....	66
5 仕様	6	8 アプリケーションと実装	67
5.1 絶対最大定格.....	6	8.1 アプリケーション.....	67
5.2 ESD 定格.....	6	8.2 設計要件.....	67
5.3 推奨動作条件.....	7	8.3 電源に関する推奨事項.....	73
5.4 熱に関する情報.....	7	8.4 レイアウト.....	74
5.5 電気的特性.....	8	9 デバイスおよびドキュメントのサポート	76
5.6 タイミング要件.....	21	9.1 関連資料.....	76
5.7 タイミング図.....	24	9.2 ドキュメントの更新通知を受け取る方法.....	76
5.8 代表的特性.....	26	9.3 サポート・リソース.....	76
6 詳細説明	45	9.4 商標.....	76
6.1 概要.....	45	9.5 静電気放電に関する注意事項.....	76
6.2 機能ブロック図.....	45	9.6 用語集.....	76
6.3 機能説明.....	46	10 改訂履歴	76
6.4 デバイスの機能モード.....	58	11 メカニカル、パッケージ、および注文情報	76

4 ピン構成および機能

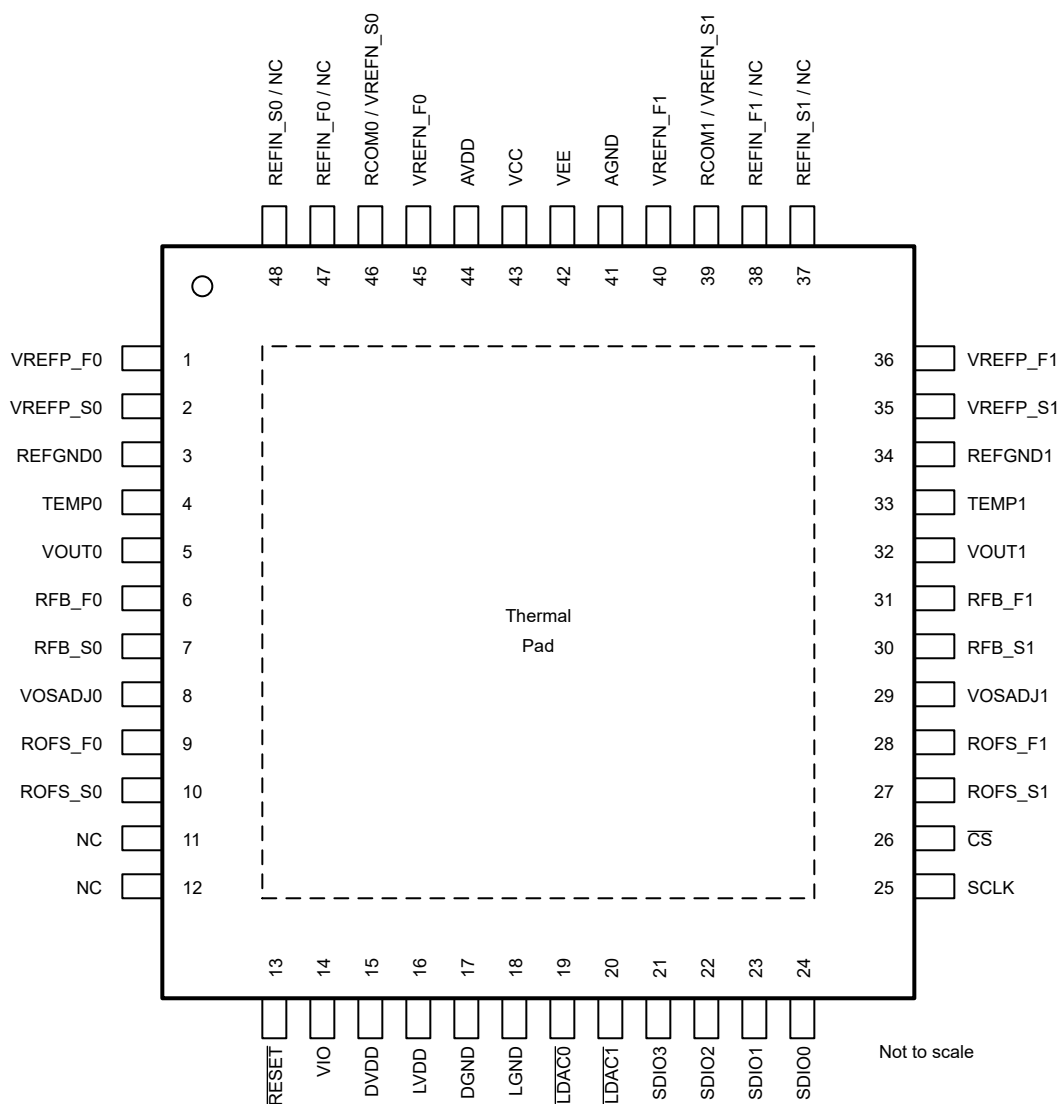


図 4-1. DAC90802PHP パッケージ、48 ピン HTQFP (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
AGND	41	グラウンド	アナログ グラウンド。
AVDD	44	電源	アナログ低電圧電源。
CS	26	入力	チップ セレクト、アクティブ Low 入力。
DGND	17	グラウンド	デジタル グラウンド。
DVDD	15	電源	デジタル低電圧電源。
LDAC0	19	入力	負荷 DAC0 エッジ センシティブ アクティブ Low 入力。 ⁽⁶⁾
LDAC1	20	入力	負荷 DAC1 エッジ センシティブ アクティブ Low 入力。 ⁽⁶⁾
LGND	18	グラウンド	低ノイズ DAC クロック グラウンド。
LVDD	16	電源	低ノイズ DAC クロック電源。
NC	11, 12	–	未接続。 ⁽⁵⁾
RCOM0 / VREFN_S0	46	入力 / 出力	DAC0 リファレンス反転ドライバ用精密抵抗ペアの共通入力 / VREFN 検出。 ⁽¹⁾
RCOM1 / VREFN_S1	39	入力 / 出力	DAC1 リファレンス反転ドライバ用精密抵抗ペアの共通入力 / VREFN 検出。 ⁽¹⁾
REFGND0	3	入力	DAC0 の R-2R ネットワーク用グラウンド リファレンス入力。 ⁽¹⁾
REFGND1	34	入力	DAC1 の R-2R ネットワーク用グラウンド リファレンス入力。 ⁽¹⁾
REFIN_F0	47	入力	DAC0 リファレンス反転ドライバ用精密抵抗ペアの強制入力。 ⁽⁴⁾
REFIN_F1	38	入力	DAC1 リファレンス反転ドライバ用精密抵抗ペアの強制入力。 ⁽⁴⁾
REFIN_S0	48	出力	DAC0 リファレンス反転ドライバ用精密抵抗ペアのセンス出力。 ⁽¹⁾
REFIN_S1	37	出力	DAC1 リファレンス反転ドライバ用精密抵抗ペアのセンス出力。 ⁽¹⁾
リセット	13	入力	アクティブ Low のリセット入力。
RFB_F0	6	入力	DAC0 高精度帰還抵抗 RFB 強制入力。 ⁽³⁾
RFB_F1	31	入力	DAC1 高精度帰還抵抗 RFB 強制入力。 ⁽³⁾
RFB_S0	7	出力	DAC0 高精度帰還抵抗 RFB 検出出力。 ⁽¹⁾
RFB_S1	30	出力	DAC1 高精度帰還抵抗 RFB 検出出力。 ⁽¹⁾
ROFS_F0	9	入力	DAC0 高精度オフセット抵抗強制入力。 ⁽²⁾
ROFS_F1	28	入力	DAC1 高精度オフセット抵抗強制入力。 ⁽²⁾
ROFS_S0	10	出力	DAC0 高精度オフセット抵抗検出出力。 ⁽¹⁾
ROFS_S1	27	出力	DAC1 高精度オフセット抵抗検出出力。 ⁽¹⁾
SCLK	25	入力	SPI クロック入力。
SDIO0	24	入力	クアド SPI 入力ピン。
SDIO1	23	入力	クアド SPI 入力ピン。
SDIO2	22	入力 / 出力	クワッド SPI IO ピン。
SDIO3	21	入力 / 出力	クワッド SPI IO ピン。
TEMP0	4	出力	DAC0 内蔵温度センサ出力。
TEMP1	33	出力	DAC1 内蔵温度センサ出力。
VCC	43	電源	高電圧正アナログ電源。
VEE	42	電源	高電圧負アナログ電源。
VIO	14	電源	IO 電圧電源。
VOSADJ0	8	入力	DAC0 アナログ オフセット微調整入力。 ⁽²⁾
VOSADJ1	29	入力	DAC1 アナログ オフセット微調整入力。 ⁽²⁾
VOUT0	5	出力	DAC0 電圧出力ピン。
VOUT1	32	出力	DAC1 電圧出力ピン。
VREFN_F0	45	入力	負の DAC0 リファレンス電圧入力。 ⁽²⁾
VREFN_F1	40	入力	負の DAC1 リファレンス電圧入力。 ⁽²⁾
VREFP_F0	1	入力	DAC0 正のリファレンス強制入力。 ⁽²⁾
VREFP_F1	36	入力	DAC1 正のリファレンス強制入力。 ⁽²⁾
VREFP_S0	2	出力	DAC0 正のリファレンス検出出力。 ⁽¹⁾

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
VREFP_S1	35	出力	DAC1 正のリファレンス検出出力。 ⁽¹⁾
サーマル パッド	サーマル パッド	—	良好な熱性能を得るため、サーマル パッドは複数のビアを通して PCB 内層の VEE プレーンに接続します。サーマル パッドを、デバイスに電源を供給する手段として使うことはできません。

- (1) 使用しない場合は、対応する強制ピン **_Fx** に接続します。未接続のままにすることはできません
- (2) 未使用時は **AGND** に接続します。未接続のままにしないでください
- (3) 使用しない場合は、各チャネルの **VOUT** ピンに接続します。未接続のままにすることはできません
- (4) 使用しない場合は、各チャネルの **RCOM** ピンに接続します。未接続のままにすることはできません
- (5) フローティング状態にならないように、**VIO** または **DGND** に接続します
- (6) 未使用時は **LGND** ピンに接続します

注

DAC90802 は、同一の独立した DAC と共有 SPI を実装しています。接尾辞として数字の付いたピン名 (SDIOx を除く) はそれぞれの DAC に属し、各 DAC で機能は同じです。ケルビン接続のピンでは、強制ラインに接尾辞 **Fx** を、センスラインに接尾辞 **Sx** を使います。ここでは、(SDIOx を除く) ピンは、接尾辞なしでプライマリ名でまとめて参照されます。

注

未使用ピンは、使用事例に従って接続してください。たとえば、二線式ケルビン接続が必要ない場合は、DAC90802 の仕様性能を維持するため、同じ信号のそれぞれの **_Fx** ピン、**_Sx** ピンを互いに接続します。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
	正電源電圧	AVDD から AGND へ	-0.3	6	V
		VCC から VEE へ	-0.3	48	
		VCC から AGND へ	-0.3	24	
	負電源電圧	VEE から AGND へ	-24	0.3	V
	デジタル電源電圧	LVDD、DVDD から DGND へ	-0.3	1.65	V
	IO 電源	VIO から DGND へ	-0.3	1.98	V
	正のリファレンス電圧	VREFP から AGND へ	V_{EE}	V_{CC}	V
	負のリファレンス電圧	VREFN から AGND へ	V_{EE}	V_{CC}	V
	デジタル入力から DGND へ		-0.3	$V_{IO} + 0.3$	V
	VREFN、VREFP、ROFS、REFIN、RCOM、VOSADJ、RFB、VOUT ピンの電圧	AGND に対する相対値	V_{EE}	V_{CC}	V
		VEE に対する相対値	0	48	V
	デジタル出力、SDIOx から DGND へ		-0.3	$V_{IO} + 0.3$	V
	任意のデジタル ピンへの電流		-10	10	mA
T_J	接合部温度			150	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用情况、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±1000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン ⁽²⁾	±250	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

特に記載のない限り、動作時周囲温度範囲 T_A 全体での値です。

		最小値	公称値	最大値	単位
	AVDD から AGND へ	4.5	5	5.5	V
	VEE から AGND へ	-23.5		-6.5	V
	VCC から AGND へ	6.5		23.5	V
	VCC から VEE へ	13		47	V
	DVDD から DGND へ	1.35	1.5	1.65	V
	LVDD から LGND へ (機能範囲)	1.35	1.5	1.65	V
	LVDD から LGND へ (高い DC 精度)	1.45	1.5	1.55	V
	VIO から DGND へ	1.15		1.9	V
	AGND から DGND へ	-0.3		0.3	V
	V_{IH} デジタル入力 High 電圧	$0.7 \times V_{IO}$			V
	V_{IL} デジタル入力 Low 電圧			$0.3 \times V_{IO}$	V
	AGND へのアナログピン (VREFN、VREFP、ROFS、REFIN、RCOM、VOSADJ、RFB、VOUT)	-21		21	V
T_J	接合部温度	-35		140	°C
T_A	動作時周囲温度、 $R_{\theta JA} = 15^\circ\text{C/W}$	-40		100	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		DAC90802	単位
		PHP (HTQFP)	
		48 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	51.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	10.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	16.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	16.0	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。
[SPRA953](#)

5.5 電気的特性

$T_A = -40^{\circ}\text{C} \sim +100^{\circ}\text{C}$, $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$, $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$, $AVDD = 5.0\text{V}$, $DVDD = 1.5\text{V}$, $LVDD = 1.5\text{V}$, $V_{IO} = 1.5\text{V}$, $V_{OSADJ_ENx} = 0$, $OFS_ENx = 0$, $ROFS_F = ROFS_S = V_{OSADJ} = AGND$, 出力無負荷の条件とします。 V_{REFPX} と V_{REFNX} については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ での値です (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
静的性能 (DAC_CONFIG_CHx = 01h)						
N	分解能		18			ビット
INL	相対精度	バイポーラ、 $V_{REFP} = 5\text{V}$ および $V_{REFN} = -5\text{V}$ 、ゲイン = $1\times$	-1.9		1.9	ppm
		バイポーラ、 $V_{REFP} = 5\text{V}$ および $V_{REFN} = -5\text{V}$ 、ゲイン = $2\times$	-3.8		3.8	
		バイポーラ、 $V_{REFP} = 5\text{V}$ および $V_{REFN} = -5\text{V}$ 、ゲイン = $4\times$	-9.5		9.5	
		バイポーラ、 $V_{REFP} = 20\text{V}$ および $V_{REFN} = -20\text{V}$ 、ゲイン = $1\times$	-9.5		9.5	
		ユニポーラ、 $V_{REFP} = 0\text{V}$ および $V_{REFN} = -5\text{V}$ 、ゲイン = $1\times$	-3.8		3.8	
		ユニポーラ、 $V_{REFP} = 0\text{V}$ および $V_{REFN} = -5\text{V}$ 、ゲイン = $4\times$	-11.4		11.4	
		ユニポーラ、 $V_{REFP} = 0\text{V}$ および $V_{REFN} = -20\text{V}$ 、ゲイン = $1\times$	-11.4		11.4	
		ユニポーラ、 $V_{REFP} = 0\text{V}$ および $V_{REFN} = -5\text{V}$ 、ゲイン = $2\times$	-3.8		3.8	
	相対精度の経時ドリフト	$T_A = 25^{\circ}\text{C}$, 1000 時間	± 0.07			ppm
		$T_A = 50^{\circ}\text{C}$, 1000 時間	± 0.07			
DNL	微分非直線性	バイポーラ、 $V_{REFP} = 5\text{V}$ および $V_{REFN} = -5\text{V}$ 、ゲイン = $1\times, 2\times, 4\times$	-1.9		1.9	ppm
		ユニポーラ、 $V_{REFP} = 0\text{V}$ および $V_{REFN} = -5\text{V}$ 、ゲイン = $1\times, 2\times, 4\times$	-2.3		2.3	
		バイポーラ、 $V_{REFP} = 20\text{V}$ および $V_{REFN} = -20\text{V}$ 、ゲイン = $1\times$	-3.8		3.8	
		ユニポーラ、 $V_{REFP} = 0\text{V}$ および $V_{REFN} = -20\text{V}$ 、ゲイン = $1\times$	-3.8		3.8	
G _{OV}	ゲインオーバーレンジ	システムキャリブレーション用		2		%
GE _{TC}	ゲイン誤差の温度係数		-1.5			ppm FSR/ $^{\circ}\text{C}$
	ゼロ コード誤差	ユニポーラ、 $V_{REFP} = 0\text{V}$, $V_{REFN} = -5\text{V}$ 、ゲイン = $1\times$	-84		84	ppm
		ユニポーラ、 $V_{REFP} = 0\text{V}$, $V_{REFN} = -5\text{V}$ 、ゲイン = $2\times$	-70		70	
		ユニポーラ、 $V_{REFP} = 0\text{V}$, $V_{REFN} = -5\text{V}$ 、ゲイン = $4\times$	-65		65	
		ユニポーラ、 $V_{REFP} = 0\text{V}$, $V_{REFN} = -20\text{V}$ 、ゲイン = $1\times$	-38		38	
	ミッドコード エラー	バイポーラ、 $V_{REFP} = 5\text{V}$, $V_{REFN} = -5\text{V}$ 、ゲイン = $1\times, 2\times, 4\times$	-75		75	ppm
		バイポーラ、 $V_{REFP} = 10\text{V}$, $V_{REFN} = -10\text{V}$ 、ゲイン = $1\times, 2\times$	-75		75	
		バイポーラ、 $V_{REFP} = 20\text{V}$, $V_{REFN} = -20\text{V}$ 、ゲイン = $1\times$	-75		75	

5.5 電気的特性 (続き)

$T_A = -40^{\circ}\text{C} \sim +100^{\circ}\text{C}$ 、 $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$ 、 $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$ 、 $AVDD = 5.0\text{V}$ 、 $DVDD = 1.5\text{V}$ 、 $LVDD = 1.5\text{V}$ 、 $VIO = 1.5\text{V}$ 、 $VOSADJ_ENx = 0$ 、 $OFS_ENx = 0$ 、 $ROFS_F = ROFS_S = VOSADJ = AGND$ 、出力無負荷の条件とします。 V_{REFPx} と V_{REFNx} については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ での値です (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ゲイン誤差		バイポーラ、 $V_{REFP} = 5\text{V}$ 、 $V_{REFN} = -5\text{V}$ 、ゲイン = $1\times$	-210		210	ppm
		バイポーラ、 $V_{REFP} = 10\text{V}$ 、 $V_{REFN} = -10\text{V}$ 、ゲイン = $1\times$	-210		210	
		バイポーラ、 $V_{REFP} = 7.6\text{V}$ 、 $V_{REFN} = -7.6\text{V}$ 、ゲイン = $2\times$	-400		400	
		バイポーラ、 $V_{REFP} = 20\text{V}$ 、 $V_{REFN} = -20\text{V}$ 、ゲイン = $1\times$	-350		350	
		バイポーラ、 $V_{REFP} = 5\text{V}$ 、 $V_{REFN} = -5\text{V}$ 、ゲイン = $4\times$	-450		450	
		ユニポーラ、 $V_{REFP} = 0\text{V}$ 、 $V_{REFN} = -5\text{V}$ 、ゲイン = $1\times$	-250		250	
		ユニポーラ、 $V_{REFP} = 0\text{V}$ 、 $V_{REFN} = -10\text{V}$ 、ゲイン = $1\times$	-250		250	
		ユニポーラ、 $V_{REFP} = 0\text{V}$ 、 $V_{REFN} = -7.6\text{V}$ 、ゲイン = $2\times$	-400		400	
		ユニポーラ、 $V_{REFP} = 0\text{V}$ 、 $V_{REFN} = -20\text{V}$ 、ゲイン = $1\times$	-350		350	
		ユニポーラ、 $V_{REFP} = 0\text{V}$ 、 $V_{REFN} = -5\text{V}$ 、ゲイン = $4\times$	-450		450	
ゼロ コード誤差の温度ドリフト		ユニポーラ、 $V_{REFP} = 0\text{V}$ 、 $V_{REFN} = -5\text{V}$ 、ゲイン = $1\times$		2		$\mu\text{V}/^{\circ}\text{C}$
		ユニポーラ、 $V_{REFP} = 0\text{V}$ 、 $V_{REFN} = -5\text{V}$ 、ゲイン = $2\times$		3.5		
		ユニポーラ、 $V_{REFP} = 0\text{V}$ 、 $V_{REFN} = -5\text{V}$ 、ゲイン = $4\times$		6.5		
		ユニポーラ、 $V_{REFP} = 0\text{V}$ 、 $V_{REFN} = -20\text{V}$ 、ゲイン = $1\times$		3.5		
ミッドコード誤差の温度ドリフト		バイポーラ、 $V_{REFP} = 5\text{V}$ 、 $V_{REFN} = -5\text{V}$ 、ゲイン = $1\times$		3		$\mu\text{V}/^{\circ}\text{C}$
		バイポーラ、 $V_{REFP} = 5\text{V}$ 、 $V_{REFN} = -5\text{V}$ 、ゲイン = $4\times$		10		
		バイポーラ、 $V_{REFP} = 20\text{V}$ 、 $V_{REFN} = -20\text{V}$ 、ゲイン = $1\times$		8.5		
		バイポーラ、 $V_{REFP} = 5\text{V}$ 、 $V_{REFN} = -5\text{V}$ 、ゲイン = $2\times$		5.5		
LTD	出力電圧の経時ドリフト	$T_A = 25^{\circ}\text{C}$ 、 V_{OUT} = ミッドスケール、1000 時間		1		ppm
		$T_A = 50^{\circ}\text{C}$ 、 V_{OUT} = ミッドスケール、1000 時間		1		

5.5 電気的特性 (続き)

$T_A = -40^{\circ}\text{C} \sim +100^{\circ}\text{C}$ 、 $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$ 、 $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$ 、 $AVDD = 5.0\text{V}$ 、 $DVDD = 1.5\text{V}$ 、 $LVDD = 1.5\text{V}$ 、 $V_{IO} = 1.5\text{V}$ 、 $V_{OSADJ_ENx} = 0$ 、 $OFS_ENx = 0$ 、 $ROFS_F = ROFS_S = V_{OSADJ} = AGND$ 、出力無負荷の条件とします。 V_{REFPX} と V_{REFNX} については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ での値です (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
内蔵抵抗						
R_1	リファレンス反転抵抗			4		k Ω
R_2	リファレンス反転抵抗			4		k Ω
R_1/R_2	反転用抵抗比のミスマッチ			200		ppm
$\Delta R_1/R_2$	反転抵抗比のミスマッチドリフト			0.6		ppm/C
R_{OFS}	粗調整オフセット抵抗			8		k Ω
R_{OSADJ}	微調整抵抗			512		k Ω
R_{FB}	帰還抵抗	ゲイン = 1 ×		4		k Ω
		ゲイン = 2 ×		8		k Ω
		ゲイン = 4 ×		16		k Ω

5.5 電気的特性 (続き)

$T_A = -40^{\circ}\text{C} \sim +100^{\circ}\text{C}$ 、 $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$ 、 $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$ 、 $AVDD = 5.0\text{V}$ 、 $DVDD = 1.5\text{V}$ 、 $LVDD = 1.5\text{V}$ 、 $V_{IO} = 1.5\text{V}$ 、 $V_{OSADJ_ENx} = 0$ 、 $OFS_ENx = 0$ 、 $ROFS_F = ROFS_S = V_{OSADJ} = AGND$ 、出力無負荷の条件とします。 V_{REFPX} と V_{REFNX} については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ での値です (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
出力特性						
	ヘッドルーム ⁽¹⁾	VOUT ピンと VCC ピン間	3			V
		VOUT ピンと VEE ピン間		-3		
V _{OUT}	出力電圧スパン	VOUT および RFB の範囲	-20.5		20.5	V
PSRR	電源除去比 (DC)	V _{CC} = 22V ± 1.5V V _{EE} = -23.5V		-105		dB
		V _{CC} = 23.5V、V _{EE} = -22V ± 1.5V		-105		dB
		AVDD = 5V ± 0.5V		-105		dB
		LVDD = 1.5V ± 0.15V		-85		dB
C _L	出力容量性負荷 ⁽¹⁾	AWG モード (DAC_CONFIG_CHx = 00h)			25	pF
		高速セトリング モード (DAC_CONFIG_CHx = 01h) 、乗算モード (DAC_CONFIG_CHx = 02h)			35	
I _{scvout}	出力短絡電流	VOUT ピン		80	135	mA

5.5 電気的特性 (続き)

$T_A = -40^{\circ}\text{C} \sim +100^{\circ}\text{C}$ 、 $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$ 、 $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$ 、 $AVDD = 5.0\text{V}$ 、 $DVDD = 1.5\text{V}$ 、 $LVDD = 1.5\text{V}$ 、 $V_{IO} = 1.5\text{V}$ 、 $V_{OSADJ_ENx} = 0$ 、 $OFS_ENx = 0$ 、 $ROFS_F = ROFS_S = V_{OSADJ} = AGND$ 、出力無負荷の条件とします。 V_{REFPx} と V_{REFNx} については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ での値です (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
リファレンス入力						
I_{REFP}	基準入力電流	VREFP ピン (R1、R2 接続を除く)	9.5			mA
I_{REFN}		VREFN ピン (R1、R2 接続を除く)			-9.5	
C_{VREF}	AGND に対する入力容量			10		pF
V_{REF}	DC リファレンス電圧の動作範囲 ⁽²⁾	VREFN および VREFP ピン	-21		21	V
V_{REFIN}	REFIN ピンの電圧範囲 ⁽²⁾	AGND を基準とした V_{REFIN}	-21		21	V
V_{OFFSET}	VOSADJ および ROFS ピン DC オフセット電圧範囲 ⁽²⁾	AGND に対する V_{OSADJ} および V_{ROFS}	-21		21	V

5.5 電気的特性 (続き)

$T_A = -40^{\circ}\text{C} \sim +100^{\circ}\text{C}$, $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$, $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$, $AVDD = 5.0\text{V}$, $DVDD = 1.5\text{V}$, $LVDD = 1.5\text{V}$, $VIO = 1.5\text{V}$, $VOSADJ_ENx = 0$, $OFS_ENx = 0$, $ROFS_F = ROFS_S = VOSADJ = AGND$, 出力無負荷の条件とします。 V_{REFPx} と V_{REFNx} については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ での値です (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
動的性能 - AWG モード (DAC_CONFIG_CHx = 00h)						
THD	全高調波歪	f _{OUT} = 2kHz フルスケール正弦波、 f _s = 5MHz、V _{REFP} = 5V、V _{REFN} = -5V、ゲイン = 1×	-125		dB	
		f _{OUT} = 20kHz フルスケール正弦波、 f _s = 5MHz、V _{REFP} = 5V、V _{REFN} = -5V、ゲイン = 1×	-120			
		f _{OUT} = 100kHz フルスケール正弦波、 f _s = 5MHz、V _{REFP} = 5V、V _{REFN} = -5V、ゲイン = 1×	-110			
SNR	信号対雑音比	0.1Hz ～ 20kHz、f _{OUT} = 2kHz フルスケール正弦波、 f _s = 5MHz、V _{REFP} = 5V、V _{REFN} = -5V、ゲイン = 1×	122		dB	
		0.1Hz ～ 250kHz、f _{OUT} = 20kHz フルスケール正弦波、 f _s = 5MHz、V _{REFP} = 5V、V _{REFN} = -5V、ゲイン = 1×	112			
		0.1Hz ～ 500kHz、f _{OUT} = 100kHz フルスケール正弦波、 f _s = 5MHz、V _{REFP} = 5V、V _{REFN} = -5V、ゲイン = 1×	110			
t _s	出力電圧セトリング時間	±0.0004% まで 100mV 出力セトリング、 V _{REFP} = 7.6V、V _{REFN} = -7.6V、ゲイン = 1×	455		ns	
		±0.0004% まで 100mV 出力セトリング、 V _{REFP} = 5V、V _{REFN} = -5V、ゲイン = 1×	500			
		±0.0004% まで 100mV 出力セトリング、 V _{REFP} = 5V、V _{REFN} = -5V、ゲイン = 2×	450			
		±0.0004% まで 100mV 出力セトリング、 V _{REFP} = 5V、V _{REFN} = -5V、ゲイン = 4×	528			
		±0.0004% まで 100mV 出力セトリング、 V _{REFP} = 20V、V _{REFN} = -20V、ゲイン = 1×	420			
SR	スルーレート	フルスケール ステップ、VOUT ピンで測定、V _{REFP} = 5V、 V _{REFN} = -5V、ゲイン = 1×	70		V/μs	
		フルスケール ステップ、VOUT ピンで測定、V _{REFP} = 5V、 V _{REFN} = -5V、ゲイン = 4×	160			
		フルスケール ステップ、VOUT ピンで測定、V _{REFP} = 20V、V _{REFN} = -20V、ゲイン = 1×	192			

5.5 電気的特性 (続き)

$T_A = -40^{\circ}\text{C} \sim +100^{\circ}\text{C}$, $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$, $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$, $AVDD = 5.0\text{V}$, $DVDD = 1.5\text{V}$, $LVDD = 1.5\text{V}$, $V_{IO} = 1.5\text{V}$, $V_{OSADJ_ENx} = 0$, $OFS_ENx = 0$, $ROFS_F = ROFS_S = V_{OSADJ} = AGND$, 出力無負荷の条件とします。 V_{REFPX} と V_{REFNX} については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ での値です (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ダイナミック性能 - 高速セトリング モード (DAC_CONFIG_CHx = 01h)						
	オーバーシュート	0mV ~ 100mV の出力ステップ		2		%
		0V ~ 10V の出力ステップ		2		
t_s	出力電圧セトリング時間	0.1% FSR に 100mV 出力セトリング、 $V_{REFP} = 5\text{V}$, $V_{REFN} = -5\text{V}$, ゲイン = 1×		52		ns
		0.1% FSR へのフルスケール出力セトリング、 $V_{REFP} = 5\text{V}$, $V_{REFN} = -5\text{V}$, ゲイン = 1×		226		
		0.1% FSR に 200mV 出力セトリング、 $V_{REFP} = 5\text{V}$, $V_{REFN} = -5\text{V}$, ゲイン = 2×		66		
		0.1% FSR へのフルスケール出力セトリング、 $V_{REFP} = 5\text{V}$, $V_{REFN} = -5\text{V}$, ゲイン = 2×		288		
		0.1% FSR にセトリングする 400mV 出力、 $V_{REFP} = 5\text{V}$, $V_{REFN} = -5\text{V}$, ゲイン = 4×		96		
		0.1% FSR へのフルスケール出力セトリング、 $V_{REFP} = 5\text{V}$, $V_{REFN} = -5\text{V}$, ゲイン = 4×		450		
		0.1% FSR に 100mV 出力セトリング、 $V_{REFP} = 20\text{V}$, $V_{REFN} = -20\text{V}$, ゲイン = 1×		49		
		0.1% FSR へのフルスケール出力セトリング、 $V_{REFP} = 20\text{V}$, $V_{REFN} = -20\text{V}$, ゲイン = 1×		290		
t_s	出力電圧セトリング時間	±0.0004% までの 100mV セトリング、 $V_{REFP} = 5\text{V}$, $V_{REFN} = -5\text{V}$, ゲイン = 1×		178		ns
		±0.0004% までのフルスケール セトリング、 $V_{REFP} = 5\text{V}$, $V_{REFN} = -5\text{V}$, ゲイン = 1×		385		
		±0.0004% までの 100mV セトリング、 $V_{REFP} = 5\text{V}$, $V_{REFN} = -5\text{V}$, ゲイン = 2×		167		
		±0.0004% までのフルスケール セトリング、 $V_{REFP} = 5\text{V}$, $V_{REFN} = -5\text{V}$, ゲイン = 2×		1500		
		±0.0004% までの 100mV セトリング、 $V_{REFP} = 5\text{V}$, $V_{REFN} = -5\text{V}$, ゲイン = 4×		237		
		±0.0004% までのフルスケール セトリング、 $V_{REFP} = 5\text{V}$, $V_{REFN} = -5\text{V}$, ゲイン = 4×		1903		
		±0.0004% までの 100mV セトリング、 $V_{REFP} = 20\text{V}$, $V_{REFN} = -20\text{V}$, ゲイン = 1×		154		
		±0.0004% までのフルスケール セトリング、 $V_{REFP} = 20\text{V}$, $V_{REFN} = -20\text{V}$, ゲイン = 1×		920		
	電源オン時のグリッチ振幅	チャンネルのパワーアップ時に DAC の電圧出力で測定		1		V
	チャンネルのパワーオン時間 ⁽¹⁾	チャンネルのパワーアップ時に DAC の電圧出力で測定			400	μs
	コード変化時のグリッチ インパルス、 絶対値積分 ⁽³⁾	-5V ~ +5V へのレンジでのミッドスケール LSB 遷移、 ゲイン = 1×, LDAC エッジで積分からセトリング タイム (t_s) まで		140		pV-s
	コード変化時のグリッチ インパルス、 直接積分 ⁽⁴⁾	-5V ~ +5V へのレンジでのミッドスケール LSB 遷移、 ゲイン = 1×, LDAC エッジで積分からセトリング タイム (t_s) まで		32		
	コード変化時のグリッチ インパルス 電圧	-5V から +5V までの範囲でのミッドスケール LSB 遷移 、ゲイン = 1×		9		mV

5.5 電気的特性 (続き)

$T_A = -40^{\circ}\text{C} \sim +100^{\circ}\text{C}$ 、 $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$ 、 $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$ 、 $AVDD = 5.0\text{V}$ 、 $DVDD = 1.5\text{V}$ 、 $LVDD = 1.5\text{V}$ 、 $V_{IO} = 1.5\text{V}$ 、 $V_{OSADJ_ENx} = 0$ 、 $OFS_ENx = 0$ 、 $ROFS_F = ROFS_S = V_{OSADJ} = AGND$ 、出力無負荷の条件とします。 V_{REFPx} と V_{REFNx} については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ での値です (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
SR	スループレート	フルスケール ステップ、VOUT ピンで測定、 $V_{REFP} = 5\text{V}$ 、 $V_{REFN} = -5\text{V}$ 、ゲイン = $1\times$		145		V/ μs
		フルスケール ステップ、VOUT ピンで測定、 $V_{REFP} = 5\text{V}$ 、 $V_{REFN} = -5\text{V}$ 、ゲイン = $4\times$		188		
		フルスケールのステップ、VOUT ピンで測定、 $V_{REFP} = 20\text{V}$ 、 $V_{REFN} = -20\text{V}$ 、ゲイン = $1\times$		217		
	デジタル フィードスルー (絶対積分)	ゲイン = $1\times$ 、 $SCLK = 1\text{MHz}$ 、その他のデジタルラインはすべて静止状態		15		pV-s

5.5 電気的特性 (続き)

$T_A = -40^{\circ}\text{C} \sim +100^{\circ}\text{C}$ 、 $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$ 、 $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$ 、 $AVDD = 5.0\text{V}$ 、 $DVDD = 1.5\text{V}$ 、 $LVDD = 1.5\text{V}$ 、 $V_{IO} = 1.5\text{V}$ 、 $V_{OSADJ_ENx} = 0$ 、 $OFS_ENx = 0$ 、 $ROFS_F = ROFS_S = V_{OSADJ} = AGND$ 、出力無負荷の条件とします。 V_{REFPx} と V_{REFNx} については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ での値です (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ダイナミック性能 - 乗算モード (DAC_CONFIG_CHx = 02h)						
V_{REF}	AC リファレンス電圧範囲	V_{REFN} の入力、 $V_{REFP} = REFGND$	-21		21	V
MBW	リファレンス乗算の帯域幅	$V_{REFP} = 0\text{V}$ および $V_{REFIN} = \pm 100\text{mV}$ 、ゲイン = $1\times$ 、フルスケール		25		MHz
		$V_{REFP} = 0\text{V}$ および $V_{REFIN} = \pm 5\text{V}$ 、ゲイン = $1\times$ 、フルスケール		9		
		$V_{REFP} = 0\text{V}$ および $V_{REFIN} = \pm 5\text{V}$ 、ゲイン = $4\times$ 、フルスケール		2.5		
		$V_{REFP} = 0\text{V}$ および $V_{REFIN} = \pm 20\text{V}$ 、ゲイン = $1\times$ 、フルスケール		3		
MFE	乗算フィードスルー誤差	ゲイン = $4\times$ 、ゼロスケール、 100kHz 、 $V_{REFP} = 0\text{V}$ 、 $V_{REFIN} = \pm 5\text{V}$		-80		dB
		ゲイン = $1\times$ 、ゼロスケール、 100kHz 、 $V_{REFP} = 0\text{V}$ 、 $V_{REFIN} = 100\text{mV}_{RMS}$		-90		
		ゲイン = $1\times$ 、ゼロスケール、 100kHz 、 $V_{REFP} = 0\text{V}$ 、 $V_{REFIN} = \pm 20\text{V}$		-90		
THD_M	乗算型 THD	$f_{IN} = 2\text{kHz}$ 、 $V_{REFP} = 0$ 、 $V_{REFIN} = \pm 5\text{V}$ 、ゲイン = $1\times$		-124		dB
		$f_{IN} = 20\text{kHz}$ 、 $V_{REFP} = 0$ 、 $V_{REFIN} = \pm 5\text{V}$ 、ゲイン = $1\times$		-120		
		$f_{IN} = 100\text{kHz}$ 、 $V_{REFP} = 0\text{V}$ 、 $V_{REFIN} = \pm 5\text{V}$ 、ゲイン = $1\times$		-108		
SR	スルーレート	フルスケール ステップ、 V_{OUT} ピンで測定、 $V_{REFP} = 5\text{V}$ 、 $V_{REFN} = -5\text{V}$ 、ゲイン = $1\times$		122		V/ μs
		フルスケール ステップ、 V_{OUT} ピンで測定、 $V_{REFP} = 5\text{V}$ 、 $V_{REFN} = -5\text{V}$ 、ゲイン = $4\times$		112		
		フルスケール ステップ、 V_{OUT} ピンで測定、 $V_{REFP} = 20\text{V}$ 、 $V_{REFN} = -20\text{V}$ 、ゲイン = $1\times$		194		

5.5 電気的特性 (続き)

$T_A = -40^{\circ}\text{C} \sim +100^{\circ}\text{C}$ 、 $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$ 、 $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$ 、 $AVDD = 5.0\text{V}$ 、 $DVDD = 1.5\text{V}$ 、 $LVDD = 1.5\text{V}$ 、 $VIO = 1.5\text{V}$ 、 $VOSADJ_ENx = 0$ 、 $OFS_ENx = 0$ 、 $ROFS_F = ROFS_S = VOSADJ = AGND$ 、出力無負荷の条件とします。 V_{REFPX} と V_{REFNX} については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ での値です (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ノイズ特性 (DAC_CONFIG_CHx = 01h)						
V_n	出力ノイズ電圧	0.1Hz ~ 10Hz、ゲイン = 1×		6		μV_{PP}
		0.1Hz ~ 10Hz、ゲイン = 4×		16		
1/f	ノイズ コーナー周波数	ゲイン = 1 ×		680		Hz
		ゲイン = 4 ×		580		
	出力ノイズ 密度	10kHz で測定、ゲイン = 1× (R_1 、 R_2 を除く)		17		$\text{nV}/\sqrt{\text{Hz}}$
		10kHz で測定、ゲイン = 4× (R_1 、 R_2 を除く)		52		
	電源除去比 (AC)	200mV _{PP} 、50Hz または 60Hz の正弦波を V_{CC} に重ね合わせ、 $V_{CC} = 23.4\text{V}$ 、 $V_{EE} = -23.5\text{V}$ 、 $AVDD = 5\text{V}$ 、 $LVDD = 1.5\text{V}$		-100		dB
		200mV _{PP} 、50Hz または 60Hz の正弦波を V_{EE} に重ね合わせ、 $V_{CC} = 23.5\text{V}$ 、 $V_{EE} = -23.4\text{V}$ 、 $AVDD = 5\text{V}$ 、 $LVDD = 1.5\text{V}$		-100		
		200mV _{PP} 、50Hz または 60Hz の正弦波を $AVDD$ に重ね合わせ、 $V_{CC} = 23.5\text{V}$ 、 $V_{EE} = -23.5\text{V}$ 、 $AVDD = 5\text{V}$ 、 $LVDD = 1.5\text{V}$		-96		
		50mV _{PP} 、50Hz または 60Hz の正弦波を $LVDD$ に重ね合わせ、 $V_{CC} = 23.5\text{V}$ 、 $V_{EE} = -23.5\text{V}$ 、 $AVDD = 5\text{V}$ 、 $LVDD = 1.5\text{V}$ 、ゲイン = 1×		-90		
		50mV _{PP} 、50Hz または 60Hz の正弦波を $LVDD$ に重ね合わせ、 $V_{CC} = 23.5\text{V}$ 、 $V_{EE} = -23.5\text{V}$ 、 $AVDD = 5\text{V}$ 、 $LVDD = 1.5\text{V}$ 、ゲイン = 4×		-80		

5.5 電気的特性 (続き)

$T_A = -40^{\circ}\text{C} \sim +100^{\circ}\text{C}$ 、 $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$ 、 $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$ 、 $AVDD = 5.0\text{V}$ 、 $DVDD = 1.5\text{V}$ 、 $LVDD = 1.5\text{V}$ 、 $V_{IO} = 1.5\text{V}$ 、 $V_{OSADJ_ENx} = 0$ 、 $OFS_ENx = 0$ 、 $ROFS_F = ROFS_S = V_{OSADJ} = AGND$ 、出力無負荷の条件とします。 V_{REFPX} と V_{REFNX} については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ での値です (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
温度センサのアナログ出力モード						
	温度検出範囲	温度アナログ出力モード	-40		150	$^{\circ}\text{C}$
V_{TEMP25}	出力電圧	$T_J = 25^{\circ}\text{C}$		1.8		V
G_{TEMP}	センサのゲイン			20		$\text{mV}/^{\circ}\text{C}$
V_{TEMP}	出力電圧スパン		0.5		4.3	V
	絶対精度			± 5		$^{\circ}\text{C}$
ZOA_{TEMP}	温度信号出力インピーダンス			0.85		$\text{k}\Omega$
温度センサのデジタル出力モード						
T_{OSD}	過熱シャットダウンのスレッシュホルド範囲	接合部で測定	29.6		150	$^{\circ}\text{C}$
VOL_{TEMP}	Low レベル出力電圧	ハインピーダンスのデジタル バッファに変換し			0.4	V
VOH_{TEMP}	High レベル出力電圧	ハインピーダンスのデジタル バッファに変換し	$(V_{IO} - 0.4)$			V
ZOD_{TEMP}	温度信号出力インピーダンス			5		$\text{k}\Omega$

5.5 電気的特性 (続き)

$T_A = -40^{\circ}\text{C} \sim +100^{\circ}\text{C}$ 、 $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$ 、 $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$ 、 $AVDD = 5.0\text{V}$ 、 $DVDD = 1.5\text{V}$ 、 $LVDD = 1.5\text{V}$ 、 $V_{IO} = 1.5\text{V}$ 、 $V_{OSADJ_ENx} = 0$ 、 $OFS_ENx = 0$ 、 $ROFS_F = ROFS_S = V_{OSADJ} = AGND$ 、出力無負荷の条件とします。 V_{REFPX} と V_{REFNX} については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ での値です (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
デジタル入力						
V_{IL}	Low レベル入力電圧				0.3	V/V_{IO}
V_{IH}	High レベル入力電圧		0.7			V/V_{IO}
V_{HYS}	ヒステリシス電圧	$V_{IO} = 1.8\text{V}$	0.12			V
	入力電流		± 1			μA
	ピン容量 1	ピンごと	2			pF
デジタル出力						
V_{OL}	Low レベル出力電圧	200 μA (シンク)			0.4	V
V_{OH}	High レベル出力電圧	ソース 200 μA	$(V_{IO} - 0.4)$			V
I_{OZ}	ハイ インピーダンスリークage		± 1			μA
C_{OZ}	ハイ インピーダンス出力電流		2			pF
SPI						
f_{SPI}	SPI 周波数				66	MHz
	DAC 更新レート	DDR 有効、16 ビット モード、SCLK = 66MHz、SDIO0 ~ SDIO3 を入力として使用、シングル チャンネル ストリーム モード	33			MUPS
		DDR 有効、18 ビット モード、SCLK = 66MHz、SDIO0 ~ SDIO3 を入力として使用、シングル チャンネル ストリーム モード、	22			
		DDR 無効、16 ビット モード、SCLK = 66MHz、SDIO0 ~ SDIO3 を入力として使用、シングル チャンネル ストリーム モード	16.5			
		DDR 無効、18 ビット モード、SCLK = 66MHz、SDIO0 ~ SDIO3 を入力として使用、シングル チャンネル ストリーム モード	11			
		デジチェーン モード (DDR 無効)、SCLK = 66MHz、SDIO0、SDIO1 を SDI として使用、SDIO2、SDIO3 を SDO として使用、セカンダリ SPI は一台	3.3			

5.5 電気的特性 (続き)

$T_A = -40^{\circ}\text{C} \sim +100^{\circ}\text{C}$ 、 $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$ 、 $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$ 、 $AVDD = 5.0\text{V}$ 、 $DVDD = 1.5\text{V}$ 、 $LVDD = 1.5\text{V}$ 、 $VIO = 1.5\text{V}$ 、 $VOSADJ_ENx = 0$ 、 $OFS_ENx = 0$ 、 $ROFS_F = ROFS_S = VOSADJ = AGND$ 、出力無負荷の条件とします。 V_{REFPX} と V_{REFNX} については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ での値です (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
I_{VCC_S}	スタンバイ モード レール電流	$V_{CC} = 23.5\text{V}$ 、 $V_{EE} = -23.5\text{V}$ 、 $AVDD = 5.4\text{V}$ 、 $DVDD = 1.65\text{V}$ 、 $LVDD = 1.65\text{V}$		0.16		mA
I_{VEE_S}	スタンバイ モード レール電流	$V_{CC} = 23.5\text{V}$ 、 $V_{EE} = -23.5\text{V}$ 、 $AVDD = 5.4\text{V}$ 、 $DVDD = 1.65\text{V}$ 、 $LVDD = 1.65\text{V}$		-0.16		mA
I_{AVDD_S}	スタンバイ モード レール電流	$V_{CC} = 23.5\text{V}$ 、 $V_{EE} = -23.5\text{V}$ 、 $AVDD = 5.4\text{V}$ 、 $DVDD = 1.65\text{V}$ 、 $LVDD = 1.65\text{V}$		34		μA
I_{LVDD_S}	スタンバイ モード レール電流	$V_{CC} = 23.5\text{V}$ 、 $V_{EE} = -23.5\text{V}$ 、 $AVDD = 5.4\text{V}$ 、 $DVDD = 1.65\text{V}$ 、 $LVDD = 1.65\text{V}$		10		μA
I_{DVDD_S}	スタンバイ モード レール電流	$V_{CC} = 23.5\text{V}$ 、 $V_{EE} = -23.5\text{V}$ 、 $AVDD = 5.4\text{V}$ 、 $DVDD = 1.65\text{V}$ 、 $LVDD = 1.65\text{V}$		15		μA
I_{AVDD}	AVDD に流れる電流	$V_{REFP} = 20\text{V}$ 、 $V_{REFN} = -20\text{V}$ 、フルスケール			2.5	mA
I_{VCC}	VCC に流れる電流	$V_{REFP} = 20\text{V}$ 、 $V_{REFN} = -20\text{V}$ 、フルスケール			30	mA
I_{VEE}	VEE に流れる電流	$V_{REFP} = 20\text{V}$ 、 $V_{REFN} = -20\text{V}$ 、ゼロスケール	-30			mA
I_{DVDD}	DVDD に流れる電流	$V_{REFP} = 20\text{V}$ 、 $V_{REFN} = -20\text{V}$ 、フルスケール		20		μA
I_{IOVDD}	VIO に流れる電流	$V_{REFP} = 20\text{V}$ 、 $V_{REFN} = -20\text{V}$ 、フルスケール コード、すべてのデジタル入力ピンは V_{IO} で静的		10		μA

- (1) 設計または特性評価により保証。実製品の検査は行っていない。
- (2) 必要なヘッドルームは含まれません。
- (3) 絶対値積分とは、グリッチ波形の大きさの絶対値を積分して、グリッチ エネルギーを求める方法です。
- (4) 直接積分とは、グリッチ波形を符号付きのまま積分して、グリッチ エネルギーを求める方法です。

5.6 タイミング要件

AVDD = 5.0V、DVDD = 1.5V、T_A = 25°C の標準値、推奨動作条件範囲の最小値と最大値 (特に記述のない限り)

パラメータ		最小 値	公称 値	最大 値	単位
シリアル インターフェイスの書き込みおよび読み取り動作: $1.65V \leq V_{IO} < 1.98V$					
f _{SCLK}	シリアル クロック周波数、SDO_EN = 0、FSDO_EN = 1			66	MHz
t _{SCLK}	SCLK サイクル時間、SDO_EN = 0 または SDO_EN = 1、FSDO_EN = 1	15.15			ns
t _{SCLKHIGH}	SCLK High 時間、SDO_EN = 0 または SDO_EN = 1、FSDO_EN = 1	7.6			ns
t _{SCLKLOW}	SCLK Low 時間、SDO_EN = 0 または SDO_EN = 1、FSDO_EN = 1	7.6			ns
f _{SCLK}	シリアル クロック周波数、SDO_EN = 1、FSDO_EN = 0			33	MHz
t _{SCLK}	SCLK サイクル時間、SDO_EN = 1、FSDO_EN = 0	30.3			ns
t _{SCLKHIGH}	SCLK High 時間、SDO_EN = 1、FSDO_EN = 0	15.2			ns
t _{SCLKLOW}	SCLK Low 時間、SDO_EN = 1、FSDO_EN = 0	15.2			ns
t _{CSS}	$\overline{CS}$ 立ち下がりから最初の SCLK サンプリング エッジまでのセットアップ時間	7.5			ns
t _{CSH}	最後の SCLK サンプリング エッジから $\overline{CS}$ 立ち上がりエッジまで	7.5			ns
t _{CSHIGH}	$\overline{CS}$ High 時間	20			ns
t _{SDIS}	データ セットアップ時間	2.5			ns
t _{SDIH}	データ ホールド時間	2.5			ns
t _{SDODLY}	SCLK 立ち下がりエッジから SDO データ確定まで			12	ns
t _{SDODZ}	$\overline{CS}$ 立ち上がりエッジから SDO トライステートまで			6	ns
t _{SDOZD}	$\overline{CS}$ 立ち下がりエッジから SDO 有効化			6	ns
t _{LDACL}	$\overline{LDAC}$ パルス幅の Low 状態	7			ns
t _{LDACH}	$\overline{LDAC}$ パルス幅 High 状態	20			ns
f _{TOGGLE}	$\overline{LDAC}$ トグル周波数			33	MHz
t _{SCLD}	EOP (パケットの終了) から $\overline{LDAC}$ の立ち下がりエッジまで ⁽¹⁾			20	ns

5.6 タイミング要件 (続き)

AVDD = 5.0V、DVDD = 1.5V、T_A = 25°C の標準値、推奨動作条件範囲の最小値と最大値 (特に記述のない限り)

パラメータ		最小 値	公称 値	最大 値	単位
シリアル インターフェイスの書き込みおよび読み取り動作: 1.35V ≤ V _{IO} < 1.65V					
f _{SCLK}	シリアル クロック周波数、SDO_EN = 0、FSDO_EN = 1			50	MHz
t _{SCLK}	SCLK サイクル時間、SDO_EN = 0 または SDO_EN = 1、FSDO_EN = 1	20.00			ns
t _{SCLKHIGH}	SCLK High 時間、SDO_EN = 0 または SDO_EN = 1、FSDO_EN = 1	9			ns
t _{SCLKLOW}	SCLK Low 時間、SDO_EN = 0 または SDO_EN = 1、FSDO_EN = 1	9			ns
f _{SCLK}	シリアル クロック周波数、SDO_EN = 1、FSDO_EN = 0			25	MHz
t _{SCLK}	SCLK サイクル時間、SDO_EN = 1、FSDO_EN = 0	40			ns
t _{SCLKHIGH}	SCLK High 時間、SDO_EN = 1、FSDO_EN = 0	18			ns
t _{SCLKLOW}	SCLK Low 時間、SDO_EN = 1、FSDO_EN = 0	18			ns
t _{CSS}	$\overline{\text{CS}}$ 立ち下がりから最初の SCLK サンプリング エッジまでのセットアップ時間	9			ns
t _{CSH}	最後の SCLK サンプリング エッジから $\overline{\text{CS}}$ 立ち上がりエッジまで	9			ns
t _{CSHIGH}	$\overline{\text{CS}}$ High 時間	40			ns
t _{SDIS}	データ セットアップ時間	5			ns
t _{SDIH}	データ ホールド時間	5			ns
t _{SDODLY}	SCLK 立ち下がりエッジから SDO データ確定まで	14			ns
t _{SDODZ}	$\overline{\text{CS}}$ 立ち上がりエッジから SDO トライステートまで			8	ns
t _{SDOZD}	$\overline{\text{CS}}$ 立ち下がりエッジから SDO 有効化			8	ns
t _{LDACL}	$\overline{\text{LDAC}}$ パルス幅の Low 状態	7			ns
t _{LDACH}	$\overline{\text{LDAC}}$ パルス幅 High 状態	20			ns
f _{TOGGLE}	$\overline{\text{LDAC}}$ トグル周波数			25	MHz
t _{SCLD}	EOP (パケットの終了) から $\overline{\text{LDAC}}$ の立ち下がりエッジまで ⁽¹⁾			25	ns

5.6 タイミング要件 (続き)

AVDD = 5.0V、DVDD = 1.5V、T_A = 25°C の標準値、推奨動作条件範囲の最小値と最大値 (特に記述のない限り)

パラメータ		最小 値	公称 値	最大 値	単位
シリアル インターフェイスの書き込みおよび読み取り動作: $1.08V \leq V_{IO} < 1.35V$					
f _{SCLK}	シリアル クロック周波数、SDO_EN = 0、FSDO_EN = 1			35	MHz
t _{SCLK}	SCLK サイクル時間、SDO_EN = 0 または SDO_EN = 1、FSDO_EN = 1	28.57			ns
t _{SCLKHIGH}	SCLK High 時間、SDO_EN = 0 または SDO_EN = 1、FSDO_EN = 1	13.5			ns
t _{SCLKLOW}	SCLK Low 時間、SDO_EN = 0 または SDO_EN = 1、FSDO_EN = 1	13.5			ns
f _{SCLK}	シリアル クロック周波数、SDO_EN = 1、FSDO_EN = 0			17.5	MHz
t _{SCLK}	SCLK サイクル時間、SDO_EN = 1、FSDO_EN = 0	57.14			ns
t _{SCLKHIGH}	SCLK High 時間、SDO_EN = 1、FSDO_EN = 0	27			ns
t _{SCLKLOW}	SCLK Low 時間、SDO_EN = 1、FSDO_EN = 0	27			ns
t _{CSS}	$\overline{CS}$ 立ち下がりから最初の SCLK サンプリング エッジまでのセットアップ時間	11			ns
t _{CSH}	最後の SCLK サンプリング エッジから $\overline{CS}$ 立ち上がりエッジまで	11			ns
t _{CSHIGH}	$\overline{CS}$ High 時間	60			ns
t _{SDIS}	データ セットアップ時間	7			ns
t _{SDIH}	データ ホールド時間	7			ns
t _{SDODLY}	SCLK 立ち下がりエッジから SDO データ確定まで	16			ns
t _{SDODZ}	$\overline{CS}$ 立ち上がりエッジから SDO トライステートまで			10	ns
t _{SDOZD}	$\overline{CS}$ 立ち下がりエッジから SDO 有効化			10	ns
t _{LDACL}	$\overline{LDAC}$ パルス幅の Low 状態	7			ns
t _{LDACH}	$\overline{LDAC}$ パルス幅 High 状態	20			ns
f _{TOGGLE}	$\overline{LDAC}$ トグル周波数			17.5	MHz
t _{SCLD}	EOP (パケットの終了) から $\overline{LDAC}$ の立ち下がりエッジまで ⁽¹⁾			30	ns

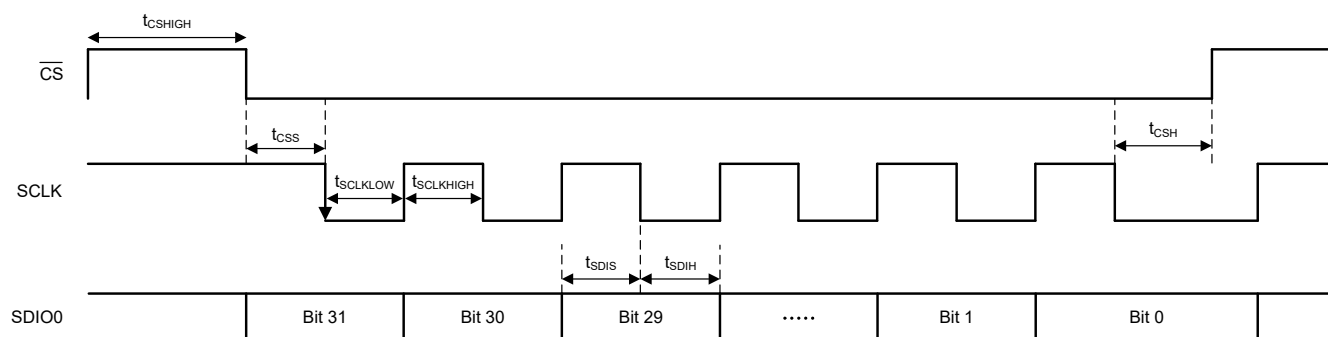
5.6 タイミング要件 (続き)

AVDD = 5.0V、DVDD = 1.5V、 $T_A = 25^\circ\text{C}$ の標準値、推奨動作条件範囲の最小値と最大値 (特に記述のない限り)

パラメータ		最小 値	公称 値	最大 値	単位
共通ロジック					
t_{RESETLOW}	リセット パルス幅 Low	100			ns
t_{RSTACT}	リセット パルスのフィルタ時間	100			ns
t_{SLDAC}	VOUT 出力更新遅延 ($\overline{\text{CS}}$ 立ち上がり、ソフト LDAC、SFT_LDAC_EN = 1 から)			80	ns
t_{ASYNC}	EOP (パケットの終了) からの VOUT 出力更新遅延 (ASYNC_UPDT = 1) ⁽¹⁾			70	ns
t_{LDACR}	LDAC 立ち下がりエッジからの VOUT 出力更新遅延 (ASYNC_UPDT = 0)			40	ns
t_{SKEW}	最大チャンネル間スキュー、 $\overline{\text{LDAC}}$ 短絡 (FS モード) (ASYNC_UPDT = 0)		0.3		ns
t_{PWRUP}	DAC レジスタ アクセスまでの待機時間 (ブートアップ時間)			20	ms
t_{RESET}	シャットダウン終了時間 (チャンネル パワーアップ時間)			0.8	ms

(1) SPI_DCH = 0 のとき (STREAM の設定は任意)、EOP は最後の SCLK サンプリング エッジです。EOP は、SPI_DCH = 1 の場合の $\overline{\text{CS}}$ 立ち上がりエッジです。

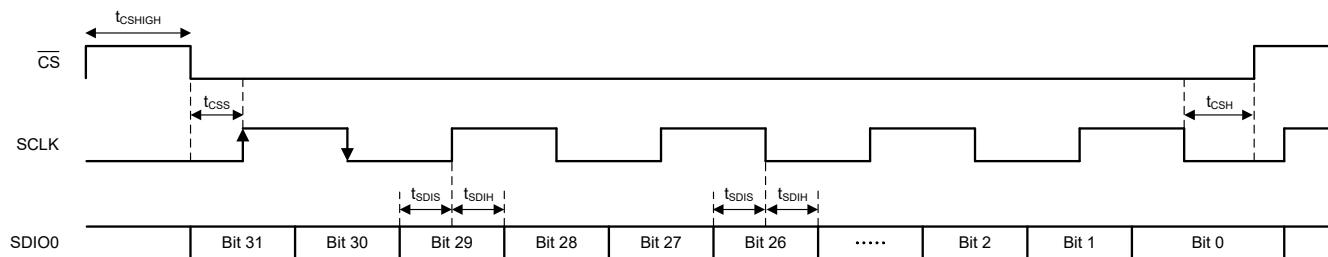
5.7 タイミング図



Note:

↓ Arrow indicates sampling edge. In SDR mode, the first sampling edge is negative edge

図 5-1. SDR 書き込みモード



Note:

↑↓ Arrow indicates sampling edge. In DDR mode, the first sampling edge is positive edge

図 5-2. DDR 書き込みモード

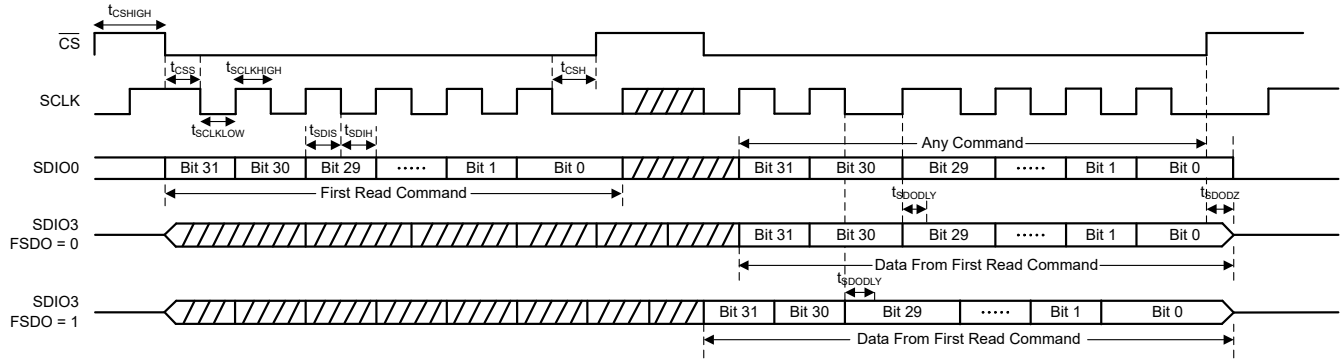


図 5-3. 読み取りフレーム モード

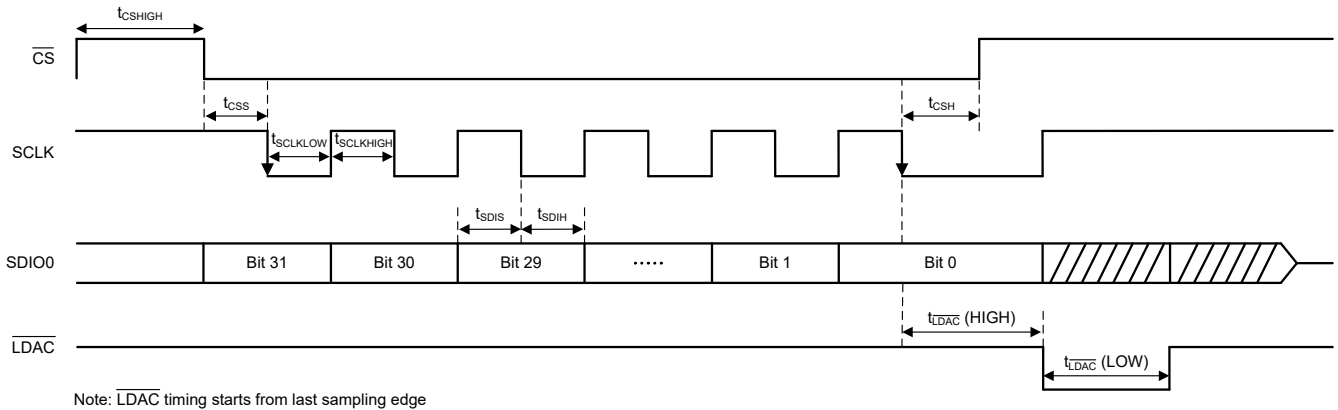


図 5-4. $\overline{LDAC}$ タイミング - デイジーチェーン以外

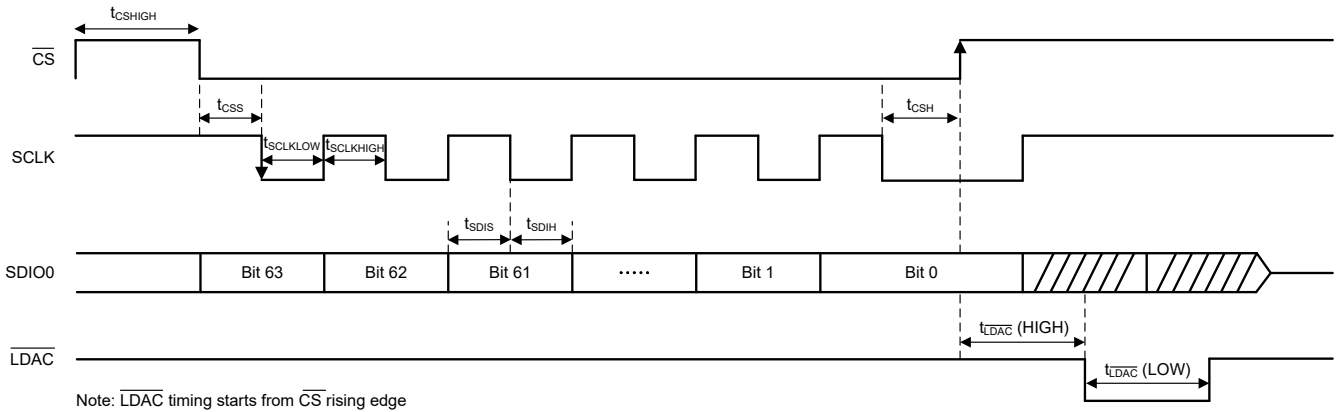


図 5-5. $\overline{LDAC}$ タイミング - デイジー モード

5.8 代表的特性

5.8.1 代表的特性：直線性

$T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$, $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$, $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$, $AV_{DD} = 5.0\text{V}$, $DV_{DD} = 1.5\text{V}$, $LV_{DD} = 1.5\text{V}$, $V_{IO} = 1.5\text{V}$, $V_{OSADJ_ENx} = 0$, $OFS_ENx = 0$, $ROFS_F = ROFS_S = V_{OSADJx} = AGND$ 。出力は無負荷とします。VREFP と VREFN については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ での値です (特に記載のない限り)

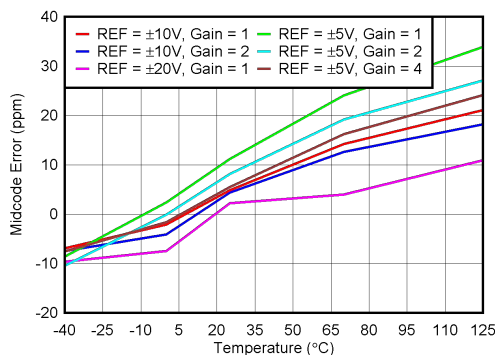


図 5-6. バイポーラ ミッドコード誤差と温度の関係

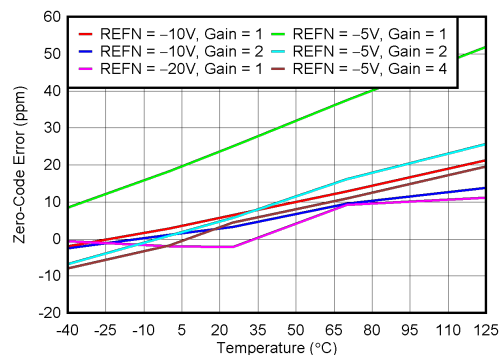
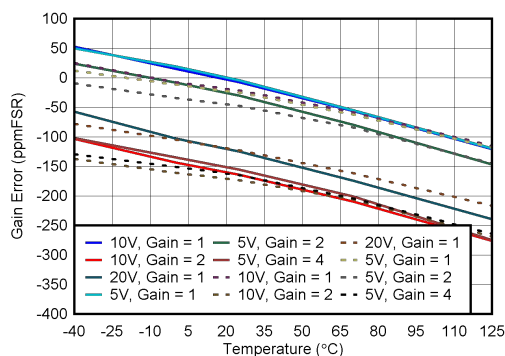
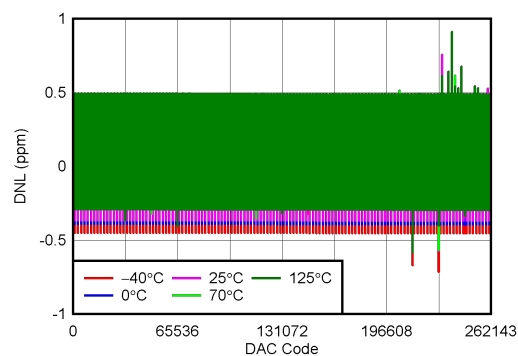


図 5-7. ユニポーラ ゼロコード誤差と温度の関係



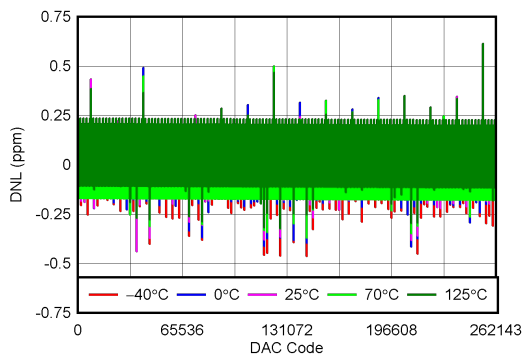
バイポーラ (実線)、ユニポーラ (点線)

図 5-8. ゲイン誤差と温度との関係



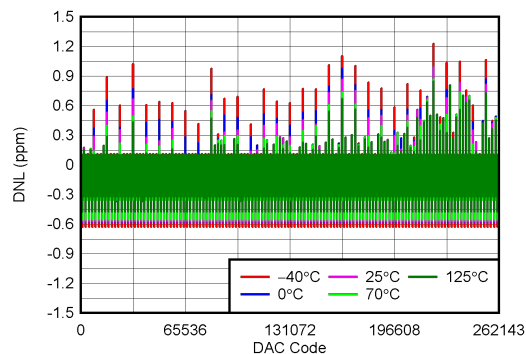
REFPx = 0V, REFNx = -5V、ゲイン = 1、ユニポーラ

図 5-9. DNL とデジタル入力コードとの関係



REFPx = +5V, REFNx = -5V、ゲイン = 1、バイポーラ

図 5-10. DNL とデジタル入力コードとの関係

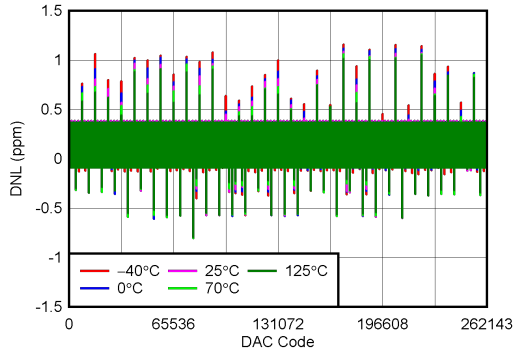


REFPx = 0V, REFNx = -20V、ゲイン = 1、ユニポーラ

図 5-11. DNL とデジタル入力コードとの関係

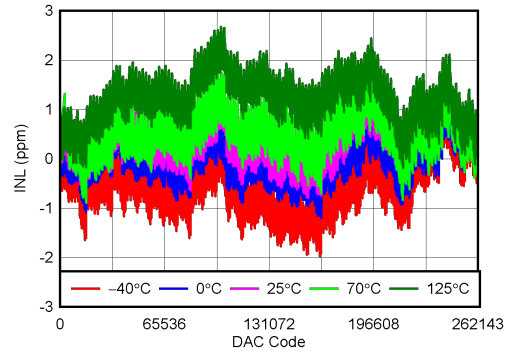
5.8.1 代表的特性：直線性 (続き)

$T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$, $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$, $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$, $AV_{DD} = 5.0\text{V}$, $DV_{DD} = 1.5\text{V}$, $LV_{DD} = 1.5\text{V}$, $V_{IO} = 1.5\text{V}$, $V_{OSADJ_ENx} = 0$, $OFS_ENx = 0$, $ROFS_F = ROFS_S = V_{OSADJx} = AGND$ 。出力は無負荷とします。VREFP と VREFN については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ での値です (特に記載のない限り)



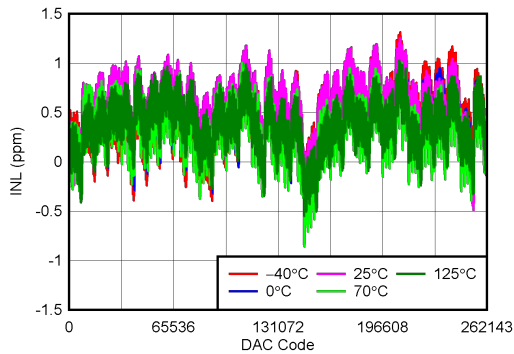
REFPx = +20V, REFNx = -20V, ゲイン = 1, バイポーラ

図 5-12. DNL とデジタル入力コードとの関係



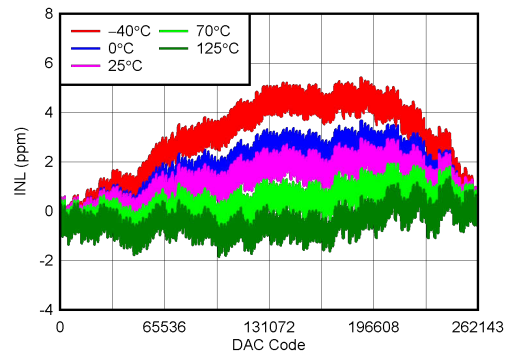
REFPx = 0V, REFNx = -5V, ゲイン = 1, ユニポーラ

図 5-13. INL とデジタル入力コードとの関係



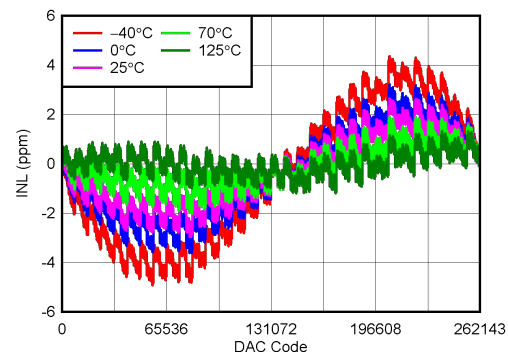
REFPx = +5V, REFNx = -5V, ゲイン = 1, バイポーラ

図 5-14. INL とデジタル入力コードとの関係



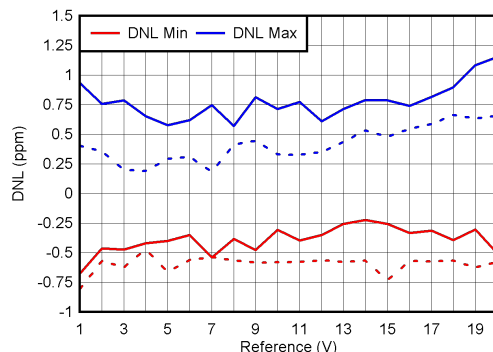
REFPx = 0V, REFNx = -20V, ゲイン = 1, ユニポーラ

図 5-15. INL とデジタル入力コードとの関係



REFPx = +20V, REFNx = -20V, ゲイン = 1, バイポーラ

図 5-16. INL とデジタル入力コードとの関係

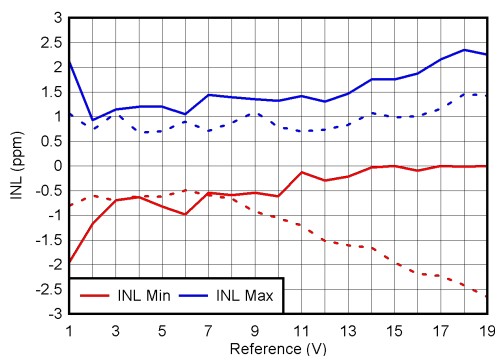


ゲイン = 1
ユニポーラ (実線)、バイポーラ (点線)

図 5-17. DNL とリファレンスとの関係

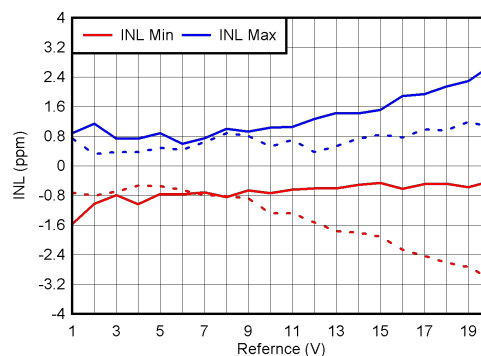
5.8.1 代表的特性：直線性（続き）

$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$, $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$, $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$, $AV_{DD} = 5.0\text{V}$, $DV_{DD} = 1.5\text{V}$, $LV_{DD} = 1.5\text{V}$, $V_{IO} = 1.5\text{V}$, $V_{OSADJ_ENx} = 0$, $OFS_ENx = 0$, $ROFS_F = ROFS_S = V_{OSADJx} = AGND$ 。出力は無負荷とします。VREFP と VREFN については注記を参照してください。代表値はすべて $T_A = 25^\circ\text{C}$ での値です (特に記載のない限り)



ユニポーラ (実線)、バイポーラ (点線)

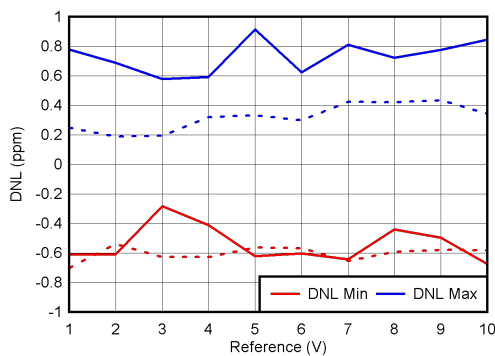
図 5-18. INL とリファレンスとの関係



ゲイン = 1

ユニポーラ (実線)、バイポーラ (点線)

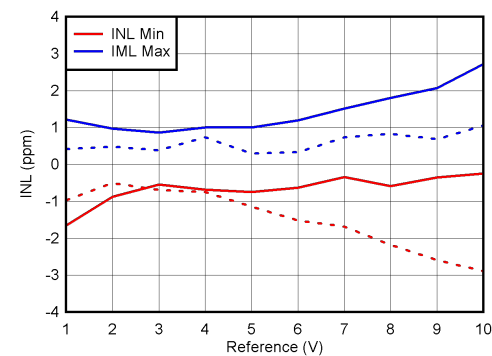
図 5-19. INL とリファレンスとの関係



ゲイン = 2

ユニポーラ (実線)、バイポーラ (点線)

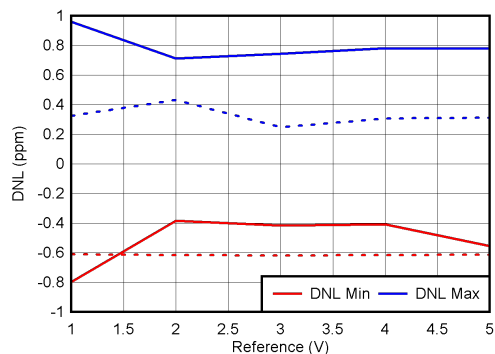
図 5-20. DNL とリファレンスとの関係



ゲイン = 2

ユニポーラ (実線)、バイポーラ (点線)

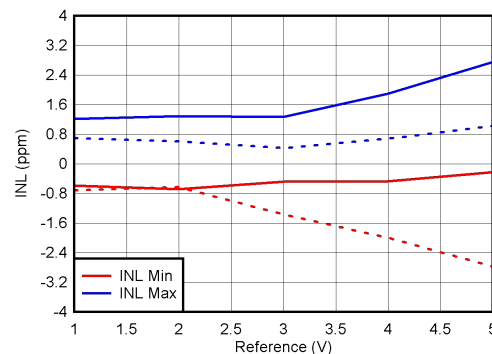
図 5-21. INL とリファレンスとの関係



ゲイン = 4

ユニポーラ (実線)、バイポーラ (点線)

図 5-22. DNL とリファレンスとの関係



ゲイン = 4

ユニポーラ (実線)、バイポーラ (点線)

図 5-23. INL とリファレンスとの関係

5.8.1 代表的特性：直線性 (続き)

$T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$, $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$, $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$, $AV_{DD} = 5.0\text{V}$, $DV_{DD} = 1.5\text{V}$, $LV_{DD} = 1.5\text{V}$, $V_{IO} = 1.5\text{V}$, $V_{OSADJ_ENx} = 0$, $OFS_ENx = 0$, $ROFS_F = ROFS_S = V_{OSADJx} = AGND$ 。出力は無負荷とします。VREFP と VREFN については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ での値です (特に記載のない限り)

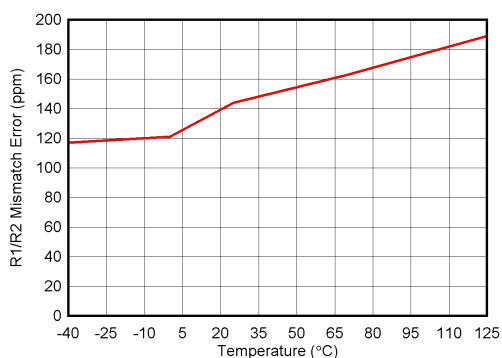
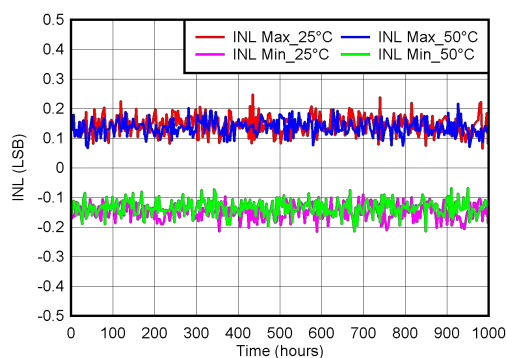
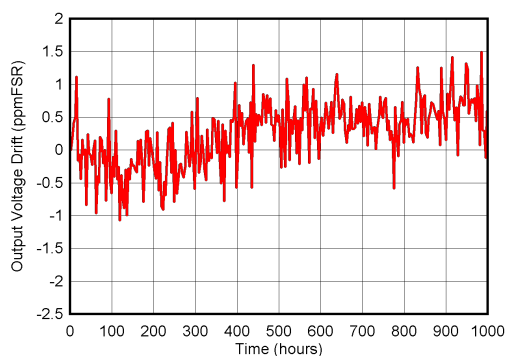


図 5-24. R1/R2 ミスマッチ誤差と周囲温度との関係



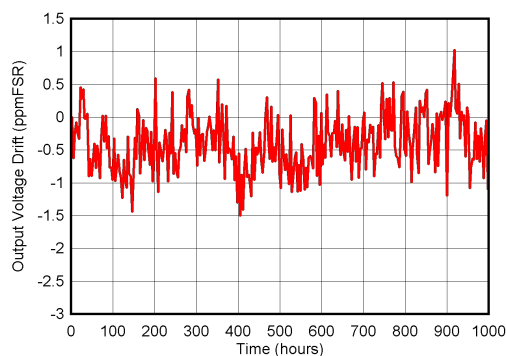
ゲイン = 1、高速セトリング モード、バイポーラ
REFPx と REFNx = $\pm 5\text{V}$

図 5-25. 1000 時間を上回る INL ドリフト



ゲイン = 1、高速セトリング モード、バイポーラ
REFPx および REFNx = $\pm 5\text{V}$ 、フルコード、温度 = 25°C

図 5-26. 出力電圧ドリフト

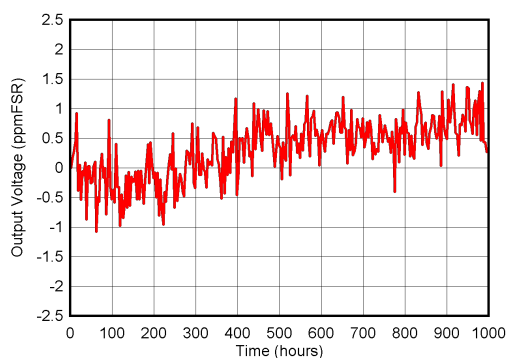


ゲイン = 1、高速セトリング モード、バイポーラ
REFPx および REFNx = $\pm 5\text{V}$ 、ゼロコード、温度 = 25°C

図 5-27. 出力電圧ドリフト

5.8.1 代表的特性：直線性 (続き)

$T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$ 、 $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$ 、 $AV_{DD} = 5.0\text{V}$ 、 $DV_{DD} = 1.5\text{V}$ 、 $LV_{DD} = 1.5\text{V}$ 、 $V_{IO} = 1.5\text{V}$ 、 $V_{OSADJ_ENx} = 0$ 、 $OFS_ENx = 0$ 、 $ROFS_F = ROFS_S = V_{OSADJx} = AGND$ 。出力は無負荷とします。VREFP と VREFN については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ での値です (特に記載のない限り)

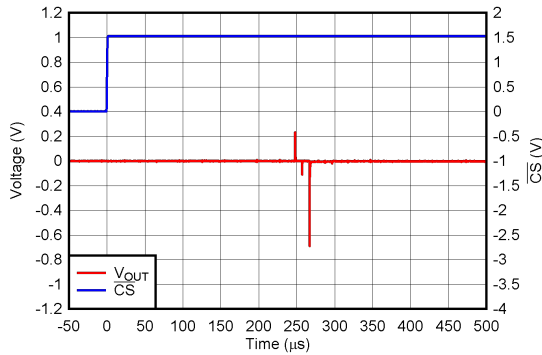


ゲイン = 1、高速セトリング モード、バイポーラ
 REFPx および REFNx = $\pm 5\text{V}$ 、ミッドコード、温度 = 25°C

図 5-28. 出力電圧ドリフト

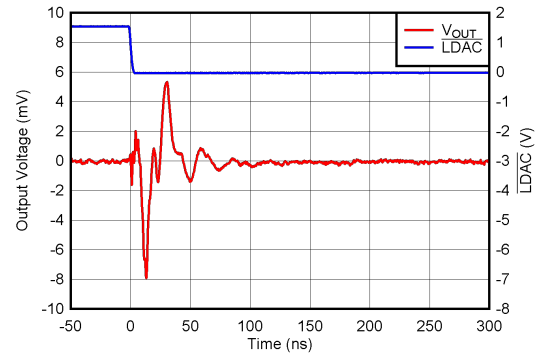
5.8.2 代表的特性：グリッチ

$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$, $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$, $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$, $AV_{DD} = 5.0\text{V}$, $DV_{DD} = 1.5\text{V}$, $LV_{DD} = 1.5\text{V}$, $V_{IO} = 1.5\text{V}$, $V_{OSADJ_ENx} = 0$, $OFS_ENx = 0$, $ROFS_F = ROFS_S = V_{OSADJ} = AGND$ 。出力は無負荷とします。VREFP と VREFN については注記を参照してください。代表値はすべて $T_A = 25^\circ\text{C}$ での値です (特に記載のない限り)



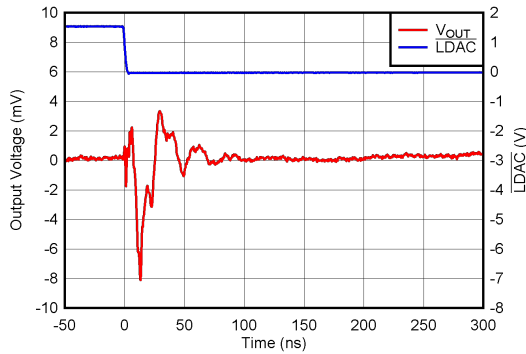
ゲイン = 1、高速セトリング モード、バイポーラ
REFPx = +5V、REFNx = -5V

図 5-29. チャネル パワー オン グリッチ



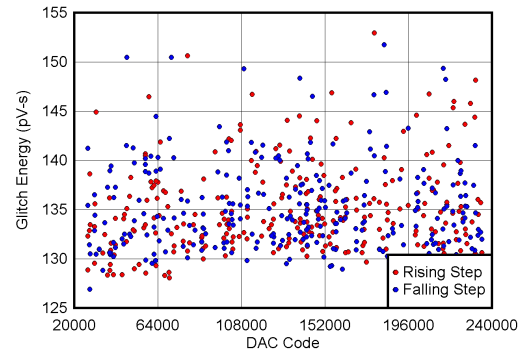
ゲイン = 1、高速セトリング モード、バイポーラ
REFPx = +5V、REFNx = -5V

図 5-30. コード書き換えによるグリッチ



ゲイン = 4、高速セトリング モード、バイポーラ
REFPx = +5V、REFNx = -5V

図 5-31. コード書き換えによるグリッチ

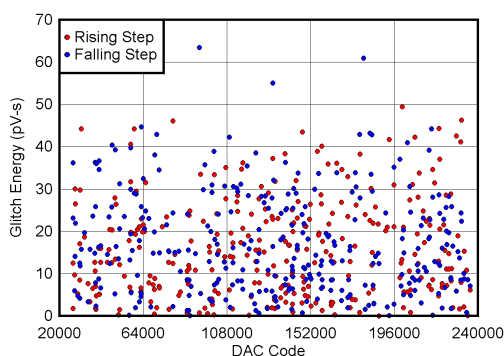


ゲイン = 1、高速セトリング モード、バイポーラ
REFPx = +5V、REFNx = -5V

図 5-32. コード間のグリッチの変動 (絶対積分)

5.8.2 代表的特性 : グリッチ (続き)

$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、 $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$ 、 $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$ 、 $AV_{DD} = 5.0\text{V}$ 、 $DV_{DD} = 1.5\text{V}$ 、 $LV_{DD} = 1.5\text{V}$ 、 $V_{IO} = 1.5\text{V}$ 、 $V_{OSADJ_ENx} = 0$ 、 $OFS_ENx = 0$ 、 $ROFS_F = ROFS_S = V_{OSADJ} = AGND$ 。出力は無負荷とします。VREFP と VREFN については注記を参照してください。代表値はすべて $T_A = 25^\circ\text{C}$ での値です (特に記載のない限り)

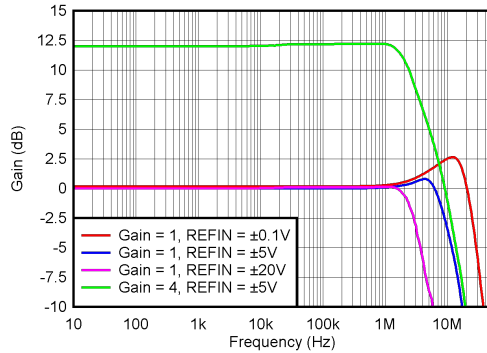


ゲイン = 1、高速セトリング モード、バイポーラ
 $REFP_x = +5\text{V}$ 、 $REFN_x = -5\text{V}$

図 5-33. コード間のグリッチの変動 (直接積分)

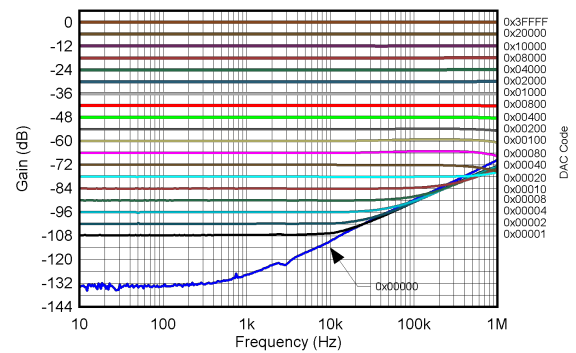
5.8.3 代表的特性：乗算モード

$T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$, $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$, $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$, $AV_{DD} = 5.0\text{V}$, $DV_{DD} = 1.5\text{V}$, $LV_{DD} = 1.5\text{V}$, $V_{IO} = 1.5\text{V}$, $V_{OSADJ_ENx} = 0$, $OFS_ENx = 0$, $ROFS_F = ROFS_S = V_{OSADJ} = AGND$ 。出力は無負荷とします。VREFP と VREFN については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ での値です (特に記載のない限り)



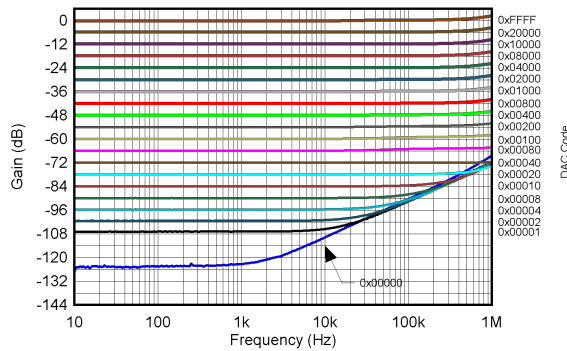
REFP = 0V、ユニポーラ、フルコード

図 5-34. リファレンス乗算帯域幅



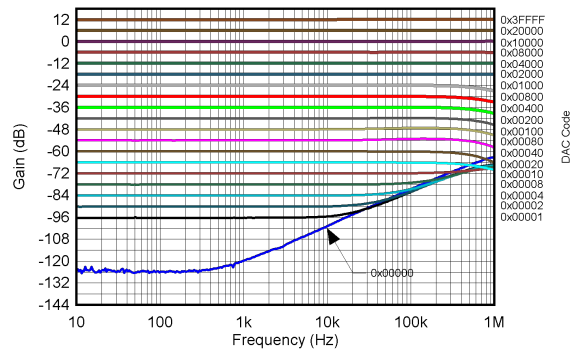
ゲイン = 1、ユニポーラ、REFIN = 10V_{pp}, REFP = 0V

図 5-35. 乗算フィードスルー応答



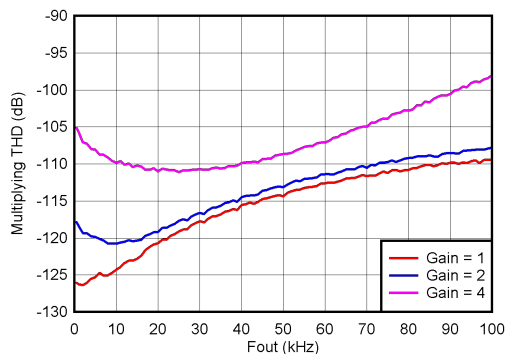
ゲイン = 1、ユニポーラ、REFIN = 40V_{pp}, REFP = 0V

図 5-36. 乗算フィードスルー応答



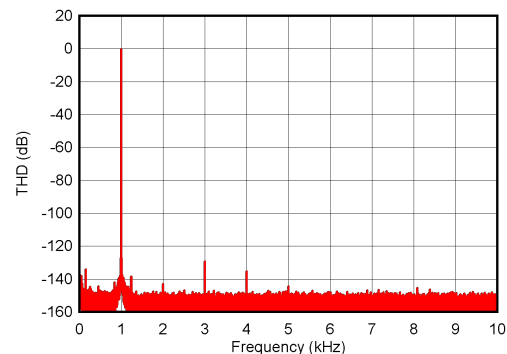
ゲイン = 4、ユニポーラ、REFIN = 10V_{pp}, REFP = 0V

図 5-37. 乗算フィードスルー応答



フルコード、ユニポーラ モード、REFIN = 10V_{pp}, REFP = 0V

図 5-38. 乗算 THD と周波数の関係

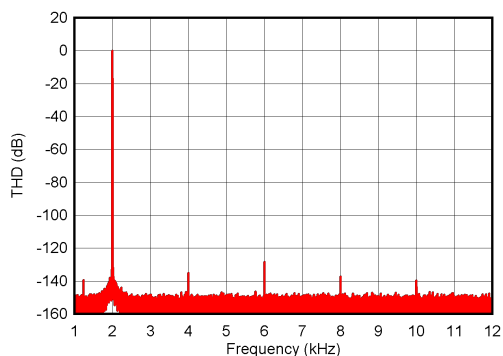


ゲイン = 1
フルコード、ユニポーラ モード、REFIN = 10V_{pp}, REFP = 0V

図 5-39. Fout = 1kHz での THD 乗算

5.8.3 代表的特性：乗算モード (続き)

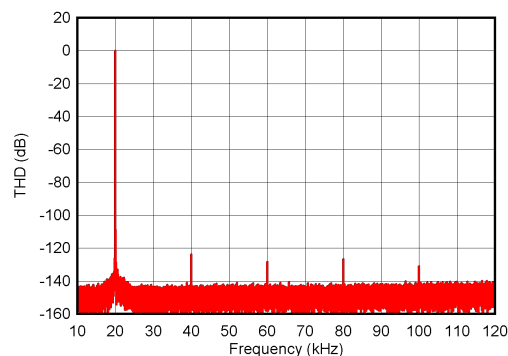
$T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$ 、 $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$ 、 $AV_{DD} = 5.0\text{V}$ 、 $DV_{DD} = 1.5\text{V}$ 、 $LV_{DD} = 1.5\text{V}$ 、 $V_{IO} = 1.5\text{V}$ 、 $V_{OSADJ_ENx} = 0$ 、 $OFS_ENx = 0$ 、 $ROFS_F = ROFS_S = V_{OSADJ} = AGND$ 。出力は無負荷とします。 V_{REFP} と V_{REFN} については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ での値です (特に記載のない限り)



ゲイン = 1

フルコード、ユニポーラ モード、 $REFIN = 10V_{pp}$ 、 $REFP = 0V$

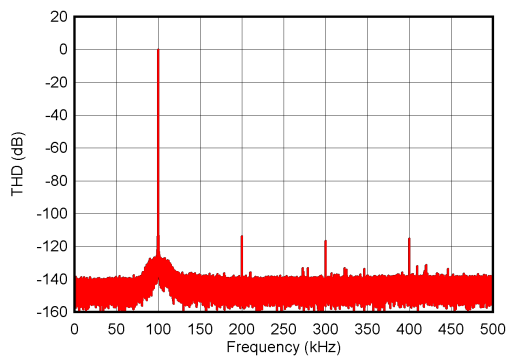
図 5-40. $F_{out} = 2\text{kHz}$ での THD 乗算



ゲイン = 1

フルコード、ユニポーラ モード、 $REFIN = 10V_{pp}$ 、 $REFP = 0V$

図 5-41. $F_{out} = 20\text{kHz}$ での THD 乗算



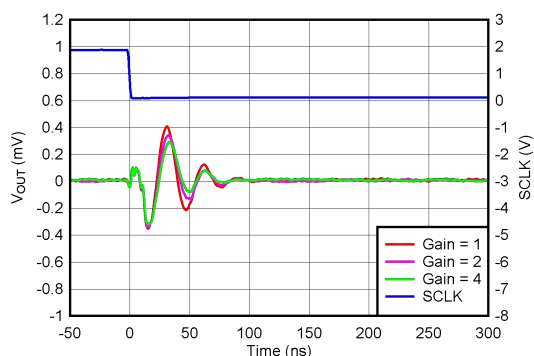
ゲイン = 1

フルコード、ユニポーラ モード、 $REFIN = 10V_{pp}$ 、 $REFP = 0V$

図 5-42. $F_{out} = 100\text{kHz}$ での THD 乗算

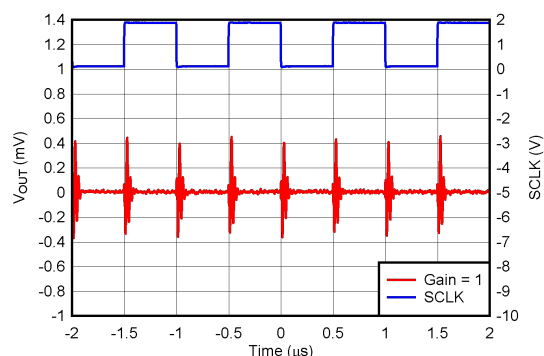
5.8.4 代表的特性：高速セトリングモード

$T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$, $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$, $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$, $AV_{DD} = 5.0\text{V}$, $DV_{DD} = 1.5\text{V}$, $LV_{DD} = 1.5\text{V}$, $V_{IO} = 1.5\text{V}$, $V_{OSADJ_ENx} = 0$, $OFS_ENx = 0$, $ROFS_F = ROFS_S = V_{OSADJ} = AGND$ 。出力は無負荷とします。VREFP と VREFN については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ での値です (特に記載のない限り)



バイポーラ モード、REFP = +5V、REFN = -5V

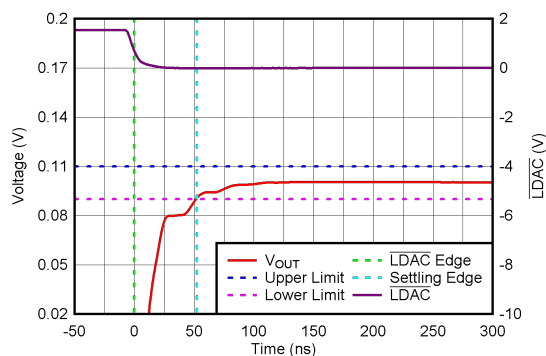
図 5-43. デジタル フィードスルーの拡大図



バイポーラ モード、REFP = +5V、REFN = -5V

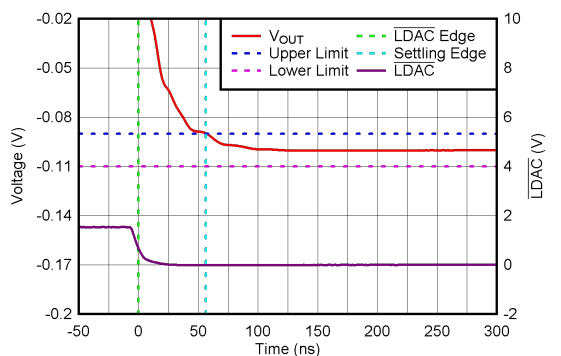
SCLK = 1MHz、ミッドコード

図 5-44. デジタル フィードスルーの広範囲表示



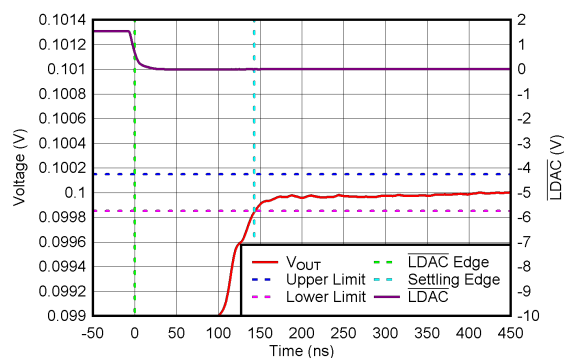
ゲイン = 1、リファレンス: ±5V、立ち上がりステップ: 100mV

図 5-45. セトリング タイムから ±0.1% FSR



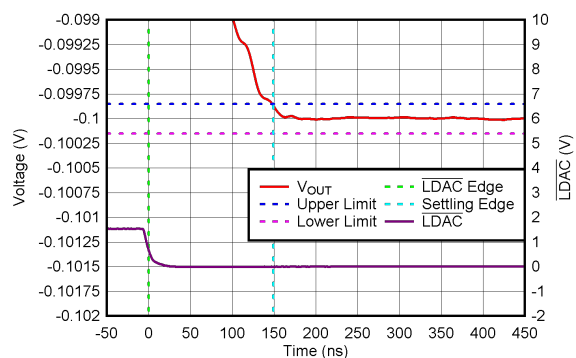
ゲイン = 1、リファレンス: ±5V、立ち下がりステップ: 100mV

図 5-46. セトリング タイムから ±0.1% FSR



ゲイン = 1、リファレンス: ±5V、立ち上がりステップ: 100mV

図 5-47. セトリング タイムから ±0.0015% FSR

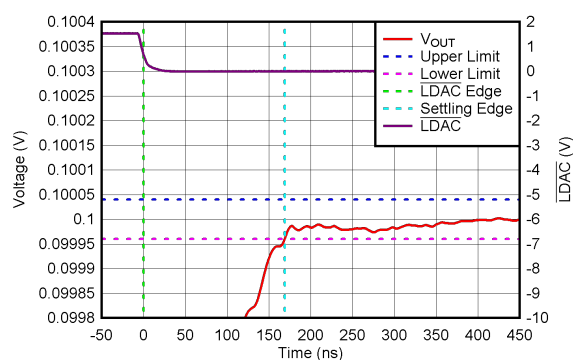


ゲイン = 1、リファレンス: ±5V、立ち下がりステップ: 100mV

図 5-48. セトリング タイムから ±0.0015% FSR

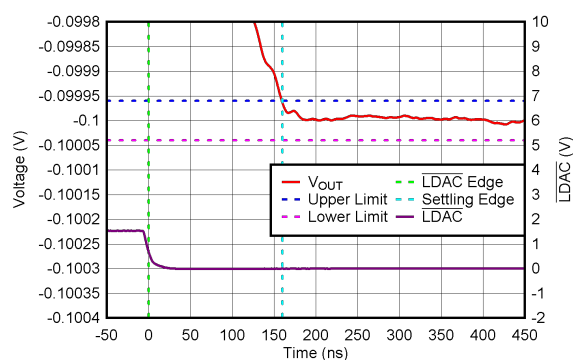
5.8.4 代表的特性：高速セトリングモード (続き)

$T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$, $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$, $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$, $AV_{DD} = 5.0\text{V}$, $DV_{DD} = 1.5\text{V}$, $LV_{DD} = 1.5\text{V}$, $V_{IO} = 1.5\text{V}$, $V_{OSADJ_ENx} = 0$, $OFS_ENx = 0$, $ROFS_F = ROFS_S = V_{OSADJ} = AGND$ 。出力は無負荷とします。VREFP と VREFN については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ での値です (特に記載のない限り)



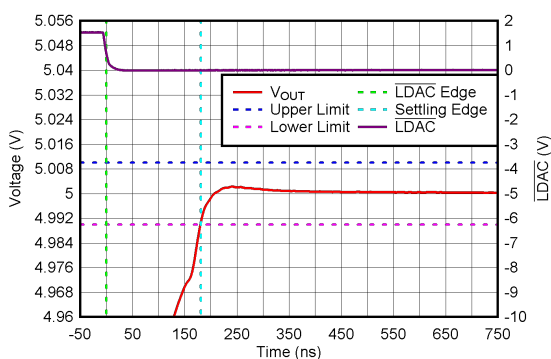
ゲイン = 1、リファレンス: $\pm 5\text{V}$ 、立ち上がりステップ: 100mV

図 5-49. セトリング タイムから $\pm 0.0004\%$ FSR



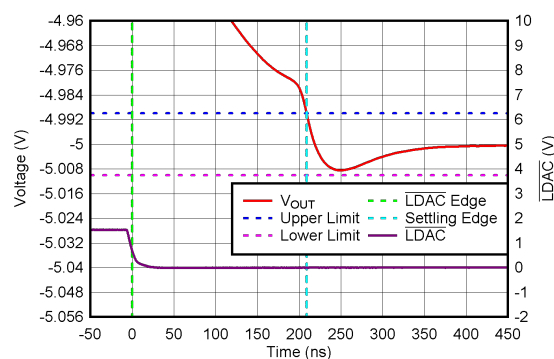
ゲイン = 1、リファレンス: $\pm 5\text{V}$ 、立ち下がりステップ: 100mV

図 5-50. セトリング タイムから $\pm 0.0004\%$ FSR



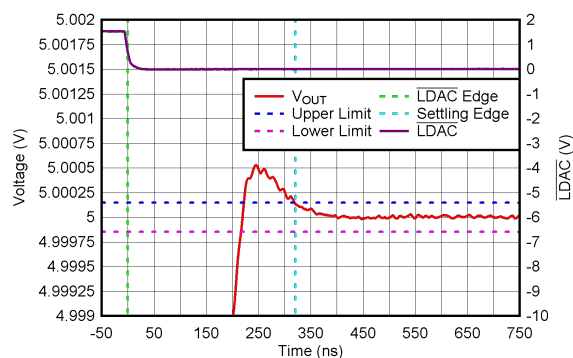
ゲイン = 1、リファレンス: $\pm 5\text{V}$ 、立ち上がりステップ: 10V

図 5-51. セトリング タイムから $\pm 0.1\%$ FSR



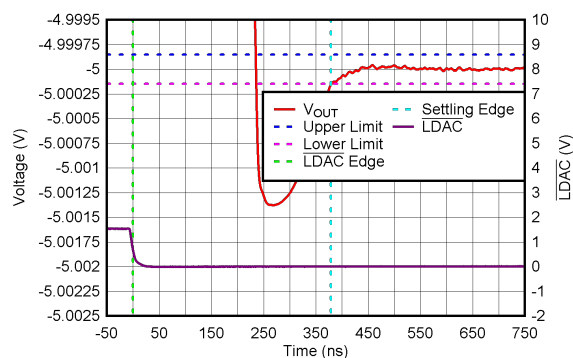
ゲイン = 1、リファレンス: $\pm 5\text{V}$ 、立ち下がりステップ: 10V

図 5-52. セトリング タイムから $\pm 0.1\%$ FSR



ゲイン = 1、リファレンス: $\pm 5\text{V}$ 、立ち上がりステップ: 10V

図 5-53. セトリング タイムから $\pm 0.0015\%$ FSR

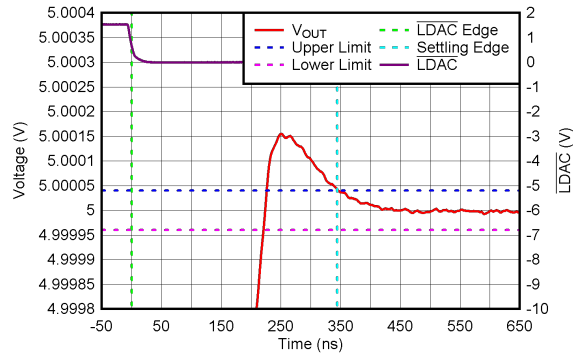


ゲイン = 1、リファレンス: $\pm 5\text{V}$ 、立ち下がりステップ: 10V

図 5-54. セトリング タイムから $\pm 0.0015\%$ FSR

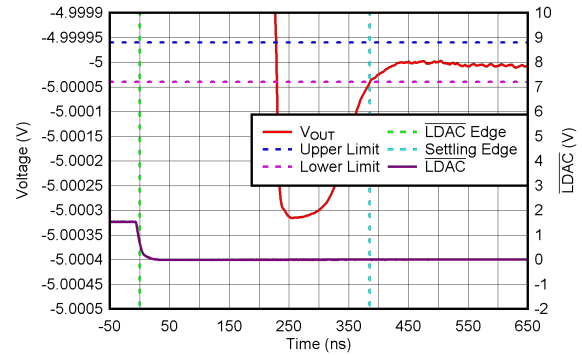
5.8.4 代表的特性：高速セトリングモード (続き)

$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$, $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$, $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$, $AV_{DD} = 5.0\text{V}$, $DV_{DD} = 1.5\text{V}$, $LV_{DD} = 1.5\text{V}$, $V_{IO} = 1.5\text{V}$, $V_{OSADJ_ENx} = 0$, $OFS_ENx = 0$, $ROFS_F = ROFS_S = V_{OSADJ} = AGND$ 。出力は無負荷とします。VREFP と VREFN については注記を参照してください。代表値はすべて $T_A = 25^\circ\text{C}$ での値です (特に記載のない限り)



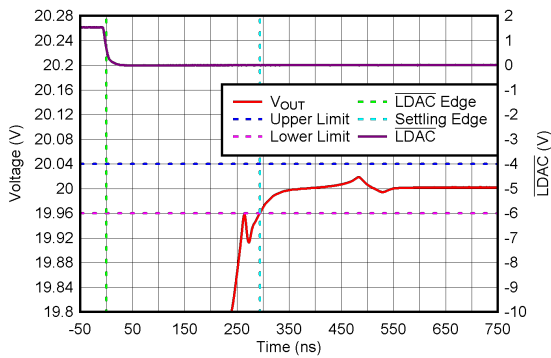
ゲイン = 1、リファレンス: $\pm 5\text{V}$ 、立ち上がりステップ: 10V

図 5-55. セトリング タイムから $\pm 0.0004\%$ FSR



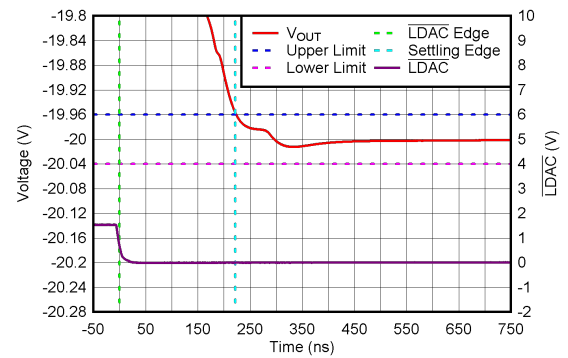
ゲイン = 1、リファレンス: $\pm 5\text{V}$ 、立ち下がりステップ: 10V

図 5-56. セトリング タイムから $\pm 0.0004\%$ FSR



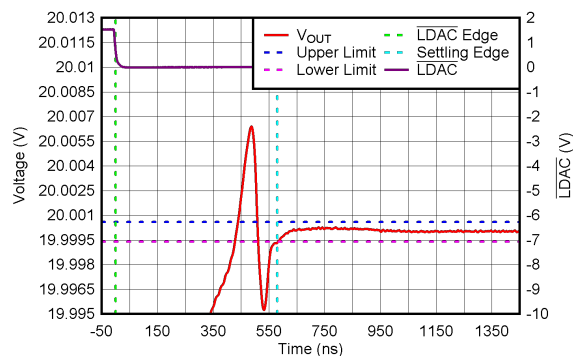
ゲイン = 1、リファレンス: $\pm 20\text{V}$ 、立ち上がりステップ: 40V

図 5-57. セトリング タイムから $\pm 0.1\%$ FSR



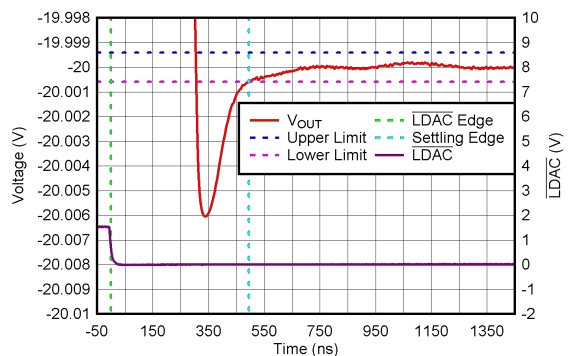
ゲイン = 1、リファレンス: $\pm 20\text{V}$ 、立ち下がりステップ: 40V

図 5-58. セトリング タイムから $\pm 0.1\%$ FSR



ゲイン = 1、リファレンス: $\pm 20\text{V}$ 、立ち上がりステップ: 40V

図 5-59. セトリング タイムから $\pm 0.0015\%$ FSR

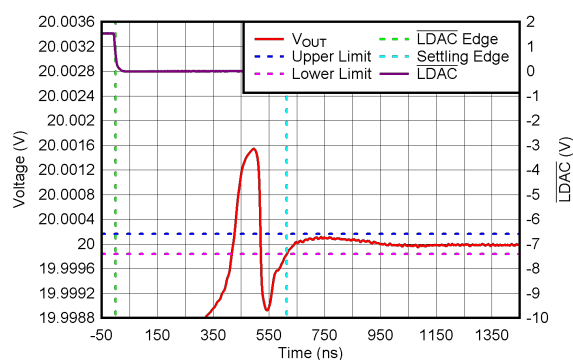


ゲイン = 1、リファレンス: $\pm 20\text{V}$ 、立ち下がりステップ: 40V

図 5-60. セトリング タイムから $\pm 0.0015\%$ FSR

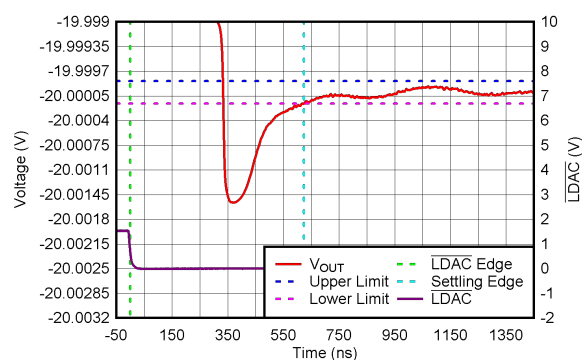
5.8.4 代表的特性：高速セトリングモード (続き)

$T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$, $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$, $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$, $AV_{DD} = 5.0\text{V}$, $DV_{DD} = 1.5\text{V}$, $LV_{DD} = 1.5\text{V}$, $V_{IO} = 1.5\text{V}$, $V_{OSADJ_ENx} = 0$, $OFS_ENx = 0$, $ROFS_F = ROFS_S = V_{OSADJ} = AGND$ 。出力は無負荷とします。VREFP と VREFN については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ での値です (特に記載のない限り)



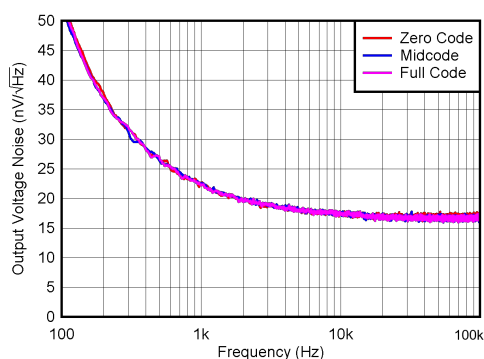
ゲイン = 1、リファレンス: $\pm 20\text{V}$ 、立ち上がりステップ: 40V

図 5-61. セトリング タイムから $\pm 0.0004\%$ FSR



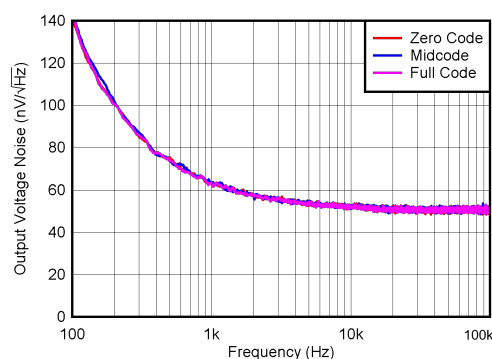
ゲイン = 1、リファレンス: $\pm 20\text{V}$ 、立ち下がりステップ: 40V

図 5-62. セトリング タイムから $\pm 0.0004\%$ FSR



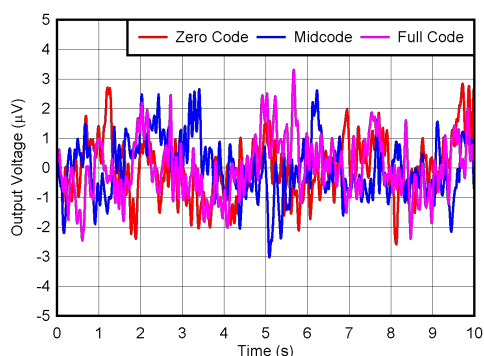
ゲイン = 1、 R_{1x} および R_{2x} 抵抗、バイポーラを除く

図 5-63. 出力ノイズと周波数との関係



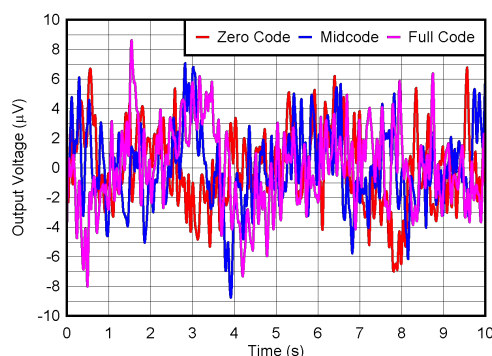
ゲイン = 4、 R_{1x} および R_{2x} 抵抗、バイポーラを除く

図 5-64. 出力ノイズと周波数との関係



ゲイン = 1、バイポーラ モード

図 5-65. 0.1Hz ~ 10Hz のフリッカ ノイズ



ゲイン = 4、バイポーラ モード

図 5-66. 0.1Hz ~ 10Hz のフリッカ ノイズ

5.8.4 代表的特性：高速セトリングモード (続き)

$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$, $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$, $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$, $AV_{DD} = 5.0\text{V}$, $DV_{DD} = 1.5\text{V}$, $LV_{DD} = 1.5\text{V}$, $V_{IO} = 1.5\text{V}$, $V_{OSADJ_ENx} = 0$, $OFS_ENx = 0$, $ROFS_F = ROFS_S = V_{OSADJ} = AGND$ 。出力は無負荷とします。VREFP と VREFN については注記を参照してください。代表値はすべて $T_A = 25^\circ\text{C}$ での値です (特に記載のない限り)

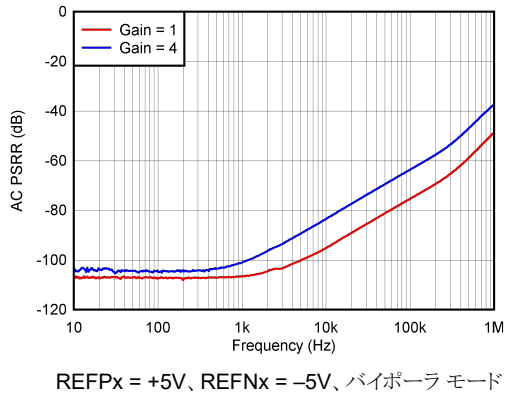


図 5-67. VCC PSRR と周波数との関係

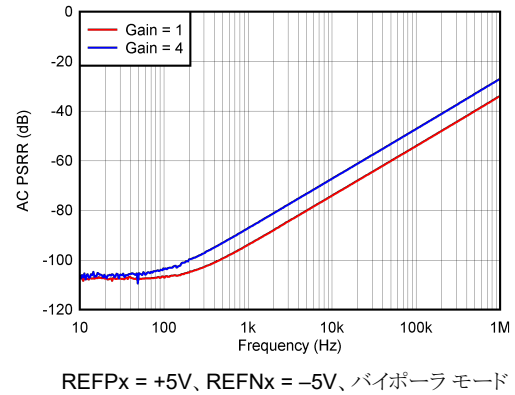


図 5-68. VEE PSRR と周波数との関係

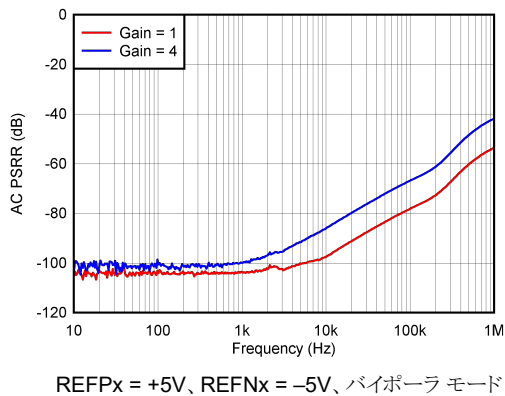


図 5-69. AVDD PSRR と周波数との関係

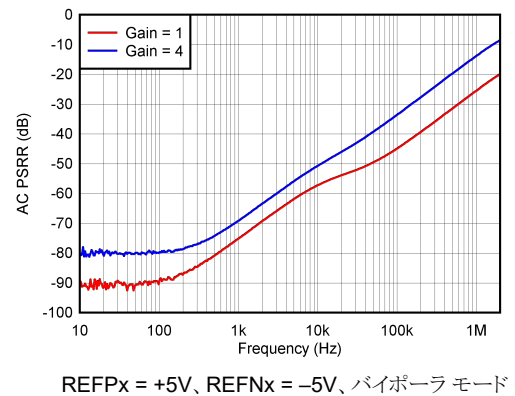


図 5-70. LVDD PSRR と周波数との関係

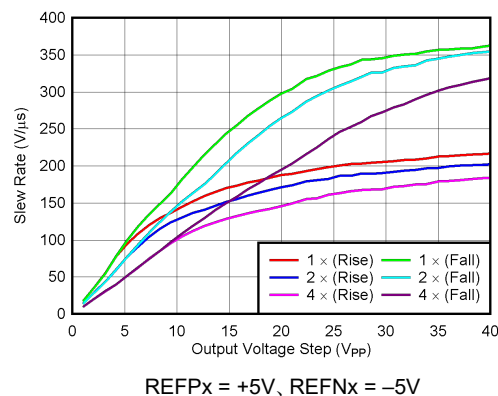
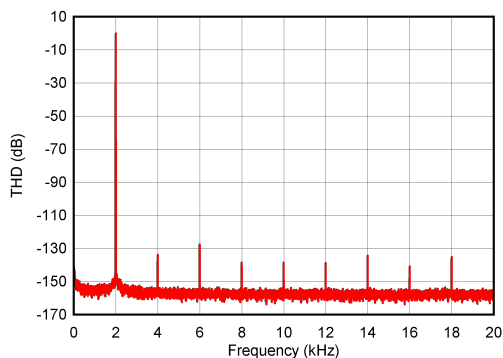


図 5-71. スルーレートと出力ステップサイズとの関係、バイポーラ

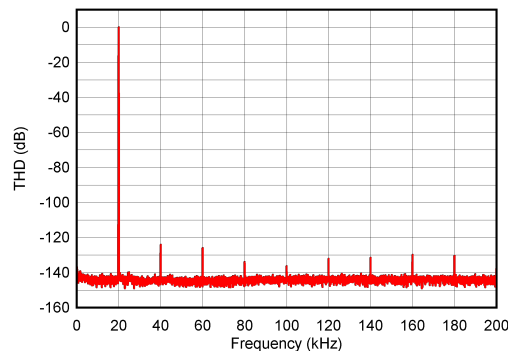
5.8.5 代表的特性 : AWG モード

$T_A = -40^{\circ}\text{C} \sim +100^{\circ}\text{C}$, $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$, $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$, $AV_{DD} = 5.0\text{V}$, $DV_{DD} = 1.5\text{V}$, $LV_{DD} = 1.5\text{V}$, $V_{IO} = 1.5\text{V}$, $V_{OSADJ_ENx} = 0$, $OFS_ENx = 0$, $ROFS_F = ROFS_S = V_{OSADJ} = AGND$ 。出力は無負荷とします。VREFP と VREFN については注記を参照してください。代表値はすべて $T_A = 25^{\circ}\text{C}$ の値です (特に記載のない限り)



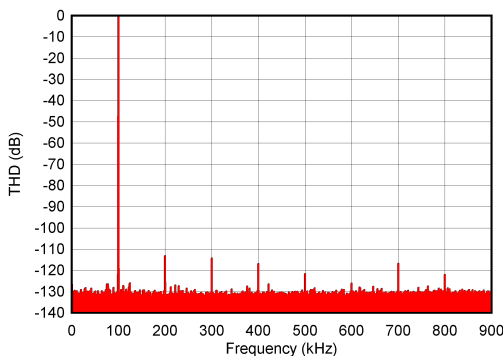
ゲイン = 1、REFPx = +5V、REFNx = -5V
出力スイング: 10V_{PP}、サンプリング周波数 (f_s): 5MHz

図 5-72. 2kHz でのシングル トーン スペクトラム



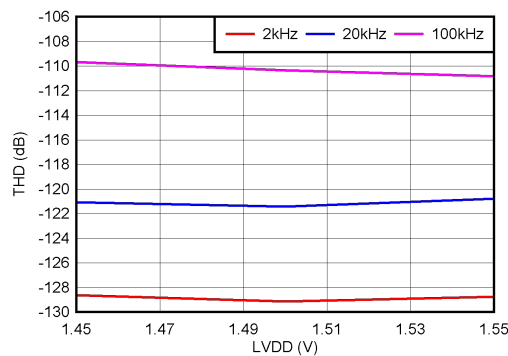
ゲイン = 1、REFPx = +5V、REFNx = -5V
出力スイング: 10V_{PP}、サンプリング周波数 (f_s): 5MHz

図 5-73. 20kHz でのシングル トーン スペクトラム



ゲイン = 1、REFPx = +5V、REFNx = -5V
出力スイング: 10V_{PP}、サンプリング周波数 (f_s): 5MHz

図 5-74. 100kHz でのシングル トーン スペクトラム

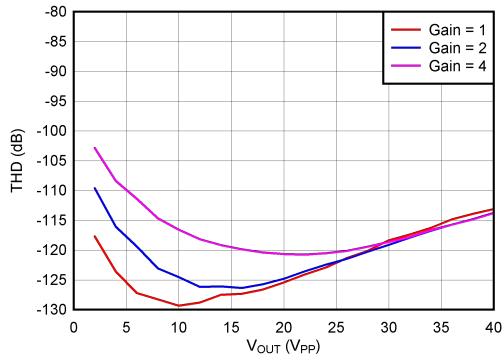


ゲイン = 1、REFPx = +5V、REFNx = -5V
出力スイング: 10V_{PP}、サンプリング周波数 (f_s): 5MHz

図 5-75. THD と LVDD の関係

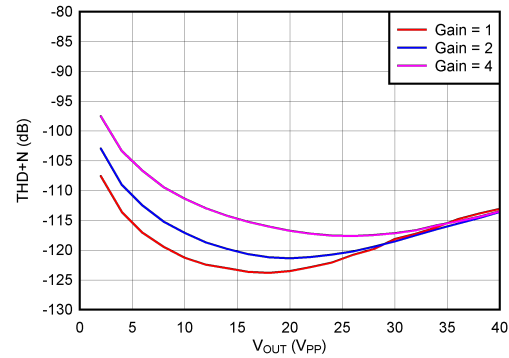
5.8.5 代表的特性 : AWG モード (続き)

$T_A = -40^\circ\text{C} \sim +100^\circ\text{C}$, $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$, $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$, $AV_{DD} = 5.0\text{V}$, $DV_{DD} = 1.5\text{V}$, $LV_{DD} = 1.5\text{V}$, $V_{IO} = 1.5\text{V}$, $V_{OSADJ_ENx} = 0$, $OFS_ENx = 0$, $ROFS_F = ROFS_S = V_{OSADJ} = AGND$ 。出力は無負荷とします。VREFP と VREFN については注記を参照してください。代表値はすべて $T_A = 25^\circ\text{C}$ での値です (特に記載のない限り)



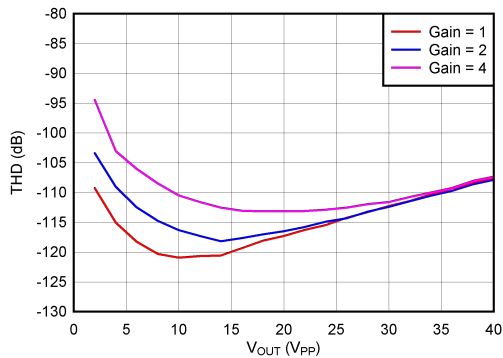
リファレンスは、設定したゲインでフルスイングが得られるようにスケールリング
スイッチング周波数 (f_S): 5MHz

図 5-76. 2kHz での THD と V_{OUT} スイングとの関係



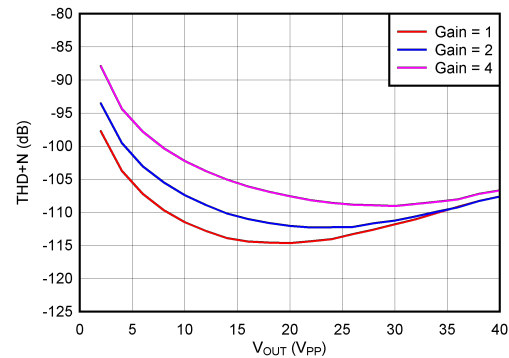
リファレンスは、設定したゲインでフルスイングが得られるようにスケールリング
スイッチング周波数 (f_S): 5MHz

図 5-77. 2kHz での THD + N と V_{OUT} スイングとの関係



リファレンスは、設定したゲインでフルスイングが得られるようにスケールリング
スイッチング周波数 (f_S): 5MHz

図 5-78. 20kHz での THD と V_{OUT} スイングとの関係

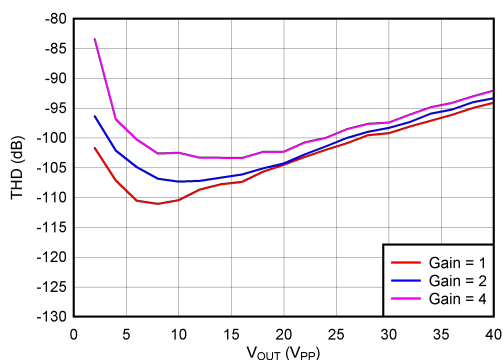


リファレンスは、設定したゲインでフルスイングが得られるようにスケールリング
スイッチング周波数 (f_S): 5MHz

図 5-79. 20kHz での THD + N と V_{OUT} との関係

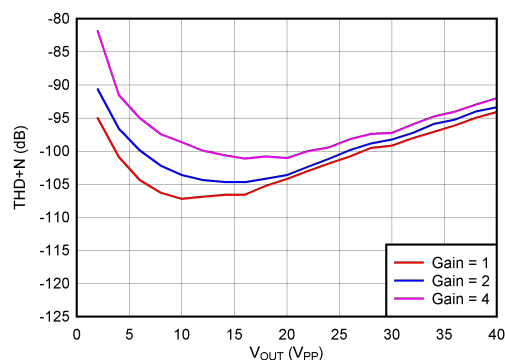
5.8.5 代表的特性 : AWG モード (続き)

$T_A = -40^\circ\text{C} \sim +100^\circ\text{C}$, $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$, $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$, $AV_{DD} = 5.0\text{V}$, $DV_{DD} = 1.5\text{V}$, $LV_{DD} = 1.5\text{V}$, $V_{IO} = 1.5\text{V}$, $V_{OSADJ_ENx} = 0$, $OFS_ENx = 0$, $ROFS_F = ROFS_S = V_{OSADJ} = AGND$ 。出力は無負荷とします。VREFP と VREFN については注記を参照してください。代表値はすべて $T_A = 25^\circ\text{C}$ での値です (特に記載のない限り)



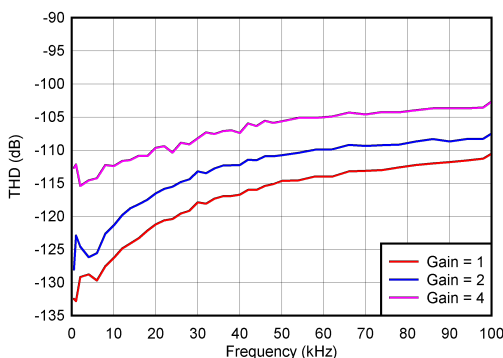
リファレンスは、設定したゲインでフルスイングが得られるようにスケールリング
 スイッチング周波数 (f_S): 5MHz

図 5-80. 100kHz での THD と V_{OUT} スイングとの関係



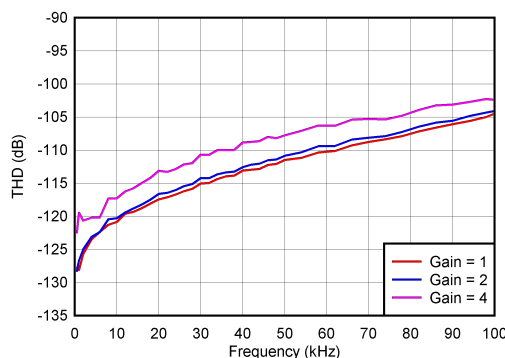
リファレンスは、設定したゲインでフルスイングが得られるようにスケールリング
 スイッチング周波数 (f_S): 5MHz

図 5-81. 100kHz での THD + N と V_{OUT} スイングとの関係



リファレンスは、設定したゲインでフルスイングが得られるようにスケールリング
 スイッチング周波数 (f_S): 5MHz

図 5-82. V_{OUT} スイング 10Vpp での THD と周波数の関係

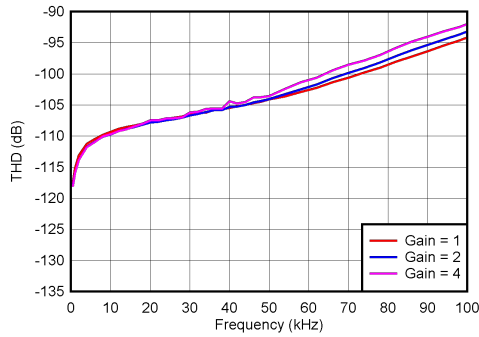


リファレンスは、設定したゲインでフルスイングが得られるようにスケールリング
 スイッチング周波数 (f_S): 5MHz

図 5-83. V_{OUT} スイング 20Vpp での THD と周波数の関係

5.8.5 代表的特性 : AWG モード (続き)

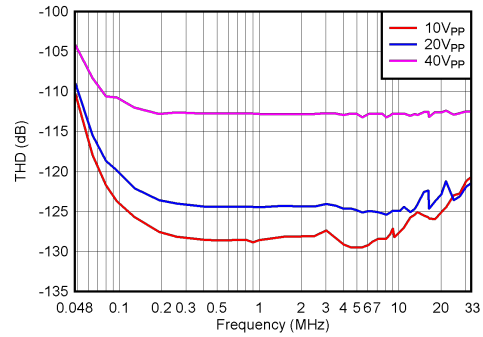
$T_A = -40^\circ\text{C} \sim +100^\circ\text{C}$, $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$, $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$, $AV_{DD} = 5.0\text{V}$, $DV_{DD} = 1.5\text{V}$, $LV_{DD} = 1.5\text{V}$, $V_{IO} = 1.5\text{V}$, $V_{OSADJ_ENx} = 0$, $OFS_ENx = 0$, $ROFS_F = ROFS_S = V_{OSADJ} = AGND$ 。出力は無負荷とします。VREFP と VREFN については注記を参照してください。代表値はすべて $T_A = 25^\circ\text{C}$ での値です (特に記載のない限り)



リファレンスは、設定したゲインでフルスイングが得られるようにスケールリング

スイッチング周波数 (f_s): 5MHz

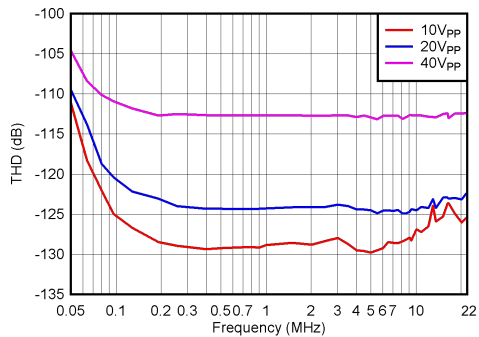
図 5-84. V_{OUT} スイング $40V_{pp}$ での THD と周波数の関係



ゲイン = 1

リファレンスは、設定したゲインでフルスイングが得られるようにスケールリング

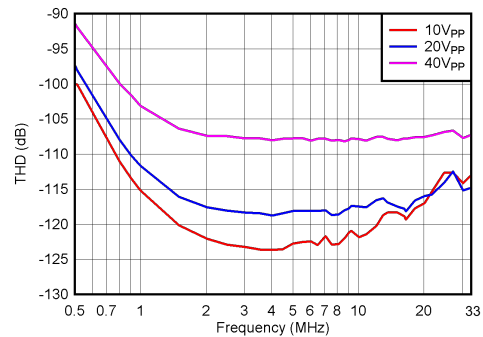
図 5-85. 各出力振幅における THD とサンプリング周波数 (f_s) の関係 ($f_{OUT} = 2\text{kHz}$, 高速モード (16 ビット))



ゲイン = 1

リファレンスは、設定したゲインでフルスイングが得られるようにスケールリング

図 5-86. 各出力振幅における THD とサンプリング周波数 (f_s) の関係 ($f_{OUT} = 2\text{kHz}$, 高分解能モード (18 ビット))



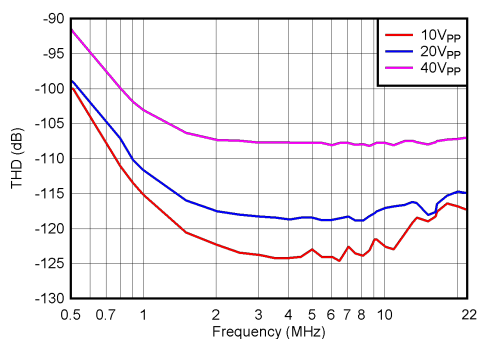
ゲイン = 1

リファレンスは、設定したゲインでフルスイングが得られるようにスケールリング

図 5-87. 各出力振幅における THD とサンプリング周波数 (f_s) の関係 ($f_{OUT} = 20\text{kHz}$, 高速モード (16 ビット))

5.8.5 代表的特性 : AWG モード (続き)

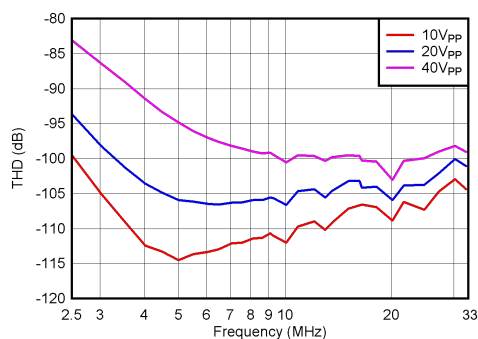
$T_A = -40^\circ\text{C} \sim +100^\circ\text{C}$, $V_{CC} = +8.5\text{V} \sim +23.5\text{V}$, $V_{EE} = -8.5\text{V} \sim -23.5\text{V}$, $AV_{DD} = 5.0\text{V}$, $DV_{DD} = 1.5\text{V}$, $LV_{DD} = 1.5\text{V}$, $V_{IO} = 1.5\text{V}$, $V_{OSADJ_ENx} = 0$, $OFS_ENx = 0$, $ROFS_F = ROFS_S = V_{OSADJ} = AGND$ 。出力は無負荷とします。VREFP と VREFN については注記を参照してください。代表値はすべて $T_A = 25^\circ\text{C}$ での値です (特に記載のない限り)



ゲイン = 1

リファレンスは、設定したゲインでフルスイングが得られるようにスケールリング

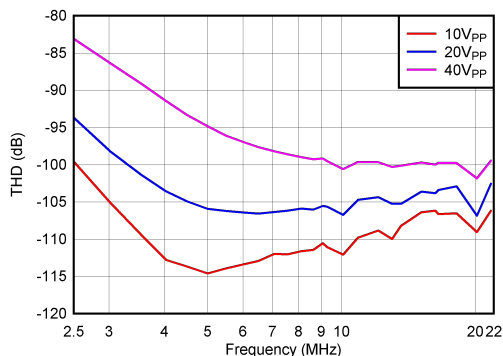
図 5-88. 各出力振幅における THD とサンプリング周波数 (f_s) の関係 ($f_{OUT} = 20\text{kHz}$ 、高分解能モード (18 ビット))



ゲイン = 1

リファレンスは、設定したゲインでフルスイングが得られるようにスケールリング

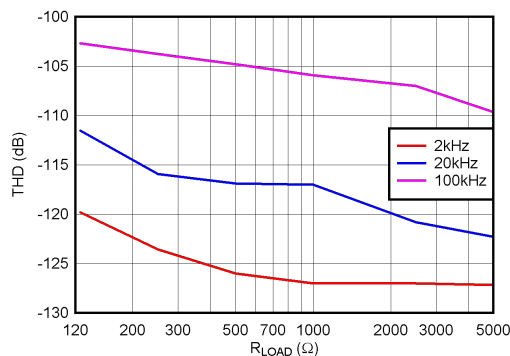
図 5-89. 各出力振幅における THD とサンプリング周波数 (f_s) の関係 ($f_{OUT} = 100\text{kHz}$ 、高速モード (16 ビット))



ゲイン = 1

リファレンスは、設定したゲインでフルスイングが得られるようにスケールリング

図 5-90. 各出力振幅における THD とサンプリング周波数 (f_s) の関係 ($f_{OUT} = 100\text{kHz}$ 、高分解能モード (18 ビット))



ゲイン = 1

図 5-91. $10V_{pp}$ での THD と R_{LOAD} との関係

6 詳細説明

6.1 概要

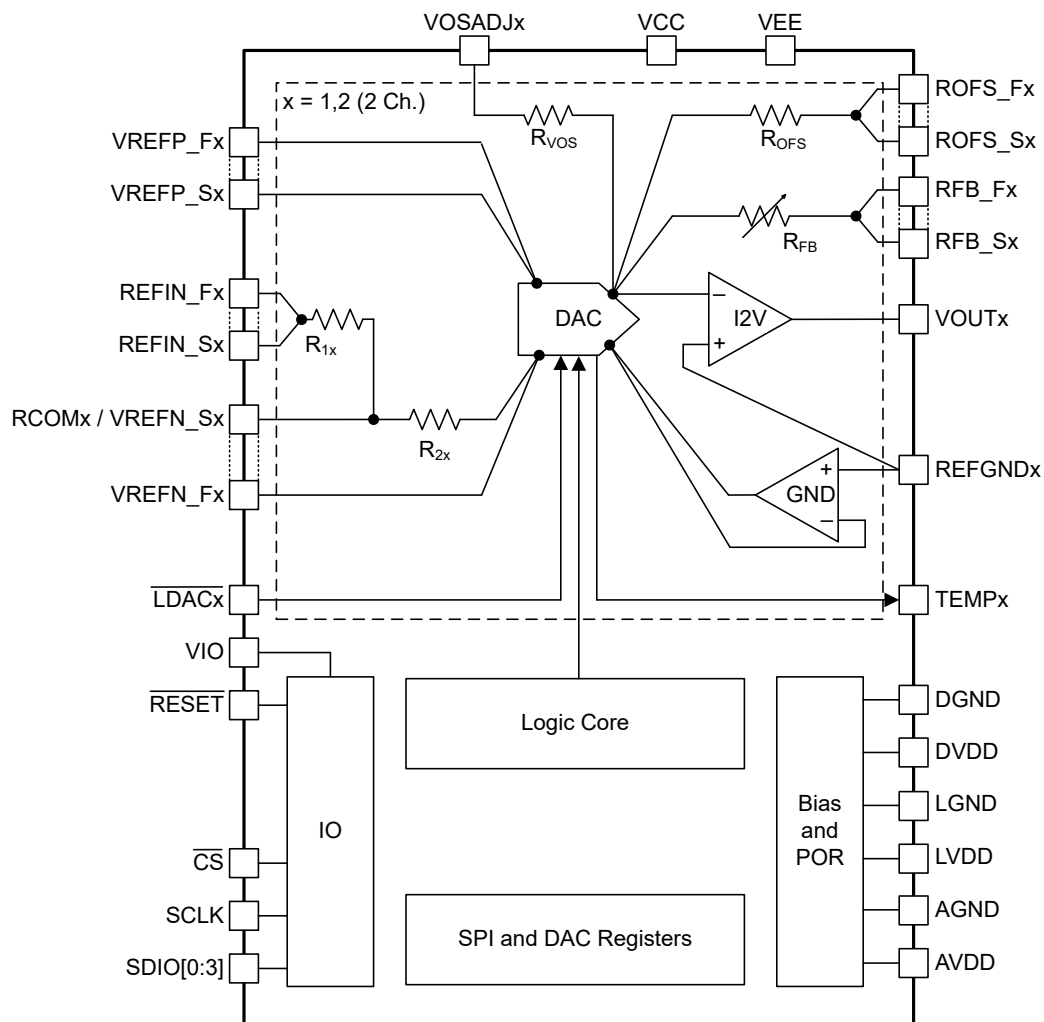
DAC90802 は、独自の乗算型 DAC (MDAC) アーキテクチャを採用した、デュアル チャネル、18 ビット、電圧出力のデジタル / アナログ コンバータ (DAC) です。

各チャネルには、帰還用抵抗接続 (RFB)、オフセット (ROFS)、オフセット調整 (VOSADJ)、負荷 DAC ($\overline{\text{LDAC}}$)、温度センサ出力 (TEMP)、基準電圧 (VREFP、VREFN)、整合リファレンス反転 (REFIN、RCOM) など、独立したフル機能 DAC があります。

DAC90802 のチャンネルは、四つのデータ入力 / 出力ライン (SDIO0 ~ SDIO3)、チップ セレクト ($\overline{\text{CS}}$)、シリアル クロック (SCLK) 入力を備えたクワッド SPI 互換のシリアル データ インターフェイスを共有しています。非同期アクティブ Low リセットピンを使用して、DAC コードとデバイスの機能状態をリセットします。さらに、 $\overline{\text{LDAC}}$ 入力を使用して、DAC 出力をシステム全体の信号と同期します。

DAC90802 には、外部リファレンス電圧が必要です。リファレンス、リファレンス反転、オフセット ピンの構成によって、ユニポーラ動作、バイポーラ動作、非対称動作のいずれかを選択します。オフセット調整ピンを構成して、システム全体のオフセット誤差を微調整します。**DAC90802** にはパワーオンリセット (POR) 回路が組み込まれており、**5k Ω** 抵抗を使用して **DAC** 出力が確実にゼロにプルダウンされます。

6.2 機能ブロック図



6.3 機能説明

6.3.1 D/A コンバータ

DAC90802 は、電流ステアリング型の R-2R ラダー アーキテクチャを採用しています。図 6-1 に、代表的な等価 DAC チャンネルを示します。各 DAC には、内蔵の電流電圧変換アンプで使用するための、マッチングの取れた帰還抵抗が搭載されています。RFB ピンは、アンプの出力に接続されます。

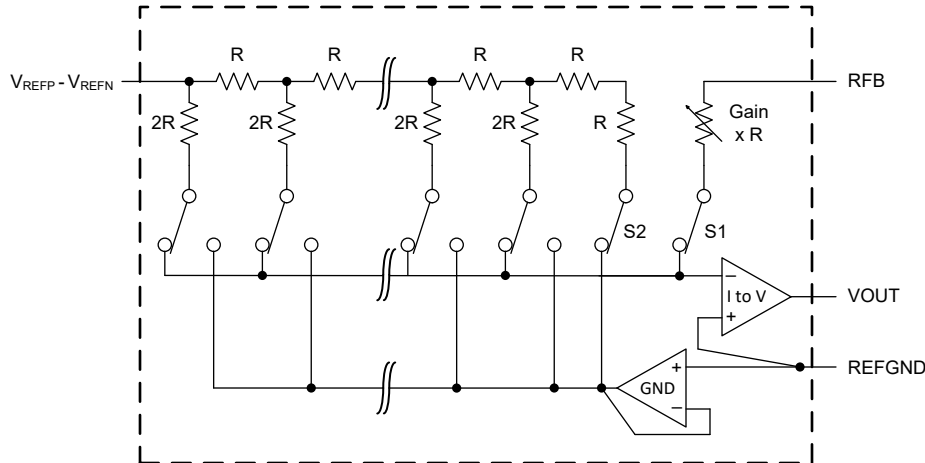


図 6-1. 標準的な等価 DAC チャンネル

DAC90802 は、DC と AC の両方のリファレンス電圧入力をサポートしています。RFB と整合された内部帰還抵抗回路により、ユーザーは DAC 出力電圧のゲイン G_{FB} を $1V/V$ 、 $2V/V$ 、 $4V/V$ のいずれかにデジタル的に選択できます。RFB を測定するときは、デバイスに電源を供給し、適切なゲインを選択した状態にしておく必要があります。そうしないと、導通が得られません。式 1 は DAC の伝達関数を示しています。

$$V_{OUT} = - \left[G_{FB} \cdot \left(V_{REFP} - V_{REFP} \frac{n}{2^N} + V_{REFN} \frac{n}{2^N} \right) + G_{OFF} \cdot V_{OFF} + G_{ADJ} \cdot V_{ADJ} \right] \cdot [1 + G_{OV}] \quad (1)$$

ここで、

$G_{FB} = \frac{R_{FB}}{R_{DAC}}$ は DAC のゲイン設定で、

n はプログラムされた DAC コードで、

N は DAC の分解能で、

V_{REFP} , V_{REFN} は、それぞれ V_{REFP} ピンと V_{REFN} ピンに印加されるリファレンス電圧で、

V_{OFF} , V_{ADJ} は、それぞれ $ROFS$ ピンと $VOSADJ$ ピンを使用して適用される粗オフセット電圧と微オフセット電圧です (詳細については、[セクション 6.3.1.4](#) を参照)、

$G_{OFF} = \frac{R_{FB}}{R_{OFS}}$, $G_{ADJ} = \frac{R_{FB}}{R_{VOS}}$ はそれぞれ、粗オフセット調整ゲインと微調整ゲインです (詳細については、[セクション 6.3.1.4](#) を参照)、

そして、

V_{OUT} は DAC 出力電圧です

注

DAC 分解能 を使用します N コードの書き込みに使用されるレジスタによる n に近づきます。たとえば、18b DAC90802 で 16b レジスタを使用する場合、 N 16 です。

基本的なユニポーラ動作 (オフセットまたは調整電圧なし) の場合は、 $V_{REFP} = 0$, $V_{REFN} = -V_{REF}$

$$V_{OUT} = G \times V_{REF} \frac{n}{2^N} \quad (2)$$

ゼロコード、ミッドコード、フルコードの値は

$$V_{OUT}^{n=0} = 0, V_{OUT}^{n=2^{N-1}} = G \times \frac{V_{REF}}{2}, V_{OUT}^{n=2^N-1} = G \times V_{REF} \left(1 - \frac{1}{2^N} \right) \text{ のようになります。}$$

基本的なバイポーラ動作 (オフセットまたは電圧の調整なし) の場合は、 $V_{REFP} = V_{REF}$, $V_{REFN} = -V_{REF}$

$$V_{OUT} = -G \left(V_{REF} - 2 V_{REF} \frac{n}{2^N} \right) = G \times V_{REF} \left(\frac{2n - 2^N}{2^N} \right) \quad (3)$$

ゼロコード、ミッドコード、フルコードの値は

$$V_{OUT}^{n=0} = -G \times V_{REF}, V_{OUT}^{n=2^{N-1}} = 0, V_{OUT}^{n=2^N-1} = G \times V_{REF} \left(1 - \frac{1}{2^{N-1}} \right) \text{ のようになります。}$$

6.3.1.1 リファレンス

DAC90802 のアーキテクチャにより、AC と DC の両方の基準信号を使用でき、各独立した DAC チャンルの「電気的特性」に規定されている V_{REF} までの入力リファレンス電圧に対応できます。リファレンス電圧入力 V_{REFP} および V_{REFN} は、コード間で一定の公称入力抵抗を示します。 I_{REFP} と I_{REFN} で説明されている駆動能力を実現するリファレンス駆動回路を設計します。 $REFIN$ と $RCOM$ の間に接続されたマッチング済みのリファレンス反転用抵抗と、適切なオペアンプを組み合わせることで信号を反転させる方法は、使っても使わなくてもかまいません。単一リファレンス電圧接続を使用する場合、フルバイポーラ動作のシステム誤差計算に R_1/R_2 の直線性を含めます。 $REFGND$ は、DAC に使うすべてのリファレンス電圧に対するグラウンド センスラインとして接続します。

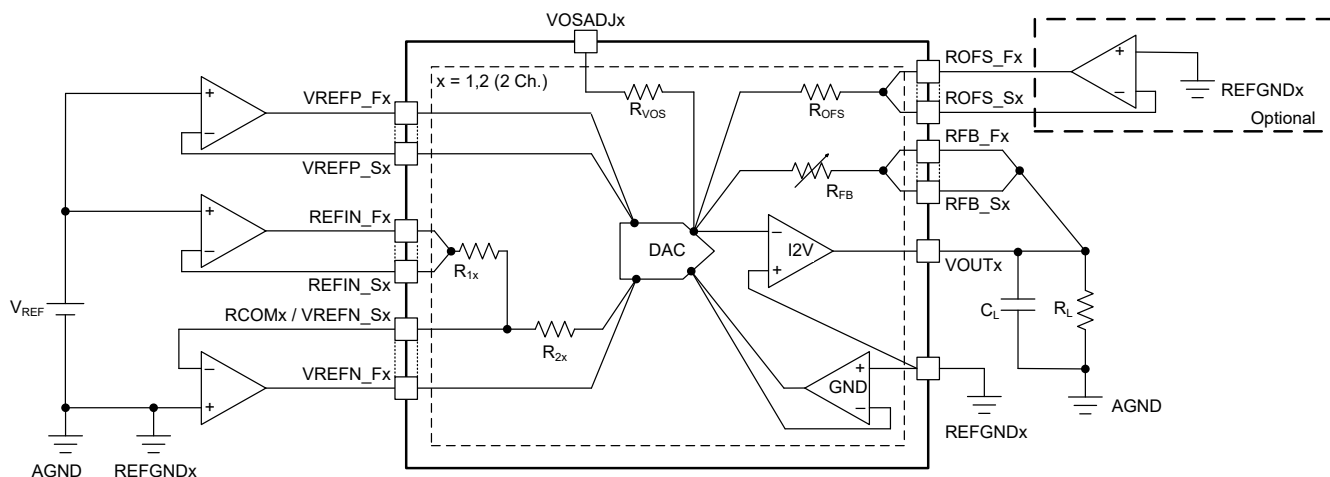


図 6-2. 単一リファレンス接続

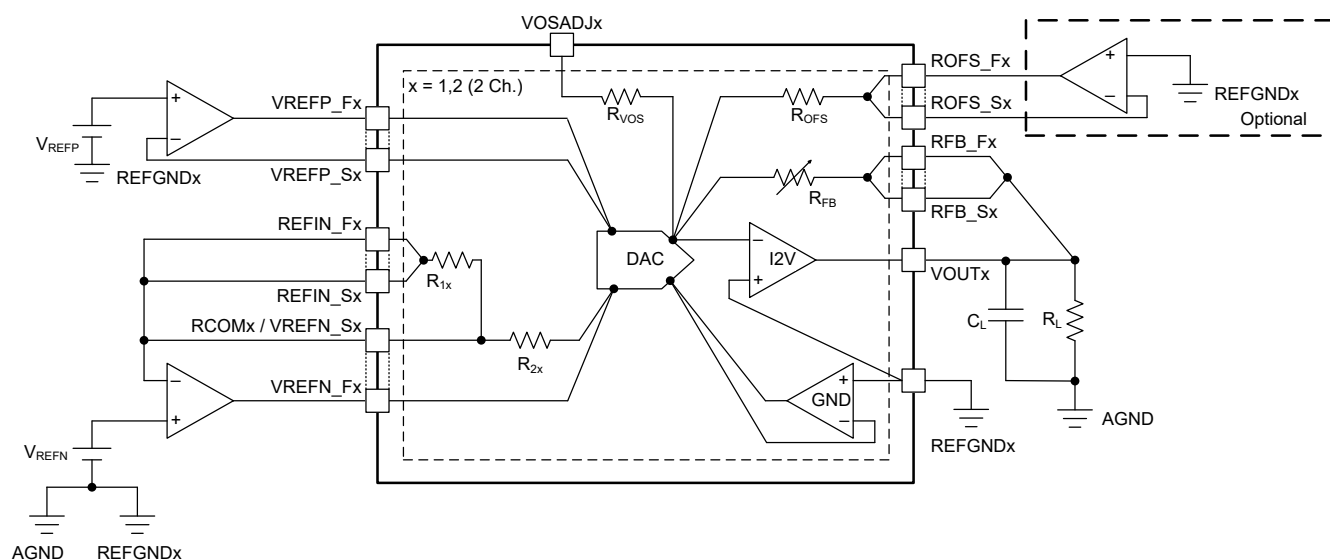


図 6-3. デュアル リファレンス接続

6.3.1.2 出力スパン

DAC90802 の電圧出力は、I-to-V_{OUT} の出力範囲 (「電気的特性」で規定) によって制限されます。V_{OUT} の電圧を帰還 RFB に接続し、内部 I-V アンプの高速で安定した性能を実現するため、規定最大 C_{LOAD} の範囲内に出力容量を維持します。使用可能な C_{LOAD} 範囲を拡張するため、直列抵抗を挿入します。

ROFS ピンを使用して、DAC90802 の電流出力ノードに粗いオフセットを導入します。固定ゲインでは、内部 R_{OFS} 粗オフセット抵抗が R_{DAC} にマッチングされ G_{OFF} に近づきます。VOSADJ ピンを使用して、DAC90802 の電流出力ノードに微細なオフセットを導入します。固定ゲインでは、内部 R_{VOS} 微調整オフセット抵抗が R_{DAC} にマッチングされ G_{ADJ} に近づきます。この調整は、主に DAC 出力の小さなオフセットのキャリブレーションに使われます。

6.3.1.2.1 ゲイン オーバーレンジ

RFB ピンで選べる帰還抵抗には、公称ゲイン G に対してゲイン オーバーレンジ G_{OV} が含まれています。ゲイン オーバーレンジがあることで、キャリブレーション後のシステムでも、正しいゲインでフル ダイナミック レンジを確保できます。DAC90802 のフル分解能 N を使用すると、システム全体のミッシング コードなしで DNL 性能を維持できます。セクション 5.5 の DAC90802 のすべてのエンドポイントコード誤差の仕様は、オーバーレンジを考慮して規定されています。

6.3.1.3 出力同期

図 6-4 に示すように、DAC90802 はダブル バッファ アーキテクチャを使用しており、出力のタイミングを精密に制御できます。

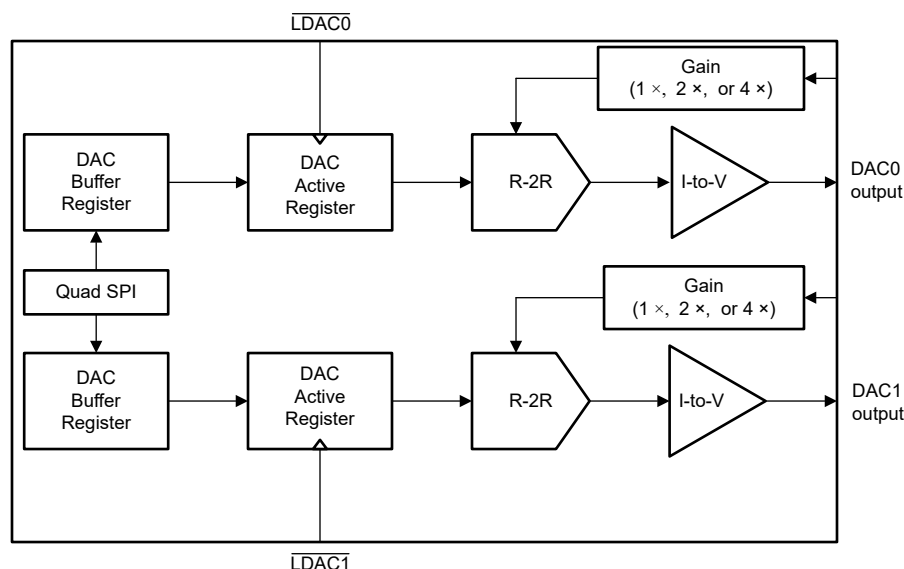


図 6-4. ダブル バッファ DAC アーキテクチャ

DAC90802 は、以下の三つの DAC 更新方式のいずれかでタイミング制御をサポートしています。

- 非同期更新 (ASYNC_UPDT = 1, SFT_LDAC_EN = 任意)
 - SPI フレーム内のエンド オブ パケット (EOP) によって、DAC の最終段出力バッファがチャンネルごとに独立して制御されます。LDAC 入力は動作に影響しません
 - 16 ビットのデータレジスタでは、二番目の 8 ビット データ バイトの終わりが EOP になります。実際に何サイクル目になるかは、SPI の動作モードによって変わります
 - DAC90802 にはブロードキャスト モードが実装されていないため、DAC の複数のチャンネルの同期が必要な場合には、このモードは推奨されません

- このモードはレイテンシが最も小さく、高速な制御ループなど、レイテンシが最も重要な制約となるアプリケーションでの使用を想定しています (例: 高速セトリング モード)
- 同期 SPI ベースの更新 (ASYNC_UPDT = 0, SFT_LDAC_EN = 1)
 - SFT_LDAC はバッファの更新をトリガします。LDAC 入力は影響を与えません
 - SFT_LDAC SPI フレームの EOP によって、DAC 更新がトリガされます
 - 非同期更新方式を補う方法として、SPI を使った同期更新があります。SFT_LDAC_EN を使うと、選んだすべてのチャンネルで同時に更新を受け取れるため、DAC90802 の全チャンネルを SPI だけで直接同期させることができます。
 - 物理 LDAC 入力が存在しない場合、SFT_LDAC は、乗算モードなどで最高の AC 性能を実現するために DAC チャンネルを同期させる方法を提供します
- 同期 LDAC 更新 (ASYNC_UPDT = 0, SFT_LDAC_EN = 0)
 - LDAC は、DAC の最後のバッファへの高精度、低ジッタ クロック入力として動作することで、最高精度のタイミング制御を実現します
 - 高精度クロック信号による同期 LDAC 制御は、DAC 出力タイミングとスキュー制御を行うための最も正確な方法です
 - DAC90802 は、DAC チャンネルごとに独立した LDAC 入力をサポートしています。この機能によって、出力の補間や、信号チェーン全体のスキュー均等化など、さまざまな用途に使えるようになります
 - 超低 THD アプリケーションでは、AWG モードなどで DAC と最高の性能を実現するために、低ジッタ クロックを使用する同期 LDAC 更新を使用します

6.3.1.4 サーマル センサ

DAC90802 には、チャンネルごとのサーマル センサ出力があり、アナログ電圧または内部トリガのサーマル フラグ デジタル状態出力のいずれかを選択できます。ピン出力機能は各モードで異なり、[セクション 5.5](#) に規定されています。

DAC90802 は、まだ高電圧に対応した低熱ノイズ アプリケーション向けに、超高精度で熱係数が非常に低いマッチング抵抗を使って設計されています。高電圧で低ノイズのアプリケーションでは、熱管理と、自己発熱の系統的な補償が必要です。TEMP のアナログ出力モードと外付け ADC を使い、DAC を駆動するシステム コントローラまたは FPGA で、系統的な自己発熱をデジタル的に補正します。自己発熱の補正が不要なアプリケーションでは、TEMP をデジタル モードで使い、サーマル フラグ出力として利用します (必要に応じて、適切なデジタル ファンアウト バッファを使用します)。

6.3.2 電源オン

DAC90802 には、複数の電源レールが必要です。DAC90802 にはパワーオン リセット (POR) 回路が組み込まれており、5kΩ 抵抗を使用して DAC 出力が確実にゼロにプルダウンされます。リセット時にアクティブ LOW 信号をアサートすると、デバイスがリセットされ、すべてのレジスタがクリアされます。その結果、POR イベントと同じ結果になります。その後、リファレンス電圧を続く電源ドメインのシーケンスは使用できますが、推奨シーケンスは[表 6-1](#)に従います。

表 6-1. 電源およびリファレンスの推奨シーケンス

シーケンス	目的	ピン
1	アナログ高電圧負電源レール	VEE
2	アナログ高電圧正レール	VCC
3	アナログ低電圧レール	AVDD
4	デジタルおよび通信電源	LVDD、VIO
5	デジタル コア電源	DVDD
6	参照 (使用時)	VREFP、VREFN、REFIN、ROFS、VOSADJ

6.3.3 シリアル データ インターフェイス

DAC90802 は、二つの DAC チャンネルに対して多用途な共有クアッド SPI を使用します。SPI ポートは、書き込み専用の高速なクアッド SPI モード (データ入力ピン 4 本) から、デイジーチェーン モード (複数のデバイスで配線を共有) まで、さまざまな配線方法に対応しています。このデバイスは、ほとんどの構成で、最大 66MHz の SCLK 周波数で SDR (シングル データ レート) と DDR (デュアル データ レート) の両方に対応しています。ただし、デイジーチェーン モードと読み戻しモードでは、いくつかの制限があります。データは常に MSB ファーストで並びます。

SDR モードでは、アクティブな SDIO ピン上のデータは、SCLK の最初の有効な立ち下がりエッジからレジスタに取り込まれます。このモードでは、アクティブな SDIO ピンはそれぞれ、SCLK の 1 サイクルごとにデータ フレームの 1 ビットを取り込みます。DDR モードでは、データは SCLK の有効な立ち上がりエッジと立ち下がりエッジの両方でレジスタに取り込まれます。最初のサンプリングは、立ち上がりエッジで行われます。このモードでは、SCLK サイクルごとに各アクティブな SDIO ピンで 2 ビットのデータがキャプチャされます。

SCLK エッジは、 $\overline{CS}$ が Low のときに有効になり、指定されたセットアップおよびホールド時間を考慮した後です。サイクル数が選択された動作モードと矛盾するため、 $\overline{CS}$ ピンを Low に保持することは推奨しません。この状況は、誤ったデータキャプチャや、データ パケットの無視につながる可能性があります。

6.3.3.1 SPI の構成

デフォルトの SPI 動作モードでは、DAC90802 の SPI 書き込みでは、DAC_DATA_CHx_X レジスタを除く、すべてのレジスタに 40 ビットのデータ フレームが使用されます。CHx_DATA_HS レジスタは 24 ビット フレームを使用し、CHx_DATA_HR レジスタは 32 ビット フレームを使用します。R/W ビットと 7 ビットのアドレスの後には、32 ビット、24 ビット、16 ビットのいずれかのデータが続きます。データの読み戻しに対応している構成では、読み戻しのデータ フレームも、その前の書き込みサイクルと同じ形式になります。SPI ストリーム モードでは、R/W ビットとアドレス ビットが省略されるため、DAC により高速にデータを転送できます。

標準 SPI の場合、SDIO0 のみを入力として使用しますが、フレーム長のオプションを図 6-5、図 6-7、図 6-6 に示します。

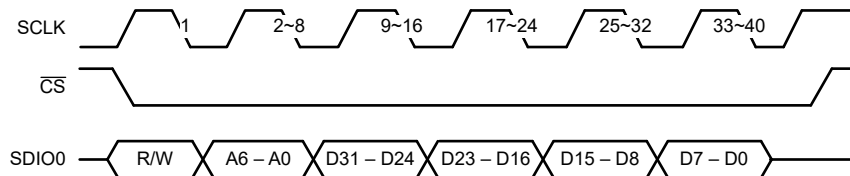


図 6-5. SDR 標準 SPI 40 ビット フレーム

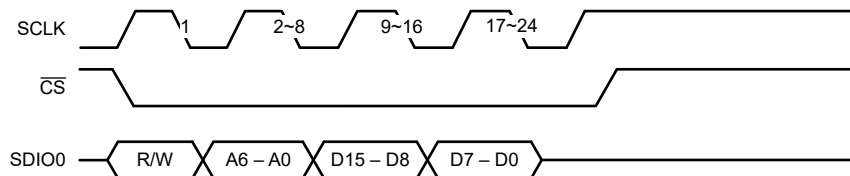


図 6-6. SDR 標準 SPI 24 ビット フレーム CHx_DATA_HS レジスタ

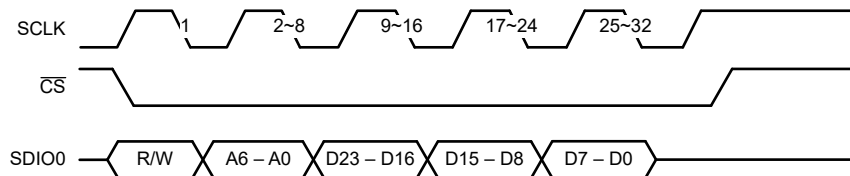


図 6-7. CHx_DATA_HR レジスタの SDR 標準 SPI 32 ビット フレーム

クワッド SPI の幅も、表 6-2 に従ってピン構成により、標準 SPI、デュアル SPI、クワッド SPI の間で選択できます。このデバイスは、どの SPI 幅構成でも、シングル データ レート通信とダブル データ レート通信に対応しています。データレジスタでは、ストリーム モードにも対応しています。デフォルト設定は、標準 SPI を使用する SDR モードです。

表 6-2. サポートされるクワッド SPI ピン幅

SPI 幅モード	標準 SPI (SPI_CFG.SPI_MIO = 0x0)		デュアル SPI (SPI_CFG.SPI_MIO = 0x1)		クワッド SPI (SPI_CFG.SPI_MIO = 0x2)	
データ レート モード (SPI_CFG.SPI_DDR)	SDR	DDR	SDR	DDR	SDR	DDR
シリアル データ入力	SDIO0 のみ		SDIO0 および SDIO1		SDIO0、SDIO1、SDIO2、SDIO3	
シリアル データ出力	SDIO3 のみ	DDR はサポートされていません	SDIO2、SDIO3	DDR はサポートされていません	読み戻しはサポートされていません	

表 6-3. アドレス バイトによるサポートされるデータ フレーム長

フィールド	アドレス バイト	データ バイト	標準 SPI		デュアル SPI		クワッド SPI	
			SDR	DDR	SDR	DDR	SDR	DDR
CHx_DATA_HS	1	2	24 サイクル	12 サイクル	12 サイクル	6 サイクル	6 サイクル	3 サイクル
CHx_DATA_HR	1	3	32 サイクル	16 サイクル	16 サイクル	8 サイクル	8 サイクル	4 サイクル
その他	1	4	40 サイクル	20 サイクル	20 サイクル	10 サイクル	10 サイクル	5 サイクル

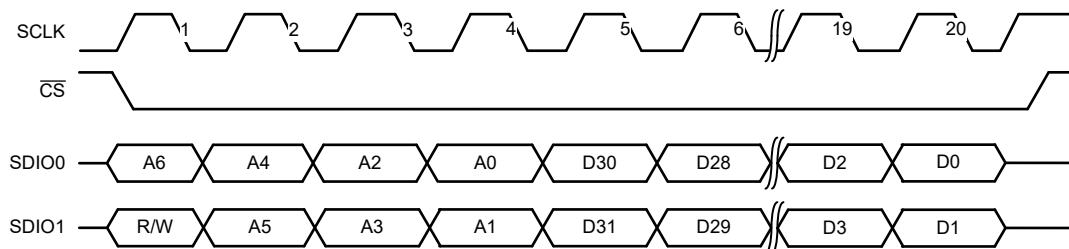


図 6-8. SDR デュアル SPI 40 ビット フレーム

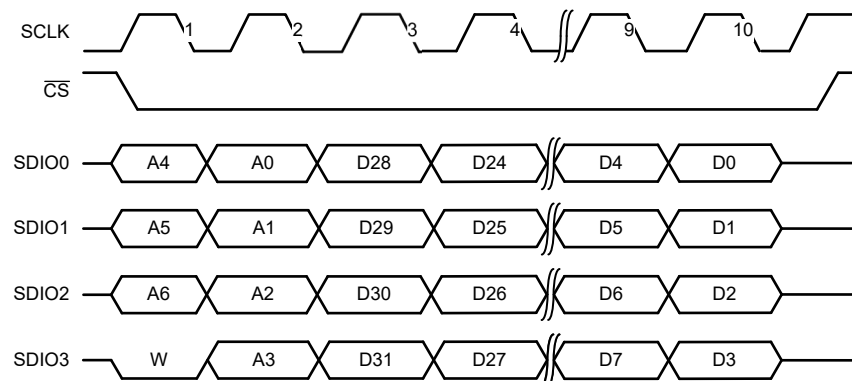


図 6-9. SDR クワッド SPI 40 ビット フレーム

6.3.3.2 SPI ストリーム モード

DAC90802 ストリーム モードを使用して、DAC への書き込みスループットを最大化し、アドレス バイトの繰り返し使用を回避します。ストリーム モードでは、SPI は書き込みだけに対応します。設定レジスタなど、DAC_DATA_CHx_X レジスタ以外のレジスタは、ストリーム モードに対応していません。表 6-4 に、最大の 66MHz SCLK 周波数で実現可能なクロック サイクル数と DAC 更新レートを示します。

表 6-4. SPI ストリーム モードの更新レート、SCLK 66MHz

データレジスタフィールド	データ バイト	標準 SPI		デュアル SPI		クワッド SPI	
		SDR	DDR	SDR	DDR	SDR	DDR
CHx_DATA_HS	2	16 サイクル 4.125MUPS	8 サイクル 8.25MUPS	8 サイクル 8.25MUPS	4 サイクル 16.5MUPS	4 サイクル 16.5MUPS	2 サイクル 33MUPS

表 6-4. SPI ストリーム モードの更新レート、SCLK 66MHz (続き)

データレジスタフィールド	データ バイト	標準 SPI		デュアル SPI		クアッド SPI	
		SDR	DDR	SDR	DDR	SDR	DDR
CHx_DATA_HR	3	24 サイクル 2.75MUPS	12 サイクル 5.5MUPS	12 サイクル 5.5MUPS	6 サイクル 11MUPS	6 サイクル 11MUPS	3 サイクル 22MUPS

DAC90802 内の SPI ストリーム データを二つのチャンネルに分配する方法を構成するには、SPI_CFG.SS_EN を使用します。ストリーム モードを使う場合は、R/W ビットを 0b にして SDI 入力を開始します。このヘッダには、最初のデータワードを受け取るチャンネルの DAC_DATA_CHx_X レジスタのアドレスを指定します。その後、 $\overline{CS}$ を Low に保ったまま、続くデータワードを送ります。以下の例に示すように、 $\overline{CS}$ を High にして、レジスタの設定されたデータ幅に対応するワード境界でストリーム書き込みを完了します。

SPI_CFG.SS_EN = 0 がデフォルトです。この設定では、データ パケットが二つのチャンネルの対応するデータレジスタに交互に書き込まれます。二つのチャンネルは、データ パケットを自動的に交互に受け取ります。最初のパケットは指定したアドレスに、次のパケットはもう一方のチャンネルの対応するアドレスに書き込まれます。一つの DAC で最も高いスループットを得たい場合は、SPI_CFG.SS_EN = 1 に設定します。ストリーム モードでの書き込みは SPI_CFG.SS_EN = 0 の場合と同じです。ただし、続けて送られるデータ パケットはすべて、指定したアドレスのチャンネルに書き込まれ、もう一方のチャンネルはストリームのデータ パケットを一切受け取りません。以下に、標準 SPI、デュアル SPI、クアッド SPI をそれぞれ SDR モードと DDR モードで使った場合の、連続データ更新の例を示します。

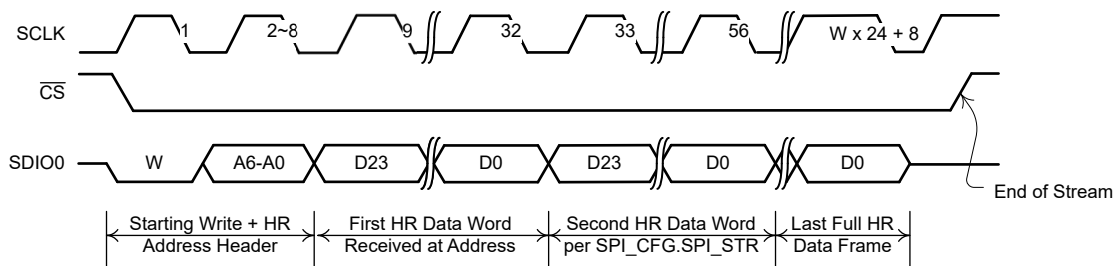


図 6-10. CHx_DATA_HR の標準 SPI SDR ストリーム モード

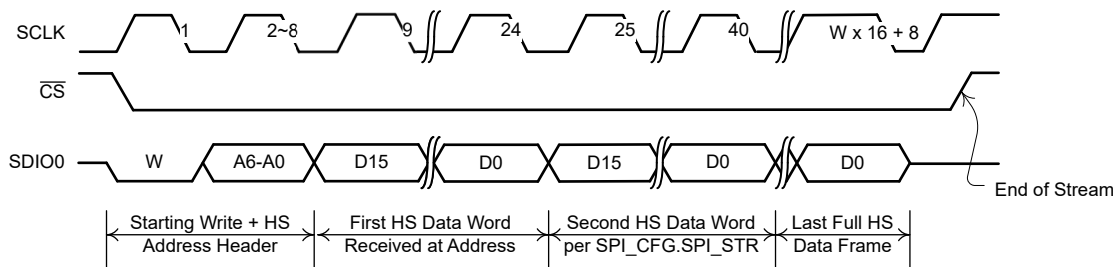


図 6-11. CHx_DATA_HS の標準 SPI SDR ストリーム モード

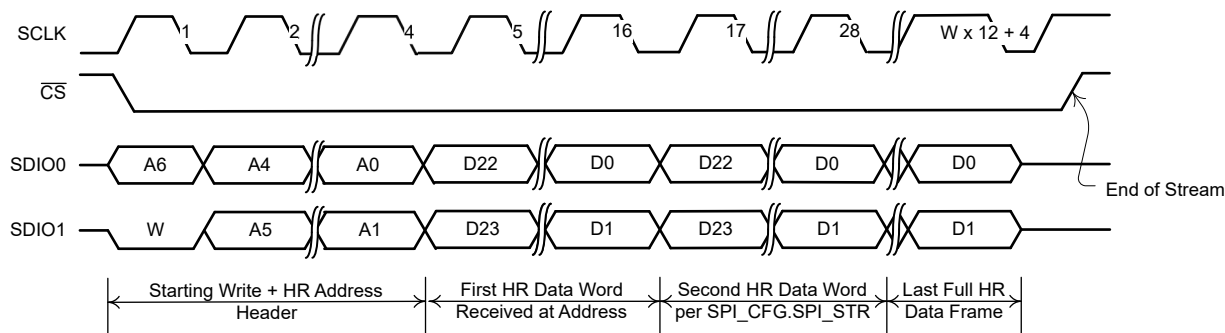


図 6-12. CHx_DATA_HR のデュアル SPI SDR ストリーム モード

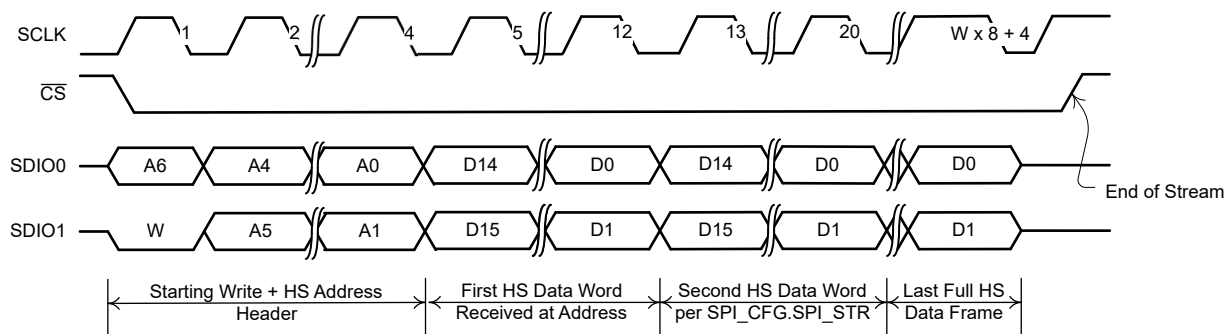


図 6-13. CHx_DATA_HS のデュアル SPI SDR ストリーム モード

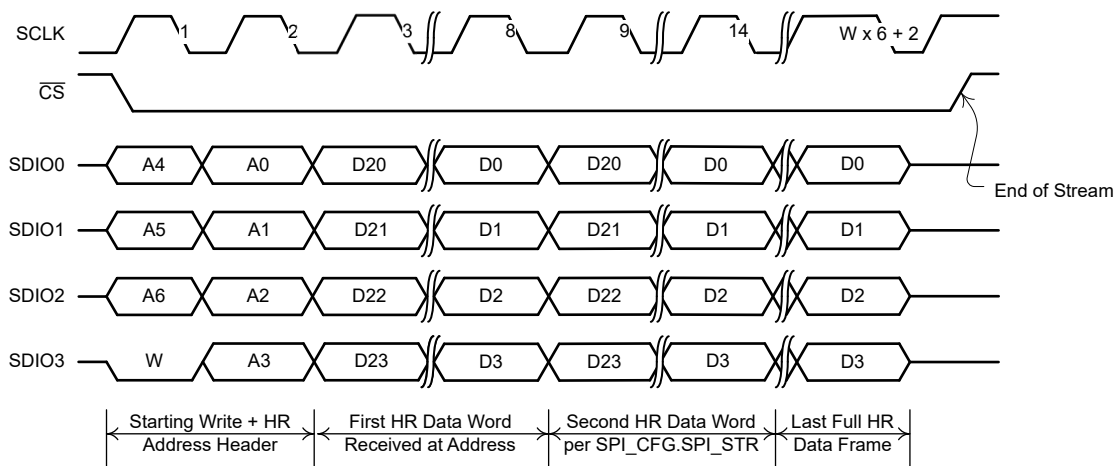


図 6-14. CHx_DATA_HR のクワッド SPI SDR ストリーム モード

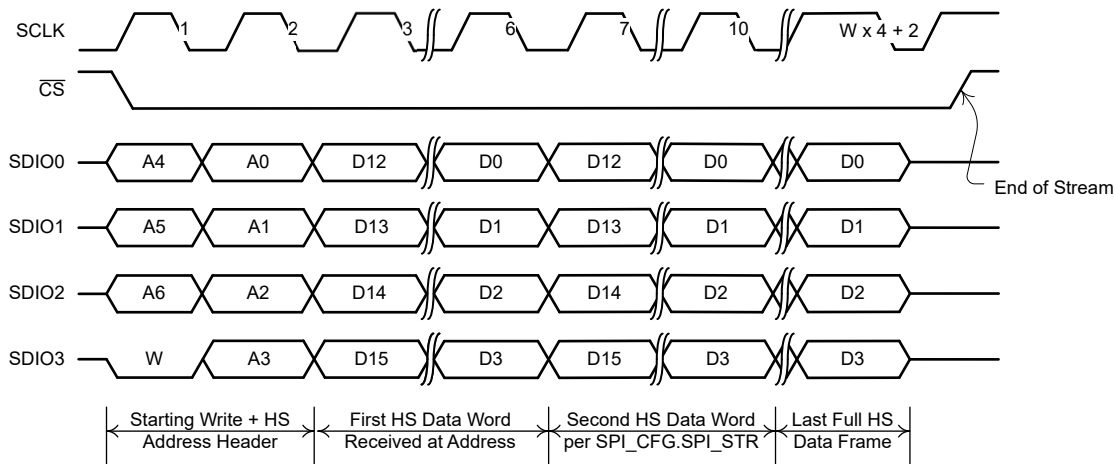


図 6-15. CHx_DATA_HS のクワッド SPI SDR ストリーム モード

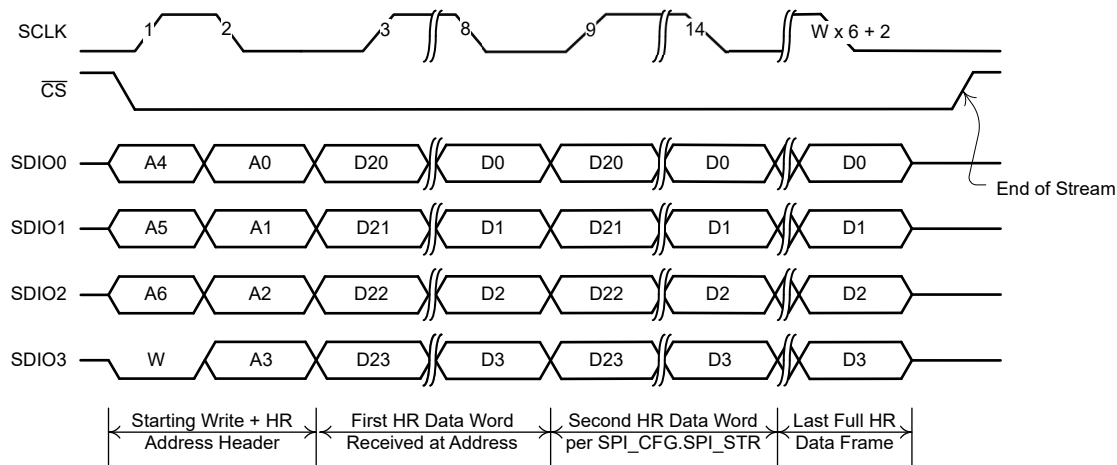


図 6-16. CHx_DATA_HR のクワッド SPI DDR ストリーム モード

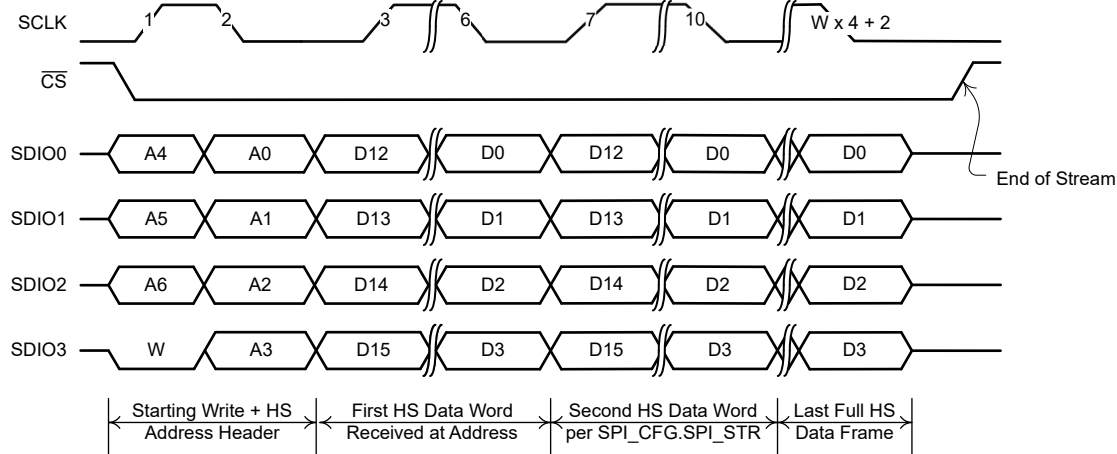


図 6-17. CHx_DATA_HS のクワッド SPI DDR ストリーム モード

6.3.3.3 SPI デイジーチェーンモード

複数の IC や他のペリフェラルを接続するシステムで、SPI の配線数を最小限に抑えるには、デイジーチェーンモード (SPI_CFG.SPI_DCH = 1) を使用します。図 6-18 に、デイジーチェーンの接続を示します。図 6-19 に、デイジーチェーンモードのフレーム タイミングを示します。デイジーチェーンモードを有効にしている場合は、SDR モードにしか対応していません。デュアル SPI は、デイジーチェーン全体がデュアル SPI をサポートしている場合にサポートされます。図 6-19 に、デイジーチェーンモードの DAC の SDI から SDO へのタイミングシーケンスを示します。

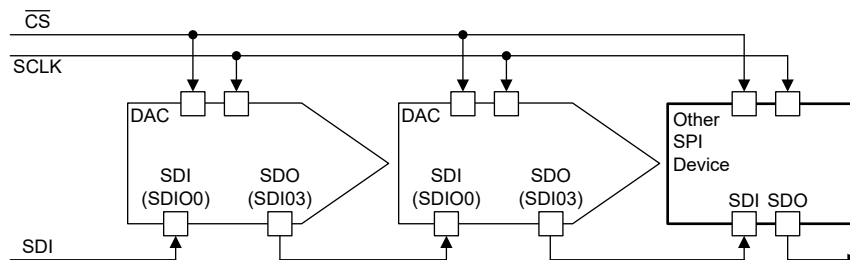


図 6-18. デイジーチェーンモード接続

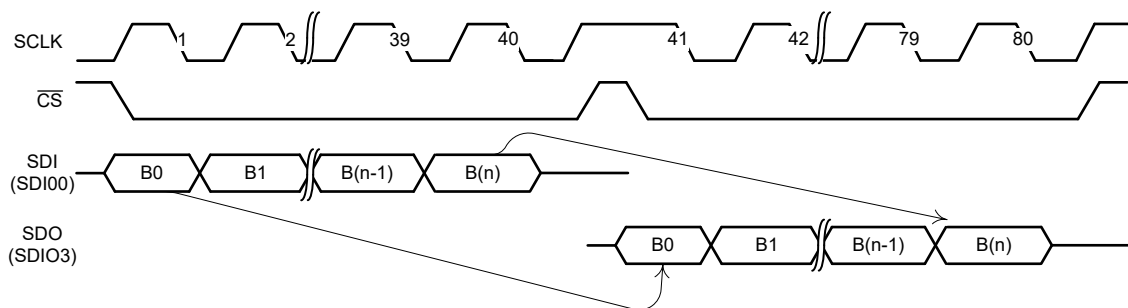


図 6-19. デイジーチェーンモードのタイミング

6.4 デバイスの機能モード

DAC90802 は三つの異なるユースケースまたはモードで最適化された性能を提供します。表 6-5 に示すように、DEVICE_CONFIG レジスタの DAC_CONFIG_CHx ビットは、各 DAC チャンネルに対して個別にこれらのモードを構成します。

表 6-5. 動作モードの構成

DAC_CONFIG_CHx の設定	動作モード
00h	AWG モード
01h	高速セトリング モード
02h	乗算モード

注

誤った設定を使ってもデバイスは動作しますが、仕様どおりの最高の性能は、適切な設定にした場合にだけ得られます。システムの性能を確認するために DAC のキャリブレーションが必要な高精度アプリケーションでは、DAC_CONFIG_CHx の設定ごとに、DAC のキャリブレーション データを個別に取得します。

6.4.1 AWG モード

各種波形生成 (AWG) モードでは、DAC90802 を、固定 DC リファレンスにより低 THD 性能を必要とする波形生成アプリケーションの信号源として最適化できます。このモードでは、目的の出力信号周波数 (f_{OUT}) と DAC サンプル周波数 (f_S) との間で高いサンプリング比を使用します。最高の性能を得るには、DAC をバイポーラ モードに構成します。

6.4.2 高速セトリング モード

高速セトリング (FS) モードにより、固定の DC リファレンス電圧を使用する場合、DAC は最高の時間ドメイン応答に最適化されます。FS モードは、高精度の DC 電圧生成および制御ループ アプリケーションに使用します。FS モードでは、DAC90802 はアナログ信号チェーンを構成し、最高の DC 精度と最速のセトリング タイムを実現します。このモードでは、ユニポーラ動作とバイポーラ動作の両方が最適化されます。

6.4.3 乗算モード

乗算モードでは、DAC90802 は固定 DAC コードによる AC 入力リファレンスを使用して信号チェーンが動作するように構成します。DAC コードは AC リファレンスを効果的に乗算し、リファレンスを減衰させます。REFPx 端子を接地した DAC のユニポーラ構成では、乗算モードを使用します。最高の性能を得るため、このモードはリファレンス反転抵抗と組み合わせて使用します。

7 レジスタ マップ

7.1 共通レジスタ

表 7-1 に、共通レジスタに対してメモリ マップトレジスタを示します。表 7-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-1. 共通レジスタ

アドレス	略称	ビット 31	ビット 30	ビット 29	ビット 28	ビット 27	ビット 26	ビット 25	ビット 24
		ビット 23	ビット 22	ビット 21	ビット 20	ビット 19	ビット 18	ビット 17	ビット 16
		ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0x00	NOP	NOP							
		NOP							
		NOP							
		NOP							
0x01	DEVICE_CFG	DAC_CONFIG_CH1					DAC_CONFIG_CH0		
		DAC_CONFIG_CH0		VOSADJ_EN1	TEMP_SEL1		予約済み	VOSADJ_EN0	TEMP_SELO
		TEMP_SELO	予約済み		POL_CFG1	POL_CFG0	EN_CH1	EN_CH0	DEVICE_ID
		DEVICE_ID				VERSION_ID			
0x02	DEVICE_CTRL	予約済み							
		予約済み							
		予約済み					SFT_LDAC	BOOT	BOOT_FAIL
		SFT_RST							
0x03	CH0_CFG	予約済み							
		予約済み							
		予約済み		予約済み	ASYNC_UPDT_0	SFT_LDAC_EN0	GAIN_CH0	VREF_SQ0	
		VREF_SQ0							
0x04	CH1_CFG	予約済み							
		予約済み							
		予約済み		予約済み	ASYNC_UPDT_1	SFT_LDAC_EN1	GAIN_CH1	VREF_SQ1	
		VREF_SQ1							
0x05	SPI_CFG	予約済み							
		予約済み							
		予約済み							
		予約済み	SPI_DCH	SPI_STR	FSDO_EN	SDO_EN	SPI_DDR	SPI_MIO	
0x08	ALERT_CFG	TSD_LVL1							TSD_LVL0
		TSD_LVL0				予約済み			
		予約済み				TMPALRT_1	TMPALRT_0	TMPALRT_L1	TMPALRT_L0
		TMPALRT_CLR	TMPALRT_ACT			TMPALRT_MSK		TMPALRT_LAP	TMPALRT_ENP

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-2. COMMON のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
WtoPH	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.1.1 NOP レジスタ (アドレス = 0x00) [リセット = 0x00000000]

[概略表](#)に戻ります。

表 7-3. NOP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	NOP	R/W	0x0	無動作。 読み取り専用レジスタ。 0x0 = デフォルト値

7.1.2 DEVICE_CFG レジスタ (アドレス = 0x01) [リセット = 0x000000B3]

[概略表](#)に戻ります。

表 7-4. DEVICE_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-27	DAC_CONFIG_CH1	R/W	0x0	チャンネル 1 の DAC アプリケーション モード選択。 一覧にないフィールド値は予約されています。 00h = AWG モード 01h = 高速セトリング モード 02h = 乗算モード
26-22	DAC_CONFIG_CH0	R/W	0x0	チャンネル 0 の DAC アプリケーション モード選択。 一覧にないフィールド値は予約されています。 00h = AWG モード 01h = 高速セトリング モード 02h = 乗算モード
21	VOSADJ_EN1	R/W	0x0	チャンネル 1 の VOSADJ1 入力を有効にします。 0x0 = VOSADJ 入力は無効。 0x1 = VOSADJ 入力は有効。
20-19	TEMP_SEL1	R/W	0x0	チャンネル 1 の温度出力 TEMP1 の出力信号選択。 0x0 = 温度出力は無効。 0x1 = アナログ出力モードで温度出力を有効化。 0x2 = TSD モードで温度出力を有効化。
18	予約済み	R	0x0	
17	VOSADJ_EN0	R/W	0x0	チャンネル 0 の VOSADJ0 入力を有効にします。 0x0 = VOSADJ 入力は無効。 0x1 = VOSADJ 入力は有効。
16-15	TEMP_SEL0	R/W	0x0	チャンネル 0 の温度出力 TEMP0 の出力信号選択。 0x0 = 温度出力は無効。 0x1 = アナログ出力モードで温度出力を有効化。 0x2 = TSD モードで温度出力を有効化。
14-13	予約済み	R	0x0	
12	POL_CFG1	R/W	0x0	チャンネル 1 のユニポーラ / バイポーラ DAC 構成。 0x0 = DAC ユニポーラ構成。 0x1 = DAC ルーティング構成。
11	POL_CFG0	R/W	0x0	チャンネル 0 のユニポーラ / バイポーラ DAC 構成。 0x0 = DAC ユニポーラ構成。 0x1 = DAC ルーティング構成。
10	EN_CH1	R/WtoPH	0x0	チャンネル 1 のチャンネル イネーブル (パワーアップ) 制御。 0x0 = チャンネル無効 (パワーダウン) 0x1 = チャンネル有効 (パワーアップ)。アラートが発生すると、このビットは自動的にリセットされます。
9	EN_CH0	R/WtoPH	0x0	チャンネル 0 のチャンネル イネーブル (パワーアップ) 制御。 0x0 = チャンネル無効 (パワーダウン) 0x1 = チャンネル有効 (パワーアップ)。アラートが発生すると、このビットは自動的にリセットされます。
8-4	DEVICE_ID	R	0xB	デバイス識別子 (読み取り専用)
3-0	VERSION_ID	R	0x3	バージョン識別子 (読み取り専用)

7.1.3 DEVICE_CTRL レジスタ (アドレス = 0x02) [リセット = 0x00000000]

[概略表](#)に戻ります。

表 7-5. DEVICE_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0x0	
30-11	予約済み	R	0x0	

表 7-5. DEVICE_CTRL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10	SFT_LDAC	R/WtoPH	0x0	ソフトウェア制御 LDAC 信号。 両方のチャネルで LDAC を同時にアサートします。 LDAC のアサートを受け付けるには、そのチャネル自体と、そのチャネルの SFT_LDAC_EN の両方を有効にしておく必要があります。 0x0 = LDAC をアサート。このビットは自動的にリセットされます。
9	BOOT	R	0x0	POR 後にデバイスが起動処理中であることを示すビット。 (読み取り専用) 0x0 = デバイスはブートシーケンス中ではありません 0x1 = デバイスはブートシーケンスを実行しています
8	BOOT_FAIL	R	0x0	デバイスの起動に失敗し、OTP に問題があることを示す読み取り専用の信号。 0x0 = デバイスはブートシーケンスを正常に完了 0x1 = デバイスはブートシーケンスを正常に完了
7-0	SFT_RST	R/W	0x0	ソフトウェア制御リセット信号用コード。 ハードウェアリセットのアサートと同等です。 0xAA = リセットアサート

7.1.4 CH0_CFG レジスタ (アドレス = 0x03) [リセット = 0x00000219]

概略表に戻ります。

表 7-6. CH0_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R	0x0	
29	予約済み	R	0x0	
28-26	予約済み	R	0x0	
25-22	予約済み	R	0x0	
21-17	予約済み	R	0x0	
16	OFS_EN0	R/W	0x0	チャネル 0 の ROFS を有効化。 ROFS ビンに加える電圧に応じて、出力を非対称にシフトさせるために使います
15-14	予約済み	R	0x0	
13	予約済み	R	0x0	
12	ASYNC_UPDT_0	R/W	0x0	DAC0 レジスタ更新モードを設定します 0x0 = 非同期更新モード 0x1 = 同期更新モード
11	SFT_LDAC_EN0	R/W	0x0	チャネル 0 のソフト LDAC を有効化
10-9	GAIN_CH0	R/W	0x1	チャネル 0 電圧ゲインの選択 0x0 = ゲイン 1x 0x1 = ゲイン 4x 0x2 = ゲイン 2x
8-0	VREF_SQ0	R/W	0x19	(ゲイン * 電圧リファレンス) ² をこのレギュレータで設定する必要があります

7.1.5 CH1_CFG レジスタ (アドレス = 0x04) [リセット = 0x00000219]

概略表に戻ります。

表 7-7. CH1_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R	0x0	
29	予約済み	R	0x0	
28-26	予約済み	R	0x0	
25-22	予約済み	R	0x0	
21-17	予約済み	R	0x0	
16	OFS_EN1	R/W	0x0	チャネル 1 の ROFS を有効化。 ROFS ビンに加える電圧に応じて、出力を非対称にシフトさせるために使います
15-14	予約済み	R	0x0	
13	予約済み	R	0x0	
12	ASYNC_UPDT_1	R/W	0x0	DAC0 レジスタ更新モードを設定します 0x0 = 非同期更新モード 0x1 = 同期更新モード

表 7-7. CH1_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	SFT_LDAC_EN1	R/W	0x0	チャンネル 0 のソフト LDAC を有効化
10-9	GAIN_CH1	R/W	0x1	チャンネル 1 電圧ゲインの選択 0x0 = ゲイン 1x 0x1 = ゲイン 4x 0x2 = ゲイン 2x
8-0	VREF_SQ1	R/W	0x19	(ゲイン × 電圧リファレンス) ² をこのレジスタに設定する必要があります

7.1.6 SPI_CFG レジスタ (アドレス = 0x05) [リセット = 0x00000000]

概略表に戻ります。

表 7-8. SPI_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0x0	
30-7	予約済み	R	0x0	
6	SPI_DCH	R/W	0x0	SPI デイジーチェーン モードの有効 / 無効を切り替えるビット。 0x0 = デイジー チェーン構成を無効化 0x1 = デイジー チェーン構成を有効化
5	SPI_STR	R/W	0x0	ストリーム モード構成 0x0 = デュアル チャンネル ストリームを有効化 0x1 = シングル チャンネル ストリームを有効化
4	FSDO_EN	R/W	0x0	SDO ラッチ制御 0x0 = SDO ポートでラッチなし 0x1 = 出力がラッチされます
3	SDO_EN	R/W	0x0	SDO イネーブル制御 0x0 = SDO ポートは無効です 0x1 = SDO ポートは有効です
2	SPI_DDR	R/W	0x0	DDR モードの有効化 0x0 = SDR モード (シングル データレート) 0x1 = DDR モード (ダブル データレート)
1-0	SPI_MIO	R/W	0x0	SPI IO モード制御 0x0 = 標準 SPI 0x1 = デュアル SPI 0x2 = クワッド SPI 0x3 = 予約済み

7.1.7 ALERT_CFG レジスタ (アドレス = 0x08) [リセット = 0xEF0001E]

概略表に戻ります。

表 7-9. ALERT_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	TSD_LVL1	R/W	0x3B	温度シャットダウン スレッシュホールドのコード (リセット値: 6x3B: 140°C) 0x0 = 30°C 0x3F = 150°C
25-20	TSD_LVL0	R/W	0x3B	温度シャットダウン スレッシュホールドのコード (リセット値: 6x3B: 140°C) 0x0 = 30°C 0x3F = 150°C
19-18	予約済み	R	0x0	
17-16	予約済み	R	0x0	
15-12	予約済み	R	0x0	
11	TMPALRT_1	R	0x0	ラッチなし温度アラートを示す読み取り専用信号
10	TMPALRT_0	R	0x0	ラッチなし温度アラートを示す読み取り専用信号
9	TMPALRT_L1	R	0x0	ラッチされた温度アラートを示す読み取り専用信号
8	TMPALRT_L0	R	0x0	ラッチされた温度アラートを示す読み取り専用信号
7	TMPALRT_CLR	R/WtoPH	0x0	ラッチ温度アラート クリア コマンド 0x0 = 動作なし 0x1 = ラッチされた温度アラートはクリアされます。このビットは自動的にリセットされます。

表 7-9. ALERT_CFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-4	TMPALRT_ACT	R/W	0x1	温度アラートがアサートされることへの応答。 一覧にないフィールド値は予約されています 0x0 = 動作なし。 0x1 = アラートがアサートされたときに、アラートを出したチャンネルだけをシャットダウン。 ラッチ付き同期アラートが Low になるまで、パワーアップは許可されません 0x2 = アラートがアサートされたときに、アラートを出したチャンネルだけをシャットダウン。 アサート後は、いつでもパワーアップできます。 0x5 = いずれかのチャンネルでアラートがアサートされたときに、全チャンネルをシャットダウン。 ラッチ付き同期アラートが Low になるまで、パワーアップは許可されません。 0x6 = アラート がオンのチャンネルにアサートされた場合、すべてのチャンネルをシャットダウンします。 パワーアップは、アサート後はいつでも許可されます。
3-2	TMPALRT_MSK	R/W	0x3	TEMP ピンの温度アラート マスク。 0x0 = アラートはマスクされます (TEMP ピン上) 0x3 = (ダフォルト) アラートはマスクされていません (TEMP ピン上) 未記載のビットは予約済みです
1	TMPALRT_LAP	R/W	0x1	TEMP ピンのラッチされた温度アラート 0x0 = 無効化 0x1 = イネーブル
0	TMPALRT_ENP	R/W	0x0	TEMP ピンの温度アラート (ラッチなし) 0x0 = 無効化 0x1 = イネーブル

7.2 HS_DATA レジスタ

HS_DATA レジスタのメモリ マップト レジスタを表 7-10 に示します。表 7-10 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-10. HS_DATA レジスタ

アドレス	略称	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0x60	CH0_DATA_HS	CH0_DATA_HS							
		CH0_DATA_HS							
0x61	CH1_DATA_HS	CH1_DATA_HS							
		CH1_DATA_HS							

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-11 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-11. HS_DATA アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.2.1 CH0_DATA_HS レジスタ (アドレス = 0x60) [リセット = 0x0000]

[概略表](#)に戻ります。

表 7-12. CH0_DATA_HS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	CH0_DATA_HS	R/W	0x0	チャンネル 0 の高速 DAC データレジスタ。 データワードは 16b 幅、MSB 揃え、QSPI 入力、オプションのストリーム モードをサポートしています。

7.2.2 CH1_DATA_HS レジスタ (アドレス = 0x61) [リセット = 0x0000]

[概略表](#)に戻ります。

表 7-13. CH1_DATA_HS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	CH1_DATA_HS	R/W	0x0	チャンネル 1 の高速 DAC データレジスタ。 データワードは 16b 幅、MSB 揃え、QSPI 入力、オプションのストリーム モードをサポートしています。

7.3 HR_DATA レジスタ

HR_DATA レジスタのメモリ マップト レジスタを表 7-14 に示します。表 7-14 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-14. HR_DATA レジスタ

アドレス	略称	ビット 23	ビット 22	ビット 21	ビット 20	ビット 19	ビット 18	ビット 17	ビット 16
		ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0x64	CH0_DATA_HR	CH0_DATA_HR							
		CH0_DATA_HR							
		CH0_DATA_HR							
0x65	CH1_DATA_HR	CH1_DATA_HR							
		CH1_DATA_HR							
		CH1_DATA_HR							

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-15 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-15. HR_DATA アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.3.1 CH0_DATA_HR レジスタ (アドレス = 0x64) [リセット = 0x000000]

概略表に戻ります。

表 7-16. CH0_DATA_HR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	CH0_DATA_HR	R/W	0x0	チャンネル 0 の高速 DAC データレジスタ。 データワードは 18b 幅、MSB 揃え、QSPI 入力で、オプションのストリーム モードをサポートしています。

7.3.2 CH1_DATA_HR レジスタ (アドレス = 0x65) [リセット = 0x000000]

概略表に戻ります。

表 7-17. CH1_DATA_HR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23-0	CH1_DATA_HR	R/W	0x0	チャンネル 1 の高速 DAC データレジスタ。 データワードは 18b 幅、MSB 揃え、QSPI 入力で、オプションのストリーム モードをサポートしています。

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション

DAC90802 は、高い DC 精度と高精度、超低グリッチ エネルギー、高度な波形生成機能付きの出力ノイズが必要なアプリケーション向けに最適化されています。代表的なアプリケーションには、高性能なソース メジャー ユニット (SMU)、超低 THD の任意波形発生器 (AWG)、MEMS アクチュエータなどの閉ループ制御システム、リニア モーター ドライブや精密モータードライブ、先進的な顕微鏡の静電レンズ制御、四重極質量分析、その他の高度な計測機器があります。

8.2 設計要件

8.2.1 リファレンス信号チェーン情報

8.2.1.1 DC リファレンス

DAC90802 リファレンスは、AWG モードおよび高速セトリング モード動作全体にわたって、公称値に一定に保たれます。AWG モードで THD 性能を高めるには、信号ごとに専用の低インピーダンスドライバ アンプを使った 2 線式接続をおすすめします。これにより、DAC コードを変更するときにリファレンスにかかる動的な負荷を最小限に抑えられます。2 線式構成を使わない場合 (たとえば、複数のチャンネルでリファレンスを共有する場合) は、Fx ピンと Sx ピンを短絡してください。このようなアプリケーションでは、次の二つのリファレンス生成方法をおすすめします。

- 内部反転を使用した DC リファレンス シグナル チェーン: この構成では、[セクション 5.5](#) に示すように、内部温度係数 (温度係数) がマッチングされた抵抗 (R_1 および R_2 、[図 8-1](#) を参照) を利用して、外部オペアンプを使用して負の基準電圧を生成します

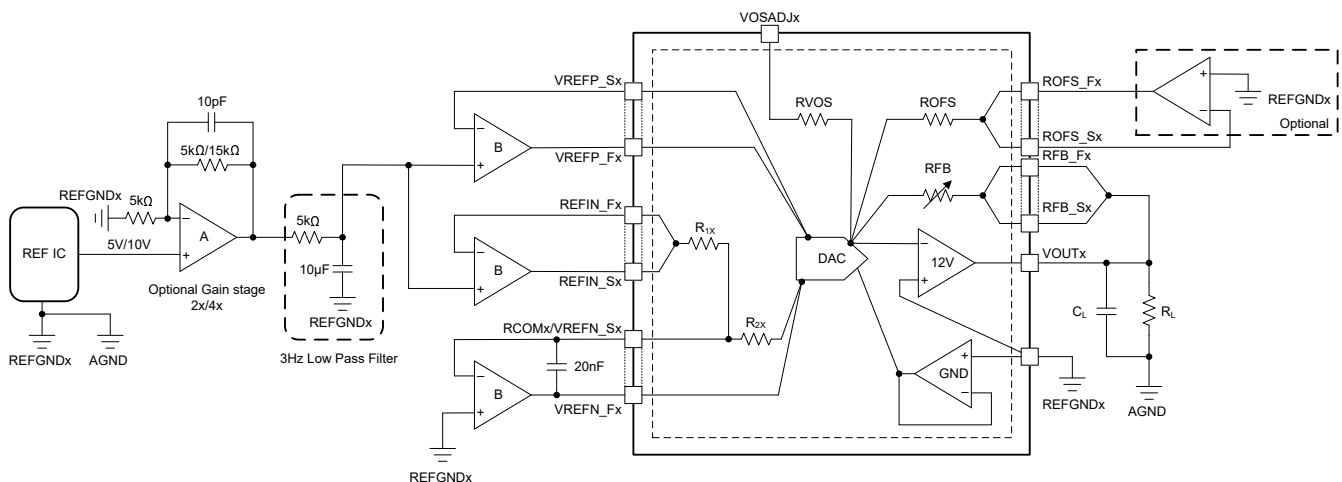


図 8-1. 内部反転を使用した DC リファレンス シグナル チェーン

- 外部反転を使った DC リファレンス信号チェーン:この方法は、次のような場合に推奨されます。内蔵抵抗の温度係数のマッチングがリファレンス反転には不十分な場合、システム側で安定した負のリファレンス電圧を用意できる場合、または図 8-2 に示すように複数のチャンネルでリファレンスを共有する場合です

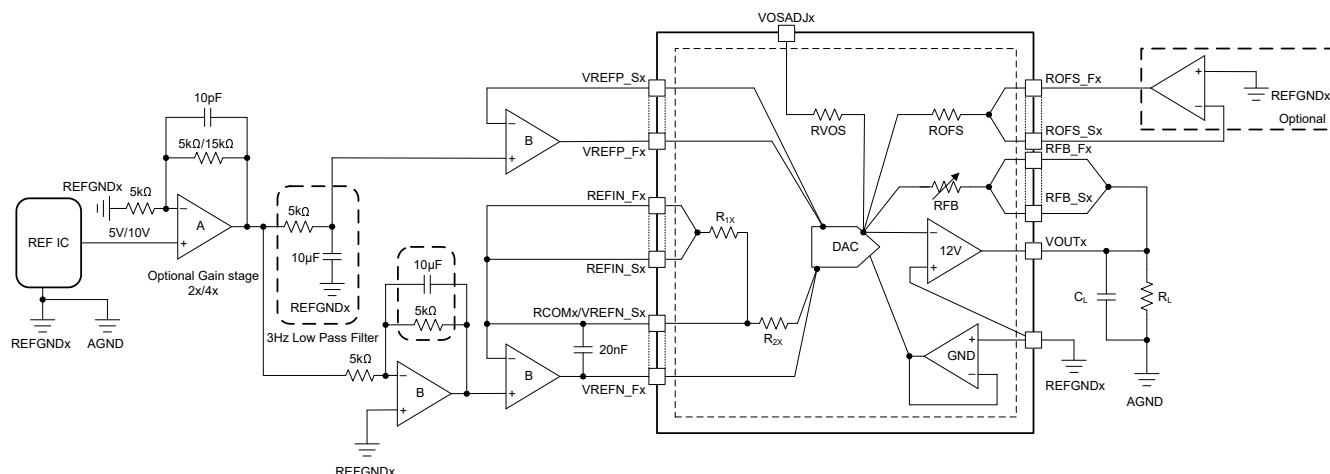


図 8-2. 外部反転を使用した DC リファレンス シグナル チェーン

10V 以上の高いリファレンス電圧が必要な場合は、電圧リファレンスの後段にゲイン ステージを設けてください。信号チェーンのノイズを減らすには、DAC のリファレンス バッファの前段に、ローパス フィルタを追加してください (3Hz を表示)。DAC90802 の性能を最大化するには、基準 IC とリファレンス バッファの選択について以下の要素を考慮する必要があります。

- リファレンス IC の選択:
 - 出力電圧精度 (初期許容誤差): 出力電圧が不正確だと絶対ゲイン誤差の原因になります。そのため、アプリケーションの要件に合った初期出力電圧精度と許容誤差を持つ IC を選んでください
 - 出力電圧の温度係数: 出力電圧の温度係数は、温度範囲全体にわたって DAC の確度と精度 (エンドポイント誤差、INL、DNL) に影響します。以下の式を使うと、DAC の分解能に応じてリファレンス デバイスに必要な温度係数をおおよそ見積もることができます。温度の ΔT 変化に対する基準 IC の出力を、式 4 に示します。式 5 に示すように、N ビット DAC の変更を 1LSB 未満に維持。

$$VREF = VREF_{initial} \left(1 + (Temp_{co}) \times \Delta T \times 10^{-6} \right) (Temp_{co} \text{ in ppm}/^{\circ}\text{C}) \quad (4)$$

$$\Delta VREF = (VREF_{initial} \times Temp_{co} \times \Delta T \times 10^{-6}) < \left(1LSB = \frac{VREF_{initial}}{2^N} \right) \quad (5)$$

$$Temp_{co} < \frac{10^6}{2^N \times \Delta T} \left(\text{About } 0.76\text{ppm}/^{\circ}\text{C} \text{ for a } 5^{\circ}\text{C } \Delta T \text{ at } 18 \text{ bit precision} \right) \quad (6)$$

- 出力ノイズ: 高精度アプリケーションでは、リファレンスの出力電圧ノイズが、システム ノイズの大きな原因になります
 - フリッカ ノイズ: フリッカー ノイズは、時間領域 (V_{pp}) での積分された 0.1Hz ~ 10Hz のノイズとして定義されます。これは主に、INL、DNL、エンドポイント誤差などの DC 出力特性に影響します。最高の性能を得るには、フリッカ ノイズのレベルを 1LSB より十分に小さくする必要があります。18 ビット DAC で $\pm 5V$ のリファレンスを使う場合、目標値は 3.8μV_{pp} 未満 (0.1LSB) になります
 - 熱 / 広帯域ノイズ: 熱ノイズは主に AC 性能に影響し、SNR や THD + N の測定では主要なノイズ源になります。DC リファレンス信号チェーンは動作中に変化しないので、リファレンス デバイスの熱ノイズを抑えるには一次のローパス フィルタで十分です。図 8-1 と図 8-2 に、この目的での 3Hz ローパス フィルタを示します。このフィルタのコンデンサには、ポリプロピレン フィルム コンデンサを強くおすすめします。
- オペアンプの選択: 提案されるリファレンス信号チェーン (図 8-2 および図 8-1) でオペアンプを選択するときは、以下の仕様が重要です。
 - 電圧ノイズ
 - 電流ノイズ

- オフセット電圧
- バイアス電流オフセット
- 出力インピーダンス

信号チェーンの各段で、これらの特性がどのように影響するかを以下に説明します。

- アンプ (A): オペアンプ (A) はゲイン ステージとして動作し、低電圧のリファレンス IC から DAC90802 用の高電圧リファレンス入力 (最大 21V) を生成します
 - 電圧ノイズとオフセット: オペアンプのゲイン構成は、入力換算ノイズとオフセットを出力に直接変換します。この段の後にローパス フィルタを置くと熱ノイズを取り除けるので、オペアンプを選ぶときに重要な仕様はフリッカ ノイズだけになります。
 - バイアス電流: オペアンプの帰還抵抗を通じて、バイアス電流ノイズとオフセットは出力電圧のノイズとオフセットに変換されます
- アンプ (B): オペアンプ (B) は DAC のリファレンス バッファとして動作し、動作周波数の全範囲で低い出力インピーダンスが必要です
 - 電圧ノイズとオフセット: オペアンプの電圧ノイズとオフセットは、そのまま DAC の出力ノイズとオフセットになります
 - バイアス電流ノイズおよびオフセット: バイアス電流によるノイズとオフセットは、信号チェーン内の一次ローパス フィルタ (抵抗とコンデンサで構成) を通じて、DAC の出力電圧のノイズとオフセットに変換されます。さらに、反転用抵抗で発生する熱ノイズを除去するため、各チャンネルの VREFN_F ピンと VREFN_S ピンの間にコンデンサを接続します

表 8-1、表 8-2、表 8-3 に、それぞれ電圧リファレンス デバイス、オペアンプ、信号チェーン構成に関する推奨事項を示します。

たとえば、OPA189 を AMP (A) として、OPA828 を AMP (B) として選択します。OPA189 はオフセット電圧が低く、フリッカ ノイズも小さいので、ゲイン ステージに適しています。後段のローパス フィルタで熱ノイズの影響を最小限に抑えます。また、AMP (B) には OPA828 を採用し、低ノイズで信号をバッファしながら十分な駆動能力を確保しています。

表 8-1. 電圧リファレンス デバイスに関する推奨事項

REF IC	V _{REF} (V)	熱ノイズ (nV/√Hz)	フリッカ ノイズ (μV _{PP})	初期許容誤差 (%)	温度ドリフト (ppm/°C)
REF54 (C _{NR} : 1μF)	5	5	1.2	±0.02	0.8
REF70	5	20	1.15	±0.025	2
REF81	10	60	1.2	±0.1	0.1

表 8-2. オペアンプの推奨事項

オペアンプ	オフセット (μV)	バイアス電流 (pA)	電圧熱ノイズ (nV/√Hz)	フリッカ ノイズ (μV _{PP})	電流熱ノイズ (pA/√Hz)
OPA828	±50	±1	4	0.34	0.0012
OPA189	±0.4	±70	5.2	0.1	0.165
OPA182	±0.45	±50	5.7	0.119	0.165
OPA1611	±100	±60000	1.1	0.1	1.7

表 8-3. シグナル チェーンに関する推奨事項

REF IC	ゲイン	アンペア (A)	アンペア (B)	V _{REF} (V)	VREF_Px/ VREF_Nx 熱ノイズの 推定値 (nV/√Hz)	VREF_Px/ VREF_Nx フリッカ ノ イズの推定値 (0.1Hz ~ 10Hz) (μV _{PP})
REF54 (C _{NR} : 1μF)	1 ×	OPA189	OPA828	5	4.33	1.25
REF54 (C _{NR} : 1μF)	2 ×	OPA189	OPA828	10	4.33	2.5
REF54 (C _{NR} : 1μF)	4 ×	OPA189	OPA828	20	4.33	5
REF70	1 ×	OPA189	OPA828	5	4.33	1.18
REF70	2 ×	OPA189	OPA828	10	4.33	2.36
REF70	4 ×	OPA189	OPA828	20	4.33	4.72

表 8-3. シグナル チェーンに関する推奨事項 (続き)

REF IC	ゲイン	アンペア (A)	アンペア (B)	V _{REF} (V)	VREF_Px/ VREF_Nx 熱ノイズの 推定値 (nV/√Hz)	VREF_Px/ VREF_Nx フリッカ ノ イズの推定値 (0.1Hz ~ 10Hz) (μV _{pp})
REF81	1 ×	OPA189	OPA828	10	4.33	1.7
REF81	2 ×	OPA189	OPA828	20	4.33	3.36

8.2.1.2 AC リファレンス

DAC90802 のアーキテクチャにより、乗算モードで時変リファレンス入力 (AC リファレンス) が可能になります。このモードで重要な電気的パラメータは、乗算帯域幅、乗算 THD、乗算フィードスルーです。このモードでは、次の二つのリファレンス入力構成に対応しています。

- REFIN の構成最高の乗算モード性能を実現し、DAC90802 の内部温度係数マッチング済み抵抗を活用するため、REFIN 構成が推奨されます (セクション 5.5 の反転抵抗比ミスマッチドリフトを参照)。この方法では、スケーリングされた信号の位相が維持され、図 8-3 に示すように、VREFP_Sx と VREFP_Fx はノイズの少ないアナログ グランドに接続する必要があります。

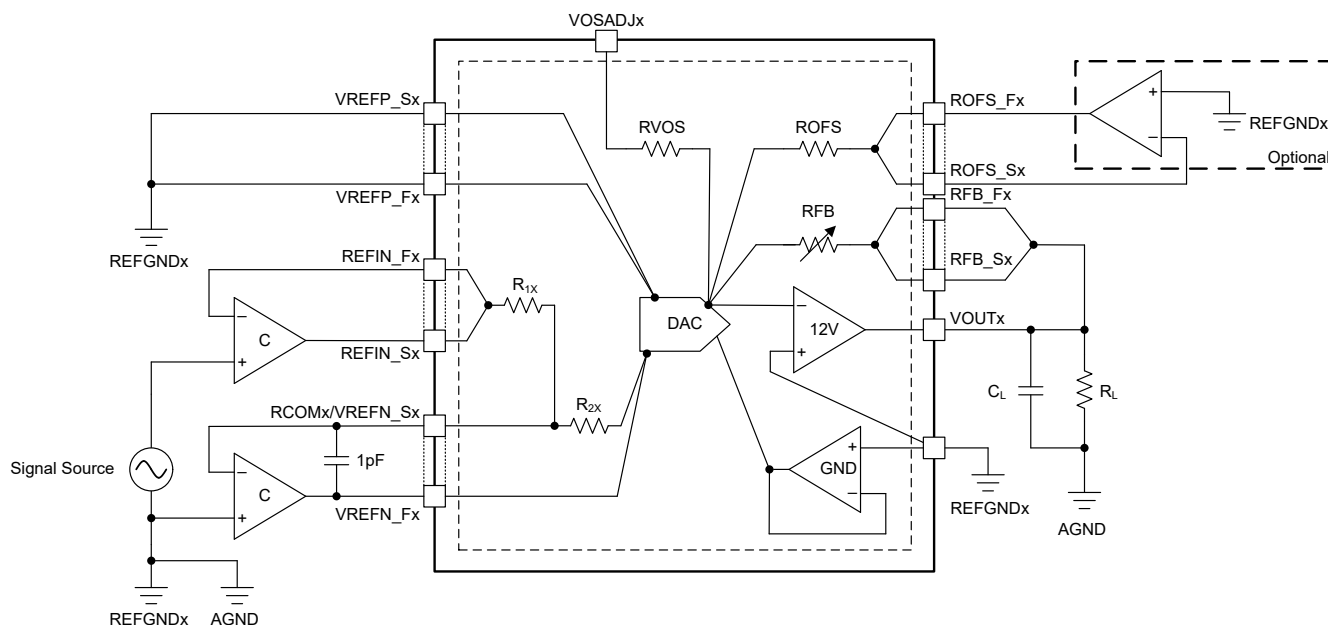


図 8-3. 内部反転を使用した AC リファレンス信号チェーン

- REFN 構成 (直接リファレンス): REFN 構成では、VREFP_Sx と VREFP_Fx は静かなアナログ グランドに接続されます (図 8-4 を参照)。この方法は最もコンパクトに実装できますが、出力の位相が反転します。

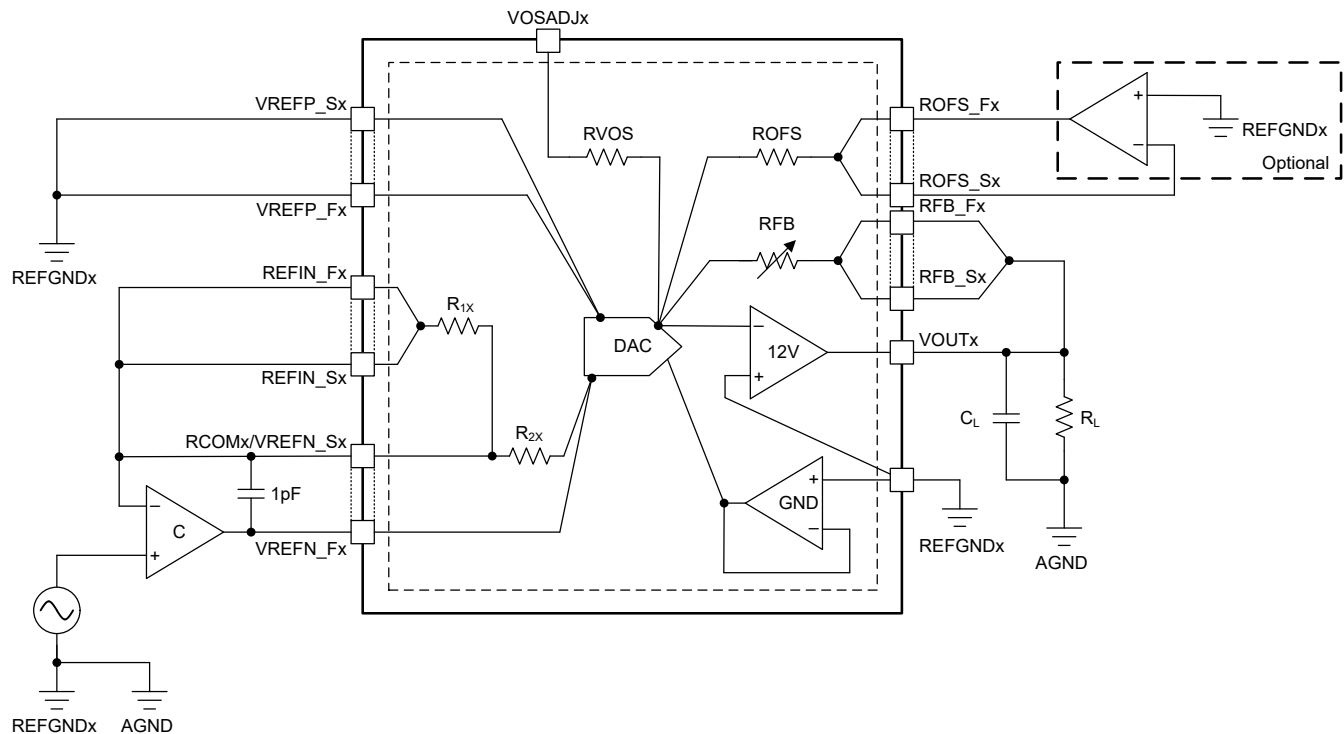


図 8-4. 外部反転を使用した AC リファレンス信号チェーン

デバイスの性能を最大限に引き出すには、アプリケーションに応じてリファレンス バッファを適切に選ぶ必要があります：

- 乗算帯域幅要件: アンプ (C) は、リファレンス電圧のスイングに対応するために十分な帯域幅とスルーレートを示す必要があります。
- THD 測定: アンプ (C) は、対象となる基準電圧および周波数範囲で非常に低い THD を実現する必要があります。

乗算モードでの推奨オペアンプの選択例を表 8-4 に示します。

表 8-4. 乗算モードのオペアンプに関する推奨事項

オペアンプ	ゲイン帯域幅 (MHz)	スルーレート (V/μs)	100kHz での THD (dB)	説明
TH4631	210	550	< -90	THS4631 はスルーレートが大きいので、出力振幅の全範囲で最も広い帯域幅が得られます
OPA891	180	105	< -119	OPA891 は周波数全体で最も良い THD が得られ、出力振幅の全範囲でも十分な帯域幅を確保できます

8.2.2 大振幅出力時に全周波数範囲で最小の THD を得るための自己発熱トリムの最適化

高い出力電圧スイング (> 15V_{PP}) と高い出力周波数では、DAC90802 の 3 次高調波歪み (HD3) は最適ではありません。これを軽減するため、DAC90802 は CH_x_CFG レジスタにより 9 ビットの VREF_SQ_x フィールド (値は 0 ~ 511) を調整することで補正メカニズムを備えており、ユーザーは高調波性能を最適化できます。

VREF_SQ_x の推奨値は、次の式で求めます。

$$VREF_SQ_x = Amp^2 \times \left(\frac{b}{1 + a \times freq} + c \right) \quad (7)$$

ここで、

- AMP は出力信号の振幅です (V_{PK})。

- freq = Hz 単位の周波数
- $a = 1.1 \times 10^{-4}$ 、 $b = 0.85$ 、 $c = 0.15$

図 8-5 に正規化した Vref Sq の値と周波数 (kHz) の関係を示します。正規化された Vref Sq 値は、次の関係で定義されます。

- 正規化された Vref Sq 値 = プログラムされた VREF_SQx/Amp²

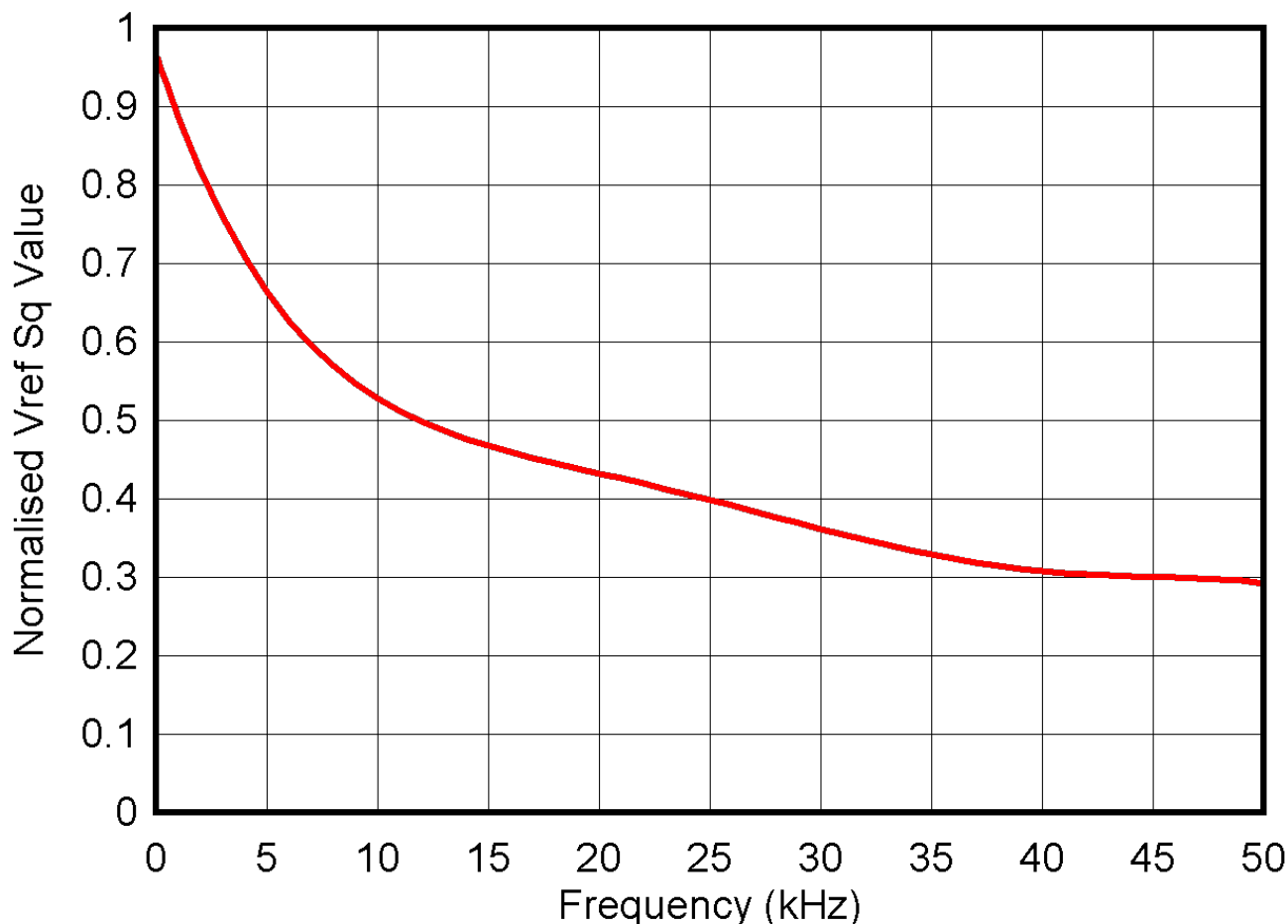


図 8-5. 最適化された正規化 Vref Sq 値と周波数 (kHz) の関係

8.2.3 デジタル インターフェイス

DAC90802 は、4 線式 (6 線式に拡張可能) SPI と組み合わせて動作します。セクション 8.2.3 に示すように、デバイスのデジタル インターフェイスは FPGA またはプロセッサを使用できます。DAC90802 には、チャンネルごとに同期出力を更新するための二つの $\overline{\text{LDAC}}$ 入力オプションがあります。AC 信号生成アプリケーションでは、 $\overline{\text{LDAC}}$ 信号のジッタは、出力の信号対雑音比 (SNR) に寄与します。したがって、 $\overline{\text{LDAC}}$ 信号は、FPGA またはプロセッサ内の低ジッタのクロック ソースから生成する必要があります。すべてのアクティブ Low 信号 ($\overline{\text{LDAC}}$ 、リセット、 $\overline{\text{CS}}$) は、適切な抵抗を使用して VIO にプルアップできます。高い SCLK 周波数で動作する場合は、図 8-6 に示すように、適切な終端抵抗 (オプション) を使用してください。使用されないデジタル信号は、VIO またはグランドに接続できます。

$\overline{\text{LDAC}}$ の位相ノイズは、特に出力周波数が高い場合に、DAC 出力ノイズを劣化させる可能性があります。周波数安定度が $\pm 50\text{ppm}$ より良く、ランダム ジッタが小さい (3.0ps 以下) クロック (TI の CDC6C など) を推奨します。

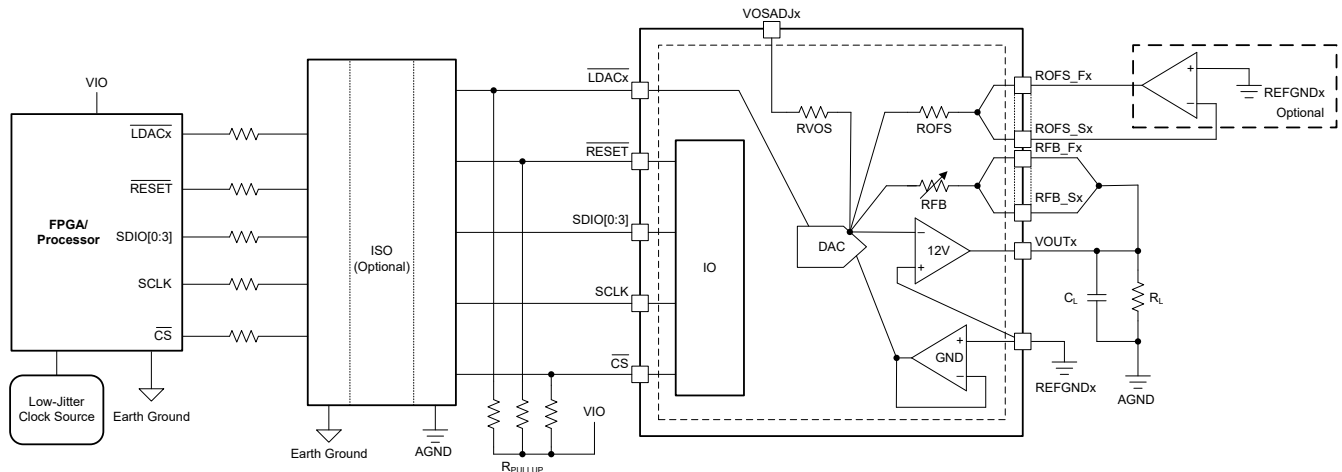


図 8-6. DAC90802 と FPGA またはプロセッサとのインターフェイス

8.2.4 接地に関する推奨事項

DAC90802 で最高の性能を達成するには、慎重な接地とデカップリングが不可欠です。グラウンド プレーンを基準とする PCB を使うと、デジタル信号のリターン電流を効果的に閉じ込めることができます。高周波のデジタル配線の直下に相互インダクタンスの小さい経路を作ると、リターン電流が信号経路に沿って流れるため、クロストークを最小限に抑えられます。DC 信号の電流は特定の配線の下に閉じ込められず、プレーン全体に広がりやすいため、高精度アプリケーションでは、共通インピーダンス結合を抑えるためにグラウンド プレーンの管理が非常に重要です。

グラウンド間の同相電流を防止するために、REFGND と AGND の間の効果的な絶縁も必要です。これらのグラウンドは、互いの間に電流が流れないように分離しておく必要がありますが、DC 電位はすべて同じに保ちます。これを実現するための最も信頼性の高い方法は、図 8-7 に示すように、基準デバイスの近くに配置したシングル ポイント接続を使用することです。

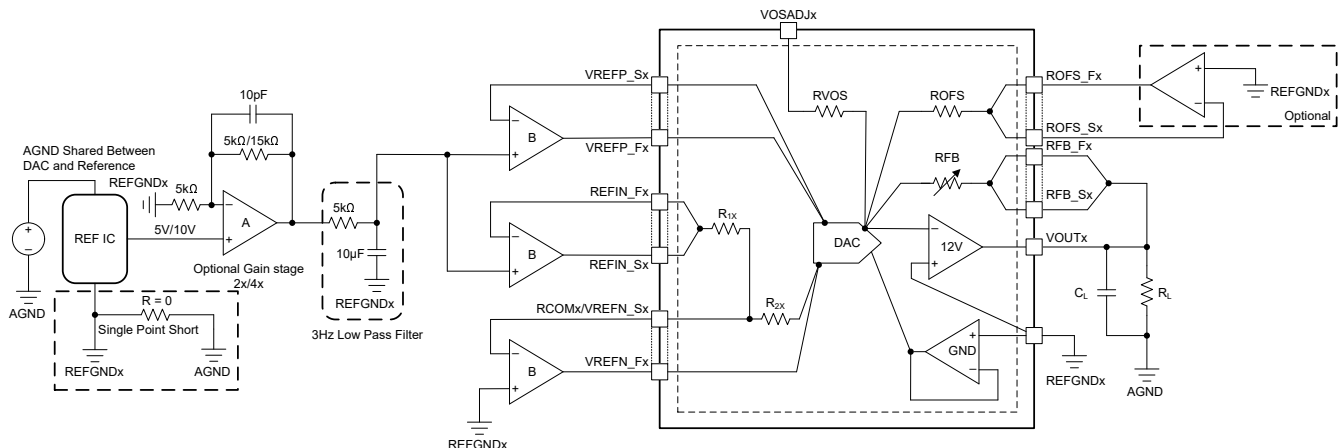


図 8-7. DAC90802 の推奨グラウンド接続

8.3 電源に関する推奨事項

このデバイスは、規定の電源電圧範囲内で動作します。供給する電源は、十分に安定化されていて、ノイズが小さいものを使用します。電源からのノイズをさらに小さくするため、各電源ピンのすぐ近くに、100pF ~ 1nF のコンデンサと 0.1μF ~ 1μF のバイパス コンデンサを配置することを強く推奨します。これらのデバイスの電源ピンの消費電流、短絡電流制限、代表的な負荷電流はセクション 5.5 に記載されています。これらのデバイスの電源には、前述の電流要件を満たすものを選定します。

8.4 レイアウト

8.4.1 レイアウトに関する推奨事項

DAC90802 の規定どおりの AC 性能と DC 性能を実現するには、PCB レイアウトが非常に重要です。このデバイスは、ノイズの結合を最小限に抑えるため、アナログ グランド、リファレンス グランド、デジタル グランドを分離する設計になっています。ただし、簡略化したレイアウトでも優れた結果が得られます。図 8-8 に示すように、リファレンス セクションには一枚のグラウンド プレーンを使い、デジタル I/O 部とアナログ I/O 部には別のプレーンを使います。この二つを一点で接続すると、設計作業を大幅に簡単にしながら、十分な性能を得られます。

シグナル インテグリティを高めるには、デジタル スイッチング ノイズが影響を受けやすいアナログ信号経路に結合しないように、デジタル信号と電源の配線を行う必要があります。

最良のシグナル インテグリティを得るには、信号チェーンの重要な部品をすべてトップ層に配置し、そのすぐ下の内層に切れ目のないアナログ グランドを設けます。これにより、ループ インダクタンスを最小限に抑えられます。電源のデカップリングを効果的に行うため、バイパス コンデンサはそれぞれの電源ピンの近くに配置します。さらに、デジタル信号の配線の下、特に高速デジタル信号の配線の下に切れ目のないグラウンド リターン プレーンを設けると、ループ インダクタンスが最小限に抑えられ、信号品質が保たれます。

VCC、VEE、DVDD、VIO、AVDD のデカップリングには、X7R の 100nF コンデンサと 1μF コンデンサを並列に接続して使用します。LVDD には、X7R の 10μF コンデンサが必要です。グリッチを最小限に抑えるには、このコンデンサを LVDD ピンと LGND ピンのできるだけ近くに配置することが非常に重要です。

リファレンス バッファとデカップリング。リファレンス バッファは、DAC のリファレンス フォース ピンとリファレンス センス ピンの近くに配置することが非常に重要です。フォース ピンとセンス ピンの間に 100pF のバイパス コンデンサ (特に DC アプリケーションで推奨) を配線長が最短になるように直接配置すると、寄生インピーダンスを最小限に抑えられます。この構成では、DAC のスイッチング時に流れる過渡的なリファレンス電流に対して、コンデンサが近くで電荷を供給します。また、センス側の接続が DAC 入力でのリファレンス電圧を正確に追従できるため、システム全体のダイナミック性能が向上します。

最高の放熱特性を得るため、 2in^2 を超える面積を持つ、下層に熱解放を行います (VEE に接続する必要があります)。

8.4.2 レイアウト例

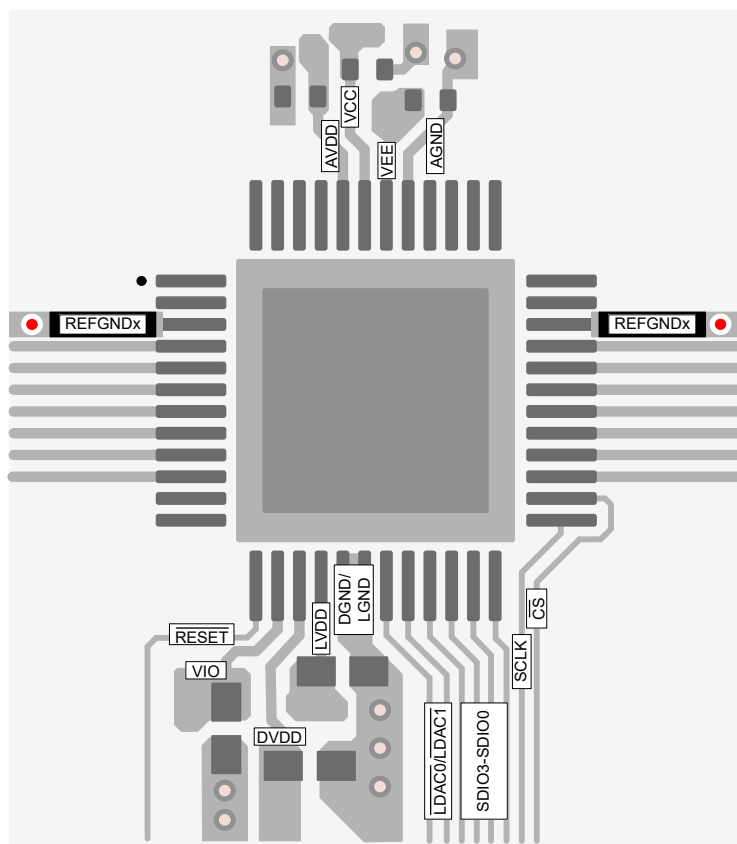


図 8-8. DAC90802 のレイアウト例

9 デバイスおよびドキュメントのサポート

9.1 関連資料

関連資料については、以下を参照してください。

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の「**Alert me**」(アラートを受け取る) をクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ **E2E™** サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

QSPI™ is a trademark of Motorola, Inc.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
September 2026	*	初版リリース

11 メカニカル、パッケージ、および注文情報

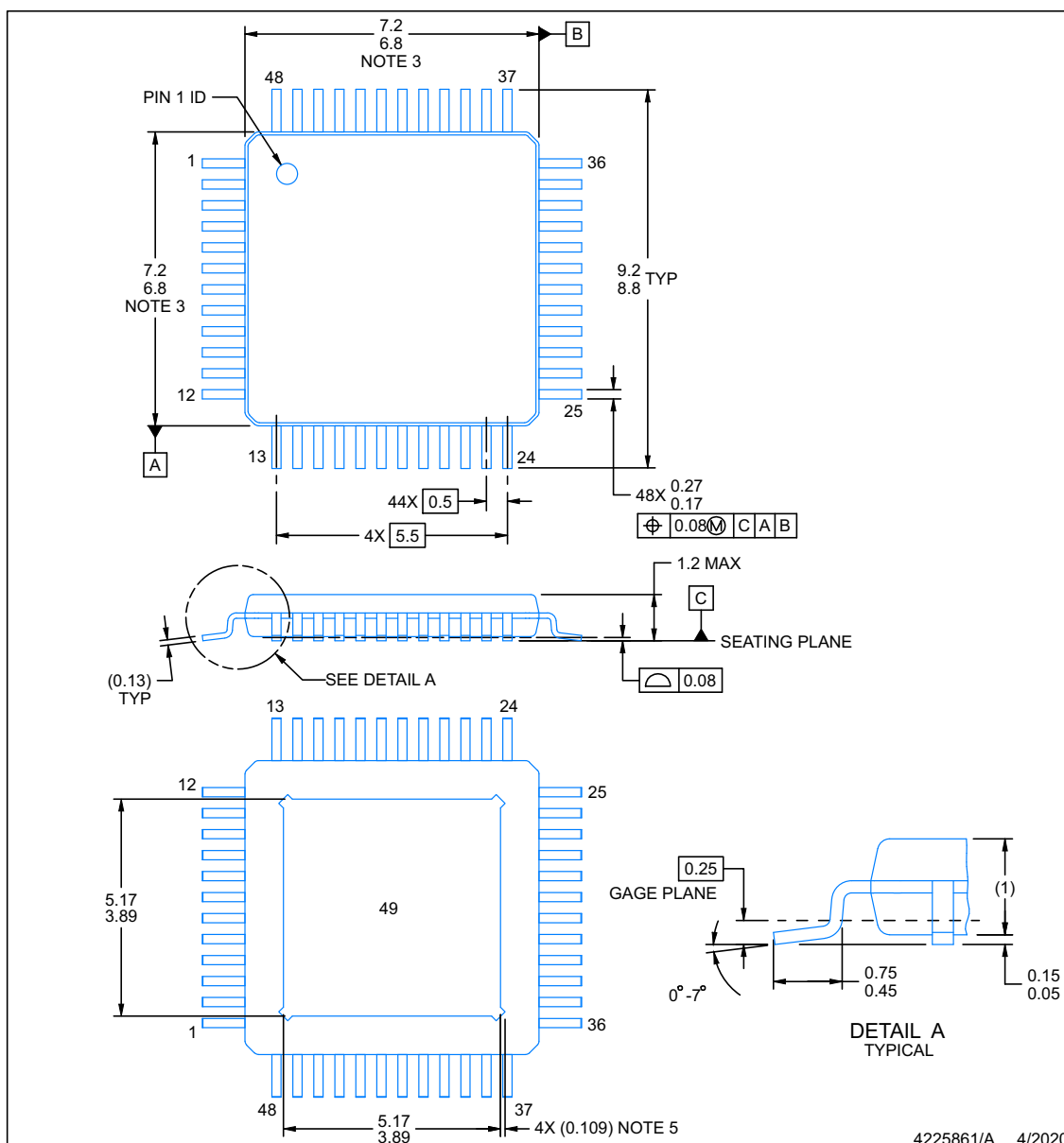
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。これらの情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントの改訂を伴わない場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGE OUTLINE

PHP0048G

PowerPAD™ HTQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



4225861/A 4/2020

NOTES:

PowerPAD is a trademark of Texas Instruments.

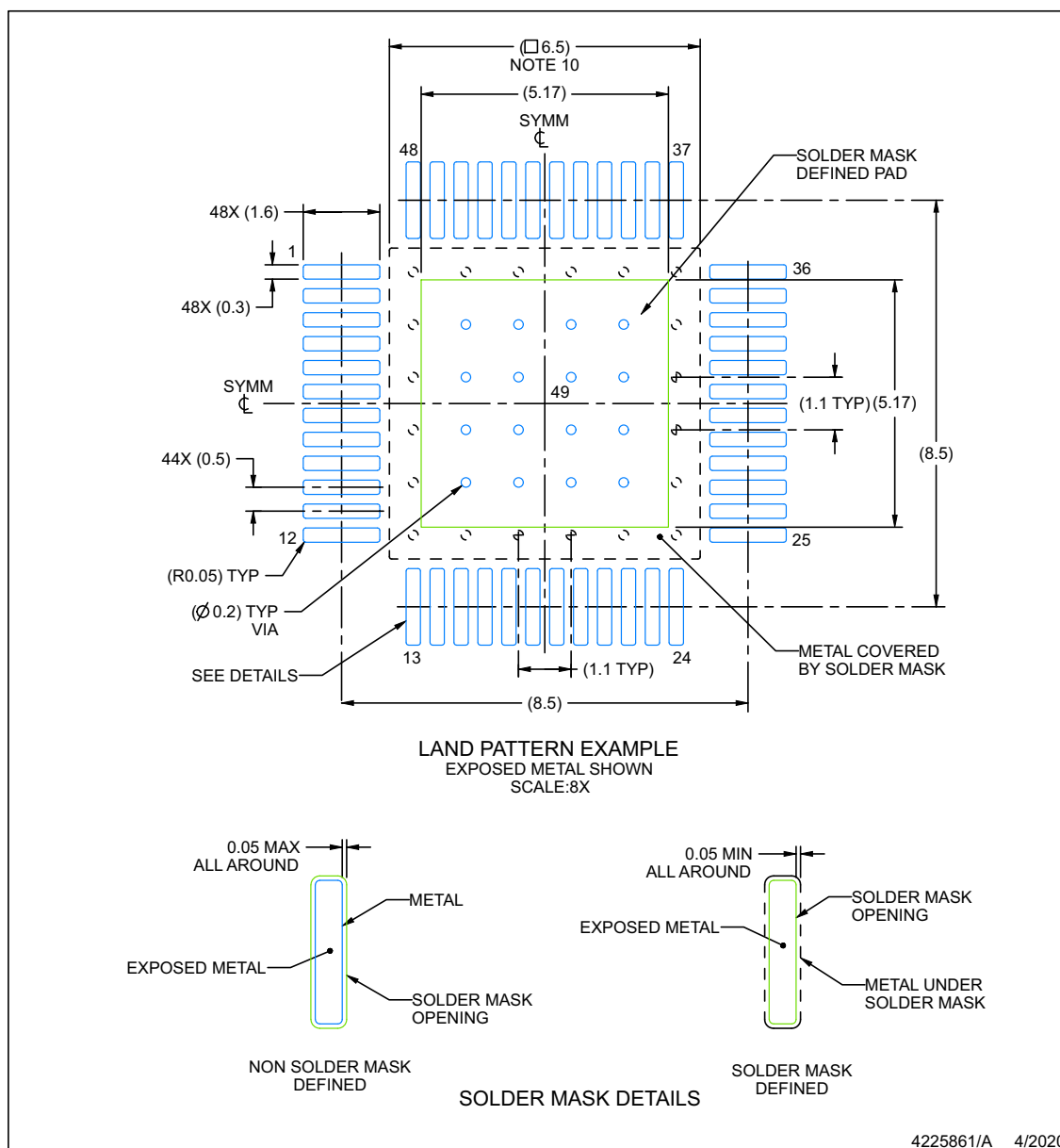
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.
5. Feature may not be present.

EXAMPLE BOARD LAYOUT

PHP0048G

PowerPAD™ HTQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

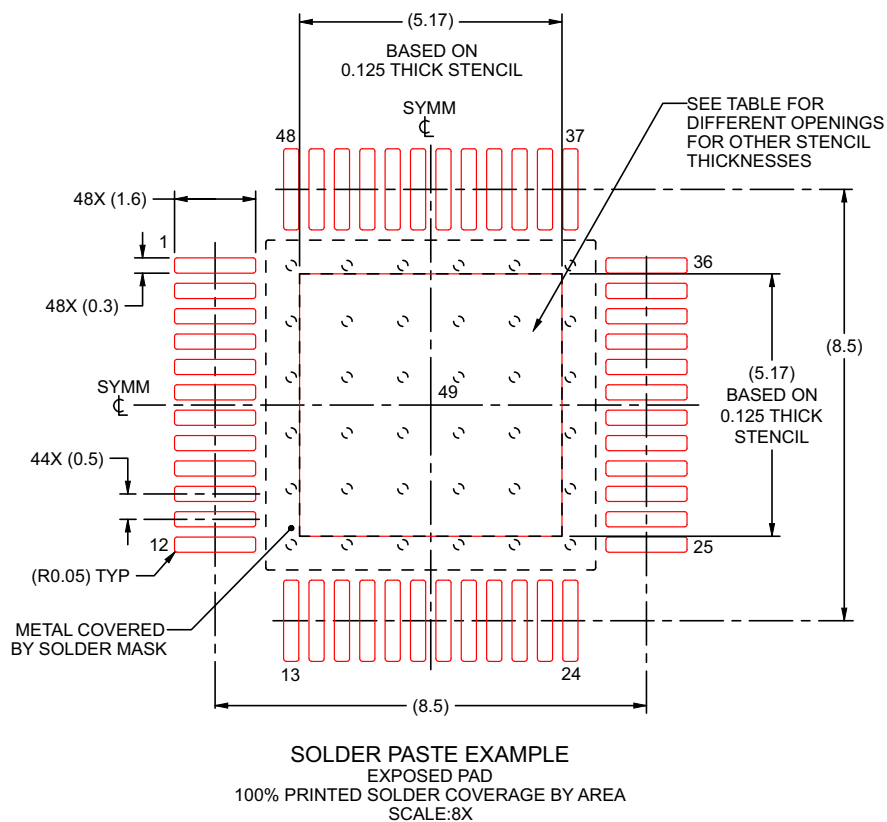
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

PHP0048G

PowerPAD™ HTQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	5.78 X 5.78
0.125	5.17 X 5.17 (SHOWN)
0.150	4.72 X 4.72
0.175	4.37 X 4.37

4225861/A 4/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DAC90802PHPR	Active	Production	HTQFP (PHP) 48	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-	DAC90802

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

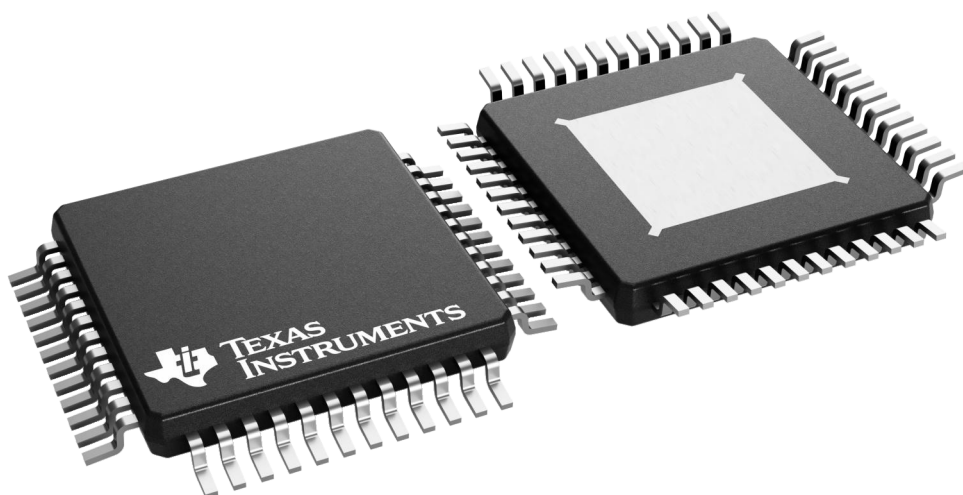
PHP 48

TQFP - 1.2 mm max height

7 x 7, 0.5 mm pitch

QUAD FLATPACK

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

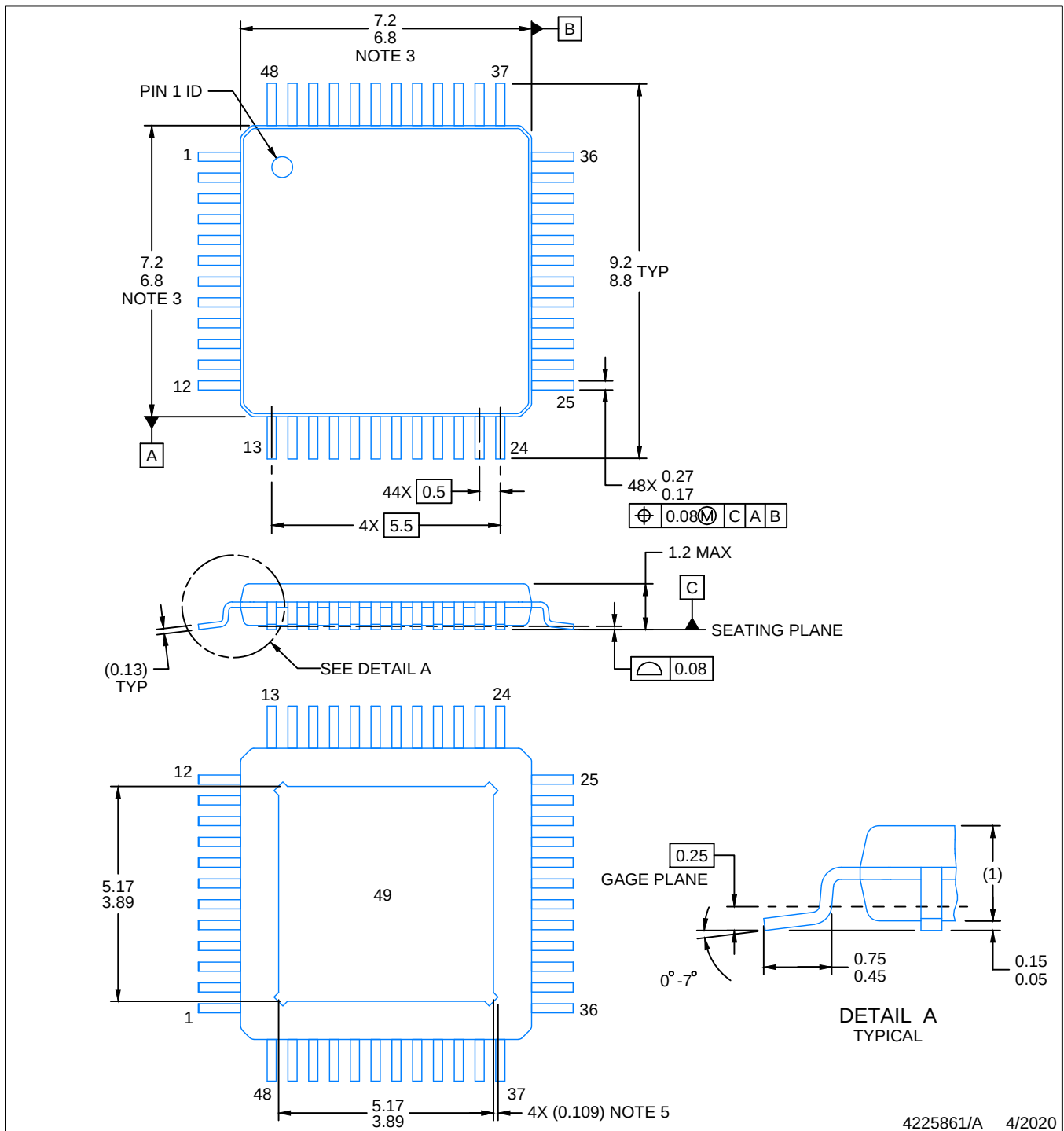


4226443/A

PHP0048G

PowerPAD™ HTQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



NOTES:

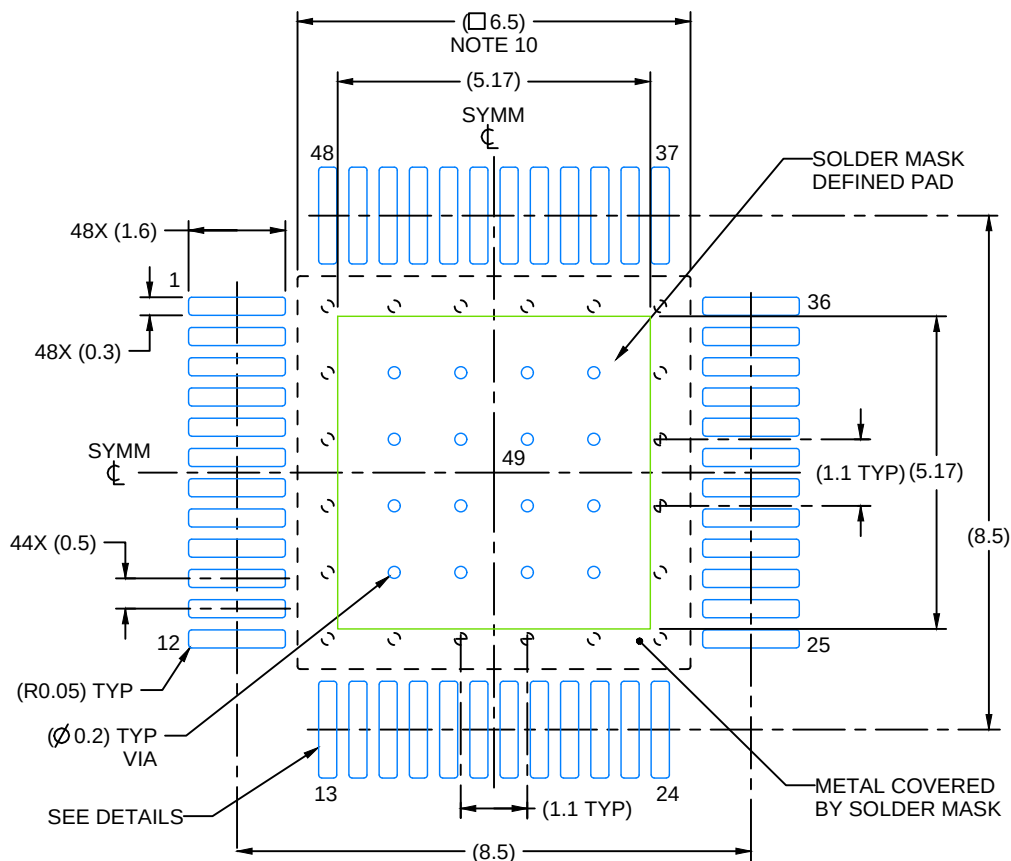
PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.
5. Feature may not be present.

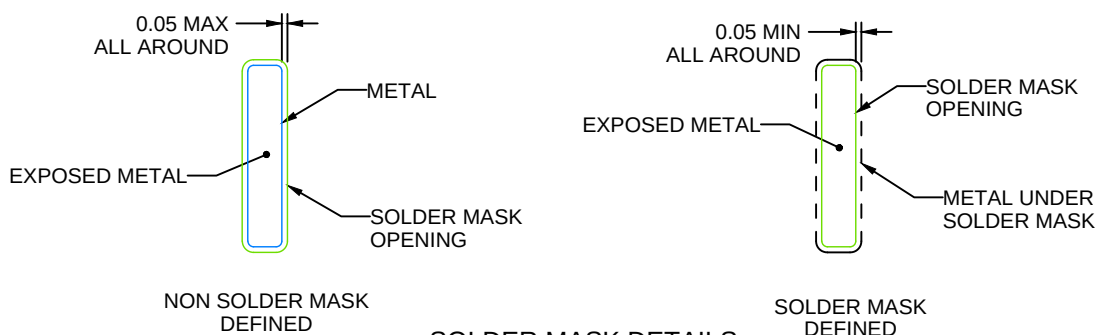
PHP0048G

PowerPAD™ HTQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4225861/A 4/2020

NOTES: (continued)

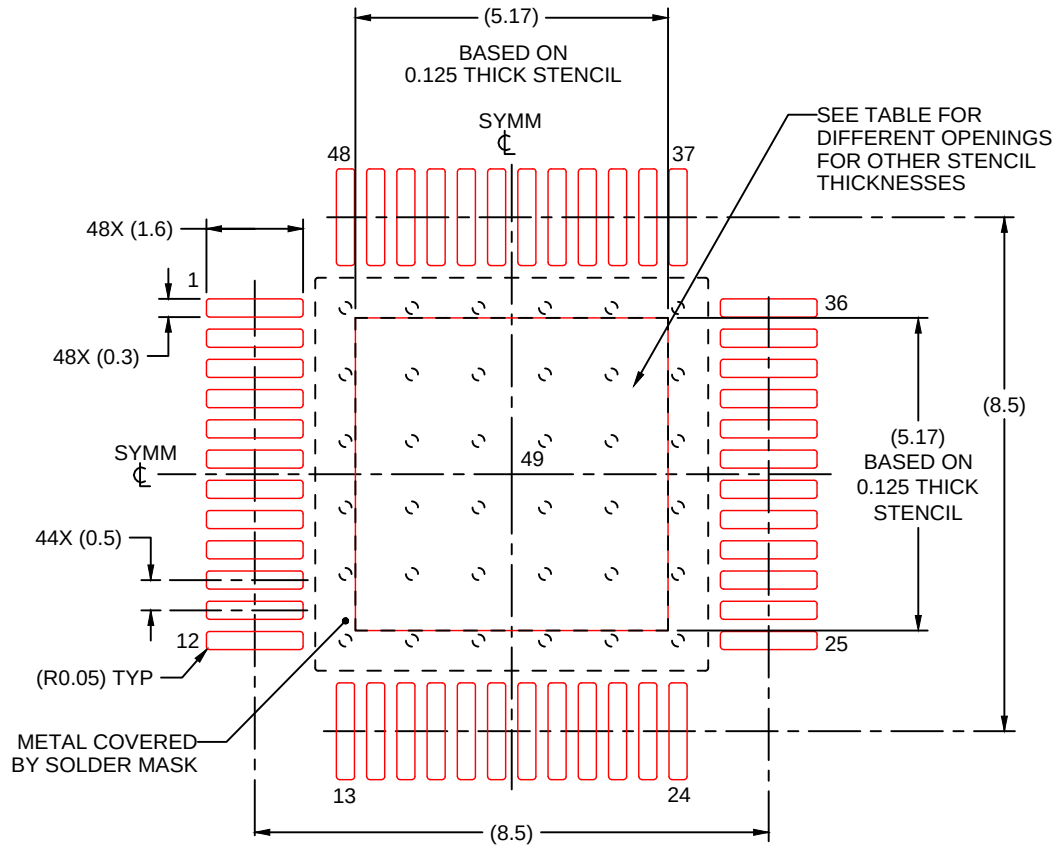
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

PHP0048G

PowerPAD™ HTQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	5.78 X 5.78
0.125	5.17 X 5.17 (SHOWN)
0.150	4.72 X 4.72
0.175	4.37 X 4.37

4225861/A 4/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月