DLP650TE 0.65 インチ 4K UHD デジタル マイクロミラー デバイス (DMD)

1 特長

- 対角 0.65 インチのマイクロミラー アレイ
  - ディスプレイ解像度:4K UHD (3840 × 2160)
  - 7.6µm のマイクロミラー ピッチ
  - マイクロミラー傾斜角:±12° (平面に対して)
  - コーナー照明
- 高速シリアル インターフェイス (High-Speed Serial Interface、HSSI) 入力データ バス
- 4K UHD で 60Hz、フル HD で 240Hz をサポート
- DLPC7540 ディスプレイ コントローラ、DLPA100 パワー マネージメント、およびモータ ドライバ IC によってサポートされたレーザー蛍光 / LED / RGB レーザー / ランプ動作

2 アプリケーション

- レーザー TV
- スマート プロジェクタ
- 企業向けプロジェクタ

3 説明

DLP650TE デジタル マイクロミラー デバイス (DMD) は、デジタル制御型の MEMS (micro-electromechanical system) 空間光変調器 (SLM) で、色鮮やかな 4K UHD ディスプレイ システムを実現します。本 DLP® 製品の 0.65 インチ 4K UHD チップセットは、DMD、DLPC7540 または ディスプレイ コントローラ、および DLPA100 パワーとモーター ドライバで構成されています。このコンパクトなチップセットは、小型の 4K UHD ディスプレイを実現するための包括的なシステム ソリューションを提供します。

DMD のエコシステムに、設計期間の短縮に役立つ定評あるリソースが用意されています。承認済みの光学モジュール メーカーやサード パーティー プロバイダを探すには、DLP® Products サード パーティー プロバイダ検索ツールをご利用ください。

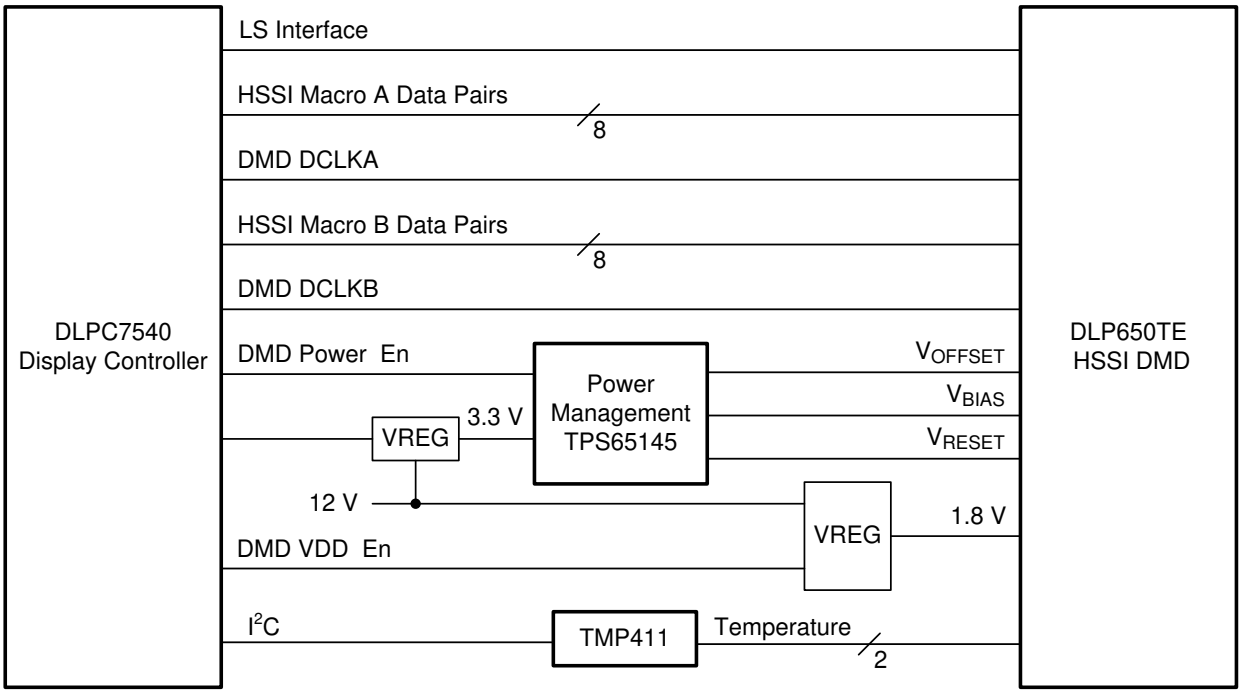
DMD を使用して設計を始める方法の詳細については、『テキサス・インスツルメンツの DLP ディスプレイ テクノロジーを使用した設計の開始』をご覧ください。

製品情報

部品番号	パッケージ(1)	パッケージ サイズ
DLP650TE	FYP(149)	32.2mm × 22.3mm

(1) 詳細については、*「メカニカル、パッケージ、および注文情報」*を参照してください。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



アプリケーション概略図

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....4
5 仕様.....7
5.1 絶対最大定格.....7
5.2 保存条件.....7
5.3 ESD 定格.....8
5.4 推奨動作条件.....8
5.5 熱に関する情報.....10
5.6 電気的特性.....11
5.7 スイッチング特性.....12
5.8 タイミング要件.....12
5.9 システム実装インターフェイスの荷重.....16
5.10 マイクロミラー アレイの物理特性.....17
5.11 マイクロミラー アレイの光学特性.....19
5.12 ウィンドウの特性.....20
5.13 チップセット コンポーネントの使用方法の仕様.....20
6 詳細説明.....21
6.1 概要.....21
6.2 機能ブロック図.....22
6.3 機能説明.....23
6.4 デバイスの機能モード.....23
6.5 光学インターフェイスおよびシステムの画質に関する検討事項.....23
6.6 マイクロミラー アレイ温度の計算.....24
6.7 マイクロミラーの電力密度の計算.....25
6.8 ウィンドウ アパーチャイル ミネーション オーバーフィル計算.....27
6.9 マイクロミラーのランデッド オン / ランデッド オフ デューティ サイクル.....28
7 アプリケーションと実装.....31
7.1 アプリケーション情報.....31
7.2 代表的なアプリケーション.....31
7.3 温度センサ ダイオード.....34
8 電源に関する推奨事項.....36
8.1 電源シーケンス要件.....36
8.2 DMD 電源のパワーアップ手順.....36
8.3 DMD 電源のパワーダウン手順.....36
9 レイアウト.....38
9.1 レイアウトのガイドライン.....38
9.2 インピーダンス要件.....38
9.3 基板面.....38
9.4 パターン幅、間隔.....39
9.5 電源.....39
9.6 パターン長のマッチングの推奨.....39
10 デバイスおよびドキュメントのサポート.....41
10.1 サード・パーティ製品に関する免責事項.....41
10.2 デバイス サポート.....41
10.3 ドキュメントのサポート.....41
10.4 ドキュメントの更新通知を受け取る方法.....42
10.5 サポート・リソース.....42
10.6 商標.....42
10.7 静電気放電に関する注意事項.....42
10.8 用語集.....42
11 改訂履歴.....42
12 メカニカル、パッケージ、および注文情報.....43
12.1 付録：パッケージ オプション.....44

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

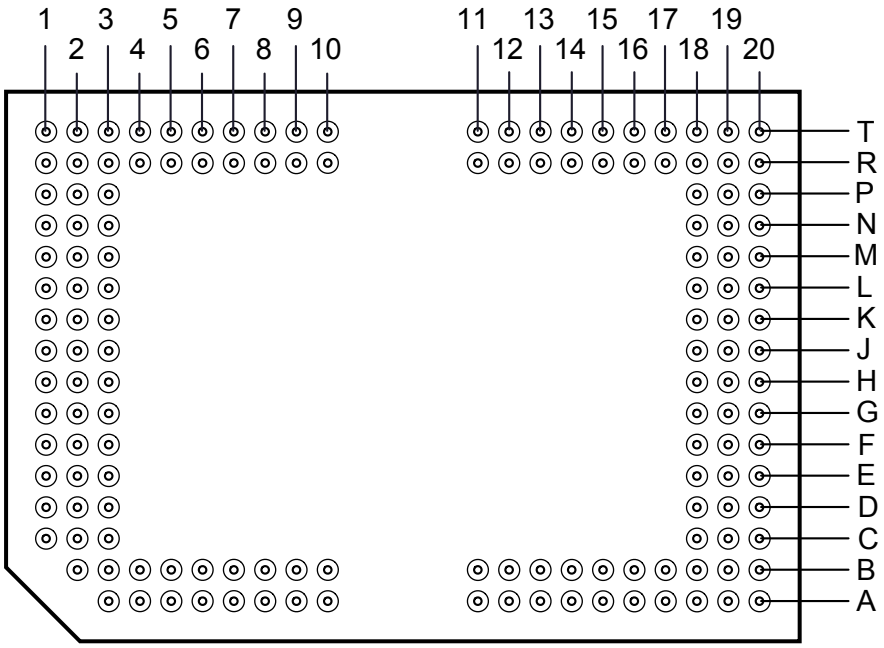


図 4-1. FYP パッケージ 149 ピン CPGA 底面図

表 4-1. ピンの機能

ピン		タイプ(1)	ピンの説明	パターン長 (mm)
名称	パッド ID			
D_AP (0)	J1	I	高速差動データ ペア レーン A0	18.09088
D_AN (0)	H1	I	高速差動データ ペア レーン A0	18.0916
D_AP (1)	G1	I	高速差動データ ペア レーン A1	18.11696
D_AN (1)	F1	I	高速差動データ ペア レーン A1	18.11641
D_AP (2)	A3	I	高速差動データ ペア レーン A2	11.11822
D_AN (2)	A4	I	高速差動データ ペア レーン A2	11.11745
D_AP (3)	D2	I	高速差動データ ペア レーン A3	12.04461
D_AN (3)	C2	I	高速差動データ ペア レーン A3	12.04491
D_AP (4)	F2	I	高速差動データ ペア レーン A4	15.1345
D_AN (4)	E2	I	高速差動データ ペア レーン A4	15.13457
D_AP (5)	A5	I	高速差動データ ペア レーン A5	12.80888
D_AN (5)	A6	I	高速差動データ ペア レーン A5	12.80825
D_AP (6)	A7	I	高速差動データ ペア レーン A6	6.34763
D_AN (6)	A8	I	高速差動データ ペア レーン A6	6.34706
D_AP (7)	A9	I	高速差動データ ペア レーン A7	4.45653
D_AN (7)	A10	I	高速差動データ ペア レーン A7	4.45875
DCLK_AP	C1	I	高速差動クロック A	15.08029
DCLK_AN	D1	I	高速差動クロック A	15.07977
D_BP (0)	A11	I	高速差動データ ペア レーン B0	4.06642
D_BN (0)	A12	I	高速差動データ ペア レーン B0	4.06697

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ[1]	ピンの説明	パターン長 (mm)
名称	パッド ID			
D_BP (1)	A13	I	高速差動データ ペア レーン B1	6.42676
D_BN (1)	A14	I	高速差動データ ペア レーン B1	6.42716
D_BP (2)	A15	I	高速差動データ ペア レーン B2	11.90485
D_BN (2)	A16	I	高速差動データ ペア レーン B2	11.90509
D_BP (3)	A18	I	高速差動データ ペア レーン B3	13.80223
D_BN (3)	A19	I	高速差動データ ペア レーン B3	13.80269
D_BP (4)	D19	I	高速差動データ ペア レーン B4	12.45294
D_BN (4)	C19	I	高速差動データ ペア レーン B4	12.45252
D_BP (5)	H20	I	高速差動データ ペア レーン B5	15.7909
D_BN (5)	J20	I	高速差動データ ペア レーン B5	15.79026
D_BP (6)	D20	I	高速差動データ ペア レーン B6	11.02899
D_BN (6)	E20	I	高速差動データ ペア レーン B6	11.02947
D_BP (7)	F20	I	高速差動データ ペア レーン B7	14.7517
D_BN (7)	G20	I	高速差動データ ペア レーン B7	14.75085
DCLK_BP	B17	I	高速差動クロック B	9.17864
DCLK_BN	B18	I	高速差動クロック B	9.17821
LS_WDATA_P	T10	I	LVDS データ	11.27905
LS_WDATA_N	R11	I	LVDS データ	6.76474
LS_CLK_P	R9	I	LVDS CLK	13.5461
LS_CLK_N	R10	I	LVDS CLK	12.56934
LS_RDATA_A_BISTA	T13	O	LVCMOS 出力	3.12045
BIST_B	T12	O	LVCMOS 出力	5.63628
AMUX_OUT	B20	O	アナログ テスト マルチプレクサ	9.3849
DMUX_OUT	R14	O	デジタル テスト マルチプレクサ	3.85333
DMD_DEN_ARSTZ	T11	I	ARSTZ	5.86593
TEMP_N	R8	I	温度ダイオード N	14.63792
TEMP_P	R7	I	温度ダイオード P	15.93219
VDD	B7、B13、C18、E3、H3、J2、K3、L2、L19、M1、M2、N3、N19、P2、P18、R3、R5、R12、R17、R19、T2、T4、T6、T8、T18	P	デジタル コア電源電圧	平面
VDDA	B4、B9、B11、B16、C20、D3、E18、G2、G19	P	HSSI 電源	平面
VRESET	B3、R1	P	マイクロミラー リセット信号の負のバイアスに対する電源電圧	平面
VBIAS	E1、P1	P	マイクロミラー リセット信号の正のバイアスに対する電源電圧	平面
VOFFSET	A20、B2、T1、T20	P	HVCMOS ロジックの電源電圧、ロジック レベルを昇圧	平面

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ(1)	ピンの説明	パターン長 (mm)
名称	パッド ID			
VSS	A17、B6、B10、B14、D18、F3、F19、J3、K2、K19、L1、L3、M3、N2、N18、N20、P3、P20、R2、R4、R6、R13、R20、T5、T7、T16、T17、T19	G	グランド	平面
VSSA	B5、B8、B12、B15、B19、C3、E19、G3、H2、H19、K1、N1、P19、R18、T3、T9	G	グランド	平面
N/C	R15、T14、T15、R16、H18、J18、G18、J19、F18、K20、K18、M19、L20、M18、L18、M20		無接続	

(1) I = 入力、O = 出力、P = 電源、G = グランド、NC = 未接続

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

パラメータ名	説明	最小値	最大値	単位
電源電圧				
V_{DD}	LVCMOS コアロジックと LVCMOS 低速インターフェイス (LSIF) の電源電圧(1)	-0.5	2.3	V
V_{DDA}	高速シリアルインターフェイス (HSSI) レシーバの電源電圧(1)	-0.3	2.2	V
V_{OFFSET}	HVCMOS およびマイクロミラー電極の電源電圧(1) (2)	-0.5	11	V
V_{BIAS}	マイクロミラー電極の電源電圧(1)	-0.5	17	V
V_{RESET}	マイクロミラー電極の電源電圧(1)	-13	0.5	V
$\lvert V_{DDA} - V_{DD} \rvert$	電源電圧差 (絶対値)(3)		0.3	V
$\lvert V_{BIAS} - V_{OFFSET} \rvert$	電源電圧差 (絶対値)(4)		11	V
$\lvert V_{BIAS} - V_{RESET} \rvert$	電源電圧差 (絶対値)(5)		30	V
入力電圧				
	その他の入力の入力電圧 - LSIF および LVCMOS(1)	-0.5	2.45	V
	その他の入力の入力電圧 - HSSI(1) (6)	-0.2	V_{DDA}	V
低速インターフェイス (LSIF)				
f_{CLOCK}	LSIF クロック周波数 (LS_CLK)		130	MHz
$\lvert V_{ID} \rvert$	LSIF 差動入力電圧の振幅(6)		810	mV
I_{ID}	LSIF 差動入力電流(7)		10	mA
高速シリアル インターフェイス (HSSI)				
f_{CLOCK}	HSSI クロック周波数 (DCLK)		1.65	GHz
$\lvert V_{ID} \rvert$	HSSI 差動入力電圧振幅データレーン(6)		700	mV
$\lvert V_{ID} \rvert$	HSSI 差動入力電圧振幅クロック レー(6)		700	mV
環境				
T_{ARRAY}	温度、動作時(8)	0	90	°C
T_{ARRAY}	温度、非動作時(8)	-40	90	°C
T_{DP}	露点温度、動作時および非動作時 (結露なし)		81	°C

(1) すべての電圧値は、グランド端末 (V_{SS}) を基準としたものです。DMD を適切に動作させるには、以下に示す必要な電源を接続する必要があります: V_{DD}、V_{DDA}、V_{OFFSET}、V_{BIAS} および V_{RESET}。すべての V_{SS} 接続も必要です。
(2) V_{OFFSET} 電源過渡電圧は、規定電圧内に収まる必要があります。
(3) V_{DDA} と V_{DD} の間の許容される絶対電圧差を超えると、過剰な電流が流れる場合があります。
(4) V_{BIAS} と V_{OFFSET} の間の許容される絶対電圧差を超えると、過剰な電流が流れる場合があります。
(5) V_{BIAS} と V_{RESET} の間の許容される絶対電圧差を超えると、過剰な電流が流れる場合があります。
(6) この最大入力電圧定格は、差動ペアの各入力電圧が同じ電位のときに適用されます。LVDS と Sub-HSSI 差動入力は、指定限界値を超えないようにする必要があります。さもなければ、内部終端抵抗が損傷する可能性があります。
(7) 差動入力は、指定限界値を超えないようにする必要があります。さもなければ、内部終端抵抗が損傷する場合があります。この仕様は、高速シリアル インターフェイス(HSSI)と低速インターフェイス (LSI) の両方に適用されます。
(8) アレイ温度は直接測定できず、パッケージの熱抵抗内にあるテスト ポイント (TP1) で測定された温度から、*マイクロミラー アレイ温度計算*によって解析的に算出する必要があります。

5.2 保存条件

部品としての DMD、またはシステムで動作していない DMD に適用できます。

記号	パラメータ	最小値	最大値	単位
T_{DMD}	DMD の保存温度	-40	80	°C

Copyright © 2025 Texas Instruments Incorporated

5.2 保存条件 (続き)

部品としての DMD、またはシステムで動作していない DMD に適用できます。

記号	パラメータ	最小値	最大値	単位
T_{DP-AVG}	平均露点温度 (結露なし)(1)		28	ºC
T_{DP-ELR}	高温の露点温度範囲、(結露なし)(2)	28	36	ºC
CT_{ELR}	高温の露点温度範囲における累積時間		24	毎月

(1) デバイスが「高温の露点温度範囲」にない経時的な平均値 (保存や動作を含む)。
(2) 保存時および動作時の高温範囲で露点温度への曝露は、CT_{ELR} の合計累積時間未満に制限する必要があります。

5.3 ESD 定格

記号	パラメータ	説明	値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
$V_{(ESD)}$	静電放電	荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠(2)	±500	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.4 推奨動作条件

自由気流での動作温度範囲および電源電圧内 (特に記述のない限り) (1)

パラメータ名		最小値	公称値	最大値	単位
電源電圧(2) (3)					
V_{DD}	LVCMOS コア ロジックおよび低速インターフェイス (LSIF) のための電源電圧	1.71	1.8	1.95	V
V_{DDA}	高速シリアル インターフェイス (HSSI) レシーバの電源電圧	1.71	1.8	1.95	V
V_{OFFSET}	HVCMOS およびマイクロミラー電極の電源電圧(4)	9.5	10	10.5	V
V_{BIAS}	マイクロミラー電極の電源電圧	15.5	16	16.5	V
V_{RESET}	マイクロミラー電極の電源電圧	-12.5	-12	-11.5	V
$\lvert V_{DDA} - V_{DD} \rvert$	電源電圧のデルタ、絶対値(5)			0.3	V
$\lvert V_{BIAS} - V_{OFFSET} \rvert$	電源電圧のデルタ、絶対値(6)			10.5	V
$\lvert V_{BIAS} - V_{RESET} \rvert$	電源電圧のデルタ、絶対値			29	V
LVCMOS 入力					
V_{IH}	高レベル入力電圧(7)	0.7 × V_{DD}			V
V_{IL}	低レベル入力電圧(7)			0.3 × V_{DD}	V
低速インターフェイス (LSIF)					
f_{CLOCK}	LSIF クロック周波数 (LS_CLK)(8)	108	120	130	MHz
DCD_{IN}	LSIF デューティ サイクル歪み (LS_CLK)	44%		56%	
$\lvert V_{ID} \rvert$	LSIF 差動入力電圧の振幅(8)	150	350	440	mV
V_{LVDS}	LSIF 電圧(8)	575		1520	mV
V_{CM}	同相電圧(8)	700	900	1300	mV
Z_{LINE}	ライン差動インピーダンス (PWB / パターン)	90	100	110	Ω
Z_{IN}	内部差動終端抵抗	80	100	120	Ω
高速シリアル インターフェイス (HSSI)					
f_{CLOCK}	HSSI クロック周波数 (DCLK)(9)	1.2		1.6	GHz
DCD_{IN}	HSSI デューティ サイクル歪み (DCLK)	44%	50%	56%	
$\lvert V_{ID} \rvert$ Data	HSSI 差動入力電圧振幅データレーン(9)	100		600	mV

Copyright © 2025 Texas Instruments Incorporated

5.4 推奨動作条件 (続き)

自由気流での動作温度範囲および電源電圧内 (特に記述のない限り) (1)

パラメータ名		最小値	公称値	最大値	単位
$\lvert V_{ID} \rvert$ CLK	HSSI 差動入力電圧振幅クロック レー(9)	295		600	mV
VCM_{DC} データ	入力同相電圧 (DC) データレーン(9)	200	600	800	mV
VCM_{DC} CLK	入力同相電圧 (DC) クロックレーン(9)	200	600	800	mV
VCM_{ACp-p}	データレーンおよびクロックレーンの同相モード電圧における AC ピークツーピーク (リップル)(9)			100	mV
Z_{LINE}	ライン差動インピーダンス (PWB / パターン)		100		Ω
Z_{IN}	内部差動終端抵抗 (R_{Xterm})	80	100	120	Ω
環境					
T_{ARRAY}	アレイ温度、長期動作(10) (11) (12) (13)	10		40～70	°C
	アレイ温度、短期動作、最大 500 時間(11) (14)	0		10	°C
T_{DP-AVG}	平均露点温度 (結露なし)(15)			28	°C
T_{DP-ELR}	高温の露点温度範囲 (結露なし)(16)	28		36	°C
CT_{ELR}	高温の露点温度範囲における累積時間			24	毎月
Q_{AP-ILL}	ウィンドウ アパーチャ イルミネーション オーバーフィル (17) (18)			17	W/cm^2
ランプ点灯					
ILL_{UV}	照明波長 395nm 未満(10)		0.68	2	mW/cm^2
ILL_{VIS}	395nm ～ 800nm の範囲の照明波長			29.3	W/cm2
ILL_{IR}	照明、波長 800nm 超過			10	mW/cm^2
ソリッド ステート点灯					
ILL_{UV}	照明波長 410nm 未満(10)			3	mW/cm^2
ILL_{VIS}	410nm ～ 800nm の範囲の照明波長			34.7	W/cm2
ILL_{IR}	照明、波長 800nm 超過			10	mW/cm^2

(1) *推奨動作条件* は、最終製品に DMD を取り付けた後に適用されます。
(2) DMD を動作させるには、すべての電源接続が必要です。V_{DD}、V_{DDA}、V_{OFFSET}、V_{BIAS} および V_{RESET}。DMD を動作させるには、すべての V_{SS} 接続が必要です。
(3) すべての電圧値は、V_{SS} グランド ピンを基準としたものです。
(4) V_{OFFSET} 電源過渡電圧は、規定最大電圧内に収まる必要があります。
(5) 過剰な電流を防止するため、電源電圧のデルタ $|V_{DDA} – V_{DD}|$ は、指定限界値よりも小さい必要があります。
(6) 過剰な電流を防止するため、電源電圧のデルタ $|V_{BIAS} – V_{OFFSET}|$ は、指定限界値よりも小さい必要があります。
(7) LVCMOS 入力ピンは DMD_DEN_ARSTZ です。
(8) *タイミング要件*の低速インターフェイス(LSIF) のタイミング要件を参照します。
(9) *タイミング要件* の高速シリアル インターフェイス (HSSI) のタイミング要件を参照します。
(10) DMD を *最大推奨動作条件* の温度および UV 照明に同時に曝露すると、デバイスの寿命が短くなります。
(11) アレイ温度を直接測定することはできず、図 6-1 に示すテスト ポイント (TP1) で測定された温度と、パッケージの熱抵抗から、マイクロミラー アレイ温度計算により解析的に算出する必要があります。
(12) 図 5-1 に従って、最大動作アレイ温度は、最終アプリケーションにおいて DMD が受けるマイクロミラーの着地デューティ サイクルに基づいてディレーティングする必要があります。マイクロミラーのランデッド デューティ サイクルの定義については、「マイクロミラーのランデッド デューティ サイクル」を参照してください。
(13) 長期は、デバイスの使用可能寿命と定義されます。
(14) 短期は、デバイスの有効寿命全体にわたる合計累積時間です。
(15) デバイスが「高温の露点温度範囲」にない経時的な平均値 (保存や動作を含む)。
(16) 保存時および動作時の高温範囲で露点温度への曝露は、CT_{ELR} の合計累積時間未満に制限する必要があります。
(17) DMD のアクティブ領域は、DMD デバイス アセンブリの構造を通常の視界から覆い隠す、DMD ウィンドウ面の内側にある開口部で囲まれています。 開口部は、いくつかの光学条件を想定した大きさになっています。アクティブ アレイの外側を照らすオーバーフィル光は散乱し、DMD を使用する最終アプリケーションの性能に悪影響を及ぼす可能性があります。照明光学システムは、アクティブ アレイから外側に入射する光束を最小限に抑えるように設計する必要があります。システムの光学アーキテクチャとアセンブリ許容誤差によっては、アクティブ アレイの外側のオーバーフィル光量がシステム性能の劣化を引き起こす可能性があります。
(18) 図 5-2 の赤い領域に適用されます

Copyright © 2025 Texas Instruments Incorporated

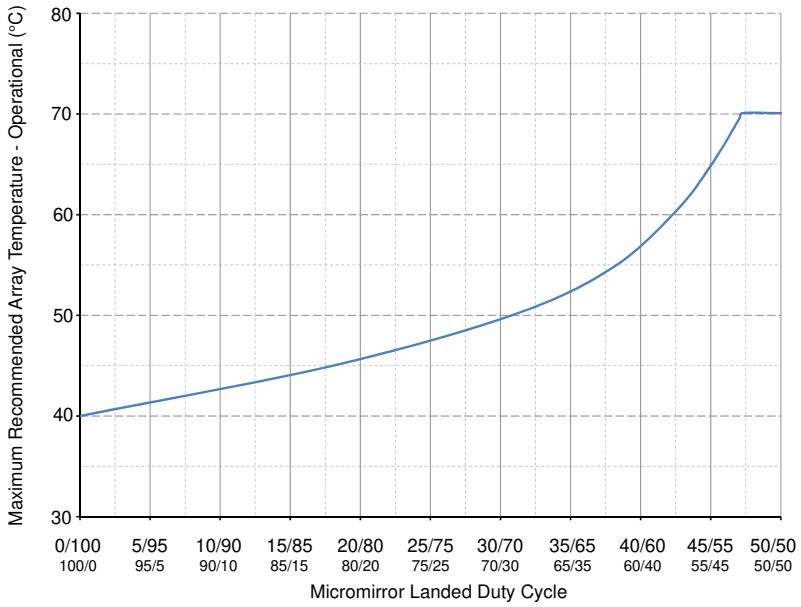


図 5-1. 推奨最大アレイ温度—ディレーティング曲線

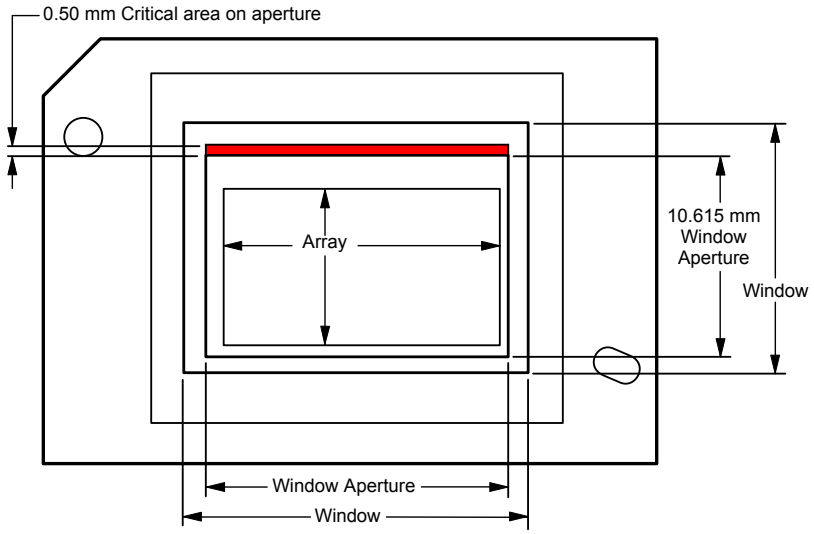


図 5-2. イルミネーション オーバーフィル ダイアグラム - クリティカル エリア

5.5 熱に関する情報

熱評価基準	DLP650TE FYP パッケージ 149 ピン	単位
熱抵抗、テスト ポイント 1 (TP1) に対するアクティブ領域(1)	0.60	°C/W

(1) DMD は、吸収および放散された熱をパッケージの裏面に伝導するよう設計されています。冷却システムは、「*推奨動作条件*」に規定されている温度範囲内にパッケージを維持できる必要があります。
DMD の合計熱負荷は、主にアクティブ領域によって吸収される入射光によって決まりますが、その他の寄与としてウィンドウ開口部によって吸収される光エネルギーやアレイの消費電力があります。

Copyright © 2025 Texas Instruments Incorporated

光学システムは、ウィンドウの開放口から外れた光エネルギーを最小限に抑えるよう設計する必要があります。これは、この領域に熱負荷が増大すると、デバイスの信頼性が大幅に低下する可能性があるためです。

5.6 電気的特性

自由気流での動作温度範囲および電源電圧内 (特に記述のない限り)

記号	パラメータ(1) (2)	テスト条件 (1)	最小値	標準値	最大値	単位
電流 – 代表値						
I_{DD}	消費電流 V_{DD} (3)			800	1250	mA
I_{DDA}	消費電流 V_{DDA} (3)			900	1200	mA
I_{DDA}	消費電流 V_{DDA} (3)	単一マクロ モード		500	600	mA
I_{OFFSET}	消費電流 V_{OFFSET} (4) (5)			23	35	mA
I_{BIAS}	消費電流 V_{BIAS} (4) (5)			2.4	3.8	mA
I_{RESET}	消費電流 V_{RESET} (5)		-10.5	-7.7		mA
パワー - 標準						
P_{DD}	電源消費電力 V_{DD} (3)			1440	2437.5	mW
P_{DDA}	電源消費電力 V_{DDA} (3)			1620	2340	mW
P_{DDA}	電源消費電力 V_{DDA} (3)	単一マクロ モード		900	1170	mW
P_{OFFSET}	電源消費電力 V_{OFFSET} (4) (5)			230	367.5	mW
P_{BIAS}	電源消費電力 VBIAS(4) (5)			38.4	62.7	mW
P_{RESET}	電源消費電力 V_{RESET} (5)			92.4	131.25	mW
P_{TOTAL}	電源の合計消費電力			3420.8	5338.95	mW
LVCMOS 入力						
I_{IL}	低レベル入力電流(6)	V_{DD} = 1.95V、V_I = 0V	-100			nA
I_{IH}	高レベル入力電流(6)	V_{DD} = 1.95V、V_I = 1.95V			135	µA
LVCMOS 出力						
V_{OH}	DC 出力高電圧(7)	I_{OH} = -2mA	0.8 × V_{DD}			V
V_{OL}	DC 出力低電圧(7)	I_{OL} = 2mA			0.2 × V_{DD}	V
レシーバのアイ特性						
A1	最小データ アイ開口(8)		100		600	mV
A1	最小クロック アイ開口(8)		295		600	mV
A2	最大信号スイング(8) (9)				600	mV
X1	最大アイクロージャ(8)				0.275	UI
X2	最大アイクロージャ(8)				0.4	UI
$\lvert t_{DRIFT} \rvert$	トレーニング パターン間のクロックとデータのドリフト				20	ps
容量						
C_{IN}	入力容量 LVCMOS	f = 1MHz			10	pF
C_{IN}	入力容量 LSIF (低速インターフェイス)	f = 1MHz			20	pF
C_{IN}	入力キャパシタンス HSSI (高速シリアル インターフェイス)- 差動 - クロック ピンとデータ ピン	f = 1MHz			5	pF
C_{OUT}	出力容量	f = 1MHz			10	pF

(1) DMD を動作させるには、すべての電源接続が必要です。V_{DD}、V_{DDA}、V_{OFFSET}、V_{BIAS} および V_{RESET}。DMD を動作させるには、すべての V_{SS} 接続が必要です。
(2) すべての電圧値は、グランド ピン (V_{SS}) を基準としたものです。
(3) 過剰な電流を防止するため、電源電圧のデルタ $|V_{DDA} – V_{DD}|$ は、指定限界値よりも小さい必要があります。
(4) 過剰な電流を防止するため、電源電圧のデルタ $|V_{BIAS} – V_{OFFSET}|$ は、指定限界値よりも小さい必要があります。

Copyright © 2025 Texas Instruments Incorporated

(5) 200µs の 3 つのグローバル リセットに基づく電源消費電力。
(6) LVCMOS 入力仕様は、ピン DMD_DEN_ARSTZ に対するものです。
(7) LVCMOS 出力仕様は、ピン LS_RDATA_A および LS_RDATA_B に対するものです。
(8) 図 5-12 (1e-12 BER) を参照してください。
(9) 「*推奨動作条件*」で定義

5.7 スイッチング特性

自由気流での動作温度範囲および電源電圧内 (特に記述のない限り)

記号	パラメータ	テスト条件	最小値	標準値	最大値	単位
t_{pd}	出力伝搬、クロックから Q まで、LS_CLK (差動クロック信号) 入力の立ち上がりエッジから LS_RDATA 出力まで	C_L = 5pF			11.1	ns
t_{pd}	出力伝搬、クロックから Q まで、LS_CLK (差動クロック信号) 入力の立ち上がりエッジから LS_RDATA 出力まで	C_L = 10pF			11.3	ns
	スルーレート、LS_RDATA	20% ～ 80%、C_L <40p	0.35			V/ns
	出力デューティ サイクル歪み、LS_RDATA_A および LS_RDATA_B	50 − (C2Q_rise − C2Q_fall) × 130e6 × 100	40%		60%	

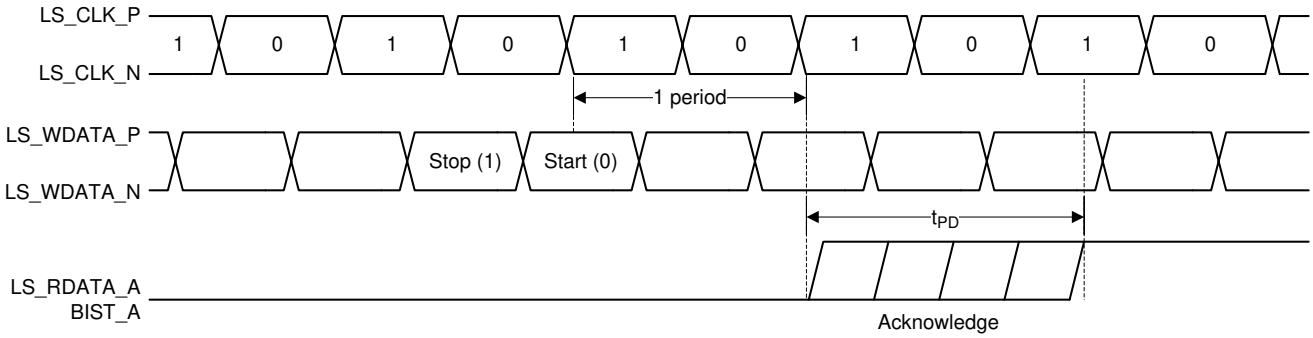


図 5-3. スイッチング特性

5.8 タイミング要件

自由気流での動作温度範囲および電源電圧内 (特に記述のない限り)

記号	パラメータ	テスト条件	最小値	標準値	最大値	単位
LVCMOS						
t_r	立ち上がり時間 (1)	20% ～ 80%のリファレンス ポイント			25	ns
t_f	立ち下がり時間 (1)	80% ～ 20%のリファレンス ポイント			25	ns
低速インターフェイス (LSIF)						
t_r	立ち上がり時間 (2)	20% ～ 80%のリファレンス ポイント			450	ps
t_f	立ち下がり時間 (2)	80% ～ 20%のリファレンス ポイント			450	ps
$t_{W(H)}$	パルス幅、high (3)	LS_CLK。50% ～ 50%のリファレンス ポイント	3.1			ns
$t_{W(L)}$	パルス幅、low (3)	LS_CLK。50% ～ 50%のリファレンス ポイント	3.1			ns
t_{su}	セットアップ時間 (4)	LS_WDATA が有効になってから LS_CLK の立ち上がりエッジまで (差分)	1.5			ns
t_h	ホールド時間 (4)	LS_CLK の立ち上がりエッジの後に LS_WDATA 有効	1.5			ns
高速シリアル インターフェイス (HSSI)						
t_r	立ち上がり時間(5)、データ	-A1 から A1 までの最小アイ高仕様	50		115	ps
t_r	立ち上がり時間(5)、クロック	-A1 から A1 までの最小アイ高仕様	50		135	ps
t_f	立ち下がり時間(5)、データ	A1 から -A1 までの最小アイ高仕様	50		115	ps

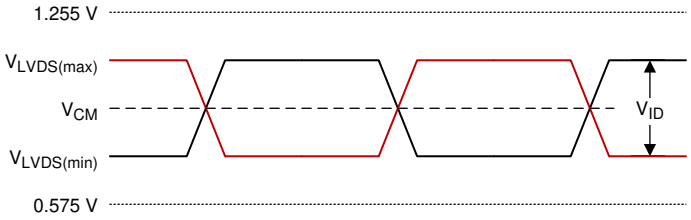
Copyright © 2025 Texas Instruments Incorporated

5.8 タイミング要件 (続き)

自由気流での動作温度範囲および電源電圧内 (特に記述のない限り)

記号	パラメータ	テスト条件	最小値	標準値	最大値	単位
t_f	立ち下がり時間(5)、クロック	A1 から -A1 までの最小アイ高仕様	50		135	ps
$t_{W(H)}$	パルス幅、high (6)	DCLK、50% ～ 50%のリファレンス ポイント	0.275			ns
$t_{W(L)}$	パルス幅、low (6)	DCLK、50% ～ 50%のリファレンス ポイント	0.275			ns
t_c	サイクル時間 (6)	DCLK	0.625		0.833	ns

(1) 「LVCMOS の立ち上がり、立ち下がり時間のスルー レート」の図を参照してください。仕様は、DMD_DEN_ARSTZ ピン (LVCMOS) のものです。
(2) LSIF の立ち上がり時間と立ち下がり時間については、図を参照してください。
(3) LSIF のパルス幅の high 時間および low 時間については、図を参照してください。
(4) LSIF のセットアップ時間およびホールド時間については、図を参照してください。
(5) HSSI の立ち上がり時間/立ち下がり時間については、図を参照してください。
(6) HSSI のパルス幅の high 時間と low 時間およびサイクル時間については、図を参照してください。



A. 式 1 および を参照してください。

図 5-4. LSIF 波形要件

$$V_{LVDS\,(max)} = V_{CM\,(max)} + \left|\frac{1}{2} \times V_{ID\,(max)}\right| \quad (1)$$

$$V_{LVDS\,(min)} = V_{CM\,(min)} - \left|\frac{1}{2} \times V_{ID\,(max)}\right| \quad (2)$$

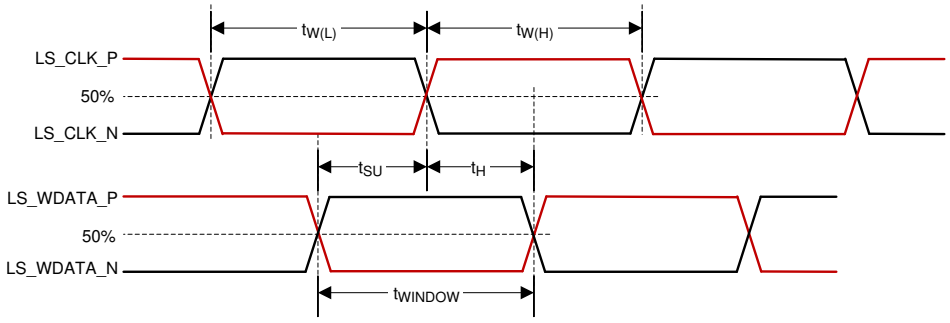


図 5-5. LSIF のタイミング要件

Copyright © 2025 Texas Instruments Incorporated

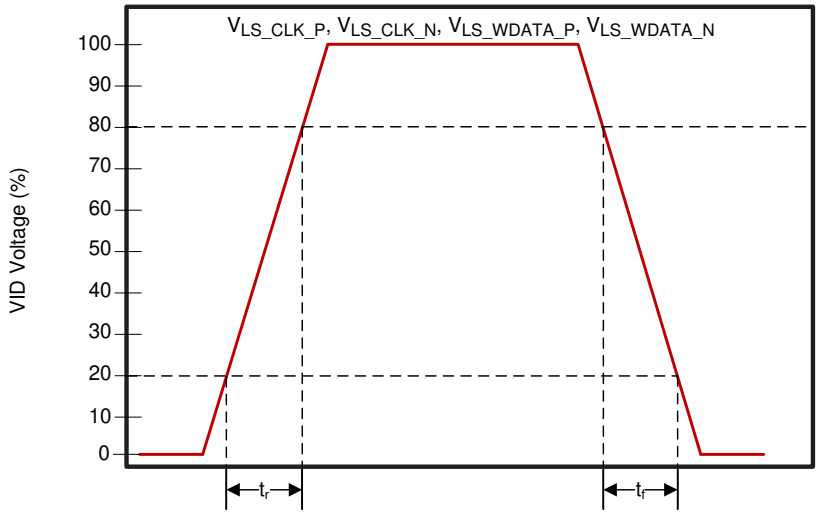


図 5-6. LSIF の立ち上がり/立ち下がり時間のスルー レート

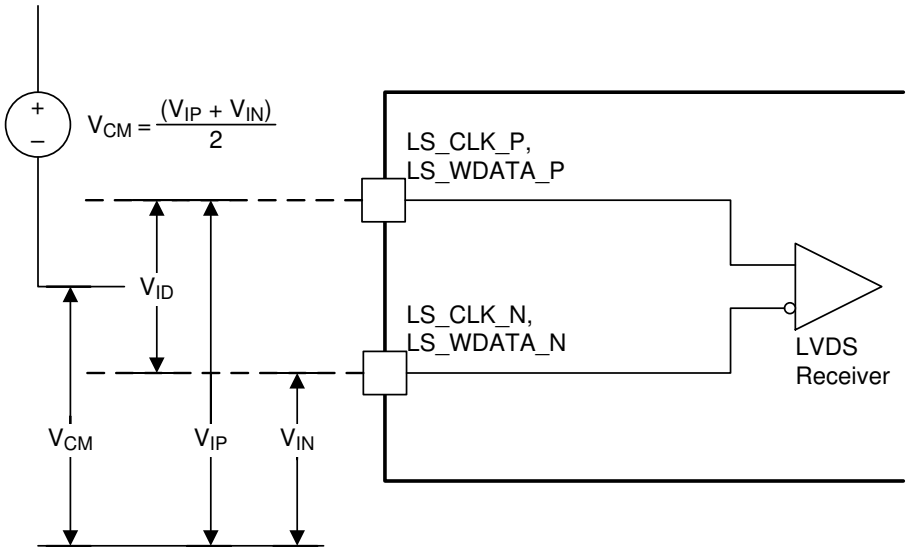


図 5-7. LSIF 電圧要件

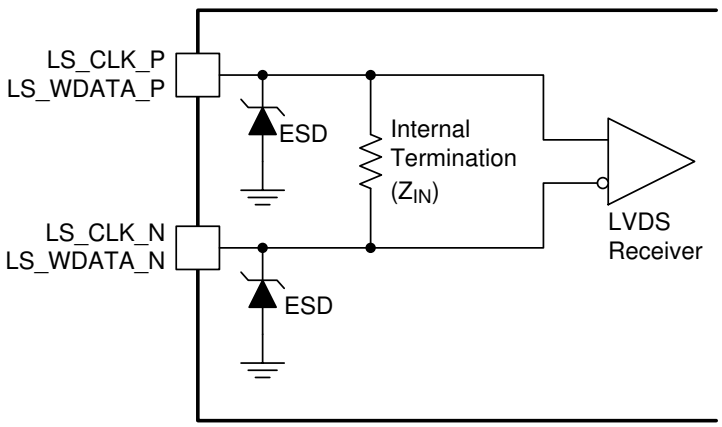


図 5-8. LSIF 等価入力

Copyright © 2025 Texas Instruments Incorporated

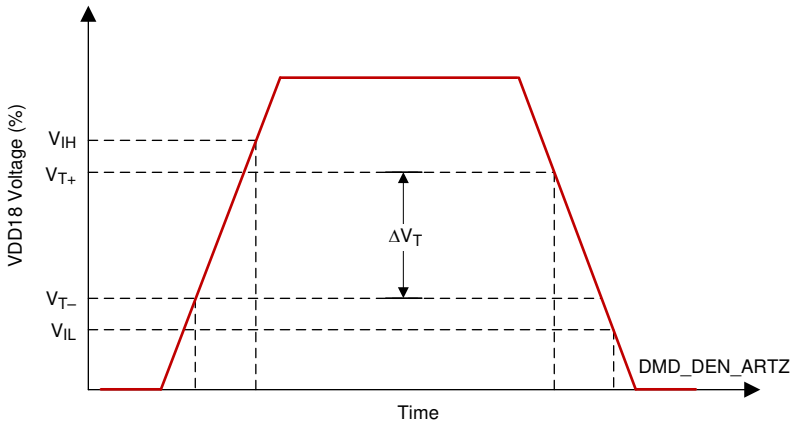


図 5-9. LVCMOS 入力ヒステリシス

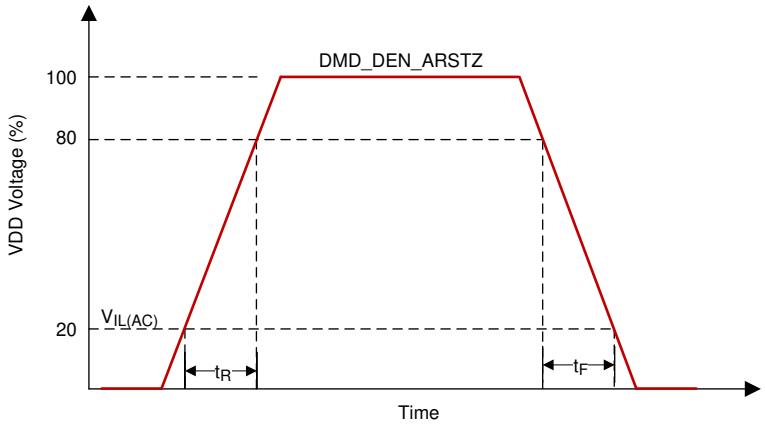
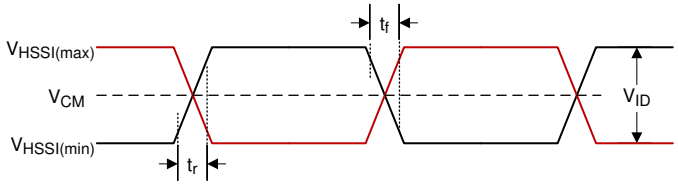


図 5-10. LVCMOS の立ち上がり/立ち下がり時間のスルー レート



A. 式 3 および 式 4 を参照してください

。

図 5-11. HSSI 波形要件

$$V_{HSSI(max)} = V_{CM(max)} + \left| \frac{1}{2} \times V_{ID(max)} \right| \quad (3)$$

$$V_{HSSI(min)} = V_{CM(min)} - \left|\frac{1}{2} \times V_{ID(max)}\right| \quad (4)$$

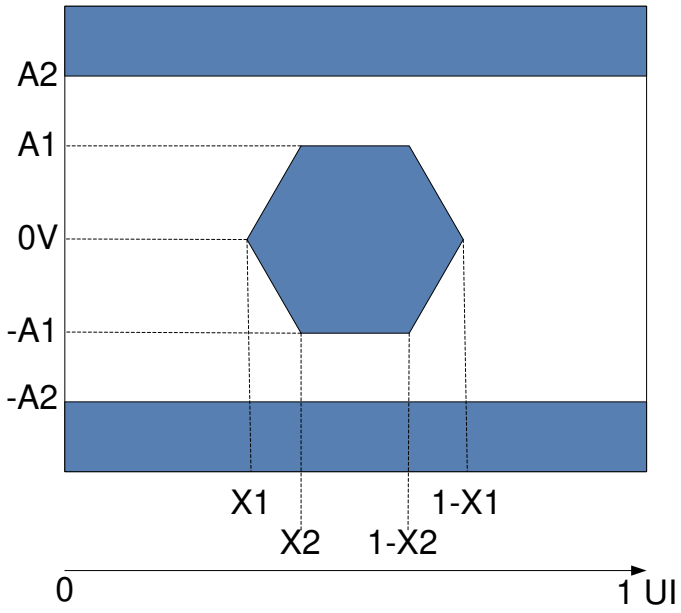


図 5-12. HSSI アイ特性

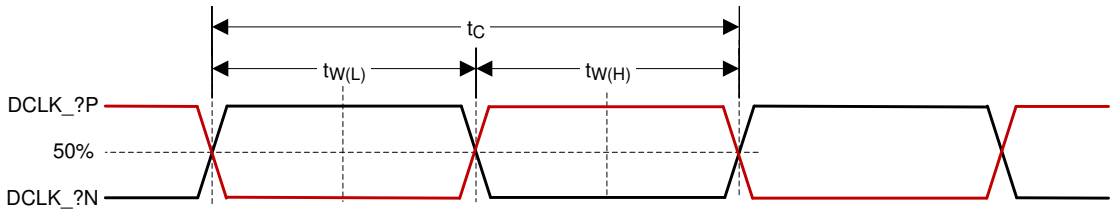


図 5-13. HSSI の CLK 特性

5.9 システム実装インターフェイスの荷重

パラメータ	最小値	標準値	最大値	単位
電気およびサーマル インターフェイス領域の両方に荷重がかかる場合				
電気インターフェイス領域に適用される最大荷重(1)			111	N
サーマル インターフェイス領域に適用される最大負荷(1)			111	N
電気インターフェイス領域のみに荷重がかかる場合				
電気インターフェイス領域に適用される最大荷重(1)			222	N
サーマル インターフェイス領域に適用される最大負荷(1)			0	N

(1) 荷重は、図 5-14 に示されている対応領域に均一に適用する必要があります。

Copyright © 2025 Texas Instruments Incorporated

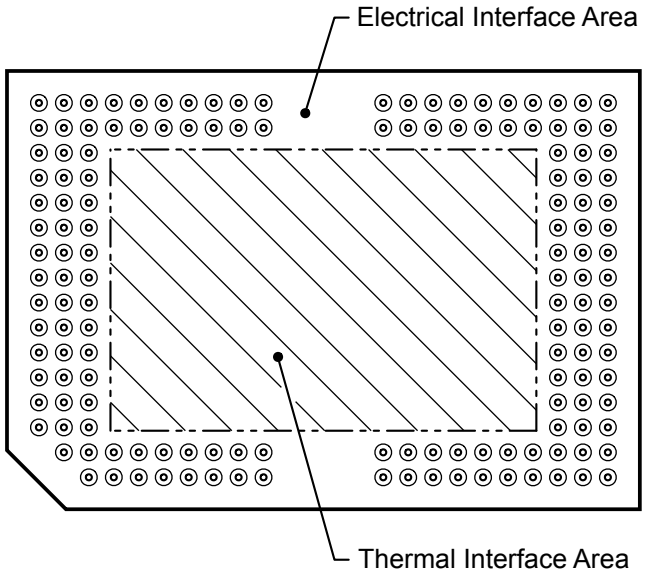


図 5-14. システム実装インターフェイスの荷重

5.10 マイクロミラー アレイの物理特性

記号	パラメータ	説明	最小値	標準値	最大値	単位
M	アクティブ列の数(1)			1920		マイクロミラー
N	アクティブ行の数(1)			1080		マイクロミラー
P	マイクロミラー (ピクセル) ピッチ(1)			7.6		um
	マイクロミラーのアクティブ アレイの幅(1)	(マイクロミラーのピッチ) × (アクティブ列の数)		14.592		mm
	マイクロミラーのアクティブ アレイの高さ(1)	(マイクロミラーのピッチ) × (アクティブ列の数)		8.208		mm
	マイクロミラーのアクティブ境界(2)	マイクロミラーの池 (POM)		14		マイクロミラー / サイド

(1) 図 6-15 を参照。
(2) アクティブ アレイの周囲の構造と特性には、部分的に機能するマイクロミラーで POM と呼ばれる帯状の領域が含まれています。これらのマイクロミラーは構造的および / または電気的に、明るい状態またはオン状態へ傾けることを防止しますが、オフ状態へ傾けるには電気的バイアスが必要です。

Copyright © 2025 Texas Instruments Incorporated

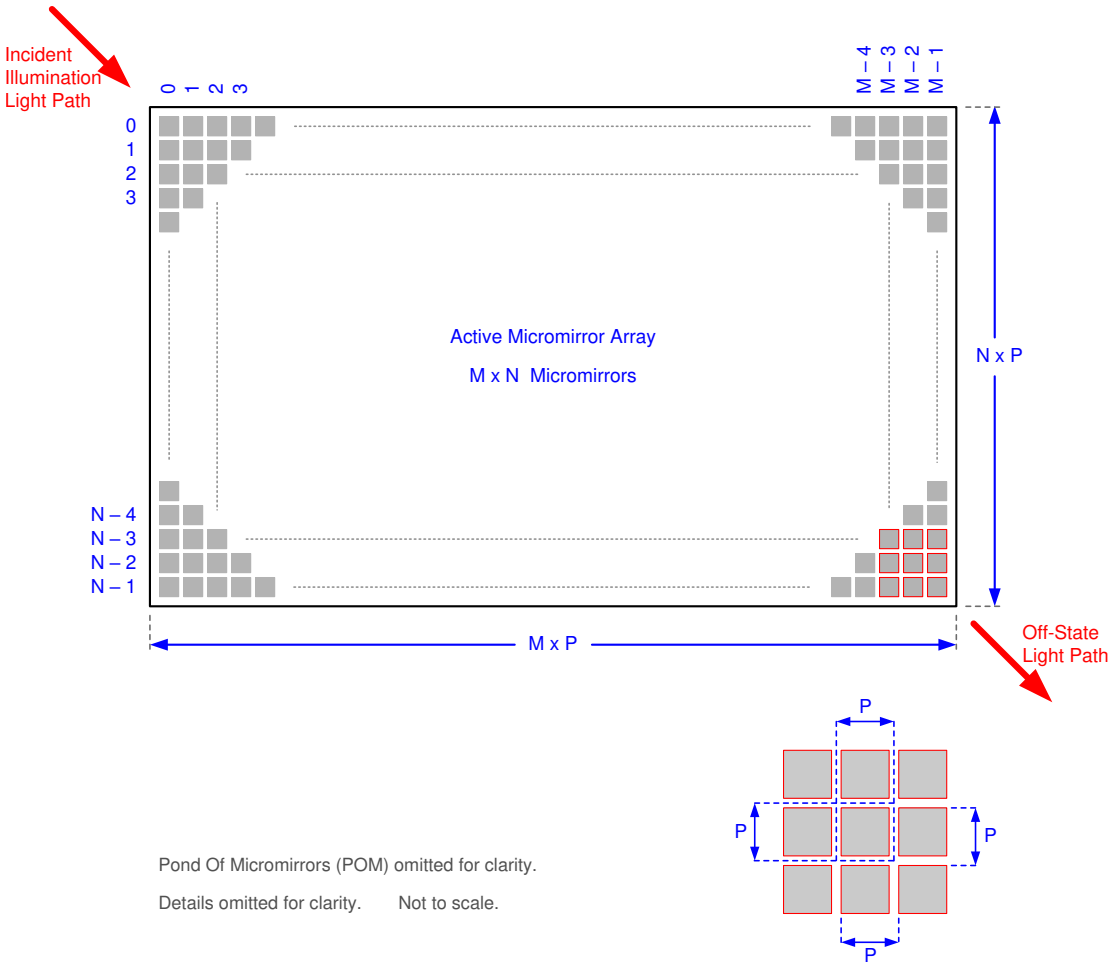


図 5-15. マイクロミラー アレイの物理特性

Copyright © 2025 Texas Instruments Incorporated

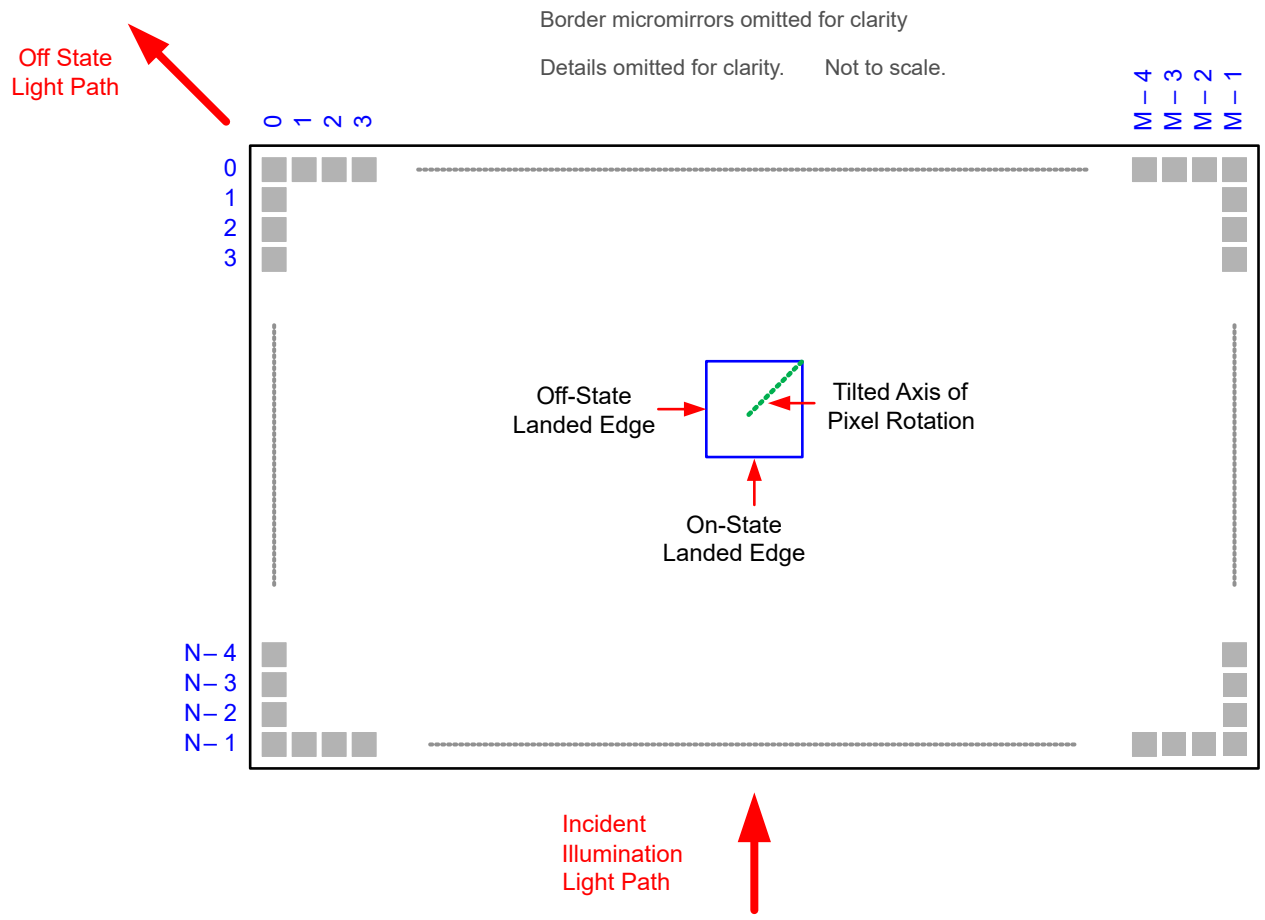
5.11 マイクロミラー アレイの光学特性

パラメータ		テスト条件	最小値	公称値	最大値	単位
マイクロミラーの傾斜角、デバイスごとに変化 (2) (3) (4) (5)		着地状態(1)	11	12	13	度
画像性能(6)	アクティブ領域の明るいピクセル(7)	グレイの 10 画面(10)			0	マイクロミラー
	POM 内の明るいピクセル(7) (9)	グレイの 10 画面(10)			1	
	アクティブ領域の暗いピクセル(8)	白色画面(11)			4	
	隣接ピクセル(12)	任意の画面			0	
	アクティブ領域で不安定なピクセル(13)	任意の画面			0	

(1) マイクロミラー アレイ全体から形成されるプレーンを基準として測定されます。
(2) マイクロミラー アレイとパッケージのデータム間には、さらに大きな変動があります。
(3) これは、同じデバイス上または異なるデバイス上に配置された任意の 2 つの個別マイクロミラー間で発生する可能性のある変動を表しています。
(4) 一部のアプリケーションでは、システム全体の光学設計においてマイクロミラーの傾斜角の変動を考慮することが重要です。一部のシステム光学設計では、デバイス内のマイクロミラーの傾斜角が変動すると、マイクロミラー アレイから反射された光磁界では不均一性が認識される場合があります。一部のシステム光学設計では、デバイス間でマイクロミラーの傾斜角が変動すると、色測定のバラツキ、システム効率のバラツキ、またはシステム コントラストのバラツキが生じる場合があります。
(5) 図 5-16 を参照してください。
(6) 受け入れの条件。すべての DMD 画像性能リターンは、以下の投影画像試験条件を用いて評価されます。
- 試験セットのデガンマは線形である必要があります。
- テスト セットの輝度とコントラストは公称値に設定する必要があります。
- 投影画像の対角サイズは、最低 60 インチであるものとします。
- 投影スクリーンは 1 ゲインにする必要があります。
- 投影画像は、最小 8 フィートの距離から検査する必要があります。
- すべての画像性能試験において、画像はフォーカスされている必要があります。

(7) 明るいピクセルの定義:シングル ピクセルまたはミラーがオフ位置に固定され、周囲のピクセルよりも目に見えて明るいこと。
(8) 暗いピクセルの定義:シングル ピクセルまたはミラーがオフ位置に固定され、周囲のピクセルよりも目に見えて暗いこと。
(9) POM の定義:アクティブ領域を取り囲むオフ状態ミラーの長方形境界線。
(10) グレイの 10 画面の定義:RGB 値を R=10/255、G=10/255、B=10/255 に設定したフル スクリーン。
(11) 白色画面の定義:RGB 値を R = 255/255、G = 255/255、B = 255/255 に設定したフル スクリーン。
(12) 隣接ピクセルの定義:共通の境界または共通のポイントを共有する 2 つ以上のスタック ピクセル。クラスタとも呼ばれます
(13) 不安定なピクセルの定義:パラメータをメモリにロードした順序で動作しないシングル ピクセルまたはミラー。不安定なピクセルは、画像と非同期にちらつきがあるように見える。

Copyright © 2025 Texas Instruments Incorporated



A. マイクロミラーの池 (POM) は明確にするため省略。
B. M、N、P の仕様については、「*マイクロミラー アレイの物理特性*」表を参照してください。

図 5-16. マイクロミラーの着地方向と傾き

5.12 ウィンドウの特性

パラメータ	テスト条件	最小値	標準値	最大値	単位
ウィンドウ材料名称	WLP		コーニング EagleXG		
ウィンドウ屈折率	波長 546.1nm の場合		1.5119		

5.13 チップセット コンポーネントの使用方法の仕様

DLP650TE DMD の信頼性の高い機能と動作を実現するには、TI の DMD 制御テクノロジーを採用または実装する部品など、該当する DLP チップセットの他の部品と組み合わせて使用する必要があります。TI の DMD 制御テクノロジーは、DLP DMD の動作または制御に使用される TI のテクノロジーとデバイスで構成されています。

注

TI は、前述の制限を超える光学システムの動作条件によって発生する画質のアーチファクトまたは DMD の故障については、一切責任を負いません。

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

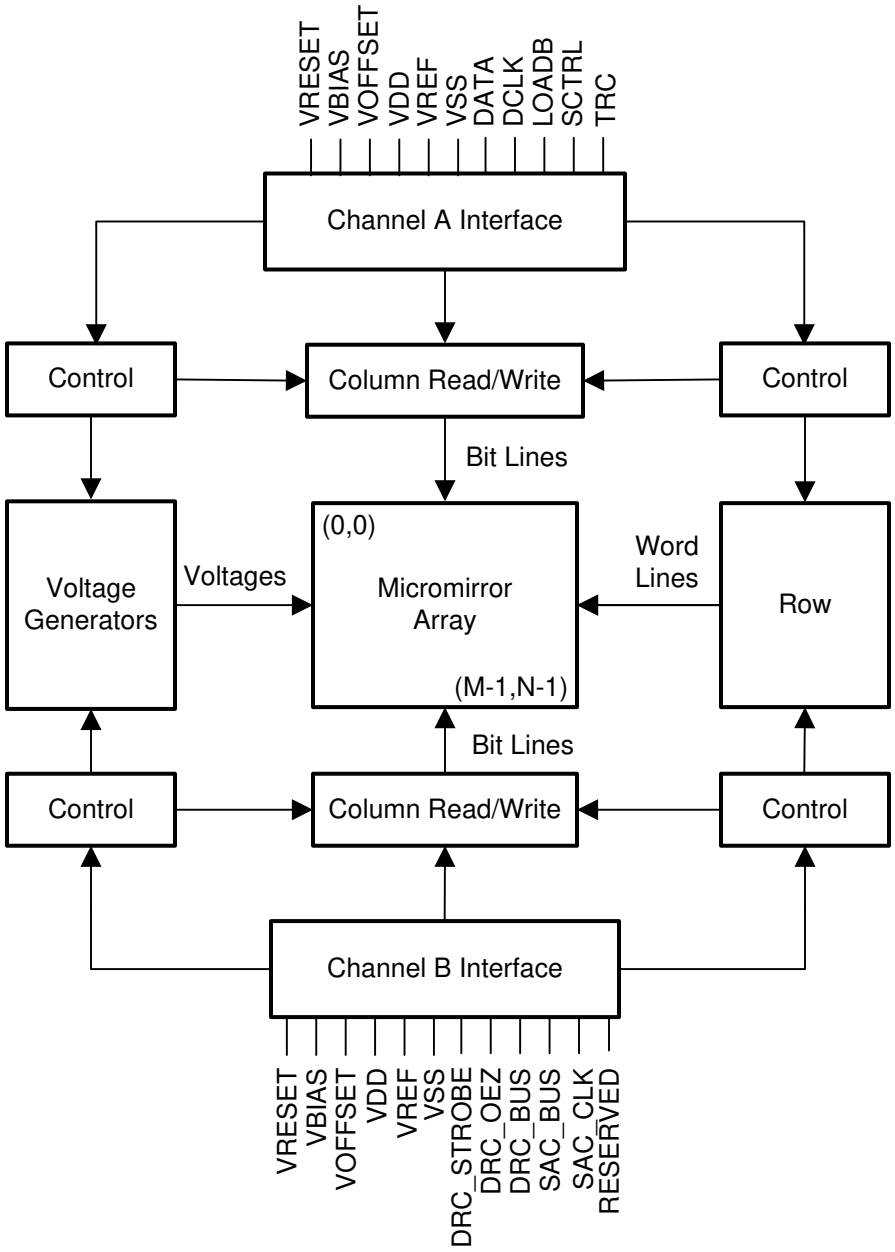
6.1 概要

DMD は、対角 0.65 インチの空間光変調器で、反射率の高いアルミニウム製マイクロミラー アレイを内蔵しています。DMD は、電気入力、光出力の光マイクロマシン (MOEMS) です。DMD マイクロミラーの高速なスイッチング速度と、高度な DLP 画像処理アルゴリズムとの組み合わせにより、各マイクロミラーは各フレーム中に画面上に 4 つの個別のピクセルを表示でき、その結果、3840 × 2160 ピクセルの画像全体を表示できます。電気的インターフェイスは、低電圧差動信号伝送 (LVDS) です。DMD は、1 ビット CMOS メモリ セルの 2 次元アレイで構成されます。アレイは、M 個のメモリ セル列と N 個のメモリ セル行の格子状に編成されます。セクション 6.2 を参照してください。マイクロミラーの正または負の偏向角度は、基盤となる CMOS アドレッシング回路とマイクロミラー リセット信号 (MBRST) のアドレス電圧を変更することで、個別に制御可能です。

DLP 0.65 インチ 4K UHD チップセットは、DLP650TE DMD、DLPC7540 ディスプレイ コントローラ、DLPA100 電源管理およびモーター ドライバで構成されています。信頼性の高い動作を確保するために、DLP650TE DMD は、常に指定されたチップセットに含まれる DLP ディスプレイ コントローラおよび電源管理、モーター ドライバと一緒に使用する必要があります。

Copyright © 2025 Texas Instruments Incorporated

6.2 機能ブロック図



Copyright © 2025 Texas Instruments Incorporated

6.3 機能説明

6.3.1 電源インターフェイス

DMD は次の 4 つの DC 電圧を必要とします。1.8V ソース、V_{OFFSET}、V_{RESET}、V_{BIAS} 標準的な構成では、DLPA100 電源管理およびモーター ドライバによって 3.3V が生成され、DMD ボードで使用されて 1.8V を生成します。TI の電圧レギュレータ TPS65145 は 3.3V を取り込み、V_{OFFSET}、V_{RESET}、V_{BIAS} を出力します。

6.3.2 タイミング

データシートには、デバイス ピンでのタイミングが記載されています。出力タイミング解析では、テスタのピン エレクトロニクスとその伝送ラインの影響を考慮に入れる必要があります。タイミング基準負荷は、特定のシステム環境を精密に表現したり、製造試験で示される実際の負荷を表現したりすることを意図したものではありません。IBIS または他のシミュレーション ツールを使用して、タイミング基準負荷をシステム環境に関連付けてください。AC タイミング信号の特性評価および測定には、指定の負荷容量値のみを使用してください。この負荷容量の値は、デバイスが駆動可能な最大負荷を示しているわけではありません。

6.4 デバイスの機能モード

DMD の機能モードは、DLPC7540 ディスプレイ コントローラによって制御されます。*「DLPC7540 ディスプレイ コントローラのデータシート」* を参照するか、TI アプリケーション エンジニアにお問い合わせください。

6.5 光学インターフェイスおよびシステムの画質に関する検討事項

TI は、最終製品の光学性能について一切責任を負いません。目的の最終製品の光学性能を実現するには、多数の部品とシステム設計パラメータとの間でトレードオフを決定する必要があります。システムの光学性能と画像品質の最適化は、光学システム設計のパラメータのトレードオフに大きく関係しています。想定可能なすべてのアプリケーションを予測できるわけではありませんが、プロジェクタの画質と光学性能は、以下のセクションに示す光学システムの動作条件への準拠によって決まります。

6.5.1 開口数および迷光制御

テキサス・インスツルメンツ は、照明光学系の開口数によって定義される光円錐角は、投影光学系の開口数によって定義される光円錐角と同じであることが望ましいことを推奨しています。この角度は、照明および投影瞳孔に適切な開口部を追加して、投影レンズからの平面光および迷光をブロックする場合を除いて、公称デバイスのマイクロミラー傾斜角を超えないようにする必要があります。マイクロミラーの傾斜角により、DMD の「オン」光路をその他のライトパスから分離できます。これには、DMD ウィンドウからの望ましくない平面状態の反射、DMD の境界構造、または DMD 付近にあるプリズムやレンズ表面などのその他のシステム表面などが含まれます。開口数がマイクロミラーの傾斜角を超える場合、または投影開口数角度が照明開口数角度より 2 度以上大きい場合 (その逆も同様)、コントラストが低下し、表示境界やアクティブ領域に望ましくないアーティファクトが発生する可能性があります。

6.5.2 瞳孔一致

光学的品質および画質に関する TI の仕様は、照明用光学素子の射出瞳が公称値として投影光学素子の入射瞳から 2° 以内の位置を中心としていると仮定しています。瞳孔のずれは、ディスプレイ境界とアクティブ領域に不快なアーチファクトを発生させる可能性があり、特にシステムの開口数がピクセル チルト角度を超える場合は、制御するために追加のシステム開口部が必要になる場合があります。

6.5.3 オーバーフィル照射

デバイスのアクティブ領域は、DMD チップ アセンブリの構造を通常の視界から覆い隠す、DMD ウィンドウ面の内側にある開口部で囲まれ、複数の光学動作条件を想定したサイズとなっています。ウィンドウ開口部を照らすオーバーフィル光は、ウィンドウ開口部の端からアーチファクトが発生したり、その他の表面異常が画面に表示されたりする可能性があります。照明光学システムは、ウィンドウ開口部上の任意の場所に入射する光束が、アクティブ領域の平均光束レベルの約 10% を超えないように設計する必要があります。特定のシステムの光学的アーキテクチャによっては、オーバーフィル光を推奨される 10% 未満にさらに低減して、許容可能な範囲にする必要があります。

Copyright © 2025 Texas Instruments Incorporated

6.6 マイクロミラー アレイ温度の計算

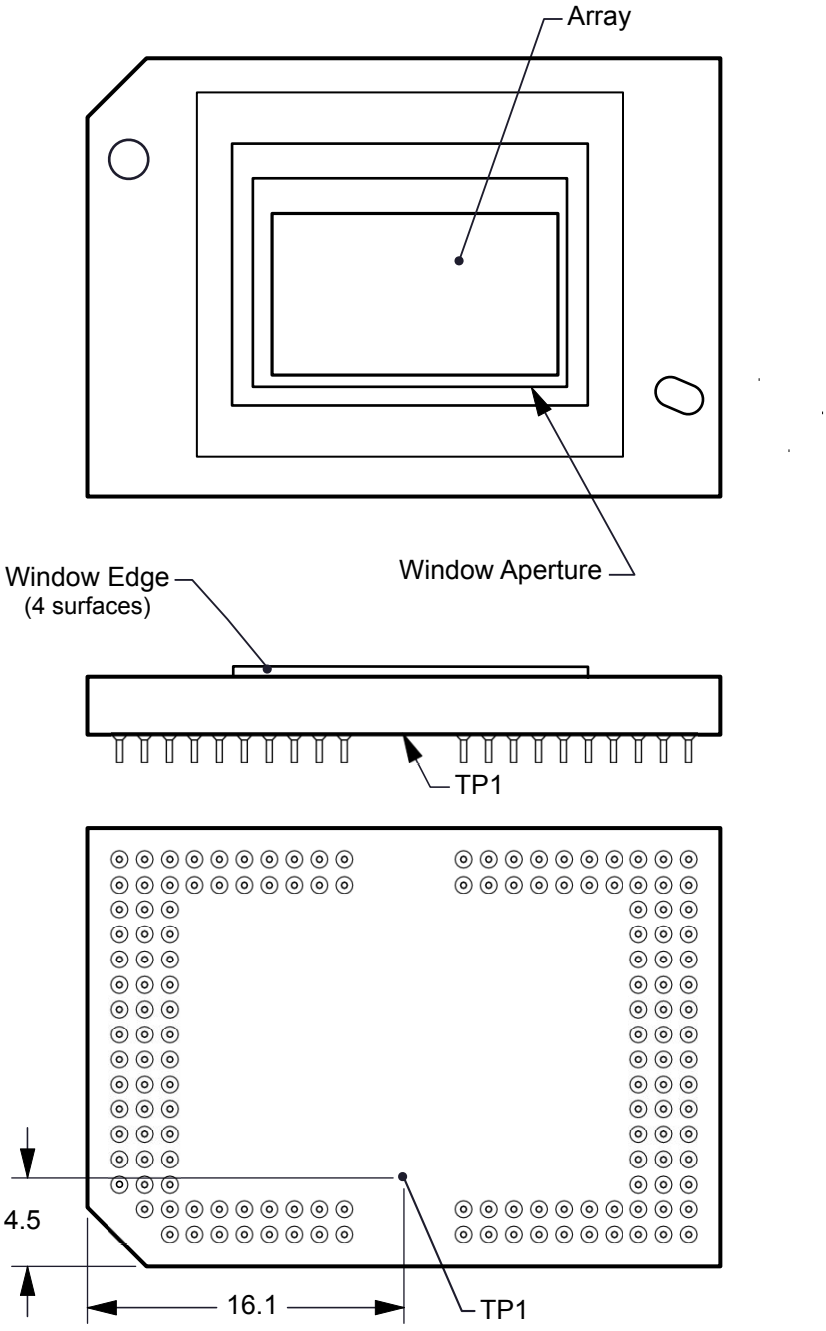


図 6-1. DMD の温度テスト ポイント

Copyright © 2025 Texas Instruments Incorporated

マイクロミラー アレイの温度は直接測定できないため、パッケージ外部の測定ポイント、パッケージの熱抵抗、電力、照明の熱負荷から、解析的に計算する必要があります。アレイ温度と基準セラミック温度 (温度テスト TP1) の関係は、以下の式で与えられます:

$$T_{ARRAY} = T_{CERAMIC} + (Q_{ARRAY} \times R_{ARRAY\text{-}TO\text{-}CERAMIC}) \quad (5)$$

$$Q_{ARRAY} = Q_{ELECTRICAL} + Q_{ILLUMINATIOM} \quad (6)$$

ここで、

- T_{ARRAY} = 算出されたアレイ温度 (°C)
- $T_{CERAMIC}$ = 測定されたアレイ温度 (°C) (TP1 の場所)
- $R_{ARRAY\text{-}TO\text{-}CERAMIC}$ = アレイからセラミック TP1 までの *熱に関する情報* で規定するパッケージの熱抵抗 (°C/ワット)
- Q_{ARRAY} =アレイ上の DMD 全体の消費電力 (W) (電力＋吸収光)
- $Q_{ELECTRICAL}$ = 公称電力(W)
- $Q_{INCIDENT}$ = インシデント照明光出力 (W)
- $Q_{ILLUMINATION}$ = (DMD 平均熱吸収率 × $Q_{INCIDENT}$) (W)
- DMD の平均熱吸収率 = 0.45

DMD の消費電力は変数で、電圧、データ レート、動作周波数に依存します。アレイ温度の計算時に使用する公称消費電力量は 3.0W です。照射用光源から吸収される電力は変数で、マイクロミラーの動作状態と光源の強度に依存します。上記の式は、シングルチップまたはマルチチップの DMD システムに有効です。この想定では、アクティブ アレイで 83.7%、アレイ境界で 16.3% の照度分布を想定しています。

標準的な投影アプリケーションの計算例は次のとおりです。

$$Q_{INCIDENT} = 48W \text{ (measured)} \quad (7)$$

$$T_{CERAMIC} = 55.0°C \text{ (measured)} \quad (8)$$

$$Q_{ELECTRICAL} = 3.0W \quad (9)$$

$$Q_{ARRAY} = 3.0W + (0.45 \times 48W) = 24.6W \quad (10)$$

$$T_{ARRAY} = 55.0°C + (24.6W \times 0.6°C/W) = 69.8°C \quad (11)$$

6.7 マイクロミラーの電力密度の計算

さまざまな波長帯域で DMD 上の照明の光出力密度を計算するには、DMD で測定された合計光出力、照明のオーバーフィル率、アクティブ アレイの面積、目的の波長帯域でのスペクトルの合計光出力に対する比率を使用します。

- $ILL_{UV} = [OP_{UV\text{-}RATIO} \times Q_{INCIDENT}] \times 1000mW/W \div A_{ILL}$ (mW/cm^2)
- $ILL_{VIS} = [OP_{VIS\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{IR} = [OP_{IR\text{-}RATIO} \times Q_{INCIDENT}] \times 1000mW/W \div A_{ILL}$ (mW/cm^2)
- $ILL_{BLU} = [OP_{BLU\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{BLU1} = [OP_{BLU1\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $A_{ILL} = A_{ARRAY} \div (1 - OV_{ILL})$ (cm^2)

ここで

- ILL_{UV} = DMD での UV 照明の電力密度 (mW/cm^2)

Copyright © 2025 Texas Instruments Incorporated

- ILL_{VIS} = DMD での VIS 照明の電力密度 (W/cm^2)
- ILL_{IR} = DMD での IR 照明の電力密度 (mW/cm^2)
- ILL_{BLU} = DMD での BLU 照明の電力密度 (W/cm^2)
- ILL_{BLU1} = DMD での BLU1 照明の電力密度 (W/cm^2)
- A_{ILL} = DMD での照明領域 (cm^2)
- $Q_{INCIDENT}$ = DMD での総入射光パワー (W) (測定値)
- A_{ARRAY} = アレイの面積 (cm^2) (データシート)
- OV_{ILL} = アレイ外の DMD の総照明パーセント (%) (光学モデル)
- $OP_{UV\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 410nm 未満の場合の光出力比 (スペクトル測定)
- $OP_{VIS\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 410nm 以上 800nm 以下の場合の光出力比 (スペクトル測定)
- $OP_{IR\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 800nm 超の場合の光出力比 (スペクトル測定)
- $OP_{BLU\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 410nm 以上 475nm 以下の場合の光出力比 (スペクトル測定)
- $OP_{BLU1\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 410nm 以上 440nm 以下の場合の光出力比 (スペクトル測定)

照明領域は、照明オーバーフィルによって異なります。DMD 上の総照明領域は、アレイ領域と、アレイの周囲のオーバーフィル領域です。光学モデルを使用して、アレイの外部にある DMD 上の全照明の割合 (OV_{ILL}) と、アクティブ アレイ上にある全照明の割合を決定します。これらの値から、照明領域 (A_{ILL}) が計算されます。照明は、アレイ全体で一様であると仮定します。

測定された照明スペクトルから、総光出力に対する、対象の波長帯域における光出力との比が計算されます。

計算例:

$Q_{INCIDENT}$ = 48W (measured)

A_{ARRAY} = (14.5920mm × 8.2080mm) ÷ 100mm^2/cm^2 = 1.1977cm^2 (data sheet)

OV_{ILL} = 16.3% (optical model)

$OP_{UV\text{-}RATIO}$ = 0.00017 (spectral measurement)

$OP_{VIS\text{-}RATIO}$ = 0.99977 (spectral measurement)

$OP_{IR\text{-}RATIO}$ = 0.00006 (spectral measurement)

$OP_{BLU\text{-}RATIO}$ = 0.28100 (spectral measurement)

$OP_{BLU1\text{-}RATIO}$ = 0.03200 (spectral measurement)

A_{ILL} = 1.1977cm^2 ÷ (1 - 0.163) = 1.4310cm^2

ILL_{UV} = [0.00017 × 48W] × 1000mW/W ÷ 1.4310cm^2 = 5.702mW/cm^2

ILL_{VIS} = [0.99977 × 48W] ÷ 1.4310cm^2 = 33.54W/cm^2

ILL_{IR} = [0.00006 × 48W] × 1000mW/W ÷ 1.4310cm^2 = 2.013mW/cm^2

Copyright © 2025 Texas Instruments Incorporated

ILL_{BLU} = [0.28100 × 48W] ÷ 1.4310cm^2 = 9.43W/cm^2

ILL_{BLU1} = [0.03200 × 48W] ÷ 1.4310cm^2 = 1.07W/cm^2

6.8 ウィンドウ アパーチャイル ミネーション オーバーフィル計算

ウィンドウ開口部のクリティカル領域の光学的オーバーフィルの量は直接測定できません。アレイ上で照射が均一なシステムの場合、この量は、DMD の入射光パワーの合計測定値と、定義された重要領域における DMD の総光パワーの比率を使用して決定されます。この光学モデルを使用して、ウィンドウ開口部臨界面積の光出力の割合を決定し、面積のサイズを推定します。

- $Q_{AP\text{-}ILL}$ = [$Q_{INCIDENT}$ × $OP_{AP_ILL_RATIO}$] + A_{AP_ILL} (W/cm^2)

ここで

- $Q_{AP\text{-}ILL}$ = ウィンドウ開口部照明オーバーフィル (W/cm^2)
- $Q_{INCIDENT}$= DMD での総入射光パワー (ワット) (測定値)
- $OP_{AP_ILL_RATIO}$ =ウィンドウ開口部の重要領域の光出力と DMD の合計光出力との比率 (光学モデル)
- $A_{AP\text{-}ILL}$ = ウィンドウ開口部臨界面積 (cm^2)(データ シート)
- OP_{CA_RATIO} = 入射光パワー(%)(光学モデル) を持つウィンドウ開口重要領域のパーセンテージ

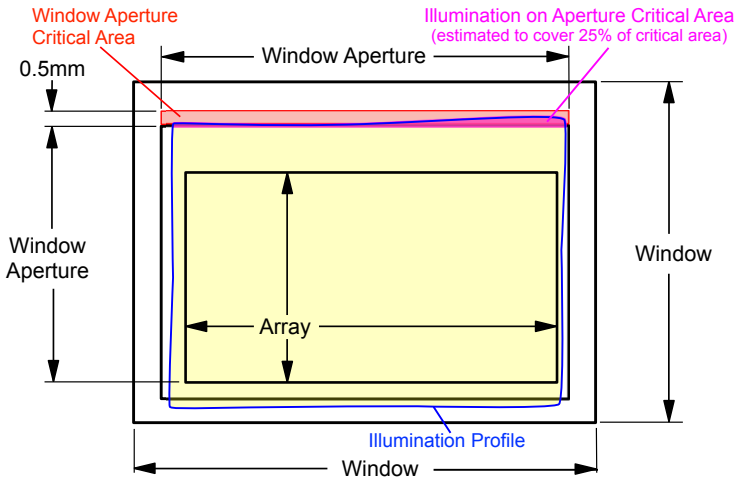


図 6-2. イルミネーション オーバーフィル ダイアグラム - クリティカル エリア

$Q_{INCIDENT}$ = 48W (measured)

$OP_{AP_ILL_RATIO}$ = 0.312% (optical model)

OV_{CA_RATIO} = 25% (optical model)

Length of the window aperture for critical area = 1.5998cm (data sheet mechanical icd)

Width of critical area = 0.050cm (data sheet)

$A_{AP\text{-}ILL}$= 1.5998cm × 0.050cm = 0.079990cm^2

$Q_{AP\text{-}ILL}$= (48W x 0.00312)+(0.079990cm^2 × 0.25) = 7.5W/cm^2

Copyright © 2025 Texas Instruments Incorporated

6.9 マイクロミラーのランデッド オン / ランデッド オフ デューティ サイクル

6.9.1 マイクロミラーのランデッド オン / ランデッド オフ デューティ サイクルの定義

マイクロミラーのランデッド オン / ランデッド オフ デューティ サイクル (ランデッド デューティ サイクル) は、個々のマイクロミラーがオン状態で着地している時間の割合を、同じマイクロミラーがオフ状態で着地している時間に対する割合として示します。

たとえば、100/0 のランデッド デューティ サイクルは、基準のピクセルがオン状態の時間 100% (オフ状態の時間 0%) にあることを示しています。一方、0/100 は、ピクセルがオフ状態の時間 100% にあることを示しています。同様に、50/50 はピクセルがオン状態の時間 50% (オフ状態の時間 50%) になっていることを示します。

なお、ランデッド デューティ サイクルを評価する際、一方の状態 (オンまたはオフ) から他方の状態 (オフまたはオン) に切り替わるのに要する時間は無視できるものと見なされます。

マイクロミラーはどちらか一方の状態 (オンまたはオフ) でしか着地できないため、2 つの数値 (パーセンテージ) の合計は必ず 100 になります。

6.9.2 DMD のランデッド デューティ サイクルと有効寿命

(最終製品またはアプリケーションの) 長期平均ランデッド デューティ サイクルを把握することが重要です。DMD マイクロミラー アレイ (アクティブ アレイとも呼ばれます) のすべて (または一部) を非対称ランデッド デューティ サイクルに長時間適用すると、DMD の有効寿命が短くなるためです。

ランデッド デューティ サイクルの対称性 / 非対称性が関連することに注意してください。ランデッド デューティ サイクルの対称性は、2 つの数値 (パーセンテージ) がどれだけ等しいかによって決まります。たとえば、50/50 のランデッド デューティ サイクルは完全に対称ですが、100/0 または 0/100 のランデッド デューティ サイクルは完全に非対称です。

6.9.3 ランデッド デューティ サイクルと動作時の DMD 温度

DMD の動作温度とランデッド デューティ サイクルは DMD の耐用年数に影響を及ぼします。この相互作用を利用すると、非対称ランデッド デューティ サイクルが DMD の耐用年数に及ぼす影響を低減できます。これは、「*最大推奨アレイ温度低下曲線*」に示すディレーティング曲線で定量化されます。この曲線の重要性は次のとおりです。

- この曲線に沿ったすべてのポイントは、同じ耐用年数を表します。
- この曲線より上のすべてのポイントは、より短い耐用年数を表します (そして、曲線から離れているほど、耐用年数は短くなります)。
- この曲線より下のすべてのポイントは、より長い耐用年数を表します (そして、曲線から離れているほど、耐用年数は長くなります)。

実際には、この曲線は、所定の長期平均ランディング デューティ サイクルにおける DMD の最大動作温度を指定します。

6.9.4 製品またはアプリケーションの長期平均ランデッド デューティ サイクルの推定

所定の期間中、特定のピクセルのランデッド デューティサイクルは、そのピクセルによって表示される画像内容から追従します。

たとえば、最も単純なケースでは、ある一定の期間、あるピクセルに純粋な白を表示する場合、そのピクセルはその期間中に 100/0 ランデッド デューティサイクル下で動作します。同様に、純粋な黒を表示する場合、ピクセルは 0/100 ランデッド デューティサイクル下で動作します。

この 2 つの極端な値の間 (入力画像に適用される色と画像処理をとりあえず無視します)、ランデッド デューティ サイクルは、表 6-1 に示すように、グレイスケール値で 1 対 1 を追跡します。

表 6-1. グレイスケール値とランデッド デューティ サイクル

グレイスケール値	ランデッド デューティ サイクル
0%	0/100
10%	10/90
20%	20/80

Copyright © 2025 Texas Instruments Incorporated

表 6-1. グレイスケール値とランデッド デューティ サイクル (続き)

グレイスケール値	ランデッド デューティ サイクル
30%	30/70
40%	40/60
50%	50/50
60%	60/40
70%	70/30
80%	80/20
90%	90/10
100%	100/0

演色を考慮 (ただしここでも画像処理を無視します) するには、特定のピクセルの各構成原色 (赤、緑、青) のカラー強度 (0% から 100%) と、各原色のカラー サイクル時間 (「カラー サイクル時間」は、目的のホワイト ポイントを達成するために特定の原色が表示されるフレーム時間の合計割合) の両方を知る必要があります。

特定の期間内に、特定のピクセルのランデッド デューティ サイクルを計算するには以下の式を使用します:

Landed Duty Cycle =

(Red_Cycle_% × Red_Scale_Value) +

(Green_Cycle_% × Green_Scale_Value) +

(Blue_Cycle_% × Blue_Scale_Value)

ここで、

- RED_Cycle_% は、目的のホワイト ポイントを達成するために赤で表示されるフレーム時間の割合を表します
- Green_Cycle_% は、目的のホワイト ポイントを達成するために緑で表示されるフレーム時間の割合を表します
- BLUE_Cycle_% は、目的のホワイト ポイントを達成するために青で表示されるフレーム時間の割合を表します

たとえば、赤、緑、青のカラー サイクル時間が (目的のホワイト ポイントを達成するために) それぞれ 30%、50%、20% であると仮定すると、赤、緑、青のカラー強度のさまざまな組み合わせに対するランデッド デューティ サイクルは、表 6-2 と表 6-3 に示すようになります。

表 6-2. フルカラー、カラー パーセンテージに対するランデッド デューティ サイクルの例

サイクル パーセンテージ		
赤色	緑色	青色
30%	50%	20%

表 6-3. フルカラーのランデッド デューティ サイクルの例

スケール値			ランデッド デューティ サイクル
赤色	緑色	青色	
0%	0%	0%	0/100
100%	0%	0%	30/70
0%	100%	0%	50/50
0%	0%	100%	20/80
0%	12%	0%	6/94
0%	0%	35%	7/93
60%	0%	0%	18/82
0%	100%	100%	70/30

Copyright © 2025 Texas Instruments Incorporated

表 6-3. フルカラーのランデッド デューティ サイクルの例 (続き)

スケール値			ランデッド デューティ サイクル
赤色	緑色	青色	
100%	0%	100%	50/50
100%	100%	0%	80/20
0%	12%	35%	13/87
60%	0%	35%	25/75
60%	12%	0%	24/76
100%	100%	100%	100/0

ランデッド デューティ サイクルを推定する際に考慮すべき最後の要因は、適用されている画像処理です。DLPC7540 コントローラ内では、ガンマ機能はランデッド デューティ サイクルに影響を与えます。

ガンマは、Output_Level = A × Input_Level^{Gamma} という形式の電力関数です。ここで、A は通常 1 に設定されるスケーリング係数です。

DLPC7540 コントローラでは、ピクセル単位で入力画像データにガンマが適用されます。一般的なガンマ係数は 2.2 で、図 6-3 に示すように入力データが変換されます。

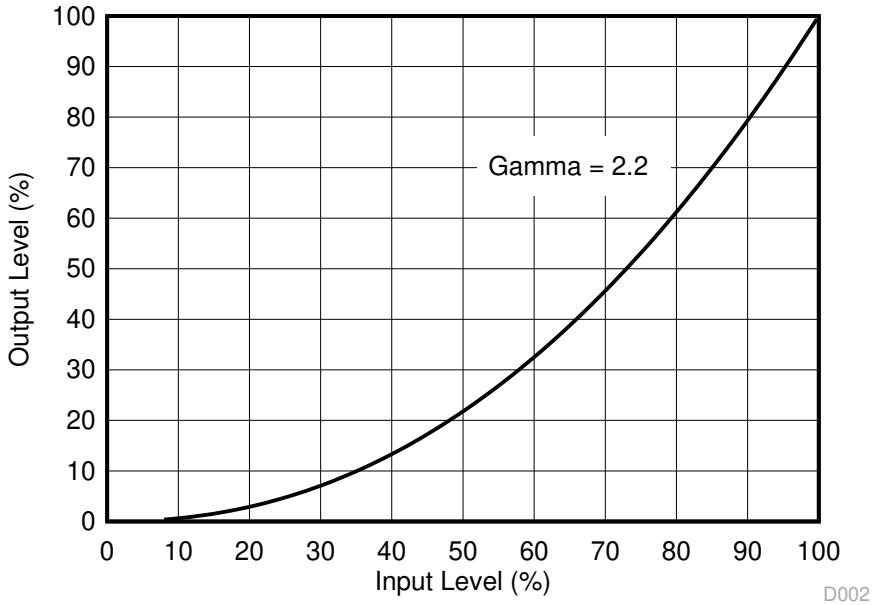


図 6-3. ガンマ= 2.2 の例

図 6-3 から、指定された入力ピクセルのグレイスケール値が 40% の場合 (ガンマが適用される前)、ガンマが適用された後でグレイスケール値は 13% になります。したがって、ガンマは表示されるピクセルのグレイスケール レベルに直接影響するため、ピクセルのランデッド デューティ サイクルにも直接的な影響を与えることがわかります。

DLPC7540 コントローラの前に発生する画像処理についても考慮する必要があります。

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

DMD は空間光変調器であり、照射用光源から受け入れた光を 2 方向のいずれかに反射します。主な方向は、プロジェクションまたは集光光学系です。各アプリケーションは、主にシステムの光学アーキテクチャと、DLPC7540 コントローラが受け入れるデータ形式の違いで派生するものです。DLP650TE DMD を使用する代表的なアプリケーションには、レーザー テレビ、スマート プロジェクター、エンタープライズ プロジェクターなどがあります。

DMD のパワーアップおよびパワーダウン シーケンスは、TPS65145 PMIC を通じて DLPC7540 によって厳密に制御されています。パワーアップとパワーダウンの仕様については、セクション 8 を参照してください。信頼性の高い動作を保証するために、DLP650TE DMD は常に、DLPC7540 コントローラ、DLPA100 PMIC/ モーター ドライバ、および TPS65145 PMIC とともに使用する必要があります。

7.2 代表的なアプリケーション

DLP650TE DMD は、DLPC7540 デジタル コントローラやパワー マネージメント デバイスと組み合わせることにより、高輝度で色鮮やかなディスプレイ用途に最適なフル 4K UHD 解像度を実現します。レーザー蛍光照明を使用する代表的なディスプレイ システムでは、DLP650TE DMD、または DLPC7540 ディスプレイ コントローラ、TPS65145 電圧レギュレータ、および DLPA100 PMIC およびモーター ドライバを組み合わせています。に、この構成に必要な DLP 0.65 インチ 4K UHD チップセットと追加のシステム コンポーネントのシステム ブロック図を示します。図 7-2 に、ランプ構成の DLP 0.65 インチ 4K UHD チップセットと必要なシステム コンポーネントのブロック図を示します。部品には、DLP650TE DMD、または DLPC7540 ディスプレイ コントローラ、DLPA100 PMIC とモータードライバ、および TPS65145 PMIC が含まれます。

Copyright © 2025 Texas Instruments Incorporated

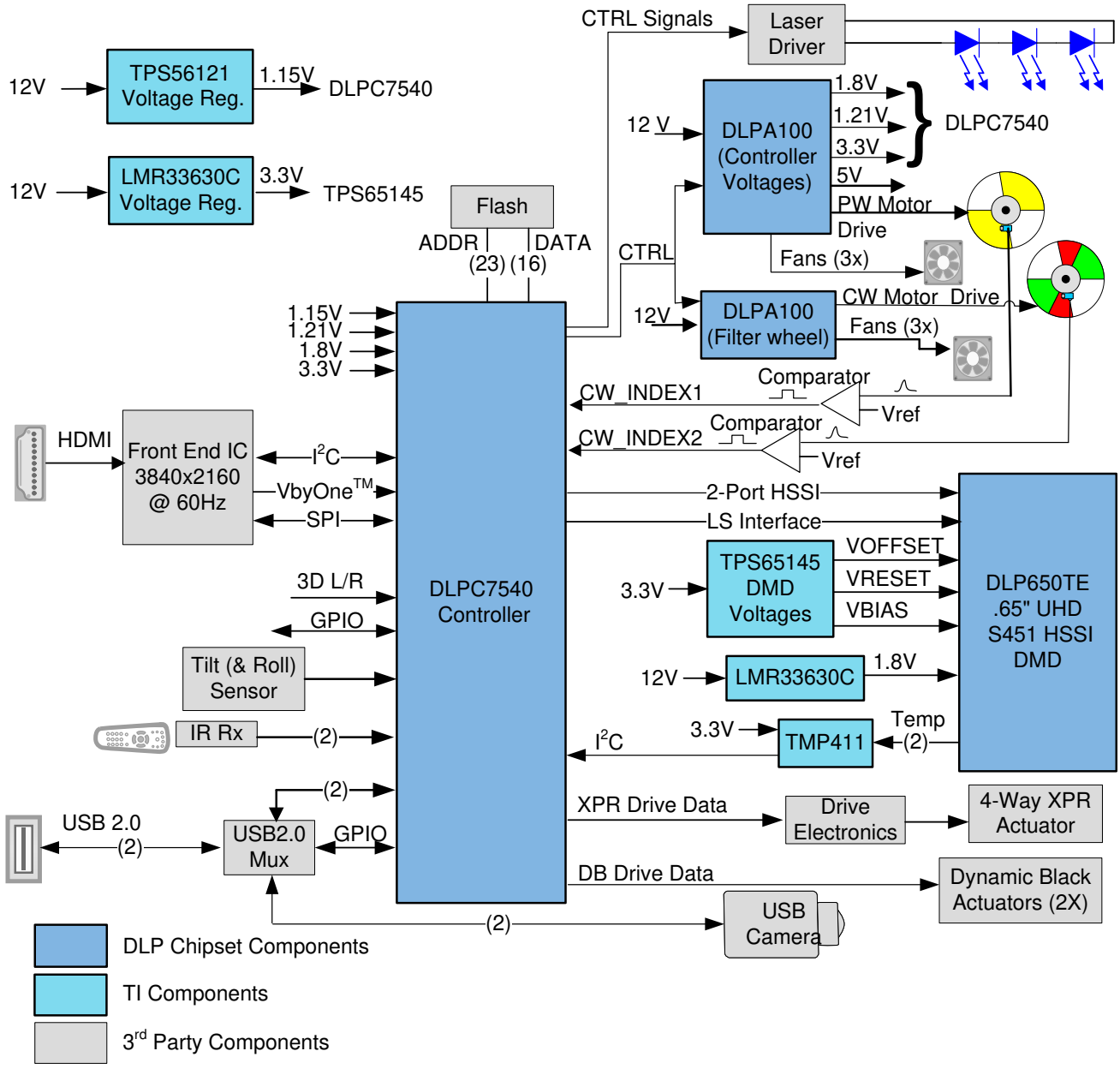


図 7-1. 4K UHD レーザー蛍光の代表的なアプリケーション図

Copyright © 2025 Texas Instruments Incorporated

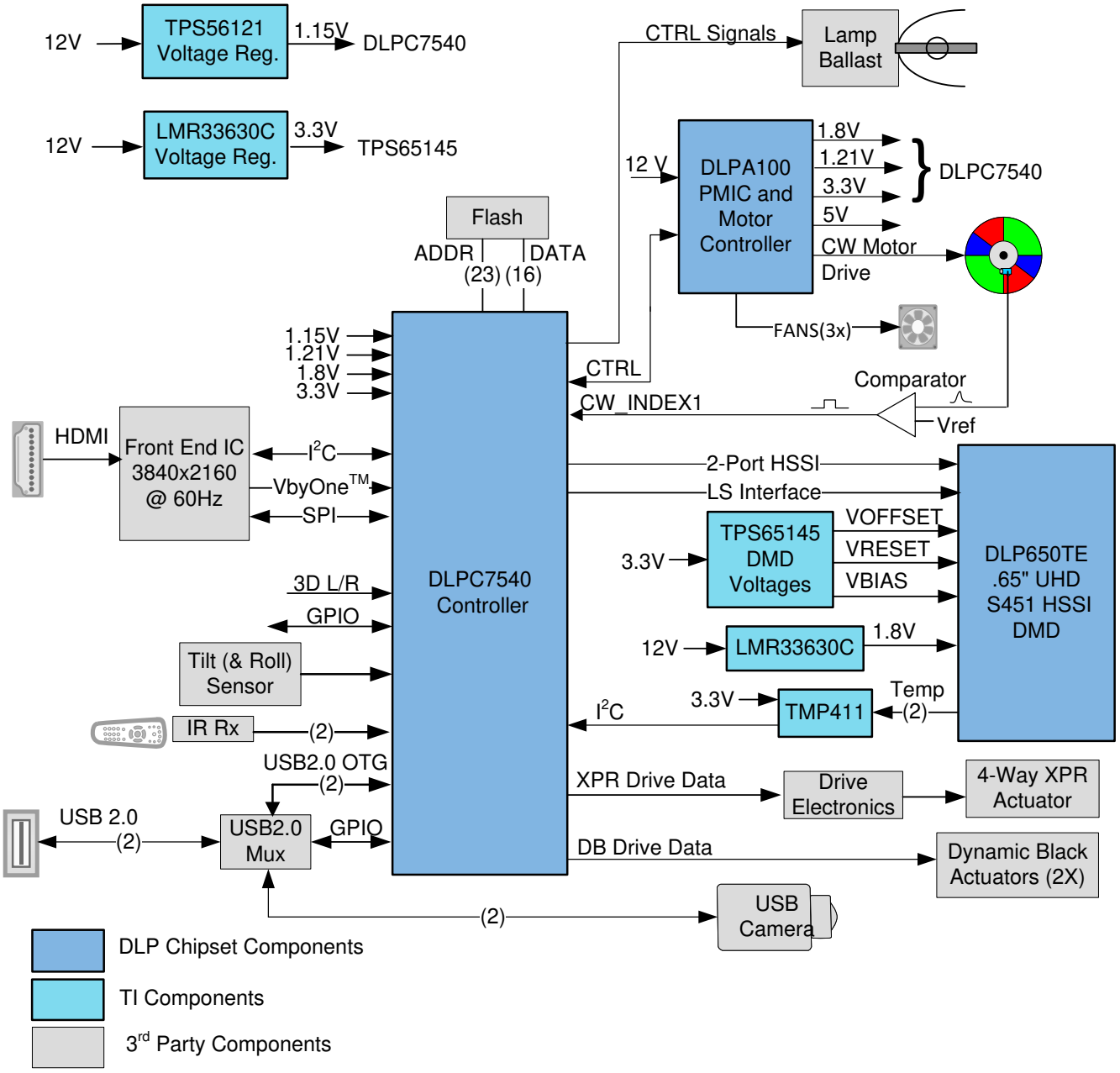


図 7-2. 4K UHD ランプ蛍光の代表的なアプリケーション図

7.2.1 設計要件

ディスプレイ システムのその他の中核部品としては、照射用光源、照明および投影光学系用の光学エンジン、その他の電気部品および機械部品、ソフトウェアがあります。使用する照明の種類と目的の輝度は、システム全体の設計とサイズに大きな影響を及ぼします。

ディスプレイ システムは DLP650TE DMD をコア画像処理デバイスとして使用し、0.65 インチのマイクロミラー アレイを搭載しています。DLPC7540 コントローラは、DMD とシステムの他の部分との間のデジタル インターフェイスであり、フロントエンド レシーバからデジタル入力を取得し、高速インターフェイスで DMD を駆動します。DLPA100 PMIC はコントローラ用の電圧レギュレータとして機能し、カラーフィルタホイールと蛍光体ホイールモーターの制御を行います。TPS65145 は、DMD リセット、オフセット、バイアス電圧を供給します。LMR33630C は、DLP650TE DMD に 1.8V 電源を供給します。

7.2.2 詳細な設計手順

包括的な DLP システムを実現するには、DLP650TE DMD、関連する照射用光源、光学素子、必要な機械部品を含む光学モジュールまたは光学エンジンが必要です。

信頼性の高い動作を保証するために、DMD は常に DLPC7540 ディスプレイ コントローラおよび TPS65145 PMIC および DLPA100 とともに使用する必要があります。レイアウトと設計の推奨事項については、DMD 基板のリファレンス デザインおよび DLPC7540 のリファレンス デザインを参照してください。

7.2.3 アプリケーション曲線

一般的なプロジェクター アプリケーションでは、DMD からスクリーン上の光束はプロジェクターの光学設計によって異なります。照明光学系と投影光学系の効率および総電力によって、プロジェクターの全体的な光出力が決まります。DMD は本質的に線形空間光変調器であるため、その効率は光出力に比例します。図 7-3 は、蛍光体が熱消光限界に達していないレーザー蛍光体照明システムにおける、レーザー入力光出力と光出力の関係を表します。

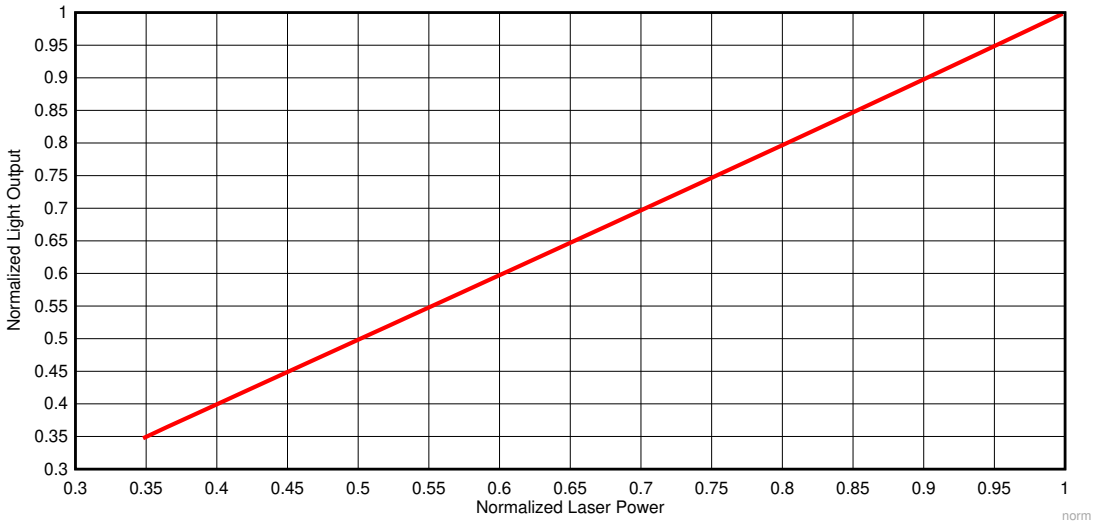


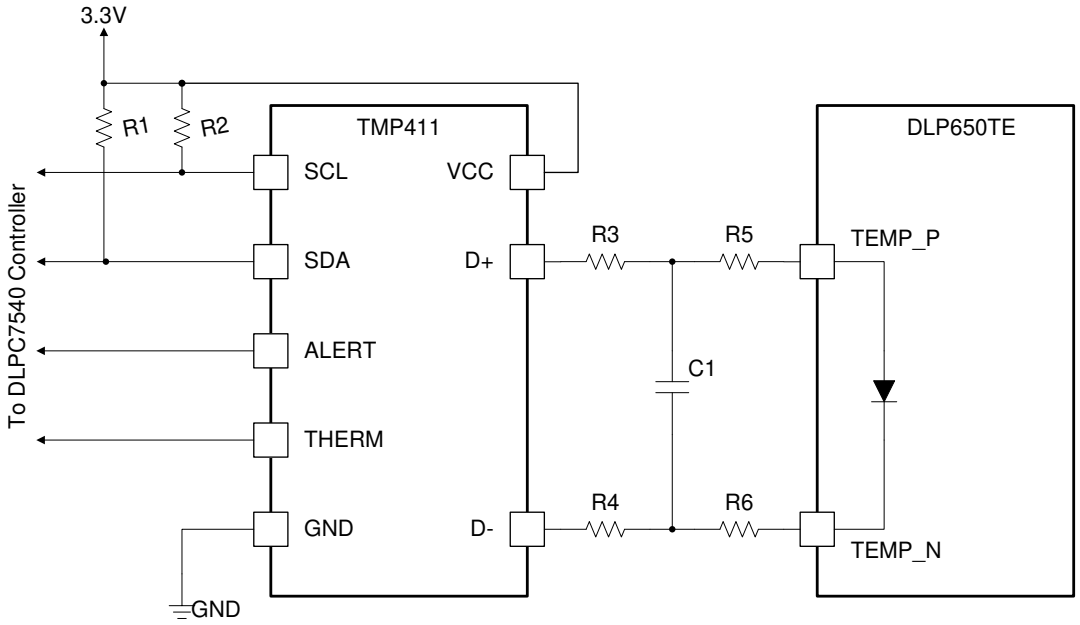
図 7-3. レーザー蛍光照明での標準化光出力と標準化レーザー電力との関係

7.3 温度センサ ダイオード

DMD には、マイクロミラー アレイの外側にあるダイの一角の温度を測定するための内蔵サーマル ダイオードが搭載されています。サンプル回路図に示されているように、サーマル ダイオードは TMP411 温度センサと接続できます。このソフトウェア アプリケーションは、DLP650TE DMD 温度センサ ダイオードを読み取るように TMP411 を構成する機能が含まれています。このデータは、照明の調整やファンの速度制御など、全体のシステム設計に追加機能を組み込むために活用できます。I^2C インターフェイスを使用して、TMP411 と DLPC7540 コントローラ間のすべての通信を完了します。TMP411 は、「*ピンの機能*」に示すピンを経由して DMD に接続されます。

温度センサを使用しない場合、TEMP_N ピンおよび TEMP_P ピンは未接続 (NC) のままにします。

Copyright © 2025 Texas Instruments Incorporated



A. わかりやすくするため、詳細は省略しています。
B. システム基板のレイアウトに関する推奨事項については、TMP411 データシートを参照します。
C. R1、R2、R3、R4、C1 の推奨部品値については、TMP411 データ シートを参照してください。
D. R5 = 0Ω.R6 = 0Ω.0Ω の抵抗を DMD パッケージピンの近くに配置します。

図 7-4. TMP411 のサンプル回路図

Copyright © 2025 Texas Instruments Incorporated

8 電源に関する推奨事項

DMD の動作には、以下の電源装置がすべて必要です。

- V_{SS}
- V_{BIAS}
- V_{DD}
- V_{OFFSET}
- V_{RESET}

DMD のパワーアップ / パワーダウン シーケンシングは、DLP ディスプレイ コントローラによって厳密に制御されます。

注意

DMD を確実に動作させるには、以下の電源シーケンシング要件に従う必要があります。規定されたパワーアップおよびパワーダウン要件のいずれかに準拠しない場合、デバイスの信頼性に影響を及ぼす可能性があります。図 8-1 の DMD 電源シーケンシング要件を参照してください。

V_{BIAS}、V_{DD}、V_{OFFSET}、V_{RESET} 電源をパワーアップおよびパワーダウン動作時に調整する必要があります。以下の各要件のいずれかに適合していない場合、DMD の信頼性と寿命が大幅に低下します。共通のグランド V_{SS} も接続する必要があります。

8.1 電源シーケンス要件

記号	パラメータ	説明	最小値	標準値	最大値	単位
t_{DELAY1}	遅延要件	V_{OFFSET} パワーアップから V_{BIAS} パワーアップまで	1	2		ms
t_{DELAY2}	遅延要件	V_{BIAS} および V_{RESET} の電源がオンになり、DMD_EN_ARSTZ が high になり安定するまで	20			µs
t_{DELAY3}	遅延要件	V_{OFFSET}、V_{BIAS}、V_{RESET} のパワーダウンから、VDD および VDDA のパワーダウンが可能な時点まで	50			µs

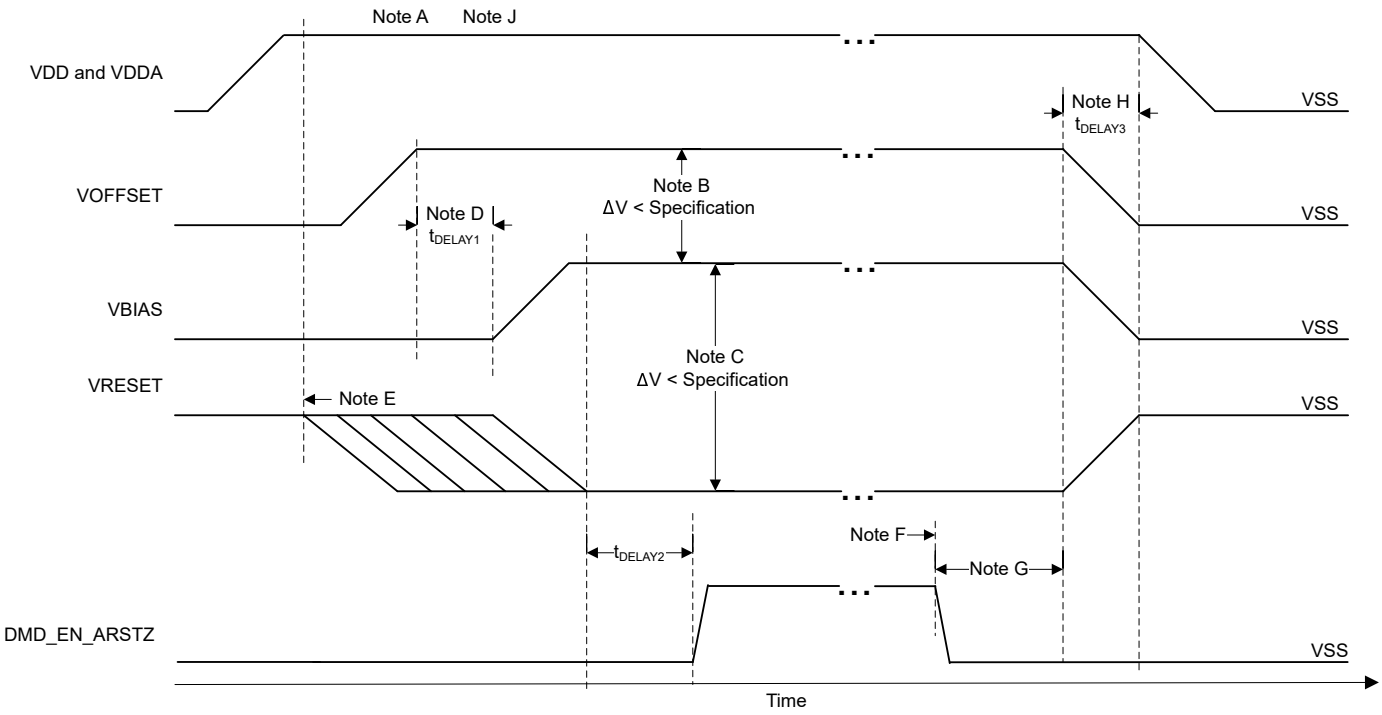
8.2 DMD 電源のパワーアップ手順

- パワーアップ時には常に、V_{OFFSET} に「*電源シーケンス要件*」で指定された t_{DELAY1} を加えた電圧、V_{BIAS}、および V_{RESET} 電圧が DMD に印加される前に、V_{DD} が起動および安定する必要があります。
- パワーアップ時には、V_{BIAS} と V_{OFFSET} の電圧差が、「*推奨動作条件*」に示される指定限界内でなければならないという厳しい要件があります。
- パワーアップ中、V_{BIAS} を基準とした V_{RESET} の相対タイミングは不要です。
- 過渡電圧レベルが「*絶対最大定格*」、「*推奨動作条件*」、および「***DMD** 電源要件*」で指定された要件に従っている限り、パワーアップ時の電源スルー レートは柔軟です。
- パワーアップ時、「*推奨動作条件*」に示す動作電圧で V_{DD} が安定するまで、LVCMOS 入力ピンを high に駆動しないでください。

8.3 DMD 電源のパワーダウン手順

- パワーダウン時には、V_{BIAS}、V_{RESET}、および V_{OFFSET} がグランドの指定限界内で放電されるまで、V_{DD} を供給する必要があります。「*電源シーケンシング要件*」を参照してください。
- パワーダウン時には、V_{BIAS} と V_{OFFSET} の電圧差が、「*推奨動作条件*」に示される指定限界内でなければならないという厳しい要件があります。
- パワーダウン中、V_{BIAS} を基準とした V_{RESET} の相対タイミングは不要です。
- 過渡電圧レベルが「*絶対最大定格*」、「*推奨動作条件*」、および「***DMD** 電源要件*」で指定された要件に従っている限り、パワーダウン時の電源スルー レートは柔軟です。
- パワーダウン中、LVCMOS 入力ピンは「*推奨動作条件*」で指定された値未満である必要があります。

Copyright © 2025 Texas Instruments Incorporated



A. 「*ピンの機能*」表を参照してください。
B. 過剰な電流を防止するため、電源電圧の差 $|V_{BIAS} – V_{OFFSET}|$ は、「*推奨動作条件*」の指定限界値よりも小さい必要があります。
C. 過剰な電流を防止するため、電源差 $|V_{BIAS} – V_{RESET}|$ は、「*推奨動作条件*」の指定限界値よりも小さい必要があります。
D. V_{BIAS} は、V_{OFFSET} がパワーアップした後に、「*電源シーケンス要件*」の t_{DELAY1} 仕様に従ってパワーアップする必要があります。
E. V_{RESET}、V_{OFFSET}、および V_{BIAS} ランプは、VDD および VDDA が起動して安定した後に開始する必要があります。
F. DMD のマイクロミラー パーク シーケンスの完了後、DLP コントローラ ソフトウェアはハードウェア パワーダウンを開始し、DMD_EN_ARSTZ を有効にして、V_{BIAS}、V_{RESET}、V_{OFFSET} を無効化します。
G. 電力損失条件下で、DLP コントローラのハードウェア DMD_EN_ARSTZ によって緊急 DMD マイクロミラー パーク手順が実行されている場合は、low になります。
H. 「*電源シーケンス要件*」の t_{DELAY3} 仕様に従って、V_{OFFSET}、V_{BIAS}、および V_{RESET} の電源がオフになるまで、V_{DD} は電源オンのままで安定した状態を維持する必要があります。
I. 過剰な電流を防止するため、電源電圧差 $|V_{DDA} – V_{DD}|$ は、「*推奨動作条件*」の指定限界値よりも小さい必要があります。
J. スケールしていません。わかりやすくするため、詳細は省略しています。

図 8-1. DMD 電源要件

9 レイアウト

9.1 レイアウトのガイドライン

DLP650TE DMD は、DLPC7540 ディスプレイ コントローラによって制御されるチップセットの一部であり、TPS65145 PMIC および DLPA100 電源およびモーター コントローラと連携して動作します。これらのガイドラインは、DLP650TE DMD を使用した PCB 基板の設計を対象としています。DMD ボードは、高速デジタル ロジックを主とした高速多層 PCB であり、DMD には 3.2Gbps のダブル データ レート信号や 250Mbps の差動データ バスが接続されています。TI は、V_{OFFSET}、V_{RESET}、および V_{BIAS} には、フル電源プレーンまたはミニ電源プレーンを使用することを推奨しています。グランド (V_{SS}) にはソリッド プレーンが必要です。PCB の目標インピーダンスは 50Ω±10%です (表 9-1 に示す例外を除きます)。TI は、表 9-2 に示すように、10 層の積層を推奨します。TI では、高品質の FR-4 材料を使用して PCB を製造することを推奨します。

9.2 インピーダンス要件

TI は、すべての信号に対して PCB のターゲットインピーダンスを 50Ω ±10% にすることを推奨しています。例外が 表 9-1 に一覧表示されています。

表 9-1. 特別なインピーダンス要件

信号のタイプ	信号名	インピーダンス (Ω)
DMD 高速データ信号	DMD_HSSI0_N_(0…7)、 DMD_HSSI0_P_(0…7)、 DMD_HSSI1_N_(0…7)、 DMD_HSSI1_P_(0…7)、 DMD_HSSI0_CLK_N、 DMD_HSSI0_CLK_P、 DMD_HSSI1_CLK_N、 DMD_HSSI1_CLK_P	100Ω 差動 (50Ω シングル エンド)
DMD 低速インターフェイス信号	DMD_LS0_WDATA_N、 DMD_LS0_WDATA_P、 DMD_LS0_CLK_N、 DMD_LS0_CLK_P	100Ω 差動 (50Ω シングル エンド)

9.3 基板面

表 9-2 に、層のスタックアップと、各層の銅重量を示します。

表 9-2. 層のスタックアップ

層の番号	レイヤ名	銅重量(オンス)	備考
1	サイド A — DMD、主要部品、パワーミニプレーン	0.5 オンス (メッキ前)	DMD とエスケープ 2 個のデータ入力コネクタ。電源回路や 2 個のデータ入力コネクタを含む上面のコンポーネント。低周波信号の配線取り回し。銅箔 (GND) 厚を最大 1 オンスとする。
2	グランド	0.5	信号層 #1、#3 のソリッド グランド プレーン (ネット GND) リファレンス
3	信号 (高周波)	0.5	高速信号層。入力コネクタから DMD への高速差動データ バス
4	グランド	0.5	信号層 #3、#5 のソリッド グランド プレーン (ネット GND) リファレンス
5	電源	0.5	1.8V、3.3V、10V、-14V、18V 用の 1 次側分割電源プレーン
6	電源	0.5	1.8V、3.3V、10V、-14V、18V 用の 1 次側分割電源プレーン
7	グランド	0.5	信号層 #8 のソリッド グランド プレーン (ネット GND) のリファレンス
8	信号 (高周波)	0.5	高速信号層。入力コネクタから DMD への高速差動データ バス
9	グランド	0.5	信号層 #8、#10 のソリッド グランド プレーン (ネット GND) のリファレンス
10	サイド B — 2 次側部品、パワーミニプレーン	0.5 オンス (メッキ前)	必要に応じて個別部品を使用。低周波信号の配線取り回し。銅箔厚を最大 1 オンスとする。

Copyright © 2025 Texas Instruments Incorporated

9.4 パターン幅、間隔

特に記述のない限り、TI はすべての信号が 0.005/0.015 インチ (トレース幅/スペーシング) の設計ルールに従うことを推奨しています。インピーダンスおよびスタックアップ要件の分析を使用して、実際のトレース幅を決定し、計算します。

スペースが許す限り、すべての電圧信号の幅を最大化します。表 9-3 に記載されている幅と間隔の要件に従ってください。

表 9-3. 特殊なパターン幅、間隔の要件

信号名	最小パターン幅 (MIL)	最小パターン間隔 (MIL)	レイアウト要件
GND	最大値	5	接続ピンへのパターン幅を最大化します。
P3P3V	40	15	必要に応じて、レイヤ 1 とレイヤ 10 にミニプレーンを作成します。必要に応じて、複数のビアを使用してレイヤ 1 と 10 のデバイスに接続します。
P1P8V	40	15	必要に応じて、レイヤ 1 とレイヤ 10 にミニプレーンを作成します。必要に応じて、複数のビアを使用してレイヤ 1 と 10 のデバイスに接続します。
V_{OFFSET}	40	15	必要に応じて、レイヤ 1 とレイヤ 10 にミニプレーンを作成します。必要に応じてレイヤ 1 とレイヤ 10 のデバイスに接続します。
V_{RESET}	40	15	必要に応じて、レイヤ 1 とレイヤ 10 にミニプレーンを作成します。必要に応じてレイヤ 1 とレイヤ 10 のデバイスに接続します。
V_{BIAS}	40	15	必要に応じて、レイヤ 1 とレイヤ 10 にミニプレーンを作成します。必要に応じてレイヤ 1 とレイヤ 10 のデバイスに接続します。

9.5 電源

TI は、電源プレーンや電源プレーンに隣接するプレーン上での信号配線を強く避けるよう推奨しています。信号が電源プレーンに隣接するレイヤで配線される必要がある場合、EMI を防止し、信号の整合性を保つために、信号は電源プレーンの分割部分を越えてはなりません。

すべての内部デジタル グランド (GND) プレーンは、可能な限り多くの場所に接続します。すべての内部グランド プレーンは、接続間の最小距離が 0.5 インチになるように接続してください。デバイスの通常のグランド接続により十分なグラウンド ビアがある場合、追加のビアは必要ないかもしれません。

各部品の電源ピンおよびグランドピンは、少なくとも 1 つのビアを使用して電源プレーンおよびグランドプレーンに接続します。部品の電源ピンおよびグランド ピンのトレース長は最小限に抑えます。(理想的には、0.100 インチ未満)。

グランド プレーン スロットは推奨しません。

9.6 パターン長のマッチングの推奨

表 9-4 および表 9-5 に、信号パターン長のマッチングの推奨要件を示します。次のガイドラインに従って、PCB 上の広い領域にわたって長い配線を引くのを避けてください:

- 長い信号が蛇行パターンで配線されるように、パターン長を一致させます
- 回転の数は可能な限り少なくします。
- 回転角度が 45 度以下でないことを確認します。

図 9-1 に、HSSI 信号ペアの配線例を示します。

表 9-4 に示す信号は、最大 3.2Gbps のデータ レートで動作するように規定されています。これらの信号については、レイヤの変更を最小限に抑えます。ビアの数は可能な限り少なくします。長さを最小限に抑えつつ、急な曲がりやレイヤの切り替えは避けます。レイヤの切り替えが必要な場合は、信号ビアの周囲に GND ビアを配置して、信号の帰路を確保します。差動信号ペアから別のペアへの距離は、ペア内の距離の少なくとも 2 倍にする必要があります。

Copyright © 2025 Texas Instruments Incorporated

表 9-4. HSSI 高速 DMD データ信号

信号名	リファレンス信号	ルーティング仕様	単位
DMD_HSSI0_N(0...7)、 DMD_HSSI0_P(0...7)	DMD_HSSI0_CLK_N、 DMD_HSSI_CLK_P	±0.25	インチ
DMD_HSSI1_N(0...7)、 DMD_HSSI1_P(0...7)	DMD_HSSI0_CLK_N、 DMD_HSSI_CLK_P	±0.25	インチ
DMD_HSSI0_CLK_P	DMD_HSSI1_CLK_P	±0.05	インチ
Intra-pair P	Intra-pair N	±0.01	インチ

表 9-5. その他のタイミング クリティカルな信号

信号名	制約	ルーティング レイヤ
LS_CLK_P、LS_CLK_N LS_WDATA_P、 LS_WDATA_N LS_RDATA_A	ペア内 (P から N) 0.01 インチ単位で一致 信号間 +/- 0.25 インチ単位で一致	レイヤ 3、8

-

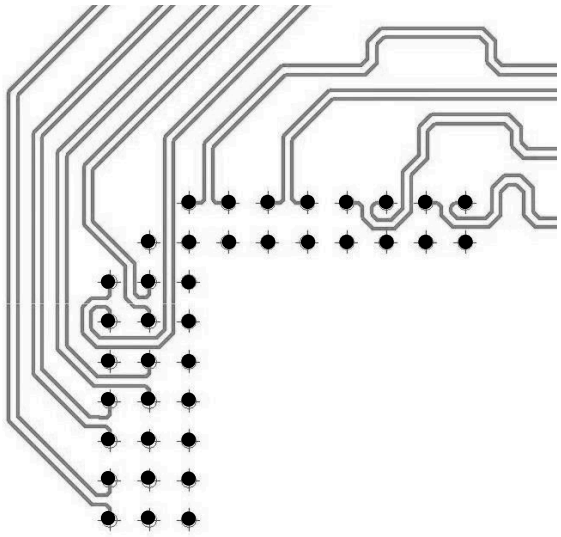


図 9-1. HSSI PCB 配線の例

Copyright © 2025 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 デバイス サポート

10.2.1 デバイスの命名規則

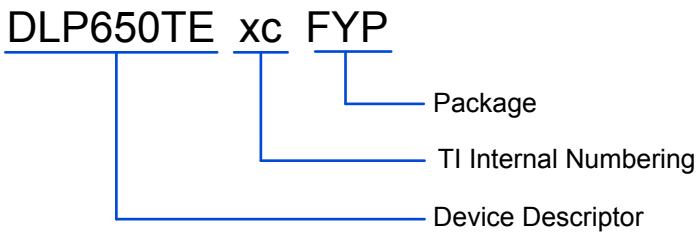


図 10-1. 部品番号の説明

10.2.2 デバイスのマーキング

デバイスのマーキングには、人間が読める情報と 2 次元マトリクス コードの両方を使用しています。図 10-2 に、人間可読形式の情報を示します。2 次元マトリックスコードは、DMD 型番、シリアル番号のパート 1 およびパート 2 を含む英数字の文字列です。

例:

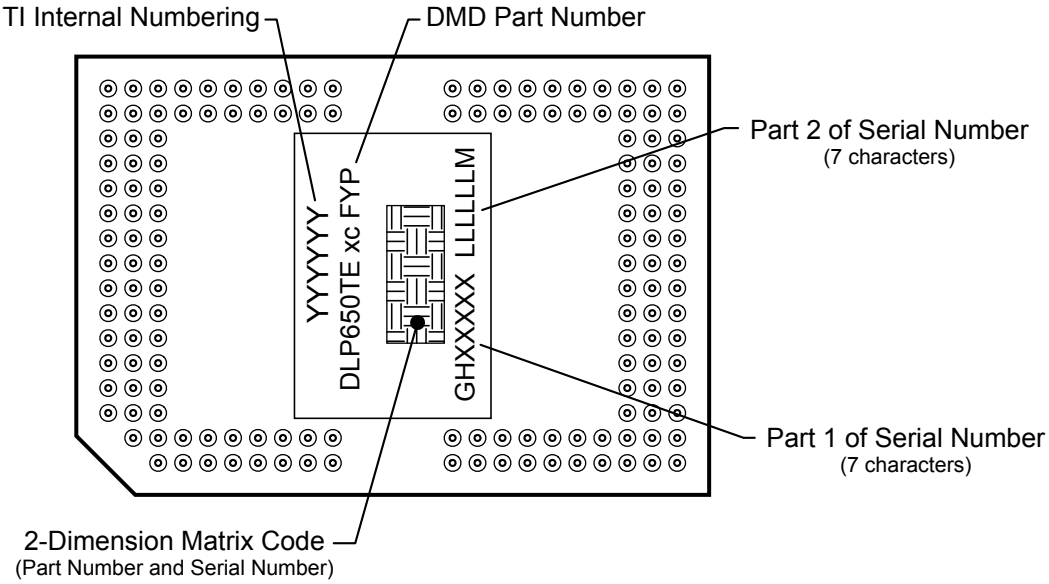


図 10-2. DMD のマーキング位置

10.3 ドキュメントのサポート

10.3.1 関連資料

次のドキュメントには、DMD とともに使用されるチップセット コンポーネントについての追加情報が掲載されています。

- *DLPC7540 ディスプレイ コントローラ データシート*
- *TPS65145 データシート*
- *『DLPA100 パワー / モーター ドライバ』データシート*

10.4 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.5 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.6 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
DLP® is a registered trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.7 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.8 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (January 2025) to Revision C (September 2025) — **Page**

- *「推奨動作条件」*を更新 — 8
- Q_{ARRAY} = 3.0W + (0.45×48W) = 24.6W 行の誤字を訂正 — 24

Changes from Revision A (May 2022) to Revision B (January 2025) — **Page**

- DLP 製品のサード パーティ検索ツールおよび『テキサス インスツルメンツの DLP ディスプレイ テクノロジーを使用した設計の開始』へのリンクを追加。 — 1
- マイクロミラー アレイの光学特性表を更新 — 19
- マイクロミラー アレイ温度の計算を更新 — 24
- マイクロミラーの電力密度の計算セクションを追加 — 25
- ウィンドウ アパーチャ イルミネーション オーバーフィル計算を追加 — 27
- ランデッド デューティ サイクルを計算するための式を更新 — 28

Copyright © 2025 Texas Instruments Incorporated

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

12.1 付録：パッケージ オプション

12.1.1 パッケージ情報

発注可能なデバイス	ステータス (1)	パッケージ タイプ	パッケージ図	ピン	パッケージの数量	エコ プラン (2)	リード / ボール仕上げ(4)	MSL ピーク温度 (3)	動作温度 (℃)	デバイス マーキング (5) (6)
DLP650TEA0FYP	アクティブ	CPGA	FYP	149	33	RoHS & グリーン	TI のサポートにお電話ください	TI のサポートにお電話ください		図 10-2 参照

(1) マーケティング ステータスの値は次のように定義されています。
供給中:新しい設計への使用が推奨される量産デバイス。
最終受注中:TI によりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。
非推奨品:新規設計には推奨しません。デバイスは既存の顧客をサポートするために生産されていますが、TI では新規設計にこの部品を使用することを推奨していません。
量産開始前:量産されていない、市販されていない、またはウェブで発表されていない未発表デバイスで、サンプルは提供されていません。
プレビュー:デバイスは発表済みですが、まだ生産は開始されていません。サンプルが提供される場合と提供されない場合があります。
生産中止品:TI はデバイスの生産を終了しました。

(2) エコ プラン — 環境に配慮した計画的な分類:鉛フリー (RoHS)、鉛フリー (RoHS 適用除外)、またはグリーン (RoHS 準拠、Sb/Br 非含有) があります。最新情報および製品内容の詳細については、http://www.ti.com/productcontent でご確認ください。
未定:鉛フリー / グリーン転換プランが策定されていません。
鉛フリー (RoHS):TI における「Lead-Free」または「Pb-Free」(鉛フリー) は、6 つの物質すべてに対して現在の RoHS 要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が 0.1% を超えないという要件も含まれます。高温はんだに対応した TI 鉛フリー製品は、鉛フリー仕様プロセスでの使用に適しています。
鉛フリー (RoHS 適用除外):この部品は、1) ダイとパッケージとの間に鉛ベース フリップ チップのはんだバンプ使用、または 2) ダイとリードフレームとの間に鉛ベースの接着剤を使用、のいずれかについて、RoHS が免除されています。この部品はそれ以外の点では、上記の定義の鉛フリー (RoHS 準拠) の条件を満たしています。
グリーン (RoHS 準拠、Sb/Br 非含有):TI におけるグリーンは、鉛フリー (RoHS 互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中の Br または Sb 重量が 0.1% を超えない) ことを意味しています。

(3) MSL、ピーク温度-- JEDEC 業界標準分類に従った耐湿性レベル、およびピークはんだ温度です。

(4) リード / ボール仕上げ - 発注可能なデバイスには、複数の材料仕上げオプションが用意されていることがあります。複数の仕上げオプションは、縦罫線で区切られています。リード / ボール仕上げの値が最大列幅に収まらない場合は、2 行にまたがります。

(5) ロゴ、ロット トレース コード情報、または環境カテゴリに関する追加マークがデバイスに表示されることがあります

(6) 複数のデバイス マーキングが、括弧書きされています。カッコ内に複数のデバイス マーキングがあり、「～」で区切られている場合、その中の 1 つだけがデバイスに表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスのデバイス マーキング全体となります。

重要なお知らせと免責事項:このページに掲載されている情報は、発行日現在の TI の知識および見解を示すものです。TI の知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TI では、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TI および TI のサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じた TI の責任は、このドキュメント発行時点での TI 製品の価格に基づく TI からお客様への合計購入価格 (年次ベース) を超えることはありません。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DLP650TEA0FYP	Active	Production	CPGA (FYP) | 149	33 | JEDEC TRAY (5+1)	Yes	NIAU	N/A for Pkg Type	0 to 70	
DLP650TEA0FYP.A	Active	Production	CPGA (FYP) | 149	33 | JEDEC TRAY (5+1)	Yes	NIAU	N/A for Pkg Type	0 to 70	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

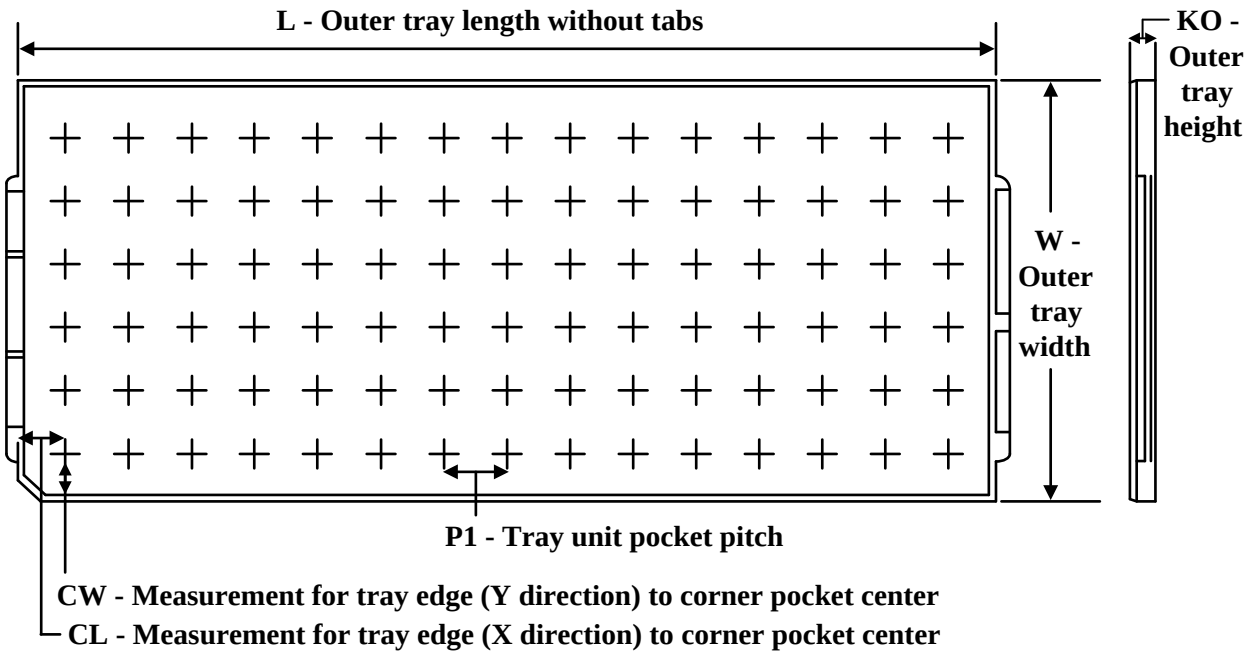
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

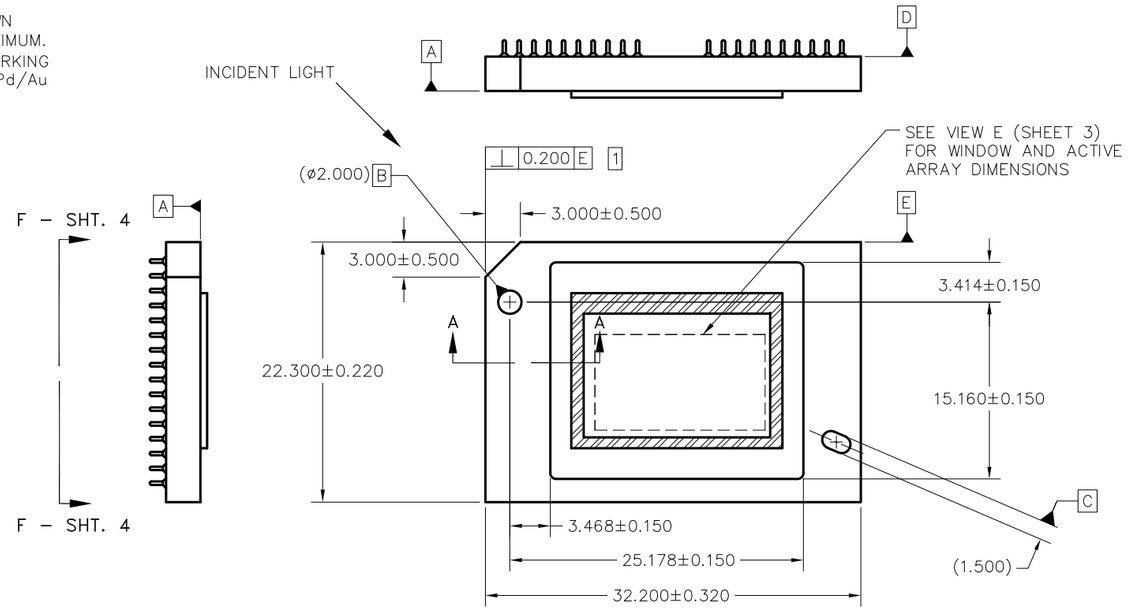
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
DLP650TEA0FYP	FYP	CPGA	149	33	3 x 11	150	315	135.9	12190	27.5	20	27.45
DLP650TEA0FYP.A	FYP	CPGA	149	33	3 x 11	150	315	135.9	12190	27.5	20	27.45

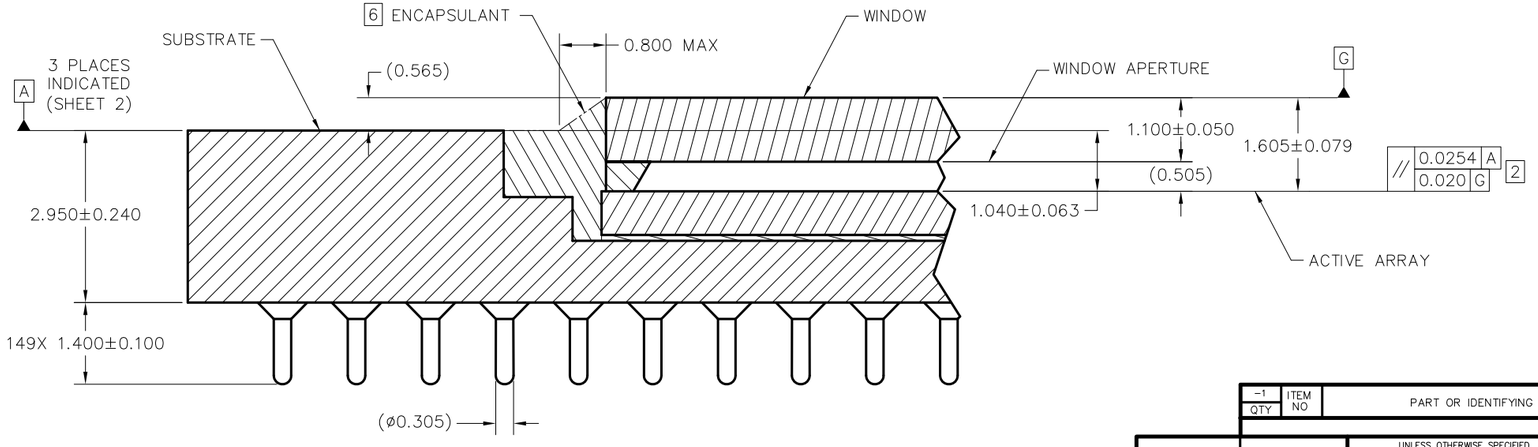
© COPYRIGHT 2019 TEXAS INSTRUMENTS UN-PUBLISHED, ALL RIGHTS RESERVED.

REVISIONS			
REV	DESCRIPTION	DATE	APPROVED
A	ECO 2180591, INITIAL RELEASE	04/04/19	F. ARMSTRONG

NOTES: UNLESS OTHERWISE SPECIFIED:

1. SUBSTRATE EDGE PERPENDICULARITY TOLERANCE APPLIES TO ENTIRE SURFACE
2. DIE PARALLELISM TOLERANCE APPLIES TO DMD ACTIVE ARRAY ONLY
3. ROTATION ANGLE OF DMD ACTIVE ARRAY IS A REFINEMENT OF THE LOCATION TOLERANCE AND HAS A MAXIMUM ALLOWED VALUE OF 0.8 DEGREES
4. SUBSTRATE SYMBOLIZATION PAD, AND PLATING AT BOTTOM OF DATUMS B AND C HOLES TO BE ELECTRICALLY CONNECTED TO VSS PLANE WITHIN THE SUBSTRATE
5. BOUNDARY MIRRORS SURROUNDING THE DMD ACTIVE AREA
6. MAXIMUM ENCAPSULANT PROFILE SHOWN
7. ENCAPSULANT ALLOWED ON THE SURFACE OF THE CERAMIC IN THE AREA SHOWN IN VIEW B (SHEET 2). ENCAPSULANT SHALL NOT EXCEED 0.200 THICKNESS MAXIMUM.
8. SUBSTRATES PLATED WITH Ni/Au SHALL HAVE THE THREE-DIGIT NUMERICAL MARKING IN THE AREA ABOVE THE SYMBOLIZATION PAD. SUBSTRATES PLATED WITH Ni/Pd/Au SHALL HAVE THE MARKING IN THE AREA BELOW THE SYMBOLIZATION PAD.





SECTION A–A
SCALE 20/1

ITEM NO	QTY	PART OR IDENTIFYING NUMBER	NOMENCLATURE OR DESCRIPTION	NOTES
-1		PARTS LIST		

UNLESS OTHERWISE SPECIFIED
- DIMENSIONS ARE IN MILLIMETERS
- TOLERANCES: ANGLES ± 1°
  2 PLACE DECIMALS ±0.25
  3 PLACE DECIMALS ±0.50
- REMOVE ALL BURRS AND SHARP EDGES
- INTERPRET DIMENSIONS IN ACCORDANCE WITH ASME Y14.5-1994
- DIMENSIONAL LIMITS APPLY BEFORE PROCESSES
- PARENTHETICAL INFO FOR REF ONLY

THIRD ANGLE PROJECTION

NEXT ASSY	USED ON
NONE	0314DA

APPLICATION

DWN	F. ARMSTRONG	DATE 04/04/19
ENGR	F. ARMSTRONG	04/04/19
QA	S. HUDGENS	04/12/2019
CQE	M. DORAK	04/12/2019

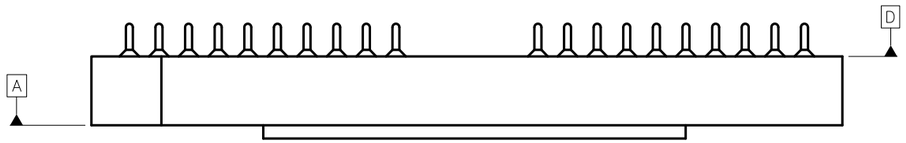
TEXAS INSTRUMENTS
Dallas, Texas

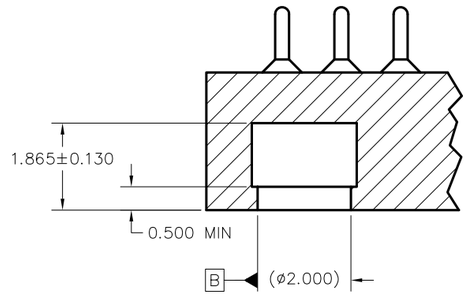
ICD, MECHANICAL, DMD
.65 1080p / UHD HSSI
SERIES 450 (FYP PACKAGE)

SIZE	DRAWING NO	REV
D	2516609	A

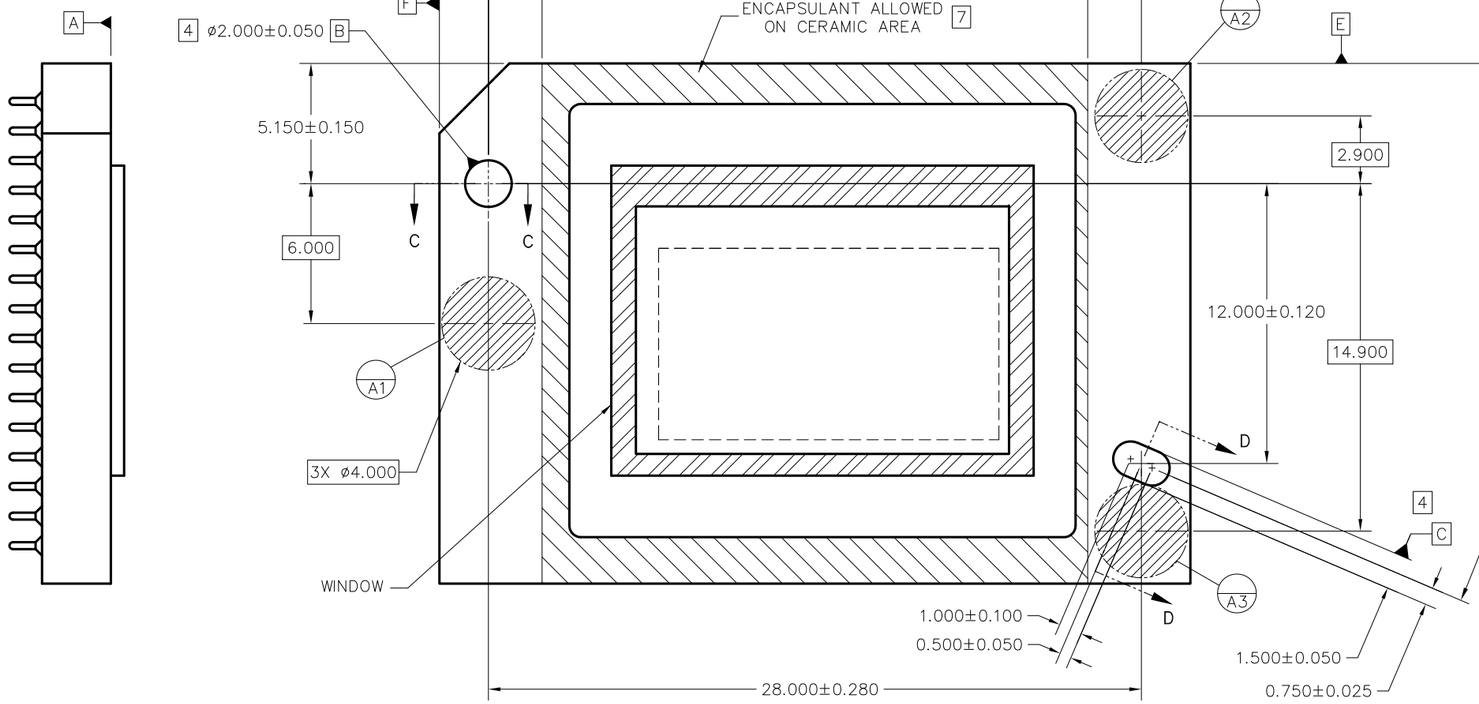
SCALE 4/1 SHEET 1 OF 4

ACED1g

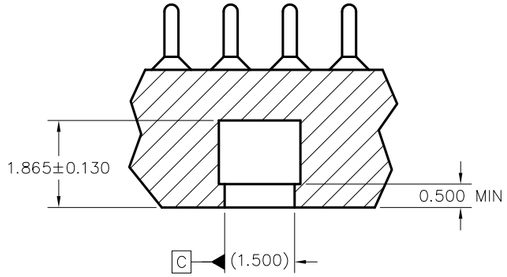




SECTION C–C
DATUM B
SCALE 16/1



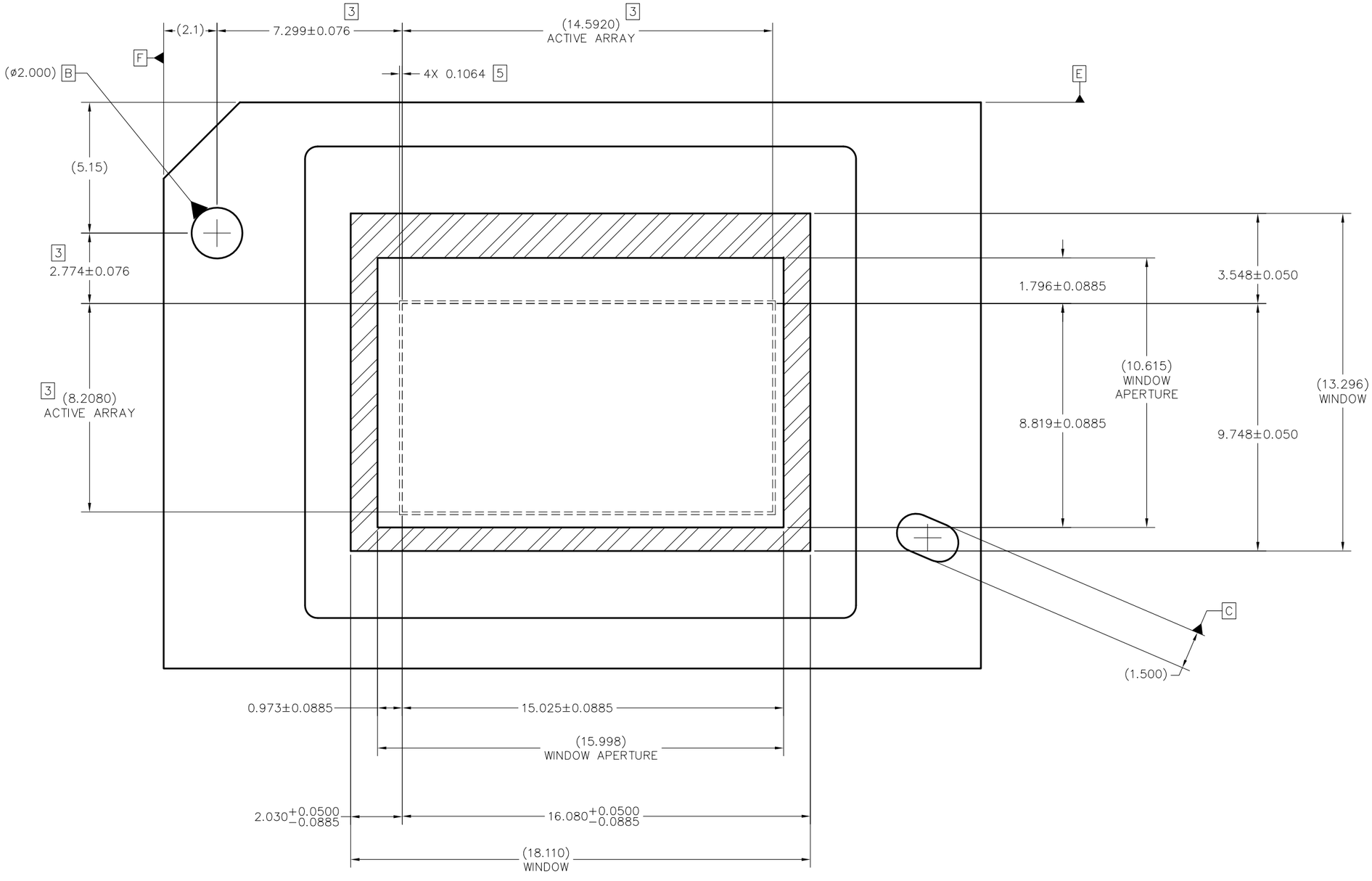
VIEW B
DATUMS AND ENCAPSULANT ALLOWABLE AREA
SCALE 8/1



SECTION D–D
DATUM C
SCALE 16/1

TEXAS INSTRUMENTS Dallas, Texas	DWN DATE / ISSUE DATE	SIZE D	DRAWING NO 2516609	REV A
		SCALE 4/1	SHEET 2	

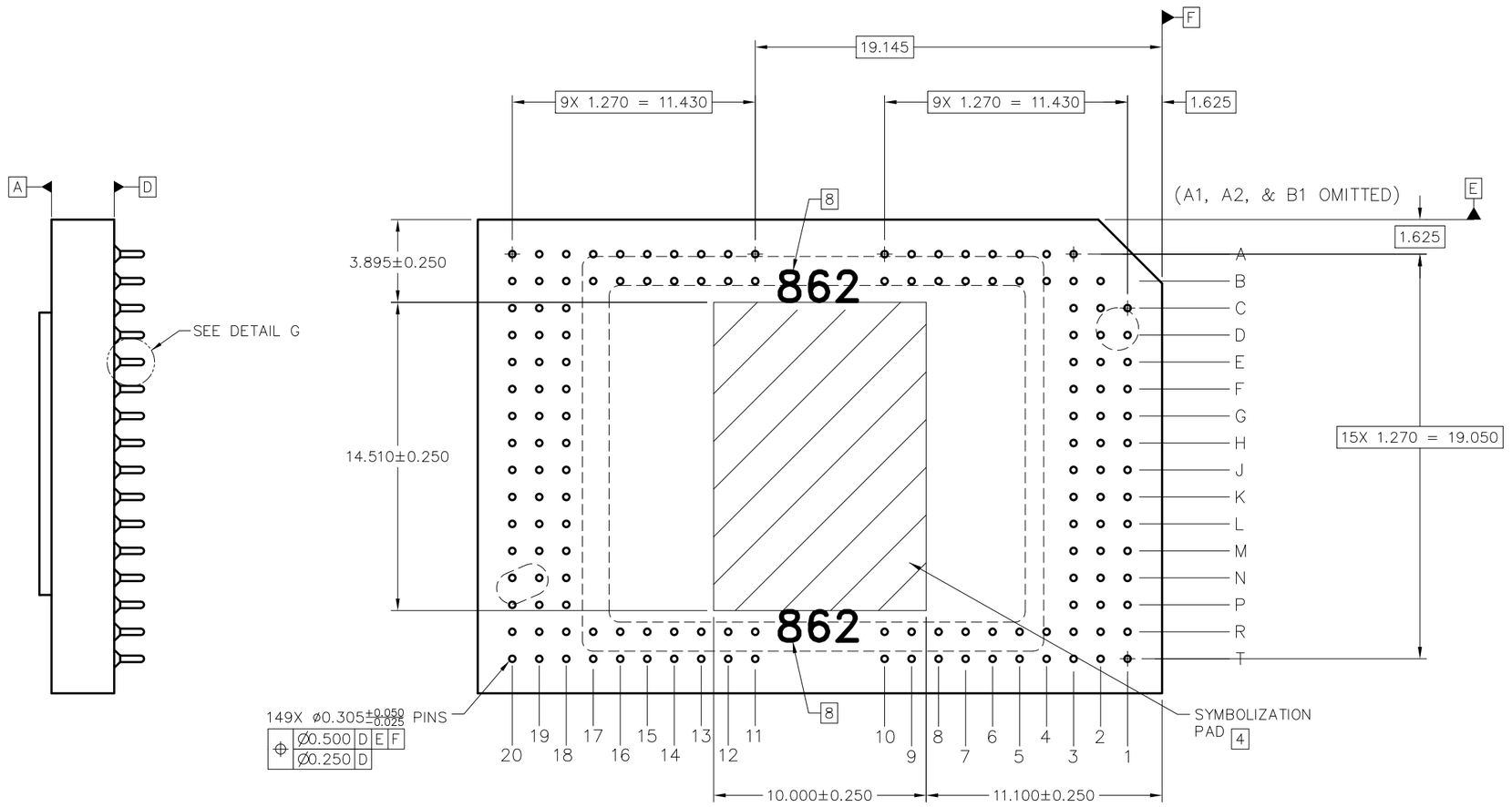
ACED2c



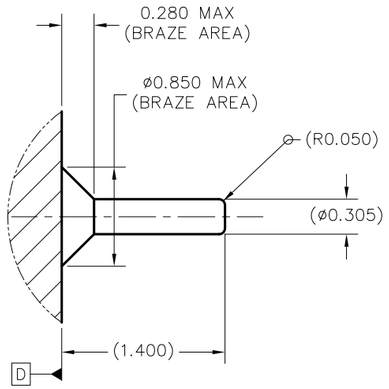
VIEW E (SHEET 1)
DMD WINDOW AND ACTIVE ARRAY
SCALE 12/1

Texas Instruments, Dallas, Texas	DWN DATE	SIZE D	DRAWING NO 2516609	REV A
	ISSUE DATE	SCALE 4/1	SHEET 3	

ACED2c



VIEW F–F (SHEET 1)
PINS AND SYMBOLIZATION PAD
SCALE 8/1



DETAIL G (149 PLACES)
PIN & BRAZE DIMENSIONS
SCALE 40/1

Texas Instruments, Dallas, Texas	DWN / DATE	SIZE D	DRAWING NO 2516609 REV A
	ISSUE DATE	SCALE 4/1	SHEET 4

ACED2c

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月