

DP83822 堅牢、低消費電力 10/100Mbps イーサネット物理層トランシーバ

1 特長

- 極めて堅牢な 10/100Mbps PHY
 - IEC 61000-4-2 ESD: $\pm 8\text{KV}$ 接触放電
 - IEC 61000-4-4 EFT: クラス A、4kV
 - CISPR 22 伝導エミッション: クラス B
 - CISPR 22 放射エミッション: クラス B
 - 動作温度: $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$
- MAC インターフェイス: RGMII/RMII/MII
- プログラマブル MII/RMII/RGMII 終端インピーダンス
- IEEE 802.3u 準拠: 100BASE-FX、100BASE-TX、10BASE-Te
- フレキシブルな電源オプション
 - 低消費電力の単電源オプション
 - 1.8V AVD < 120mW
 - 3.3V AVD < 220mW
 - 利用可能な I/O 電圧: 3.3V/2.5V/1.8V
- パワー セービング機能
 - Energy Efficient Ethernet (EEE) IEEE 802.3az
 - WoL (Wake-on-LAN) サポートとマジック パケット 検出
 - 省エネルギー モードをプログラム可能
- IEEE 1588 タイム スタンプに対応するフレーム スタート検出
- 診断ツール: ケーブル診断、BIST (内蔵自己テスト)、ループバック、高速リンク ダウン検出
- 強制モードでの自動クロスオーバー

2 アプリケーション

- モーター・ドライブ
- ファクトリ・オートメーション、ロボットおよびモーション制御
- グリッド・インフラストラクチャ
- ビル・オートメーション
- 産業用イーサネット・フィールドバス
- PROFINET® などのリアルタイム産業用イーサネット・アプリケーション

3 説明

DP83822 は、過酷な産業用環境向けに設計された、極めて堅牢で低消費電力のシングル ポート 10/100Mbps イーサネット PHY です。DP83822 には、標準のツイストペア ケーブルを介してデータを送受信したり、外部の光ファイバ トランシーバに接続するために必要なすべての物理層機能が搭載されています。さらに、DP83822 は、標準の MII、RMII、RGMII インターフェイスを介して MAC に接続できる柔軟性を提供します。

DP83822 には、ケーブル診断ツール、組み込みセルフテスト、ループバック機能が内蔵されており、簡単に使用できます。本デバイスは、高速リンクダウン検出機能付きの複数の産業用フィールドバス、および強制モードの Auto-MDIX をサポートします。

DP83822 は、優れた、かつ堅牢な手法により、EEE、WoL、その他プログラム可能な省エネ モードを使用して消費電力を削減します。

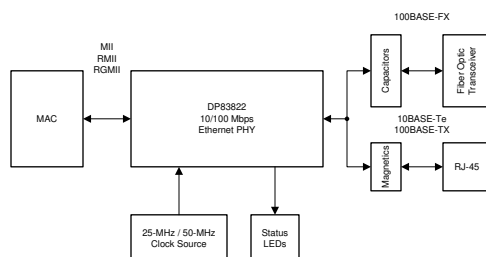
DP83822 は、豊富な機能を持ち、ピンごとにアップグレード可能な、TLK105、TLK106、TLK105L、TLK106L 10/100Mbps イーサネット PHY 向けのオプションです。

DP83822 は、32 ピン 5.00mm × 5.00mm VQFN パッケージで提供されます。

製品情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
DP83822HF	RHB (VQFN, 32)	5.00mm × 5.00mm
DP83822H	RHB (VQFN, 32)	5.00mm × 5.00mm
DP83822IF	RHB (VQFN, 32)	5.00mm × 5.00mm
DP83822I	RHB (VQFN, 32)	5.00mm × 5.00mm

- 詳細については、[セクション 12](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



Copyright © 2016, Texas Instruments Incorporated

概略回路図



目次

1 特長	1	6.19 10BASE-Te ジャバーのタイミング	14
2 アプリケーション	1	6.20 100BASE-TX 送信レイテンシ タイミング	14
3 説明	1	6.21 100BASE-TX 受信レイテンシ タイミング	14
4 デバイス比較表	3	6.22 タイミング図	15
5 ピン構成および機能	3	6.23 代表的特性	22
6 仕様	8	7 詳細説明	23
6.1 絶対最大定格	8	7.1 概要	23
6.2 ESD 定格	8	7.2 機能ブロック図	24
6.3 推奨動作条件	8	7.3 機能説明	25
6.4 熱に関する情報	9	7.4 デバイスの機能モード	28
6.5 電気的特性	9	7.5 プログラミング	47
6.6 タイミング要件、パワーアップのタイミング	10	8 レジスタ マップ	53
6.7 タイミング要件、XI クロックが不安定な状態でのパワーアップ	11	9 アプリケーションと実装	107
6.8 タイミング要件、リセット タイミング	11	9.1 使用上の注意	107
6.9 タイミング要件、シリアル マネージメントのタイミング	11	9.2 代表的なアプリケーション	107
6.10 タイミング要件、100Mbps MII 送信タイミング	11	9.3 電源に関する推奨事項	112
6.11 タイミング要件、100Mbps MII 受信タイミング	12	9.4 レイアウト	116
6.12 タイミング要件、10Mbps MII 送信タイミング	12	10 デバイスおよびドキュメントのサポート	121
6.13 タイミング要件、10Mbps MII 受信タイミング	12	10.1 ドキュメントのサポート	121
6.14 タイミング要件、RMII 送信のタイミング	12	10.2 ドキュメントの更新通知を受け取る方法	121
6.15 タイミング要件、RMII 受信タイミング	12	10.3 サポート・リソース	121
6.16 タイミング要件、RGMII	13	10.4 商標	121
6.17 通常リンク パルス タイミング	13	10.5 静電気放電に関する注意事項	121
6.18 オートネゴシエーション高速リンク パルス (FLP) のタイミング	13	10.6 用語集	121
		11 改訂履歴	121
		12 メカニカル、パッケージ、および注文情報	125

4 デバイス比較表

部品 番号	100BASE-FX サポート	動作 温度
DP83822HF	あり	-40°C ~ 125°C
DP83822H	なし	-40°C ~ 125°C
DP83822IF	あり	-40°C ~ 85°C
DP83822I	なし	-40°C ~ 85°C

5 ピン構成および機能

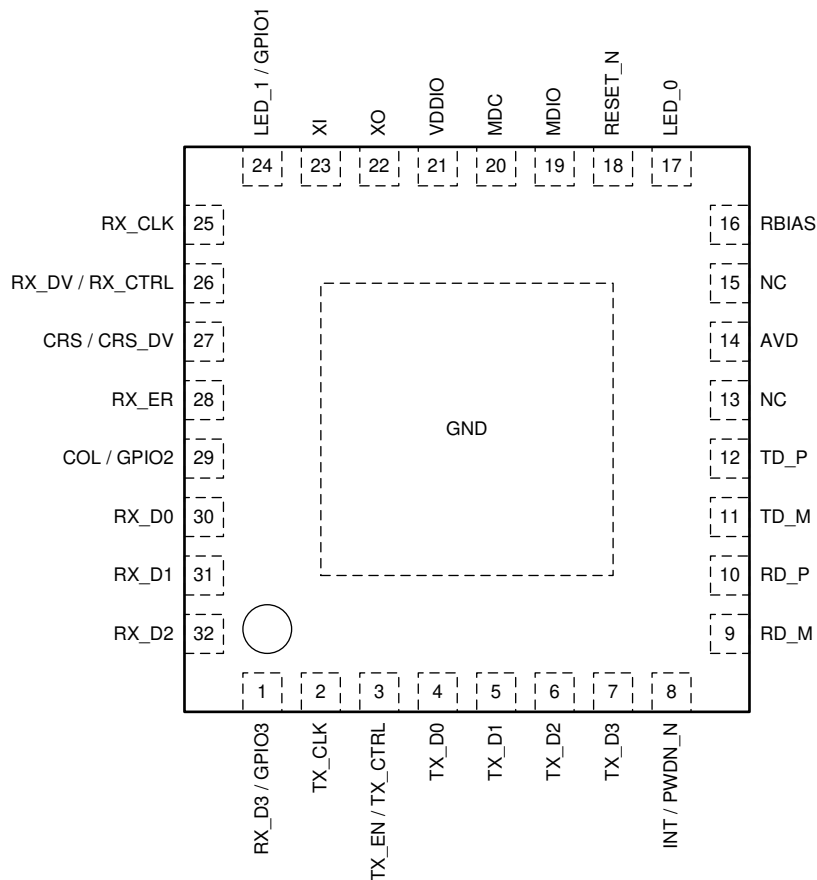


図 5-1. RHB パッケージ
32 ピン VQFN
上面図

表 5-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
MAC インターフェイス			
TX_CLK	2	O、Hi-Z	MII 送信クロック: MII 送信クロックは、速度 100Mbps の 25MHz 基準クロック および速度 10Mbps の 2.5MHz 基準クロックを提供します。MII モードでは、このクロックの位相は基準クロックを基準として一定となることに注意してください。このような一定位相を必要とするアプリケーションで、この機能を使用できます。
		ハイ インピーダンス	RMII モードでは未使用
		I、PD	RGMII 送信クロック: クロックは MAC 層から PHY へ供給されます。100Mbps の速度での動作時は、このクロックを 25MHz にする必要があります。10Mbps の速度での動作時は、このクロックを 2.5MHz にする必要があります。 注:リセット時の TX_CLK は出力ピンで、Low の値がピンで駆動されます。デバイスはリセットから復帰した後にのみ、TX_CLK は入力として構成されます。
TX_EN/TX_CTRL	3	I、PD	送信イネーブル: TX_EN は、TX_CLK の立ち上がりエッジに示されます。TX_EN は、MII モードでは TX_D[3:0]、RMII モードでは TX_D[1:0] に有効なデータ入力が存在することを示します。TX_EN はアクティブ High 信号です。 RGMII 送信制御: TX_CTRL は送信イネーブル信号と送信エラー信号を組み合わせたものです。TX_EN は TX_CLK の立ち上がりエッジで示され、TX_ER は TX_CLK の立ち下がりエッジで示されます。
TX_D0	4	I、PD	送信データ: MII モードでは、MAC から受信された送信データ ニブルは TX_CLK の立ち上がりエッジに同期します。RMII モードでは、MAC から受信された TX_D[1:0] は基準クロックの立ち上がりエッジに同期します。RGMII モードでは、MAC から受信された送信データ ニブルは TX_CLK の立ち上がりエッジに同期します。
TX_D1	5		
TX_D2	6		
TX_D3	7		
RX_CLK	25	O	MII 受信クロック: MII 受信クロックは、受信データ ストリームから取得される、速度 100Mbps の 25MHz 基準クロックおよび速度 10Mbps の 2.5MHz 基準クロックを供給します。 RMII モードでは未使用 RGMII 受信クロック: RGMII は、受信データ ストリームから取得される、速度 100Mbps の 25MHz 基準クロックおよび速度 10Mbps の 2.5MHz 基準クロックを供給します。
RX_DV/RX_CTRL	26	O、S-PD	受信データ有効: このピンは、MII モードの場合は RX_D[3:0]、RMII モードの場合は RX_D[1:0] に、搬送波検知に関わらず有効なデータが存在することを示します。 RGMII 受信制御: RX_CTRL は受信データ有効信号と受信エラー信号を組み合わせたものです。RX_DV は RX_CLK の立ち上がりエッジに、RX_ER は RX_CLK の立ち下がりエッジに示されます。
RX_ER	28	O、S-PU	受信エラー: このピンは、MII モードおよび RMII モードの両方で受信パケット内にエラー シンボルが検出されたことを示します。MII モードでは、RX_CLK の立ち上がりエッジに同期して、RX_ER が High にアサートされます。RMII モードでは、基準クロックの立ち上がりエッジに同期して、RX_ER が High にアサートされます。受信エラー時には PHY がデータを破損させるため、このピンは MII または RMII モードで MAC が使用する必要はありません。 RGMII モードでは未使用
RX_D0	30	O、S-PD	受信データ: ケーブルで受信されたシンボルはデコードされ、RX_CLK の立ち上がりエッジに同期してこれらのピンに供給されます。RX_DV がアサートされている際、ピンには有効なデータが含まれます。MII および RGMII モードでは、ニブル RX_D[3:0] を受信します。RMII モードでは、2 ビットの RX_D[1:0] を受信します。PHY アドレス ピン PHY_AD [4:1] は RX_D[3:0] と多重化され、プルダウンされます。PHY_AD[0] (アドレスの LSB) はピン 29 の COL と多重化され、プルアップされます。外部プルアップまたはプルダウンが存在しない場合、デフォルトの PHY アドレスは 0x01 です。
RX_D1	31		
RX_D2	32		
RX_D3 / GPIO3	1		

表 5-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
CRS/CRS_DV	27	O、S-PU	搬送波検知: MII モードでは、受信メディアまたは送信メディアがアイドルでない場合、このピンが High にアサートされます。 搬送波検知/受信データ有効: RMII モードでは、このピンは RMII 搬送データと受信データの有効通知を組み合わせます。 RGMII モードでは未使用
COL/GPIO2	29	I/O、S-PU	衝突検出: 全二重モードでは、このピンは常に Low です。半二重モードでは、送信メディアと受信メディアの両方がアイドル状態でない場合にのみ、このピンが High にアサートされます。 RMII モードは未使用
シリアル マネージメント インターフェイス			
MDC	20	I、PD	管理データ クロック: MDIO シリアル管理入力 / 出力データへの同期クロック。このクロックは、MAC の送信クロックおよび受信クロックと非同期にすることができます。最大クロック レートは 25MHz です。最小クロック レートはありません。
MDIO	19	I/O	管理データ I/O: 管理ステーションまたは PHY から出力される可能性がある双方向管理データ信号。このピンは 2.2kΩ のプルアップ抵抗を必要とします。
INT/PWDN_N	8	I/O、OD	割り込み/パワーダウン: このピンをパワーダウンまたは割り込みのいずれかとして構成するには、レジスタ アクセスが必要です。このピンのデフォルトの機能はパワーダウンです。このピンをパワーダウン機能向けに構成する場合、このピンにアクティブ Low 信号が印加されると、デバイスはパワーダウン モードに移行します。 このピンが割り込みピンとして構成されている場合に割り込み状態が発生すると、このピンが Low にアサートされます。このピンには、弱い内部プルアップ抵抗のオープンドレイン出力があります。一部のアプリケーションでは、外部プルアップ抵抗が必要となります。
RESET_N	18	I、PU	RESET: このピンはアクティブ Low のリセット入力で、PHY のすべての内部レジスタを初期化または再初期化します。このピンを 10μs 以上 Low にアサートすると、リセット プロセスが強制的に開始されます。
クロック インターフェイス			
XI	23	I	水晶振動子/発振器入力 II 基準クロック: 基準クロックの 25MHz ±100ppm 許容誤差の水晶振動子または発振器入力。本デバイスは、外付け水晶振動子 (ピン XI とピン XO の間に接続) と外付け CMOS レベル発振器 (ピン XI のみに接続) のどちらにも対応しています。 RMII 基準クロック: RMII フォロワ モードでは、50MHz ±100ppm 許容誤差の CMOS レベル発振器を基準クロックとします。RMII リーダー モードでは、25MHz ±100ppm 許容誤差の水晶振動子または発振器を基準クロックとします。 RGMII 基準クロック: 25MHz ±100ppm 許容誤差の水晶振動子または発振器入力を基準クロックとします。本デバイスは、外付け水晶振動子 (ピン XI とピン XO の間に接続) と外付け CMOS レベル発振器 (ピン XI のみに接続) のどちらにも対応しています。
XO	22	O	水晶振動子出力: 基準クロック出力。XO ピンは水晶振動子の場合にのみ使用されます。CMOS レベル発振器を XI に接続する場合、このピンを浮動にする必要があります。
GPIO および LED インターフェイス			
LED_0	17	O、S-PU	機能 1 (デフォルト): リンク通知、LED はリンクのステータスを示します。リンクが良好な場合、LED がオンになります。リンクがダウンしている場合、LED はオフになります。 機能 2: ACT 通知の LED は、リンクのステータスに加えて、送受信アクティビティを示します。リンクが正常な場合は LED が点灯します。トランスミットまたはレシーバがアクティブになると、LED が点滅します。

表 5-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
LED_1 / GPIO1	24	I/O、S-PD	機能 1 (デフォルト): このピンはトライステートです。 機能 2: 速度通知の LED はリンクの速度を示します。速度が 100Mbps の場合、LED はオンになります。速度が 10Mbps の場合、LED はオフになります。LED をこのピンに接続する場合、外付けプル抵抗が必要です。 GPIO1: レジスタ アクセスを使用する場合、このピンを GPIO として使用できます。 信号検出: このピンは 100BASE-FX モードでの信号検出として機能し、光学送受信回路に接続されます。信号検出の High レベルは VDDIO 電圧レベルです。
COL/GPIO2	29	I/O、S、PU	MII モード: 全二重モードでの動作時は、COL ピンを使用して LED を駆動できます。LED 構成にはレジスタ アクセスが必要です。 RMII モード: レジスタ アクセスの使用時は、このピンを LED として使用できます。 RGMII モード: レジスタ アクセスの使用時は、このピンを LED として使用できます。 GPIO2: レジスタ アクセスの使用時は、このピンを GPIO として使用できます。
RX_D3 / GPIO3	1	I/O、S-PD	MII モード: このピンは MII モードに必要なため、RX_D3 は RX_D3 として維持されます。 RMII モード: RX_D3 ピンは LED を駆動するように構成できます。LED 構成にはレジスタ アクセスが必要です。 RGMII モード: RGMII モードにはこのピンが必要なため、RX_D3 は RX_D3 として維持されます。 GPIO3: レジスタ アクセスの使用時は、このピンを GPIO として使用できます。
メディア独立インターフェイス			
TD_M	11	A	差動送信出力 (PMD): これらの差動出力は、10BASE-Te、100BASE-TX、または 100BASE-FX のいずれかの信号に自動的に構成、または特定の信号モードに強制できます。
TD_P	12		
RD_M	9	A	差動受信入力 (PMD): これらの差動入力、10BASE-Te、100BASE-TX、または 100BASE-FX のいずれかの信号に自動的に構成、または固有の信号モードに強制できます。
RD_P	10		
電源ピンとグラウンド ピン			
VDDIO	21	P	I/O 電源: 3.3V、2.5V、または 1.8V
AVD	14	P	アナログ電源: 3.3V または 1.8V
GND	接地パッド	P	グラウンド
RBIAS	16	I	バイアス抵抗接続: RBIAS から GND へ 4.87kΩ ±1% の抵抗を接続する必要があります。
その他のピン			
NC	13	NC	フローティング状態のままにします
NC	15	NC	フローティング状態のままにします
LED_1 / GPIO1	24	I/O、S-PD	未使用時は、このピンをフローティングにできます。LED をこのピンに接続する場合、外付けプル抵抗が必要です。

(1) 以下に、各ピンの I/O セルの機能の定義を示します。

- 種類: I - 入力
- 種類: O - 出力
- 種類: I/O - 入出力
- タイプ OD - オープンドレイン
- 種類: PD, PU - 内部プルダウン/プルアップ
- 種類: S-PU, S-PD - ストラップ ピン (すべてのストラップ ピンは弱い内部プルアップまたはプルダウンを備えています。デフォルトのストラップ値を変更する必要がある場合、2.2kΩ の外付け抵抗を使用する必要があります)

表 5-2. リセット時の IO ピンの状態

ピン名	番号	タイプ	PU/PD/HiZ
MDIO	19	I	ハイ インピーダンス
MDC	20	I	PD
INT_N	8	I	PU
RESET_N	18	—	—
TX_CLK ⁽¹⁾	2	O	PD
TX_EN	3	I	PD
TX_D3	7	I	PD
TX_D2	6	I	PD
TX_D1	5	I	PD
TX_D0	4	I	PD
LED_0	17	ストラップ	PU
LED_1	24	ストラップ	PD
CRS	27	ストラップ	PU
COL	29	ストラップ	PU
RX_ER	28	ストラップ	PU
RX_DV	26	ストラップ	PD
RX_D3	1	ストラップ	PD
RX_D2	32	ストラップ	PD
RX_D1	31	ストラップ	PD
RX_D0	30	ストラップ	PD
RX_CLK	25	O	PD

- (1) リセット時の TX_CLK は出力ピンで、Low の値が TX_CLK で駆動されます。RGMII モードでは、デバイスがリセットから復帰すると、Tx_CLK は入力として構成されます。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
入力電圧	AVD	-0.5	3.8	V
	VDDIO	-0.5	3.8	
	TD-, TD+, RD-, RD+	-0.5	6	
	その他の入力 (通常動作条件では PHY)	-0.5	VDDIO + 0.3V	
DC 出力電圧	すべてのピン	-0.5	3.8	V
T _J	動作時接合部温度		135	°C
T _{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
V _(ESD) 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	9、10、11、12 を除くすべてのピン	±3000	V
		ピン 9、10、11、12	±16000	
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	すべてのピン	±1500	
	IEC 61000-4-2 ⁽³⁾	ピン 9、10、11、12	±8000	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
 (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
 (3) IEC61000-4-2、150pF および 330Ω、接触放電、クラス B。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VDDIO	電源電圧 I/O (1.8V オプション)	1.71	1.8	1.89	V
	電源電圧 I/O (2.5V オプション)	2.375	2.5	2.625	
	電源電圧 I/O (3.3V オプション)	3.15	3.3	3.45	
AVD ⁽¹⁾	電源電圧アナログ (3.3V オプション)	3.15	3.3	3.45	V
	電源電圧アナログ (1.8V オプション)	1.71	1.8	1.89	
センター タップ (CT) ⁽¹⁾	電源電圧センター タップ (3.3V オプション)	3.15	3.3	3.45	V
	「磁気センター タップ」				
	電源電圧アナログ (1.8V オプション)	1.71	1.8	1.89	
T _A	周囲温度: DP83822I, DP83822IF	-40		85	°C
	周囲温度: DP83822H, DP83822HF	-40		125	

- (1) アナログ電源 (AVD) と磁気センター タップは同じ電位にする必要があります。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		DP83822	単位
		RHB (VQFN)	
		32 ピン	
R _{θJA}	接合部から周囲への熱抵抗	41.0	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	35.5	°C/W
R _{θJB}	接合部から基板への熱抵抗	14.1	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.9	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	14.0	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	5.4	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
[SPRA953](#)

6.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
3.3V VDDIO					
V _{OH} High レベル出力電圧	I _{OH} = -4mA VDDIO = 3.3V ±5%	2.4			V
V _{OL} Low レベル出力電圧	I _{OL} = 4mA VDDIO = 3.3V ±5%			0.4	V
V _{IH} High レベル入力電圧	VDDIO = 3.3V ±5%	1.7			V
V _{IL} Low レベル入力電圧	VDDIO = 3.3V ±5%			0.8	V
2.5V VDDIO					
V _{OH} High レベル出力電圧	I _{OH} = -4mA VDDIO = 2.5V ±5%	VDDIO × 0.8			V
V _{OL} Low レベル出力電圧	I _{OL} = 4mA VDDIO = 2.5V ±5%			0.4	V
V _{IH} High レベル入力電圧	VDDIO = 2.5V ±5%	1.5			V
V _{IL} Low レベル入力電圧	VDDIO = 2.5V ±5%			0.7	V
1.8V VDDIO					
V _{OH} High レベル出力電圧	I _{OH} = -2mA VDDIO = 1.8V ±5%	VDDIO - 0.4			V
V _{OL} Low レベル出力電圧	I _{OL} = 2mA VDDIO = 1.8V ±5%			0.4	V
V _{IH} High レベル入力電圧	VDDIO = 1.8V ±5%	1.3			V
V _{IL} Low レベル入力電圧	VDDIO = 1.8V ±5%			0.5	V
DC 特性					
I _{IH} 高入力電流 (VIN = VCC)	-40°C ~ 85°C	-10		10	μA
	85°C ~ 125°C	-20		20	
I _{IL} 低入力電流 (VIN = GND)	-40°C ~ 125°C	-10		10	μA
I _{OZ} トライステート出力電流 (VOUT = VCC, VOUT = GND)	-40°C ~ 85°C	-10		10	μA
	85°C ~ 125°C	-20		20	
C _{XI/XO} XO および XI の容量 ⁽¹⁾			0.8		pF
C _{IN} 入力容量 ⁽¹⁾			5		pF

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
C _{OUT} 出力容量 ⁽¹⁾			5		pF
R _{PU-POR} ラッチイン中の内蔵プルアップ抵抗 (リセットおよびパワーアップ)	ピン:RX_ER、LED_0、CRS、COL	37.5	50	62.5	kΩ
R _{Pull-Up} 内蔵プルアップ抵抗		6.75	9	11.25	kΩ
R _{Pull-Down} 内蔵プルダウン抵抗		6.75	9	11.25	kΩ
PMD 出力					
V _{OD} MDI 10BASE-Te スイング	VOD は「レジスタ 0x0403」で制御できます (詳細については、 セクション 8 を参照)	1.54	1.75	1.96	V _{peak}
V _{OD} MDI 100BASE-TX スイング	VOD は「レジスタ 0x0403」で制御できます (詳細については、 セクション 8 を参照)	0.95	1	1.05	V _{peak}
V _{ODsym} MDI 100BASE-TX 電圧対称型		98%	100%	102%	
V _{OD} MDI 100BASE-FX トランスミッタ スイング ⁽¹⁾	差動出力電圧の大きさ (pk-pk) ⁽²⁾	0.9	1	1.1	V _{pk-pk}
Tr/f MDI 100BASE-FX トランスミッタの立ち上がり/立ち下がり時間 ⁽¹⁾	10%-90% の立ち上がり/立ち下がり時間	0.5	1	1.5	ns
T _{j_out} MDI 100BASE-FX トランスミッタ 合計ジッタ ⁽¹⁾				1.4	ns
V _{in} MDI 100BASE-FX レシーバ入力 スイング要件 ⁽¹⁾	入力差動電圧 (pk-pk)	0.22		1.8	V _{pk-pk}
T _{j_in} MDI 100BASE-FX レシーバ入力 ジッタ要件 ⁽¹⁾	入力ジッタ許容値 (pk-pk)			0.45	UI

(1) 製造試験、特性評価、または設計によって指定済みです。

(2) レジスタ 0x0403 で構成可能です。出力変動は ±10% の範囲内です

6.6 タイミング要件、パワーアップのタイミング

(1) (2) を参照してください。

パラメータ	テスト条件	最小値	標準値	最大値	単位
T1 VDDIO (デジタル電源) ランプ後の AVD (アナログ電源) ランプ遅延。電源ランプ開始前の AVD および VDDIO の電位は 0.3V を超えてはなりません。 ⁽³⁾	電源ランプ開始からの時間	-100		100	ms
VDDIO ランプ時間				100	ms
AVD ランプ時間				100	ms
T2 レジスタ アクセスに対する MDC プリアンブル前のパワーアップ後安定化時間。この最大待機時間後に入力された MDC プリアンブルは有効です。	MDIO は 32 ビットシリアル管理の初期化のために High にプルアップされます。			200	ms
T3 パワーアップ時のハードウェア構成ラッチイン時間				200	ms
T4 ハードウェア構成のピンの遷移から出力ドライバまで			64		ns
T5 パワーアップ後の高速リンクパルス転送遅延			1.5		s

(1) 製造試験、特性評価、設計によって指定済み。

(2) [図 6-1](#) を参照してください。

(3) どのようなコーナー ケースにおいて低レベル VDDIO の誤検出を防止するため、VDDIO ランプ完了後の AVD ランプアップを推奨しています。

6.7 タイミング要件、XI クロックが不安定な状態でのパワーアップ

(1) を参照してください。

パラメータ		最小値	公称値	最大値	単位
T1	XI 安定後にアプリケーションをリセットします。	1			us
T2	パルス幅のリセット	10			us

(1)  6-2 を参照

6.8 タイミング要件、リセット タイミング

(1) (2) を参照してください。

パラメータ	テスト条件	最小値	標準値	最大値	単位
T1	リセット パルス幅	10			μs
T2	レジスタ アクセスの MDC プリアンブルまでの、リセット後安定化時間			2	ms
T3	RESET のハードウェア構成ラッチイン時間		120		ns
T4	ハードウェア構成のピンの遷移から出力ドライバまで		64		ns
T5	RESET 後の高速リンクパルス転送遅延		1.5		s

(1) 製造試験、特性評価、設計によって指定済み。

(2)  6-3 を参照してください。

6.9 タイミング要件、シリアル マネージメントのタイミング

(1) (2) を参照してください。

パラメータ	最小値	標準値	最大値	単位
T1	MDC から MDIO (出力) までの遅延時間	0	10	ns
T2	MDC に対する MDIO (入力) のセットアップ時間	10		ns
T3	MDC に対する MDIO (入力) のホールド時間	10		ns
T4	MDC 周波数	2.5	25	MHz

(1) 製造試験、特性評価、設計によって指定済み。

(2)  6-4 を参照してください。

6.10 タイミング要件、100Mbps MII 送信タイミング

(1) (2) を参照してください。

パラメータ		最小値	標準値	最大値	単位
T1	TX_CLK High / Low 時間	16	20	24	ns
T2	TX_D[3:0]、TX_EN データのセットアップから TX_CLK	10			ns
T3	TX_D[3:0]、TX_CLK から TX_EN データのホールド	0			ns

(1) 製造試験、特性評価、設計によって指定済み。

(2)  6-5 を参照してください。

6.11 タイミング要件、100Mbps MII 受信タイミング

(1) (2) を参照してください。

パラメータ		最小値	標準値	最大値	単位
T1	RX_CLK High / Low 時間	16	20	24	ns
T2	RX_CLK 立ち上がりからの RX_D[3:0]、RX_DV、RX_ER の遅延	10		30	ns

(1) 製造試験、特性評価、設計によって指定済み。

(2) [図 6-6](#) を参照してください。

6.12 タイミング要件、10Mbps MII 送信タイミング

(1) (2) を参照してください。

パラメータ		最小値	標準値	最大値	単位
T1	TX_CLK High / Low 時間	190	200	210	ns
T2	TX_D[3:0]、TX_EN データのセットアップから TX_CLK	25			ns
T3	TX_D[3:0]、TX_CLK から TX_EN データのホールド	0			ns

(1) 製造試験、特性評価、設計によって指定済み。

(2) [図 6-7](#) を参照してください。

6.13 タイミング要件、10Mbps MII 受信タイミング

(1) (2) を参照してください。

パラメータ		最小値	標準値	最大値	単位
T1	RX_CLK High / Low 時間	160	200	240	ns
T2	RX_CLK 立ち上がりからの RX_D[3:0]、RX_DV、RX_ER の遅延	100		300	ns

(1) 製造試験、特性評価、設計によって指定済み。

(2) [図 6-8](#) を参照してください。

6.14 タイミング要件、RMII 送信のタイミング

(1) (2) を参照してください。

パラメータ		最小値	標準値	最大値	単位
T1	XI クロック周期		20		ns
T2	TX_D[1:0] および TX_EN データの XI 立ち上がりまでのセットアップ	1.4			ns
T3	XI 立ち上がりからの TX_D[1:0] と TX_EN データのホールド	2			ns
T1	RMII リーダー クロック (RX_D3 クロック) 周期		20		ns
	RMII リーダー クロック (RX_D3 クロック) デューティ サイクル	35%		65%	
T2	TX_D[1:0] および TX_EN データセットアップから RMII リーダークロックの立ち上がり	4			ns
T3	TX_D[1:0] および TX_EN データのホールド (RMII リーダークロックの立ち上がり時)	2			ns

(1) 製造試験、特性評価、設計によって指定済み。

(2) [図 6-9](#) を参照してください。

6.15 タイミング要件、RMII 受信タイミング

(1) (2) を参照してください。

パラメータ		最小値	標準値	最大値	単位
T1	XI クロック周期		20		ns
T2	RX_D[1:0]、XI 立ち上がりからの CRS_DV、RX_DV、RX_ER の遅延	4		14	ns

(1) (2) を参照してください。

パラメータ		最小値	標準値	最大値	単位
T1	RX_CLK クロック周期		20		ns
T2	RX_D[1:0], RX_CLK 立ち上がりからの CRS_DV、RX_DV、RX_ER の遅延 注:「RMII 受信クロック」モードでの動作時、レジスタ 0x000A の bit[0]	4	10	14	ns
T1	RMII リーダー クロック (RX_D3 クロック) 周期		20		ns
	RMII リーダー クロック (RX_D3 クロック) デューティ サイクル	35%		65%	
T2	RX_D[1:0], RMII リーダー クロック立ち上がりからの CRS_DV、RX_DV、RX_ER の遅延	4	10	14	ns

- (1) 製造試験、特性評価、設計によって指定済み。
(2) [図 6-10](#) を参照してください。

6.16 タイミング要件、RGMII

(1) (5) を参照してください。

パラメータ		最小値	標準値	最大値	単位
SkewT	データからクロック出力スキュー (トランスミッタ時) ⁽²⁾	-500	0		ps
SkewR	データからクロック入力スキュー (レシーバ時) ⁽²⁾	1	1.8		ns
SetupT	データからクロック出力セットアップ (トランスミッタ時 - 統合遅延) ⁽³⁾	1.2	2		ns
HoldT	データからクロック出力ホールド (トランスミッタ時 - 統合遅延) ⁽³⁾	1.2	2		ns
SetupR	データからクロック入力セットアップ (レシーバ時 - 統合遅延) ⁽³⁾	1	2		ns
HoldR	データからクロック入力ホールド (レシーバ時 - 統合遅延) ⁽³⁾	1	2		ns
Tcyc_10	クロック サイクル時間 10Mbps	360	400	440	ns
Tcyc_100	クロック サイクル時間 100Mbps	36	40	44	ns
Duty_T	10/100Mbps のデューティ サイクル ⁽⁴⁾	40%	50%	60%	
Tr/Tf	立ち上がり/立ち下がり時間 (20 ~ 80%)			750	ps

- (1) 製造試験、特性評価、または設計によって指定済みです。
(2) RGMII の内部遅延なしで動作する場合、PCB 設計では、関連するクロック信号に 1.5ns を超えるトレース遅延が追加されるようにクロックを配線する必要があります。
(3) 本デバイスは内部遅延あり / なしで動作できます。
(4) 最小デューティ サイクルに違反しない限り、最低速度の 3 Tcyc が遷移している間にストレッチングが行われない限り、速度が変化している間にストレッチングが行われない限り、受信バケット クロックドメインに遷移している間にデューティ サイクルをストレッチングまたは縮小できます。
(5) [図 6-11](#) と [図 6-12](#) を参照してください。

6.17 通常リンク パルス タイミング

(1) (2) を参照してください。

パラメータ		最小値	標準値	最大値	単位
T1	パルス周期		16		ms
T2	パルス幅		100		ns

- (1) 製造試験、特性評価、設計によって指定済み。
(2) [図 6-13](#) を参照してください。

6.18 オートネゴシエーション高速リンク パルス (FLP) のタイミング

(1) (2) を参照してください。

パラメータ		最小値	標準値	最大値	単位
T1	クロック パルスからクロック パルスまでの期間		125		μs
T2	クロック パルスからデータ パルスまでの期間		62		μs

(1) (2) を参照してください。

パラメータ		最小値	標準値	最大値	単位
T3	クロック/データのパルス幅		114		ns
T4	FLP パーストから FLP パーストまでの期間		16		ms
T5	FLP パースト幅		2		ms

(1) 製造試験、特性評価、設計によって指定済み。

(2) [図 6-14](#) を参照してください。

6.19 10BASE-Te ジャバーのタイミング

(1) (2) を参照してください。

パラメータ		最小値	標準値	最大値	単位
T1	ジャバー起動時間		100		ms
T2	ジャバー停止時間		500		ms

(1) 製造試験、特性評価、設計によって指定済み。

(2) [図 6-15](#) を参照してください。

6.20 100BASE-TX 送信レイテンシ タイミング

[図 6-16](#) を参照してください。

パラメータ			最小値	標準値	最大値	単位
T1	TX_EN がアサートされてから /J/ シンボルの MDI 開始までの、TX_CLK の立ち上がりエッジ	MII		48	56	ns
		RMII ⁽¹⁾		102		ns
		RGMII ⁽²⁾		170		ns

(1) FAST_RXDV が有効。Register<0x0009>=0x0002。

(2) FAST_RXDV が有効。Register<0x0009>=0x0002。および Register<0x0457>=0x0410

6.21 100BASE-TX 受信レイテンシ タイミング

[図 6-17](#) を参照してください。

パラメータ			最小値	標準値	最大値	単位
T2	/J/ シンボルの MDI 開始から RX_CLK の立ち上がりエッジで RX_DV がアサート	MII ⁽¹⁾		194	218	ns
		RMII ⁽¹⁾		272		ns
		RGMII ⁽²⁾		159		ns

(1) FAST_RXDV が有効。Register<0x0009>=0x0002。

(2) FAST_RXDV が有効。Register<0x0009>=0x0002。および Register<0x0457>=0x0410

6.22 タイミング図

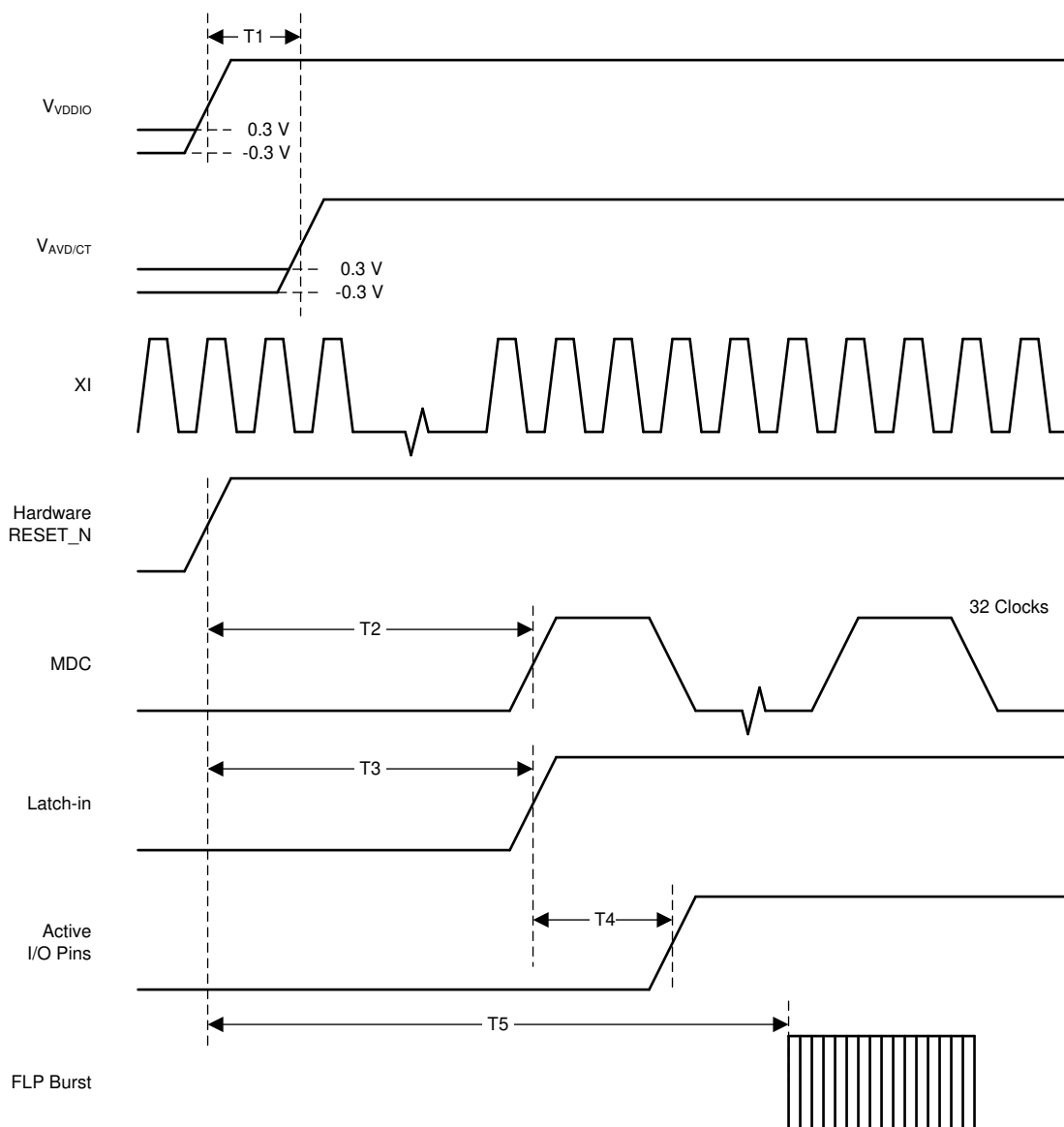


図 6-1. パワーアップのタイミング

注

外部クロック モードのクロックはパワー ランプで利用できます。利用できない場合は、外部クロックが安定してから **RESET_N** を Low にホールドして 100μs 以上ピンを解放します。

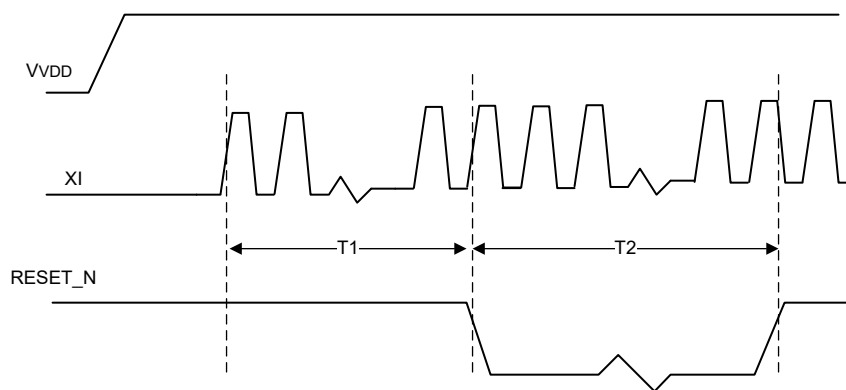


図 6-2. 不安定な XI 入力でのパワーアップ

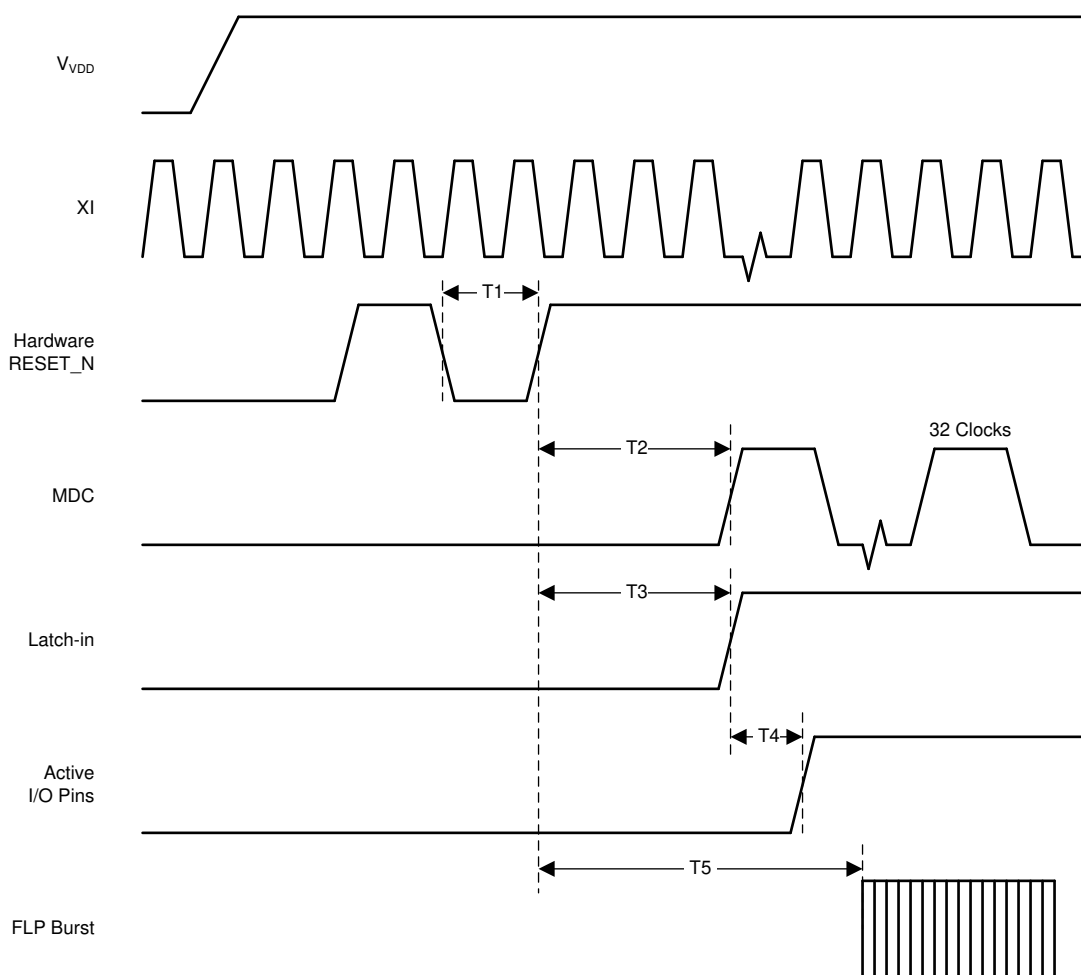


図 6-3. リセット タイミング

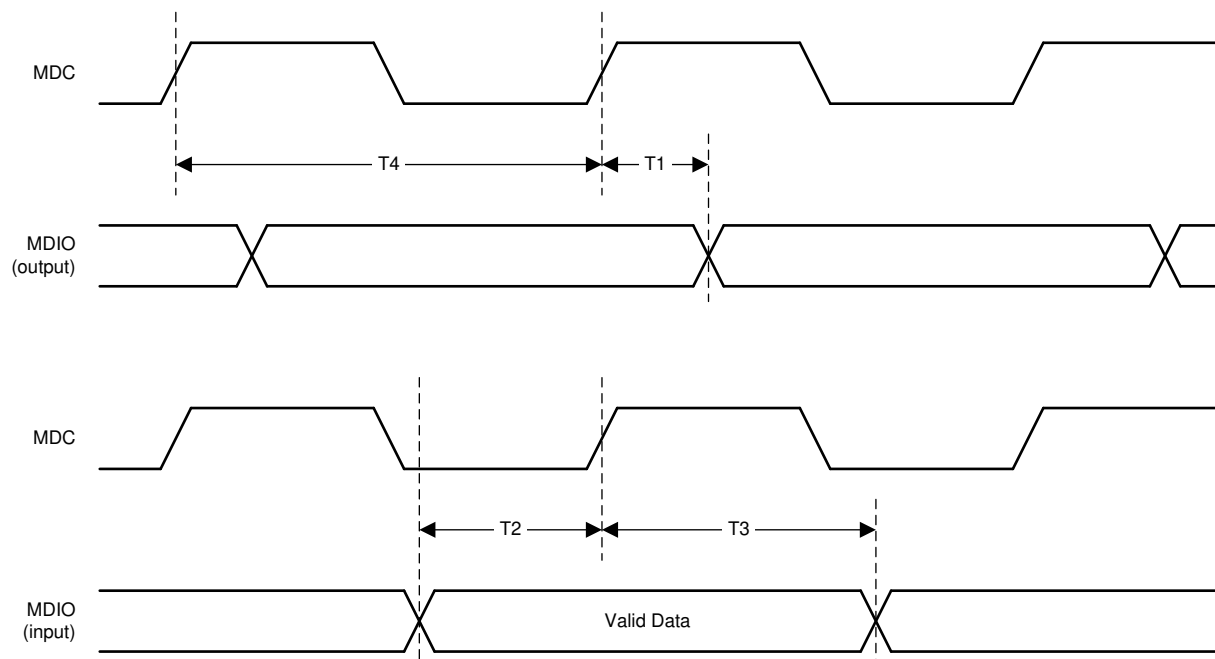


図 6-4. シリアル マネージメントのタイミング

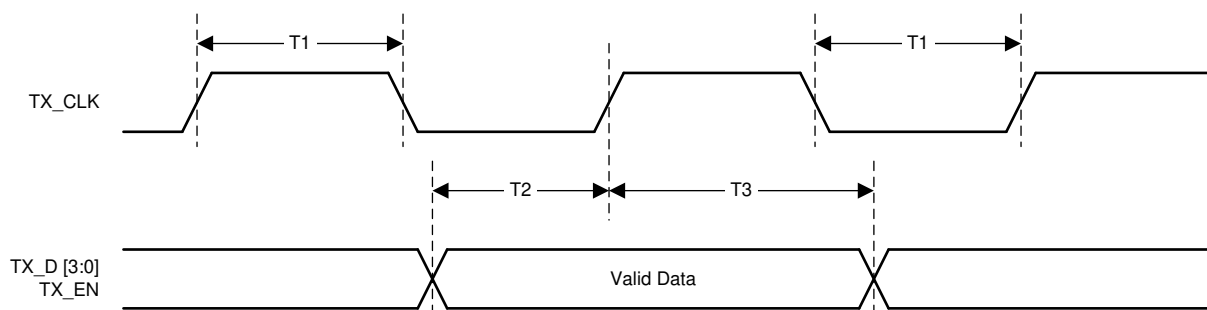


図 6-5. 100Mbps 送信タイミング

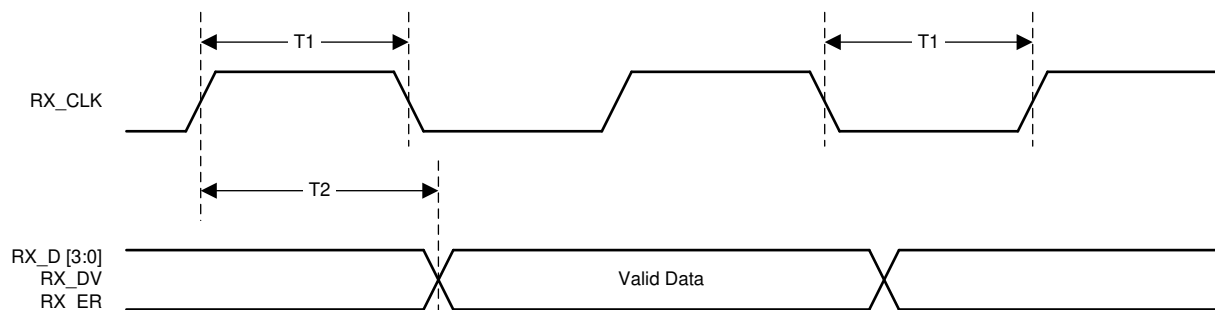


図 6-6. 100Mbps 受信のタイミング

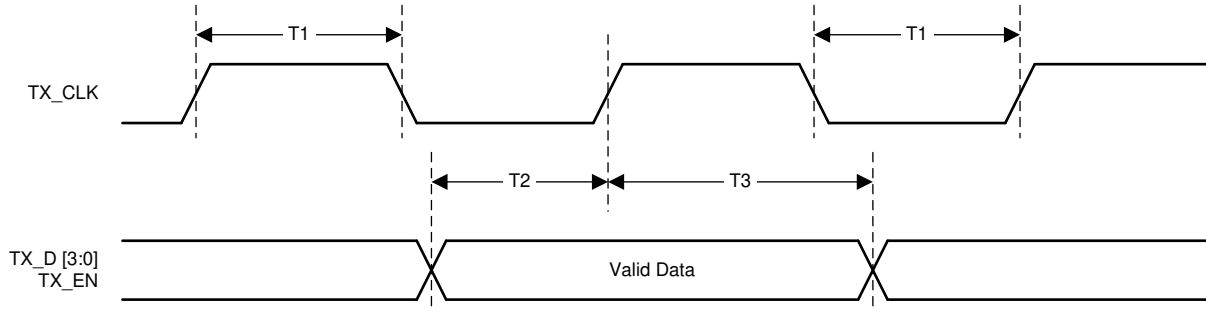


図 6-7. 10Mbps 送信タイミング

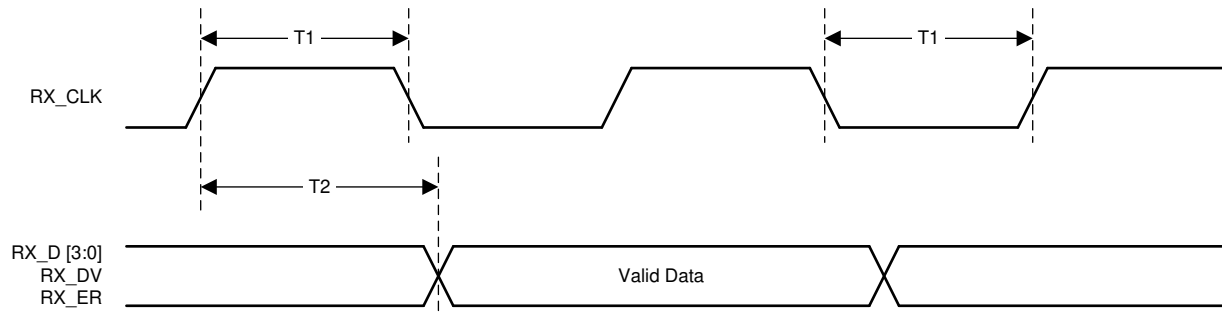


図 6-8. 10Mbps 受信のタイミング

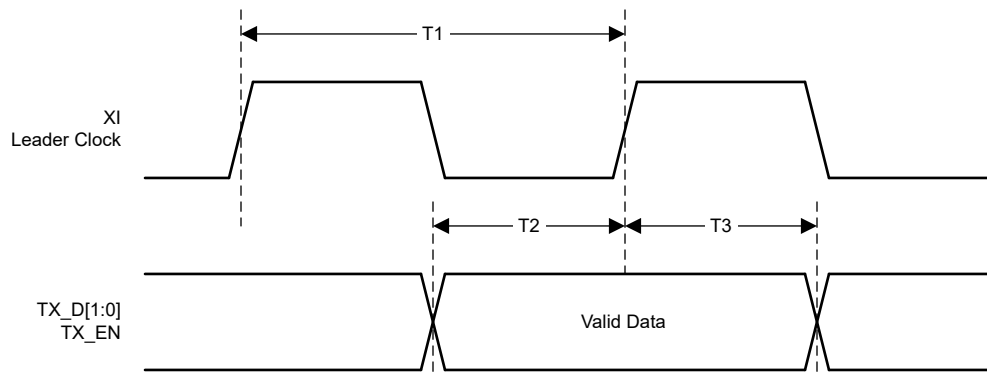


図 6-9. RMII 送信タイミング

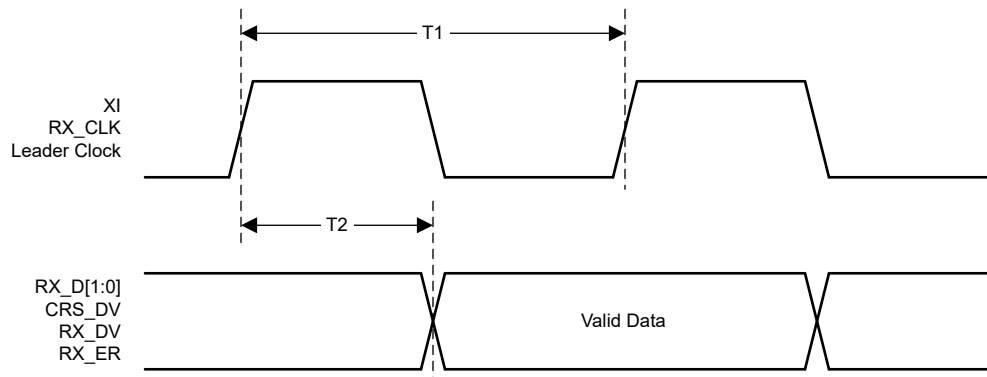


図 6-10. RMII 受信タイミング

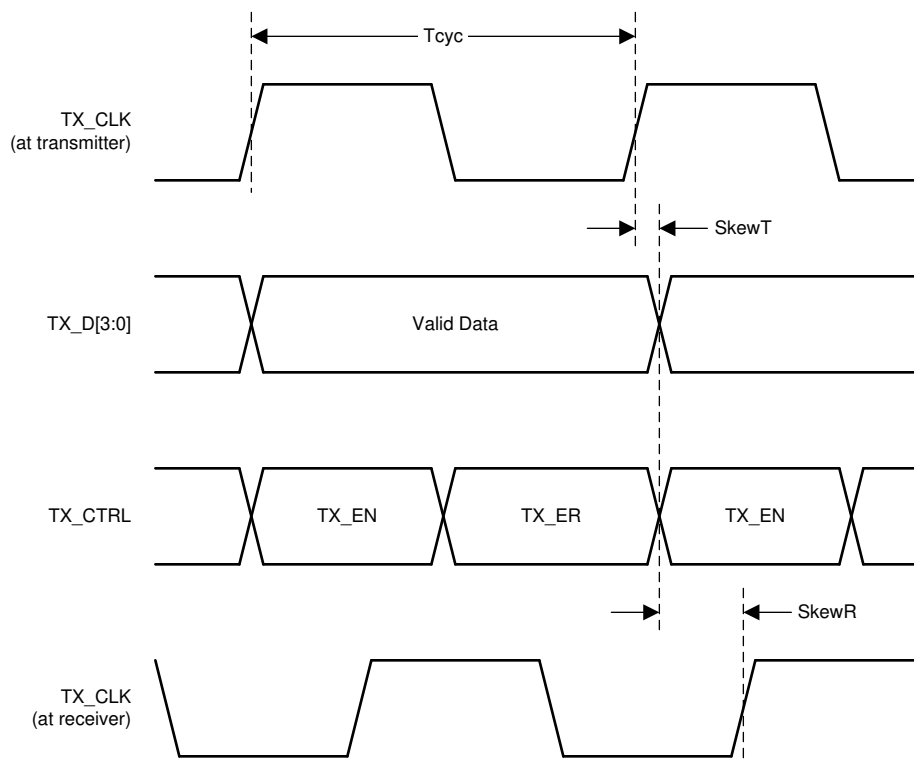


図 6-11. RGMII 送信タイミング

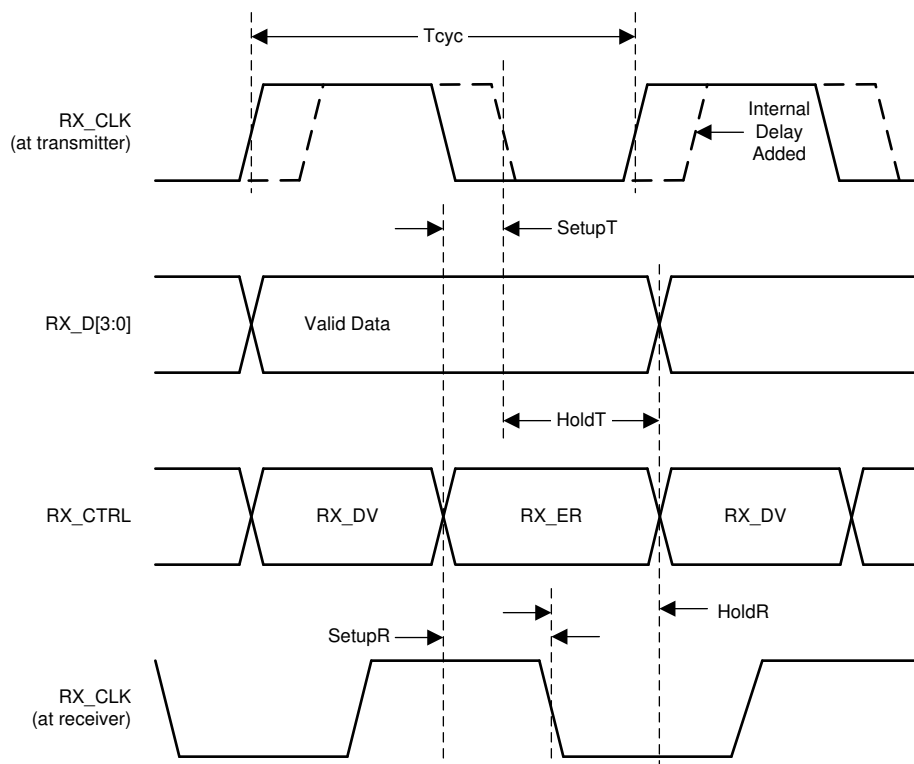


図 6-12. RGMII 受信タイミング



図 6-13. 通常リンク パルス タイミング

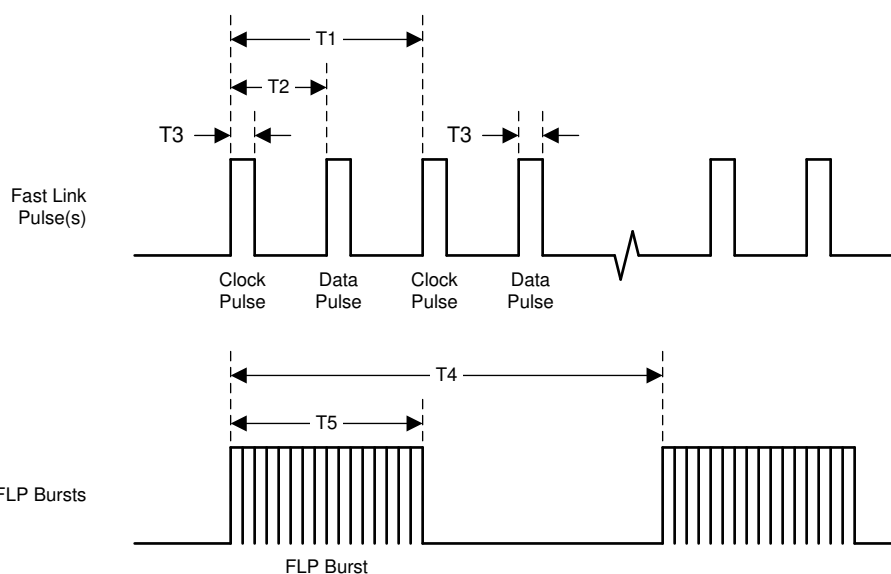


図 6-14. 高速リンク パルス タイミング

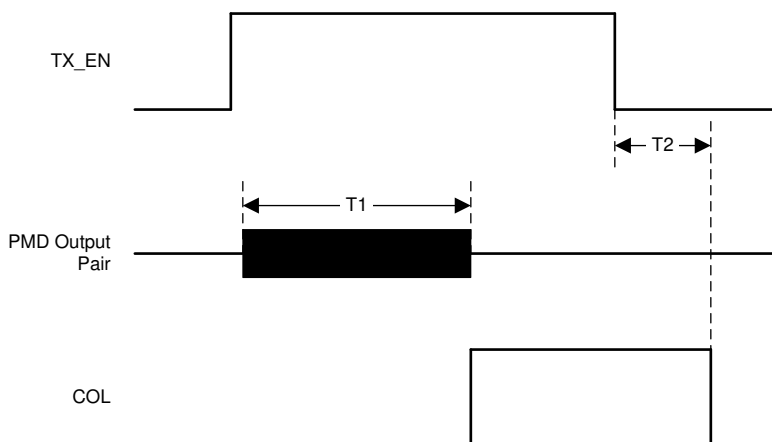


図 6-15. 10BASE-Te ジャバーのタイミング

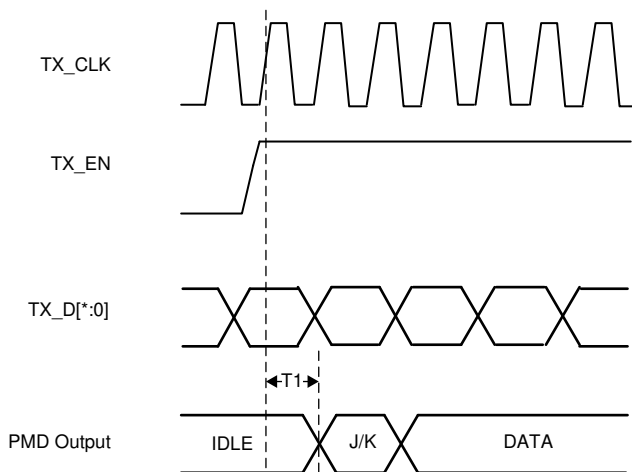


図 6-16. 100BASE-TX 送信レイテンシ タイミング

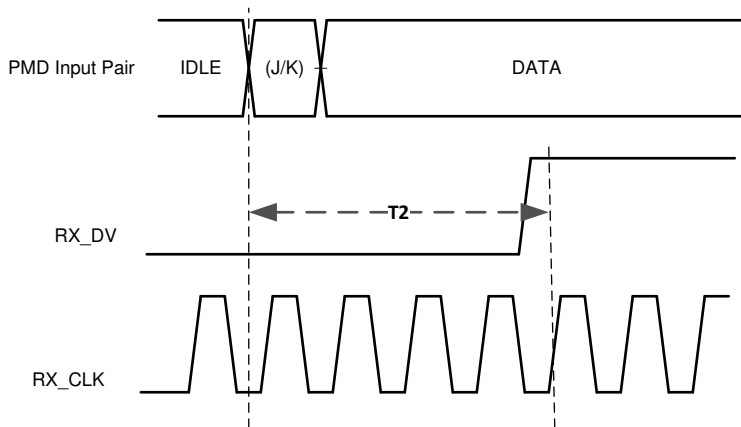
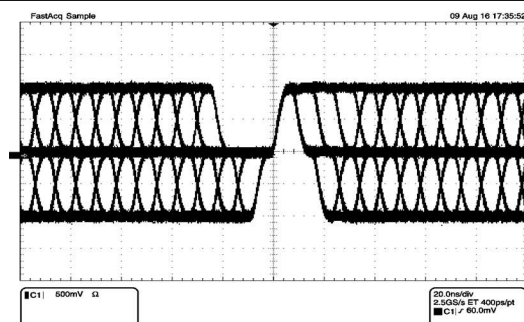


図 6-17. 100BASE-TX 受信レイテンシ タイミング

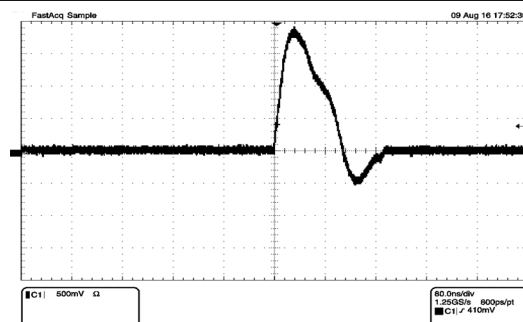
6.23 代表的特性



mV/目盛り
500mV

nS/目盛り
20ns

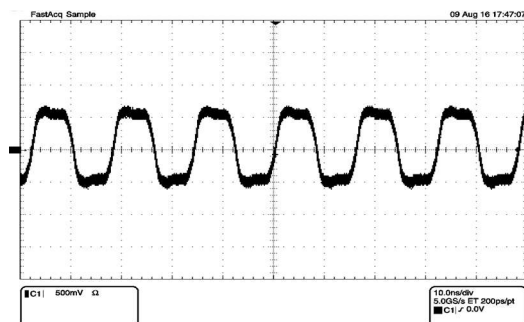
図 6-18. 100BASE-TX PMD アイ波形



mV/目盛り
500mV

nS/目盛り
80ns

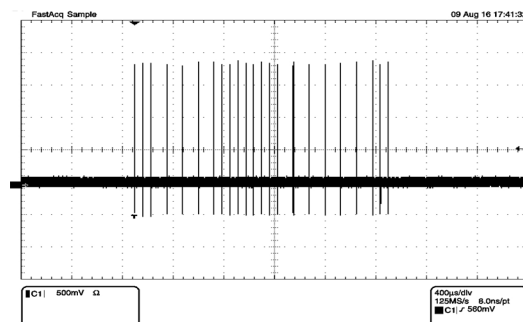
図 6-19. 10BASE-Te リンク パルスの波形



mV/目盛り
500mV

nS/目盛り
10ns

図 6-20. 100BASE-FX の波形



mV/目盛り
500mV

μS/目盛り
400μs

図 6-21. オートネゴシエーション高速リンク パルスの
波形

7 詳細説明

7.1 概要

DP83822 は、10BASE-Te、100BASE-TX、100BASE-FX シグナルに対応した、フル機能搭載のシングル ポートの物理層トランシーバです。このデバイスは標準の MII (メディア インディペンデント インターフェイス)、RMII (リデュースド メディア インディペンデント インターフェイス)、RGMII (リデュースド ギガビット メディア インディペンデント インターフェイス) をサポートしているため、MAC (メディア アクセス コントローラ) に直接接続できます。

このデバイスは、幅広い I/O 電圧インターフェイス (3.3V、2.5V、または 1.8V) と、消費電力削減のためのアナログ電圧オプション (1.8V または 3.3V) を搭載しており、電源の柔軟性を重視して設計されています。DP83822 内の自動電源構成により、追加の構成設定を必要とせずに、VDDIO 電源および AVD 電源を自由に組み合わせて使用できます。DP83822 は、ミックスド シグナル処理機能により、イコライゼーション、データの回復、誤り訂正を行い、CAT5 ツイスト ペア ケーブル上で信頼性の高い動作を実現します。DP83822 は、IEEE 802.3u の要件に対応するだけでなく、クロストークおよび望ましくないノイズに対して高いマージンを維持することもできます。

また、DP83822 は、ピンごとにアップグレード可能な、TLK105、TLK106、TLK105L、TLK106L 10/100Mbps イーサネット PHY 向けのオプションです。

7.2 機能ブロック図

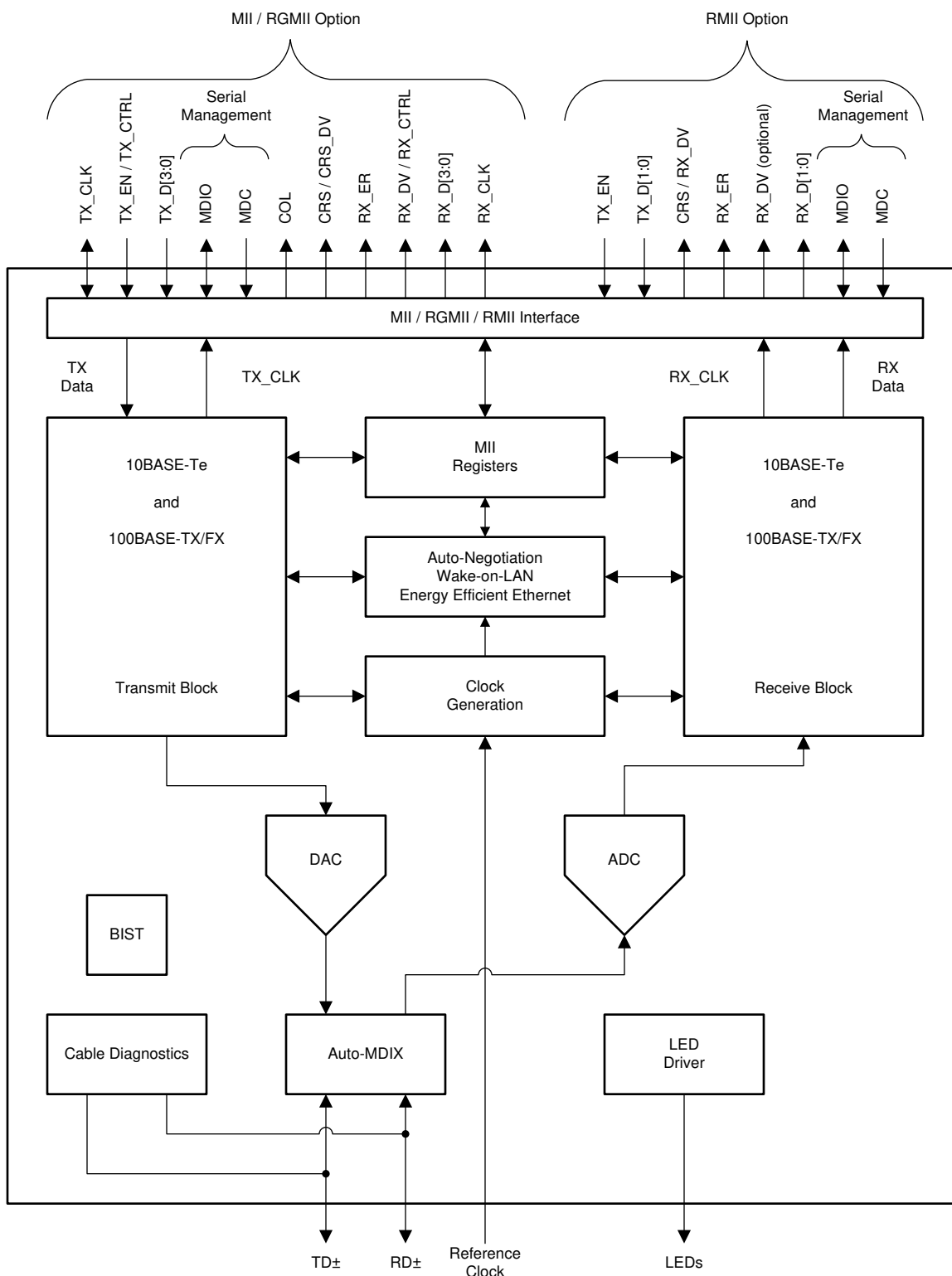


図 7-1. DP83822 の機能ブロック図

7.3 機能説明

7.3.1 EEE (Energy Efficient Ethernet)

7.3.1.1 EEE の概要

IEEE 802.3az で定義されている省電力型イーサネット (EEE) は、低消費電力アイドル (LPI) モードで動作するレイヤ 1 (物理層) およびレイヤ 2 (データリンク層) に統合された機能です。LPI モードでは、パケットの使用率が低いときに電力が節約されます。EEE は、リンクのドロップまたはパケットの破損を発生させずに、LPI モードの移行および終了を実行するプロトコルを定義します。LPI モードに対する遷移時間は短く、OSI モデル内の上位層に対する透過性があります。

DP83822 EEE は、100Mbps および 10Mbps の速度をサポートします。10BASE-Te 動作では、EEE は 10BASE-T PHY と完全に相互運用可能な低い送信振幅で動作します。

7.3.1.2 EEE ネゴシエーション

EEE は、オートネゴシエーション中にアドバタイズされます。オートネゴシエーションは、パワーアップ時、管理コマンド時、リンク障害後、またはユーザ介入によって実行されます。EEE は、両方のリンク パートナーが EEE 機能をアドバタイズする場合にのみサポートされます。EEE がサポートされていない場合、すべての EEE 機能が無効になり、MAC は LPI をアサートしません。EEE 機能をアドバタイズするため、PHY は追加のフォーマット済み次ページと未フォーマットの次ページを順番に交換する必要があります。

EEE ネゴシエーションは次の 2 つの方法で有効にできます:

- ハードウェア ブートストラッピング
- レジスタ アクセス

EEE ネゴシエーション アドバタイズメントは、RX_D1 ピン ブートストラップを使用して起動することができます。RX_D1 がストラップ モード 2 またはモード 3 に設定されている場合、自動ネゴシエーション プロセス中に EEE 機能をアドバタイズできます。EEE ネゴシエーション アドバタイズメントは、SMI を介したレジスタ アクセスを使用して起動することもできます。DP83822 には、PHY レジスタ セット内の EEE 制御レジスタにアクセスする 2 つの方法があります。IEEE 802.3az では、MMD3 および MMD7 が EEE 制御およびステータス レジスタの場所として定義されています。MMD3 と MMD7 のレジスタ、0x3000、0x3001、0x3016、0x703C、0x703D には、EEE の動作に必要なすべての制御とステータス表示が含まれています。さらに、DP83822 では、テキサス インストルメンツのベンダ固有の DEVAD 内で EEE 制御レジスタを有効にする、EEE 構成バイパス オプションをサポートしています。これにより、シングル DEVAD を使用して構成を簡略化できます。省電力型イーサネット構成レジスタ #2 (EEECFG2、アドレス 0x04D0) には、MAC 送信 LPI コマンドの一部である、TX_ER のピン アロケーションを有効化および選択する制御が含まれています。省電力型イーサネット構成レジスタ #3 (EEECFG3、アドレス 0x04D1) には、EEE 構成バイパスの制御が含まれています。

7.3.2 WoL (Wake-on-LAN) パケット検出

Wake-on-LAN は、特定のフレームを検出し、レジスタ ステータスの変更、GPIO 表示、割り込みフラグのいずれかを通じて接続コントローラに通知するメカニズムを提供します。DP83822 の WoL 機能により、物理層より上位にある接続デバイスは、適切な資格情報を持つフレームが検出されるまで低消費電力状態を維持できます。サポートされている WoL フレームタイプは、マジック パケット、Secure-ON のマジック パケット、およびカスタム パターン マッチです。適切な WoL フレームを受信すると、DP83822 の WoL ロジック回路は、GPIO ピンによってユーザー定義イベント (パルスまたはレベル変化) またはステータス割り込みフラグを生成し、接続コントローラにウェーク イベントが発生したことを通知します。さらに、DP83822 には CRC ゲートが内蔵されており、無効なパケットによってウェークアップ イベントがトリガされることを防止します。

Wake-on-LAN 機能セットには以下が含まれます:

- サポートされているすべての速度 (100BASE-FX、100BASE-TX、10BASE-Te) での WoL フレームの識別。
- WoL フレーム受信時のウェークアップ割り込み生成。
- 無効なフレームからの割り込み生成を防止するための WoL フレーム CRC エラー チェック。
- セキュリティを確保するための、Secure-ON パスワードと 64 バイトのカスタム パターン 一致によるマジック パケット。

7.3.2.1 マジック パケット構造

マジック パケット検出を構成した場合、DP83822 は、ノードにアドレス指定された受信フレームすべてを、特定のデータシーケンスでスキャンします。このシーケンスにより、フレームがマジック パケット フレームとして識別されます。

マジック パケット フレームは、送信元アドレス、宛先アドレス (受信ステーションの IEEE アドレスまたはブロードキャスト アドレス)、CRC など、選択した LAN 技術の基本的な要件も満たしている必要があります。

特定のマジック パケット シーケンスは、このノードの MAC アドレスを 16 個複製したもので、中断や中断はありません。セキュリティが有効な場合は、Secure-On パスワードが続きます。このシーケンスはパケット内の任意の場所に配置できますが、同期ストリームの前に配置する必要があります。同期ストリームは、6 バイトの 0xFF として定義されます。

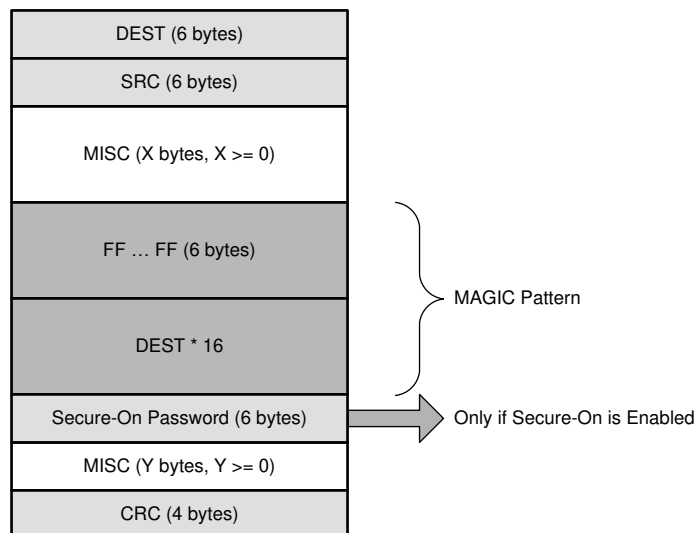


図 7-2. マジック パケット構造

7.3.2.2 マジック パケットの例

以下は、宛先アドレス 11h 22h 33h 44h 55h 66h および Secure-On パスワード 2Ah 2Bh 2Ch 2Dh 2Eh 2Fh のマジック パケットの例です。

```

DESTINATION SOURCE MISC FF FF FF FF FF FF
11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66
11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66
11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66
11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66
11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66
11 22 33 44 55 66 2A 2B 2C 2D 2E 2F MISC CRC
    
```

7.3.2.3 Wake-on-LAN の構成と状態

Wake-on-LAN 機能は、受信構成レジスタ (RXFCFG、アドレス 0x04A0) を使って構成します。受信ステータス レジスタ (RXFS、アドレス 0x04A1) に Wake-on-LAN ステータスが通知されます。Wake-on-LAN 割り込みフラグの構成と状態は、MII 割り込みステータス レジスタ #2 (MISR2、アドレス 0x0013) にあります。

7.3.3 IEEE 1588 タイムスタンプのフレーム スタート検出

DP83822 は、受信パスおよび送信パス用に、SFD (フレーム開始区切り文字) で IEEE 1588 表示パルスをサポートしています。パルスは以下の任意のピンに供給できます: LED_0、LED_1 (GPIO1)、COL (GPIO2)、RX_D3 (GPIO3)、INT/PWDN_N、CRS。1588 タイムスタンプパルスは、シンボルが回線上に表示される実際の時間 (送信の場合)、または最初に受信されたシンボル (受信の場合) を示します。パルスの正確なタイミングは IEEE 1588 PTP 構成レジスタ (PTPCFG、アドレス 0x003F) で調整できます。位相値の各増分は 8ns ステップです。

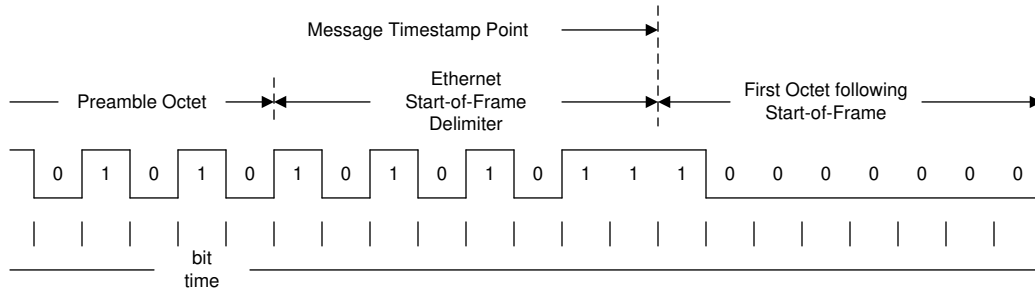


図 7-3. IEEE 1588 メッセージ タイムスタンプ ポイント

IEEE 1588 の送信および受信通知のルーティングを制御可能な 3 つのレジスタがあります。IEEE 1588 PTP ピン選択レジスタ (PTPPSEL、アドレス 0x003E) は、送信および受信通知を、TLK105L および TLK106L PHY にもある、LED_0 (GPIO1)、COL (GPIO2)、CRS、INT/PWDN_N にルーティングできます。DP83822 には 2 つの追加レジスタがあるため、追加のピンを選択して、IO MUX GPIO 制御レジスタ #1 と #2 (IOCTRL1 と IOCTRL2、アドレス 0x0462 とアドレス 0x0463) を使用し GPIO を集中的に制御できます。IOCTRLx レジスタで RX_SFDPIN と TX_SFDPIN を有効化/設定した後、以下の 2 つのレジスタに書き込みをしてください:

- プログラム (レジスタ 0x0456 = 値 0x000A)
- プログラム (レジスタ 0x04A0 = 値 0x1080)
 - レジスタ 0x04A0 は「ビット 7:WOL」を有効にすることに注意してください。これは SFD 検出の精度向上に役立ちますが、必須の変更ではありません。WoL 機能には追加のレジスタ設定が必要であるため、この変更によって PHY が WoL パケットを検出することはありません。

注:これらのレジスタ値をロードするには、ソフトウェアリセットを実行する必要があります (レジスタ 0x001F = 値 0x4000)

7.3.4 クロック出力

DP83822 には複数のクロック構成オプションがあります。外部水晶振動子または CMOS レベルの発振器は、内部 PHY 基準クロックにステミュラスを提供します。ローカル基準クロックは、パススルー クロック オプション以外の、デバイス内のすべてのクロックの中央ソースとして機能します。

すべてのクロック構成オプションは、DP83822 IO MUX GPIO 制御レジスタ #1 と #2 (IOCTRL1 IOCTRL2、RX_D3 (GPIO3) ではアドレス 0x0462 bits[14:12]、LED_1 (GPIO1) ではアドレス 0x0462 bits[6:4]、COL (GPIO2) ではアドレス 0x0463 bits[6:4]) を使用して有効にします。

DP83822 がサポートしているクロックオプションには以下が含まれます:

- MAC IF クロック
- XI クロック
- フリーランニング クロック
- 復元クロック

MAC IF クロックは、選択した MAC インターフェイスと同じ速度で動作します。MII 動作の場合、MAC IF クロック周波数が 25MHz です。RMII 動作の場合、MAC IF クロック周波数が 50MHz です。RGMII 動作の場合、MAC IF クロック周波数が 25MHz です。XI クロックはパススルー オプションであり、XI ピンのクロックを GPIO ピンに渡すことができます。クロックは GPIO から送信する前にバッファされ、出力クロックの振幅は選択された VDDIO レベルにあることに注意してください。

い。フリーランニング クロックは内部で生成する 125MHz フリーランニング クロックです。再生クロックは、接続されたリンク パートナーからの 125MHz 再生クロックです。

7.4 デバイスの機能モード

7.4.1 MAC インターフェイス

7.4.1.1 MII (Media Independent Interface)

メディア独立インターフェイスは、100BASE-FX、100BASE-TX、10BASE-Te モードにおいて、PHY を MAC に接続する同期 4 ビット幅のニブル データ インターフェイスです。MII は IEEE 802.3-2002 条項 22 に完全準拠しています。

表 7-1 に MII 信号の概要を示します。

表 7-1. MII の信号

FUNCTION	ピン
データ信号	TX_D[3:0]
	RX_D[3:0]
信号の送受信	TX_EN
	RX_DV
ライン ステータス信号	CRS
	COL

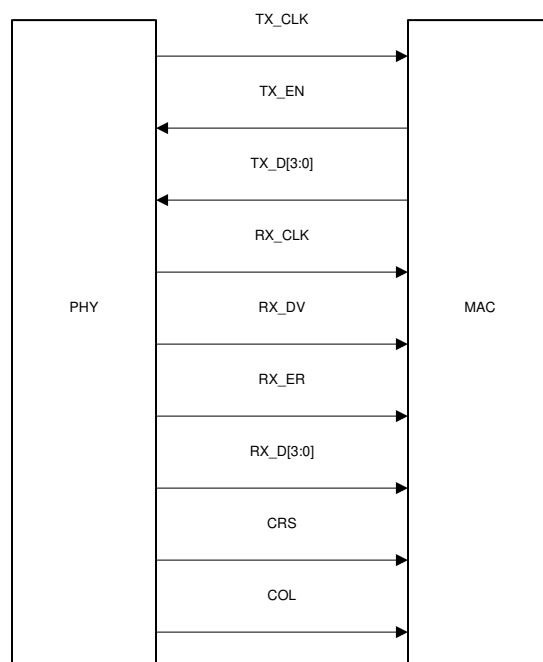


図 7-4. MII シグナリング

また、MII インターフェイスには、搬送波検知信号 (CRS) や衝突検出信号 (COL) が含まれています。CRS 信号は、データの受信または送信を示すためにアサートされます。COL 信号は、送信と受信の両方の動作が同時に発生すると、半二重モードで発生する可能性のある衝突の兆候としてアサートされます。

7.4.1.2 RMII (Reduced Media Independent Interface)

DP83822 には、RMII コンソーシアムの RMII 仕様で指定されている簡易メディア独立インターフェイス (Reduced Media Independent Interface, RMII) が組み込まれています。このインターフェイスの目的は、条項 22 で規定されている IEEE 802.3u の MII の代替として、ピン数を削減することです。アーキテクチャとしては、RMII 仕様は MII の両側に追加の整合レイヤを提供しますが、MII がない場合に実装できます。DP83822 には、次の 2 種類の RMII 動作があります：RMII フォロワ と RMII リーダー。RMII フォロワ動作では、DP83822 は XI ピンに接続された 50MHz CMOS レベル発振器で動作し、MAC と同じクロックを共有します。RMII リーダー動作では、DP83822 は XI ピンに接続された 25MHz CMOS レベル発振器、または XI ピンと XO ピン間に接続された 25MHz 水晶振動子のいずれかで動作します。3 つの DP83822 GPIO のいずれかを基準とする 50MHz 出力クロックが MAC に接続されます。

注

RMII リーダー モードがブートストラップによって設定されている場合、RX_D3 (GPIO3) で 50MHz 出力クロックが自動的に有効になります。

RMII 仕様には、次の特性があります。

- 100BASE-FX、100BASE-TX、10BASE-Te をサポートします。
- MAC から PHY (または外部ソース) に供給される単一のクロック リファレンス
- 独立した 2 ビット幅の送受信データパスを提供
- MII インターフェイスと同じレベルの CMOS 信号レベルを使用

このモードでは、送信パスと受信パスの両方に内部 50MHz リファレンス クロックを使用して、クロック サイクルごとに 2 ビットのデータ転送が行われます。

表 7-2 に、RMII 信号の概要を示します。

表 7-2. RMII の信号

FUNCTION	ピン
データ信号	TX_D[1:0]
	RX_D[1:0]
信号の送受信	TX_EN
	CRS_DV

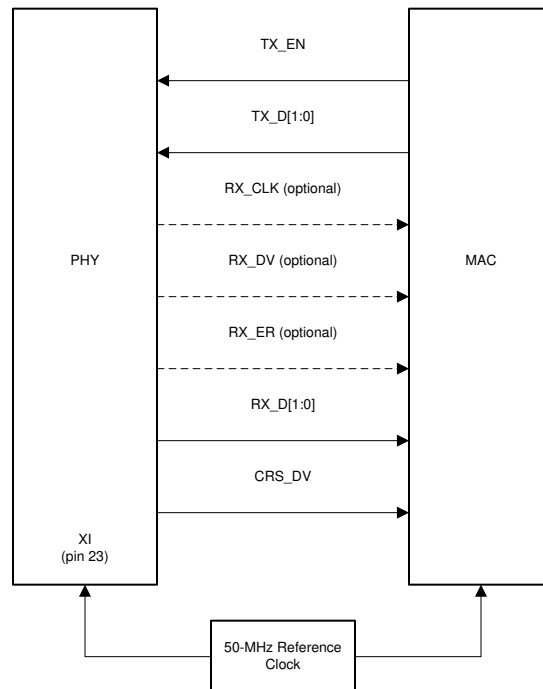


図 7-5. RMII フォロフ信号

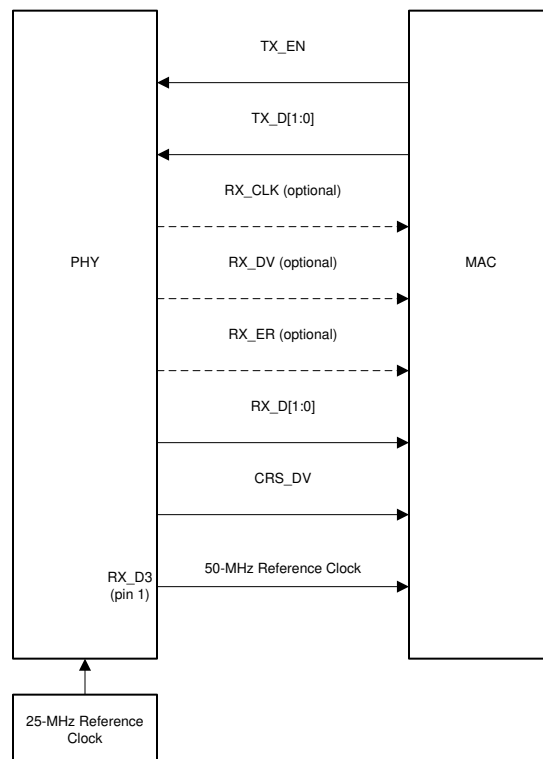


図 7-6. RMII リーダー信号

TX_D[1:0] のデータは、XI ピンのクロック エッジを基準として PHY 内でラッチされます。RX_D[1:0] のデータは、XI ピンの同じクロック エッジを基準として MAC 内でラッチされます。RMII は 10BASE-T_e、100BASE-TX、100BASE-FX と同じ速度で動作します。10BASE-T_e では、データはリファレンス クロックの 10 倍遅いため、送信データは 10 クロック サイ

クルごとにサンプリングされます。同様に、受信データは 10 クロックごとに生成されるため、接続されている MAC デバイスは 10 クロック サイクルごとにデータをサンプリングできます。

さらに、RMII は RX_DV 信号を供給するため、CRS_DV 通知から RX_DV を分離するが必要がなに、受信データの回復より簡単な方法が用意されています。RMII 仕様では RX_ER は必須ではありませんが、RX_ER もサポートされています。

RMII には、基準クロックと回復受信クロックの周波数差を補正するためのプログラマブル弾性バッファが組み込まれています。プログラマブル弾性バッファを使用すると、予想される最大パケットサイズとクロック精度に基づいて内部伝搬遅延を最小限に抑えられます。

表 7-3 は、RMII 基準クロックとファークエンドトランスミッター・クロックの精度が同じであると仮定し、予想される最大パケットサイズとクロック精度に基づいてバッファ FIFO をプログラムする方法を示しています。

表 7-3. 推奨される RMII パケット サイズ

開始スレッシュホルド RBR[1:0]	レイテンシ 許容誤差	推奨パケット サイズ ±50ppm 時	推奨パケット サイズ ±100ppm 時
1 (4 ビット)	2 ビット	2400 バイト	1200 バイト
2 (8 ビット)	6 ビット	7200 バイト	3600 バイト
3 (12 ビット)	10 ビット	12000 バイト	6000 バイト
4 (16 ビット)	14 ビット	16800 バイト	8400 バイト

7.4.1.3 RMII リピータ モード

DP83822 デバイスには、RMII 双方向リピータ モード機能を有効化して、ケーブルの到達範囲を延長するオプションがあります。2 つの DP83822 デバイスを外部構成なしで RMII リピータ モードで接続できます。図 7-7、図 7-8 に、デバイスが反復モードで動作できるようにする RMII ピンの接続を示します。

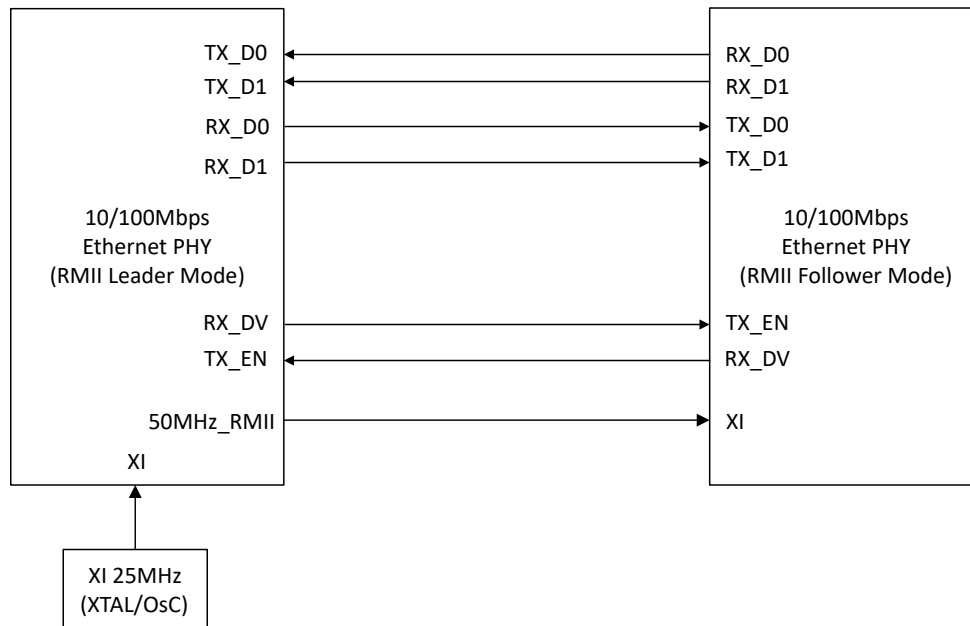


図 7-7. RMII 反復モードリーダー - フォロワ

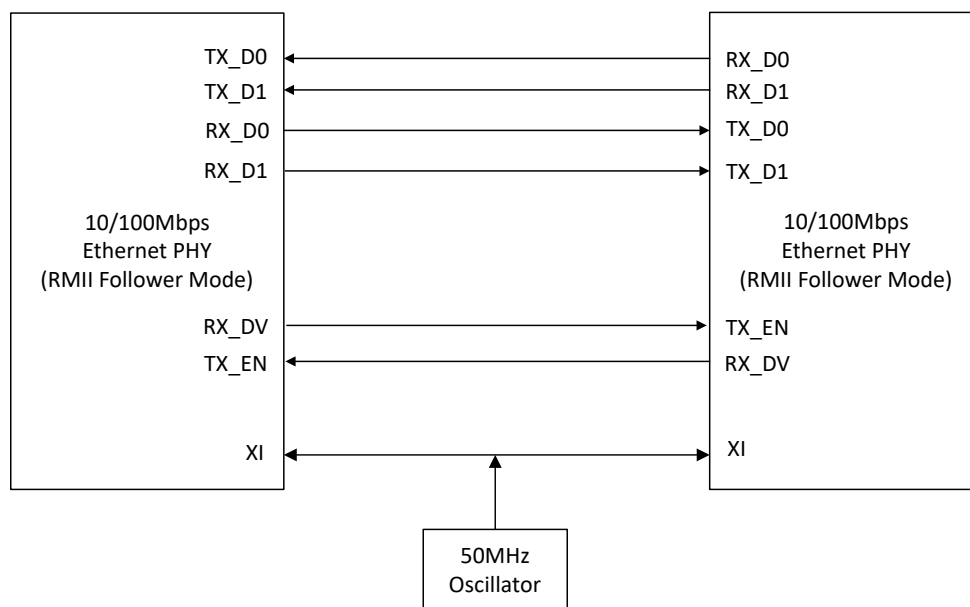


図 7-8. RMII 反復モードフォロフ

7.4.1.4 RGMII (Reduced Gigabit Media Independent Interface)

DP83822 は、RGMII バージョン 2.0 で規定された RGMII (Reduced Gigabit Media Independent Interface) もサポートしています。RGMII は、MAC と PHY の接続に必要なピン数が少なくなるように設計されています。この目標を達成するため、制御信号が多重化されています。送信パスと受信パスの制御信号ピンをサンプリングするためにクロックの立ち上がりエッジと立ち下がりエッジの両方が使用されます。10Mbps 動作の場合、RX_CLK と TX_CLK は 2.5MHz で動作します。100Mbps 動作の場合、RX_CLK と TX_CLK は 25MHz で動作します。

表 7-4 に、RGMII 信号の概要を示します。

表 7-4. RGMII の信号

FUNCTION	ピン
データ信号	TX_D[3:0]
	RX_D[3:0]
信号の送受信	TX_CTRL
	RX_CTRL

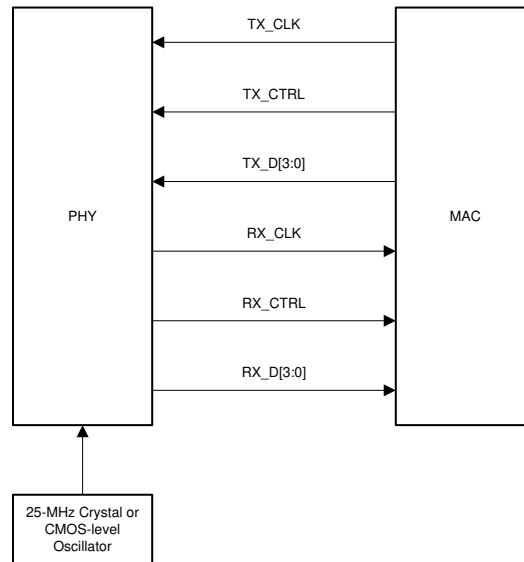


図 7-9. RGMII シグナリング

パケット受信時、内部のフリーラン クロックから復元クロック（データ同期クロック）への切り替えを行うために、RX_CLK は正パルスまたは負パルスのいずれかでストレッチされる場合があります。PHY の速度が変化する場合も、正のパルスまたは負のパルスの同様のストレッチが許容され、クロック グリッチを防ぎます。DP83822 は 1Gbps 動作をサポートしていないため、データ レートがダブル データ レート (DDR) である必要はなく、クロックの立ち下がりエッジでデータが複製される場合があります。

DP83822 はインバンド ステータス表示をサポートしています。リンク ステータス、速度、二重の検出を簡素化するため、DP83822 は 表 7-5 に示すように、RX_D[3:0] ピンにフレーム間信号を供給します。

表 7-5. RGMII インバンド ステータス

RX_DV	RX_D3	RX_D[2:1]	RX_D0
0 注: インバンド ステータスは、RX_DV が Low のときのみ有効です	二重モードのステータス: 1 = 全二重 0 = 半二重	RX_CLK クロック速度: 00 = 2.5MHz (10Mbps) 01 = 25MHz (100Mbps) 10 = 予約済み 11 = 予約済み	リンク ステータス: 1 = 有効なリンク確立済み 0 = リンクが未確立

7.4.2 シリアル マネージメント インターフェイス

シリアル マネージメント インターフェイスを使うことで、ステータス情報と構成のために使われている DP83822 の内部レジスタ空間にアクセスできます。SMI は IEEE 802.3 の 22 項と 45 項に準拠しています。実装されているレジスタ セットは、IEEE 802.3 に必要なレジスタと、DP83822 の可視性と制御性を高めるためのその他のレジスタで構成されています。

SMI には、管理クロック (MDC) と、管理入力 / 出力データ ピン (MDIO) が含まれます。MDC は、ステーション (STA) と呼ばれる外部管理エンティティから供給され、最大 25MHz クロック レートで実行できます。MDC は連続的である必要はなく、バスがアイドル状態の場合、外部管理エンティティがオフにすることもできます。

MDIO の信号は外部管理エンティティと PHY から供給されます。MDIO ピンのデータは、MDC の立ち上がりエッジでラッチされます。MDIO ピンにはプルアップ抵抗 (2.2kΩ) が必要であり、それによってアイドル時およびターンアラウンド時に MDIO は High にプルされます。

最大 32 の PHY が共通の SMI バスを共有できます。PHY を区別するため、5 ビット アドレスを使います。パワーアップまたはハードウェア リセット中に、DP83822 はアドレスを判別するために PHY_AD[4:0] 構成ピンをラッチします。

管理エンティティは、パワーアップ時またはハードウェア リセットの後の最初のサイクルで SMI トランザクションを開始してはなりません。有効な動作を維持するため、リセットがデアサートされた後、少なくとも 1 MDC サイクルの間、SMI バスは非アクティブのままである必要があります。代表的な MDIO トランザクションでは、管理フレームのレジスタ アドレス フィールドからレジスタ アドレスが直接取り込まれるため、32 の 16 ビット レジスタ (IEEE 802.3 で定義されたレジスタとベンダ固有のレジスタを含む) に直接アクセスできます。データ フィールドは、読み出しと書き込みの両方に使用されます。スタートコードは <01> パターンで示されます。このパターンにより、MDIO ラインはデフォルトのアイドル ライン状態から必ず遷移します。ターンアラウンドは、レジスタ アドレス フィールドとデータ フィールドの間に挿入されたアイドル ビット期間として定義されます。読み出しトランザクション中の競合を避けるため、ターンアラウンドの先頭ビットの間、デバイスは MDIO 信号をアクティブに駆動できません。アドレス指定された DP83822 は、2 番目のビットのターンアラウンドの間 MDIO を 0 で駆動し、その後に必要なデータを送信します。

書き込みトランザクションの場合、ステーション管理エンティティはアドレス指定された DP83822 にデータを書き込みます。そのため、MDIO ターンアラウンドは不要です。ターンアラウンド時間には、管理エンティティによって <10> が挿入されます。

表 7-6. SMI プロトコル

SMI プロトコル	<idle><start><op code><device addr><reg addr><turnaround><data><idle>
読み出し動作	<アイドル><01><10><AAAAA><RRRRR><Z0><XXXX XXXX XXXX XXXX><アイドル>
書き込み動作	<アイドル><01><01><AAAAA><RRRRR><10><XXXX XXXX XXXX XXXX><アイドル>

7.4.2.1 拡張レジスタ スペース アクセス

DP83822 SMI 機能は、レジスタ制御レジスタ (REGCR、アドレス 0x000D)、データ レジスタ (ADDAR、アドレス 0x000E)、および MDIO 管理可能デバイス (MMD) 間接方式 (条項 45 の拡張レジスタ セットへのアクセスに関する IEEE 802.3ah ドラフト条項 22 で定義) を使用した拡張レジスタ セットへの読み出しおよび書き込みアクセスをサポートしています。

標準のレジスタセット MDIO レジスタ 0 ~ 31 には、通常の直接 MDIO アクセスまたは間接方式でアクセスしますが、レジスタ REGCR および レジスタ ADDAR は別で、通常の MDIO トランザクションでのみアクセスされます。SMI 関数は、これらのレジスタへの間接アクセスを無視します。

REGCR は MMD アクセス制御です。一般に、レジスタ REGCR[4:0] は、ADDAR レジスタのすべてのアクセスを適切な MMD に向かわせるデバイス アドレス DEVAD です。

DP83822 は、3 つの MMD デバイス アドレスをサポートしています：

1. ベンダ固有のデバイス アドレス DEVAD[4:0] = 11111 は、一般的な MMD レジスタ アクセスに使用されます。
2. DEVAD[4:0] = 00011 は、省電力型イーサネット MMD レジスタ アクセスに使用されます。このデバイス アドレスでアクセス可能なレジスタのレジスタ名の前には、MMD3 が付けられています。
3. DEVAD[4:0] = 00111 は、省電力型イーサネット MMD レジスタ アクセスに使用されます。このデバイス アドレスでアクセス可能なレジスタのレジスタ名の前には、MMD7 が付けられています。

レジスタ REGCR および ADDAR によるすべてのアクセスでは、適切な DEVAD を使用する必要があります。その他の DEVAD を使ったトランザクションは無視されます。REGCR[15:14] はアクセス機能：アドレス (00)、ポスト インクリメントなしのデータ (01)、書き込み専用のポスト インクリメントありのデータ (11) を保持します。アドレス (10) は無効です。

- ADDAR は、アドレス / データ MMD レジスタです。ADDAR を REGCR と組み合わせて使用することで、拡張レジスタ セットにアクセスできます。レジスタ REGCR[15:14] が (00) の場合、ADDAR は拡張アドレス空間レジスタのアドレスを保持します。それ以外の場合、ADDAR は、アドレスレジスタの内容に応じたデータを保持します。REGCR[15:14] が (00) に設定されている場合、レジスタ ADDAR にアクセスすると、拡張レジスタ セットのアドレスレジスタが変更されます。拡張レジスタ セット内のいずれのレジスタにアクセスするにも、このアドレスレジスタを必ず初期化する必要があります。
- REGCR[15:14] が (01) に設定されている場合、レジスタ ADDAR にアクセスすると、アドレスレジスタの値によって選択された拡張レジスタ セット内のレジスタがアクセスされます。
- REGCR[15:14] を (10) に設定している場合は有効なオプションではありません。
- REGCR[15:14] が (11) に設定されている場合、レジスタ ADDAR にアクセスすると、アドレスレジスタの値によって選択された拡張レジスタ セット内のレジスタがアクセスされます。このアクセスが完了した後、書き込みアクセスの場合のみ、アドレスレジスタの値がインクリメントされます。読み出しアクセスの場合、アドレスレジスタの値は変更されません。

以下のセクションでは、レジスタ REGCR および ADDAR を使って拡張レジスタ セットを操作する方法について説明します。これらの説明は、一般的な MMD レジスタ アクセス (DEVAD[4:0] = 11111) のデバイス アドレスを使用します。MMD3 または MMD7 レジスタへのレジスタ アクセスには、対応するデバイス アドレスを使用します。

7.4.2.2 書き込みアドレス動作

アドレスレジスタを設定するには、次の手順に従います。

1. レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。
2. レジスタ ADDAR にレジスタ アドレスを書き込む。

それ以降、レジスタ ADDAR (ステップ 2) に書き込むと、そのアドレスレジスタが引き続き書き込まれます。

7.4.2.3 読み出しアドレス動作

アドレスレジスタを読み出すには、次の手順に従います。

1. レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。
2. レジスタ ADDAR からレジスタ アドレスを読み出す。

それ以降、レジスタ ADDAR (ステップ 2) を読み出すと、そのアドレスレジスタが引き続き読み出されます。

7.4.2.4 書き込み (ポスト インクリメントなし) 動作

拡張レジスタ セット内のレジスタを書き込むには、次の手順に従います。

1. レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。
2. レジスタ ADDAR に目的のレジスタ アドレスを書き込む。
3. レジスタ REGCR に値 0x401F (データ、ポスト インクリメントなし機能フィールド = 01、DEVAD = 31) を書き込む。
4. レジスタ ADDAR に目的の拡張レジスタ セットの内容を書き込む。

それ以降、レジスタ ADDAR (ステップ 4) に書き込むと、そのアドレスレジスタの値によって選択されたレジスタが引き続き書き換えられます。

注

アドレスレジスタが前もって構成されている場合、ステップ (1) および (2) を飛ばすことができます。

7.4.2.5 読み出し (ポスト インクリメントなし) 動作

拡張レジスタ セットのレジスタを読み出すには、次の手順に従います。

1. レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。
2. レジスタ ADDAR に目的のレジスタ アドレスを書き込む。
3. レジスタ REGCR に値 0x401F (データ、ポスト インクリメントなし機能フィールド = 01、DEVAD = 31) を書き込む。
4. レジスタ ADDAR の目的の拡張レジスタ セットの内容を読み出す。

それ以降、レジスタ ADDAR (ステップ 4) を読み出すと、アドレスレジスタの値によって選択されたレジスタが引き続き読み出されます。

注

アドレスレジスタが前もって構成されている場合、ステップ (1) および (2) を飛ばすことができます。

7.4.2.6 書き込み (ポスト インクリメント) 動作

1. レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。
2. レジスタ ADDAR に目的のレジスタ アドレスを書き込む。
3. レジスタ REGCR に値 0x801F (機能フィールド = 10 (データ、ポスト インクリメントあり)、DEVAD = 31) または値 0xC01F (機能フィールド = 11 (データ、書き込み時にポスト インクリメントあり)、DEVAD = 31) を書き込む。
4. レジスタ ADDAR に目的の拡張レジスタ セットの内容を書き込む。

それ以降、レジスタ ADDAR (ステップ 4) に書き込むと、アドレス レジスタの値によって選択されたすぐ上のアドレスのデータレジスタが引き続き書き込まれます (アドレス レジスタは各アクセスの後にインクリメントされます)。

7.4.2.7 読み出し (ポスト インクリメント) 動作

拡張レジスタ セットのレジスタを読み出し、書き込み動作後にアドレス レジスタをすぐ上の値に自動的にインクリメントするには、次の手順に従います。

1. レジスタ REGCR に値 0x001F (機能フィールド = 00 (アドレス)、DEVAD = '31') を書き込む。
2. レジスタ ADDAR に目的のレジスタ アドレスを書き込む。
3. レジスタ REGCR に値 0x801F (機能フィールド = 10 (データ、ポスト インクリメントあり)、DEVAD = 31) を書き込む。
4. レジスタ ADDAR の目的の拡張レジスタ セットの内容を読み出す。

それ以降、レジスタ ADDAR (ステップ 4) を読み出すと、アドレス レジスタの値によって選択されたすぐ上のアドレスのデータレジスタが引き続き読み出されます (アドレス レジスタは各アクセスの後にインクリメントされます)。

7.4.2.8 書き込み動作の例 (ポスト インクリメントなし)

以下の例では、ポスト インクリメントなしの書き込み動作を示します。この例では、IO MUX GPIO 制御レジスタ (IOCTRL、アドレス 0x0461) を使用して、MAC インピーダンスを 99.25Ω に調整します。

1. レジスタ 0x000D に値 0x001F を書き込みます。
2. レジスタ 0x000E に値 0x0461 を書き込みます。(目的のレジスタを IOCTRL に設定)
3. レジスタ 0x000D に値 0x401F を書き込みます。
4. レジスタ 0x000E に値 0x0400 を書き込みます。(MAC インピーダンスを 99.25Ω に設定)

7.4.2.9 読み出し動作の例 (ポスト インクリメントなし)

以下の例では、ポスト インクリメントなしの読み出し動作を示します。この例では、MMD7 省電力型イーサネットリンク パートナー アビリティレジスタ (MMD7_EEE_LP_ABILITY、アドレス 0x703D) が読み出されます。

1. レジスタ 0x000D に値 0x0007 を書き込みます。
2. レジスタ 0x000E に値 0x003D を書き込みます。(目的のレジスタを MMD7_EEE_LP_ABILITY に設定)
3. レジスタ 0x000D に値 0x4007 を書き込みます。
4. レジスタ 0x000E の値を読み取ります。(データの読み取り値は MMD7_EEE_LP_ABILITY に含まれる値です)

7.4.3 100BASE-TX

7.4.3.1 100BASE-TX トランスミッタ

100BASE-TX トランスミッタは、MII によって供給される同期 4 ビット ニブル データを、MDI のスクランブルされた MLT-3 125Mbps シリアル データ ストリームに変換するいくつかの機能ブロックで構成されています。4B5B のエンコードとデコードの詳細については、表 7-7 を参照してください。

送信部は、以下の機能ブロックで構成されています。

1. コード グループのエンコーダおよび注入ブロック
2. バイパス オプション付きスクランブラ ブロック
3. NRZ - NRZI エンコーダ ブロック
4. バイナリ - MLT-3 コンバータ / 共通ドライバ ブロック

100BASE-TX トランスミッタの機能ブロックのバイパス オプションを使うことで、データ変換が常に必要なわけではないアプリケーションに柔軟に対応できます。DP83822 には、IEEE 802.3u 規格条項 24 に規定されている 100BASE-TX 送信ステート マシン図が実装されています。

表 7-7. 4B5B コード グループのエンコード / デコード

名称	PCS 5B コード グループ	MII 4B ニブルコード
データコード		
0	11110	0000
1	01001	0001
2	10100	0010
3	10101	0011
4	01010	0100
5	01011	0101
6	01110	0110
7	01111	0111
8	10010	1000
9	10011	1001
A	10110	1010
B	10111	1011
C	11010	1100
D	11011	1101
E	11100	1110
F	11101	1111
IDLE および制御コード ⁽¹⁾		
H	00100	HALT コード グループ - エラー コード
I	11111	パケット間 IDLE - 0000
J	11000	最初のパケット開始 - 0101
K	10001	2 番目のパケット開始 - 0101
T	01101	最初のパケット終了 - 0000
R	00111	2 番目のパケット終了 - 0000
P	00000	EEE LPI - 0001 ⁽²⁾
無効なコード		
V	00001	
V	00010	
V	00011	
V	00101	
V	00110	
V	01000	
V	01100	
V	10000	
V	11001	

(1) データフィールドの制御コード グループ I、J、K、T、R は、無効なコードとしてマッピングされ、RX_ER がアサートされます。

(2) 省電力型イーサネット LPI でも、TX_ER / RX_ER をアサートし、TX_EN / RX_DV をデアサートする必要があります。

7.4.3.1.1 コードグループのコード化と注入

コードグループ エンコーダは、MAC によって生成された 4 ビット (4B) ニブル データを 5 ビット (5B) のコードグループに変換して送信します。この変換は、制御データをパケット データ コードグループと組み合わせるために必要です。4B から 5B のコードグループ マッピングの詳細については、表 7-7 を参照してください。

コードグループ エンコーダは、伝送時に MAC プリアンブルの最初の 8 ビットを、J/K コードグループ ペア (11000 10001) に置き換えます。コードグループ エンコーダは続けて、4B プリアンブルとデータ ニブルを、対応する 5B コードグループに置き換えます。送信パケットの終了時に、MAC からの送信イネーブル (TX_EN) 信号がデアサートされると、コードグループ エンコーダはフレームの終了を示す T/R コードグループ ペア (01101 00111) を注入します。

T/R コードグループ ペアの後、コードグループ エンコーダは、次の送信パケットが検出されるまで (送信イネーブルの再割り当て)、送信データ ストリームに IDLE を継続的に注入します。

7.4.3.1.2 スランブル機能

スランブラ は、メディア コネクタおよびツイストペア ケーブルの放射型電磁波を制御するために必要です。データをスランブルすることで、ケーブルに発射される総エネルギーは、広い周波数範囲にわたってランダムに分布します。スランブラを使用しないと、5B シーケンスの繰り返しに関連する周波数 (IDLE の連続転送) で、MDI およびケーブルのエネルギー レベルが FCC 制限を超える可能性があります。

スランブラは、11 ビットの多項式を持つ閉ループの線形帰還シフト レジスタ (LFSR) として構成されます。閉ループ LFSR の出力は、コードグループ エンコーダからのシリアル NRZ データを含む X-Ord です。その結果、特定の周波数で放射型電磁波を最大 20dB 低減するのに十分なランダム化を伴うスランブル データ ストリームが得られます。

シリアル デスランブラを使用して、受信した MLT3 デコード済みデータをデスランブルします。次の式で示されているように、デスランブラは、スランブルされたデータ (SD) から元のスランブルされていないデータ (UD) を回復するために、同一のデータ スランブル シーケンス (N) を生成する必要があります：

$$SD = (UD \oplus N) \quad (1)$$

$$UD = (SD \oplus N) \quad (2)$$

元のスランブル シーケンス (N) へのデスランブラの同期は、受信スランブル データ ストリームにスランブル IDLE データ (1 秒の連続ストリーム) が含まれていることを知ることに基づいて実現します。デスランブラが 88 の連続 IDLE シンボル (IDLE シンボルとは、デスランブル後に 'b1' としてデコードされるビット) または約 18 の 5 ビット IDLE コードを認識すると、デスランブラは受信データストリームと同期して、未整列の 5B コードグループの形式で、非スランブル データを生成します。同期を維持するため、生成された非スランブル データの有効性をデスランブラが継続的に監視する必要があります。これを検証するため、受信したシンボルは連続して監視され、パケットの開始前に受信した非アイドル シンボルがないかどうかチェックされます (I/J/K)。エラーが 3 つ連続して発生すると (たとえば、デスランブル ビットを 'b0' として受信しても I/J シンボルを表していない場合)、スランブラは状態のロックを解除し、同期を再取得するためにリセットします。同様に、I/J に続くシンボルが K (2 番目の SSD シンボル) と一致しない場合、スランブラは状態のロックを解除し、同期を再取得するためにリセットします。

7.4.3.1.3 NRZ から NRZI へのエンコーダ

送信データ ストリームがシリアライズおよびスランブル化された後、Category-5 シールドなしツイストペア ケーブルを介した 100BASE-TX 転送の TP-PMD 規格に準拠するように、データを NRZI エンコードする必要があります。DP83822 内ではこのブロックをバイパスすることはできません。NRZI データは 100Mbps ドライバに送信されます。

7.4.3.1.4 バイナリから MLT-3 へのコンバータ

バイナリから MLT-3 への変換は、NRZI エンコーダからのシリアル バイナリ データ ストリームを、交互に位相シフトされたロジック 1 イベントを持つ 2 つのバイナリ データ ストリームに変換することで行われます。これら 2 つのバイナリ ストリームをツイストペア出力ドライバに供給し、ツイストペア出力ドライバは電圧を電流に変換して、送信トランスの一次巻線のいずれかの側を交互に駆動して、最小の電流 MLT-3 信号を生成します。

PMD 出力ペアの共通ドライバから供給される 100BASE-TX MLT-3 信号は、スルーレート制御されます。AC 結合磁気素子を選択する際に、TP-PMD 規格に準拠した遷移時間 ($3\text{ns} < \text{Trise/fall} < 5\text{ns}$) を確保するために、この点を考慮する必要があります。

DP83822 内の 100BASE-TX 送信 TP-PMD 機能は、MLT-3 エンコードされたデータのみをソースできます。100Mbps モードでは、PMD 出力ペアからのバイナリ出力はできません。Tx+ と Tx- の両方で完全にエンコードされた MLT-3 で、レジスタ 0x0404h を使って構成できます (たとえば、トランスレス設計)。

7.4.3.2 100BASE-TX レシーバ

100BASE-TX レシーバはいくつかの機能ブロックで構成されており、スクランブルされた MLT-3 125Mbps シリアル データストリームを、MII に提供される同期 4 ビット ニブル データに変換します。

受信セクションは、以下の機能ブロックで構成されています。

1. 入力および BLW 補償
2. 信号検出
3. デジタル アダプティブ イコライゼーション
4. MLT-3 - バイナリ デコーダ
5. クロック リカバリ モジュール
6. NRZI - NRZ デコーダ
7. シリアルからパラレルへ
8. デスクランブラ
9. コード グループの整合
10. 4B/5B デコーダ
11. リンク整合性モニタ
12. 不良 SSD 検出

7.4.4 100BASE-FX

DP83822 は、IEEE 802.3 準拠の 100BASE-FX 動作を提供します。ハードウェア ブートストラップまたはレジスタ設定を使用して、100BASE-FX 動作を有効にすることができます。

7.4.4.1 100BASE-FX 送信

100BASE-FX モードでは、DP83822 の送信ピンが静電容量結合回路を介して業界標準ファイバ送受信回路に接続されます。100BASE-FX 動作中、DP83822 の送信パスはスクランブラと MLT-3 エンコーダをバイパスするため、シリアル化された 4B5B エンコード NRZI データのみが 125MHz で送信されます。

7.4.4.2 100BASE-FX 受信

100BASE-FX モードでは、DP83822 の受信ピンを静電容量結合回路を介して業界標準のファイバトランシーバに接続します。100BASE-FX 動作中、DP83822 受信パスは MLT-3 デコーダとスクランブラをバイパスします。これにより、シリアル化された 4B5B でエンコードされた NRZI データを 125MHz で受信できます。

また、DP83822 には信号検出ピンの追加機能があり、業界標準のファイバトランシーバに直接接続できます。FX_EN ブートストラップを使用して 100BASE-FX 動作を有効にすると、AMDIX_EN ブートストラップは SD_EN ブートストラップに変わります。FX_EN をブートストラップ モード 2 または 3 のいずれかに設定して 100BASE-FX 動作を有効にしている場合、SD_EN がブートストラップ モード 3 または 4 のいずれかにセットされると、SD_EN により信号検出ピン LED_1 が有効になります。ハードウェア ブートストラップのモード情報については、表 7-10 を参照してください。

注

100BASE-FX 信号検出ピン (LED_1) の極性は、ファイバ一般設定レジスタ (FIBER GENCFG、アドレス 0x0465) の bit[0] によって制御されます。デフォルトでは、信号検出はアクティブ HIGH 極性です。

注

TI では、光学素子トランシーバの信号検出ピンを LED_1 ピンに接続し、100BASE-FX モードでは SD_EN ブートストラップ ピンを使用してピンを有効にすることを推奨しています。LED_1 ピンは設計では使用されません。ファイバモジュールと DP83822 間の電気リンクが切断、断線、またはその他の方法で中断された場合、リンクは MDIO/MDC インターフェイスを介してソフトリセットを開始することによってのみ回復します。

7.4.5 10BASE-Te

10BASE-Te トランシーバ モジュールは、IEEE 802.3 に準拠しています。規格で定義されているように、モジュールには、レシーバ、トランスミッタ、衝突、ハートビート、ループバック、ジャバー、リンク整合性機能が含まれています。

7.4.5.1 スケルチ

スケルチは、差動受信入力に有効なデータが存在するかどうかを判断する役割を果たします。スケルチ回路は、振幅とタイミングの測定値 (IEEE 802.3 10BASE-Te 規格で規定) を組み合わせて、ツイストペア入力上のデータの有効性を決定します。

パケット開始時の信号はスケルチによってチェックされ、スケルチ レベルを超えないパルス (極性に応じて正または負) は拒否されます。この最初のスケルチ レベルを正しく超えると、反対側のスケルチ レベルを 50ns 以上超える必要があります。最後に、信号が有効な入力波形として認定されるには、50ns 以内に元のスケルチ レベルを再度超え、拒否されない必要があります。このチェック手順では、各パケットの先頭でブリアンブル ビットが 3 つ失われるのが一般的です。トランスミッタの動作中は、5 回連続した遷移が確認されてから、有効なデータが存在することを示します。このとき、スケルチ回路はリセットされます。

7.4.5.2 通常リンク パルスの検出と生成

リンク パルス ジェネレータは、IEEE 802.3 10BASE-Te 規格の定義に従ってパルスを生成します。各リンク パルスは通常 100ns の持続時間で、送信データがない場合は 16ms ごとに送信されます。リンク パルスは、リモート エンドとの接続の整合性をチェックするために使用されます。

7.4.5.3 ジャバー

ジャバーとは、通常、フォルト状態に起因して、ステーションが最大許容パケット長よりも長い時間送信を行う状態です。ジャバー機能は DP83822 の出力を監視し、トランスミッタがリーガル サイズを超えるパケット送信が試みられると、トランスミッタを無効化します。ジャバー タイマはトランスミッタを監視し、トランスミッタが約 100ms アクティブな場合に、送信を無効にします。ジャバー機能によって無効化されると、モジュールの内部送信イネーブルがアサートされている間、トランスミッタはディスエーブルのままとなります。ジャバー機能が送信出力を再度有効化する前に、この信号を約 500ms (解除時間 / Unjab Time) デアサートする必要があります。ジャバー機能は 10BASE-Te モードでのみ使用可能およびアクティブです。

7.4.5.4 アクティブ リンクの極性検出と訂正

ツイストペア内のワイヤを交換すると、極性エラーが発生します。極性が間違っていると、10BASE-Te 接続に影響します。100BASE-TX は MLT-3 エンコーディングを使用するため、100BASE-TX には極性の問題に対する耐性があります。10BASE-Te 受信ブロックは、逆極性を自動的に検出します。

7.4.6 オートネゴシエーション (速度 / 二重モード選択)

オートネゴシエーションは、リンク セグメントの両端間で設定情報を交換するメカニズムを提供します。このメカニズムは、高速リンク パルス (FLP) を交換することによって実装されます。FLPS は、リンク セグメントの各終端にある 2 つのデバイス間の機能を通信するために使用される情報を提供するバースト パルスです。DP83822 は、オートネゴシエーションのために 100BASE-TX および 10BASE-Te の動作モードをサポートしています。100BASE-FX はオートネゴシエーションプロセスに含まれていません。オートネゴシエーションにより、リンク パートナーとローカル デバイスのアドバタイズされた能力に基づいて、最高性能のプロトコルが選択されるようになります。オートネゴシエーションは、ベーシック モード制御レジスタ (BMCR、アドレス 0x0000) の bit[12] を使って、AN_EN ブートストラップを使用して、またはレジスタ設定を使用し

て、ハードウェアで有効化または無効化できます。自動ネゴシエーションの詳細については、IEEE 802.3 条項 28 の仕様を参照してください。

7.4.7 Auto-MDIX の解決

DP83822 は、リンク パートナーへの接続に「ストレート」ケーブルと「クロスオーバー」ケーブルのいずれを使用しているかを判断できます。DP83822 は、リンク パートナーとのリンクを確立するためにチャネル A と B を自動的に再割り当てできます。Auto-MDIX 解決は、機能をアダプタイズするために FLP を交換する実際のオートネゴシエーション プロセスよりも前に行われます。Auto-MDI/MDIX は、IEEE 802.3 の 40 項の 40.8.2 項に記載されています。自動 MDI/MDIX は 10BASE-Te および 100BASE-TX に必要な実装ではありません。Auto-MDIX は、PHY を強制モードで動作させる際にも使用できます。

Auto-MDIX は、AMDIX ブートストラップを使用して、またはレジスタ構成を行うことで、PHY 制御レジスタ (PHYCR、アドレス 0x0019) の bit[15] を使用して有効化または無効化できます。Auto-MDIX が無効化されている場合、PMA は MDI (ストレート) または MDIX (クロスオーバー) のいずれかに強制されます。MDI または MDIX の手動構成は、AMDIX のブートストラップを使用、または PHYCR の bit[14] を使用したレジスタ構成によって、ハードウェアで行うこともできます。さらに、DP83822 は、レジスタ構成を通じた高速 Auto-MDIX 構成をサポートしており、リンク確立のための高速 MDIX 分解能を有効にできます。高速 Auto-MDIX を有効化するには、制御レジスタ #1 (CR1、アドレス 0x0009) の bit[6] を使用します。

7.4.8 ループバック モード

DP83822 には、PHY 内のさまざまな機能ブロックをテストおよび検証するループバック オプションがいくつか備わっています。ループバック モードを有効化すると、デジタルおよびアナログ データ パスのインサーキット テストが可能となります。DP83822 は、ニアエンド ループバック モードのいずれか、またはファアエンド (リバース) ループバック モードのいずれかに構成できます。MII ループバックは、ベーシック モード制御レジスタ (BMCR、アドレス 0x0000) を使って構成します。その他のすべてのループバック モードは、BIST 制御レジスタ (BISCR、アドレス 0x0016) を使用して有効化します。特に記述のない限り、ループバック モードはすべての速度 (10/100Mbps およびすべての MAC インターフェイス) でサポートされています。

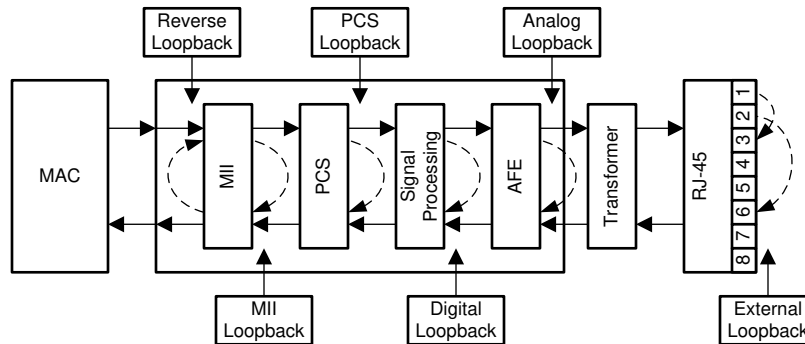


図 7-10. ループバック テスト モード

7.4.8.1 ニアエンド ループバック

ニアエンド ループバックは、デジタル回路またはアナログ回路を経由して、送信したデータをレシーバにループバックする機能を提供します。信号がループバックするポイントは、BISCR レジスタのループバック制御ビット [3:0] を使用して選択します。ニアエンド ループバック モードを選択する前に、オートネゴシエーションと Auto-MDIX を無効化する必要があります。この制約は、外部ループバック モードには適用されません。

7.4.8.2 MII のループバック

MII のループバックは、PHY を介した最も浅いループです。MII ループバックは MAC と PHY の間の通信を検証するには、便利なテスト モードです。MII ループバックでは、TX パス上の接続済み MAC から送信されるデータが内部で DP83822 にループバックされて RX ピンに転送され、MAC によってデータをチェックできます。

MII のループバックは、BMCR の bit[14] を設定することで有効になります。

7.4.8.3 PCS のループバック

PCS ループバックは、PHY の PCS 層で発生します。PCS ループバックを使用する場合、信号処理は実行されません。

PCS 入力ループバックは、BISCR のビット [0] を設定することで有効化されます。

PCS 出力ループバックは、BISCR のビット [1] を設定することで有効化されます。

7.4.8.4 デジタル ループバック

デジタル ループバックには、デジタル送信および受信パス全体が含まれています。アナログ回路の前にデータがループバックされます。

デジタル ループバックは、BISCR のビット [2] を設定することで有効になります。

7.4.8.5 アナログ ループバック

10BASE-Te または 100BASE-TX モードで動作する場合、アナログ フロント エンドの後に信号をループバックできます。アナログ ループバックには、RJ45 のピン #1 と #2 の間に 100Ω の終端、およびピン #3 と #6 の間に 100Ω の終端が必要です。

アナログ ループバックは、BISCR のビット [3] を設定することで有効になります。

7.4.8.6 ファーエンド (リバース) ループバック

ファーエンド (リバース) ループバックは、リンク パートナーとの PHY テストを可能にするための特別なテスト モードです。このモードでは、リンク パートナーから受信したデータは PHY のレシーバを通過し、MAC インターフェイスでループバックされた後、リンク パートナーへ再送信されます。リバース ループバック モードでは、MAC からのすべてのデータ信号が無視されます。

リバース ループバックは、BISCR のビット [4] を設定することで有効化されます。

7.4.9 BIST の構成

DP83822 は、内部 PRBS 内蔵セルフテスト (BIST) 回路を備えており、インサーキット テストおよび診断に適しています。BIST 回路を使用して、送信および受信データ パスの整合性をテストできます。BIST は、内部ループバック (デジタルまたはアナログ) またはケーブル固定具を使用して外部ループバックを使用して実行できます。BIST は、実際のパケット形式およびパケット間ギャップ (IPG) 形式の疑似ランダムなデータ転送シナリオを、回線上でシミュレートします。BIST により、パケット長と IPG の完全な制御が可能になります。

BIST パケット長は、BIST 制御およびステータス レジスタ #2 (BICSR2、アドレス 0x001C) のビット [10:0] を使用して制御されます。BIST IPG 長は、BIST 制御およびステータス レジスタ #1 (BICSR1、アドレス 0x001B) のビット [7:0] を使用して制御されます。

BIST は、独立した送信および受信パスを使用して実装されており、送信クロックによって疑似ランダム シーケンスの連続ストリームを生成します。デバイスは、BIST のために 15 ビット疑似ランダム シーケンスを生成します。受信したデータは生成された疑似ランダム データと比較され、合格/不合格ステータスが判定されます。PRBS チェッカが受信したエラーバイト数は、BICSR1 のビット [15:8] に保存されます。PRBS ロック ステータスおよび同期は、BIST 制御レジスタ (BISCR、アドレス 0x0016) から読み出すことができます。

PRBS テストは、BISCR のビット [14] を使用して連続モードに移行させることができます。連続モードでは、BIST エラーカウンタが最大値に達すると、カウンタは再びゼロからカウントを開始します。BIST エラー カウントを読み取るには、BICSR1 のビット [15] を「1」に設定する必要があります。これにより、読み取りのために BIST エラーの現在の値がロックされます。bit[15] を設定すると、BIST エラー カウンタがクリアされることに注意してください。

7.4.10 ケーブル診断

イーサネット デバイスは広く導入されていることから、信頼性が高く包括的で、かつユーザーに配慮したケーブル診断ツールに対するニーズがこれまで以上に高まっています。さまざまな種類のケーブル、トポロジ、コネクタが導入されるため、コードの実行に影響を与えずにケーブル障害の識別と報告を行う必要があります。TI のケーブル診断ユニットは、ケーブルの状態に関する詳細な情報を提供します。DP83822 は、ケーブル診断ツール キットにおいて次の機能を提供します:

- 時間領域反射計測 (TDR)

7.4.10.1 TDR

DP83822 は、時間領域反射率測定 (TDR) を使用して、ケーブル長の推定の他に、ケーブル、コネクタ、終端の品質を判定します。診断され得る問題としては、オープン、短絡、ケーブル インピーダンスの不一致、コネクタの不良、終端の不一致、クロス フォルト、クロス ショート、およびケーブル上のその他の非連続性などが挙げられます。

DP83822 は、接続されているケーブルの 2 ペアごとに、既知の振幅の (1V) テスト パルスを送信します。送信された信号はケーブルに沿って進み、各ケーブルの欠陥、故障、コネクタ、ケーブルの端から反射します。パルス送信後、DP83822 は、これらすべての反射パルスの復帰時間と振幅を測定します。この手法により、終端されていないケーブル (オープンまたはショート)、不連続性 (不良コネクタ)、不適切に終端されたケーブルの距離と大きさ (インピーダンス) を $\pm 1\text{m}$ の精度で測定できます。

すべての TDR 測定において、外部ホストによる簡単な計算 (乗算、加算、参照テーブルなど) を使用して、到着時刻と物理距離の変換が行われます。ホストは、ケーブルの予想伝播遅延を認識している必要があります。これは、ケーブル カテゴリ (CAT5、CAT5e、CAT6 など) によって異なります。

以下の状況下で、TDR 測定が可能となります。

- リンク パートナーが接続解除されている間 - 反対側でケーブルが接続されていない状態
- リンク パートナーは接続されているが、「休止」のままの状態 (パワーダウン モード時など)
- リンクに障害が発生した場合、またはドロップされた場合に、TDR を自動的にアクティブにできる状態

TDR 自動実行を有効化するには、制御レジスタ #1 (Cr1、アドレス 0x0009) のビット [8] を使用します。リンクがドロップされると、TDR は自動的に実行し、結果をそれぞれの TDR ケーブル診断ロケーション結果レジスタ #1 ~ #5 (CDLRR、アドレス 0x0180 ~ 0x0184) およびケーブル診断振幅結果レジスタ #1 ~ #5 (CDLAR、アドレス 0x0185 ~ 0x0189) に保存します。TDR は、ケーブル診断制御レジスタ (CDCR、アドレス 0x001E) のビット [15] を使用して、手動で実行することもできます。ケーブル診断ステータスは、CDCR のビット [1:0] を読み出すことで取得できます。サイクル平均化、バイパス チャネル、クロスオーバー ディスエーブルなどの TDR の追加機能は、ケーブル診断固有の制御レジスタ (CDSCR、アドレス 0x0170) にあります。

7.4.11 高速リンク ダウン機能

DP83822 には高度なリンク ダウン機能があり、さまざまなリアルタイム アプリケーションをサポートしています。リンク ダウン メカニズムは構成可能であり、非常に高速なリンクドロップ応答時間を可能にする拡張モードを搭載しています。

DP83822 は、高速リンクドロップ (FLD) と呼ばれる拡張リンクドロップ メカニズムをサポートしており、リンクを判定するための観測ウィンドウを短縮できます。リンク ステータスを決定する方法は複数あり、ユーザの好みに応じて有効化または無効化することができます。高速リンクドロップは、ブートストラップ付きハードウェアで、またはレジスタ構成を使用するソフトウェアで有効にできます。RX_D2 がモード 2 またはモード 3 のいずれかに固定されているとき、電源投入時またはハードウェア リセット時に FLD が有効になります。また、FLD は制御レジスタ #3 (CR3、アドレス 0x000B) を使用して構成できます。ビット [3:0] およびビット [10] を使用すると、各種 FLD 状態を有効化することができます。リンクドロップが発生した場合、高速リンク ダウン ステータス レジスタ (FLDS、アドレス 0x000F) から特定のフォルト状態の表示を読み出すことができます。

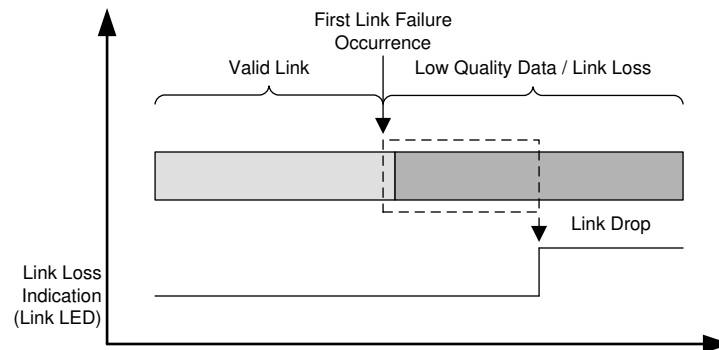


図 7-11. 高速リンク ダウン

高速リンク ダウン基準には、以下が含まれます:

- RX エラー カウント: 定義されている 32 の RX_ER が 10 μ s ウィンドウで発生すると、リンクがドロップされます。
- MLT3 エラー カウント: 定義されている 20 の MLT3 エラーが 10 μ s ウィンドウで発生すると、リンクがドロップされます。
- 低信号対雑音比スレッシュホールド: 定義されている 20 のスレッシュホールド超過が 10 μ s ウィンドウで発生すると、リンクがドロップされます。
- 信号/エネルギー損失: エネルギー検出器がエネルギー損失を示すと、リンクがドロップされます。

高速リンク ダウン機能により、これらの各オプションを個別に、または任意の組み合わせで使用できます。

注

このモードでは非常に高速な応答が可能のため、モードが一時的なリンク品質の低下といった状況にさらされやすくなります。

7.5 プログラミング

7.5.1 ハードウェア ブートストラップ構成

DP83822 は、デバイスを特定の動作モードに設定するために、受信パスの機能ピンをストラップ オプションとして使用します。これらのピンの値は、電源投入またはハードウェア リセット時に、RESET_N ピンまたは PHY リセット制御レジスタの bit[15] (PHYRCR、アドレス 0x001F) のいずれかによってサンプリングされます。

DP83822 ブートストラップ ピンは 4 レベルであり、以下で詳細に説明します。

注

リセットがデアサートされた後、ブートストラップ ピンは代替機能を持つことができるため、これらのピンを VCC または GND に直接接続することはできません。適切に動作させるには、プルアップ抵抗とプルダウン抵抗が必要です。

ピン: COL、LED_0、CRS、RX_ER には内部プルアップ抵抗があります。他のすべてのブートストラップ付きピンには内部プルダウン抵抗があります。適切に実装するためには、内部プルアップとプルダウンの違いを把握するため、表 7-8、表 7-9 を参照してください。

ピンを LED および電流制限抵抗とともに使用する場合、LED_0 および LED_1 は並列プルアップ抵抗またはプルダウン抵抗が必要です。

デバイスの構成は、4 レベルのストラップ設定またはシリアル管理インターフェイスを介して行うことができます。可能なモードの 1 つを選択するには、推奨値のプルアップ抵抗とプルダウン抵抗を使用して、ブートストラップ ピン入力と電源の電圧比を設定する必要があります。

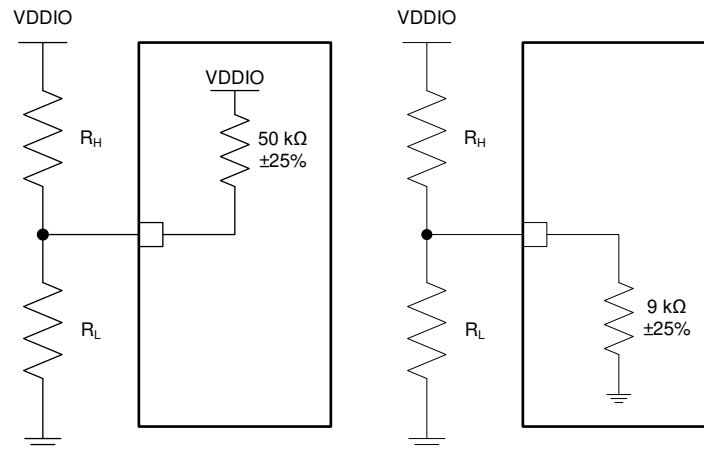


図 7-12. ブートストラップ回路

表 7-8. 推奨される 4 レベル ストラップ抵抗比 ⁽¹⁾

モード	理想的な R_H (k Ω)	理想的な R_L (k Ω)
プルダウン ピン (9k Ω)		
1 (デフォルト)	オープン	オープン
2	10	2.49
3	5.76	2.49
4	2.49	オープン
プルアップ ピン (50k Ω)		
1	オープン	1.96
2	13	1.96
3	6.2	1.96
4 (デフォルト)	オープン	オープン

(1) 許容誤差 1% のストラップ抵抗が推奨されます。

表 7-9. 4 レベルのストラップ抵抗比 ⁽¹⁾

目標電圧	MODE 1	MODE 2	MODE 3	MODE 4
V_{max} (V)	$0.098 \times VDDIO$	$0.181 \times VDDIO$	$0.277 \times VDDIO$	$VDDIO$
V_{typ} (V)	0	$0.165 \times VDDIO$	$0.252 \times VDDIO$	$VDDIO$
V_{min} (V)	0	$0.148 \times VDDIO$	$0.227 \times VDDIO$	$0.694 \times VDDIO$

(1) 製造試験、特性評価、または設計によって指定済みです。

表 7-10 は DP83822 の構成ブートストラップを示しています:

表 7-10. 4 レベルのストラップ ピン

ピン名	ピン番号	デフォルト	ストラップ機能			説明
COL	29	[01]	モード	FX_EN	PHY_AD0	FX_EN: 「1」に設定すると 100BASE-FX が有効になります PHY_AD0: PHY アドレス bit[0]
			1	0	0	
			2	1	0	
			3	1	1	
			4 (デフォルト)	0	1	
RX_D0	30	[10]	モード	AN_1	PHY_AD1	AN_1: 以下の 表 7-11 を参照 PHY_AD1: PHY アドレス bit[1]
			1 (デフォルト)	1	0	
			2	0	0	
			3	0	1	
			4	1	1	
RX_D1	31	[00]	モード	EEE_EN	PHY_AD2	EEE_EN: 「1」に設定すると EEE 動作が有効になります PHY_AD2: PHY アドレス bit [2]
			1 (デフォルト)	0	0	
			2	1	0	
			3	1	1	
			4	0	1	
RX_D2	32	[00]	モード	FLD_EN	PHY_AD3	FLD_EN: 「1」に設定すると高速リンクドロップが有効になります。エネルギー検出、低 SNR スレッシュホールド、RX_ER が有効になります。 PHY_AD3: PHY アドレス bit[3]
			1 (デフォルト)	0	0	
			2	1	0	
			3	1	1	
			4	0	1	
RX_D3	1	[10]	モード	AN_EN	PHY_AD4	AN_EN: 以下の 表 7-11 を参照 PHY_AD4: PHY アドレス bit[4]
			1 (デフォルト)	1	0	
			2	0	0	
			3	0	1	
			4	1	1	
LED_0	17	[X1]	モード	予約済み	AN_0	AN_0: 以下の 表 7-11 を参照
			1	X	0	
			2	X	使用できません ⁽¹⁾	
			3	X	使用できません ⁽¹⁾	
			4 (デフォルト)	X	1	
LED_1	24	[1X]	モード	予約済み		追加機能なし。 モード 2 と 3 は使用できません
			1 (デフォルト)	0		
			2	使用できません ⁽¹⁾		
			3	使用できません ⁽¹⁾		
			4	1		
CRS	27	[01]	モード	LED_SPEED	LED_CFG	LED_CFG: 以下の を参照 LED_SPEED: 以下の 表 7-12 を参照
			1	0	0	
			2	1	0	
			3	1	1	
			4 (デフォルト)	0	1	

表 7-10. 4 レベルのストラップピン (続き)

ピン名	ピン番号	デフォルト	ストラップ機能			説明
RX_ER	28	[01]	モード	RGMII_EN	AMDIX_EN (SD_EN)	AMDIX_EN: 「1」に設定すると、Auto-MDIX が有効になります RGMII_EN: 以下の 表 7-13 を参照 SD_EN: 「1」に設定すると LED_1 の 100BASE-FX 信号検出が有効になります。SD_EN ストラップを機能させるには FX_EN ストラップを有効にする必要があります。信号検出はアクティブ High ですが、ファイバー一般設定レジスタ (FIBER GENCFG、アドレス 0x0465) を使用して極性を変更できます。
			1	0	0	
			2	1	0	
			3	1	1	
			4 (デフォルト)	0	1	
RX_DV	26	[00]	モード	XI_50	RMII_EN	XI_50: 以下の 表 7-13 を参照 RMII_EN: 以下の 表 7-13 を参照
			1 (デフォルト)	0	0	
			2	1	0	
			3	0	1	
			4	1	1	

(1) phy をテスト モードに移行させます。機能モードでは使用できません。

表 7-11. 動作モード

FX_EN	AN_EN	AN_1	AN_0	説明
強制モード				
0	0	0	0	10BASE-Te、半二重
0	0	0	1	10BASE-Te、全二重
0	0	1	0	100BASE-TX、半二重
0	0	1	1	100BASE-TX、全二重
アダプタイズ モード				
0	1	0	0	10BASE-Te、半二重
0	1	0	1	10BASE-Te、全/半二重
0	1	1	0	10BASE-Te、半二重 100BASE-TX、半二重
0	1	1	1	10BASE-Te、半/全二重 100BASE-TX、半/全二重
ファイバ モード				
1	X	X	0	100BASE-FX、半二重
1	X	X	1	100BASE-FX、全二重

表 7-12. LED の構成

CRS ストラップ モード	LED_SPEED	LED_CFG[0]	LED_0	LED_1
1	0	0	良好なリンクではオン TX/RX アクティビティでは点滅	トライステートの LED_1
2	1	0	良好なリンクではオン TX/RX アクティビティでは点滅	100Mbps の速度ではオン 10Mbps の速度ではオフ
3	1	1	良好なリンクではオン リンクなしではオフ	100Mbps の速度ではオン 10Mbps の速度ではオフ
4	0	1	良好なリンクではオン リンクなしではオフ	トライステートの LED_1

表 7-13. MAC インターフェイスの構成

RGMII_EN	RMII_EN	XI_50	説明
0	0	0	MII、25MHz の基準クロック
0	0	1	予約済み
0	1	0	RMII リーダー、25MHz の基準クロック
0	1	1	RMII フォロワ、50MHz の基準クロック
1	X	0	RGMII、25MHz の基準クロック
1	X	1	予約済み

7.5.2 LED の構成

DP83822 は、最大で 3 つの構成可能な発光ダイオード (LED) ピン: LED_0、LED_1 (GPIO1)、COL (GPIO2)、RX_D3 (GPIO3) をサポートしています。各種動作モードのために複数の機能を LED に多重化できます。LED 構成モードは、LED 構成レジスタ (LEDCFG1、レジスタ 0x0460) およびマルチ LED 制御レジスタ (MLED CR、レジスタ 0x0025) を使って選択します。LED_0 と COL (GPIO2) はレジスタ 0x0025 にある MLED 機能を使用します。MLED は一度にこれら 2 つのピンのうち 1 つのみに配線できます。MLED のルーティングはレジスタ 0x0025 の bits[1:0] によって決定されます。

LED ピンはブートストラップ ピンとしても使用されるため、外付け部品との競合を避けることを考慮する必要があります。電源投入時またはハードウェア リセット時のブートストラップ構成に基づいて、LED ピンが自動的に適切な極性になるように構成されます。LED ピンが抵抗によって Low にプルされると、対応する出力はアクティブ High ドライバとして構成されます。逆に、特定のブートストラップ入力抵抗によって High にプルされた場合、対応する出力はアクティブ Low ドライバとして構成されます。

図 7-13 は、プルアップ構成またはプルダウン構成のいずれかを使用した LED ピンの適切なブートストラップ接続を示しています。

注: ピンを LED および電流制限抵抗とともに使用する場合、LED_0 および LED_1 は並列プルアップ抵抗またはプルダウン抵抗が必要です。1.96kΩ ~ 2.49kΩ の抵抗 R_p は並列プル抵抗として使用する必要があります。LED ピンを使用しない場合、そのピンをフローティングのままにできます。

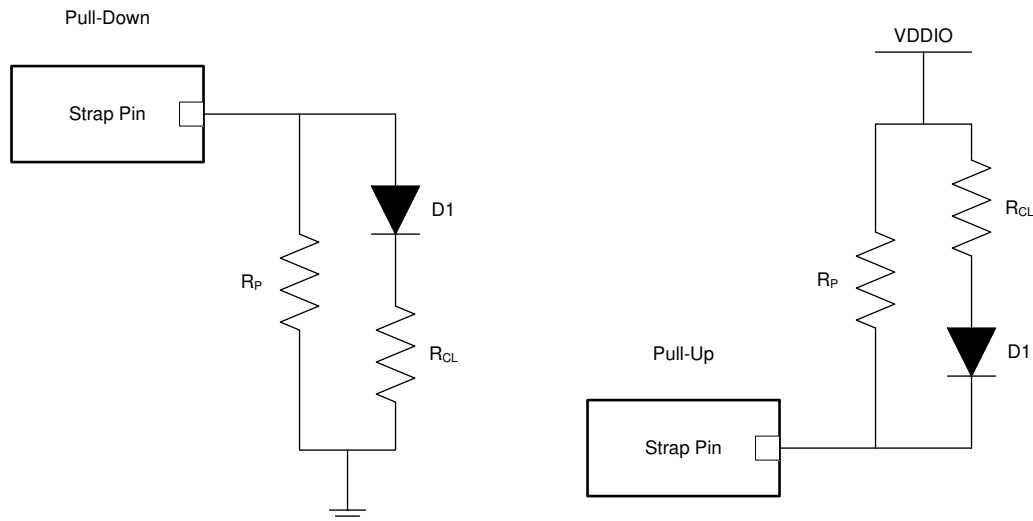


図 7-13. ストラップ接続の例

7.5.3 PHY アドレスの設定

DP83822 は、ブートストラップ構成により利用可能な 32 種類の PHY アドレスのいずれかに構成できます。その PHY アドレスは、電源投入時またはハードウェア リセット時にデバイスにラッチされます。システム内のシリアル マネージメント バス上の各 DP83822 またはポート共有している PHY は、一意の PHY アドレスを持っている必要があります。DP83822 は、PHY アドレスストラップ値 0x0000 (0b000000) ~ 0x001F (0b111111) をサポートしています。

デフォルトで、DP83822 は PHY アドレス 0x0001 (0b000001) でラッチされます。このアドレスは、上記のブートストラップセクションで定義している必要なプルアップまたはプルダウン抵抗を追加することで変更できます。

8 レジスタ マップ

「TYPE」欄のレジスタ定義では、次の定義が適用されます:

RC	読み出すとクリア
ストラップ	リセット後にブートストラップ ピンから読み込まれるデフォルト値
RC	読み取られるまで High 状態でラッチされ保持されます
RC	読み取られるまで Low 状態でラッチされ保持
R	読み取り専用アクセス
R、RC	読み取り専用、読み取り時にクリア
R	読み取り専用。デフォルト値に永続的に設定されます
R/W	読み出し書き込みアクセス
R/W、W1S	読み取り/書き込みアクセス、自己クリア ビット
RH/W1S	イベント発生時にレジスタが設定され、イベント終了時に自己クリア

表 8-1. 0x0000 基本モード制御レジスタ (BMCR)

ビット	名称	タイプ	デフォルト	FUNCTION
15	リセット	R/W、W1S	0	PHY ソフトウェア リセット: 1 = ソフトウェア リセットを開始/リセットの進行中 0 = 通常動作 このビットに 1 を書き込むと、PHY PCS レジスタがリセットされます。リセット動作が完了すると、このビットは自動的に 0 にクリアされます。PHY ベンダ固有のレジスタ (MMD = 1F) はクリアされません。 このリセットでストラップは再ラッチされません。ストラップは電源投入時および RESET_N ピンでのみ再ラッチされます
14	MII のループバック	R/W	0	MII のループバック: 1 = MII ループバック イネーブル 0 = 通常動作 MII ループバック モードが起動すると、MII TXD に提示された送信データは、内部で MII RXD にループバックされます。
13	速度選択	R/W、RH	1	速度選択: 1 = 100Mbps 0 = 10Mbps オートネゴシエーションがディセーブルの場合 (レジスタ 0x0000 の bit[12] = 0)、このビットに書き込むとポート速度を選択できます。
12	オートネゴシエーション イネーブル	R/W、RH	1	オートネゴシエーション イネーブル: 1 = オートネゴシエーションを有効化 0 = オートネゴシエーションを無効化 オートネゴシエーションが無効化されると、このレジスタの bit[8] と bit[13] によりポート速度と二重モードが決定されます。

表 8-1. 0x0000 基本モード制御レジスタ (BMCR) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
11	IEEE パワーダウン	R/W	0	パワーダウン: 1 = IEEE パワーダウン 0 = 通常動作 このビットを設定した後、PHY のパワーダウンします。このパワーダウン状況中、レジスタ アクセスのみが有効化されます。パワーダウン メカニズムを制御するため、このビットは INT/PWDN_N ピンからの入力で読み取りされます。アクティブ Low INT/PWDN_N がアサートされると、このビットが設定されます。 プログラムされたレジスタはパワーダウン時にデフォルトにリセットされません。すべてのステート マシンがリセットされるため、ステータ スビット (R) に値の変化が表示される可能性があります。
10	絶縁	R/W	0	絶縁: 1 = ポートを MII から絶縁します (SMI は例外) 0 = 通常動作
9	オートネゴシエーション再開	R/W, W1S	0	オートネゴシエーション再開 1 = オートネゴシエーション再開 0 = 通常動作 オートネゴシエーションがディスエーブルの場合 (bit[12] = 0)、bit[9] は無視されます。このビットは、オートネゴシエーションが開始されるまで、自動でクリアされ、値 1 を返します。その後、ビットは自動でクリアされます。オートネゴシエーション プロセスの動作は、管理エンティティがこのビットをクリアしても影響を受けません。
8	二重モード	R/W, RH	1	二重モード: 1 = 全二重 0 = 半二重 オートネゴシエーションがディスエーブルのとき、このビットに書き込むと、ポートの二重機能を選択できます。
7	衝突テスト	R/W	0	衝突テスト: 1 = COL 信号テストを有効化 0 = 通常動作 このビットを設定すると、512 ビット時間以内に、TX_EN がアサートされ、COL 信号がアサートされます。COL 信号は、TX_EN がデアサートされるのに対応して、4 ビット時間以内にデアサートされます。
6:0	予約済み	R	0	予約済み

表 8-2. 0x0001 基本モード ステータス レジスタ (BMSR)

ビット	名称	タイプ	デフォルト	FUNCTION
15	100Base-T4	R	0	100Base-T4 対応: このプロトコルは使用できません。常に 0 として読み出します
14	100Base-TX 全二重	R	1	100Base-TX 全二重対応: 1 = デバイスは全二重 100Base-TX を実行可能 0 = デバイスは全二重 100Base-TX を実行不可
13	100Base-TX 半二重	R	1	100BASE-TX 半二重対応: 1 = デバイスは半二重 100Base-TX を実行可能 0 = デバイスは半二重 100Base-TX を実行不可

表 8-2. 0x0001 基本モード ステータス レジスタ (BMSR) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
12	10Base-Te 全二重	R	1	10Base-Te 全二重対応: 1 = デバイスは全二重 10Base-Te を実行可能 0 = デバイスは全二重 10Base-Te を実行不可
11	10Base-Te 半二重	R	1	10Base-Te 半二重対応: 1 = デバイスは半二重 10Base-Te を実行可能 0 = デバイスは半二重 10Base-Te を実行不可
10:7	予約済み	R	0	予約済み
6	SMI プリアンブル抑制	R	1	プリアンブル抑制対応: 1 = デバイスはプリアンブル抑制状態で SMI トランザクションを実行可能 0 = デバイスはプリアンブル抑制状態で SMI トランザクションを実行不可 このビットが 1 に設定されている場合、リセット後、無効なオペレーションコード後、または無効なターンアラウンド後に、32 ビットのプリアンブルが 1 回のみ必要となります。
5	オートネゴシエーション完了	R	0	オートネゴシエーション完了: 1 = オートネゴシエーション プロセスが完了 0 = オートネゴシエーション プロセスが未完了 (処理中、無効、またはリセットのいずれか)
4	リモート障害	R, RC	0	リモート障害: 1 = リモート障害条件を検出 0 = リモート障害条件を未検出 ファアー エンド障害の表示またはリンク パートナーからのリモート障害の通知。このビットは、読み取り時またはリセット時にクリアされます。
3	オートネゴシエーション機能	R	1	オートネゴシエーション機能: 1 = デバイスはオートネゴシエーションを実行可能 0 = デバイスはオートネゴシエーションを実行不可
2	リンク ステータス	R, RC	0	リンク ステータス: 1 = 有効なリンクが確立済み (10Mbps または 100Mbps のいずれかの動作) 0 = リンクが未確立 リンクが Low になると、リンク ダウン イベント後の最初の読み取り時にこのビット値が 0 になります。接続後にステータスが 2 回目に読み取られる場合にのみ 1 にクリアされます。
1	ジャバール検出	R, RC	0	ジャバール検出: 1 = ジャバール条件を検出 0 = ジャバール条件の検出なし このビットは 10Base-Te 動作にのみ意味を持ちます。
0	拡張機能	R	1	拡張機能: 1 = 拡張レジスタ機能 0 = 基本レジスタ セット機能のみ

表 8-3. 0x0002 PHY 識別子レジスタ #1 (PHYIDR1)

ビット	名称	タイプ	デフォルト	FUNCTION
15:0	管理組織識別子 (OUI: Organizationally Unique Identifier) ビット 21:6	R	0010 0000 0000 0000	

表 8-4. 0x0003 PHY 識別子レジスタ #2 (PHYIDR2)

ビット	名称	タイプ	デフォルト	FUNCTION
15:10	管理組織識別子 (OUI: Organizationally Unique Identifier) ビット 5:0	R	1010 00	
9:4	モデル番号	R	10 0100	ベンダ モデル番号: ベンダ モデル番号の 6 ビットはビット [9] ~ [4] に割り当てられています。
3:0	リビジョン番号	R	0000	モデル リビジョン番号: ベンダ モデル リビジョン番号の 4 ビットはビット [3:0] に割り当てられています。このフィールドは、すべての主要なデバイス変更に対してインクリメントされます。

表 8-5. 0x0004 オートネゴシエーション アドバタイズメント レジスタ (ANAR)

ビット	名称	タイプ	デフォルト	FUNCTION
15	次のページ	R/W	0	次ページ表示: 1 = 次のページ転送を要求 0 = 次のページ転送を要求しない
14	予約済み	R	0	予約済み
13	リモート障害	R/W	0	リモート障害: 1 = このデバイスがリモート障害を検出したことをアドバタイズ 0 = リモート障害は未検出
12	予約済み	R	0	予約済み
11	非対称型一時停止	R/W	0	全二重リンクの非対称型一時停止サポート: 1 = 非対称型一時停止機能をアドバタイズ 0 = 非対称型一時停止機能をアドバタイズしない
10	一時停止	R/W	0	全二重リンクの一時停止サポート: 1 = 一時停止機能をアドバタイズ 0 = 一時停止機能をアドバタイズしない
9	100Base-T4	R	0	100Base-T4 サポート: 1 = 100Base-T4 機能をアドバタイズ 0 = 100Base-T4 機能をアドバタイズしない
8	100Base-TX 全二重	R/W、RH	1	100BASE-TX 全二重サポート: 1 = 100Base-TX 全二重機能をアドバタイズ 0 = 100Base-TX 全二重機能をアドバタイズしない
7	100Base-TX 半二重	R/W、RH	1	100BASE-TX 半二重サポート: 1 = 100Base-TX 半二重機能をアドバタイズ 0 = 100Base-TX 半二重機能をアドバタイズしない
6	10Base-Te 全二重	R/W、RH	1	10Base-Te 全二重サポート: 1 = 10Base-Te 全二重機能をアドバタイズ 0 = 10Base-Te 全二重機能をアドバタイズしない
5	10Base-Te 半二重	R/W、RH	1	10Base-Te 半二重サポート: 1 = 10Base-Te 半二重機能をアドバタイズ 0 = 10Base-Te 半二重機能をアドバタイズしない
4:0	セレクト フィールド	R/W	0 0001	プロトコル選択ビット: 技術セレクト フィールド (IEEE802.3u <00001>)

表 8-6. 0x0005 オートネゴシエーション リンク パートナー アビリティ レジスタ (ANLPAR)

ビット	名称	タイプ	デフォルト	FUNCTION
15	次のページ	R	0	次ページ表示: 1 = リンク パートナーが次のページ転送を要求 0 = リンク パートナーは次のページ転送を要求しない
14	アクノリッジ	R	0	アクノリッジ: 1 = リンク パートナーがリンク コード ワードの受信をアクノリッジ 0 = リンク パートナーがリンク コード ワードをアクノリッジしない
13	リモート障害	R	0	リモート障害: 1 = リンク パートナーがリモート障害イベント検出をアドバタイズ 0 = リンク パートナーがリモート障害イベント検出をアドバタイズしない
12	予約済み	R	0	予約済み
11	非対称型一時停止	R	0	非対称型一時停止: 1 = リンク パートナーが非対称一時停止機能をアドバタイズ 0 = リンク パートナーが非対称一時停止機能をアドバタイズしない
10	一時停止	R	0	一時停止: 1 = リンク パートナーが一時停止機能をアドバタイズ 0 = リンク パートナーが一時停止機能をアドバタイズしない
9	100Base-T4	R	0	100Base-T4 サポート: 1 = リンク パートナーが 100Base-T4 機能をアドバタイズ 0 = リンク パートナーが 100Base-T4 機能をアドバタイズしない
8	100Base-TX 全二重	R	0	100BASE-TX 全二重サポート: 1 = リンク パートナーが 100Base-TX 全二重機能をアドバタイズ 0 = リンク パートナーが 100Base-TX 全二重機能をアドバタイズしない
7	100Base-TX 半二重	R	0	100BASE-TX 半二重サポート: 1 = リンク パートナーが 100Base-TX 半二重機能をアドバタイズ 0 = リンク パートナーが 100Base-TX 半二重機能をアドバタイズしない
6	10Base-Te 全二重	R	0	10Base-Te 全二重サポート: 1 = リンク パートナーが 10Base-Te 全二重機能をアドバタイズ 0 = リンク パートナーが 10Base-Te 全二重機能をアドバタイズしない
5	10Base-Te 半二重	R	0	10base-Te 半二重サポート: 1 = リンク パートナーが 10Base-Te 半二重機能をアドバタイズ 0 = リンク パートナーが 10Base-Te 半二重機能をアドバタイズしない
4:0	セクタ フィールド	R	0 0000	プロトコル選択ビット: 技術セクタ フィールド (IEEE802.3 <00001>)

表 8-7. 0x0006 オートネゴシエーション拡張レジスタ (ANER)

ビット	名称	タイプ	デフォルト	FUNCTION
15:5	予約済み	R	0	予約済み
4	並列検出フォルト	R、RC	0	並列検出フォルト: 1 = 並列検出プロセス中に故障を検出済み 0 = 故障を未検出
3	リンク パートナーの次ページ機能	R	0	リンクパートナーの次ページ機能: 1 = リンク パートナーが次のページを交換できる 0 = リンクパートナーが次のページを交換できない

表 8-7. 0x0006 オートネゴシエーション拡張レジスタ (ANER) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
2	ローカル デバイスの次ページ機能	R	1	次ページ機能: 1 = ローカル デバイスが次のページを交換できる 0 = ローカル デバイスが次のページを交換できない
1	ページの受信	R, RC	0	リンク コード ワード ページの受信: 1 = 新しいページを受信 0 = 新しいページを未受信
0	リンク パートナーのオートネゴシエーション機能	R	0	リンク パートナーのオートネゴシエーション機能: 1 = リンク パートナーがオートネゴシエーションをサポート 0 = リンク パートナーがオートネゴシエーションをサポートしない

表 8-8. 0x0007 オートネゴシエーション次ページレジスタ (ANNPTR)

ビット	名称	タイプ	デフォルト	FUNCTION
15	次のページ	R/W	0	次ページ表示: 1 = 次のページを追加送信する要求をアドバタイズ 0 = 次のページを追加送信する要求をアドバタイズしない
14	予約済み	R	0	予約済み
13	メッセージ ページ	R/W	1	メッセージ ページ: 1 = 現在のページはメッセージ ページ 0 = 現在のページは未フォーマット ページ
12	アクノリッジ 2	R/W	0	Acknowledge2: 1 = メッセージに準拠 0 = メッセージに準拠できない アクノリッジ 2 は、ローカル デバイスに受信メッセージに準拠する機能があることを示すために、次ページ機能によって使用されます。
11	点滅	R	0	トグル: 1 = 前に送信されたリンク コード ワードのトグル ビットが 0 0 = 前に送信されたリンク コード ワードのトグル ビットが 1 トグルは、オートネゴシエーション内の調停機能によって使用され、次ページ交換中にリンク パートナーと同期します。このビットは常に、前に交換されたリンク コード ワード内のトグル ビットとは逆の値を取ります。
10:0	コード	R/W	000 0000 0001	このフィールドは、次ページ送信のコード フィールドを表します。メッセージ ページ ビットが設定されている場合 (このレジスタのビット [13])、コードは、IEEE 802.3u 付録 28C で定義されているメッセージ ページとして解釈されます。それ以外の場合、コードは未フォーマット ページとして解釈され、解釈はアプリケーション固有です。 コードのデフォルト値は、IEEE 802.3u 付録 28C で定義されている Null ページを表します。

表 8-9. 0x0008 オートネゴシエーション リンク パートナー アビリティ 次ページ レジスタ (ANLNPTR)

ビット	名称	タイプ	デフォルト	FUNCTION
15	次のページ	R	0	次ページ表示: 1 = 次のページを追加送信する要求をアドバタイズ 0 = 次のページを追加送信する要求をアドバタイズしない
14	アクノリッジ	R	0	アクノリッジ: 1 = リンク パートナーがリンク コード ワードの受信をアクノリッジ 0 = リンク パートナーがリンク コード ワードをアクノリッジしない

表 8-9. 0x0008 オートネゴシエーション リンク パートナー アビリティ 次ページ レジスタ (ANLNPTTR) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
13	メッセージ ページ	R	0	メッセージ ページ: 1= 現在のページはメッセージ ページ 0= 現在のページは未フォーマット ページ
12	アクノリッジ 2	R	0	Acknowledge2: 1 = メッセージに準拠 0 = メッセージに準拠できない アクノリッジ 2 は、ローカル デバイスに受信メッセージに準拠する機能があることを示すために、次ページ機能によって使用されます。
11	点滅	R	0	トグル: 1 = 前に送信されたリンク コード ワードのトグル ビットが 0 0 = 前に送信されたリンク コード ワードのトグル ビットが 1 トグルは、オートネゴシエーション内の調停機能によって使用され、次ページ交換中にリンク パートナーと同期します。このビットは常に、前に交換されたリンク コード ワード内のトグル ビットとは逆の値を取ります。
10:0	メッセージ/未フォーマット フィールド	R	0 0000 0000	このフィールドは、次ページ送信のコード フィールドを表します。メッセージ ページ ビットが設定されている場合 (このレジスタのビット 13)、コードは、IEEE 802.3u 付録 28C で定義されているメッセージ ページとして解釈されます。それ以外の場合、コードは未フォーマット ページとして解釈され、解釈はアプリケーション固有です。 コードのデフォルト値は、IEEE 802.3u 付録 28C で定義されている Null ページを表します。

表 8-10. 0x0009 制御レジスタ #1 (CR1)

ビット	名称	タイプ	デフォルト	FUNCTION
15:10	予約済み	R	0	予約済み
9	RMII 拡張モード	R/W	0	RMII 拡張モード: 1 = RMII 拡張モードを有効化 0 = RMII は通常モードで動作 通常の RMII モードで、ラインがアイドル状態でない場合、CRS_DV は High に遷移します。誤キャリアが検出されると直ちに、RX_ER がアサートされて RXD が「2」(0010) に設定されます。この状況は受信イベント中に継続します。拡張モードでは、CRS_DV が無効化され、誤搬送が検出されるとデアサートされます。このステータスは受信イベント中にも継続します。また、通常モードでは、パケットの開始は損なわれません。RX_ER を High に設定すると、各シンボル エラーが表示されます。最初のシンボル エラーが発生すると、RXD のデータは「1」に置き換えられます。拡張モードでは、最初のシンボル エラーで、CRS_DV がデアサートされます。
8	TDR 自動実行	R/W	0	リンク ダウン時の TDR 自動実行: 1 = リンク ダウン イベント後の TDR 手順の実行を有効化 0 = TDR 自動実行を無効化
7	リンク損失の回復	R/W	0	リンク損失の回復: 1 = リンク損失回復メカニズムを有効化 0 = 通常のリンク損失動作 このモードでは、短時間の干渉から回復し、短時間の干渉がなくなり信号が正常になるまで、追加の数ミリ秒間リンクを続けて保持することができます。通常のリンク損失動作では、リンク ステータスは信号損失によってほぼ 250µs に低下します。

表 8-10. 0x0009 制御レジスタ #1 (CR1) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION			
6	高速自動 MDIX	R/W	0	高速 Auto-MDIX: 1 = 高速 Auto-MDIX を有効化 0 = 通常の Auto-MDIX 両方のリンク パートナーが強制 100Base-TX モード (オートネゴシエーションが無効) で動作するように構成される場合、このモードで自動 MDI/MDIX 分解能が短時間で有効になります。			
5	堅牢な Auto-MDIX	R/W	0	堅牢な Auto-MDIX: 1 = 堅牢な Auto-MDIX を有効化 0 = Auto-MDIX を無効化 リンク パートナーが通常の Auto-MDIX でサポートされていない動作モード用に設定されている場合、堅牢な Auto-MDIX によって MDI/MDIX 解決が可能になり、デッドロックが防止されます。 DP83822 が Auto-MDIX 機能を使用して 100Mbps 動作向けにストラップされる場合、MDI/MDIX 分解能とデッドロック防止を支援するため、堅牢な Auto-MDIX が自動的に設定されます。			
4	高速オートネゴシエーション有効	R/W	0	高速オートネゴシエーション有効: 1 = 高速オートネゴシエーションを有効化 0 = 高速オートネゴシエーションを無効化 PHY は高速オートネゴシエーション選択ビット (このレジスタの bits[3:2]) に応じたタイマ設定を使用してオートネゴシエーションを実行します。			
3:2	高速オートネゴシエーション選択	R/W	0	高速オートネゴシエーション選択ビット: これらのビットを調整すると、2 つの PHY 間のオートネゴシエーションに要する時間が短縮されます。高速オートネゴシエーションでは、両方の PHY を同じ構成に設定する必要があります。これら 2 ビットは、下記の表に従って、自動ネゴシエーション プロセスの各状態の継続時間を定義します。新しい期間は、「高速オートネゴシエーション有効化」設定 (このレジスタのビット [4]) により有効化する必要があります。注: 両方のリンク パートナーが同じ高速自動ネゴシエーション設定に設定されていない場合、このモードを使用すると、予期しない動作を伴うシナリオが発生する可能性があります。			
				高速オートネゴシエーション選択	ブレイクリンク タイマ	リンク立ち下がり禁止タイマ	自動ネゴシエーション待機タイマ
				<00>	80	50	35
				<01>	120	75	50
				<10>	240	150	100
				<11>	該当なし	該当なし	該当なし
1	高速 RX_DV 検出	R/W	0	高速 RX_DV 検出: 1 = 高速 RX_DV 検出を有効化 0 = 高速 RX_DV 検出を無効化 高速 RX_DV が有効化されると、/J/ シンボルのみが検出されるため、受信パケットがあると RX_DV が High にアサートされます。連続した /K/ が表示されない場合は、RX_ER が生成されます。通常モードでは、RX_DV は /JK/ 検出後にのみアサートされます。			
0	予約済み	R	0	予約済み			

表 8-11. 0x000A 制御レジスタ #2 (CR2)

ビット	名称	タイプ	デフォルト	FUNCTION
15	100Base-TX 強制ファアー エンド リンク ドロップ	R/W	0	100Base-TX 強制ファアー エンド リンク ドロップ: 1 を書き込むと、100Base-TX 強制ファアー エンド リンク ドロップ モードがアサートされます。このモードでは (100Mbps でのみ有効)、PHY はリンク ドロップ時に TX を無効化してファアー エンド ピアもリンクをドロップできるようにします。これにより、両方のリンク パートナーがシステム リンク障害を認識できるようになります。このモードは強制 100Mbps の標準定義を超えています。
14	100Base-FX 有効	R/W、RH	0	100Base-FX 有効: 1 = 100Base-FX モード有効 0 = 100Base-FX モード無効
13:7	予約済み	R/W	00 0001 0	予約済み
6	パラレル検出での高速リンクアップ	R/W	0	並列検出モードでの高速リンクアップ: 1 = 並列検出中の高速リンクアップ時間を有効化 0 = 通常の並列検出リンク確立 高速自動 MDIX および堅牢な Auto-MDIX モードでは (レジスタ CR1 の bit[6] と bit[5])、このビットは自動的にセットされます。
5	拡張全二重機能	R/W	0	拡張全二重機能: 1 = 拡張全二重機能を有効化 0 = 拡張全二重機能を無効化 拡張全二重機能では、PHY がオートネゴシエーションまたは強制 100Base-TX に設定され、リンク パートナーが強制 100Base-TX で動作する場合、リンクは常に全二重になります。無効化されると、全二重モードと半二重モードのどちらで動作するかは、IEEE の仕様に従います。
4	拡張 LED リンク	R/W	0	拡張 LED リンク: 1 = リンクが 100Base-TX 全二重モード時のみ LED が点灯 0 = リンク確立時に LED が点灯 拡張 LED リンク モードでは、この LED ピンでのアクティビティの TX/RX 点滅が無効化されます。LED は、確立済みの 100Base-TX 全二重リンクのリンクのみを示します。
3	100Base-TX 半二重または 10Base-Te で MII を分離	R/W	0	MII を分離: 1 = MII 分離が有効 0 = 通常 MII 出力動作 分離 MII では、100Base-TX の半二重リンクが確立、または 10Base-Te の半二重か全二重リンクが確立されると、MII 出力が分離されます。
2	IDLE 時の RX_ER	R/W	0	IDLE 状態での受信シンボル エラーの検出: 1 = IDLE 状態の受信シンボルエラーの検出を有効化 0 = IDLE 状態の受信シンボル エラーの検出を無効化
1	奇数ニブル検出ディスエーブル	R/W	0	送信エラーの検出: 1 = 奇数ニブル境界での送信エラーの検出を無効化 0 = 奇数ニブル境界での送信エラーの検出を有効化 奇数ニブルが検出されると、TX_EN は 1 つの追加 TX_CLK サイクル分が延長され、その追加サイクル中に TX_ER がアサートされたかのように動作します

表 8-11. 0x000A 制御レジスタ #2 (CR2) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
0	RMII 受信クロック	R/W	0	RMII 受信クロック: 1 = RMII データ (RXD[1:0]) がサンプリングされて RX_CLK を基準とする 0 = RMII データ (RXD[1:0]) がサンプリングされて XI を基準とする

表 8-12. 0x000B 制御レジスタ #3 (CR3)

ビット	名称	タイプ	デフォルト	FUNCTION
15:13	予約済み	R/W	000	予約済み
12	デジタル イコライザ エラーをバイパス	R/W	1	1 = デジタル イコライザの断続的エラー出力を無視
10	デスクランブラ高速リンク ダウン モード	R/W	0	デスクランブラ高速リンクドロップ: 1 = デスクランブラ リンク損失時にリンクをドロップ 0 = デスクランブラ リンク損失時にリンクをドロップしない このオプションは、他の高速リンク ダウン モードと並列に、ビット [3:0] で有効化できます。
9	デジタル イコライザ係数をバイパス	R/W	0	1 = デジタル イコライザの 0th 係数をバイパス
8:7	予約済み	R/W	00	予約済み
6	極性スワップ	R/W	0	極性スワップ: 1 = 両方のペアで反転極性: TD+ および TD-, RD+ および RD- 0 = 通常極性 ポート ミラーリング機能: ポート ミラーリングを有効化するには、このビットと bit[5] を High に設定します。
5	MDI/MDIX スワップ	R/W	0	MDI/MDIX スワップ: 1 = MDI ペアをスワップ (TD ペアで受信、RD ペアで送信) 0 = MDI ペアは通常 (RD ペアで受信、TD ペアで送信) ポート ミラーリング機能: ポート ミラーリングを有効化するには、このビットと bit[6] を High に設定します。
4	予約済み	R/W	0	予約済み
3:0	高速リンク ダウン モード	R/W	0000	高速リンク ダウン モード: ビット 3: MII インターフェイスの RX エラー数 に基づいてリンクをドロップします。10µs 間隔で、事前定義されている 32 の RX エラー発生数に達すると、リンクがドロップされます。 ビット 2: MLT3 エラー カウント (DSP 出力の MLT3 コーディング違反) に基づいてリンクをドロップします。10µs 間隔で、事前定義されている 20 の MLT3 エラー発生数に達すると、リンクがドロップされます。 ビット 1: 低信号対雑音比スレッシュホールド に基づいてリンクをドロップします。10µs 間隔で、事前定義されている 20 のスレッシュホールド超過が発生すると、リンクがドロップされます。 ビット 0: 信号 / エネルギー損失表示 に基づいてリンクをドロップします。エネルギー検出器がエネルギー損失を示すと、リンクがドロップされます。代表的な応答時間は 10µs です。 高速リンク ダウン機能は 5 つのオプションすべての論理和 (bit[10] および bits[3:0]) であり、設計者はこれらの条件の任意の組み合わせを有効にすることができます。

表 8-13. 0x000D レジスタ制御レジスタ (REGCR)

ビット	名称	タイプ	デフォルト	FUNCTION
15:14	拡張レジスタ コマンド	R/W	0	拡張レジスタ コマンド: 00 = アドレス 01 = データ、ポスト インクリメントなし 10 = データ、読み取りおよび書き込み時にポスト インクリメント 11 = データ、書き込み時のみポスト インクリメント
13:5	予約済み	R	0	予約済み
4:0	DEVAD	R/W	0	デバイス アドレス: bits[4:0] はデバイス アドレス DEVAD であり、ADDAR レジスタ (0x000E) へのアクセスを適切な MMD に指示します。特に DP83822 は、アドレスが 0x04D1 以下のレジスタへのアクセスのためにベンダ固有の DEVAD [4:0] = '11111' を使います。MMD3 アクセスの場合、DEVAD[4:0] = '00011' になります。MMD7 アクセスの場合、DEVAD[4:0] = '00111' になります。レジスタ REGCR および ADDAR によるすべてのアクセスでは、MMD、MMD3、MMD7 のいずれにも DEVAD を使うことができます。その他の DEVAD を使ったトランザクションは無視されます。

表 8-14. 0x000E データ レジスタ (ADDAR)

ビット	名称	タイプ	デフォルト	FUNCTION
15:0	アドレス / データ	R/W	0	REGCR レジスタ bits[15:14] = '00' の場合、MMD DEVAD のアドレスレジスタをホールドします。それ以外の場合、MMD DEVAD からのデータをホールドします。

表 8-15. 0x000F 高速リンク ダウン ステータス レジスタ (FLDS)

ビット	名称	タイプ	デフォルト	FUNCTION
15:9	予約済み	R	0	予約済み
8:4	高速リンク ダウン ステータス	R, RC	0	高速リンク ダウン ステータス: 1 0000 = デスクランブラ損失同期 0 1000 = RX エラー 0 0100 = MLT3 エラー 0 0010 = 信号対雑音比レベル 0 0001 = 信号/エネルギー損失 特定の高速リンク ダウン モードがアクティブになるたびに High にラッチされるステータス レジスタで、リンクドロップが発生します (モードが有効であると仮定した場合)
3:0	予約済み	R	0	予約済み

表 8-16. 0x0010 PHY ステータス レジスタ (PHYSTS)

ビット	名称	タイプ	デフォルト	FUNCTION
15	予約済み	R	0	予約済み
14	MDI/MDIX モード	R	0	MDI/MDIX モード ステータス: 1 = MDI ペア スワップ (TD ペアで受信、RD ペアで送信) 0 = MDI ペアは通常 (RD ペアで受信、TD ペアで送信)

表 8-16. 0x0010 PHY ステータス レジスタ (PHYSTS) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
13	受信エラー ラッチ	R, RC	0	受信エラー ラッチ: 1 = 受信エラー イベントが発生 0 = 受信エラー イベントは未発生 RECR レジスタ (アドレス 0x0015) の最後の読み取り以降に受信エラー イベントが発生。このビットは、RECR レジスタを読み出すとクリアされます。
12	極性ステータス	R, RC	0	極性ステータス: 1 = 反転極性を検出 0 = 正しい極性を検出 このビットは、10BTSCR レジスタ (アドレス 0x001A) の bit[4] の複製です。 このビットは 10BTSCR レジスタの読み出しによってクリアされますが、PHYSTS レジスタの読み出しではクリアされません。
11	誤搬送波検知ラッチ	R, RC	0	誤搬送波検知ラッチ: 1 = 誤搬送イベントが発生 0 = 誤搬送イベントは未発生 FCSCR レジスタ (アドレス 0x0014) の最後の読み取り以降に誤搬送イベントが発生。このビットは、FCSCR レジスタを読み出すとクリアされます。
10	信号検出	R, RC	0	信号検出: PMD からのアクティブ High 100Base-TX 無条件信号検出通知 注: EEE_LPI の間、このレジスタ ビットの値は無視する必要があります
9	デスクランブラ ロック	R, RC	0	デスクランブラ ロック: PMD からのアクティブ High 100Base-TX デスクランブラ ロック通知 注: EEE_LPI の間、このレジスタ ビットの値は無視する必要があります
8	ページの受信	R	0	リンク コード ワード ページの受信: 1= 新しいリンク コード ワード ページを受信 0= リンク コード ワード ページを未受信 このビットは、ANER レジスタで受信したページ (bit[1]) の複製であり、ANER レジスタ (アドレス 0x0006) の読み取り時にクリアされます。
7	MII 割り込み	R, RC	0	MII 割り込み保留: 1 = 内部割り込みが保留中であることを通知 0 = 割り込み保留なし 割り込みソースは、MISR レジスタ (0x0012) を読み出すことで判定できます。MISR を読み出すと、この割り込みビット表示はクリアされます。
6	リモート障害	R	0	リモート障害: 1 = リモート障害条件を検出 0 = リモート障害条件を未検出 障害条件: オートネゴシエーションを介したリモート障害のリンク パートナーからの通知です。BMSR レジスタ (アドレス 0x0001) の読み取りまたはリセットによってクリアされます。
5	ジャバー検出	R	0	ジャバー検出: 1 = ジャバー状態を検出 0 = ジャバーなし。このビットは 10Mbps 動作専用です。 このビットは、BMSR レジスタ (アドレス 0x0001) のジャバー検出ビットの複製であり、PHYSTS レジスタ の読み取りを実行してもクリアされません。
4	オートネゴシエーション ステータス	R	0	オートネゴシエーション ステータス: 1 = オートネゴシエーションを完了 0 = オートネゴシエーションが未完了

表 8-16. 0x0010 PHY ステータス レジスタ (PHYSTS) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
3	MII ループバック ステータス	R	0	MII ループバック ステータス: 1 = ループバックが有効 0 = 通常動作
2	二重モードのステータス	R	0	二重モードのステータス: 1 = 全二重モード 0 = 半二重モード
1	速度ステータス	R	1	速度ステータス: 1 = 10Mbps モード 0 = 100Mbps モード
0	リンク ステータス	R	0	リンク ステータス: 1 = 有効なリンクが確立済み (10Mbps または 100Mbps のいずれかの場合) 0 = リンク確立なし このビットは、BMSR レジスタ (アドレス 0x0001) のリンク ステータス ビットから複製され、PHYSTS レジスタの読み取りを実行してもクリアされません。

表 8-17. 0x0011 PHY 専用制御レジスタ (PHYSCR)

ビット	名称	タイプ	デフォルト	FUNCTION
15	PLL を無効化	R/W	0	PLL を無効化: 1 = 内部クロック回路を無効化 0 = 通常動作 注: クロック回路は IEEE のパワーダウン モードでのみ無効化できます。
14	パワー セーブ モード イネーブル	R/W	0	パワー セーブ モード イネーブル: 1 = パワー セーブ モードを有効化 0 = 通常動作

表 8-17. 0x0011 PHY 専用制御レジスタ (PHYSCR) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION		
13:12	パワー セーブ モード	R/W	00	パワー セーブ モードの選択フィールド: パワー セーブ モードを有効にするには、パワー セーブ モード イネーブル (bit[14]) を「1」に設定する必要があります。		
				電力モード	名称	説明
				<00>	通常	通常動作モード。PHY は完全な機能を備えています。
				<01>	予約済み	予約済み
				<10>	アクティブ スリープ	SMI およびエネルギー検出機能以外のすべての内部回路をシャットダウンする低消費電力アクティブ省エネモード。このモードでは、PHY は 1.4 秒 ごとに NLP を送信して、リンク パートナーをウェークアップします。リンク パートナーが検出されると、自動パワーアップが実行されます。
				<11>	パッシブ スリープ	SMI およびエネルギー検出機能以外のすべての内部回路をシャットダウンする、低消費電力パッシブ省エネモード。リンク パートナーが検出されると自動パワーアップが実行されます。
11	スクランブラ バイパス	R/W	0	スクランブラ バイパス: 1 = スクランブラ バイパスが有効 0 = スクランブラ バイパスが無効		
10	予約済み	R/W	0	予約済み		
9:8	ループバック FIFO 深度	R/W	01	ファーエンド ループバック FIFO 深度: 00 = 4 ニブル FIFO 01 = 5 ニブル FIFO 10 = 6 ニブル FIFO 11 = 8 ニブル FIFO この FIFO は、RX (受信) クロック レートを TX クロック レートに調整するために使用されます。FIFO の深度は、予想される最大パケット サイズとクロック精度に基づいて設定する必要があります。デフォルト値は 5 ニブルに設定されます。		
7:5	予約済み	R	0	予約済み		
4	COL 全二重イネーブル	R/W	0	全二重モードでの衝突: 1 = 全二重モードで衝突生成信号を有効化 0 = 全二重モードで衝突を無効化 注: 半二重モード時は、衝突は常にアクティブです。		
3	割り込み極性	R/W	1	割り込み極性: 1 = 通常動作は 1 ロジックで、割り込み中は 0 ロジック 0 = 通常動作は 0 ロジックで、割り込み中は 1 ロジック		

表 8-17. 0x0011 PHY 専用制御レジスタ (PHYSCR) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
2	割り込みのテスト	R/W	0	割り込みのテスト: 1 = 割り込みを生成 0 = 割り込みを生成しない 割り込みのテストを容易にするため、PHY に割り込みを生成させます。このビットが設定されている間、割り込みは生成され続けます。
1	割り込みイネーブル	R/W	0	割り込みイネーブル: 1 = イベント ベースの割り込みを有効化 0 = イベント ベースの割り込みを無効化 MISR レジスタ (アドレス 0x0012) でのイベント イネーブルに応じて割り込みを有効化します。
0	割り込み出力イネーブル	R/W	0	割り込み出力イネーブル: 1 = INT/PWDN_N は割り込み出力 0 = INT/PWDN_N はパワーダウン ピン INT/PWDN_N ピンを出力として構成することで、INT/PWDN_N ピンを使用してアクティブ Low の割り込みイベントを有効化します。

表 8-18. 0x0012 MII 割り込みステータス レジスタ #1 (MISR1)

ビット	名称	タイプ	デフォルト	FUNCTION
15	リンク品質割り込み	R, RC	0	リンク品質ステータス変化割り込み: 1 = リンクがオンのときにリンク品質が変化 0 = リンク品質が良好
14	エネルギー検出割り込み	R, RC	0	エネルギー検出ステータス変化割り込み: 1 = エネルギーの変化を検出 0 = エネルギーの変化を未検出
13	リンク ステータス変化割り込み	R, RC	0	リンク ステータス変化割り込み: 1 = リンク ステータス変化の割り込みが保留中 0 = リンク ステータス変化なし
12	速度変化割り込み	R, RC	0	速度ステータス変化割り込み: 1 = 速度ステータス変化の割り込みが保留中 0 = 速度ステータス変化なし
11	二重モード変化割り込み	R, RC	0	二重ステータス変化割り込み: 1 = デュプレックス ステータス変化の割り込みが保留中 0 = デュプレックス ステータス変化なし
10	オートネゴシエーション完了割り込み	R, RC	0	オートネゴシエーション完了割り込み: 1 = オートネゴシエーション完了割り込みが保留中 0 = オートネゴシエーション完了イベントが保留中ではない
9	誤搬送波カウンタ ハーフフル割り込み	R, RC	0	誤搬送波カウンタ ハーフフル割り込み: 1 = 誤搬送 HF 割り込みが保留中 0 = 誤搬送 HF イベントは保留中ではない ハーフフル割り込みを上回る誤搬送波カウンタ (レジスタ FCSCR、アドレス 0x0014) が保留中。
8	受信エラー カウンタ ハーフフル割り込み	R, RC	0	受信エラー カウンタ ハーフフル割り込み: 1 = 受信エラー HF 割り込みが保留中 0 = 受信エラー HF イベントは保留中ではない ハーフフル割り込みを上回る受信エラー カウンタ (レジスタ RECR、アドレス 0x0015) が保留中。

表 8-18. 0x0012 MII 割り込みステータス レジスタ #1 (MISR1) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
7	リンク品質割り込み有効化	RC/W	0	リンク品質変化時の割り込みを有効化
6	エネルギー検出割り込み有効化	RC/W	0	エネルギー変化検出時の割り込みを有効化
5	リンク ステータス変化イネーブル	RC/W	0	リンク ステータス変化時の割り込みを有効化
4	速度変化割り込みイネーブル	RC/W	0	速度ステータス変化時の割り込みを有効化
3	二重モード変更割り込みイネーブル	RC/W	0	二重ステータス変化時の割り込みを有効化
2	オートネゴシエーション完了イネーブル	RC/W	0	オートネゴシエーション完了イベント時の割り込みを有効化
1	誤搬送波 HF イネーブル	RC/W	0	誤搬送波カウンタ レジスタ ハーフフル イベント時の割り込みを有効化
0	受信エラー HF イネーブル	RC/W	0	受信エラー カウンタ レジスタ ハーフフル イベント時の割り込みを有効化

表 8-19. 0x0013 MII 割り込みステータス レジスタ #2 (MISR2)

ビット	名称	タイプ	デフォルト	FUNCTION
15	EEE エラー割り込み	R, RC	0	省電力型イーサネット エラー割り込み: 1 = EEE エラーが発生 0 = EEE エラーは未発生
14	オートネゴシエーション エラー割り込み	R, RC	0	オートネゴシエーション エラー割り込み: 1 = オートネゴシエーション エラー割り込みが保留中 0 = オートネゴシエーション エラー イベントが保留中ではない
13	ページ受信割り込み	R, RC	0	ページ受信割り込み: 1 = ページを受信 0 = ページを受信していない
12	ループバック FIFO OF/UF イベント割り込み	R, RC	0	ループバック FIFO オーバーフロー / アンダーフロー イベント割り込み: 1 = FIFO オーバーフロー/アンダーフロー イベント割り込みが保留中 0 = FIFO オーバーフロー/アンダーフロー イベントが保留中ではない
11	MDI クロスオーバー変化割り込み	R, RC	0	MDI/MDIX クロスオーバー ステータス変化割り込み: 1 = MDI クロスオーバー ステータス変化の割り込みが保留中 0 = MDI クロスオーバー ステータスの変化がない
10	スリープ モード割り込み	R, RC	0	スリープ モード イベント割り込み: 1 = スリープ モード イベントの割り込みが保留中 0 = スリープ モード イベントが保留中ではない
9	極性変化の割り込み/WoL パケット受信の割り込み	R, RC	0	極性変化の割り込み/WoL パケット受信の割り込み: 1 = データ極性割り込み保留中/WoL パケットを受信 0 = 保留中のデータ極性なし/WoL パケット受信なし
8	ジャバール検出割り込み	R, RC	0	ジャバール検出イベント割り込み: 1 = ジャバール検出イベント割り込み保留中 0 = 保留中のジャバール検出イベントなし
7	EEE エラー割り込みイネーブル	RC/W	0	EEE エラー時の割り込みを有効化
6	オートネゴシエーション エラー割り込みイネーブル	RC/W	0	オートネゴシエーション エラー イベント時の割り込みを有効化
5	ページ受信割り込みイネーブル	RC/W	0	ページ受信イベント時の割り込みを有効化
4	ループバック FIFO OF/UF イネーブル	RC/W	0	ループバック FIFO オーバーフロー / アンダーフロー イベント時の割り込みを有効化

表 8-19. 0x0013 MII 割り込みステータス レジスタ #2 (MISR2) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
3	MDI クロスオーバー変化イネーブル	RC/W	0	MDI/X ステータス変化時の割り込みを有効化
2	スリープ モード イベント イネーブル	RC/W	0	スリープ モード イベント時の割り込みを有効化
1	極性変化 / WoL パケット イネーブル	RC/W	0	極性ステータス変化時の割り込みを有効化
0	ジャバール検出イネーブル	RC/W	0	ジャバール検出イベント時の割り込みを有効化

表 8-20. 0x0014 誤搬送波検知カウンタ レジスタ (FCSCR)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	予約済み	R	0	予約済み
7:0	誤搬送波イベント カウンタ	R, RC	0	誤搬送波イベント カウンタ: この 8 ビット カウンタは、誤搬送波イベントごとにインクリメントされます。最大カウント (FFh) に達すると、このカウンタは停止します。カウンタがハーフフル (7Fh) を超えると、割り込みイベントが生成されます。このレジスタは、読み取り時にクリアされます。

表 8-21. 0x0015 受信エラー カウンタ レジスタ (RECR)

ビット	名称	タイプ	デフォルト	FUNCTION
15:0	受信エラー カウンタ	R, RC	0	RX_ER カウンタ: 有効なキャリアが存在し (RXDV が設定されている間のみ)、無効なデータシンボルが少なくとも 1 回発生すると、この 16 ビット カウンタは検出された受信エラーごとにインクリメントされます。MII ループバック モードでは、RX_ER カウンタはカウントされません。最大カウント (FFFFh) に達するとカウンタは停止します。カウンタがハーフフル (7Fh) を超えると、割り込みが生成されます。このレジスタは、読み取り時にクリアされます。

表 8-22. 0x0016 BIST 制御レジスタ (BISCR)

ビット	名称	タイプ	デフォルト	FUNCTION
15	予約済み	R	0	予約済み
14	BIST エラー カウンタ モード	R/W	0	BIST エラー カウンタ モード: 1 = 連続モード 0 = シングル モード 連続モードでは、BIST エラー カウンタが最大値に達すると、パルスが生成され、カウンタは再びゼロからカウントを開始します。シングル モードでは、BIST エラー カウンタが最大値に達すると、PRBS チェックはカウントを停止します。
13	PRBS チェッカ	R/W	0	PRBS チェッカ: 1 = PRBS チェッカが有効 0 = PRBS チェッカが無効 PRBS チェッカが有効な場合、DP83822 は受信した PRBS データをチェックします。
12	パケット生成イネーブル	R/W	0	パケット生成イネーブル: 1 = PRBS データでパケット ジェネレータを有効化 0 = パケット ジェネレータを無効化

表 8-22. 0x0016 BIST 制御レジスタ (BISCR) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
11	PRBS チェッカ ロック / 同期	R	0	PRBS チェッカ ロック / 同期表示: 1 = 受信したビット ストリームで PRBS チェッカがロックおよび同期 0 = PRBS チェッカはロックされない
10	PRBS チェッカ同期喪失	R, RC	0	PRBS チェッカ同期喪失の表示: 1 = PRBS チェッカが同期を喪失 0 = PRBS チェッカは同期を喪失していない
9	パケット ジェネレータ ステータス	R	0	パケット生成ステータス表示: 1 = パケット ジェネレータがアクティブでパケットを生成 0 = パケット ジェネレータはオフ
8	電力モード	R	1	スリープ モード表示: 1 = PHY が通常電力モードであることを示す 0 = PHY がスリープ モードのいずれかであることを示す
7	予約済み	R	0	予約済み
6	MII ループバックでの送信	R/W	0	MII ループバック モードでのデータ送信 (100Mbps でのみ有効): 1 = 送信を有効化 0 = 送信を無効化 有効な場合は、TX ピンで受信した MAC からのデータは、MII ループバックの動作に平行して MDI に送信されます (RX ピンに)。このビットは、BMCR レジスタの bit[14] (アドレス 0x0000) を設定する、MII ループバックモードでのみ設定できます。ディスエーブルの場合、MAC からのデータは MDI に送信されません。
5	予約済み	R	0	予約済み
4:0	ループバック モード	R/W	0	ループバック モードの選択: PHY には、PHY 内の各種機能ブロックをテストおよび検証するループバックの複数オプションがあります。ループバック モードを有効にすると DP83822 のデジタルおよびアナログデータパスのインサーキットテストが可能になります ニア エンド ループバック 00001 = PCS 入力ループバック 00010 = PCS 出力ループバック 00100 = デジタル ループバック 01000 = アナログ ループバック (100Ω の終端が必要) ファア エンド ループバック 10000 = リバース ループバック

表 8-23. 0x0017 RMII およびステータス レジスタ (RCSR)

ビット	名称	タイプ	デフォルト	FUNCTION
15:13	予約済み	R	0	予約済み
12	RGMII RX クロック シフト	R/W	0	RGMII RX クロック シフト: 1 = 受信パスの内部クロックシフトがイネーブル 0 = 受信パスの内部クロック シフトがディスエーブル イネーブルのとき、受信パスの内部クロック (RX_CLK) は、受信データに対して 3.5ns 遅延します。ディスエーブルのとき、データとクロックはアラインモードになります。

表 8-23. 0x0017 RMII およびステータス レジスタ (RCSR) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
11	RGMIITX クロック シフト	R/W	0	RGMIITX クロック シフト: 1 = 送信パスの内部クロックシフトがディスエーブル 0 = 送信パスの内部クロックシフトがイネーブル イネーブルのとき、送信パスの内部クロック (TX_CLK) は、送信データに対して 3.5ns 遅延します。
10	RGMIITX 同期済み	R/W	0	RGMIITX クロック同期: 1 = PHY と MAC は同じクロック基準を共有 0 = PHY は MAC と同じ、または独立したクロックソースで動作 このモードを有効にすると、MAC と PHY の両方が同じクロックソースに同期するため、レイテンシが短縮されます。また、このモードでは、MAC を PHY 出力クロックに接続して PHY クロック出力を有効にする際にも使用できます。
9	RGMIITX モード	R/W、RH	0	RGMIITX モードの有効化: 1 = RGMIITX 動作モードを有効化 0 = bit[5] により決定されるモード
8	RMII TX クロック シフト	R/W	0	RMII TX クロック シフト: 1 = 送信パスの内部クロックシフトがイネーブル 0 = 送信パスの内部クロックシフトがディスエーブル
7	RMII クロック選択	R/W、RH	0	RMII 基準クロックの選択: RH XI_50 によりクロック基準要件が決定されます。 1 = 50MHz クロック基準、CMOS レベル発振器 0 = 25MHz クロック基準、水晶振動子または CMOS レベル発振器
6	RMII 回復クロック非同期 FIFO バイパス	R/W	1	RMII 回復クロック非同期 FIFO バイパス: 0 = 非同期 FIFO をバイパス 1 = 通常動作 RMII 回復クロック モードの場合、非同期 FIFO をバイパスすることで、DP83822 内の受信パスのレイテンシを短縮できます。 非同期 FIFO バイパス時、50MHz クロックは RX_CLK に出力されます
5	RMII モード	R/W、RH	0	RMII モードの有効化: 1 = RMII 動作モードを有効化 0 = MII 動作モードを有効化します 注 ビット 5 を 1 に変更してから RMII 動作モードをイネーブルにすると、次の 2 つのコマンドが実行されます: - レジスタ 0x0462 に 0x4300 を書き込みます - レジスタ 0x001F に 0x4000 を書き込みます
4	RMII リビジョンの選択	R/W	0	RMII リビジョンの選択: 1 = RMII リビジョン 1.0 0 = RMII リビジョン 1.2 RMII リビジョン 1.0 では、最終データが転送されるまで CRS_DV はアサートされたままとなります。CRS_DV は、パケットの最後でトグルしません。RMII リビジョン 1.2 では、CRS_DV はパケットの最後でトグルし、CRS のデアサートを通知します。

表 8-23. 0x0017 RMII およびステータス レジスタ (RCSR) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
3	RMII オーバーフロー ステータス	R、RC	0	RX FIFO オーバーフロー ステータス: 1 = オーバーフローが検出 0 = 通常
2	RMII アンダーフロー ステータス	R、RC	0	RX FIFO アンダーフロー ステータス: 1 = アンダーフローが検出 0 = 通常
1:0	受信弾性バッファ サイズ	R/W	01	受信弾性バッファ サイズ: このフィールドは受信弾性バッファを制御し、50MHz の RMII クロックと回復されたデータとの間で周波数変動の許容誤差を許容します。次の値は、シングル パケットの許容範囲をビット単位で示したものです。最小設定では、 $\pm 50\text{ppm}$ の精度で標準イーサネット フレーム サイズを使用できます。周波数の許容誤差を大きくするには、パケット長をスケールリングすることができます ($\pm 100\text{ppm}$)。パケット長を 2 で割ります。00 = 14 ビット許容誤差 (最大 16800 バイト パケット) 01 = 2 ビット許容誤差 (最大 2400 バイト パケット) 10 = 6 ビット許容誤差 (最大 7200 バイト パケット) 11 = 10 ビット許容誤差 (最大 12000 バイト パケット)

表 8-24. 0x0018 LED 制御レジスタ (LEDCR)

ビット	名称	タイプ	デフォルト	FUNCTION
15:11	予約済み	R	0	予約済み
10:9	点滅速度	R/W	10	LED 点滅速度 (オン/オフ持続時間): 00 = 20Hz (50ms) 01 = 10Hz (100ms) 10 = 5Hz (200ms) 11 = 2Hz (500ms)
8	予約済み	R/W	0	予約済み
7	LED_0 極性	R/W、RH	0	LED_0 リンク極性の設定: 1 = アクティブ High 極性設定 0 = アクティブ Low 極性設定 このピンのストラップ値によって定義されるリンク LED_0 の極性。このレジスタにより、このストラップ値を無効にすることができます。
6:5	予約済み	R/W	0	予約済み
4	LED_0 の駆動	R/W	0	駆動リンク LED_0 の選択: 1 = オン/オフ bit[1] の値を LED_0 出力ピンに駆動 0 = 通常動作
3:2	予約済み	R/W	0	予約済み
1	LED_0 のオン/オフ設定	R/W	0	LED_0 出力を強制する値
0	予約済み	R/W	0	予約済み

表 8-25. 0x0019 PHY 制御レジスタ (PHYCR)

ビット	名称	タイプ	デフォルト	FUNCTION
15	Auto-MDI/X イネーブル	R/W、RH	0	Auto-MDIX イネーブル: 1 = オートネゴシエーション Auto-MDIX 機能を有効化 0 = オートネゴシエーション Auto-MDIX 機能を無効化

表 8-25. 0x0019 PHY 制御レジスタ (PHYCR) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION		
14	MDI/X の強制	R/W	0	MDIX の強制: 1 = MDI ペアのクロスを強制 (MDIX) 0 = 通常動作 (MDI) 強制 MDI/X を有効にすると、受信データは TD ペアにあり、送信データは RD ペアにあります。無効にすると、受信データは RD ペアにあり、送信データは TD ペアにあります。		
13	RX ステータスの一時停止	R	0	受信ネゴシエーションの一時停止ステータス: MAC で一時停止受信を有効化すること示します。ANAR レジスタの bits[11:10] と ANLPAR レジスタの bits[11:10] の設定に基づきます。この機能は、オートネゴシエーションの最も高い共通分母が全二重技術である場合にのみ、IEEE 802.3 付録 28B の表 28B-3「ポーズ分解能」に従って有効化する必要があります。		
12	TX ステータスの一時停止	R	0	送信ネゴシエーション ステータスの一時停止: MAC で一時停止を有効化すること示します。ANAR レジスタの bits[11:10] と ANLPAR レジスタの bits[11:10] の設定に基づきます。この機能は、オートネゴシエーションの最も高い共通分母が全二重技術である場合にのみ、IEEE 802.3 付録 28B の表 28B-3「ポーズ分解能」に従って有効化する必要があります。		
11	MII リンク ステータス	R	0	MII リンク ステータス: 1 = 100Base-TX 全二重リンクがアクティブ 0 = アクティブな 100Base-TX 全二重リンクなし		
10:8	予約済み	R	0	予約済み		
7	LED ストレッチをバイパス	R/W	0	LED ストレッチをバイパス: 1 = LED ストレッチをバイパス 0 = LED 通常動作 このビットを「1」に設定すると、LED ストレッチがバイパスされ、LED に内部値が反映されます。		
6	予約済み	R/W	0	予約済み		
5	LED の構成	R/W、RH	1	構成	LED_CFG	LED_0
				1	1	リンクでオン リンクなしでオフ
				2	0	リンクでオン TX/RX 動作時に点滅
4:0	PHY アドレス	R、RH	0000 1	PHY アドレス: PHY アドレスのストラップ構成		

表 8-26. 0x001A 10Base-Te ステータス/制御レジスタ (10BTSCR)

ビット	名称	タイプ	デフォルト	FUNCTION
15:14	予約済み	R	0	予約済み
13	レシーバ スレッショルド イネーブル	R/W	0	レシーバの下限スレッショルド イネーブル: 1 = 10Base-Te の下限レシーバ スレッショルドを有効化 0 = 10Base-Te 通常動作 有効にすると、より長いケーブルで動作できるようにレシーバ スレッショルドが低くなります。

表 8-26. 0x001A 10Base-Te ステータス/制御レジスタ (10BTSCR) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
12:9	スケルチ	R/W	0000	スケルチ構成: 10Base-Te レシーバのピーク スケルチ「オン」スレッショルドを設定するために使用します。以下に示されているように、200mV ～ 600mV で始まり、50mV のステップ サイズで一部重なります。0000 = 200mV 0001 = 250mV 0010 = 300mV 0011 = 350mV 0100 = 400mV 0101 = 450mV 0110 = 500mV 0111 = 550mV 1000 = 600mV
8	予約済み	R/W	0	予約済み
7	NLP ディスエーブル	R/W	0	NLP 転送制御: 1 = NLP の送信を無効化 0 = NLP の送信を有効化
6:5	予約済み	R	0	予約済み
4	極性ステータス	R	0	極性ステータス: 1 = 反転極性を検出 0 = 正しい極性を検出 このビットは、PHYSTS レジスタ (0x0010) の bit[12] の複製です。これらのビットは、10BTSCR レジスタの読み取り時にクリアされますが、PHYSTS レジスタの読み取り時にはクリアされません。
3:1	予約済み	R	0	予約済み
0	ジャババー ディスエーブル	R/W	0	ジャババー ディスエーブル: 1 = ジャババー機能がディスエーブル 0 = ジャババー機能がイネーブル 注: この機能は、10Base-Te 動作でのみ適用されます。

表 8-27. 0x001B BIST 制御およびステータス レジスタ #1 (BICSR1)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	BIST エラー カウント	R	0x0	BIST エラー カウント: PRBS チェッカによって受信されたエラー バイトをホールドします。このレジスタの値はロックされ、bit[15] への書き込みが行われるとクリアされます。 BIST エラー カウンタ モードが「0」に設定されている場合、カウンタは 0xFF で停止します (レジスタ 0x0016 を参照) 注: bit[15] に「1」を書き込むと、連続する読み取り動作のためのカウンタ値がロックされ、BIST エラー カウンタがクリアされます。
7:0	BIST IPG 長	R/W	0111 1101	BIST IPG 長: パケット間ギャップ (IPG) の長さにより、BIST によって生成される任意の 2 つの連続するパケット間のギャップ (バイト単位) のサイズが定義されます。デフォルト値は 0x7D (500 バイトに相当) です。

表 8-28. 0x001C BIST 制御およびステータス レジスタ #2 (BICSR2)

ビット	名称	タイプ	デフォルト	FUNCTION
15:11	予約済み	R	0	予約済み

表 8-28. 0x001C BIST 制御およびステータス レジスタ #2 (BICSR2) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
10:0	BIST パケット長	R/W	101 1110 1110	BIST パケット長: 生成された BIST パケットの長さ。このレジスタの値により、BIST によって生成されるすべてのパケット サイズ (バイト単位) が定義されます。デフォルト値は 0x5EE です (1518 バイトに相当)。

表 8-29. 0x001E ケーブル診断制御レジスタ (CDCR)

ビット	名称	タイプ	デフォルト	FUNCTION
15	ケーブル診断の開始	R/W	0	ケーブル診断プロセスの開始: 1 = ケーブル測定を開始 0 = ケーブル診断がディスエーブル 診断完了通知ビットがトリガされると、診断開始ビットはクリアされます。
14:2	予約済み	R	000 0001 0000 00	予約済み
1	ケーブル診断ステータス	R	1	ケーブル診断プロセス完了: 1 = ケーブル測定プロセスが完了したことを通知 0 = ケーブル診断が未完了
0	ケーブル診断テストの失敗	R	0	ケーブル診断プロセスの失敗: 1 = ケーブル測定プロセスが失敗したことを通知 0 = ケーブル診断が失敗していない

表 8-30. 0x001F PHY リセット制御レジスタ (PHYRCR)

ビット	名称	タイプ	デフォルト	FUNCTION
15	ソフトウェアリセット	R/W, W1S	0	ソフトウェアリセット: 1 = PHY をリセット 0 = 通常動作 このビットは自動的にクリアされ、ハードウェアリセットピンと同じ効果を持っています。
14	デジタルリスタート	R/W, W1S	0	デジタルリスタート: 1 = PHY をリスタート 0 = 通常動作 このビットは自動的にクリアされ、レジスタを除くすべての PHY デジタル回路をリセットします。
13:0	予約済み	R/W	0	予約済み

表 8-31. 0x0025 マルチ LED 制御レジスタ (MLEDCR)

ビット	名称	タイプ	デフォルト	FUNCTION
15:10	予約済み	R/W	0	予約済み
9	MLED 極性スワップ	R/W	RH	MLED 極性スワップ: MLED の極性は配線構成によって異なります。ピンストラップがプルアップされている場合、極性はアクティブ Low になります。ピンストラップがプルダウンされている場合、極性はアクティブ High になります。 0 = アクティブ Low (ピンが HIGH にストラップされるときデフォルト) 1 = アクティブ High (ピンが LOW にストラップされるときデフォルト)
8:7	予約済み	R/W	0	予約済み

表 8-31. 0x0025 マルチ LED 制御レジスタ (MLEDCR) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
6:3	MLED の構成	R/W	000 0	MLED 構成: 000 0 = LINK OK 000 1 = RX/TX アクティビティ 001 0 = TX アクティビティ 001 1 = RX アクティビティ 010 0 = 衝突 010 1 = 速度、100Base-TX で High 011 0 = 速度、10Base-Te で High 011 1 = 全二重 100 0 = LINK OK、TX/RX アクティビティで点滅 100 1 = アクティブ ストレッチ信号 101 0 = MII リンク (100BT+FD) 101 1 = LPI モード (EEE) 110 0 = TX/RX MII エラー 110 1 = リンク喪失 111 0 = PRBS エラーで点滅 111 1 = 予約済み リンクが喪失すると、BMCR レジスタ (アドレス 0x0001) の読み取りが実行されるまで LED はオンのままです。 PRBS エラーで点滅し、シングル エラーでは LED がオンのままになり、BICSR1 レジスタ (アドレス 0x001B) がクリアされるまで保持されます。
2	予約済み	R/W	0	予約済み
1:0	LED_0 への MLED ルート	R/W	00	LED_0 への MLED ルート: 00 = MLED が COL にルーティング 01 = 予約済み 10 = 予約済み 11 = MLED は LED_0 にルーティング

表 8-32. 0x0027 準拠テスト レジスタ (COMPT)

ビット	名称	タイプ	デフォルト	FUNCTION
15:5	予約済み	R/W	0	予約済み
4	10Base-Te テストパターン イネーブル	R/W	0	10Base-Te テストパターン イネーブル: 1 = 10Base-Te テスト パターンを有効化 0 = 10Base-Te テストパターンを無効化 注: 10Base-Te テストパターンの 1 と 0 の繰り返しは、高調波コンプライアンス テストには使用できません。

表 8-32. 0x0027 準拠テスト レジスタ (COMPT) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
3:0	コンプライアンス テスト構成	R/W	0000	コンプライアンス テスト構成の選択: レジスタ 0x0027 の bit[4]= 1 では、10Base-Te テスト パターンが有効になります。 レジスタ 0x0428 の bit[4]= 1 では、100Base-TX テスト モードが有効になります。 bits[3:0] は、10Base-Te テスト パターンを次のように選択します: 0000 = シングル NLP 0001 = シングル パルス 1 0010 = シングル パルス 0 0011 = 反復 1 0100 = 反復 0 0101 = プリアンブル (反復「10」) 0110 = TP_IDLE が後に続く 1 つの 1 0111 = TP_IDLE が後に続く 1 つの 0 1000 = 反復「1001」シーケンス 1001 = ランダム 10Base-Te データ 1010 = TP_IDLE_00 1011 = TP_IDLE_01 1100 = TP_IDLE_10 1101 = TP_IDLE_11 100Base-TX テストモードはビットにより決定されます (レジスタ 0x0428 の [5]、レジスタ 0x0027 の [3:0])。これらのビットにより、「1」の後に続く 0 の数が決まります。 0,0001 = 「1」の後に 1 個の「0」 0,0010 = 「1」の後に 2 個の「0」 0,0011 = 「1」の後に 3 個の「0」 0,0100 = 「1」の後に 4 個の「0」 0,0101 = 「1」の後に 5 個の「0」 0,0110 = 「1」の後に 6 個の「0」 0,0111 = 「1」の後に 7 個の「0」 ... 1,1111 = 「1」の後に 31 個の「0」 0,0000 = シフトレジスタをクリア 注 1:100Base-TX テスト モードを再構成するには、レジスタ 0x0428 の bit[4] をクリアしてから、新しいパターンを構成するために「1」にリセットする必要があります。 注 2:100Base-TX または 10Base-Te テスト モードを実行するときは、ベータシグナルモード制御レジスタ (BMCR) アドレス 0x0000 を使って速度を強制的に設定する必要があります。

表 8-33. 0x003E IEEE 1588 PTP ピン選択レジスタ (PTPPSEL)

ビット	名称	タイプ	デフォルト	FUNCTION
15:7	予約済み	R	0	予約済み

表 8-33. 0x003E IEEE 1588 PTP ピン選択レジスタ (PTPPSEL) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
6:4	IEEE 1588 TX ピン選択	R/W	000	IEEE 1588 TX ピン選択: 値で選択されたピンに送信 SFD パルス通知を割り当て 001 = 予約済み 010 = 予約済み 011 = LED_0 ピン 100 = CRS ピン 101 = COL ピン 110 = INT/PWDN_N ピン 111 = パルス出力なし
3	予約済み	R	0	予約済み
2:0	IEEE 1588 RX ピン選択	R/W	000	IEEE 1588 RX ピン選択: 値で選択されたピンに受信 SFD パルス通知を割り当て 001 = 予約済み 010 = 予約済み 011 = LED_0 ピン 100 = CRS ピン 101 = COL ピン 110 = INT/PWDN_N ピン 111 = パルス出力なし

表 8-34. 0x003F IEEE 1588 PTP 構成レジスタ IEEE 1588 高精度タイミング構成レジスタ (PTPCFG)

ビット	名称	タイプ	デフォルト	FUNCTION
15:13	PTP 送信タイミング	R/W	101	PTP 送信のタイミング: TX バスの IEEE 1588 通知を設定 (8ns ステップ)
12:10	PTP 受信タイミング	R/W	101	PTP 受信のタイミング: RX バスの IEEE 1588 通知を設定 (8ns ステップ)
9:8	TX エラー入力ピン	R/W	00	TX エラー入力ピンを構成: 00 = TX エラーなし 01 = 予約済み 10 = INT/PWDN_N ピンを TX エラーとして使用 11 = COL ピンを TX エラーとして使用
7:4	デスクランブラ ロック解除ベースの リンク ダウンのタイマ	R/W	1111	
3:0	予約済み	R/W	1111	予約済み

表 8-35. 0x0040 ファイバ ファー エンド障害生成/検出強制

ビット	名称	タイプ	デフォルト	FUNCTION
15:14	予約済み	R/W	11	予約済み
13	100Mbps リンク イネーブルを強制	R/W	0	リンク パートナーに関係なく、強制的に PHY の 100Mbps でのリンクを有効化
12:7	予約済み	R/W	0 0001 0	予約済み
6	FEF 生成ディスエーブル	R/W	0	1 = ファー エンド障害ジェネレータが無効

表 8-35. 0x0040 ファイバ ファー エンド障害生成/検出強制 (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
5	FEF 検出ディスエーブル	R/W	0	1 = ファー エンド障害の検出がディスエーブル
4:0	予約済み	R/W	1 1101	予約済み

表 8-36. 0x0042 TX_CLK 位相シフト レジスタ (TXCPSR)

ビット	名称	タイプ	デフォルト	FUNCTION
15:5	予約済み	R	0	予約済み
4	位相シフト イネーブル	R/W、W1S	0	TX クロック位相シフト イネーブル: 1 = TX_CLK への位相シフトを実行 0 = TX_CLK の位相変化なし 有効にすると、TX クロック位相シフトの値 (bits[4:0]) に書き込まれた値に従って、TX_CLK 位相シフトが実行されます。
3:0	位相シフトの値	R/W	0000	TX クロック位相シフトの値: このレジスタの値は、XI の基準クロックと TX_CLK での MII 送信クロックとの間の、現在の位相シフトを表します。これらのビットに異なる値を書き込むと、TX_CLK はその差の 4 倍 (ns) シフトします。 例: レジスタの値が 0x0002 の場合、このレジスタに 0x0009 を書き込むと TX_CLK は 28ns シフトします。(4 × 7ns)

表 8-37. 0x0101 DSP 構成レジスタ 1 (DSPCR1)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	予約済み	R/W	0010 0000	予約済み
7	内部フィルタ ディスエーブル	R/W	0	1 = リンクアップトレーニング位相中の内部フィルタを無効化

表 8-38. 0x0106 デジタル フィルタ構成レジスタ 1 (DFCR1)

ビット	名称	タイプ	デフォルト	FUNCTION
15:12	フィルタの内部スレッショルド	R/W	1011	ショート ケーブルのフィルタ係数 set1 をアクティブにする内部スレッショルド。
11	予約済み		0	予約済み
10	フィルタ係数を有効化	R/W	0	1 = 定常状態での内部フィルタ係数
9:8	予約済み	R/W	00	予約済み
7:6	フィルタの係数	R/W	10	ロング ケーブルのフィルタ係数値
5:4	予約済み	R/W	11	予約済み
3:0	フィルタの内部スレッショルド	R/W	1011	ショート ケーブルのフィルタ係数 set0 をアクティブにする内部スレッショルド。

表 8-39. 0x0107 デジタル フィルタ構成レジスタ 2 (DFCR2)

ビット	名称	タイプ	デフォルト	FUNCTION
15:0	予約済み	R/W	0000 0110 0000 0101	予約済み

表 8-40. 0x010F DSP 構成レジスタ 2 (DSPCR2)

ビット	名称	タイプ	デフォルト	FUNCTION
15:9	予約済み	R/W	0000 001	予約済み

表 8-40. 0x010F DSP 構成レジスタ 2 (DSPCR2) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
8	DSP ループ入力	R/W	1	ゲイン補正ループの入力タイプを選択
7:0	予約済み	R/W	0000 0000	予約済み

表 8-41. 0x0111 DSP 構成レジスタ 3 (DSPCR3)

ビット	名称	タイプ	デフォルト	FUNCTION
15:4	予約済み	R/W	0110 0000 0000	予約済み
3:0	ゲイン インデックスの開始	R/W	011	ゲイン インデックスの初期値

表 8-42. 0x0114 デジタル帰還イコライザ制御レジスタ (DFECR)

ビット	名称	タイプ	デフォルト	FUNCTION
15:0	予約済み	R/W	0100 0000 0000 1010	予約済み

表 8-43. 0x0116 AGC 帯域幅制御レジスタ (AGCBCR)

ビット	名称	タイプ	デフォルト	FUNCTION
15:0	予約済み	R/W	0000 0001 0100 1010	予約済み

表 8-44. 0x0121 定常状態から回復状態に入るための MSE スレッシュホールド

ビット	名称	タイプ	デフォルト	FUNCTION
15	予約済み	R	0	読み取り時は無視
14:0	MSE スレッシュホールドが好ましくない	R/W	001 1001 1001 1010	100M の MSE スレッシュホールドが好ましくない

表 8-45. 0x0122 タイミング ループの MSE スレッシュホールド

ビット	名称	タイプ	デフォルト	FUNCTION
15	予約済み	R	0	読み取り時は無視
14:0	MSE1 スレッシュホールドが良好	R/W	001 0000 0010 0111	100M の MSE1 スレッシュホールドが良好

表 8-46. 0x0123 リンクアップ用 MSE スレッシュホールド

ビット	名称	タイプ	デフォルト	FUNCTION
15	予約済み	R	0	読み取り時は無視
14:0	MSE2 スレッシュホールドが良好	R/W	000 0101 0001 1100	100M の MSE2 スレッシュホールドが良好

表 8-47. 0x0126 デジタル イコライザ タイマ レジスタ (DETR)

ビット	名称	タイプ	デフォルト	FUNCTION
15	予約済み	R/W	0	予約済み
14:12	トレーニング タイマ 1	R/W	100	DSP 状態シフトに使用するタイマ値
11:6	トレーニング タイマ 2	R/W	0110 00	タイミング ループに使用するタイマ値
5:3	トレーニング タイマ 3	R/W	011	ゲイン ループに使用するタイマ値
2:0	トレーニング タイマ 4	R/W	011	ゲイン ループに使用するタイマ値

表 8-48. 0x0129 DSP 構成レジスタ 4 (DSPCR4)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	予約済み	R/W	0000 0000	予約済み
7:4	最大ゲイン インデックス	R/W	0000	最大ゲイン インデックスの制限
3:0	最小ゲイン インデックス	R/W	1111	最小ゲイン インデックスの制限

表 8-49. 0x0130 DSP 構成レジスタ 5 (DSPCR5)

ビット	名称	タイプ	デフォルト	FUNCTION
15:12	予約済み	R/W	0000	予約済み
11	ゲイン再トレーニングを無効化	R/W	0	1 = ゲインの再トレーニングを無効化
10:0	予約済み	R/W	000 0000 0001	予約済み

表 8-50. 0x0155 ALCD 制御および結果 1 レジスタ (ALCDRR1)

ビット	名称	タイプ	デフォルト	FUNCTION
15	ALCD 開始テスト	RH/W1S	0	アクティブ リンク ケーブル診断開始: 1 = ALCD テストを開始 0 = ALCD テストを開始しない
14:13	予約済み	R	00	予約済み
12	ALCD テスト ステータス	R	0	アクティブ リンク ケーブル診断ステータス: 1 = ALCD は未完了 0 = ALCD は完了済み
11:4	ALCD 合計出力	R	0000 0000	
3:0	予約済み	R/W	0001	予約済み

表 8-51. 0x0170 ケーブル診断固有制御レジスタ (CDSCR)

ビット	名称	タイプ	デフォルト	FUNCTION
15	予約済み	R	0	予約済み
14	ケーブル診断クロス ディスエーブル	R/W	0	クロス TDR 診断モード: 1 = TDR クロス モードを無効化 0 = TDR クロス モードを有効化 有効にすると、TDR メカニズムはもう一方のペアの反射を探して、ペア間の短絡をチェックします。
13	ケーブル診断 TD バイパス	R/W	0	TD 診断バイパス: 1 = TD ペア診断をバイパス 0 = TD ペアで TDR を実行 有効にすると、TD ペアの TDR は実行されません。
12	ケーブル診断 RD バイパス	R/W	0	RD 診断バイパス: 1 = RD ペア診断をバイパス 0 = RD ペアで TDR を実行 有効にすると、RD ペアの TDR は実行されません。
11	予約済み	R/W	1	予約済み

表 8-51. 0x0170 ケーブル診断固有制御レジスタ (CDSCR) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
10:8	ケーブル診断の平均サイクル	R/W	110	平均される TDR サイクル数 000 = 1 TDR サイクル 001 = 2 TDR サイクル 010 = 4 TDR サイクル 011 = 8 TDR サイクル 100 = 16 TDR サイクル 101 = 32 TDR サイクル 110 = 64 TDR サイクル 111 = 予約済み
7:0	予約済み	R/W	0101 0010	予約済み

表 8-52. 0x0171 ケーブル診断固有制御レジスタ 2 (CDSCR2)

ビット	名称	タイプ	デフォルト	FUNCTION
15:4	予約済み	R/W	1100 1000 0101	予約済み
3:0	TDR パルス制御	R/W	1100	TDR で予想自己反映を設定します

表 8-53. 0x0173 ケーブル診断固有制御レジスタ 3 (CDSCR3)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	ケーブル長構成	R/W	1111 1111	ロング ケーブル反射を検出するリスニング時間を構成
7:0	予約済み	R/W	0001 1110	予約済み

表 8-54. 0x0177 ケーブル診断固有制御レジスタ 4 (CDSCR4)

ビット	名称	タイプ	デフォルト	FUNCTION
15:13	予約済み	R/W	000	予約済み
12:8	ショート ケーブル スレッショルド	R/W	1 1000	ショート ケーブルでの強い反射を補償するスレッショルド
7:0	予約済み	R/W	1001 1011	予約済み

表 8-55. 0x0180 ケーブル診断口セッション結果レジスタ #1 (CDLRR1)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	TD ピーク位置 2	R	0000 0000	TDR メカニズムによって送信チャネル (TD) で検出された 2 番目 のピークの位置。これらのビットの値は、PHY からの距離に変換する必要があります。
7:0	TD ピーク位置 1	R	0000 0000	TDR メカニズムによって送信チャネル (TD) で検出された 最初 のピークの位置。これらのビットの値は、PHY からの距離に変換する必要があります。

表 8-56. 0x0181 ケーブル診断口セッション結果レジスタ #2 (CDLRR2)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	TD ピーク位置 4	R	0000 0000	TDR メカニズムによって送信チャネル (TD) で検出された 4 番目 のピークの位置。これらのビットの値は、PHY からの距離に変換する必要があります。
7:0	TD ピーク位置 3	R	0000 0000	TDR メカニズムによって送信チャネル (TD) で検出された 3 番目 のピークの位置。これらのビットの値は、PHY からの距離に変換する必要があります。

表 8-57. 0x0182 ケーブル診断口セッション結果レジスタ #3 (CDLRR3)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	RD ピーク位置 1	R	0000 0000	TDR メカニズムによって受信チャネル (RD) で検出された 最初 のピークの位置。これらのビットの値は、PHY からの距離に変換する必要があります。
7:0	TD ピーク位置 5	R	0000 0000	TDR メカニズムによって送信チャネル (TD) で検出された 5 番目 のピークの位置。これらのビットの値は、PHY からの距離に変換する必要があります。

表 8-58. 0x0183 ケーブル診断口セッション結果レジスタ #4 (CDLRR4)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	RD ピーク位置 3	R	0000 0000	TDR メカニズムによって受信チャネル (RD) で検出された 3 番目 のピークの位置。これらのビットの値は、PHY からの距離に変換する必要があります。
7:0	RD ピーク位置 2	R	0000 0000	TDR メカニズムによって受信チャネル (RD) で検出された 2 番目 のピークの位置。これらのビットの値は、PHY からの距離に変換する必要があります。

表 8-59. 0x0184 ケーブル診断口セッション結果レジスタ #5 (CDLRR5)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	RD ピーク位置 5	R	0000 0000	TDR メカニズムによって受信チャネル (RD) で検出された 5 番目 のピークの位置。これらのビットの値は、PHY からの距離に変換する必要があります。
7:0	RD ピーク位置 4	R	0000 0000	TDR メカニズムによって受信チャネル (RD) で検出された 4 番目 のピークの位置。これらのビットの値は、PHY からの距離に変換する必要があります。

表 8-60. 0x0185 ケーブル診断振幅結果レジスタ #1 (CDLAR1)

ビット	名称	タイプ	デフォルト	FUNCTION
15	予約済み	R	0	予約済み
14:8	TD ピーク振幅 2	R	000 0000	TDR メカニズムによって送信チャネル (TD) で検出された 2 番目 のピークの振幅。これらのビットの値は、ケーブル障害や干渉のタイプに変換されます。
7	予約済み	R	0	予約済み
6:0	TD ピーク振幅 1	R	000 0000	TDR メカニズムによって送信チャネル (TD) で検出された 最初 のピークの振幅。これらのビットの値は、ケーブル障害や干渉のタイプに変換されます。

表 8-61. 0x0186 ケーブル診断振幅結果レジスタ #2 (CDLAR2)

ビット	名称	タイプ	デフォルト	FUNCTION
15	予約済み	R	0	予約済み
14:8	TD ピーク振幅 4	R	000 0000	TDR メカニズムによって送信チャネル (TD) で検出された 4 番目 のピークの振幅。これらのビットの値は、ケーブル障害や干渉のタイプに変換されます。
7	予約済み	R	0	予約済み
6:0	TD ピーク振幅 3	R	000 0000	TDR メカニズムによって送信チャネル (TD) で検出された 3 番目 のピークの振幅。これらのビットの値は、ケーブル障害や干渉のタイプに変換されます。

表 8-62. 0x0187 ケーブル診断振幅結果レジスタ #3 (CDLAR3)

ビット	名称	タイプ	デフォルト	FUNCTION
15	予約済み	R	0	予約済み
14:8	RD ピーク振幅 1	R	000 0000	TDR メカニズムによって受信チャネル (RD) で検出された 最初 のピークの振幅。これらのビットの値は、ケーブル障害や干渉のタイプに変換されます。
7	予約済み	R	0	予約済み
6:0	TD ピーク振幅 5	R	000 0000	TDR メカニズムによって送信チャネル (TD) で検出された 5 番目 のピークの振幅。これらのビットの値は、ケーブル障害や干渉のタイプに変換されます。

表 8-63. 0x0188 ケーブル診断振幅結果レジスタ #4 (CDLAR4)

ビット	名称	タイプ	デフォルト	FUNCTION
15	予約済み	R	0	予約済み
14:8	RD ピーク振幅 3	R	000 0000	TDR メカニズムによって受信チャネル (RD) で検出された 3 番目 のピークの振幅。これらのビットの値は、ケーブル障害や干渉のタイプに変換されます。
7	予約済み	R	0	予約済み
6:0	RD ピーク振幅 2	R	000 0000	TDR メカニズムによって受信チャネル (RD) で検出された 2 番目 のピークの振幅。これらのビットの値は、ケーブル障害や干渉のタイプに変換されます。

表 8-64. 0x0189 ケーブル診断振幅結果レジスタ #5 (CDLAR5)

ビット	名称	タイプ	デフォルト	FUNCTION
15	予約済み	R	0	予約済み
14:8	RD ピーク振幅 5	R	000 0000	TDR メカニズムによって受信チャネル (RD) で検出された 5 番目 のピークの振幅。これらのビットの値は、ケーブル障害や干渉のタイプに変換されます。
7	予約済み	R	0	予約済み
6:0	RD ピーク振幅 4	R	000 0000	TDR メカニズムによって受信チャネル (RD) で検出された 4 番目 のピークの振幅。これらのビットの値は、ケーブル障害や干渉のタイプに変換されます。

表 8-65. 0x018A ケーブル診断一般結果レジスタ (CDLGR)

ビット	名称	タイプ	デフォルト	FUNCTION
15	TD ピーク極性 5	R	0	TDR メカニズムによって送信チャネル (TD) で検出された 5 番目 のピークの極性。
14	TD ピーク極性 4	R	0	TDR メカニズムによって送信チャネル (TD) で検出された 4 番目 のピークの極性。
13	TD ピーク極性 3	R	0	TDR メカニズムによって送信チャネル (TD) で検出された 3 番目 のピークの極性。
12	TD ピーク極性 2	R	0	TDR メカニズムによって送信チャネル (TD) で検出された 2 番目 のピークの極性。
11	TD ピーク極性 1	R	0	TDR メカニズムによって送信チャネル (TD) で検出された 最初 のピークの極性。
10	RD ピーク極性 5	R	0	TDR メカニズムによって受信チャネル (RD) で検出された 5 番目 のピークの極性。

表 8-65. 0x018A ケーブル診断一般結果レジスタ (CDLGR) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
9	RD ピーク極性 4	R	0	TDR メカニズムによって受信チャネル (RD) で検出された 4 番目 のピークの極性。
8	RD ピーク極性 3	R	0	TDR メカニズムによって受信チャネル (RD) で検出された 3 番目 のピークの極性。
7	RD ピーク極性 2	R	0	TDR メカニズムによって受信チャネル (RD) で検出された 2 番目 のピークの極性。
6	RD ピーク極性 1	R	0	TDR メカニズムによって受信チャネル (RD) で検出された 最初 のピークの極性。
5	TD でのクロス検出	R	0	TD でクロスリフレクションを検出しました。TD と TD の間で短絡していることを示しています
4	RD でのクロス検出	R	0	RD でクロスリフレクションを検出しました。TD と RD の間で短絡していることを示しています
3	5 TD ピークを超える	R	0	TD で検出されたリフレクションが 5 回 を超えています
2	5 RD ピークを超える	R	0	RD で検出されたリフレクションが 5 回 を超えています
1:0	予約済み	R	0	予約済み

表 8-66. 0x0215 ALCD 制御および結果 2 レジスタ (ALCDRR2)

ビット	名称	タイプ	デフォルト	FUNCTION
15:4	予約済み	R	0000 0000 0000	予約済み
3:0	PGA 制御	R	1111	アナログ PGA に対する制御ワード

表 8-67. 0x021D ALCD 制御および結果 3 レジスタ (ALCDRR3)

ビット	名称	タイプ	デフォルト	FUNCTION
15:12	予約済み	R	0	予約済み
11:0	FAGC アク्यूムレータ	R/W	0110 0000 0000	FAGC アク्यूムレータ

表 8-68. 0x0403 ライン ドライバ制御レジスタ (LDCTRL)

ビット	名称	タイプ	デフォルト	FUNCTION
15:12	予約済み	R/W	1001	予約済み

表 8-68. 0x0403 ライン ドライバ制御レジスタ (LDCTRL) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
11:8	100Base-FX ラインドライバ スイ ング選択	R/W	1111	100Base-FX ラインドライバ スイング選択 (ピークツーピーク): 0000 = 0.533V 0001 = 0.567V 0010 = 0.600V 0011 = 0.633V 0100 = 0.667V 0101 = 0.700V 0110 = 0.733V 0111 = 0.767V 1000 = 0.800V 1001 = 0.833V 1010 = 0.867V 1011 = 0.900V 1100 = 0.933V 1101 = 0.976V 1110 = 1.000V 1111 = 1.033V (デフォルト設定)
7:4	100Base-TX ラインドライバ スイ ング選択	R/W	1100	100Base-TX ラインドライバ スイング選択 (ピークツーピーク): 0000 = 1.600V 0001 = 1.633V 0010 = 1.667V 0011 = 1.700V 0100 = 1.733V 0101 = 1.767V 0110 = 1.800V 0111 = 1.833V 1000 = 1.867V 1001 = 1.900V 1010 = 1.933V 1011 = 1.967V 1100 = 2.000V (デフォルト設定) 1101 = 2.033V 1110 = 2.067V 1111 = 2.100V

表 8-68. 0x0403 ライン ドライバ制御レジスタ (LDCTRL) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
3:0	10Base-Te ラインドライバ スイン グ選択	R/W	1111	10Base-Te ラインドライバ スイング選択: 0000 = 3.200V 0001 = 3.233V 0010 = 3.267V 0011 = 3.300V 0100 = 3.333V 0101 = 3.367V 0110 = 3.400V 0111 = 3.433V 1000 = 3.467V 1001 = 3.500V 1010 = 3.533V 1011 = 3.567V 1100 = 3.600V 1101 = 3.633V 1110 = 3.667V 1111 = 3.700V (デフォルト設定)

表 8-69. 0x0404 ライン ドライバ クラス選択 (LDCSEL)

ビット	名称	タイプ	デフォルト	FUNCTION
15:0	ラインドライバ クラス選択	R/W	0020	0x0020: MLT-3 低減 (クラス B) 0x0024: Tx+ と Tx- の両方でフル MLT-3 をプログラムする (クラス A)

表 8-70. 0x040D オートネゴシエーション エネルギー スレッショルド レジスタ

ビット	名称	タイプ	デフォルト	FUNCTION
15:5	予約済み	R/W	0000 0000 000	
4:0	オートネゴシエーション エネルギー スレッショルド値	R/W	0 1000	オートネゴシエーション中のエネ ルギー検出のスレッショルドを決定

表 8-71. 0x0410 DC 補正制御レジスタ

ビット	名称	タイプ	デフォルト	FUNCTION
15	予約済み	R/W	0	予約済み
14	固定 DC 補正を有効化	R/W	0	1 = DC 補正の固定値を有効化
13:0	予約済み	R/W	10 0000 0000 0000	

表 8-72. 0x0416 アナログ フィルタ制御レジスタ 1

ビット	名称	タイプ	デフォルト	FUNCTION
15:13	予約済み	R/W	000	予約済み
12:8	フィルタ 1 カットオフ	R/W	01000	フィルタ 1 のカットオフ周波数を制 御
7:0	予約済み	R/W	0111 0000	予約済み

表 8-73. 0x0418 アナログ イコライザ制御レジスタ

ビット	名称	タイプ	デフォルト	FUNCTION
15:14	予約済み	R/W	00	予約済み
13:8	アナログ イコライザ制御	R/W	0000 00	ショート シールド ケーブルに便利 なアナログ イコライザ制御

表 8-73. 0x0418 アナログ イコライザ制御レジスタ (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
7:0	予約済み	R/W	0000 0000	予約済み

表 8-74. 0x041F アナログ電力検出制御

ビット	名称	タイプ	デフォルト	FUNCTION
15:13	予約済み	R/W	000	予約済み
12	AVDD 検出を強制	R/W	0	3.3V として検出するように AVDD を強制 1 = 3.3V として検出するように AVDD を強制 0 = 内部回路が AVDD 電源レベルを検出
11:10	AVDDIO 検出を強制	R/W	00	3.3V として検出するように AVDDIO を強制 11 = 3.3V として検出するように AVDDIO を強制 00 = 内部回路が AVDDIO 電源レベルを検出
9:0	予約済み	R/W	00 0000 0000	予約済み

- A. 自動電源検出をバイパスする必要がある特定のアプリケーションでは、レジスタ 0x0421 と 0x041F を使用して特定の電源レベルをプログラムできます

表 8-75. 0x0421 アナログ電力検出ステータス

ビット	名称	タイプ	デフォルト	FUNCTION
15:3	予約済み	R	0	予約済み
2	AVDD レベル	R	3.3V AVDD の場合は 1 1.8V AVDD の場合は 0	AVDD レベル通知
1:0	VDDIO レベル	R	3.3V VDDIO では 11 1.8V VDDIO では 00 2.5V VDDIO では 01	VDDIO レベル通知

表 8-76. 0x0428 ディープ パワーダウン制御レジスタ (DPDWN)

ビット	名称	タイプ	デフォルト	FUNCTION
15:6	予約済み	R	0	予約済み

表 8-76. 0x0428 ディープ パワーダウン制御レジスタ (DPDWN) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
5	MSB 100Base-TX アイドル パターン	R/W	0	MSB 100Base-TX アイドル パターン: 100Base-TX テスト モードはビットにより決定されます (レジスタ 0x0428 の [5]、レジスタ 0x0027 の [3:0])。これらのビットにより、「1」の後に続く 0 の数が決まります。 0,0001 = 「1」の後に 1 個の「0」 0,0010 = 「1」の後に 2 個の「0」 0,0011 = 「1」の後に 3 個の「0」 0,0100 = 「1」の後に 4 個の「0」 0,0101 = 「1」の後に 5 個の「0」 0,0110 = 「1」の後に 6 個の「0」 0,0111 = 「1」の後に 7 個の「0」。 .. 1,1111 = 「1」の後に 31 個の「0」 0,0000 = シフトレジスタをクリア
4	100Base-TX アイドル パターン テスト モード	R/W	0	100Base-TX アイドル パターン テスト モード: 1 = 100Base-TX アイドル パターン有効 0 = 通常動作 有効化すると、100Base-TX アイドル パターンはレジスタ 0x0428 の bit[5]、レジスタ 0x0027 の bits[3:0] で決定されます。
3	ディープ パワーダウン速度	R/W	0	ディープ パワーダウン速度の選択: 1 = ディープ パワーダウンを終了するまでの 50ms の持続時間 0 = ディープ パワーダウンを終了するまでの 100ms の持続時間
2	ディープ パワーダウン イネーブル	R/W	0	ディープ パワーダウン有効化: 1 = ディープ パワーダウンがアクティブ 0 = 通常動作 注 設定されると、DP83822 はディープ パワーダウン モードに移行します。ディープ パワーダウン モードでは、レジスタ アクセス (レジスタ 0x0000 で bit[11] = 「1」を設定) または INT/PWDN_N ピンのいずれかを使用して、最初に IEEE パワーダウンを有効にする必要があります
1:0	予約済み	R/W	0	予約済み

表 8-77. 0x0450 DSP 構成レジスタ 6 (DSPCR6)

ビット	名称	タイプ	デフォルト	FUNCTION
15:14	予約済み	R/W	00	予約済み
13	イコライザ キャリブレーションのバイパス	R/W	0	1 = イコライザ キャリブレーションをバイパス
12:0	予約済み	R/W	0 0001 0100 0001	予約済み

表 8-78. 0x0456 一般構成レジスタ (GENCFG)

ビット	名称	タイプ	デフォルト	FUNCTION
15:4	予約済み	R/W	0	予約済み

表 8-78. 0x0456 一般構成レジスタ (GENCFG) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
3	最小 IPG イネーブル	R/W	1	最小 IPG イネーブル: 1 = 最小パケット間ギャップを有効化 (IPG を 120ns に設定) 0 = IPG を 0.20μs に設定 注: IPG < 200ns の条件は、MII MAC IF 構成で動作している場合にのみ使用する必要があります。
2:0	予約済み	R/W	0	予約済み

表 8-79. 0x0460 LED 構成レジスタ #1 (LEDCFG1)

ビット	名称	タイプ	デフォルト	FUNCTION
15:12	予約済み	R	0	予約済み
11:8	LED_1 制御	R/W	0101	LED_1 制御: LED_1 のソースを選択します。 0000 = LINK OK 0001 = RX/TX アクティビティ 0010 = TX アクティビティ 0011 = RX アクティビティ 0100 = 衝突 0101 = 速度、100Base-TX では High 0110 = 速度、10Base-Te では High 0111 = 全二重 1000 = LINK OK、TX/RX アクティビティでは点滅 1001 = アクティブ ストレッチ信号 1010 = MII リンク (100BT+FD) 1011 = LPI モード (EEE) 1100 = TX/RX MII エラー 1101 = リンク喪失 1110 = PRBS エラーでは点滅 1111 = 予約済み リンクが喪失すると、BMCR レジスタ (アドレス 0x0001) の読み取りが実行されるまで LED はオンのままです。 PRBS エラーで点滅し、シングル エラーでは LED がオンのままになり、BICSR1 レジスタ (アドレス 0x001B) がクリアされるまで保持されます。
7:4	LED_3 制御 (RX_D3)	R/W	0101	LED_3 制御: RX_D3 のソースを選択します。ソースの一覧については、bits[11:8] を参照してください。
3:0	予約済み	R/W	0001	予約済み

表 8-80. 0x0461 IO MUX GPIO 制御レジスタ (IOCTRL)

ビット	名称	タイプ	デフォルト	FUNCTION
15:5	予約済み	R/W	0000 0100 000	予約済み

表 8-80. 0x0461 IO MUX GPIO 制御レジスタ (IOCTRL) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
4:1	MAC インピーダンス制御	R/W	1 000	MAC インピーダンス制御: MAC インターフェイスのインピーダンス制御により、MAC RX I/O の直列終端が設定されます。 0 000 = 99.25Ω 0 001 = 91.13Ω 0 010 = 84.24Ω 0 011 = 78.31Ω 0 100 = 73.17Ω 0 101 = 68.65Ω 0 110 = 64.66Ω 0 111 = 61.11Ω 1 000 = 58.07Ω (デフォルト設定) 1 001 = 55.18Ω 1 010 = 52.57Ω 1 011 = 50.20Ω 1 100 = 48.03Ω 1 101 = 46.04Ω 1 110 = 44.20Ω 1 111 = 42.51Ω
0	予約済み	R/W	0	予約済み

表 8-81. 0x0462 IO MUX GPIO 制御レジスタ #1 (IOCTRL1)

ビット	名称	タイプ	デフォルト	FUNCTION
15	予約済み	R	0	予約済み
14:12	RX_D3/GPIO_3 クロック ソース	R/W	000	クロック ソース: RX_D3 が bits[10:8] のクロック ソースとして構成されている場合、次のフィールドによりリファレンスが決定されます 000 = MAC IF クロック 001 = XI クロック (XI ピンからのパススルー クロック) 010 = 内部リファレンス クロック:25MHz 011 = 予約済み 100 = RMII リーダー モードリファレンス クロック:50MHz 101 = 予約済み 110 = フリー ランニング クロック:125MHz 111 = 再生クロック:125MHz MAC IF クロック:MII モード、クロック周波数は 25MHz、RMII モード、クロック周波数は 50MHz、RGMII モード、クロック周波数は 25MHz。 RMII リーダー モードリファレンス クロック:RMII リーダー モードの MAC IF クロックと同じ。
11	予約済み	R	0	予約済み

表 8-81. 0x0462 IO MUX GPIO 制御レジスタ #1 (IOCTRL1) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
10:8	RX_D3/GPIO_3 制御	R/W	000	RX_D3 GPIO 構成: 000 = 通常動作 001 = LED_3 (デフォルト:速度、100Base-TX の場合 High) 010 = WoL 011 = bits[14:12] に基づくクロック リファレンス 100 = IEEE 1588 TX 通知 101 = IEEE 1588 RX 通知 110 = 常に「0」 111 = 常に「1」
7	予約済み	R	0	予約済み
6:4	LED_1/GPIO_1 クロック ソース	R/W	000	クロック ソース: LED_1 が bits[2:0] のクロック ソースとして構成されている場合、次のフィールドによりリファレンスが決定されます 000 = MAC IF クロック 001 = XI クロック (XI ピンからのパススルー クロック) 010 = 内部リファレンス クロック:25MHz 011 = 予約済み 100 = RMII リーダー モードリファレンス クロック:50MHz 101 = 予約済み 110 = フリー ランニング クロック:125MHz 111 = 再生クロック:125MHz MAC IF クロック:MII モード、クロック周波数は 25MHz、RMII モード、クロック周波数は 50MHz、RGMII モード、クロック周波数は 25MHz。 RMII リーダー モードリファレンス クロック:RMII リーダー モードの MAC IF クロックと同じです。
3	予約済み	R	0	予約済み
2:0	LED_1/GPIO_1 制御	R/W, RH	000	LED_1 GPIO 構成: 000 = トライステート 001 = LED_1 (デフォルト:速度、100Base-TX の場合 High) 010 = WoL 011 = bits[6:4] に基づくクロック リファレンス 100 = IEEE 1588 TX 通知 101 = IEEE 1588 RX 通知 110 = 常に「0」 111 = 常に「1」

表 8-82. 0x0463 IO MUX GPIO 制御レジスタ #2 (IOCTRL2)

ビット	名称	タイプ	デフォルト	FUNCTION
15:7	予約済み	R	0	予約済み

表 8-82. 0x0463 IO MUX GPIO 制御レジスタ #2 (IOCTRL2) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
6:4	COL/GPIO_2 クロック ソース	R/W	000	クロック ソース: COL が bits[2:0] のクロック ソースとして構成されている場合、次のフィールドによりリファレンスが決定されます 000 = MAC IF クロック 001 = XI クロック (XI ピンからのパススルー クロック) 010 = 内部リファレンス クロック: 25MHz 011 = 予約済み 100 = RMII リーダー モード リファレンス クロック: 50MHz 101 = 予約済み 110 = フリー ランニング クロック: 125MHz 111 = 再生クロック: 125MHz MAC IF クロック: MII モード、クロック周波数は 25MHz、RMII モード、クロック周波数は 50MHz、RGMII モード、クロック周波数は 25MHz。 RMII リーダー モード リファレンス クロック: RMII リーダー モードの MAC IF クロックと同じです。
3	予約済み	R	0	予約済み
2:0	COL/GPIO_2 制御	R/W	000	COL GPIO 構成: 000 = 通常動作 001 = MLED (レジスタ 0x0025) 010 = WoL 011 = bits[6:4] に基づくクロック リファレンス 100 = IEEE 1588 TX 通知 101 = IEEE 1588 RX 通知 110 = 常に「0」 111 = 常に「1」

表 8-83. 0x0465 ファイバー一般設定レジスタ (FIBER GENCFG)

ビット	名称	タイプ	デフォルト	FUNCTION
15:1	予約済み	R/W	1111 1111 0000 000	予約済み
0	100Base-FX 信号検出の極性	R/W	0	100Base-FX 信号検出の極性: 1 = 信号検出はアクティブ LOW 0 = 信号検出はアクティブ HIGH アクティブ HIGH に設定すると、SD ピンが LOW 状態 (SD = 「0」) を検出しリンクドロップが発生します。 アクティブ LOW に設定すると、SD ピンが HIGH 状態 (SD = 「1」) を検出しリンクドロップが発生します。 注: LED_1 (ピン番号 24) で 100Base-FX 信号検出を有効にするには、SD_EN = 「1」に設定します。

表 8-84. 0x0467 ストラップ ラッチイン レジスタ #1 (SOR1)

ビット	名称	タイプ	デフォルト	FUNCTION
15:14	RX_D1 ストラップ モード	R, RH	00	RX_D1 ストラップ モード: 00 = モード 1 01 = モード 2 10 = モード 3 11 = モード 4 PHY 構成の詳細については、データシートのストラップ セクションを参照してください。 注: ビット値 (「00」、「01」、「10」、「11」) はストラップ モードを示すためだけに使用され、データシートのストラップ セクション内の定義と同じビット シーケンスを反映していません。
13:12	RX_D0 ストラップ モード	R, RH	00	RX_D0 ストラップ モード: このレジスタの bits[15:14] の定義と同じリファレンスを使用します。
11:10	COL ストラップ モード	R, RH	11	COL ストラップ モード: このレジスタの bits[15:14] の定義と同じリファレンスを使用します。
9:8	RX_ER ストラップ モード	R, RH	11	RX_ER ストラップ モード: このレジスタの bits[15:14] の定義と同じリファレンスを使用します。
7:6	CRS ストラップ モード	R, RH	11	CRS ストラップ モード: このレジスタの bits[15:14] の定義と同じリファレンスを使用します。
5:4	RX_DV ストラップ モード	R, RH	00	RX_DV ストラップ モード: このレジスタの bits[15:14] の定義と同じリファレンスを使用します。
3:2	予約済み	R	00	予約済み
1:0	LED_0 ストラップ モード	R, RH	11	LED_0 ストラップ モード: 00 = モード 1 01 = 予約済み 10 = 予約済み 11 = モード 4 PHY 構成の詳細については、データシートのストラップ セクションを参照してください。 注: ビット値 (「00」、「01」、「10」、「11」) はストラップ モードを示すためだけに使用され、データシートのストラップ セクション内の定義と同じビット シーケンスを反映していません。

表 8-85. 0x0468 ストラップ ラッチイン レジスタ #2 (SOR2)

ビット	名称	タイプ	デフォルト	FUNCTION
15:4	予約済み	R	0	予約済み
3:2	RX_D3 ストラップ モード	R, RH	00	RX_D3 ストラップ モード: レジスタ 0x0467 の bits[15:14] の定義と同じリファレンスを使用します。
1:0	RX_D2 ストラップ モード	R, RH	00	RX_D2 ストラップ モード: レジスタ 0x0467 の bits[15:14] の定義と同じリファレンスを使用します。

表 8-86. 0x0469 LED 構成レジスタ #2 (LEDCFG2)

ビット	名称	タイプ	デフォルト	FUNCTION
15:11	予約済み	R	0	予約済み

表 8-86. 0x0469 LED 構成レジスタ #2 (LEDCFG2) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
10	LED_1 極性	R/W	0	LED_1 極性: 1 = アクティブ High 0 = アクティブ Low 値は LED_1 ピンのプル構成に依存します。
9	LED_1 強制オーバーライド値	R/W	0	LED_1 強制オーバーライド値: 1 = LED_1 を High に強制 0 = LED_1 を Low に強制
8	LED_1 強制オーバーライド イネーブル	R/W	0	LED_1 強制オーバーライド イネーブル: 1 = 強制オーバーライドを有効化 0 = 強制オーバーライドを無効化 イネーブルの場合、このレジスタの bit[9] によって LED_1 の状態が決定されます。
7	予約済み	R	0	予約済み
6	LED_3 極性	R/W	1	LED_3 極性: 1 = アクティブ High 0 = アクティブ Low
5	LED_3 強制オーバーライド値	R/W	0	LED_3 強制オーバーライド値: 1 = RX_D3 を High に強制 0 = RX_D3 を Low に強制
4	LED_3 強制オーバーライド イネーブル	R/W	0	LED_3 強制オーバーライド イネーブル: 1 = 強制オーバーライドを有効化 0 = 強制オーバーライドを無効化 イネーブルの場合、このレジスタの bit[5] によって RX_D3 の状態が決定されます。
3:0	予約済み	R	0	予約済み

表 8-87. 0x04A0 受信構成レジスタ (RXFCFG)

ビット	名称	タイプ	デフォルト	FUNCTION
15:14	ビット ニブル スワップ	R/W	00	ビット ニブル スワップ: 00 = 通常順序、スワップなし (RXD[3:0]) 01 = ビット順序をスワップ (RXD[0:3]) 10 = ニブル順序をスワップ (RXD[3:0], RXD[7:4]) 11 = 各ニブルでビット順序をスワップ (RXD[4:7], RXD[0:3])
13	SFD バイト	R/W	0	SFD バイト検索: 1 = SFD は 0x5D (つまり、受信モジュールは 0x5D を検索) 0 = SFD = 0xD5 (つまり、受信モジュールは 0xD5 を検索)
12	CRC ゲート	R/W	1	CRC ゲート: 1 = 好ましくない CRC がマジック パケットおよびパターンの通知を開閉 0 = 好ましくない CRC はマジック パケットまたはパターンの通知を開閉しない マジック パケットに不良 CRC が含まれている場合、イネーブル時は表示 (ステータス、割り込み、GPIO) はありません。
11	WoL レベル変化表示クリア	W、 RH/W1S	0	WoL レベル変化表示クリア: WoL 表示がレベル変化モードに設定されている場合、このビットは書き込み時にレベルをクリアします。

表 8-87. 0x04A0 受信構成レジスタ (RXFCFG) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
10:9	WoL パルス表示の選択	R/W	00	WoL パルス表示の選択: WoL 表示がパルス モードに設定されている場合のみ有効です。 00 = 8 クロック サイクル (125MHz クロック) 01 = 16 クロック サイクル 10 = 32 クロック サイクル 11 = 64 クロック サイクル
8	WoL 表示の選択	R/W	0	WoL 表示の選択: 1 = レベル変更モード 0 = パルス モード
7	WoL イネーブル	R/W	0	WoL イネーブル: 1 = Wake-on-LAN (WoL) を有効化 0 = 通常動作
6	ビット マスク フラグ	R/W	0	ビット マスク フラグ
5	Secure-ON イネーブル	R/W	0	マジック パケットの Secure-ON パスワードを有効化
4:2	予約済み	R/W	0	予約済み
1	WoL パターン イネーブル	R/W	0	パターンが構成されたパケットの受信時の割り込みを有効化
0	WoL マジック パケット イネーブル	R/W	0	マジック パケット受信時の割り込みを有効化

表 8-88. 0x04A1 受信ステータス レジスタ (RXFS)

ビット	名称	タイプ	デフォルト	FUNCTION
15:13	予約済み	R	0	予約済み
12	WoL 割り込みソース	R/W	0	WoL 割り込みソース: レジスタ 0x0013 の bit[1] の割り込みソース。 1 = WoL 割り込み 0 = データ極性割り込み WoL を有効化すると、このビットは自動的に WoL 割り込みに設定されます。
11:8	予約済み	R	0	予約済み
7	SFD 誤差	R, RC, RH/W1S	0	SFD エラー: 1 = SFD エラーのあるパケット 0 = SFD エラーなし
6	不良 CRC	R, RC, RH/W1S	0	不良 CRC: 1 = 好ましくない CRC を受信 0 = 好ましくない CRC の受信なし
5	Secure-ON ハック フラグ	R, RC, RH/W1S	0	Secure-ON ハック フラグ: 1 = マジック パケットで無効なパスワードを検出 0 = 有効な Secure-ON パスワード
4:2	予約済み	R, RC, RH/W1S	0	予約済み
1	WoL パターン ステータス	R, RC, RH/W1S	0	WoL パターン ステータス: 1 = 構成済みパターンを持つ有効なパケットを受信 0 = 構成済みパターンを持つ有効なパケットの受信なし

表 8-88. 0x04A1 受信ステータス レジスタ (RXFS) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
0	WoL マジック パケット ステータス	R、RC、RH/W1S	0	WoL マジック パケット ステータス: 1 = 有効なマジック パケットを受信 0 = 有効なマジック パケットの受信なし

表 8-89. 0x04A2 受信完全一致データ レジスタ #1 (RXFPMD1)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	MAC 宛先アドレス バイト 4	R/W	0	完全一致データ: MAC 宛先アドレスに構成されている
7:0	MAC 宛先アドレス バイト 5	R/W	0	完全一致データ: MAC 宛先アドレスに構成されている

表 8-90. 0x04A3 受信完全一致データ レジスタ #2 (RXFPMD2)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	MAC 宛先アドレス バイト 2	R/W	0	完全一致データ: MAC 宛先アドレスに構成されている
7:0	MAC 宛先アドレス バイト 3	R/W	0	完全一致データ: MAC 宛先アドレスに構成されている

表 8-91. 0x04A4 受信完全一致データ レジスタ #3 (RXFPMD3)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	MAC 宛先アドレス バイト 0	R/W	0	完全一致データ: MAC 宛先アドレスに構成されている
7:0	MAC 宛先アドレス バイト 1	R/W	0	完全一致データ: MAC 宛先アドレスに構成されている

表 8-92. 0x04A5 受信 Secure-ON パスワード レジスタ #1 (RXFSOP1)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	Secure-ON パスワード バイト 1	R/W	0	Secure-ON パスワードの選択: マジック パケットの Secure-ON パスワード
7:0	Secure-ON パスワード バイト 0	R/W	0	Secure-ON パスワードの選択: マジック パケットの Secure-ON パスワード

表 8-93. 0x04A6 受信 Secure-ON パスワード レジスタ #2 (RXFSOP2)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	Secure-ON パスワード バイト 3	R/W	0	Secure-ON パスワードの選択: マジック パケットの Secure-ON パスワード
7:0	Secure-ON パスワード バイト 2	R/W	0	Secure-ON パスワードの選択: マジック パケットの Secure-ON パスワード

表 8-94. 0x04A7 受信 Secure-ON パスワード レジスタ #3 (RXFSOP3)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	Secure-ON パスワード バイト 5	R/W	0	Secure-ON パスワードの選択: マジック パケットの Secure-ON パスワード

表 8-94. 0x04A7 受信 Secure-ON パスワード レジスタ #3 (RXFSOP3) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
7:0	Secure-ON パスワード バイト 4	R/W	0	Secure-ON パスワードの選択: マジック パケットの Secure-ON パスワード

表 8-95. 0x04A8 受信パターン レジスタ #1 (RXFPAT1)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 1	R/W	0	パターン構成: パターンのバイト 1 を構成
7:0	パターン バイト 0	R/W	0	パターン構成: パターンのバイト 0 を構成

表 8-96. 0x04A9 受信パターン レジスタ #2 (RXFPAT2)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 3	R/W	0	パターン構成: パターンのバイト 3 を構成
7:0	パターン バイト 2	R/W	0	パターン構成: パターンのバイト 2 を構成

表 8-97. 0x04AA 受信パターン レジスタ #3 (RXFPAT3)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 5	R/W	0	パターン構成: パターンのバイト 5 を構成
7:0	パターン バイト 4	R/W	0	パターン構成: パターンのバイト 4 を構成

表 8-98. 0x04AB 受信パターン レジスタ #4 (RXFPAT4)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 7	R/W	0	パターン構成: パターンのバイト 7 を構成
7:0	パターン バイト 6	R/W	0	パターン構成: パターンのバイト 6 を構成

表 8-99. 0x04AC 受信パターン レジスタ #5 (RXFPAT5)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 9	R/W	0	パターン構成: パターンのバイト 9 を構成
7:0	パターン バイト 8	R/W	0	パターン構成: パターンのバイト 8 を構成

表 8-100. 0x04AD 受信パターン レジスタ #6 (RXFPAT6)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 11	R/W	0	パターン構成: パターンのバイト 11 を構成
7:0	パターン バイト 10	R/W	0	パターン構成: パターンのバイト 10 を構成

表 8-101. 0x04AE 受信パターン レジスタ #7 (RXFPAT7)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 13	R/W	0	パターン構成: パターンのバイト 13 を構成
7:0	パターン バイト 12	R/W	0	パターン構成: パターンのバイト 12 を構成

表 8-102. 0x04AF 受信パターン レジスタ #8 (RXFPAT8)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 15	R/W	0	パターン構成: パターンのバイト 15 を構成
7:0	パターン バイト 14	R/W	0	パターン構成: パターンのバイト 14 を構成

表 8-103. 0x04B0 受信パターン レジスタ #9 (RXFPAT9)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 17	R/W	0	パターン構成: パターンのバイト 17 を構成
7:0	パターン バイト 16	R/W	0	パターン構成: パターンのバイト 16 を構成

表 8-104. 0x04B1 受信パターン レジスタ #10 (RXFPAT10)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 19	R/W	0	パターン構成: パターンのバイト 19 を構成
7:0	パターン バイト 18	R/W	0	パターン構成: パターンのバイト 18 を構成

表 8-105. 0x04B2 受信パターン レジスタ #11 (RXFPAT11)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 21	R/W	0	パターン構成: パターンのバイト 21 を構成
7:0	パターン バイト 20	R/W	0	パターン構成: パターンのバイト 20 を構成

表 8-106. 0x04B3 受信パターン レジスタ #12 (RXFPAT12)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 23	R/W	0	パターン構成: パターンのバイト 23 を構成
7:0	パターン バイト 22	R/W	0	パターン構成: パターンのバイト 22 を構成

表 8-107. 0x04B4 受信パターン レジスタ #13 (RXFPAT13)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 25	R/W	0	パターン構成: パターンのバイト 25 を構成

表 8-107. 0x04B4 受信パターン レジスタ #13 (RXFPAT13) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
7:0	パターン バイト 24	R/W	0	パターン構成: パターンのバイト 24 を構成

表 8-108. 0x04B5 受信パターン レジスタ #14 (RXFPAT14)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 27	R/W	0	パターン構成: パターンのバイト 27 を構成
7:0	パターン バイト 26	R/W	0	パターン構成: パターンのバイト 26 を構成

表 8-109. 0x04B6 受信パターン レジスタ #15 (RXFPAT15)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 29	R/W	0	パターン構成: パターンのバイト 29 を構成
7:0	パターン バイト 28	R/W	0	パターン構成: パターンのバイト 28 を構成

表 8-110. 0x04B7 受信パターン レジスタ #16 (RXFPAT16)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 31	R/W	0	パターン構成: パターンのバイト 31 を構成
7:0	パターン バイト 30	R/W	0	パターン構成: パターンのバイト 30 を構成

表 8-111. 0x04B8 受信パターン レジスタ #17 (RXFPAT17)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 33	R/W	0	パターン構成: パターンのバイト 33 を構成
7:0	パターン バイト 32	R/W	0	パターン構成: パターンのバイト 32 を構成

表 8-112. 0x04B9 受信パターン レジスタ #18 (RXFPAT18)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 35	R/W	0	パターン構成: パターンのバイト 35 を構成
7:0	パターン バイト 34	R/W	0	パターン構成: パターンのバイト 34 を構成

表 8-113. 0x04BA 受信パターン レジスタ #19 (RXFPAT19)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 37	R/W	0	パターン構成: パターンのバイト 37 を構成
7:0	パターン バイト 36	R/W	0	パターン構成: パターンのバイト 36 を構成

表 8-114. 0x04BB 受信パターン レジスタ #20 (RXFPAT20)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 39	R/W	0	パターン構成: パターンのバイト 39 を構成
7:0	パターン バイト 38	R/W	0	パターン構成: パターンのバイト 38 を構成

表 8-115. 0x04BC 受信パターン レジスタ #21 (RXFPAT21)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 41	R/W	0	パターン構成: パターンのバイト 41 を構成
7:0	パターン バイト 40	R/W	0	パターン構成: パターンのバイト 40 を構成

表 8-116. 0x04BD 受信パターン レジスタ #22 (RXFPAT22)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 43	R/W	0	パターン構成: パターンのバイト 43 を構成
7:0	パターン バイト 42	R/W	0	パターン構成: パターンのバイト 42 を構成

表 8-117. 0x04BE 受信パターン レジスタ #23 (RXFPAT23)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 45	R/W	0	パターン構成: パターンのバイト 45 を構成
7:0	パターン バイト 44	R/W	0	パターン構成: パターンのバイト 44 を構成

表 8-118. 0x04BF 受信パターン レジスタ #24 (RXFPAT24)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 47	R/W	0	パターン構成: パターンのバイト 47 を構成
7:0	パターン バイト 46	R/W	0	パターン構成: パターンのバイト 46 を構成

表 8-119. 0x04C0 受信パターン レジスタ #25 (RXFPAT25)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 49	R/W	0	パターン構成: パターンのバイト 49 を構成
7:0	パターン バイト 48	R/W	0	パターン構成: パターンのバイト 48 を構成

表 8-120. 0x04C1 受信パターン レジスタ #26 (RXFPAT26)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 51	R/W	0	パターン構成: パターンのバイト 51 を構成

表 8-120. 0x04C1 受信パターン レジスタ #26 (RXFPAT26) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
7:0	パターン バイト 50	R/W	0	パターン構成: パターンのバイト 50 を構成

表 8-121. 0x04C2 受信パターン レジスタ #27 (RXFPAT27)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 53	R/W	0	パターン構成: パターンのバイト 53 を構成
7:0	パターン バイト 52	R/W	0	パターン構成: パターンのバイト 52 を構成

表 8-122. 0x04C3 受信パターン レジスタ #28 (RXFPAT28)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 55	R/W	0	パターン構成: パターンのバイト 55 を構成
7:0	パターン バイト 54	R/W	0	パターン構成: パターンのバイト 54 を構成

表 8-123. 0x04C4 受信パターン レジスタ #29 (RXFPAT29)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 57	R/W	0	パターン構成: パターンのバイト 57 を構成
7:0	パターン バイト 56	R/W	0	パターン構成: パターンのバイト 56 を構成

表 8-124. 0x04C5 受信パターン レジスタ #30 (RXFPAT30)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 59	R/W	0	パターン構成: パターンのバイト 59 を構成
7:0	パターン バイト 58	R/W	0	パターン構成: パターンのバイト 58 を構成

表 8-125. 0x04C6 受信パターン レジスタ #31 (RXFPAT31)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 61	R/W	0	パターン構成: パターンのバイト 61 を構成
7:0	パターン バイト 60	R/W	0	パターン構成: パターンのバイト 60 を構成

表 8-126. 0x04C7 受信パターン レジスタ #32 (RXFPAT32)

ビット	名称	タイプ	デフォルト	FUNCTION
15:8	パターン バイト 63	R/W	0	パターン構成: パターンのバイト 63 を構成
7:0	パターン バイト 62	R/W	0	パターン構成: パターンのバイト 62 を構成

表 8-127. 0x04C8 受信パターン バイト マスク レジスタ #1 (RXFPBM1)

ビット	名称	タイプ	デフォルト	FUNCTION
15:0	0 ~ 15 バイトをマスク	R/W	0	パターン バイト マスク構成: 0 ~ 15 バイトのマスクを構成します。 各バイトの「1」は、バイトがマスクされていることを意味します。

表 8-128. 0x04C9 受信パターン バイト マスク レジスタ #2 (RXFPBM2)

ビット	名称	タイプ	デフォルト	FUNCTION
15:0	16 ~ 31 バイトをマスク	R/W	0	パターン バイト マスク構成: 16 ~ 31 バイトのマスクを構成します。 各バイトの「1」は、バイトがマスクされていることを意味します。

表 8-129. 0x04CA 受信パターン バイト マスク レジスタ #3 (RXFPBM3)

ビット	名称	タイプ	デフォルト	FUNCTION
15:0	32 ~ 47 バイトをマスク	R/W	0	パターン バイト マスク構成: 32 ~ 47 バイトのマスクを構成します。 各バイトの「1」は、バイトがマスクされていることを意味します。

表 8-130. 0x04CB 受信パターン バイト マスク レジスタ #4 (RXFPBM4)

ビット	名称	タイプ	デフォルト	FUNCTION
15:0	48 ~ 63 バイトをマスク	R/W	0	パターン バイト マスク構成: 48 ~ 63 バイトのマスクを構成します。 各バイトの「1」は、バイトがマスクされていることを意味します。

表 8-131. 0x04CC 受信パターン制御レジスタ (RXFPATC)

ビット	名称	タイプ	デフォルト	FUNCTION
15:6	予約済み	R	0	予約済み
5:0	パターン開始ポイント	R/W	01100	パターン開始ポイント: SFD の後、RX パケットと構成済みパターンとの比較を開始する位置までの バイト数です。 00000 = SFD 後の最初のバイトで比較を開始 00001 = SFD 後の 2 番目のバイトで比較を開始 ... 01100 = 13 番目のバイトで比較開始 (デフォルト) デフォルト設定は 0xC です。これは、各アドレスが 6 バイトであるため、ソー ス アドレスと宛先アドレスの後にパターン比較が開始されることを意味しま す。

表 8-132. 0x04D0 省電力型イーサネット構成レジスタ #2 (EEECFG2)

ビット	名称	タイプ	デフォルト	FUNCTION
15	予約済み	R	0	予約済み
14	LPI 要求の TX_ER	R/W	0	LPI 要求の TX_ER: 1 = LPI 要求に TX_ER を使用 0 = LPI 要求に TX_ER を使用しない
13:7	予約済み	R	00 0011 0	予約済み

表 8-132. 0x04D0 省電力型イーサネット構成レジスタ #2 (EEECFG2) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
6:5	TX_ER ピンの選択	R/W	00	TX_ER ピンの選択: 00 = ピンの選択なし 01 = INT/PWDN_N 10 = COL/GPIO 11 = ピンの選択なし
4:0	予約済み	R	0 0010	予約済み

表 8-133. 0x04D1 省電力型イーサネット構成レジスタ #2 (EEECFG3)

ビット	名称	タイプ	デフォルト	FUNCTION
15:4	予約済み	R/W	0000 0001 1000	予約済み
3	EEE 機能バイパス	R/W	1	EEE アダプタイズ バイパス: 1 = bit[0] により EEE オートネゴシエーション能力を決定 0 = MMD3 と MMD7 により EEE のオートネゴシエーション能力を決定 オートネゴシエーション中の EEE アダプタイズメントは、次ページレジスタ (MMD7 のレジスタ 0x003C およびレジスタ 0x003D) ではなく、レジスタ 0x04D1 の bit[0] によって決定されるようにします。
2	EEE 次ページの無効化	R/W	0	EEE 次ページの無効化: 1 = EEE 次ページの受信がディスエーブル 0 = EEE 次ページの受信がイネーブル
1	EEE RX パスのシャットダウン	R/W	1	EEE RX パスのシャットダウン: 1 = LPI_QUIET でのアナログ RX パスのシャットダウンを有効化 0 = アナログ RX パスは LPI_QUIET 中にアクティブ
0	EEE 機能イネーブル	R/W、RH	1	EEE 機能イネーブル: 1 = PHY が EEE 機能をサポート 0 = PHY は EEE 機能をサポートしない イネーブルの場合、MMD7 のレジスタ 0x003C とレジスタ 0x003D で定義されているように、オートネゴシエーションが EEE とネゴシエートします。 ディスエーブルの場合、MMD3 のレジスタ 0x0014、MMD7 のレジスタ 0x003C と 0x003D は無視されます。 EEE を無効化するには、ビットに 0 を書き込む必要があります (ストラップを使用するかに関係なく)。

表 8-134. 0x04D4 TLOOP 帯域幅制御レジスタ 1 (TLBCR1)

ビット	名称	タイプ	デフォルト	FUNCTION
15:0	予約済み	R/W	0111 0010 0010 0000	予約済み

表 8-135. 0x04D5 TLOOP 帯域幅制御レジスタ 2 (TLBCR2)

ビット	名称	タイプ	デフォルト	FUNCTION
15:0	予約済み	R/W	1111 1011 1100 0001	予約済み

表 8-136. 0x04D6 TLOOP 帯域幅制御レジスタ 3 (TLBCR3)

ビット	名称	タイプ	デフォルト	FUNCTION
15:0	予約済み	R/W	0000 0001 1100 0001	予約済み

表 8-137. 0x3000 MMD3 PCS 制御レジスタ #1 (MMD3_PCS_CTRL_1)

ビット	名称	タイプ	デフォルト	FUNCTION
15	PCS のリセット	R/W, W1S	0	PCS リセット: 1 = MMD3、MMD7、PCS レジスタのソフトリセット 0 = 通常動作 リセットにより、MMD3、MMD7、PCS レジスタがクリアされます。リセットでは、ベンダ固有のレジスタ (DEVAD = 31) はクリアされません。
14:11	予約済み	R	000 0	予約済み
10	RX クロック停止可能	R/W	1	RX クロック停止可能: 1 = LPI 中に受信クロックを停止可能 0 = 受信クロックを停止できない
9:0	予約済み	R	00 0000 0000	予約済み

表 8-138. 0x3001 MMD3 PCS ステータス レジスタ #1 (MMD3_PCS_STATUS_1)

ビット	名称	タイプ	デフォルト	FUNCTION
15:12	予約済み	R	0	予約済み
11	TX LPI 受信済み	R	0	TX LPI 受信済み: 1 = TX PCS が LPI を受信 0 = LPI の受信なし
10	RX LPI 受信済み	R	0	RX LPI 受信済み: 1 = RX PCS が LPI を受信 0 = LPI の受信なし
9	TX LPI インジケーション	R	0	TX LPI インジケーション: 1 = TX PCS は現在 LPI を受信 0 = TX PCS は現在 LPI を受信していない
8	RX LPI インジケーション	R	0	RX LPI インジケーション: 1 = RX PCS は現在 LPI を受信 0 = RX PCS は現在 LPI を受信していない
7	予約済み	R	0	予約済み
6	TX クロック停止可能	R	1	TX クロック停止可能: 1 = MAC は LPI 中にクロック停止可能 0 = TX クロックを停止できない
5:0	予約済み	R	0	予約済み

表 8-139. 0x3014 MMD3 省電力型イーサネット機能レジスタ (MMD3_EEE_CAPABILITY)

ビット	名称	タイプ	デフォルト	FUNCTION
15:3	予約済み	R	0	予約済み
2	EEE 1Gbps 有効	R	0	EEE 1Gbps の有効化: 1 = 1000Base-T で EEE をサポート 0 = 1000Base-T で EEE がサポートされない

表 8-139. 0x3014 MMD3 省電力型イーサネット機能レジスタ (MMD3_EEE_CAPABILITY) (続き)

ビット	名称	タイプ	デフォルト	FUNCTION
1	EEE 100Mbps 有効	R	1	EEE 100Mbps の有効化: 1 = 100Base-TX で EEE をサポート 0 = 100Base-TX で EEE がサポートされない
0	予約済み	R	0	予約済み

表 8-140. 0x3016 MMD3 ウェーク エラー カウンタ レジスタ (MMD3_WAKE_ERR_CNT)

ビット	名称	タイプ	デフォルト	FUNCTION
15:0	EEE ウェーク エラー カウンタ	R, RC	0	EEE ウェーク エラー カウンタ: このレジスタは、特定の PHY タイプに必要な時間内に PHY が通常のウェークシーケンスを完了できなかったウェーク時間障害をカウントします。 このカウンタは読み取り後にクリアされ、オーバーフロー発生時はすべて 1 に保持されます。PCS リセットはこのレジスタもクリアします。

表 8-141. 0x703C MMD7 省電力型イーサネット アドバタイズメント レジスタ (MMD7_EEE_ADVERTISEMENT)

ビット	名称	タイプ	デフォルト	FUNCTION
15:2	予約済み	R	0	予約済み
1	100Base-TX EEE をアドバタイズ	R/W, RH	1	100Base-TX EEE をアドバタイズ: 1 = 省電力イーサネットが 100Base-TX にアドバタイズされる 0 = 省電力イーサネットはアドバタイズされない
0	予約済み	R	0	予約済み

表 8-142. 0x703D MMD7 省電力型イーサネット リンク パートナー 機能レジスタ (MMD7_EEE_LP_ABILITY)

ビット	名称	タイプ	デフォルト	FUNCTION
15:2	予約済み	R	0	予約済み
1	リンク パートナー EEE 機能	R	0	リンク パートナー EEE 機能: 1 = リンク パートナーは 100Base-TX の EEE 機能をアドバタイズ 0 = リンク パートナーは 100Base-TX の EEE 機能をアドバタイズしない
0	予約済み	R	0	予約済み

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

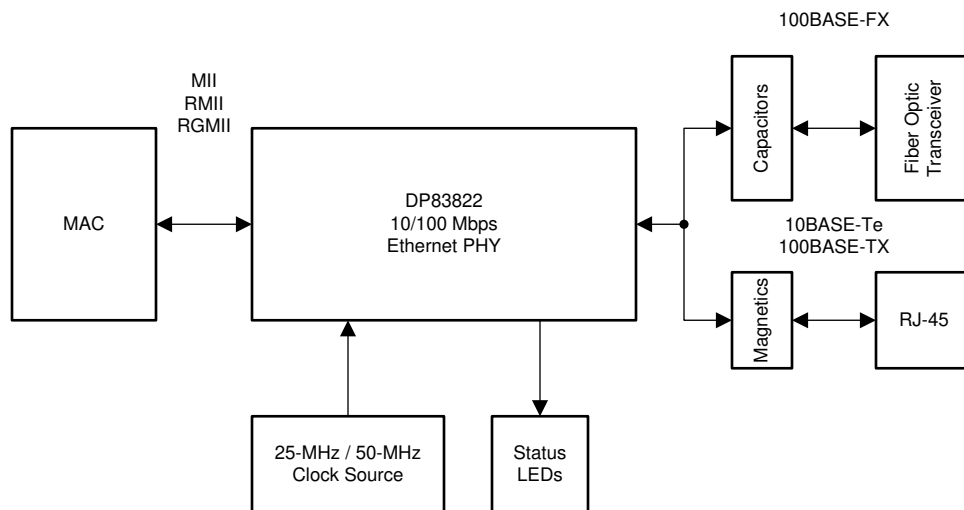
9.1 使用上の注意

DP83822 は、シングル ポートの 10/100Mbps イーサネット PHY で、MII、RMII、または RGMII によるイーサネット MAC への接続をサポートしています。イーサネット メディアへの接続は、IEEE 802.3 で定義されたメディア依存インターフェイスを介して行われます。

デバイスをイーサネット アプリケーションに使用する場合、通常動作を維持するために特定の要件を満たす必要があります。以下のサブセクションは、適切な部品選択と必要な回路の接続に役立つことを目的としています。

9.2 代表的なアプリケーション

図 9-1 は DP83822 の代表的なアプリケーションを示しています。このセクションでは、より代表的なアプリケーション例を示しています。



Copyright © 2016, Texas Instruments Incorporated

図 9-1. DP83822 の代表的なアプリケーション

9.2.1 TPI ネットワーク回路

図 9-2 に、10/100Mbps の推奨ツイストペア インターフェイス ネットワーク回路を示します。PCB および部品の特性によって異なるため、アプリケーションをテストして、回路が目的のアプリケーションの要件を満たしていることを確認する必要があります。

トランスのセンター タップは、トランスの近くにデカップリング コンデンサを使用して、アナログ電源レール (AVD) に接続する必要があります。すべての抵抗とコンデンサは、デバイスに可能な限り近づけて配置する必要があります。

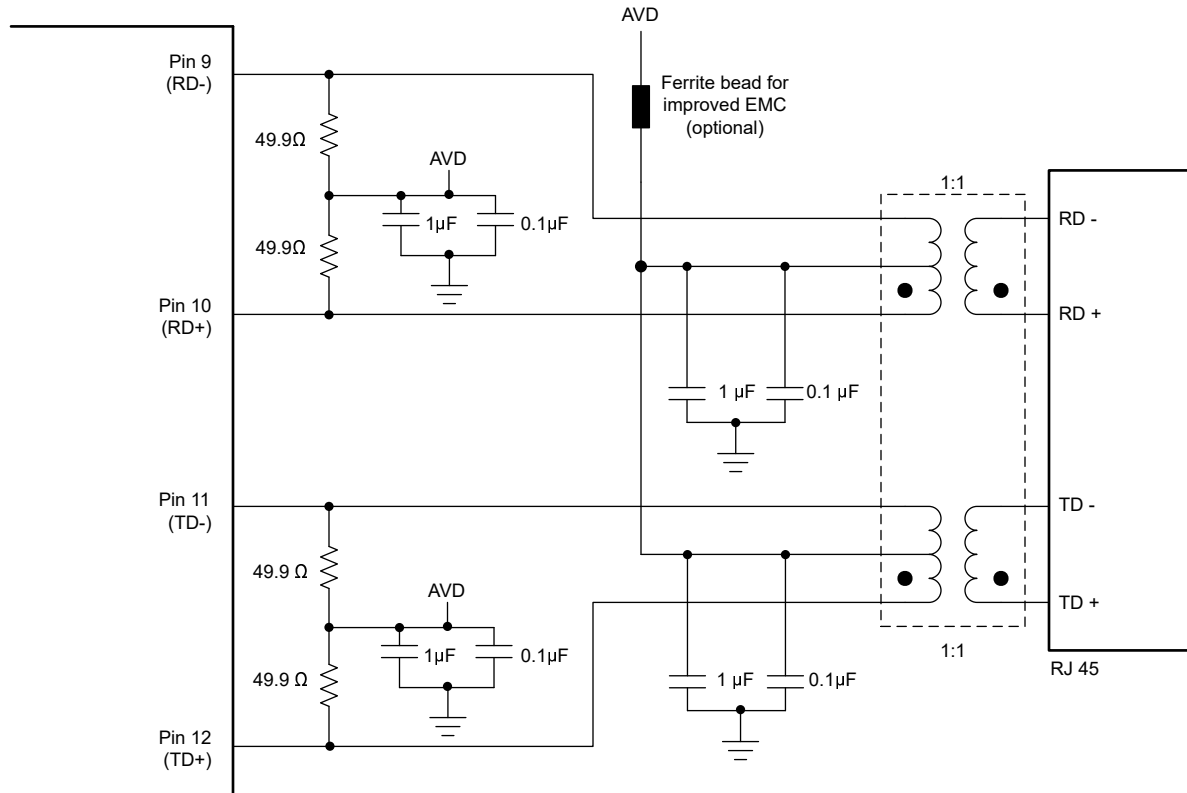


図 9-2. TPI ネットワーク回路

9.2.1.1 設計要件

TPI 動作 (100BASE-TX または 10BASE-Te) における DP83822 の設計要件は次の通りです。

1. AVD 電源 = 3.3V または 1.8V
2. センター タップ電源 = AVD 電源
3. VDDIO 電源 = 3.3V、2.5V、または 1.8V
4. 基準クロック入力 = 25MHz または 50MHz (RMII フォロワ)

9.2.1.2 詳細な設計手順

TPI ネットワーク回路の詳細な設計手順については、「[セクション 9.2.2.2](#)」を参照してください。

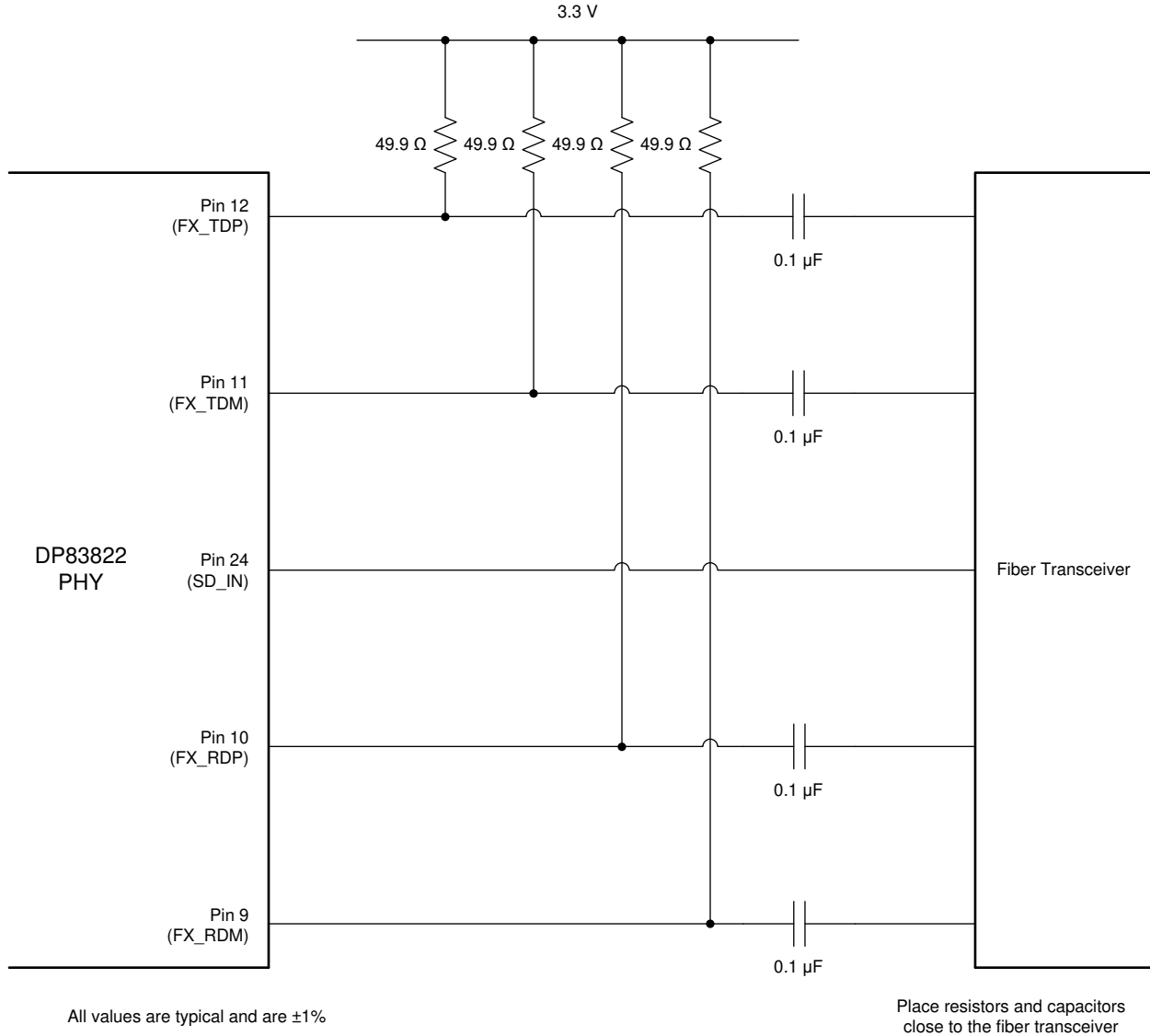
9.2.1.3 アプリケーション曲線

予想される TPI ネットワーク MDI 曲線については、[図 6-18](#)、[図 6-19](#)、[図 6-21](#) を参照してください。

9.2.2 ファイバ ネットワーク回路

図 9-3 は、100Mbps 光ファイバ ネットワークの推奨回路を示しています。PCB および部品の特性によって異なるため、アプリケーションをテストして、回路が目的のアプリケーションの要件を満たしていることを確認する必要があります。LVPECL 信号伝送をサポートするファイバトランシーバを搭載した DP83822 を設計する場合は、外部終端ネットワークが必要であることを注意してください。外部終端ネットワークの例は、DP8322 評価基板の回路図に含まれています。

すべての抵抗とコンデンサは、ファイバトランシーバのできるだけ近くに配置する必要があります。



Copyright © 2016, Texas Instruments Incorporated

図 9-3. ファイバ ネットワーク回路

9.2.2.1 設計要件

9.2.2.1.1 クロック要件

DP83822 は、外部 CMOS レベル発振器ソース、または外部水晶振動子を使用した内部発振器をサポートしています。

9.2.2.1.1.1 発振器

外部クロック ソースを使用する場合は、XI をクロック ソースに接続して、XO をフローティングのままにする必要があります。発振器の振幅は、VDDIO の公称電圧である必要があります。

注

DP83822 では PoR にクロックが存在する必要があります。クロックが遅延する場合、スプリアス信号のラッチアップを回避するため、XI のプルダウンを推奨します。

9.2.2.1.1.2 水晶振動子

水晶振動子で動作させる場合は、25MHz の並列、20pF の負荷水晶振動子を使用することが推奨されます。図 9-4 は、水晶振動子回路の標準的なピン配置を示しています。負荷コンデンサの値は、水晶振動子のベンダによって異なる場合があります。推奨される負荷については、ベンダにお問い合わせください。

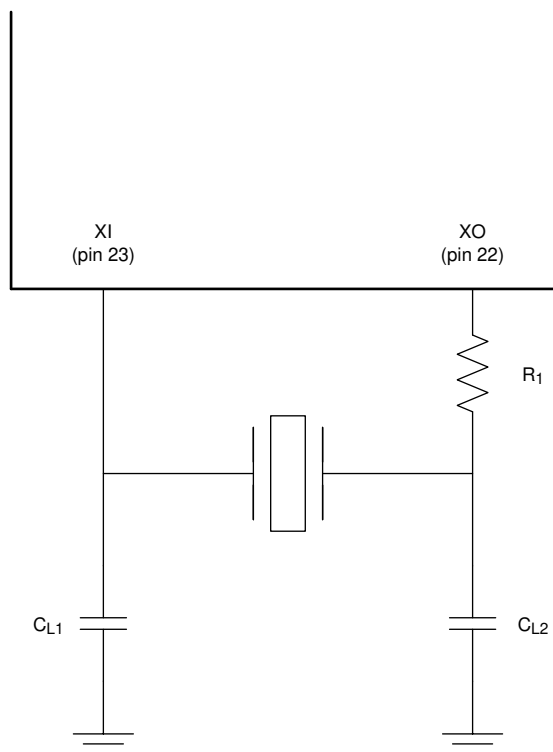


図 9-4. 水晶発振回路

表 9-1. 25MHz 発振器の仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
周波数			25		MHz
周波数の許容誤差	動作温度、経年劣化、他の要因を含む	-100		100	ppm
立ち上がり / 立ち下がり時間	10%～90%			8	ns 秒
ジッタ (短期)	サイクル間		50	100	ps 秒
ジッタ (長期)	10 ms 以上の累積			1	ns 秒
対称	デューティ サイクル	40		60	%
負荷容量			15	30	pF

表 9-2. 50MHz 発振器の仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
周波数			50		MHz
周波数の許容誤差	動作温度、経年劣化、他の要因を含む	-100		100	ppm
立ち上がり / 立ち下がり時間	10%～90%			8	ns 秒
ジッタ (短期)	サイクル間		50		ps 秒
ジッタ (長期)	10 ms 以上の累積			1	ns 秒
対称	デューティ サイクル	40		60	%
負荷容量			15	30	pF

表 9-3. 25MHz 水晶振動子仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
周波数			25		MHz
周波数の許容誤差	動作温度、経年劣化、他の要因を含む	-100		100	ppm
負荷容量		10		40	pF

9.2.2.2 詳細な設計手順

メディア独立インターフェイス (MII/RMII/RGMII) は、DP83822 をメディア アクセス コントローラ (MAC) に接続します。MAC は、実際には独立したデバイスである場合もあれば、マイクロプロセッサ、CPU、FPGA、または ASIC に統合されている場合もあります。メディア依存インターフェイス (MDI) は、DP83822 をイーサネット ネットワークのトランス、またはファイバトランスで接続する際の AC 絶縁コンデンサに接続します。

9.2.2.2.1 MII のレイアウト ガイドライン

1. MII 信号はシングルエンド信号です。
2. パターンはグラウンドとの間に 50Ω のインピーダンスで配線する必要があります
3. パターン長はできるだけ短くし、2 インチ未満、最大でも 6 インチ未満が推奨されます

9.2.2.2.2 RMII のレイアウト ガイドライン

1. RMII 信号はシングルエンド信号です。
2. パターンはグラウンドとの間に 50Ω のインピーダンスで配線する必要があります
3. パターン長はできるだけ短くし、2 インチ未満、最大でも 6 インチ未満が推奨されます

9.2.2.2.3 RGMII のレイアウト ガイドライン

1. RGMII 信号はシングルエンド信号です。
2. パターンはグラウンドとの間に 50Ω のインピーダンスで配線する必要があります
3. パターン長はできるだけ短くし、2 インチ未満、最大でも 6 インチ未満が推奨されます
4. 内部クロック遅延は、レジスタ アクセスを使用して、DP83822 内で送信パスと受信パスで個別に有効化できます

9.2.2.2.4 MDI のレイアウト ガイドライン

1. MDI 信号は差動です。
2. トレースはグラウンドへのインピーダンスが 50Ω で、差動制御インピーダンスが 100Ω になるように配線する必要があります。
3. MDI トレースは同じ層のトランスに配線します。
4. 金属シールドの RJ-45 コネクタを使用し、シールドをシャーシ グラウンドに電気的に接続します。
5. 磁気素子の下で電源と設置は避けます。
6. 回路のグラウンドとシャーシのグラウンド プレーンが重ならないようにしてください。プレーン間に隙間を残して、シャーシグラウンドを絶縁されたアイランドに変えることで、シャーシのグラウンドと回路のグラウンドを分離した状態にします。フローティング金属を防止するため、シャーシのグラウンドと回路のグラウンドとの間に 1206 (サイズ) のコンデンサを接続することが推奨されます。805 (サイズ) 未満のコンデンサは、空間距離が小さいために、ESD のアーチ型パスが形成される可能性があります。

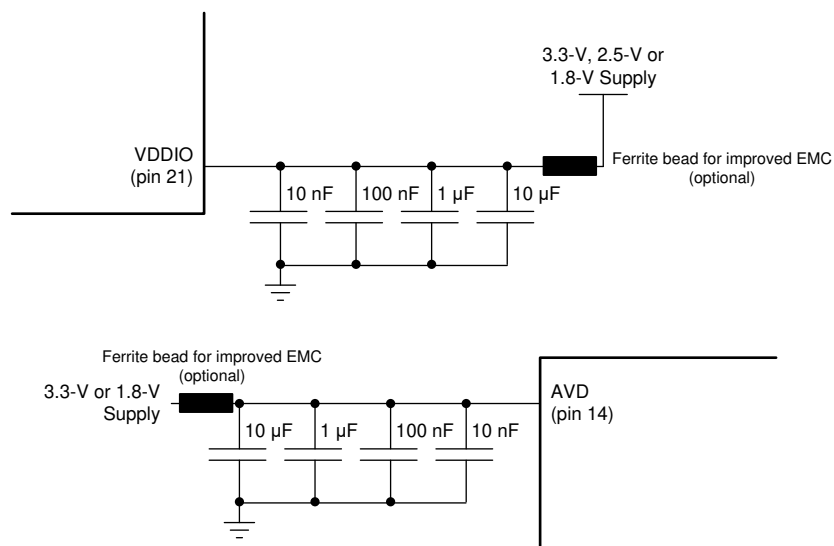
9.2.2.3 アプリケーション曲線

予想されるファイバ ネットワークの MDI 曲線については、[図 6-20](#) を参照してください。

9.3 電源に関する推奨事項

DP83822、広い I/O 電源電圧 (3.3V、2.5V、または 1.8V) で動作し、2 つのアナログ電源オプション (3.3V または 1.8V) のいずれかを使用できます。VDDIO と AVD が安定するまで、入力ピンを駆動しないでください。

[図 9-4](#) に、推奨される電源デカップリング ネットワークを示します。



A. 最小値をピンの最も近くに配置します

図 9-5. 電源接続

注

以下のアプリケーションのセクションにある情報は、TI コンポーネントの仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.3.1 電源特性

以下のデータは DP83822 評価基板を使用して測定されました。すべての消費電力の数値は、25°C の標準温度下で、公称電圧で測定されます。センター タップはアナログ電源レール (AVD) と同じ電位に接続する必要があります。

表 9-4. 電源特性 (1)

パラメータ	テスト条件	磁気電源 (mA)	AVD 電源 (mA)	VDDIO 電源 (mA)	総電力 (mW)
3.3V AVD/CT および 3.3V VDDIO					
100BASE-TX	MII、リンクアップ、トラフィックなし	22	36	15	241
	MII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット、25°C	22	36	21	261
	MII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット、-40°C	22	25	20	221
	MII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット、125°C	22	52	22	317
	RMII、リンクアップ、トラフィックなし	22	36	6	211
	RMII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	22	36	7	215
	RGMII、リンクアップ、トラフィックなし	22	36	8	218
	RGMII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	22	36	9	221

表 9-4. 電源特性 ⁽¹⁾ (続き)

パラメータ	テスト条件	磁気電源 (mA)	AVD 電源 (mA)	VDDIO 電源 (mA)	総電力 (mW)
10BASE-Te	MII、リンクアップ、トラフィックなし	2	18	7	89
	MII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	49	18	7	244
	RMII、リンクアップ、トラフィックなし	2	18	6	86
	RMII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	49	18	6	241
	RGMII、リンクアップ、トラフィックなし	2	18	7	89
	RGMII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	49	18	7	244
パッシブ スリープ	RMII、レジスタ 0x0011 の bits[15:12] = 0b0111	2	16	6	79
アクティブ スリープ	RMII、レジスタ 0x0011 の bits[15:12] = 0b0110	2	16	6	79
IEEE パワーダウン	RMII、レジスタ 0x0000 の bits[11] = 1	2	4	6	40
ディープ パワー ダウン	RMII、レジスタ 0x0000 の bits[11] = 1、レジスタ 0x0428 の bit[2] = 1	2	3	6	36
EEE (Energy Efficient Ethernet)	TX および RX LPI、RMII	2	17	6	83
3.3V AVD/CT および 1.8V VDDIO					
100BASE-TX	MII、リンクアップ、トラフィックなし	22	36	10	209
	MII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	22	36	12	213
	RMII、リンクアップ、トラフィックなし	22	36	3	197
	RMII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	22	36	4	199
	RGMII、リンクアップ、トラフィックなし	22	36	5	200
	RGMII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	22	36	5	200
10BASE-Te	MII、リンクアップ、トラフィックなし	2	18	4	73
	MII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	49	18	4	228
	RMII、リンクアップ、トラフィックなし	2	18	3	71
	RMII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	49	18	3	227
	RGMII、リンクアップ、トラフィックなし	2	18	4	73
	RGMII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	49	18	4	228
パッシブ スリープ	RMII、レジスタ 0x0011 の bits[15:12] = 0b0111	2	16	3	65
アクティブ スリープ	RMII、レジスタ 0x0011 の bits[15:12] = 0b0110	2	16	3	65
IEEE パワーダウン	RMII、レジスタ 0x0000 の bits[11] = 1	2	4	3	25
ディープ パワー ダウン	RMII、レジスタ 0x0000 の bits[11] = 1、レジスタ 0x0428 の bit[2] = 1	2	3	3	22
EEE (Energy Efficient Ethernet)	TX および RX LPI、RMII	2	17	3	68

表 9-4. 電源特性 ⁽¹⁾ (続き)

パラメータ	テスト条件	磁気電源 (mA)	AVD 電源 (mA)	VDDIO 電源 (mA)	総電力 (mW)
1.8V AVD/CT および 3.3V VDDIO					
100BASE-TX	MII、リンクアップ、トラフィックなし	22	36	15	154
	MII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	22	36	21	174
	RMII、リンクアップ、トラフィックなし	22	36	6	124
	RMII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	22	36	7	128
	RGMII、リンクアップ、トラフィックなし	22	36	8	131
	RGMII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	22	36	9	134
10BASE-Te	MII、リンクアップ、トラフィックなし	1	17	7	56
	MII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	49	17	7	142
	RMII、リンクアップ、トラフィックなし	1	17	6	52
	RMII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	49	17	6	139
	RGMII、リンクアップ、トラフィックなし	1	17	7	56
	RGMII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	49	17	7	142
パッシブ スリープ	RMII、レジスタ 0x0011 の bits[15:12] = 0b0111	1	16	6	50
アクティブ スリープ	RMII、レジスタ 0x0011 の bits[15:12] = 0b0110	1	16	6	50
IEEE パワーダウン	RMII、レジスタ 0x0000 の bits[11] = 1	1	4	6	29
ディープ パワー ダウン	RMII、レジスタ 0x0000 の bits[11] = 1、レジスタ 0x0428 の bit[2] = 1	1	3	6	27
EEE (Energy Efficient Ethernet)	TX および RX LPI、RMII	1	17	6	52

表 9-4. 電源特性 ⁽¹⁾ (続き)

パラメータ	テスト条件	磁気電源 (mA)	AVD 電源 (mA)	VDDIO 電源 (mA)	総電力 (mW)
1.8V AVD/CT および 1.8V VDDIO					
100BASE-TX	MII、リンクアップ、トラフィックなし	22	36	10	122
	MII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	22	36	12	126
	RMII、リンクアップ、トラフィックなし	22	36	3	110
	RMII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	22	36	4	112
	RGMII、リンクアップ、トラフィックなし	22	36	5	113
	RGMII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	22	36	5	113
10BASE-Te	MII、リンクアップ、トラフィックなし	1	17	4	40
	MII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	49	17	4	126
	RMII、リンクアップ、トラフィックなし	1	17	3	38
	RMII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	49	17	3	124
	RGMII、リンクアップ、トラフィックなし	1	17	4	40
	RGMII、リンクアップ、960ns IPG (100% 使用率)、1514 バイト パケット	49	17	4	126
パッシブ スリープ	RMII、レジスタ 0x0011 の bits[15:12] = 0b0111	1	16	3	36
アクティブ スリープ	RMII、レジスタ 0x0011 の bits[15:12] = 0b0110	1	16	3	36
IEEE パワーダウン	RMII、レジスタ 0x0000 の bits[11] = 1	1	4	3	14
ディープ パワー ダウン	RMII、レジスタ 0x0000 の bits[11] = 1、レジスタ 0x0428 の bit[2] = 1	1	3	3	13
EEE (Energy Efficient Ethernet)	TX および RX LPI, RMII	1	17	3	38

(1) 製造試験、特性評価、設計によって指定済み。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

9.4.1.1 信号トレース

PCB トレースは損失が大きいため、長いトレースが信号品質を低下させる可能性があります。トレースはできるだけ短くする必要があります。特に記述のない限り、すべての信号トレースは **50Ω** のシングルエンド インピーダンスでなくてはなりません。差動トレースは、**50Ω** シングルエンドおよび **100Ω** 差動でなくてはなりません。初めから終わりまでインピーダンスが制御されるように注意深く確かめます。インピーダンスの不連続性は反射を引き起こし、放射とシグナル インテグリティの問題につながる可能性があります。スタブは、すべての信号トレース (特に差動信号ペア) で回避しなければなりません。

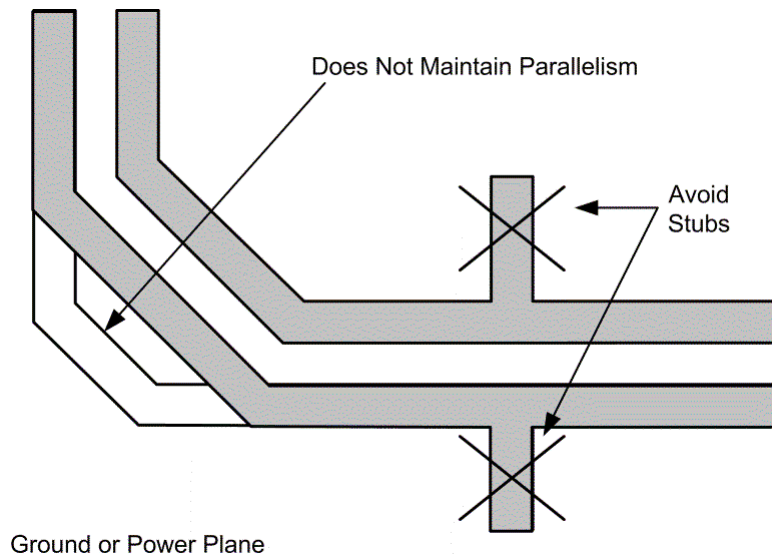


図 9-6. 差動信号トレース

差動ペア内では、トレースを互いに並行させ、長さを一致させる必要があります。長さを一致させることで遅延の差が最小化され、同相ノイズと放射の増加を防止できます。**MAC** インターフェイス接続でも、長さを一致させることは重要です。すべての送信信号トレースは互いに同じ長さ、すべての受信信号トレースは互いに同じ長さでなくてはなりません。

可能なら、信号路のパターンには交差もビアも存在しないようにします。ビアにはインピーダンスの不連続性を生じさせるため、できるだけ少なくする必要があります。トレース ペアは同じ層に配線します。異なる層の信号は、それらの間に少なくとも 1 つの復帰パス プレーンがない限り、互いに交差させてはなりません。差動ペアは、それらの間の結合距離を常に一定に保つ必要があります。利便性と効率性を高めるため、重要な信号 (例:MDI 差動ペア、基準クロック、**MAC IF** トレース) を最初に配線することを推奨します。

9.4.1.2 復帰パス

一般に最も良い方法は、すべての信号トレースの下にベタの復帰パスを設けることです。この復帰パスは、連続的なグラウンドまたは DC 電源プレーンであってもかまいません。復帰パスの幅を狭くすると、信号トレースのインピーダンスに影響を及ぼす可能性があります。この影響は、復帰パスの幅が信号トレースの幅と同等である場合、より顕著になります。信号トレースの間の復帰パスの断線は、絶対に避ける必要があります。分割されたプレーンをまたぐ信号は、予測不可能な復帰パス電流を引き起こし、信号の品質に影響を及ぼし、放射の問題を引き起こす可能性があります。

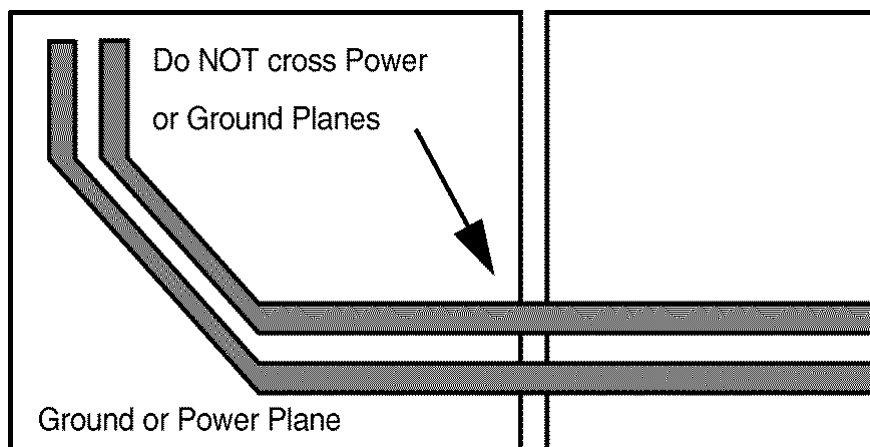


図 9-7. 差動信号ペアおよびプレーン交差

9.4.1.3 トランスのレイアウト

トランスの下に金属層が存在しないようにする必要があります。トランスはその下にある金属にノイズを注入する可能性があります。DP83822 は電流モード ライン ドライバ設計なので、トランスのデバイス側のセンター タップ ピンをアナログ電源レール (AVD) に接続する必要があります。デカップリング コンデンサは、図 9-2 に示すようにトランスのセンター タップ ピンの近くに配置する必要があります。

9.4.1.3.1 トランスに関する推奨事項

以下の磁気素子は、DP83822EVM を使用し、DP83822 と組み合わせてテストされています。

表 9-5. 推奨されるトランス

製造元	部品番号
Pulse Electronics	HX1198FNL
	HX1188NL
	HX1188FNL
	H2019NL
	H1102NL
Abracon	ALAN101
ベル ヒューズ	S5585999J1F
スミダ	CLP0612
Würth Elektronik™	7490120110
	733330
	7490100111a

表 9-6. トランスの電氣的仕様

パラメータ	テスト条件	標準値	単位
巻線比	±2%	1:1	-
挿入損失	1 ~ 100MHz	-1	dB
リターン ロス	1 ~ 30MHz	-16	dB
	30 ~ 60MHz	-12	dB
	60 ~ 80MHz	-10	dB
差動と同相の除去比	1 ~ 50MHz	-30	dB
	50 ~ 150MHz	-20	dB
クロストーク	30MHz	-35	dB
	60MHz	-30	dB
絶縁	HPOT	1500	Vrms

9.4.1.4 金属注入

信号でも電源でもないすべての金属注入領域は、グランドに接続する必要があります。システム内に浮動の金属が存在していないことと、差動パターン間に金属が存在していないことが必要です。

9.4.1.5 PCB 層スタッキング

シグナル インテグリティと性能の要件を満たすには、4 層以上の PCB が推奨されます。しかし、可能であれば 6 層の PCB を使うべきです。

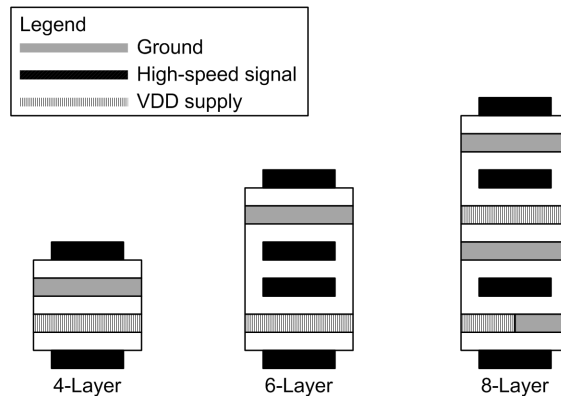


図 9-8. 推奨レイヤ スタックアップ

9.4.2 レイアウト例

レイアウトの詳細については、DP83822EVM を参照してください。

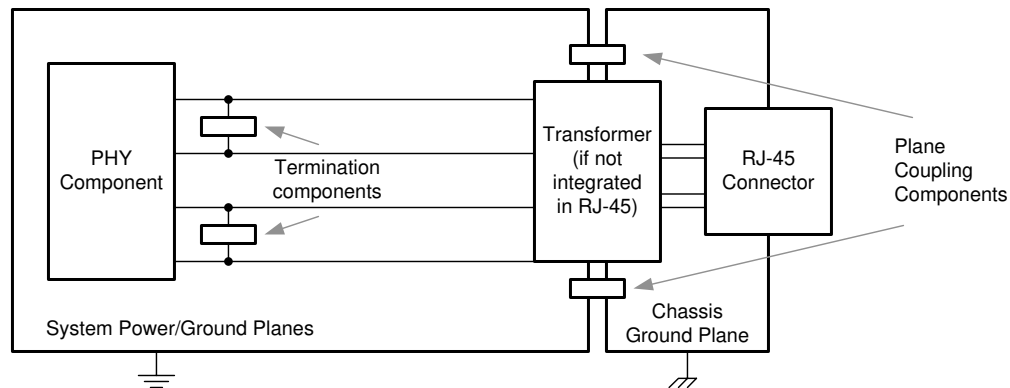


図 9-9. レイアウト例

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

次の表に、クイック アクセス リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティリソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクイック アクセスが含まれます。

表 10-1. 関連リンク

製品	プロダクト フォルダ	ご注文はこちら	技術資料	ツールとソフトウェア	サポートとコミュニティ
DP83822HF	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
DP83822IF	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
DP83822H	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
DP83822I	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

注

これらのデバイスは、レジスタ読み取りによって区別することはできません。これらのデバイスは、対応する機能の製造試験によって区別されます。

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.4 商標

Würth Elektronik™ is a trademark of Würth Elektronik GmbH & Co. KG.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

PROFINET® is a registered trademark of PROFIBUS and PROFINET International (PI)..

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision G (August 2023) to Revision H (July 2026)	Page
・ プログラマブル MII/RMII/RGMII インピーダンス制御を機能リストに追加.....	1
・ 文書全体で旧用語のすべてのインスタンス「リーダー」と「フォロワ」に変更	1
・ 表 5-1、表 5-2 の RX_D1 ピン番号を修正.....	3
・ 命名の一貫性を維持するため RESET を RESET_N に変更.....	3
・ 命名の一貫性を維持するため INT/PWDN を INT/PWDN_N に変更.....	3
・ 「入力電圧 - その他の入力」にテキスト (通常動作条件では PHY) を追加	8
・ PMD 出力の VOD リファレンスがレジスタ 0x403 を指すように更新.....	9
・ 「不安定な XI 入力でのパワーアップ」の図を変更	15
・ 「外部クロック モードのクロックは.....以上ピンを解放します。」という内容の注を追加	15
・ 「エイリアン」を「不要」に更新.....	23
・ 「RMII リピータ モード」セクションを追加.....	31
・ 表 8-13 を更新して明瞭化し、RMII リーダーとフォロワを追加しました。.....	47
・ 整合性を保つため、RESET から RESET_N に変更.....	47
・ 明確化のため Rp を追加.....	52
・ セクション 8 のタイプ定義のリストを変更.....	53
・ 「レジスタ 0x0000、ビット 15」の詳細を変更	53
・ 「レジスタ 0x0012 とレジスタ 0x0013」のタイプを変更	53
・ 「レジスタ 0x17 のビット 5」のタイプを更新して詳細を追加	53
・ 「レジスタ 0x0428、ビット 2」の詳細を変更	53
・ 「レジスタ 0x0461、ビット [4:1]」の詳細を変更	53
・ 「レジスタ 0x4D0、ビット [6:5]」の詳細を変更	53
・ TPI ネットワーク図の終端電圧を 3.3V から AVD に変更.....	108
・ VDDIO/AVD が安定するまで入力ピンを駆動してはならないという注を追加.....	109
・ VDDID と AVD が安定するまで入力ピンを駆動しないことを追加.....	112
・ 「ドキュメントのサポート」セクションを追加	121
・ セクションのタイトルを「関連リンク」から「関連資料」に更新.....	121

Changes from Revision F (June 2021) to Revision G (August 2023)	Page
・ IEC 6100 を IEC 61000 に訂正.....	1
・ LED ピンの文体を「モード」から「機能」に変更.....	3
・ 「その他の入力」の最大定格を 3.8 から「VDDIO + 0.3V」に変更.....	8
・ 最後の文とレジスタ書き込みリスト「RX_SFD の有効化/設定後...」などを追加.....	27
・ 3 番目と 4 番目の段落を追加しました。.....	39
・ LED_1 を追加しました。.....	47
・ レジスタ 0x0018 の詳細を「10:9 ビットの LED_0」から「LED」に変更.....	53
・ レジスタ 0x0027 の詳細を、高調波準拠テストの注を含めるように変更.....	53
・ レジスタ 0x0040 の詳細を更新し、ビット 13 の説明を追加.....	53

Changes from Revision E (March 2019) to Revision F (June 2021)	Page
・ ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
・ 主な機能を強調するために特長セクションを更新。.....	1
・ 商標を追加.....	1
・ 「ピン機能」表のリセットの Tx_CLK 状態の説明を追加。.....	3
・ 「リセット時の IO ピンの状態」表のリセット時の TX_CLK の状態の説明を追加.....	3
・ 100BASE-FX 出力パラメータを追加.....	9

• AVO 脚注を追加.....	10
• XI クロックが安定化した後のリセットのタイミング要件を追加。.....	11
• RMII 送信レイテンシ番号を追加.....	14
• RGMII 送信レイテンシ番号を追加.....	14
• RMII 受信レイテンシ番号を追加.....	14
• RGMII 受信レイテンシ番号を追加。.....	14
• レジスタ 0x000B と 0x003F の以前の「予約済み」ビットの詳細を更新.....	53
• レジスタ 0x0015 と 0x001C の説明を更新.....	53
• 以下のレジスタに関するレジスタ説明を追加: 0x101, 0x0106, 0x0107, 0x0126, 0x04D4, 0x0121, 0x0122, 0x0124, 0x010F, 0x0111, 0x0129, 0x0130, 0x0410, 0x0416, 0x0418, 0x0450, 0x040D, 0x041F, 0x0421.	53
• レジスタ 0x0000, 0x0001, 0x0469, 0x0703C に詳細情報を追加.....	53
• 0x0008, 0x000A, 0x0010, 0x0017, 0x001E, 0x0155, 0x0215, 0x0462, 0x3000, 0x3001, 0x3014, 0x3016 のデフォルト値を更新.....	53
• EMC 改善のためのオプションのフェライト ビーズを含めるように TPI ネットワーク図を変更.....	108

Changes from Revision D (March 2019) to Revision E (March 2019)	Page
• 表 1 の誤字を修正して変更.....	3

Changes from Revision C (April 2018) to Revision D (March 2019)	Page
• 「ピンの機能」表の LED_1 の説明を変更。.....	3
• 「リセット中の IO ピンの状態」の RX_D[3:0] と LED_1 ピンのリセット ピンの状態を変更.....	3
• XO と XI の容量を追加.....	9
• 電気的特性表の PMD 出力セクションにテスト条件を追加.....	9
• デバイス性能と一致するようにリセット タイミング要件表のパラメータの説明と単位を変更しました。.....	11
• 100BASE-FX 信号検出ピンの極性の注を、アクティブ Low からアクティブ High に変更しました。.....	40
• LED_0 のストラップ モードを変更してモード 2 とモード 3 を削除しました。.....	47
• SD_EN ピンのストラップの説明をアクティブ LOW からアクティブ HIGH に変更しました。.....	47
• LED_0 構成表を削除しました。.....	47
• LED_1 構成表を変更し、LED_0 および LED_1 構成を単一の表に統合して明瞭化しました。.....	47
• セクション 7.5.2 セクションの注を変更して LED 接続を明確化しました。.....	52
• レジスタ 0x0106, 0x0107, 0x010F, 0x0114, 0x0116, 0x0126, 0x04D4, 0x04D5, 0x04D6 を追加.....	53
• -40°C および 125°C の 100Base-TX MII 消費電力データを追加.....	113

Changes from Revision B (March 2018) to Revision C (April 2018)	Page
• TX_D[1:0] を TX_D[3:0] に戻しました.....	28
• RX_D[1:0] を RX_D[3:0] に戻しました.....	28

Changes from Revision A (August 2016) to Revision B (March 2018)	Page
• テキサス・インスツルメンツの最新のドキュメントおよび翻訳基準に合わせて、データシートのテキストおよびフォーマットを更新.....	1
• ピン 24 の説明を更新してピンのタイプを I/O、PD から I/O に変更.....	3
• 「MII: 100BASE-TX 送信レイテンシ タイミング」表を追加	14
• 「MII: 100BASE-TX 受信レイテンシ タイミング」表を追加	14
• スタート電圧制限を含むようにデバイスのパワーアップ タイミング図を変更.....	15

• 「100BASE-TX 送信レイテンシ タイミング」のグラフィックを追加.....	15
• 「100BASE-TX 受信レイテンシ タイミング」のグラフィックを追加.....	15
• 「機能ブロック図」を変更.....	24
• TX_D[3:0] を TX_D[1:0] に変更.....	28
• RX_D[3:0] を RX_D[1:0] に変更.....	28
• 「100BASE-FX 受信」セクションに注を追加して SD_DIS ピンを SD_EN に変更	40
• RX_ER ストラップ機能を AMDIX_EN (SD_DIS) から AMDIX_EN (SD_EN) に変更しました.....	47
• TPI ネットワーク回路の代表的アプリケーション向けの「詳細な設計手順」セクションを追加	108
• 代表的なアプリケーションの順序を入れ替え.....	109
• 「発信器」セクションに注を追加	110
• 「電源接続」のグラフィックを変更	112

Changes from Revision * (August 2016) to Revision A (August 2016)	Page
• 「製品プレビュー」から「量産データ」に変更.....	1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DP83822HFRHBR	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	Call TI Nipdau	Level-2-260C-1 YEAR	-40 to 125	822HF
DP83822HFRHBR.A	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	822HF
DP83822HFRHBT	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	Call TI Nipdau	Level-2-260C-1 YEAR	-40 to 125	822HF
DP83822HFRHBT.A	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	822HF
DP83822HFRHBTG4	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	822HF
DP83822HFRHBTG4.A	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	822HF
DP83822HRHBR	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	Call TI Nipdau	Level-2-260C-1 YEAR	-40 to 125	822H
DP83822HRHBR.A	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	822H
DP83822HRHBRG4	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	822H
DP83822HRHBRG4.A	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	822H
DP83822HRHBT	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	Call TI Nipdau	Level-2-260C-1 YEAR	-40 to 125	822H
DP83822HRHBT.A	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	822H
DP83822IFRHBR	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	Call TI Nipdau	Level-2-260C-1 YEAR	-40 to 85	822IF
DP83822IFRHBR.A	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	822IF
DP83822IFRHBT	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	Call TI Nipdau	Level-2-260C-1 YEAR	-40 to 85	822IF
DP83822IFRHBT.A	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	822IF
DP83822IFRHBTG4	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	822IF
DP83822IFRHBTG4.A	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	822IF
DP83822IRHBR	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	Call TI Nipdau	Level-2-260C-1 YEAR	-40 to 85	822I
DP83822IRHBR.A	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	822I
DP83822IRHBRG4	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	822I
DP83822IRHBRG4.A	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	822I
DP83822IRHBT	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	Call TI Nipdau	Level-2-260C-1 YEAR	-40 to 85	822I
DP83822IRHBT.A	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	822I

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

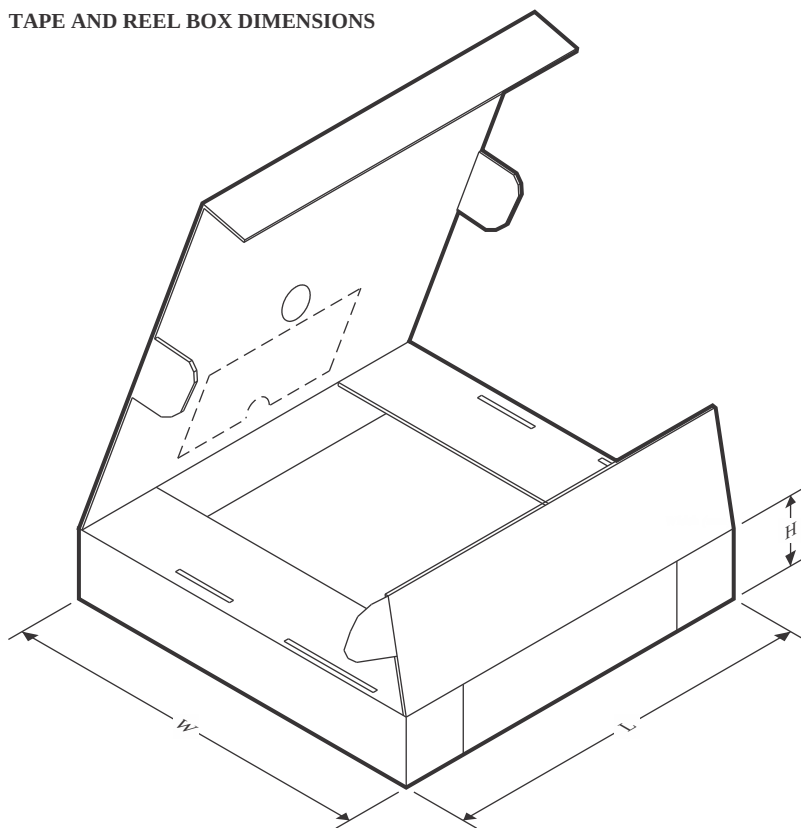


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DP83822HFRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q1
DP83822HFRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q1
DP83822HFRHBT	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q1
DP83822HFRHBT	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q1
DP83822HFRHBTG4	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q1
DP83822HRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q1
DP83822HRHBRG4	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q1
DP83822HRHBT	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q1
DP83822HRHBT	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q1
DP83822IFRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q1
DP83822IFRHBT	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q1
DP83822IFRHBT	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q1
DP83822IFRHBTG4	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q1
DP83822IRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q1
DP83822IRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q1
DP83822IRHBRG4	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DP83822IRHBT	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q1
DP83822IRHBT	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DP83822HFRHBR	VQFN	RHB	32	3000	360.0	360.0	36.0
DP83822HFRHBR	VQFN	RHB	32	3000	346.0	346.0	33.0
DP83822HFRHBT	VQFN	RHB	32	250	210.0	185.0	35.0
DP83822HFRHBT	VQFN	RHB	32	250	210.0	185.0	35.0
DP83822HFRHBTG4	VQFN	RHB	32	250	210.0	185.0	35.0
DP83822HRHBR	VQFN	RHB	32	3000	346.0	346.0	33.0
DP83822HRHBRG4	VQFN	RHB	32	3000	346.0	346.0	33.0
DP83822HRHBT	VQFN	RHB	32	250	210.0	185.0	35.0
DP83822HRHBT	VQFN	RHB	32	250	210.0	185.0	35.0
DP83822IFRHBR	VQFN	RHB	32	3000	346.0	346.0	33.0
DP83822IFRHBT	VQFN	RHB	32	250	210.0	185.0	35.0
DP83822IFRHBT	VQFN	RHB	32	250	210.0	185.0	35.0
DP83822IFRHBTG4	VQFN	RHB	32	250	210.0	185.0	35.0
DP83822IRHBR	VQFN	RHB	32	3000	346.0	346.0	33.0
DP83822IRHBR	VQFN	RHB	32	3000	360.0	360.0	36.0
DP83822IRHBRG4	VQFN	RHB	32	3000	346.0	346.0	33.0
DP83822IRHBT	VQFN	RHB	32	250	210.0	185.0	35.0
DP83822IRHBT	VQFN	RHB	32	250	210.0	185.0	35.0

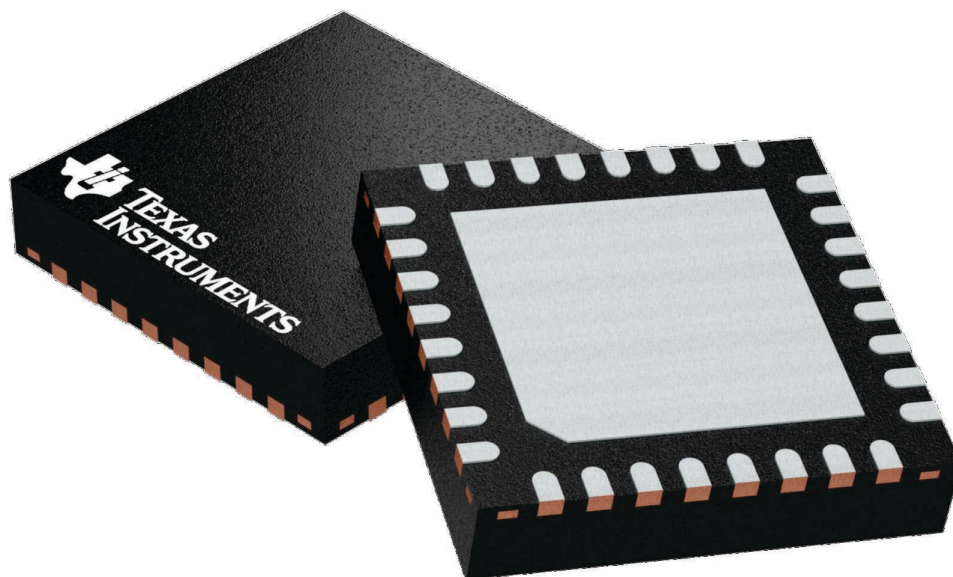
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224745/A



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



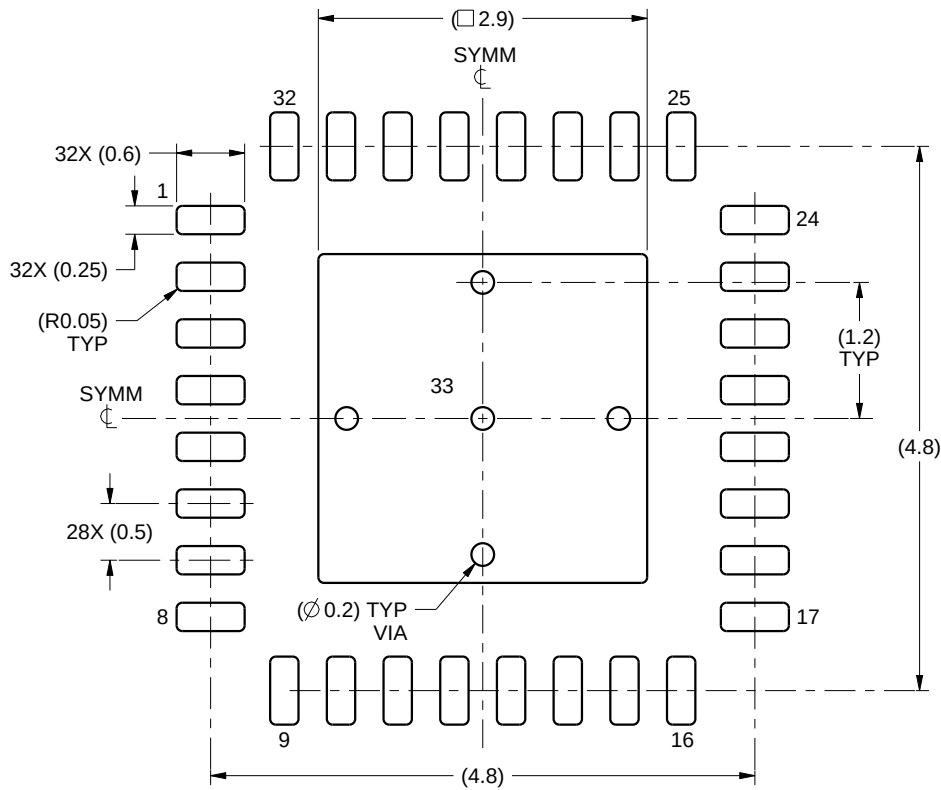
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

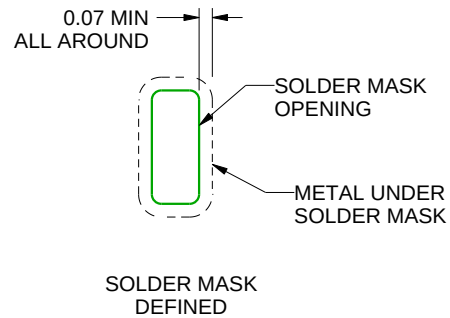
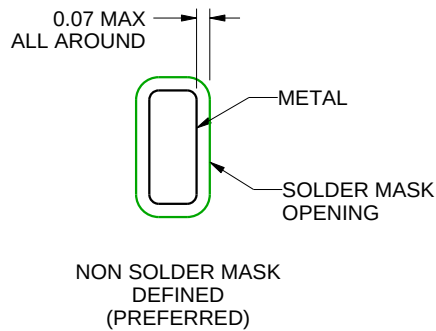
RHB0032B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:15X



SOLDER MASK DETAILS

4223216/A 08/2016

NOTES: (continued)

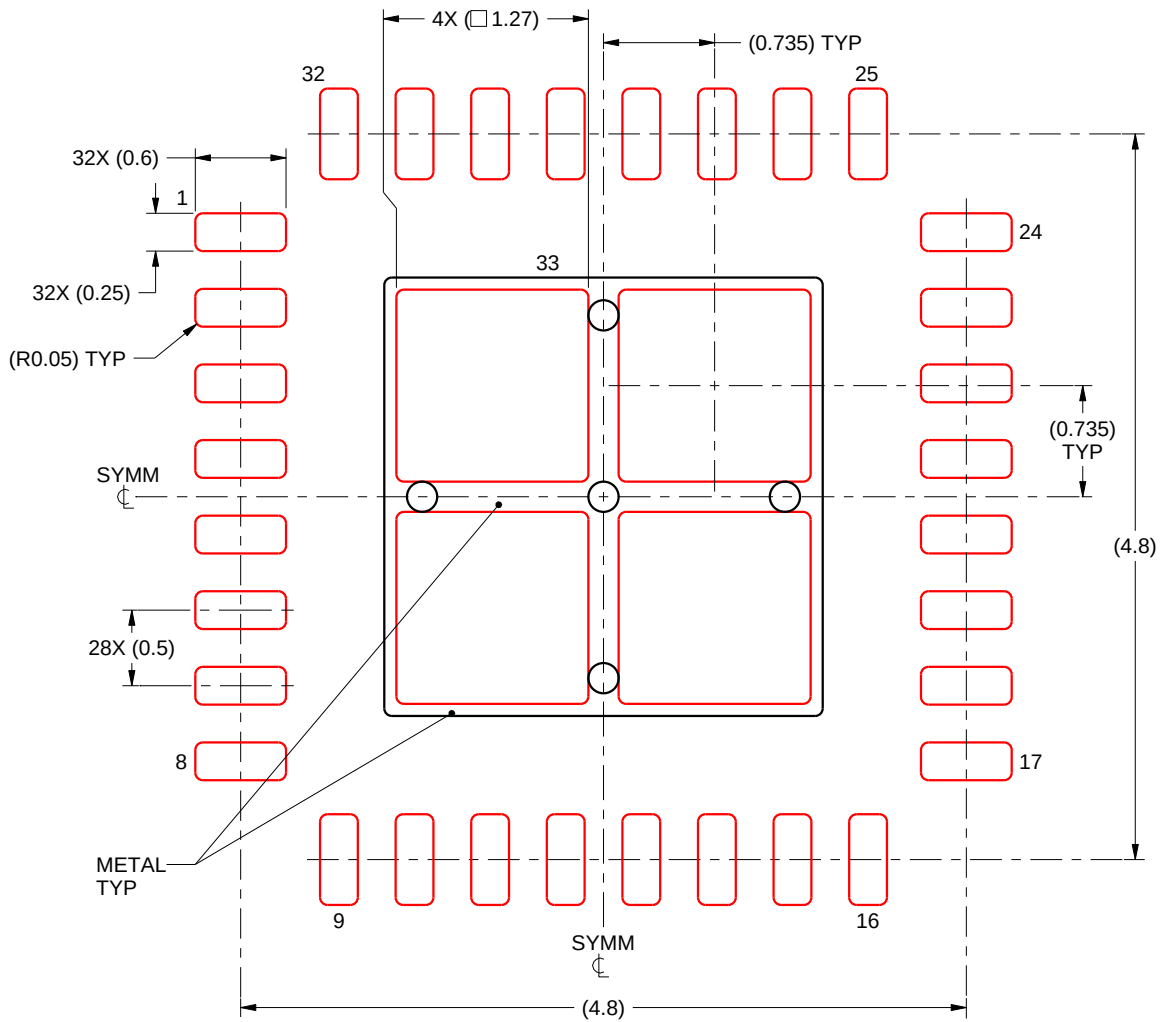
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHB0032B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33
76.7% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4223216/A 08/2016

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月