DP83826 決定論的、低レイテンシ、低消費電力、10/100Mbps の産業用イーサネット PHY

1 特長

- 小さく決定論的なレイテンシ
  - TX レイテンシ:40ns、RX レイテンシ:170ns
  - 電源サイクル間の決定論的レイテンシ < ±2ns
  - XI と TX_CLK の位相差が一定 < ±2ns
- 堅牢かつ小型のシステム実装
  - EMC を強化するための回路を内蔵
  - IEC 61000-4-2 ESD:±8kV 接触、±15kV 気中
  - IEC 61000-4-4 EFT:5kHz、100kHz で ±4 kV
  - CISPR 22 伝導エミッション Class B
  - CISPR 22 放射エミッション Class B
  - 高速リンクドロップ < 10µs
  - ケーブルの到達範囲:150m 以上
  - 電圧モード ライン ドライバ
  - MAC インターフェイスの終端を内蔵
  - 許容電圧:±10%
- 1 つのデバイスで 2 つのピン モードを選択可能
  - 追加機能を持つ ENHANCED モード
  - 一般的なイーサネット ピン配置用の BASIC モード
- 低消費電力 < 160mW
- MAC インターフェイス:MII、RMII
- プログラム可能な省エネルギー モード
  - アクティブ スリープ
  - ディープ パワー ダウン
  - Energy Efficient Ethernet (EEE) IEEE 802.3az
  - Wake-on-LAN (WoL)
- 診断ツール:ケーブル診断、内蔵自己テスト (BIST)、ループバック モード
- 3.3V の単一電源
- I/O 電圧:1.8V または 3.3V
- RMII バック ツー バック リピーター モード
- DP83826E の動作温度範囲:–40°C～105°C
- DP83826I の動作温度範囲:–40°C～85°C
- IEEE 802.3 準拠:10BASE-Te、100BASE-TX
- EtherCAT® 準拠

2 アプリケーション

- ファクトリ・オートメーション、ロボットおよびモーション制御
- モーター・ドライブ
- グリッド・インフラ
- ビル・オートメーション
- 産業用イーサネット・フィールドバス

3 説明

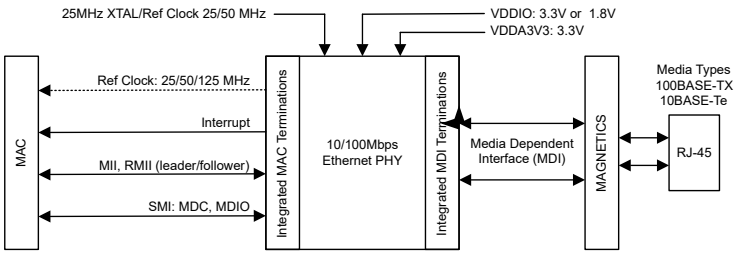
DP83826 は、小さく決定論的なレイテンシ、低消費電力、10BASE-Te および 100BASE-TX イーサネット プロトコルのサポートにより、リアルタイム産業用イーサネット システムの厳格な要件を満たすことができます。このデバイスは、高速なリンクアップ時間を達成するためのハードウェア ブートストラップ、高速リンク ドロップ検出モード、システム内の他のモジュールをクロック同期させるための専用基準クロック出力 (CLKOUT) を備えています。

一般的なイーサネット ピン配置を使用する BASIC 標準イーサネット モードと、追加機能とハードウェア ブートストラップ構成によって標準イーサネットと複数の産業用イーサネット フィールドバス アプリケーションをサポートする ENHANCED イーサネット モードという 2 つのモードに構成できます。

デバイス ファミリ情報

部品番号 (1)	パッケージ	本体サイズ (公称)	属性
DP83826E/I	VQFN (32)	5.00mm × 5.00mm	最小のレイテンシ、一般的なピン配置
DP83825I	WQFN (24)	3.00mm × 3.00mm	小さなサイズ、最適化されたソリューション コスト
DP83822HF/IF/H/I	VQFN (32)	5.00mm × 5.00mm	広い温度範囲、ファイバー、RGMII のサポート

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



アプリケーション概略図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 モード比較表.....3
5 ピン構成および機能 (ENHANCED モード).....4
6 ピン構成および機能 (BASIC モード).....8
7 仕様.....11
7.1 絶対最大定格.....11
7.2 ESD 定格.....11
7.3 推奨動作条件.....11
7.4 熱に関する情報.....12
7.5 電気的特性.....13
7.6 タイミング要件.....16
7.7 タイミング図.....19
7.8 代表的特性.....24
8 詳細説明.....25
8.1 概要.....25
8.2 機能ブロック図.....26
8.3 機能説明.....26
8.4 プログラミング.....50
8.5 レジスタ マップ.....54
9 アプリケーションと実装.....99
9.1 アプリケーション情報.....99
9.2 代表的なアプリケーション.....99
9.3 電源に関する推奨事項.....103
9.4 レイアウト.....104
10 デバイスおよびドキュメントのサポート.....107
10.1 関連資料.....107
10.2 ドキュメントの更新通知を受け取る方法.....107
10.3 サポート リソース.....107
10.4 商標.....107
10.5 静電気放電に関する注意事項.....107
10.6 用語集.....107
11 改訂履歴.....107
12 メカニカル、パッケージ、および注文情報.....110

Copyright © 2025 Texas Instruments Incorporated

4 モード比較表

DP83826 は、ストラップして、ENHANCED モードまたは BASIC モードで動作させることができます。ENHANCED モードでは、DP83826 は標準イーサネット アプリケーションに加えて、リアルタイム イーサネット アプリケーションもサポートできます。BASIC モードでは、DP83826 は標準イーサネット アプリケーションをサポートできます。さらに、BASIC モードでは、DP83826 のピン配置は、多くのアプリケーションで使用される一般的な PHY ピン配置と一致しています。

表 4-1. ENHANCED モードまたは BASIC モードの選択

ENHANCED モード	BASIC モード
ModeSelect (ピン 1) を未接続のままにするか、プルアップ抵抗を介して VDDIO に接続します	ModeSelect (ピン 1) を GND に短絡

表 4-2. ENHANCED モードと BASIC モードにおけるピン マッピングの相違

ピン番号	ENHANCED モード	BASIC モード
31	CLKOUT/LED1	LED1/TX_ER
21	PWRDN/INT	INT

表 4-3. ENHANCED モードと BASIC モードにおけるハードウェア ブートストラップの相違

ハードウェア ブートストラップ	ENHANCED モード(3)	BASIC モード
高速リンクドロップのイネーブルおよびディスエーブル(1)	あり	なし (常にイネーブル)
高速リンクドロップ検出メカニズム	ストラップ制御可能	RX_ERROR および信号エネルギー
Auto-MDIX イネーブル / ディスエーブル(1)	あり	いいえ
MDI/MDIX の強制選択(1)	あり	いいえ
RMII 双方向反復モード構成(2)	あり	いいえ
MII または RMII の選択	あり	あり
速度の選択 (10M または 100M)	なし	あり
MII 絶縁イネーブルおよびディスエーブル	なし	あり
オートネゴシエーション イネーブルおよびディスエーブル	あり	あり
使用可能な PHY アドレス数	8	8
半二重または全二重の選択	なし	あり
LED1 の代わりの CLKOUT	あり	いいえ
奇数ニブル検出	ストラップ制御可能	デフォルトでディスエーブル

(1) これらのピン ブートストラップにより、ENHANCED モード DP83826 は、リアルタイム イーサネット アプリケーションの厳しい要件を満たすことができます。
(2) このピン ブートストラップにより、ENHANCED モード DP83826 は、RMII リピータとして機能できます。
(3) ENHANCED モードには、BASIC モードのすべての動作モードが含まれています。違いは、これらの動作モードでは、ENHANCED モードでレジスタ設定が必要となることです。

注

一般的な標準イーサネット ピン配置を使用する既存のシステムで、DP83826 BASIC モードを使用する手順のステップ バイ ステップ アプローチについては、SNLA338 を参照してください。

注

イーサネット関連の略語 (頭字語) 標準リストについては、『*イーサネット製品関連頭字語の中国語と英語の定義*』を参照してください。

5 ピン構成および機能 (ENHANCED モード)

ENHANCED モードは、DP83826 がスタートアップ時に構成できる 2 つのモードのうちの 1 つです。このモードでは、DP83826 は標準イーサネット アプリケーションに加えて、リアルタイム イーサネット アプリケーションもサポートできます。DP83826 を ENHANCED モードに構成するには、ModeSelect (ピン 1) を未接続のままにするか、抵抗で VDDIO にプルアップします。

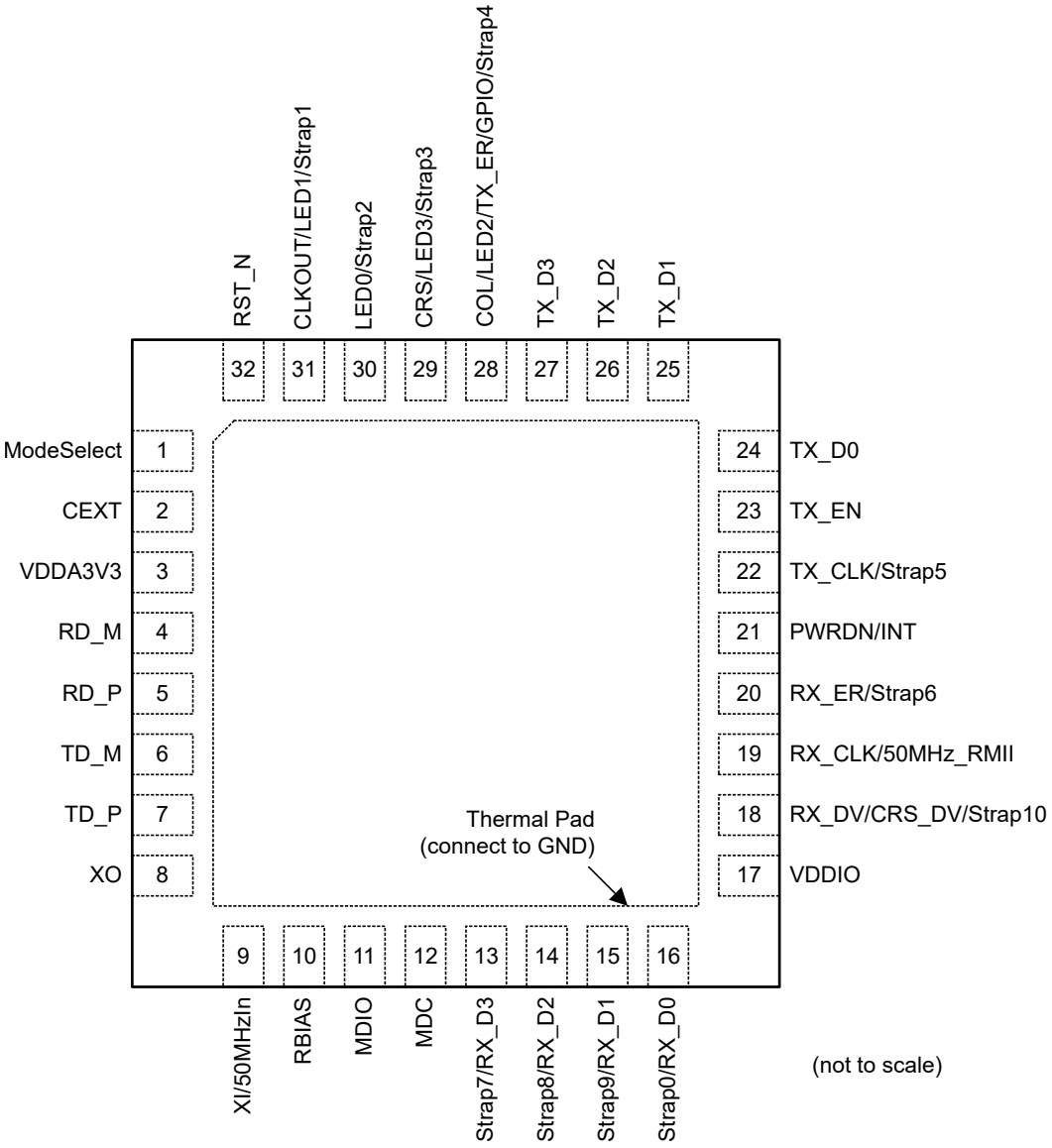


図 5-1. RHB パッケージ
32 ピン QFN
(上面図)

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン機能 (ENHANCED モード)

ピン		タイプ[1]	説明
名称	なし		
ModeSelect	1	リセット:I、PU アクティブ:I、PU	このピンは、DP83826 の次の動作モードを選択します:BASIC モードまたは ENHANCED モード。ENHANCED モードの場合、このピンは NC のままにするか、抵抗で VDDIO にプルアップします。BASIC モードでは、このピンは GND に短絡させる必要があります。
CEXT	2	A	外部コンデンサ:CEXT ピンは、2nF のコンデンサを通して GND に接続します。
VDDA3V3	3	電源	入力アナログ電源:3.3V デカップリング コンデンサの要件については、データシートの「*電源に関する推奨事項*」セクションを参照してください。
RD_M	4	A	差動受信入力 (物理メディア依存:PMD):これらの差動入力は、10BASE-Te または 100BASE-TX 固有の信号モードを受け入れるように自動的に構成されます。
RD_P	5	A	
TD_M	6	A	差動送信出力 (PMD) :これらの差動出力は、PHY に選択されている構成に基づいて、10BASE-Te または 100BASE-TX のいずれかの信号モードに構成されます。
TD_P	7	A	
XO	8	A	水晶振動子出力:基準クロック出力。XO ピンは水晶振動子の場合にのみ使用されます。CMOS レベル発振器を XI に接続する場合、このピンをフローティングのままにします。
XI/50MHzIn	9	A	水晶振動子または発振器の入力クロック: MII モード、RMII リーダー モード:25MHz ± 50ppm の水晶振動子または発振器クロック。 RMII フォロワ モード:50MHz ± 50ppm の CMOS レベル発振器クロック。
RBIAS	10	A	RBIAS (バイアス抵抗) 値 6.49kΩ (グランドに 1% の精度で接続)。
MDIO	11	リセット:I、PU アクティブ:I/O、PU	管理データ I/O:管理ステーションまたは PHY から出力される可能性がある双方向管理データ信号。このピンには、10kΩ への内部プルアップ抵抗が搭載されています。必要に応じて、外部プルアップ抵抗を追加できます。
MDC	12	リセット:I、PD アクティブ:I、PD	管理データ クロック:MDIO シリアル管理入力 / 出力データへの同期クロック。このクロックは、MAC の送信クロックおよび受信クロックと非同期にすることができます。最大クロック レートは 25MHz です。最小クロック レートはありません。
RX_D3	13	リセット:I、PD アクティブ:O Strap7	受信データ:ケーブルで受信されたシンボルは、RX_CLK の立ち上がりエッジに同期してデコードされ、これらのピンに表示されます。RX_DV がアサートされている場合、有効なデータが含まれています。MII モードでは、ニブル (RX_D[3:0]) を受信します。RMII モードでは、2 ビットの RX_D[1:0] を受信します。
RX_D2	14	リセット:I、PD アクティブ:O Strap8	
RX_D1	15	リセット:I、PD アクティブ:O Strap9	
RX_D0	16	リセット:I、PD アクティブ:O Strap0	
VDDIO	17	電源	I/O 電源電圧:3.3V または 1.8V。デカップリング コンデンサの要件については、データシートの「*電源デカップリングに関する推奨事項*」セクションを参照してください。
RX_DV/ CRS_DV	18	リセット:I、PD アクティブ:O Strap10	受信データ有効:このピンは、MII モードの場合は RX_D[3:0]、RMII モードの場合は RX_D[1:0] に有効なデータが存在することを示します。MII モードでは、このピンは RX_DV として機能します。RMII モードでは、このピンは CRS_DV として機能し、RMII キャリアと受信データの有効な通知を組み合わせます。このピンは、RMII モードの RX_DV に構成し、RMII 反復モードを有効化できます。
RX_CLK/ 50MHz_RMII	19	リセット:I、PD アクティブ:O	MII 受信クロック:MII 受信クロックは、速度 100bps の 25MHz 基準クロックおよび受信データ ストリームから取得される速度 10Mbps の 2.5MHz 基準クロックを供給します。 RMII リーダー モードでは、これにより 50MHz 基準クロックを供給します。RMII フォロワ モードでは、このピンは使われず、入力、プルダウンのままになります。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン機能 (ENHANCED モード) (続き)

ピン		タイプ[1]	説明
名称	なし		
RX_ER	20	リセット:I、PD アクティブ:O Strap6	受信エラー:このピンは、MII モードおよび RMII モードの両方で受信パケット内にエラー シンボルが検出されたことを示します。 MII モードでは、RX_CLK の立ち上がりエッジに同期して、RX_ER が High にアサートされます。 RMII モードでは、基準クロックの立ち上がりエッジに同期して、RX_ER が High にアサートされます。受信エラー (アイドル中のエラーを含む) が発生するたびに、RX_ER が High にアサートされます。 このストラップは、パワーアップ時にのみラッチされ、ピンのリセット時にはラッチされません。
PWRDN/INT	21	リセット:I、PU アクティブ:I/O、PU	パワーダウン (デフォルト)、割り込み:このピンのデフォルトの機能はパワーダウンです。このピンを割り込みとして構成するには、レジスタ アクセスが必要です。パワーダウン機能では、このピンにアクティブ Low 信号が印加されると、デバイスはパワーダウン モードに移行します。このピンが割り込みピンとして構成されている場合に割り込み状態が発生すると、このピンが Low にアサートされます。このピンには、弱い内部プルアップ抵抗 (9.5kΩ) のオープン ドレイン出力があります。一部のアプリケーションでは、外部 PU 抵抗が必要となります。
TX_CLK	22	リセット:I、PD アクティブ:O Strap5	MII 送信クロック:MII 送信クロックは、速度 100Mbps の 25MHz 基準クロックおよび速度 10Mbps の 2.5MHz 基準クロックを提供します。MII モードでは、このクロックの位相は入力クロックを基準として一定となることに注意してください。RMII モードでは使用されません。
TX_EN	23	リセット:I、PD アクティブ:I、PD	送信イネーブル:TX_EN は、TX_CLK の立ち上がりエッジに示されます。TX_EN は、MII モードでは TX_D[3:0]、RMII モードでは TX_D[1:0] に有効なデータ入力が存在することを示します。 TX_EN はアクティブ High 信号です。
TX_D0	24	リセット:I、PD アクティブ:I、PD	送信データ: MII モードでは、MAC から受信された送信データ ニブルは TX_CLK の立ち上がりエッジに同期します。 RMII モードでは、MAC から受信された TX_D[1:0] は基準クロックの立ち上がりエッジに同期します。
TX_D1	25	リセット:I、PD アクティブ:I、PD	
TX_D2	26	リセット:I、PD アクティブ:I、PD	
TX_D3	27	リセット:I、PD アクティブ:I、PD	
COL/LED2/ TX_ER/GPIO	28	リセット:I、PD アクティブ:O Strap4	衝突検出 (デフォルト) :MII モードでは、ピンが衝突検出 (COL) として動作している場合、全二重モードではこのピンは常に Low になります。半二重モードでは、送信メディアと受信メディアの両方がアイドル状態でない場合にのみ、COL が High にアサートされます。このピンは、レジスタ構成によって、2 番目の追加 LED ドライバ (LED2)、MII TX_ER 信号、または 汎用 I/O (GPIO) として構成することもできます。 RMII モードでは、このピンはデフォルトで LED2 として機能します。
CRS/LED3	29	リセット:I、PD アクティブ:O Strap3	搬送波検知 (デフォルト) : MII モードでは、受信メディアまたは送信メディアがアイドルでない場合、このピンが High にアサートされます。搬送波検知および受信データは有効です。レジスタ構成により、このピンを 3 番目の LED (LED3) として構成できます。 RMII モードでは、このピンはデフォルトで LED3 として構成されます。
LED0	30	リセット:I、PD アクティブ:O Strap2	LED0:この LED は、リンクのステータスに加えて、送受信アクティビティを示します。リンクが正常な場合は LED が点灯します。トランスミッタまたはレシーバがアクティブになると、LED が点滅します。ピンの外部プルアップまたはプルダウンに基づいて、LED 極性は自動検出 (アクティブ Low / アクティブ High) されます。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン機能 (ENHANCED モード) (続き)

ピン		タイプ(1)	説明
名称	なし		
CLKOUT/ LED1	31	リセット:I、PU アクティブ:O Strap1	このピンは、パワーオン リセット (POR) 後のデフォルト出力として、XI からの 25MHz 基準クロックを供給します。出力はリセットの影響を受けないため、他のシステムに影響を及ぼすことなく、アプリケーションは PHY をリセットできます。出力クロックは、ディープ パワー ダウンによってのみオフになります。 ピンは、ストラップまたはレジスタ構成によって、LED1 として動作するように構成できます。ストラップは、パワーアップ時にのみラッチされ、ピンのリセット時にはラッチされません。リンクが 100Mbps の場合は LED が点灯します。リンクが 10Mbps の場合、またはリンクがない場合は、LED は消灯したままになります。 ピンの外部プルアップまたはプルダウンに基づいて、LED 極性は自動検出 (アクティブ Low / アクティブ High) されます。 このストラップは、パワーアップ時にのみラッチされ、ピンのリセット時にはラッチされません。
RST_N	32	リセット:I、PU アクティブ:I、PU	リセット Low:RST_N ピンはアクティブ Low リセット入力です。このピンを 25µs 以上 Low にアサートすると、リセット プロセスが強制的に開始されます。リセットが開始されると、ストラップ ピンが再スキャンされ、PHY のすべての内部レジスタがデフォルト値にリセットされます。

(1) I = 入力、O = 出力、I/O = 入力 / 出力、A = アナログ、PU または PD = 内部プルアップまたはプルダウン:ハードウェア ブートストラップ構成

Copyright © 2025 Texas Instruments Incorporated

6 ピン構成および機能 (BASIC モード)

BASIC モードは、DP83826 がスタートアップ時に構成できる 2 つのモードのうちの 1 つです。このモードでは、DP83826 はすべての標準イーサネット アプリケーションをサポートでき、現在多くのアプリケーションで使用されている一般的なピン配置構成に一致します。DP83826 を BASIC モードに構成するには、ModeSelect (ピン 1) を GND に短絡します。

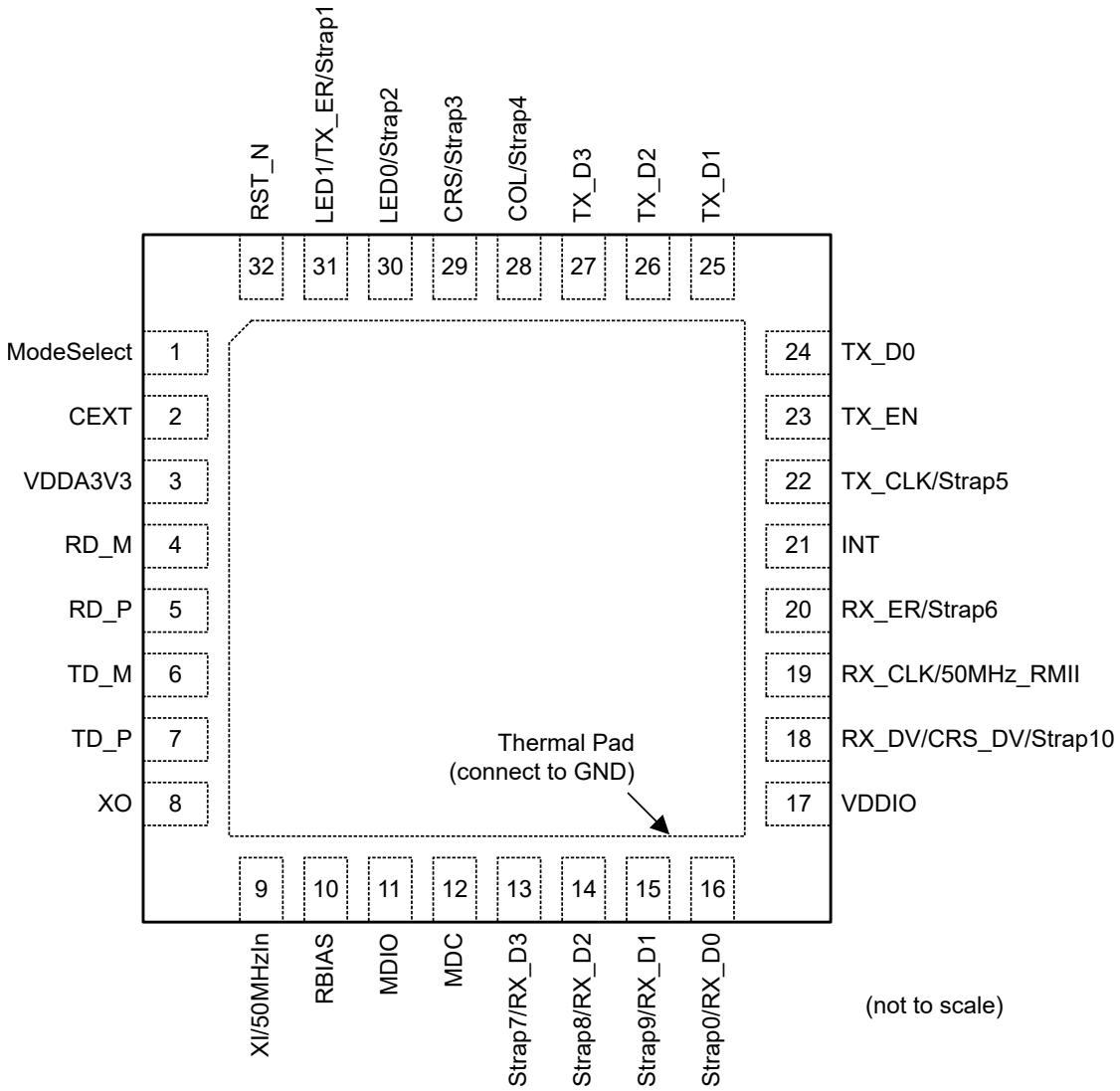


図 6-1. RHB パッケージ
32 ピン QFN
(上面図)

表 6-1. ピン機能 (BASIC モード)

ピン		タイプ[1]	説明
名称	なし		
ModeSelect	1	リセット:I、PU アクティブ:I、PU	このピンは、次の動作モードを選択します:BASIC モードまたは ENHANCED モード。DP83826 を BASIC モードに構成するには、このピンを GND に短絡する必要があります。ENHANCED モードの場合、このピンは NC のままにするか、抵抗で VDDIO にプルアップします。
CEXT	2	A	外部コンデンサ:CEXT ピンは、2nF のコンデンサを通して GND に接続します。

Copyright © 2025 Texas Instruments Incorporated

表 6-1. ピン機能 (BASIC モード) (続き)

ピン		タイプ[1]	説明
名称	なし		
VDDA3V3	3	電源	入力アナログ電源:3.3V デカップリング コンデンサの要件については、データシートの「*電源に関する推奨事項*」セクションを参照してください。
RD_M	4	A	差動受信入力 (PMD) :これらの差動入力は、10BASE-Te または 100BASE-TX 固有の信号モードを受け入れるように自動的に構成されます。
RD_P	5	A	
TD_M	6	A	差動送信出力 (PMD) :これらの差動出力は、PHY に選択されている構成に基づいて、10BASE-Te または 100BASE-TX のいずれかの信号モードに構成されます。
TD_P	7	A	
XO	8	A	水晶振動子出力:基準クロック出力。XO ピンは水晶振動子の場合にのみ使用されます。CMOS レベル発振器を XI に接続する場合、このピンをフローティングのままにします。
XI/50MHzIn	9	A	水晶振動子または発振器の入力クロック: MII モードまたは RMII リーダー モード:25MHz ± 50ppm の水晶振動子または発振器クロック。 RMII フォロワ モード:50MHz ± 50ppm の CMOS レベル発振器クロック。
RBIAS	10	A	バイアス抵抗:R_{BIAS} 値 6.49kΩ (グランドに 1% の精度で接続)。
MDIO	11	リセット:I、PU アクティブ:I/O、PU	管理データ I/O:管理ステーションまたは PHY から出力される可能性がある双方向管理データ信号。このピンには、10kΩ への内部プルアップ抵抗が搭載されています。必要に応じて、外部プルアップ抵抗を追加できます。
MDC	12	リセット:I、PD アクティブ:I、PD	管理データ クロック:MDIO シリアル管理入力 / 出力データへの同期クロック。このクロックは、MAC の送信クロックおよび受信クロックと非同期にすることができます。最大クロック レートは 25MHz です。最小クロック レートはありません。
RX_D3	13	リセット:I、PU アクティブ:O Strap7	受信データ:ケーブルで受信されたシンボルは、RX_CLK の立ち上がりエッジに同期してデコードされ、これらのピンに表示されます。RX_DV がアサートされている場合、有効なデータが含まれています。MII モードでは、ニブル (RX_D[3:0]) を受信します。RMII モードでは、2 ビットの RX_D[1:0] を受信します。
RX_D2	14	リセット:I、PD アクティブ:O Strap8	
RX_D1	15	リセット:I、PD アクティブ:O Strap9	
RX_D0	16	リセット:I、PU アクティブ:O Strap0	
VDDIO	17	電源	I/O 電源電圧:3.3V または 1.8V。デカップリング コンデンサの要件については、データシートの「*電源に関する推奨事項*」セクションを参照してください。
RX_DV/ CRS_DV	18	リセット:I、PD アクティブ:O Strap10	受信データ有効:このピンは、MII モードの場合は RX_D[3:0]、RMII モードの場合は RX_D[1:0] に有効なデータが存在することを示します。MII モードでは、このピンは RX_DV として機能します。RMII モードでは、このピンは CRS_DV として機能し、RMII キャリアと受信データの有効な通知を組み合わせます。
RX_CLK/ 50MHz_RMII	19	リセット:I、PD アクティブ:O	MII 受信クロック:MII 受信クロックは、速度 100Mbps の 25MHz 基準クロックおよび受信データ ストリームから取得される速度 10Mbps の 2.5MHz 基準クロックを供給します。 RMII リーダー モードでは、これにより 50MHz 基準クロックを供給します。RMII フォロワ モードでは、このピンは使われず、入力 / PD のままになります。
RX_ER	20	リセット:I、PD アクティブ:O Strap6	受信エラー:このピンは、MII モードおよび RMII モードの両方で受信パケット内にエラー シンボルが検出されたことを示します。MII モードでは、RX_CLK の立ち上がりエッジに同期して、RX_ER が High にアサートされます。RMII モードでは、基準クロックの立ち上がりエッジに同期して、RX_ER が High にアサートされます。受信エラー (アイドル中のエラーを含む) が発生するたびに、RX_ER が High にアサートされます。
INT	21	リセット:I、PU。アクティブ:O、PU	割り込み:割り込み状態が発生すると、このピンは Low にアサートされます。このピンには、弱い内部プルアップ抵抗 (9.5kΩ) のオープン ドレイン出力があります。一部のアプリケーションでは、外部 PU 抵抗が必要となります。

Copyright © 2025 Texas Instruments Incorporated

表 6-1. ピン機能 (BASIC モード) (続き)

ピン		タイプ(1)	説明
名称	なし		
TX_CLK	22	リセット:I、PD アクティブ:O Strap5	MII 送信クロック:MII 送信クロックは、速度 100Mbps の 25MHz 基準クロックおよび速度 10Mbps の 2.5MHz 基準クロックを提供します。MII モードでは、このクロックの位相は基準クロックを基準として一定となることに注意してください。このような一定位相を必要とするアプリケーションで、この機能を使用できます。RMII モードでは使用されません。
TX_EN	23	リセット:I、PD アクティブ:I、PD	送信イネーブル:TX_EN は、TX_CLK の立ち上がりエッジに示されます。TX_EN は、MII モードでは TX_D[3:0]、RMII モードでは TX_D[1:0] に有効なデータ入力が存在することを示します。 TX_EN はアクティブ High 信号です。
TX_D0	24	リセット:I、PD アクティブ:I、PD	送信データ: MII モードでは、MAC から受信された送信データ ニブルは TX_CLK の立ち上がりエッジに同期します。 RMII モードでは、MAC から受信された TX_D[1:0] は基準クロックの立ち上がりエッジに同期します。
TX_D1	25	リセット:I、PD アクティブ:I、PD	
TX_D2	26	リセット:I、PD アクティブ:I、PD	
TX_D3	27	リセット:I、PD アクティブ:I、PD	
COL	28	リセット:I、PD アクティブ:O Strap4	衝突検出: MII モード:全二重モードでは、このピンは常に Low です。半二重モードでは、送信メディアと受信メディアの両方がアイドル状態でない場合にのみ、このピン が High にアサートされます。 RMII モードでは、このピンは使用されません。
CRS	29	リセット:I、PD アクティブ:O Strap3	搬送波検知: MII モードでは、受信メディアまたは送信メディアがアイドルでない場合、このピンが High にアサートされます。 搬送波検知または受信データは有効です。RMII モードでは、このピンは使用されません。
LED0	30	リセット:I、PU アクティブ:O Strap2	LED0:この LED は、リンクのステータスに加えて、送受信アクティビティを示します。リンクが正常な場合は LED が点灯します。トランスミッタまたはレシーバがアクティブになると、LED が点滅します。 LED 極性はアクティブ Low に固定されます。ストラップ目的で外部プルダウンを必要とする場合、LED とストラップの両方を正しく動作させるために、ストラップと LED の直列抵抗の両方を調整する必要があります。詳細については、LED セクションを参照してください。
LED1/TX_ER	31	リセット:I、PU アクティブ:O Strap1	LED1:このピンは、デフォルトで LED1 として機能します。リンクが 100Mbps の場合は LED が点灯します。リンクが 10Mbps の場合、またはリンクがない場合は、LED は消灯したままになります。レジスタ設定により、このピンを TX_ER に構成できます。 LED 極性はアクティブ Low に固定されます。ストラップ目的で外部プルダウンを必要とする場合、LED とストラップの両方を正しく動作させるために、ストラップと LED の直列抵抗の両方を調整する必要があります。詳細については、LED セクションを参照してください。
RST_N	32	リセット:I、PU アクティブ:I、PU	リセット Low:RST_N ピンはアクティブ Low リセット入力です。このピンを 25µs 以上 Low にアサートすると、リセット プロセスが強制的に開始されます。リセットが開始されると、ストラップ ピンが再スキャンされ、PHY のすべての内部レジスタがデフォルト値にリセットされます。

(1) I = 入力、O = 出力、I/O = 入力 / 出力、A = アナログ、PU または PD = 内部プルアップまたはプルダウン:ハードウェア ブートストラップ構成

Copyright © 2025 Texas Instruments Incorporated

7 仕様

7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

パラメータ		最小値	最大値	単位
アナログ電源電圧	VDDA3V3	-0.3	4	V
IO 電源	VDDIO3V3	-0.3	4	V
IO 電源	VDDIO1V8	-0.3	2.1	V
保管温度	Tstg	-65	150	°C
MDI ピン	TX_P、TX_M、RX_P、RX_M	-0.6	4	V
MAC インターフェイス ピン	TX_CLK、TX_D[3:0]、TX_EN、TX_ER、RX_CLK、RX_D[3:0]、RX_ER、RX_DV、CRS、COL	-0.3	4	V
シリアル マネージメント インターフェイス ピン	MDIO、MDC	-0.3	4	V
水晶振動子 / 発振器ピン	XI、XO	-0.3	4	V
リセットピン	RST_N	-0.3	4	V

(1) 「*絶対最大定格*」の範囲外の動作は、デバイスに恒久的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「*推奨動作条件*」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

7.2 ESD 定格

パラメータ	定義	値	単位
静電気放電 (HBM)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1) MDI (Media Dependent Interface) ピン	±5	kV
	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1) MDI ピンを除くすべてのピン	±2	kV
ESD (CDM)	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 (2)、すべてのピン	±750	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。必要な予防措置をとれば、HBM ESD 耐圧が 500V 未満でも製造可能です。±5kV または ±4kV と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。必要な予防措置をとれば、CDM ESD 耐圧が 250V 未満でも製造可能です。±750V と記載されているピンは、実際にはそれよりも高い性能を持つ場合があります。

7.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
アナログ電源電圧	VDDA3V3	3	3.3	3.6	V
IO 電源	VDDIO3V3	3	3.3	3.6	V
	VDDIO1V8	1.62	1.8	1.98	V
自由気流での動作温度 (DP83826E)	T_A	-40	25	105	℃
自由気流での動作温度 (DP83826I)	T_A	-40	25	85	℃

Copyright © 2025 Texas Instruments Incorporated

7.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
VDDIO:1.8V	TX_EN、TX_D0、TX_D1、TX_D2、TX_D3、TX_CLK、RX_D0、RX_D1、RX_D2、RX_D3、RX_DV、RX_ER、MDIO、MDC、COL/LED2、CRS、CLKOUT/LED1、INT/PWDN、RESET、TX_ER	1.62	1.8	1.98	V
	XI 発振器入力	1.62	1.8	1.98	V
	LED0	1.62	1.8	1.98	V
VDDIO:3.3V	TX_EN、TX_D0、TX_D1、TX_D2、TX_D3、TX_CLK、RX_D0、RX_D1、RX_D2、RX_D3、RX_DV、RX_ER、MDIO、MDC、COL/LED2、CRS、CLKOUT/LED1、INT/PWDN、RESET、TX_ER	3.0	3.3	3.6	V
	XI 発振器入力	3.0	3.3	3.6	V
	LED0	3.0	3.3	3.6	V

7.4 熱に関する情報

(1)

熱評価基準			単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	52	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	42	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	11.9	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	31.5	℃/W
Y_{JT}	接合部から上面への特性パラメータ	2.1	℃/W
Y_{JB}	接合部から基板への特性パラメータ	31.4	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

7.5 電気的特性

自由気流での動作温度範囲内 (VDDA3V3 = 3V3) (特に記述のない限り)[1]

パラメータ		テスト条件	最小値	標準値	最大値	単位
IEEE Tx 準拠 (100BaseTx)						
V_{OD}	差動出力電圧		950		1050	mV
IEEE Tx 準拠 (10BaseTe)						
V_{OD}	出力差動電圧[2]		1.54	1.75	1.96	V
消費電力の基準値 (アクティブ モード、50% のトラフィック、パケット サイズ:1518、ランダム コンテンツ、150m のケーブル)						
$I_{(VDDA3V3=3V3)}$	MII (100BaseTx)			45	53	mA
$I_{(VDDA3V3=3V3)}$	MII (10BaseTe)			35	46	mA
$I_{(VDDA3V3=3V3)}$	RMII リーダー (100BaseTx)			45	53	mA
$I_{(VDDA3V3=3V3)}$	RMII リーダー (10BaseTe)			35	46	mA
$I_{(VDDA3V3=3V3)}$	RMII フォロワ (100BaseTx)			45	53	mA
$I_{(VDDA3V3=3V3)}$	RMII フォロワ (10BaseTe)			35	46	mA
$I_{(VDDIO=3V3)}$	MII (100BaseTx)			8	14	mA
$I_{(VDDIO=3V3)}$	MII (10BaseTe)			5	12	mA
$I_{(VDDIO=3V3)}$	RMII リーダー (100BaseTx)			9	14	mA
$I_{(VDDIO=3V3)}$	RMII リーダー (10BaseTe)			9	12	mA
$I_{(VDDIO=3V3)}$	RMII フォロワ (100BaseTx)			7	8.5	mA
$I_{(VDDIO=3V3)}$	RMII フォロワ (10BaseTe)			5	6	mA
$I_{(VDDIO=1V8)}$	MII (100BaseTx)			5	7	mA
$I_{(VDDIO=1V8)}$	MII (10BaseTe)			3	6	mA
$I_{(VDDIO=1V8)}$	RMII リーダー (100BaseTx)			5	7	mA
$I_{(VDDIO=1V8)}$	RMII リーダー (10BaseTe)			5	6	mA
$I_{(VDDIO=1V8)}$	RMII フォロワ (100BaseTx)			3	6	mA
$I_{(VDDIO=1V8)}$	RMII フォロワ (10BaseTe)			2	3	mA
消費電力 (アクティブ モードの最も厳しい条件、100% のトラフィック、パケット サイズ:1518、ランダム コンテンツ、150m のケーブル)						
$I_{(VDDA3V3=3V3)}$	MII (100BaseTx)			44	55	mA
$I_{(VDDA3V3=3V3)}$	MII (10BaseTe)			35	48	mA

Copyright © 2025 Texas Instruments Incorporated

7.5 電気的特性 (続き)

自由気流での動作温度範囲内 (VDDA3V3 = 3V3) (特に記述のない限り)[1]

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{(VDDA3V3=3V3)}$	RMII リーダー (100BaseTx)			44	55	mA
	RMII リーダー (10BaseTe)			35	48	mA
	RMII フォロワ (100BaseTx)			44	55	mA
	RMII フォロワ (10BaseTe)			35	48	mA
$I_{(VDDIO=3V3)}$	MII (100BaseTx)			10	15	mA
$I_{(VDDIO=3V3)}$	MII (10BaseTe)			5	12	mA
$I_{(VDDIO=3V3)}$	RMII リーダー (100BaseTx)			11	15	mA
	RMII リーダー (10BaseTe)			9	12	mA
	RMII フォロワ (100BaseTx)			8	12	mA
	RMII フォロワ (10BaseTe)			5	10	mA
$I_{(VDDIO=1V8)}$	MII (100BaseTx)			6	9	mA
$I_{(VDDIO=1V8)}$	MII (10BaseTe)			2	6	mA
$I_{(VDDIO=1V8)}$	RMII リーダー (100BaseTx)			6	9	mA
	RMII リーダー (10BaseTe)			5	7	mA
	RMII フォロワ (100BaseTx)			4	8	mA
	RMII フォロワ (10BaseTe)			2	6	mA
消費電力 (低消費電力モード)						
$I_{(AVDD3V3=3V3)}$	100 BaseTx EEE モード	EEE モードの 100 BaseTx リンク (LPI オン)		15		mA
$I_{(AVDD3V3=3V3)}$	IEEE パワーダウン				11	mA
$I_{(AVDD3V3=3V3)}$	アクティブ スリープ				18	mA
$I_{(AVDD3V3=3V3)}$	リセット				12.5	mA
I(VDDIO=3V3)	100 BaseTx EEE モード	EEE モードの 100 BaseTx リンク (LPI オン)		6		mA
I(VDDIO=3V3)	IEEE パワーダウン				10.5	mA
I(VDDIO=3V3)	アクティブ スリープ				10.5	mA
I(VDDIO=3V3)	リセット				10.5	mA
I(VDDIO=1V8)	100 BaseTx EEE モード	EEE モードの 100 BaseTx リンク (LPI オン)		4		mA
I(VDDIO=1V8)	IEEE パワーダウン				5.5	mA
I(VDDIO=1V8)	アクティブ スリープ				5.5	mA
I(VDDIO=1V8)	リセット				5.5	mA
ブートストラップ DC 特性 (2 レベル)						
V_{IH_3v3}	High レベルのブートストラップ スレッショルド:3V3		1.3			V

Copyright © 2025 Texas Instruments Incorporated

7.5 電気的特性 (続き)

自由気流での動作温度範囲内 (VDDA3V3 = 3V3) (特に記述のない限り)(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IL_3v3}	Low レベルのブートストラップ スレッショルド: 3V3				0.6	V
V_{IH_1v8}	High レベルのブートストラップ スレッショルド: 1V8		1.3			V
V_{IL_1v8}	Low レベルのブートストラップ スレッショルド: 1V8				0.6	V
水晶発振器						
C_{OSC_EXT}	外部負荷容量			15	30	pF
IO						
V_{IH_3V3}	High レベル入力電圧	VDDIO = 3.3V ±10%	1.7			V
V_{IL_3V3}	Low レベル入力電圧	VDDIO = 3.3V ±10%			0.8	V
V_{OH_3V3}	High レベル出力電圧	I_{OH} = -2mA、VDDIO = 3.3V ±10%	2.4			V
V_{OL_3V3}	Low レベル出力電圧	I_{OL} = 2mA、VDDIO = 3.3V ±10%			0.4	V
V_{IH_1V8}	High レベル入力電圧	VDDIO = 1.8V ±10%	0.65 x VDDIO			V
V_{IL_1V8}	Low レベル入力電圧	VDDIO = 1.8V ±10%			0.35 x VDDIO	V
V_{OH_1V8}	High レベル出力電圧	I_{OH} = -2mA、VDDIO = 1.8V ±10%	VDDIO – 0.45			V
V_{OL_1V8}	Low レベル出力電圧	I_{OL} = 2mA、VDDIO = 1.8V ±10%			0.45	V
I_{IH}	高入力電流	T_A = –40℃ ～ 85℃、VIN=VDDIO			15	µA
I_{IH}	高入力電流	T_A = –40℃ ～ 105℃、VIN=VDDIO			25	µA
I_{IL}	入力 Low 電流	T_A = –40℃ ～ 85℃、VIN=GND			15	µA
I_{IL}	入力 Low 電流	T_A = –40℃ ～ 105℃、VIN=GND			25	µA
I_{OZH}	トライステート出力高電流	T_A = –40℃ ～ 85℃	-15		15	µA
I_{OZH}	トライステート出力高電流	T_A = –40℃ ～ 105℃	-25		25	µA
I_{OZL}	トライステート出力低電流	T_A = –40℃ ～ 85℃	-15		15	µA
I_{OZL}	トライステート出力低電流	T_A = –40℃ ～ 105℃	-25		25	µA
R_{PD}	内部プルダウン抵抗		7.5	10	12.5	kΩ
R_{PU}	内蔵プルアップ抵抗		7.5	10	12.5	kΩ
C_{IN}	入力容量	XI ピン		1		pF
C_{IN}	入力容量	入力ピン		5		pF
C_{OUT}	出力容量	XO ピン		1		pF
C_{OUT}	出力容量	出力ピン		5		pF
$V_{CM\text{-}OSC}$	XI 入力発振器クロックの同相電圧	VDDIO = 1.8V		0.9		V
$V_{CM\text{-}OSC}$	XI 入力発振器クロックの同相電圧	VDDIO = 3.3V		1.65		V
R_{series}	内蔵 MAC 直列終端抵抗	RX_D[3:0]、RX_ER、RX_DV、RX_CLK、TX_CLK		50		Ω

(1) 製造試験、特性評価、設計によって検証済み
(2) レジスタ 0x030E に 0x4A40 を書き込む必要があります。

Copyright © 2025 Texas Instruments Incorporated

7.6 タイミング要件

(1)

パラメータ		最小値	公称値	最大値	単位
パワーアップ タイミング					
T1	電圧ランプ期間 (VDDIO の 0%～100%)	0.5		50	ms
T2	VDDA3V3 の後に VDDIO、または VDDIO の後に VDDA3V3 の順に供給 (2) (4)	0		200	ms
T3	電圧ランプ期間 (VDDA3V3 の 0%～100%)	0.5		50	ms
T4	POR リリース時間 / 電源投入から SMI レディまで:レジスタ アクセスの MDC プリアンブルまでの、電源投入後安定化時間			50	ms
T5	電源投入から FLP まで		1500		ms
	電源立ち上げの前の VDDA3V3、VDDIO のペデスタル電圧			0.3	V
リセット タイミング					
T1	リセット パルス幅:リセット可能な最小リセット パルス幅 (デバウンシング コンデンサなし)	25			µs
T2	リセットから SMI レディまで:レジスタ アクセスの MDC プリアンブルまでの、リセット後安定化時間			2	ms
T3	リセットから FLP まで		1500		ms
	リセットから 100M 信号まで (ストラップ モード)		0.5		ms
	リセットから RMII リーダー クロックまで		0.2		ms
高速リンク パルス タイミング					
T1	クロック パルスからクロック パルスまでの期間	111	125	139	µs
T2	クロック パルスからデータ パルスまでの期間	55.5	62.5	69.5	µs
T3	クロック / データのパルス幅		104		ns
T4	FLP バーストから FLP バーストまでの期間	8	16	24	ms
T5	FLP バースト幅		2		ms
	バースト内のパルス幅	17		33	
リンク アップ タイミング					
	ストラップを使って有効化された高速リンクドロップ、150m ケーブル			10	µs
	モード 1 (信号 / エネルギー喪失表示) を使用した高速リンクドロップ時間			10	µs
	モード 2 (低信号対雑音比スレッショルド) を使用した高速リンクドロップ時間(5)			10	µs
	モード 3 (MLT3 エラー カウント) を使用した高速リンクドロップ時間(5)			10	µs
	モード 4 (RX エラー数) を使用した高速リンクドロップ時間			10	µs
	モード 5 (デスクランブラ リンクドロップ) を使用した高速リンクドロップ時間 (5)			11	µs
100M EEE のタイミング					
	スリープ時間		210		µs
	静穏時間		20		ms
	ウェーク時間 (Tw_sys_tx)		36		µs
	リフレッシュ時間		200		µs
100M MII 受信タイミング					
T1	RX_CLK High/Low 時間	16	20	24	ns
T2	RX_CLK 立ち上がりからの RX_D[3:0]、RX_ER、RX_DV の遅延	20		28	ns
100M MII 送信タイミング					
T1	TX_CLK High/Low 時間	16	20	24	ns
T2	TX_CLK までの TX_D[3:0]、TX_ER、TX_EN のセットアップ	10			ns

Copyright © 2025 Texas Instruments Incorporated

7.6 タイミング要件 (続き)

(1)

パラメータ		最小値	公称値	最大値	単位
T3	TX_CLK からの TX_D[3:0]、TX_ER、TX_EN のホールド	0			ns
10M MII 受信タイミング					
T1	RX_CLK High/Low 時間(3)	160	200	240	ns
T2	RX_CLK 立ち上がりからの RX_D[3:0]、RX_ER、RX_DV の遅延(3)	100		300	ns
10M MII 送信タイミング					
T1	TX_CLK High/Low 時間	190	200	210	ns
T2	TX_CLK までの TX_D[3:0]、TX_ER、TX_EN のセットアップ	25			ns
T3	TX_CLK からの TX_D[3:0]、TX_ER、TX_EN のホールド	0			ns
100M RMII リーダー タイミング					
	RMII リーダー クロック周期		20		ns
	RMII リーダー クロック デューティ サイクル	35		65	%
100M RMII フォロワ タイミング					
T2	基準クロックの立ち上がりまでの TX_D[1:0]、TX_ER、TX_EN のセットアップ RMII 送信タイミングを参照してください。	4			ns
T3	基準クロックの立ち上がりからの TX_D[1:0]、TX_ER、TX_EN のホールド RMII 送信タイミングを参照してください。	2			ns
T4	基準クロックの立ち上がりからの RX_D[1:0]、RX_ER、CRS_DV の遅延 RMII 受信タイミングを参照してください。	4		14	ns
SMI タイミング					
T1	MDC から MDIO (出力) までの遅延時間	0		13	ns
T2	MDC に対する MDIO (入力) のセットアップ時間	10			ns
T3	MDC に対する MDIO (入力) のホールド時間	10			ns
T4	MDC 周波数		2.5	24	MHz
出力クロック タイミング (50M RMII リーダー クロック)					
	周波数 (PPM)			50	ppm
	ジッタ (長期 500 サイクル)			450	ps
	立ち上がり / 立ち下がり時間			5	ns
	デューティ サイクル	40		60	%
出力クロック タイミング (25M クロック出力)					
	周波数 (PPM)			50	ppm
	デューティ サイクル	35		65	%
	立ち上がり時間			4000	ps
	立ち下がり時間			5000	ps
	ジッタ (長期:500 サイクル)			300	ps
	ジッタ (短期)			250	ps
	周波数		25		MHz
25MHz 入力クロック許容誤差					
	周波数許容誤差 (ElectChar_Sections セクションの「PLL 出力周波数 PPM」と同じ)	-50		50	ppm
	立ち上がり / 立ち下がり時間			5	ns
	ジッタ許容誤差 (RMS)			50	ps
	1kHz での入力位相ノイズ			-98	dBc/Hz

Copyright © 2025 Texas Instruments Incorporated

7.6 タイミング要件 (続き)

(1)

パラメータ		最小値	公称値	最大値	単位
	10kHz での入力位相ノイズ			-113	dBc/Hz
	100kHz での入力位相ノイズ			-113	dBc/Hz
	1MHz での入力位相ノイズ			-113	dBc/Hz
	10MHz での入力位相ノイズ			-113	dBc/Hz
	デューティ サイクル	40		60	%
50MHz 入力クロック許容誤差					
	周波数許容誤差	-50		50	ppm
	立ち上がり / 立ち下がり時間			5	ns
	ジッタ許容誤差 (RMS)			50	ps
	ジッター許容誤差:位相ノイズから算出された長期ジッタ (100,000 サイクル)				ps
	1kHz での入力位相ノイズ			-87	dBc/Hz
	10kHz での入力位相ノイズ			-107	dBc/Hz
	100kHz での入力位相ノイズ			-107	dBc/Hz
	1MHz での入力位相ノイズ			-107	dBc/Hz
	10MHz での入力位相ノイズ			-107	dBc/Hz
	デューティ サイクル	40		60	%
レイテンシ タイミング					
	MII 100M Tx (MII から MDI まで):TX_CLK の立ち上がりエッジ (TX_EN アサート時) から MDI の SSD シンボルまで、高速 RX_DV 有効、100m ケーブル	38		40	ns
	MII 100 Rx (MDI から MII まで):MDI の SSD シンボルから RX_CLK の立ち上がりエッジ (RX_DV アサート時) まで、高速 RX_DV 有効、100m ケーブル	166		170	ns
	MII 10M Tx (MII から MDI まで):TX_CLK の立ち上がりエッジ (TX_EN アサート時) から MDI の SSD シンボルまで			540	ns
	RMII フォロワ 100M Tx (RMII から MDI):フォロワー RMII は、TX_EN のアサートとともに XI クロックの立ち上がりエッジを使用して、MDI 上の SSD シンボルを生成し、FAST RX_DV が有効で、100 メートルのケーブルを使用	88		96	ns
	RMII リーダー 100M Tx (RMII から MDI まで):RMII リーダーのクロックの立ち上がりエッジ (TX_EN アサート時) から MDI の SSD シンボルまで、高速 RX_DV 有効、100m ケーブル	88		96	ns
	RMII フォロワ 10M Tx (RMII から MDI まで):RMII フォロワの XI クロックの立ち上がりエッジ (TX_EN アサート時) から MDI の SSD シンボルまで			1360	ns
	RMII リーダー 10M Tx (RMII から MDI まで):RMII リーダーのクロックの立ち上がりエッジ (TX_EN アサート時) から MDI の SSD シンボルまで			1360	ns
	MII 10M Rx (MDI から MII まで):MDI の SSD シンボルから RX_CLK の立ち上がりエッジ (RX_DV アサート時) まで、高速 RX_DV 有効、100m ケーブル			1640	ns
	RMII フォロワ 100M Rx (MDI から RMII まで):MDI の SSD シンボルから RMII フォロワの XI クロックの立ち上がりエッジ (CRS_DV アサート時) まで、高速 RX_DV 有効、100m ケーブル	268		288	ns
	RMII リーダー 100M Rx (MDI から RMII まで):MDI の SSD シンボルから RMII リーダーのリーダー クロックの立ち上がりエッジ (CRS_DV アサート時) まで	252		270	ns
	RMII フォロワ 10M (MDI から RMII まで):MDI の SSD シンボルから RMII フォロワの XI クロックの立ち上がりエッジ (CRS_DV アサート時) まで (10M)	2110		2152	ns
	RMII リーダー 10M (MDI から RMII まで):MDI の SSD シンボルから RMII リーダーのリーダー クロックの立ち上がりエッジ (CRS_DV アサート時) まで (10M)	2110		2152	ns

Copyright © 2025 Texas Instruments Incorporated

7.6 タイミング要件 (続き)

(1)

パラメータ		最小値	公称値	最大値	単位
	MII:XI と TXCLK の間の位相差 (複数回のリセット、パワー サイクルを挟んで)	0	2	4	ns

(1) 製造試験、特性評価、設計によって検証
(2) 電源の立ち上げ開始時にクロックが利用可能である必要があります。クロックが遅れた場合、POR 完了後に追加の RESET_N が必要です。クロックの安定化と POR 完了の 100µs 後にリセットを開始できます
(3) 最初のニブルのデータを受信中に、PHY はソースをローカル クロックから再生クロックに切り替え、RX_CLK をストレッチして、RX_CLK から RX_DV までの遅延に影響を及ぼします。
(4) VDDIO 電源と AVDD 電源は、同時に立ち上げることも、どちらかの立ち上げを (遅延の最大値まで) 遅らせることもできます。
(5) Rx_Error カウントまたは信号 / エネルギー損失表示を有効化して、最大限度を満たします。

7.7 タイミング図

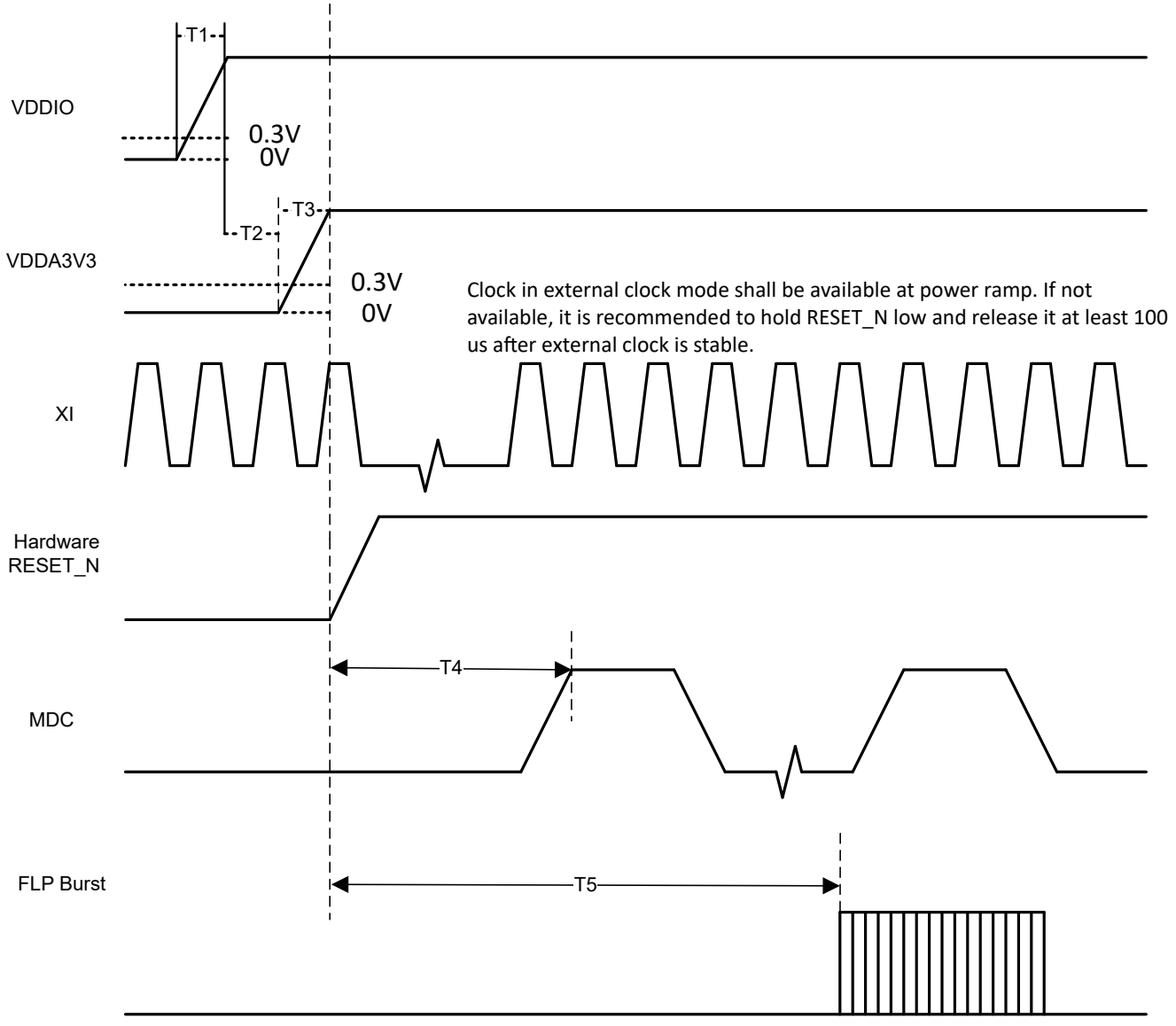


図 7-1. パワーアップ タイミング (電源シーケンス)

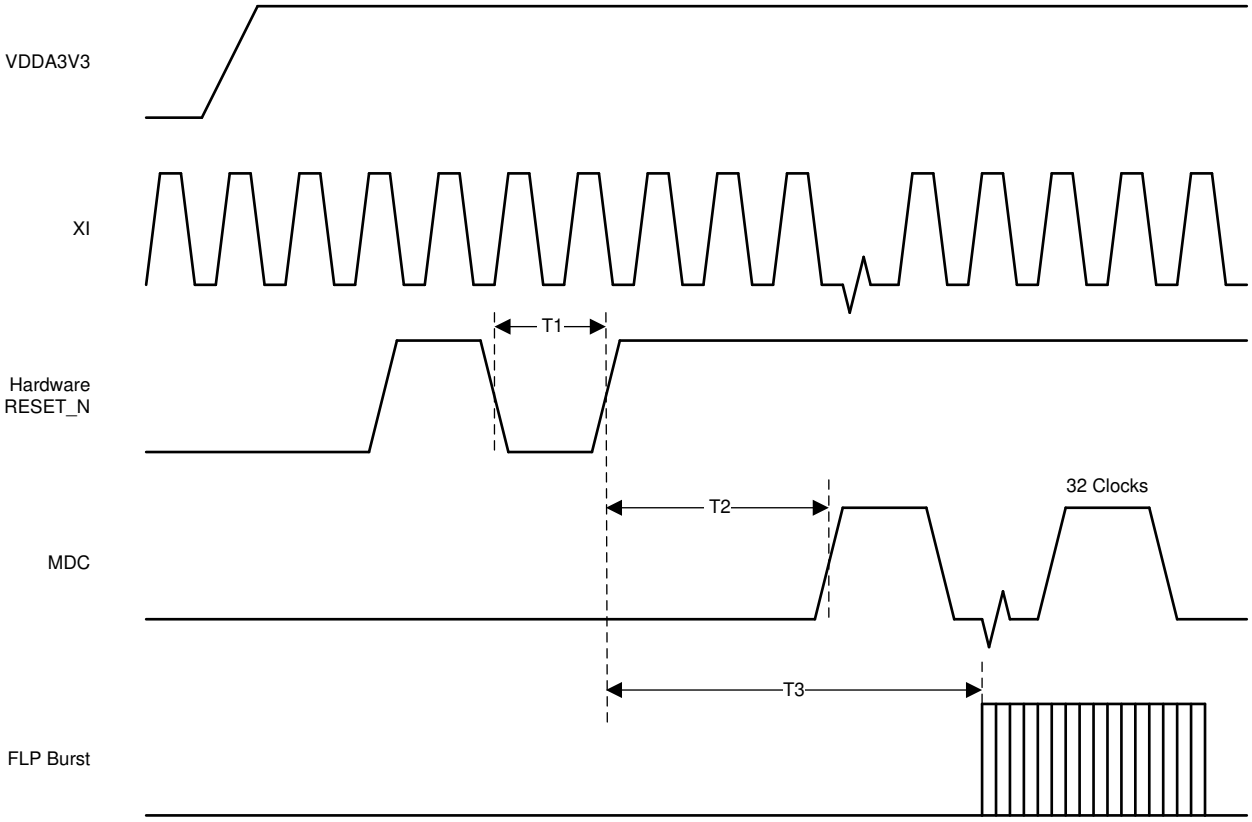


図 7-2. リセット タイミング (POR)

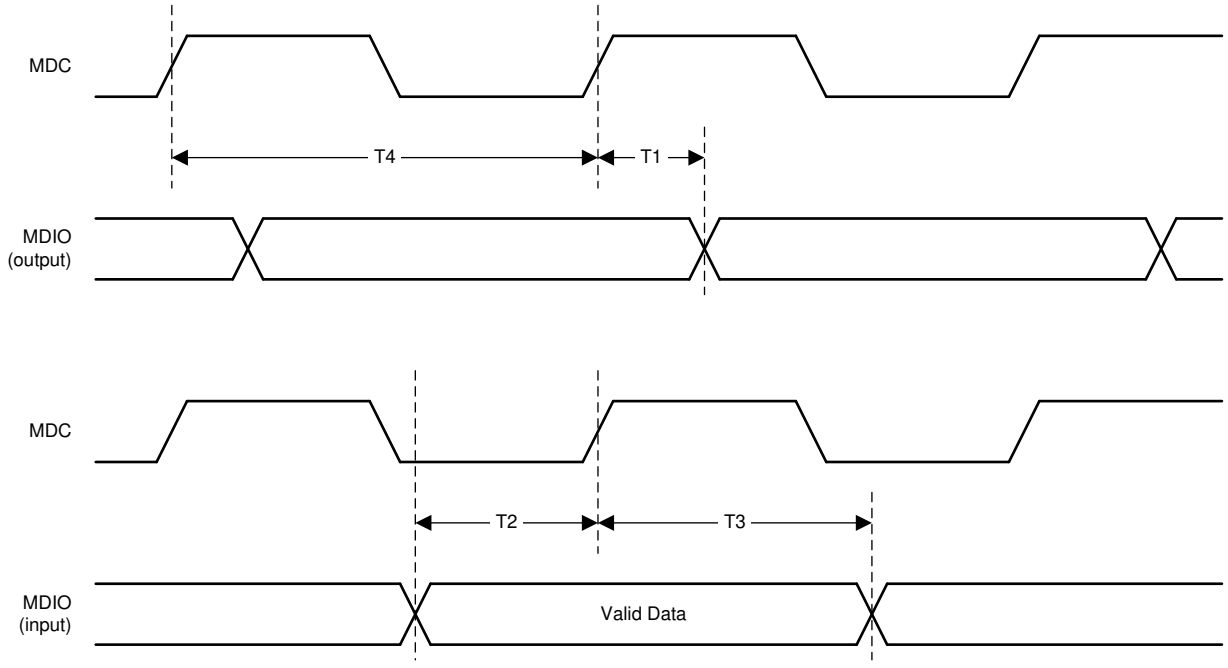


図 7-3. シリアル マネージメントのタイミング

Copyright © 2025 Texas Instruments Incorporated

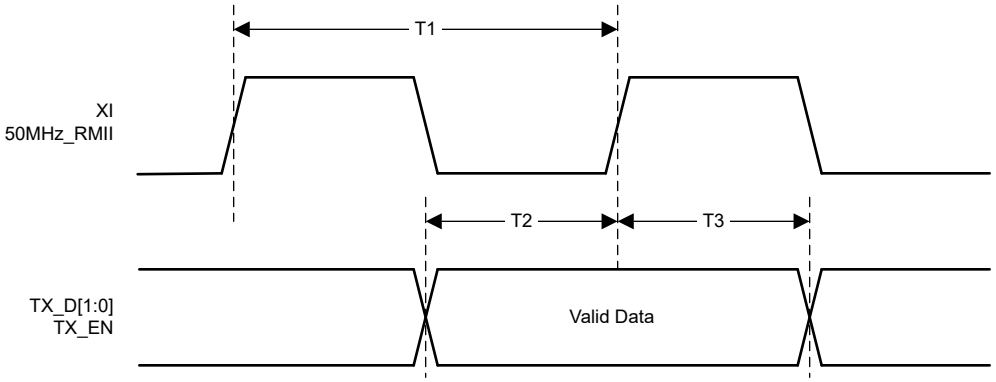


図 7-4. RMII 送信タイミング

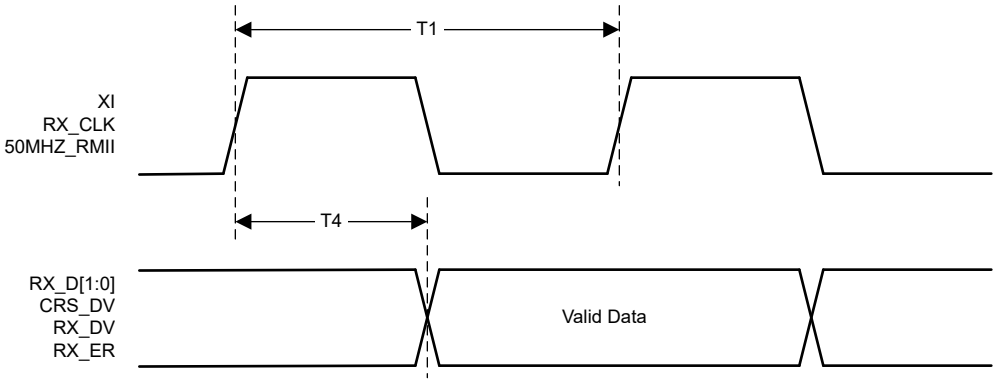


図 7-5. RMII 受信タイミング

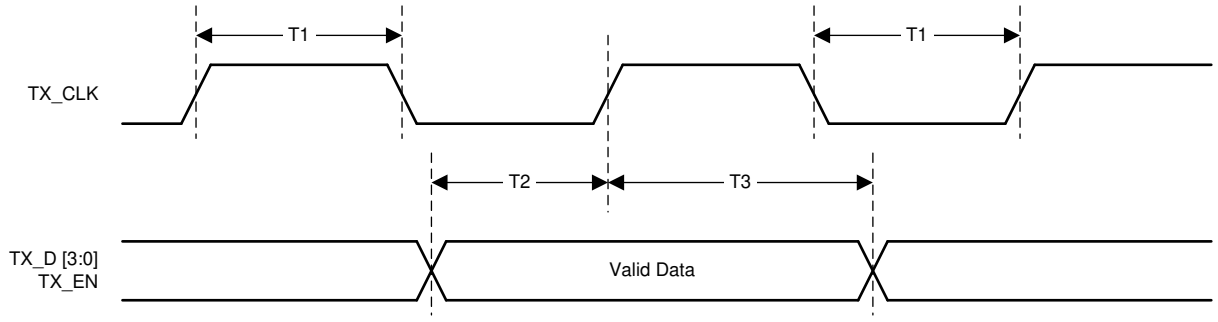


図 7-6. 100m MII 送信タイミング

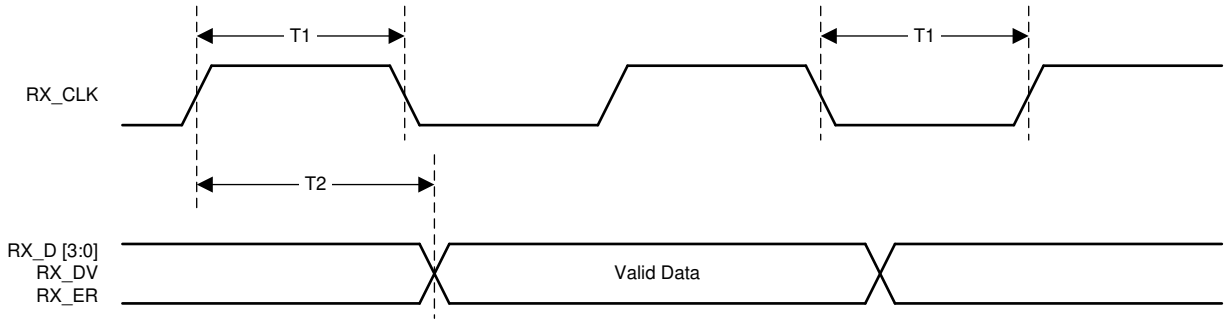


図 7-7. 100m MII 受信タイミング

Copyright © 2025 Texas Instruments Incorporated

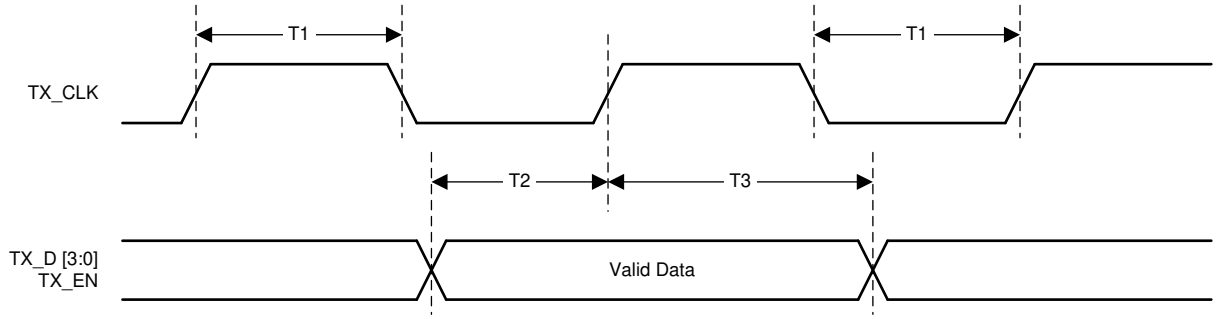


図 7-8. 10M MII 送信タイミング

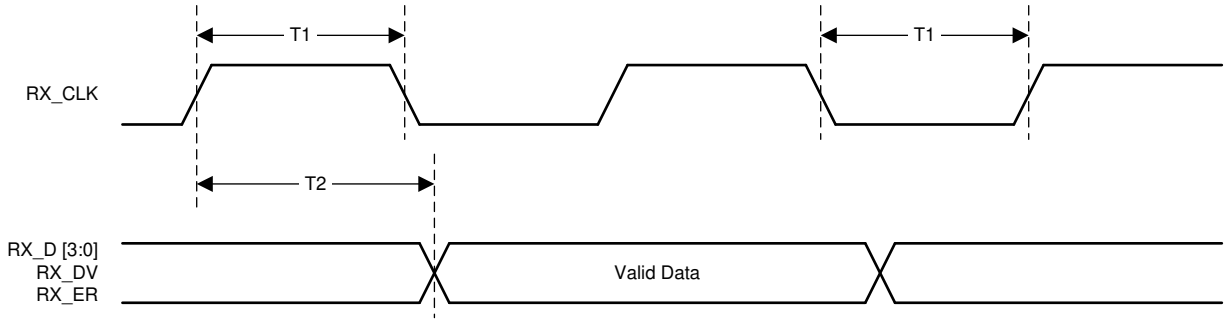


図 7-9. 10m MII 受信タイミング

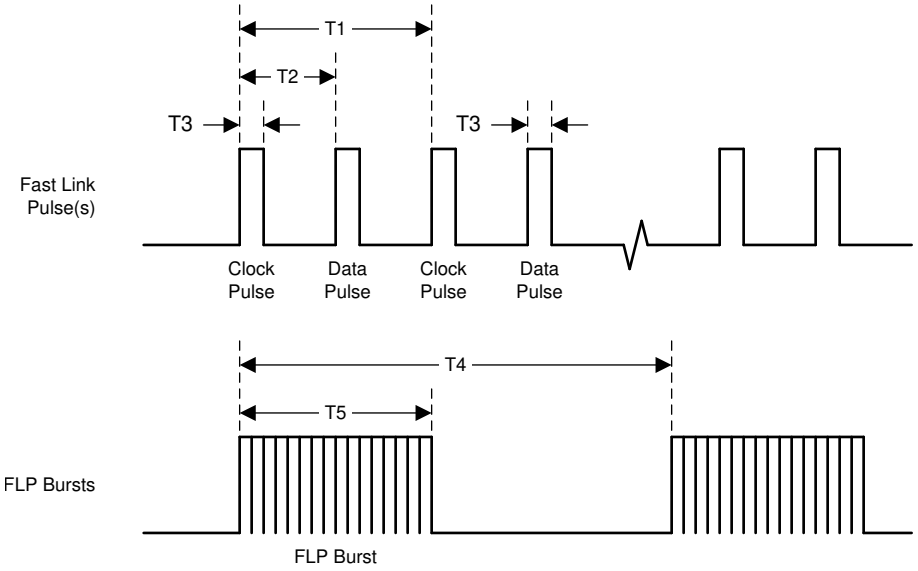


図 7-10. 高速リンク パルス タイミング

Copyright © 2025 Texas Instruments Incorporated

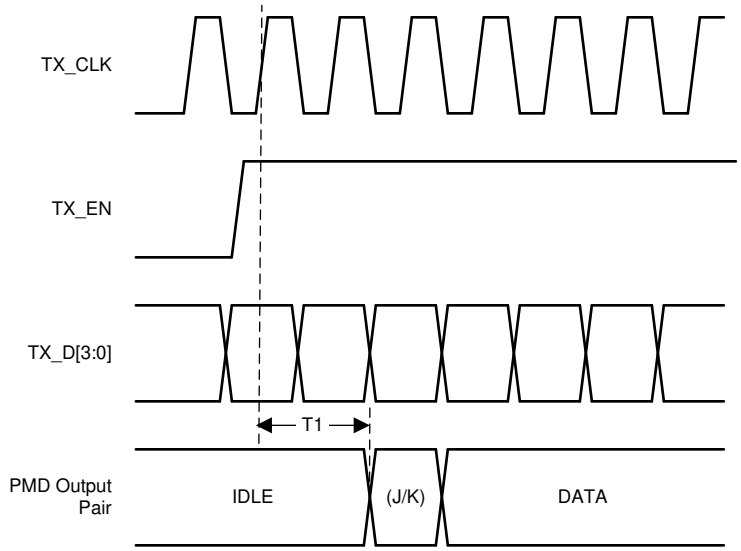


図 7-11. 100BASE-TX 送信レイテンシ タイミング

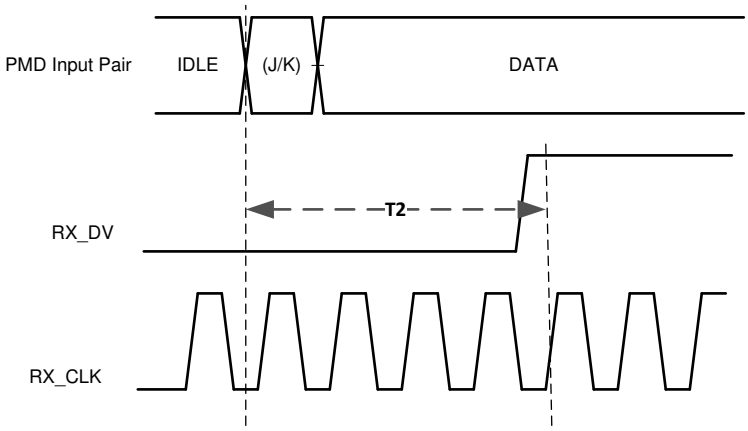


図 7-12. 100BASE-TX 受信レイテンシ タイミング

7.8 代表的特性

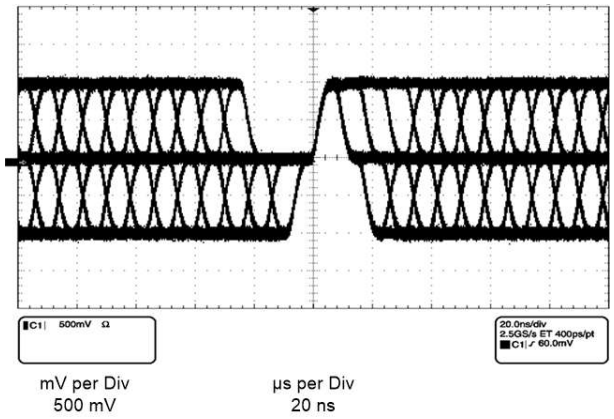


図 7-13. 100BASE-TX PMD アイ波形

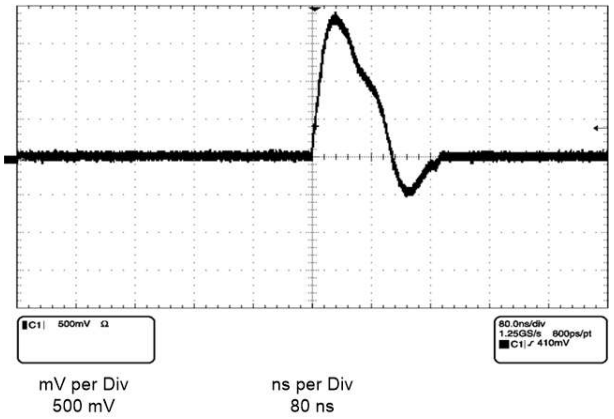


図 7-14. 10BASE-Te リンク パルスの波形

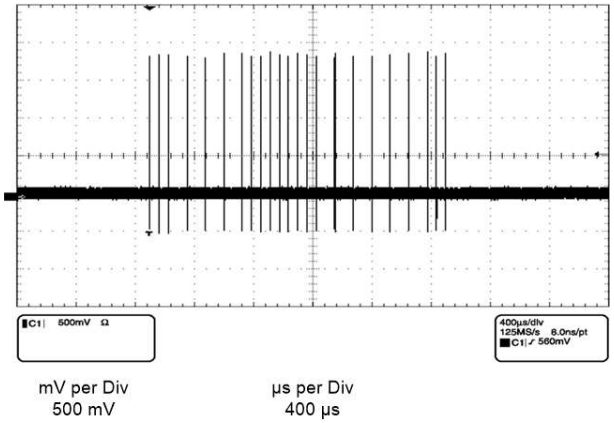


図 7-15. オートネゴシエーション高速リンク パルスの波形

Copyright © 2025 Texas Instruments Incorporated

8 詳細説明

8.1 概要

DP83826 は、IEEE802.3 10BASE-Te および 100BASE-TX 規格に準拠したシングル ポートの物理層トランシーバです。DP83826 は、厳格な産業用フィールドバス アプリケーションのニーズを満たすように設計されており、非常に低いレイテンシ、レイテンシの確定的な変動 (リセット、電源サイクル全体)、XI と TX_CLK 間の固定位相、低消費電力、高速リンク アップを実現するハードウェア ブートストラップを使用した構成を提供します。このデバイスは、MAC (媒体アクセス制御) に直接接続するための標準の MII および RMII (リーダー モードおよびフォロワ モード) をサポートしています。このデバイス専用の CLKOUT ピンを使用して、システム上の他のモジュールをクロック駆動できます。さらに、PWRDN ピンはパワーオン リセット (POR) から DP83826 のリンク アップを制御し、DP83826 の非同期パワーアップおよびホスト SoC (システム オン チップ) または FPGA (フィールド プログラマブル ゲート アレイ) コントローラの設計に有用です。

デバイスは 3.3V 単一電源で動作し、LDO を内蔵しているので、内部ブロックに必要な電圧レールを供給できます。デバイスは 3.3V または 1.8V の I/O 電圧インターフェイスに対応できるため、DP83826 は単一電源 PHY として動作できます。DP83826 内の自動電源構成により、追加の構成設定を必要とせずに、VDDIO 電源を自由に組み合わせて使用できます。

DP83826 では、ミックスド シグナル処理を使用してイコライゼーション、データの回復、および誤り訂正が行われるため、ケーブル長が 150m 以上の CAT5e ツイストペア配線で信頼性の高い動作を実現できます。

DP83826 は、パワーアップ シーケンス時にハードウェア ブートストラップを使用して、2 つのモードを選択できます。

- BASIC モード
- ENHANCED モード

BASIC モードは、標準イーサネット アプリケーションに必要なすべての機能を提供します。また、現在の多くのアプリケーションで使用されている一般的なピン配置の構成を使用しているので、既存のプラットフォームでの評価とテストを簡素化できます。DP83826 を使用すれば、MAC と MDI 終端を内蔵しているため、ボードの設計を効率化できます。必要なすべてのクロック出力は、25MHz 外部水晶振動子または発振器入力を備えた単一の PLL から生成されます。

注

一般的な標準イーサネット ピン配置を使用する既存のシステムで、DP83826 BASIC モードを使用する手順のステップ -バイ ステップ アプローチについては、SNLA338 を参照してください。

ENHANCED モードには、BASIC モードで説明されているすべての動作モードが含まれていますが、ピンを変更することで追加の機能が可能になります。ENHANCED モードの DP83826 は、標準イーサネット アプリケーションに加えてイーサネット フィールドバス アプリケーションでも使用できます。機能には以下が含まれます:

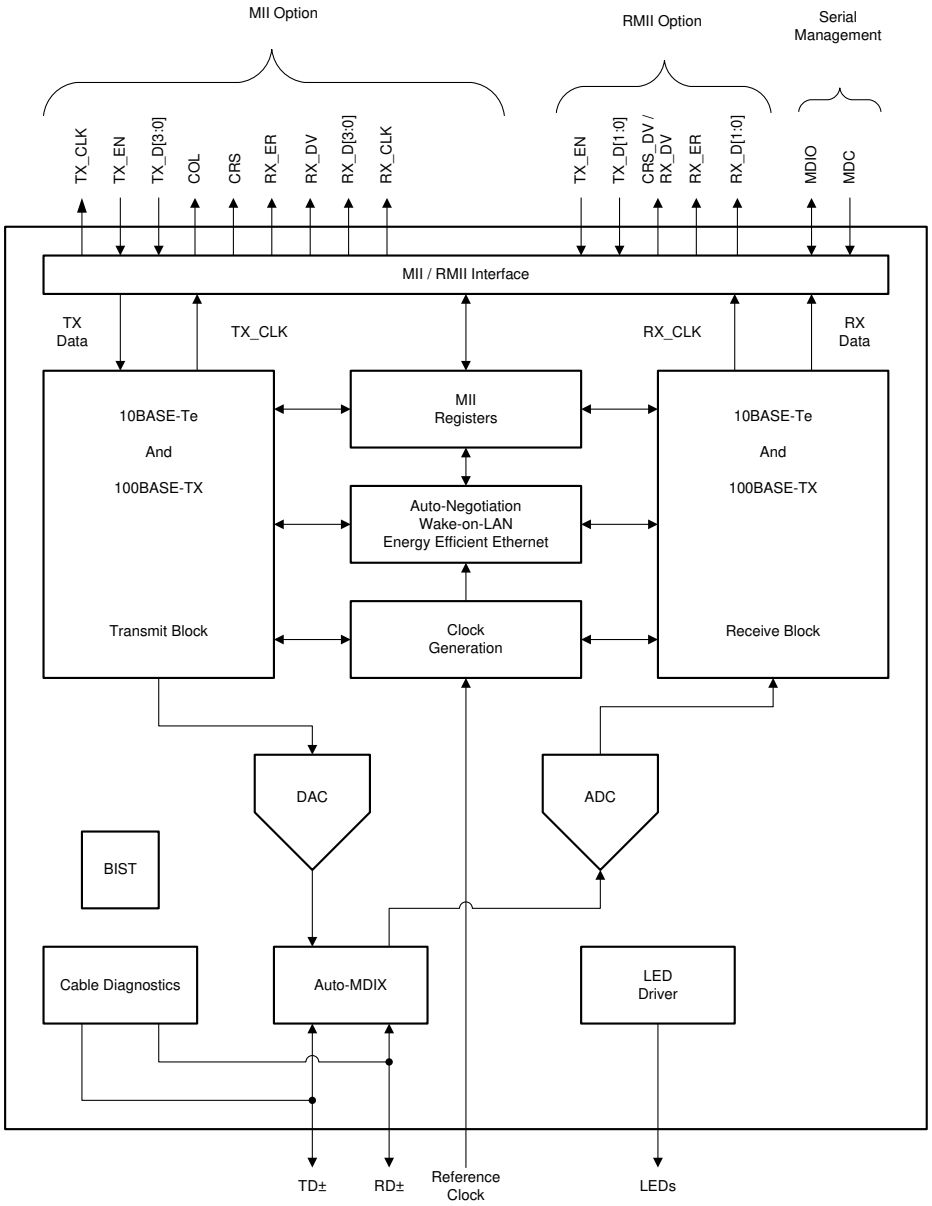
- 専用基準クロック出力:CLKOUT (ピン 31) を使用すると、システム全体を同期して、レイテンシを短縮できます (MAC での FIFO の減少)。このクロックは POR で有効化され、リセットを通して使用可能に維持されます。この機能により、他の PHY およびボード上のホスト SoC/FPGA 用の専用クロックの必要性も低下します。
- 専用 HW ストラップで強制モード、MDI、MDIX を使用することで、POR およびリセットからの高速リンク アップが実現します。
- IEEE パワーダウン ピン:PWRDN (ピン 21) は、DP83826 の非同期パワーアップとホスト SoC/FPGA 制御に有用で、この専用ピンを介して DP83826 リンク アップを引き続き管理できます。
- MAC インターフェイス ピン以外の PHY アドレス ハードウェア ブートストラップにより、MII および RMII MAC インターフェイス ピンのシグナル インテグリティが向上します。

両方のモードのピン マッピングについては、セクション *セクション 5* および *セクション 6* を参照してください。

両方のモードのハードウェア ブートストラップの構成については、セクション *セクション 8.4.1.1* および *セクション 8.4.1.2* を参照してください。

Copyright © 2025 Texas Instruments Incorporated

8.2 機能ブロック図



8.3 機能説明

8.3.1 オートネゴシエーション (速度 / 二重モード選択)

オートネゴシエーションは、リンク セグメントの両端間で設定情報を交換するメカニズムを提供します。このメカニズムは、高速リンク パルス (FLP) を交換することによって実装されます。FLPS は、リンク セグメントの各終端にある 2 つのデバイス間の機能を通信するために使用される情報を提供するバースト パルスです。DP83826 は、オートネゴシエーションのために 100BASE-TX および 10BASE-Te の動作モードをサポートしています。オートネゴシエーションにより、リンク パートナーとローカル デバイスのアドバタイズされた能力に基づいて、最も高い共通速度が選択されるようになります。オートネゴシエーションは、BASIC モード制御レジスタ (BMCR、アドレス 0x0000) のビット [12] を使って、ブートストラップを使用して、またはレジスタ設定を使用して、ハードウェアで有効化または無効化できます。オートネゴシエーションの詳細については、IEEE 802.3 条項 28 の仕様を参照してください。

Copyright © 2025 Texas Instruments Incorporated

8.3.2 Auto-MDIX の解決

DP83826 は、リンク パートナーへの接続に「ストレート」ケーブルと「クロスオーバー」ケーブルのいずれを使用しているかを判断できます。DP83826 は、TD (MDI) チャネルと Rd (MDIX) チャネルを自動的に再割り当てし、リンク パートナーとのリンクを確立できます。Auto-MDIX 解決は、機能をアドバタイズするために FLP を交換する実際のオートネゴシエーション プロセスよりも前に行われます。自動 MDI/MDIX は IEEE 802.3 条項 40、40.8.2 節に記述されており、10BASE-Te および 100BASE-TX には必要な実装ではありません。Auto-MDIX は、PHY を強制モードで動作させる際にも使用できます。

Auto-MDIX は、ハードウェア ブートストラップを使用して、またはレジスタ構成を行うことで、PHY 制御レジスタ (PHYCR、アドレス 0x0019) のビット [15] を使用して有効化または無効化できます。Auto-MDIX が無効化されている場合、PMA は MDI (ストレート) または MDIX (クロスオーバー) のいずれかに強制されます。MDI または MDIX の手動構成は、PHYCR のビット [14] を使用して、またはハードウェア ブートストラップを ENHANCED モードで使用することで、レジスタ構成を使用して行うこともできます。

8.3.3 EEE (Energy Efficient Ethernet)

8.3.3.1 EEE の概要

IEEE 802.3az で定義されている省電力型イーサネット (EEE) は、低消費電力アイドル (LPI) モードで動作するレイヤ 1 (物理層) およびレイヤ 2 (データリンク層) に統合された機能です。LPI モードでは、パケットの使用率が低いときに電力が節約されます。EEE は、リンクのドロップまたはパケットの破損を発生させずに、LPI モードの移行および終了を実行するプロトコルを定義します。

DP83826 EEE は、100Mbps および 10Mbps の速度をサポートします。EEE は、MII と RMII 両方の MAC インターフェイスでサポートされています。10BASE-Te 動作では、EEE は 10BASE-T PHY と完全に相互運用可能な低い送信振幅で動作します。

EEE は、レジスタのプログラミングによって有効化する必要があります。以下の手順では、MDC/MDIO インターフェイスを使用して、DP83826 を EEE 用に構成する方法について説明します。

レジスタ・アドレス	データ
001Fh	8000h
203Ch	0002h
04D1h	008Bh
04D3h	4F12h
04DFh	0180h
033Eh	A681h
033Fh	0003h
0123h	0800h
031Bh	8848h
0466h	FE00h
04CFh	261Dh
0416h	1F30h
04F5h	2864h
04E0h	FFF2h
031Fh	FE36h
0308h	0000h
04F4h	0800h

Copyright © 2025 Texas Instruments Incorporated

レジスタ・アドレス	データ
0000h	3300h

8.3.3.2 EEE ネゴシエーション

EEE は、オートネゴシエーション中にアドバタイズされます。オートネゴシエーションは、パワーアップ時、管理コマンド時、リンク障害後、またはユーザ介入によって実行されます。EEE は、両方のリンク パートナーが EEE 機能をアドバタイズする場合にのみサポートされます。EEE がサポートされていない場合、すべての EEE 機能が無効になり、MAC は LPI をアサートしません。EEE 機能をアドバタイズするため、PHY は追加のフォーマット済み次ページと未フォーマットの次ページを順番に交換する必要があります。

EEE ネゴシエーションは、レジスタ アクセスを使用して有効化できます。IEEE 802.3az では、MMD3 および MMD7 が EEE 制御およびステータス レジスタの場所として定義されています。MMD3 レジスタ 0x1014、0x1001、0x1016、および MMD7 レジスタ 0x203C、0x203D には、EEE の動作に必要なすべての制御とステータス表示が含まれています。省電力型イーサネット構成レジスタ 3 (EEECFG3、アドレス 0x04D1) には、EEE 構成バイパスの制御が含まれています。

デフォルトでは、EEE 機能はバイパスされます。MMD3 および MMD7 レジスタに基づいて EEE をアドバタイズするには、EEE 機能バイパスを無効化 (0x04D1.0 = 1、0x04D1.3 = 1) し、EEE アドバタイズメントを有効化 (MMD7 0x203C.1 = 1) する必要があります。

8.3.4 802.3az をサポートしていないレガシー MAC のための EEE

デバイスは、レジスタのプログラミングによって LPI 信号 (アイドルおよびリフレッシュ) を開始するように構成することもできます。この機能により、使用されている MAC が EEE をサポートしていない場合でも、システムは EEE を実行できます。このモードでは、ホスト コントローラ アプリケーションによって、LPI 信号のイネーブル / ディスエーブルが決まります。*DP83826* が LPI 信号モードの場合、アプリケーションは DP83826 をアクティブ モードに移行してから、MAC インターフェイス経由でデータを送信します。

DP83826 には、LPI 信号モード中にデータを保存するためのバッファリング機能はありません。レジスタ設定によって EEE を有効化するには、以下のレジスタを設定する必要があります。

1.0x04D1.0 = 1、0x04D1.3 = 1 を書き込むことで、EEE 機能を有効化します

2.書き込み (MMD7 0x203C.1 = 1) により、オート ネゴシエーション中に EEE 機能をアドバタイズします

3.0x0000.9 = 1 を書き込むことで、リンクを再ネゴシエーションします

4.0x04D1.12 = 1 を書き込むことで、強制的に Tx LPI をアイドル状態にします

5.LPI アイドルの送信を停止するには、0x04D1.12 = 0 を書き込みます

8.3.5 WoL (Wake-on-LAN) パケット検出

Wake-on-LAN (WoL) は、特定のフレームを検出し、レジスタ ステータスの変更、GPIO 表示、割り込みフラグのいずれかを通じて接続コントローラに通知するメカニズムを提供します。DP83826 デバイスの WoL 機能により、物理層より上位にある接続デバイスは、適格な資格情報を持つフレームが検出されるまで低消費電力状態を維持できます。このデバイスは、WoL マジック パケット™ フレーム タイプをサポートしています。適格 WoL フレームを受信すると、デバイス WoL ロジック回路は、GPIO ピンによってユーザー定義イベント (パルスまたはレベル変化) またはステータス割り込みフラグを生成し、接続コントローラにウェーク イベントが発生したことを通知します。このデバイスにはサイクル冗長性チェック (CRC) ゲートが内蔵されており、無効なパケットによってウェークアップ イベントがトリガされることを防止します。Wake-on-LAN 機能には以下が含まれます。

- サポートされているすべての速度 (100BASE-TX および 10BASE-Te) での WoL フレームの識別
- WoL フレーム受信時のウェークアップ割り込み生成
- 無効なフレームからの割り込み生成を防止するための WoL フレーム CRC エラー チェック
- SecureOn パスワード保護を備えたマジック パケット技術

Copyright © 2025 Texas Instruments Incorporated

8.3.5.1 マジック パケット構造

マジック パケット検出を構成した場合、DP83826 は、ノードにアドレス指定された受信フレームすべてを、特定のデータ シーケンスでスキャンします。このシーケンスにより、フレームがマジック パケット フレームとして識別されます。

マジック パケット フレームは、送信元アドレス、宛先アドレス (受信ステーションの IEEE アドレスまたはブロードキャスト アドレス)、CRC など、選択した LAN 技術の基本的な要件も満たしている必要があります。

特定のマジック パケット シーケンスは、このノードの MAC アドレスを 16 個複製したもので、中断や中断はありません。セキュリティが有効な場合は、Secure-On パスワードが続きます。このシーケンスはパケット内の任意の場所に配置できますが、同期ストリームの前に配置する必要があります。同期ストリームは、6 バイトの 0xFF として定義されます。

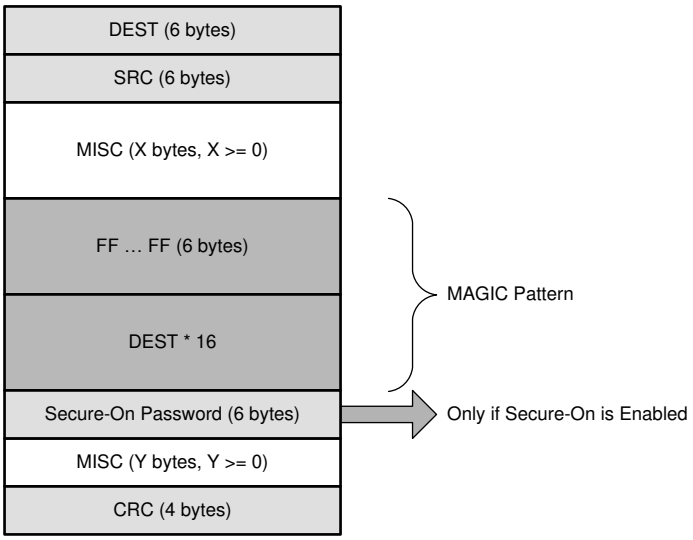


図 8-1. マジック パケット構造

8.3.5.2 マジック パケットの例

以下は、宛先アドレス 11h 22h 33h 44h 55h 66h および SecureOn パスワード 2Ah 2Bh 2Ch 2Dh 2Eh 2Fh のマジック パケットの例です。

```
DESTINATION SOURCE MISC FF FF FF FF FF FF
11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66
11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66
11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66
11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66
11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66
11 22 33 44 55 66 2A 2B 2C 2D 2E 2F MISC CRC
```

8.3.5.3 Wake-on-LAN の構成と状態

Wake-on-LAN 機能は、受信構成レジスタ (RXFCFG、アドレス 0x04A0) を使って構成します。レシーバ ステータス レジスタ (RXFS、アドレス 0x04A1) に Wake-on-LAN ステータスが通知されます。Wake-on-LAN 割り込みフラグの構成と状態は、MII 割り込みステータス レジスタ 2 (MISR2、アドレス 0x0013) にあります。

8.3.6 低消費電力モード

DP83826 デバイスは、3 つの低消費電力モードをサポートしています。このセクションでは、これらの低消費電力モードの背後にある原理、およびそれらを有効にする構成について説明します。

8.3.6.1 アクティブ スリープ

アクティブ スリープ モードにより、リンク パートナーが接続されていない場合の消費電力が低減されます。この機能を有効化するには、PHY の初期化時に PHYSCR レジスタに正しいビットを書き込む必要があります。この機能は、BISCR レジスタを読み出すことで確認できます。

アクティブ スリープが有効化されており、PHY がケーブル接続を検出しない場合、PHY は自動的にアクティブ スリープ モードに遷移します。デバイスがこのモードに遷移すると、TD± および RD± ピンの SMI 回路とエネルギー検出回路を除くすべての内部回路がシャットダウンします。アクティブ スリープ モードでは、デバイスは 1.4 秒ごとに通常のリンク パルス (NLP) を送信して、リンク パートナーの存在を確認します。リンク パートナーが検出されると、PHY は自動的に通常モードに戻り、内部回路の他の部分に電力を供給します。

デバイスは、PHY 固有の制御レジスタ (PHYSCR、アドレス 0x0011) のビット [14:12] = 0b110 を設定することで、アクティブ スリープ モードを有効化します。

8.3.6.2 IEEE パワーダウン

IEEE パワーダウン スイッチは、SMI および内部クロック回路を除くすべての PHY 回路を無効にします。

IEEE パワーダウン スイッチは、レジスタ アクセスによって、またはピンがパワーダウン機能に構成されている場合に、INTR/PWRDN ピンのいずれかを使用して有効化できます。

INTR/PWRDN ピンによる IEEE パワーダウン スイッチを有効化するには、このピンを Low にしてグランドに駆動する必要があります。

SMI による IEEE パワーダウン スイッチを有効化するには、BASIC モード制御レジスタ (BMCR、アドレス 0x0000) のビット [11] を 1 に設定します。

8.3.6.3 ディープ パワー ダウン状態

ディープパワーダウン状態 (DPD) は、SMI を除くすべての PHY 回路を無効化します。このモードでは、デバイスは PHY PLL を無効化して、消費電力をさらに低減します。

デバイスは、このシーケンスを使用して、DPD 状態に移行します。

1. DPD 状態を有効化 (0x0428.2 = 1)
2. IEEE パワーダウン状態を有効化 (ピンまたは 0x0000.11 = 1)

8.3.7 RMII リピータ モード

DP83826 デバイスには、RMII 双方向反復モード機能を有効化して、ケーブルの到達範囲を延長するオプションがあります。2 つの DP83826 デバイスを外部構成なしで RMII 反復モードで接続できます。DP83826 は、RMII インターフェイスの CRS_DV ピンを RX_DV ピンで双方向動作用に構成するためのハードウェア ストラップを備えています。図 8-2 および 図 8-3 に、デバイスが反復モードで動作できるようにする RMII ピンの接続を示します。

Copyright © 2025 Texas Instruments Incorporated

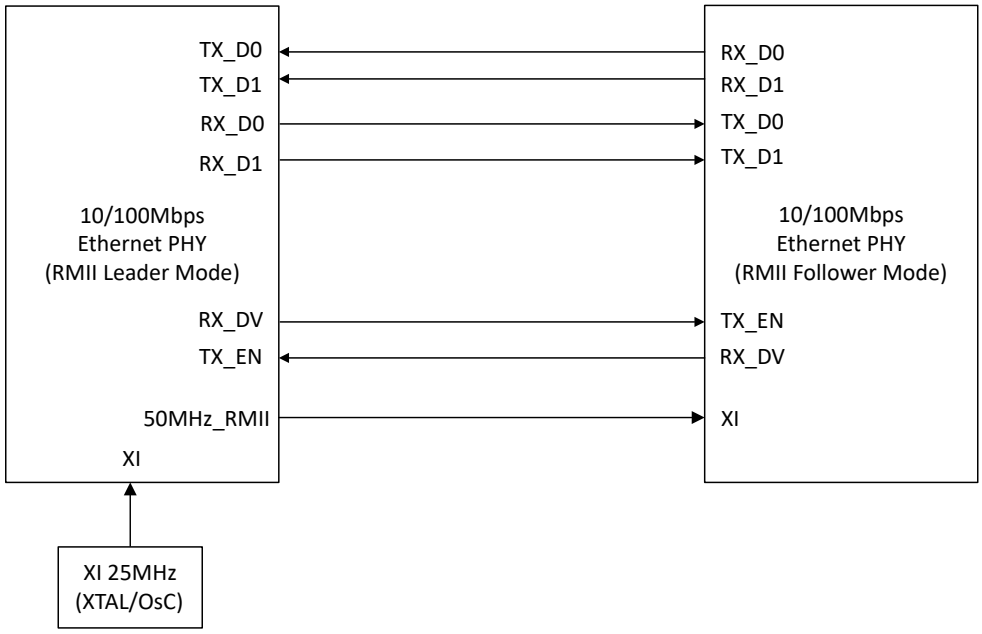


図 8-2. RMII 反復モードリーダー - フォロワ

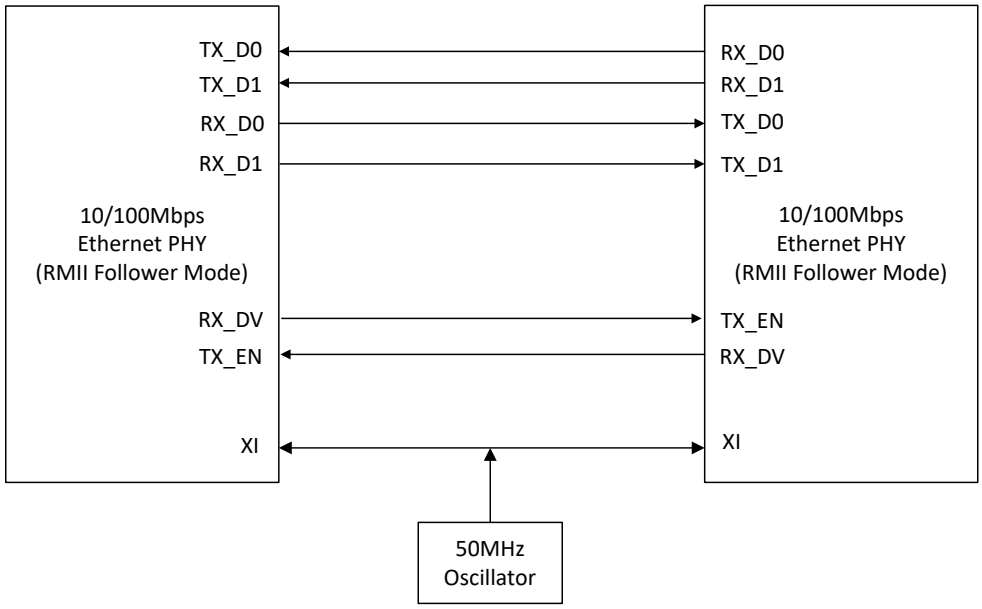


図 8-3. RMII 反復モードフォロワ

8.3.8 クロック出力

このデバイスには、複数のクロック出力構成オプションがあります。外部水晶振動子または CMOS レベルの発振器は、内部 PHY 基準クロックにスティミュラスを提供します。ローカル基準クロックは、デバイス内のすべてのクロックの中央ソースとして機能します。

デバイスがサポートしているクロック出力オプションには以下が含まれます。

- MAC IF クロック
- XI クロック
- フリーランニング クロック
- 再生クロック

Copyright © 2025 Texas Instruments Incorporated

MAC IF クロックは、選択した MAC インターフェイスと同じ速度で動作します。RMII 動作の場合、MAC IF クロック周波数が 50MHz です。

XI クロックはパススルー オプションであり、XI ピンのクロックを GPIO ピンに渡すことができます。クロックは GPIO から送信する前にバッファされ、出力クロックの振幅は選択された VDDIO レベルにあることに注意してください。このクロックは、POR リリース後のデフォルトで CLK_OUT/LED1 ピンで使用可能です (「パワーアップ タイミング」の T4 を参照)。

フリーランニング クロックは、PLL によって内部で生成される 125MHz フリーランニング クロックです。フリーランニング クロックは、非同期データ転送アプリケーションに有用です。

再生クロックは、接続されたリンク パートナーから回復された 125MHz 再生クロックです。PHY は (リンク パートナーから送信された) 受信したデータからクロックを再生します。

すべてのクロック構成オプションは、LED GPIO 構成レジスタを使用して有効化します。

レジスタ構成のレジスタ 0x304[2:0] により、このピンを入力ピンとして設定することで、CLKOUT を無効化できます。

8.3.9 MII (Media Independent Interface)

MII (Media Independent Interface) は、PHY を MAC に接続する同期 4 ビット幅ニブル データ インターフェイスです。MII は IEEE 802.3-2002 条項 22 に完全準拠しています。

MII 信号の概要は以下の通りです:

表 8-1. MII 信号

機能	ピン
データ信号	TX_D[3:0]
	RX_D[3:0]
信号の送受信	TX_EN
	RX_DV
ライン ステータス信号	CRS
	COL
エラー信号	RX_ER

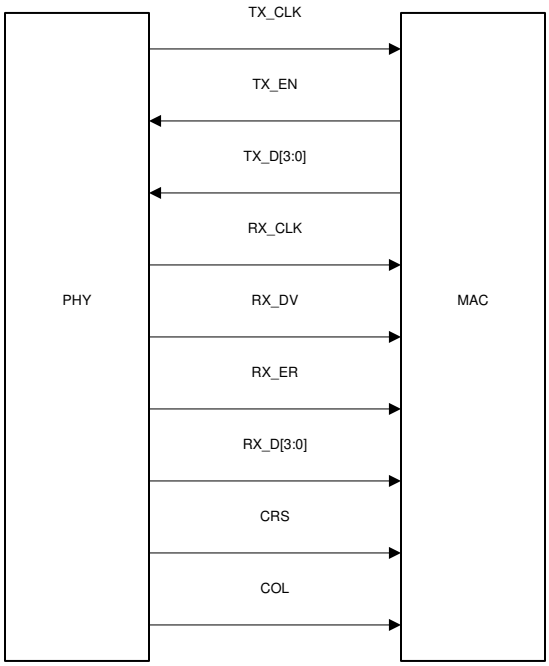


図 8-4. MII シグナリング

Copyright © 2025 Texas Instruments Incorporated

また、MII インターフェイスには、搬送波検知信号 (CRS) や衝突検出信号 (COL) が含まれています。CRS 信号は、データの受信または送信を示すためにアサートされます。COL 信号は、送信と受信の両方の動作が同時に発生すると、半二重モードで発生する可能性のある衝突の兆候としてアサートされます。

8.3.10 RMII (Reduced Media Independent Interface)

DP83826 には、RMII 仕様 v1.2 で規定されている RMII (reduced media-independent interface) が組み込まれています。このインターフェイスの目的は、条項 22 で規定されている IEEE 802.3 の MII の代替として、ピン数を削減することです。アーキテクチャとしては、RMII 仕様は MII の両側に追加の整合レイヤを提供しますが、MII がない場合に実装できます。DP83826 には、次の 2 種類の RMII 動作があります:RMII フォロワ と RMII リーダー。RMII リーダー動作では、DP83826 は、XI ピンに接続された 25MHz CMOS レベル発振器、XI ピンと XO ピンの間に接続された 25MHz 水晶振動子のいずれかで動作します。DP83826 から、基準となる 50MHz 出力クロックを MAC に接続できます。RMII フォロワ動作では、DP83826 は XI ピンに接続された 50MHz CMOS レベル発振器で動作し、MAC と同じクロックを共有します。または、RMII フォロワ モードでは、ホスト MAC から供給される 50MHz クロックを使用して PHY を動作させることもできます。

RMII 仕様には、次の特性があります。

- 100BASE-TX および 10BASE-Te のサポート
- MAC から PHY (または外部ソース) に供給される単一のクロック リファレンス
- 独立した 2 ビット幅の送受信データ パスを提供
- MII インターフェイスと同じレベルの CMOS 信号レベルを使用

このモードでは、送信パスと受信パスの両方の内部 50MHz 基準クロックを使用し、データ転送はクロック サイクルごとに 2 ビットです。

RMII 信号の概要は以下の通りです。

表 8-2. RMII 信号

機能	ピン
受信データ ライン	TX_D[1:0]
送信データ ライン	RX_D[1:0]
受信制御信号	TX_EN
送信制御信号	CRS_DV

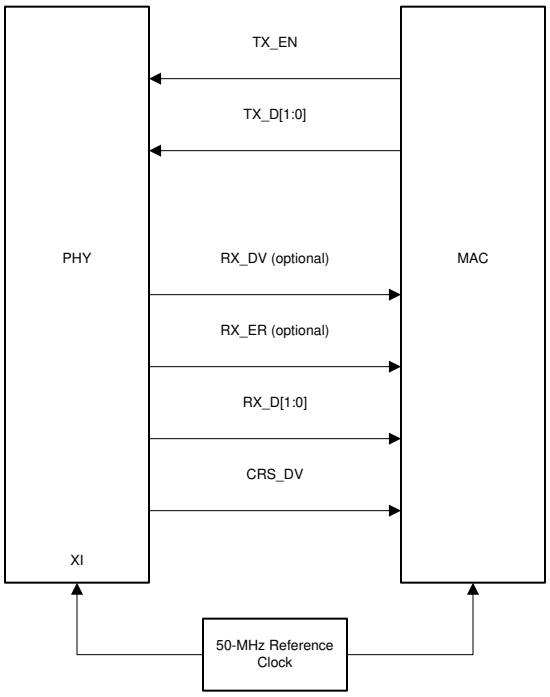


図 8-5. 外部 50MHz CMOS レベル発振器を用いた RMII フォロワ信号方式

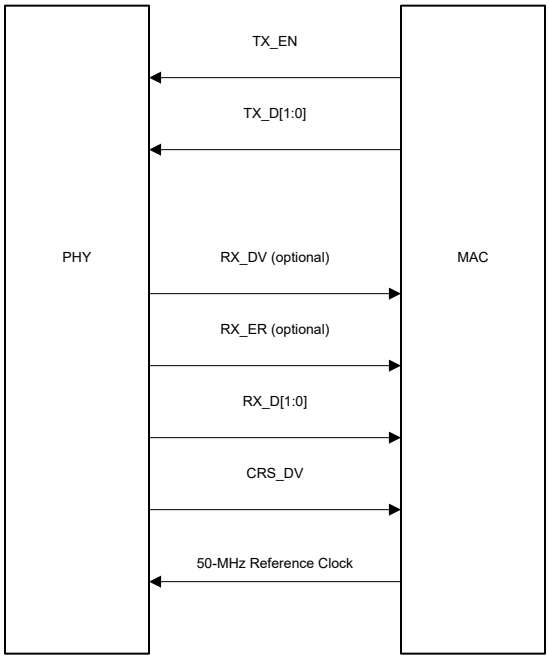


図 8-6. MAC からの 50MHz クロックを用いた RMII フォロワ信号方式

Copyright © 2025 Texas Instruments Incorporated

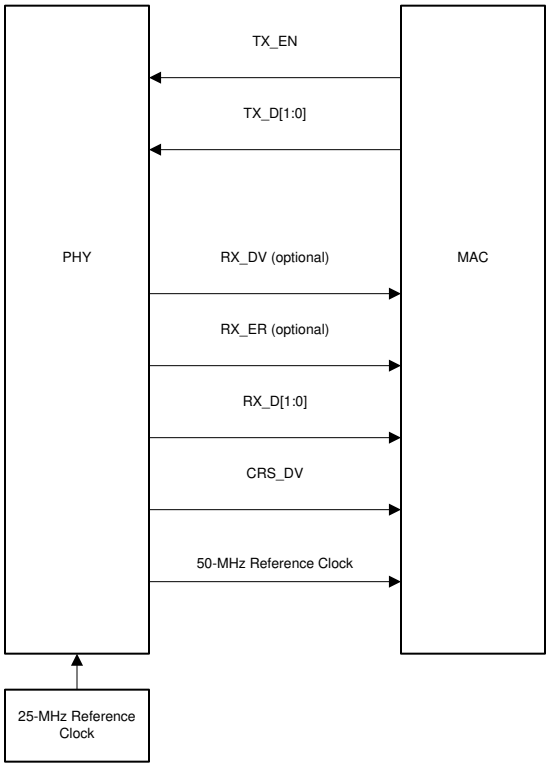


図 8-7. RMII リーダー信号

TX_D[1:0] のデータは、RMII リーダー モードとフォロワ モードでは、50MHz クロックを基準にして PHY でラッチされます。RX_D[1:0] のデータは、50MHz クロックを基準として提供されます。

また、CRX_DV は RX_DV 信号として構成できます。これにより、受信データを簡単に回復でき、RX_DV を CRS_DV 表示から分離する必要もありません。

Copyright © 2025 Texas Instruments Incorporated

8.3.11 シリアル マネージメント インターフェイス

シリアル マネージメント インターフェイスを使うことで、ステータス情報と構成のために使われている DP83826 の内部レジスタ空間にアクセスできます。SMI は IEEE 802.3 の 22 項に適合しています。実装されているレジスタ セットは、IEEE 802.3 に必要なレジスタと、DP83826 の可視性と制御性を高めるためのその他のレジスタで構成されています。

SMI には、管理クロック (MDC) と、管理入力 / 出力データ ピン (MDIO) が含まれます。MDC は、ステーション (STA) とも呼ばれる外部管理エンティティから供給され、最大 24MHz クロック レートで実行できます。MDC は連続的である必要はなく、バスがアイドル状態の場合、外部管理エンティティがオフにすることもできます。

MDIO の信号は外部管理エンティティと PHY から供給されます。MDIO ピンのデータは、MDC の立ち上がりエッジでラッチされます。MDIO ピンには、プルアップ抵抗 (広く使用されている値は 2.2KΩ または 1.5KΩ) が必要です。これにより、IDLE およびターンアラウンド時に MDIO が High にプルされます。

最大 8 つの PHY が共通の SMI バスを共有できます。PHY を区別するために、パワーアップ時またはハードウェア リセット時に、DP83826 は PHY_Address[2:0] 構成ピンをラッチして、アドレスを決定します。

管理エンティティは、パワーアップ時またはハードウェア リセットの後の最初のサイクルで SMI トランザクションを開始してはなりません。有効な動作を維持するには、パワーアップ後 50ms 以上、リセットがデアサートされてから 2ms 以上、SMI バスを非アクティブのままにする必要があります (「パワーアップ タイミング」の T4 および「リセット タイミング」の T2 を参照)。通常の MDIO トランザクションでは、管理フレームのレジスタ アドレス フィールドからレジスタ アドレスが直接取り込まれるため、32 の 16 ビット レジスタ (IEEE 802.3 で定義されたレジスタとベンダ固有のレジスタを含む) に直接アクセスできます。データ フィールドは、読み出しと書き込みの両方に使用されます。スタート コードは <01> パターンで示されます。このパターンにより、MDIO ラインはデフォルトのアイドル ライン状態から必ず遷移します。ターンアラウンドは、レジスタ アドレス フィールドとデータ フィールドの間に挿入されたアイドル ビット期間として定義されます。読み出しトランザクション中の競合を避けるため、ターンアラウンドの先頭ビットの間、デバイスは MDIO 信号をアクティブに駆動できません。アドレス指定された DP83826 は、2 番目のビットのターンアラウンドの間 MDIO を 0 で駆動し、その後に必要なデータを送信します。

書き込みトランザクションの場合、ステーション管理エンティティはアドレス指定された DP83826 にデータを書き込みます。そのため、MDIO ターンアラウンドは不要です。ターンアラウンド期間には、管理エンティティによって <10> が挿入されます。

表 8-3. SMI プロトコル

SMI プロトコル	<idle><start><op code><PHY address><reg addr><turnaround><data><idle>
読み出し動作	<アイドル><01><10><AAAAA><RRRRR><Z0><XXXX XXXX XXXX XXXX><アイドル>
書き込み動作	<アイドル><01><01><AAAAA><RRRRR><10><XXXX XXXX XXXX XXXX><アイドル>

Copyright © 2025 Texas Instruments Incorporated

8.3.11.1 拡張レジスタ スペース アクセス

DP83826 SMI 機能は、レジスタ制御レジスタ (REGCR、アドレス 0x000D)、データ レジスタ (ADDAR、アドレス 0x000E)、および MDIO 管理可能デバイス (MMD) 間接方式 (拡張レジスタ セットへのアクセスに関する IEEE 802.3ah ドラフト条項 22 で定義) を使用した拡張レジスタ セットへの読み出しおよび書き込みアクセスをサポートしています。

標準のレジスタセット MDIO レジスタ 0 ～ 31 には、通常の直接 MDIO アクセスまたは間接方式でアクセスしますが、レジスタ REGCR および レジスタ ADDAR は別で、通常の MDIO トランザクションでのみアクセスされます。SMI 関数は、これらのレジスタへの間接アクセスを無視します。

REGCR は MMD アクセス制御です。一般に、レジスタ REGCR[4:0] は、ADDAR レジスタのすべてのアクセスを適切な MMD に向かわせるデバイス アドレス DEVAD です。

DP83826 は、3 つの MMD デバイス アドレスをサポートしています。

1. ベンダ固有のデバイス アドレス DEVAD[4:0] = 11111 は、一般的な MMD レジスタ アクセスに使用されます。
2. DEVAD[4:0] = 00011 は、省電力型イーサネット MMD レジスタ アクセスに使用されます。このデバイス アドレスでアクセス可能なレジスタのレジスタ名の前には、MMD3 が付けられています。
3. DEVAD[4:0] = 00111 は、省電力型イーサネット MMD レジスタ アクセスに使用されます。このデバイス アドレスでアクセス可能なレジスタのレジスタ名の前には、MMD7 が付けられています。

レジスタ REGCR および ADDAR によるすべてのアクセスでは、適切な DEVAD を使用する必要があります。その他の DEVAD を使ったトランザクションは無視されます。REGCR[15:14] は、アクセス機能 (アドレス (00)、ポスト インクリメントなしのデータ (01) を保持します。

- ADDAR は、アドレス / データ MMD レジスタです。ADDAR を REGCR と組み合わせて使用することで、拡張レジスタ セットにアクセスできます。レジスタ REGCR[15:14] が (00) の場合、ADDAR は拡張アドレス空間レジスタのアドレスを保持します。それ以外の場合、ADDAR は、アドレス レジスタの内容に応じたデータを保持します。
  REGCR[15:14] が (00) に設定されている場合、レジスタ ADDAR にアクセスすると、拡張レジスタ セットのアドレス レジスタが変更されます。拡張レジスタ セット内のいずれのレジスタにアクセスするにも、このアドレス レジスタを必ず初期化する必要があります。
- REGCR[15:14] が (01) に設定されている場合、レジスタ ADDAR にアクセスすると、アドレス レジスタの値によって選択された拡張レジスタ セット内のレジスタがアクセスされます。

以下のセクションでは、レジスタ REGCR および ADDAR を使って拡張レジスタ セットを操作する方法について説明します。これらの説明は、一般的な MMD レジスタ アクセス (DEVAD[4:0] = 11111) のデバイス アドレスを使用します。MMD3 または MMD7 レジスタへのレジスタ アクセスには、対応するデバイス アドレスを使用できます。

Copyright © 2025 Texas Instruments Incorporated

8.3.11.2 書き込みアドレス動作

アドレス レジスタを設定するには、次の手順に従います。

1. レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。
2. レジスタ ADDAR にレジスタ アドレスを書き込む。

それ以降、レジスタ ADDAR (ステップ 2) に書き込むと、そのアドレス レジスタが引き続き書き込まれます。

8.3.11.3 読み出しアドレス動作

アドレス レジスタを読み出すには、次の手順に従います。

1. レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。
2. レジスタ ADDAR からレジスタ アドレスを読み出す。

それ以降、レジスタ ADDAR (ステップ 2) を読み出すと、そのアドレス レジスタが引き続き読み出されます。

8.3.11.4 書き込み（ポスト インクリメントなし）動作

拡張レジスタ セット内のレジスタを書き込むには、次の手順に従います。

1. レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。
2. レジスタ ADDAR に目的のレジスタ アドレスを書き込む。
3. レジスタ REGCR に値 0x401F (データ、ポスト インクリメントなし機能フィールド = 01、DEVAD = 31) を書き込む。
4. レジスタ ADDAR に目的の拡張レジスタ セットの内容を書き込む。

それ以降、レジスタ ADDAR (ステップ 4) に書き込むと、そのアドレス レジスタの値によって選択されたレジスタが引き続き書き換えられます。

注

アドレス レジスタが前もって設定されている場合、ステップ (1) および (2) を飛ばすことができます。

8.3.11.5 読み出し (ポスト インクリメントなし) 動作

拡張レジスタ セットのレジスタを読み出すには、次の手順に従います。

1. レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。
2. レジスタ ADDAR に目的のレジスタ アドレスを書き込む。
3. レジスタ REGCR に値 0x401F (データ、ポスト インクリメントなし機能フィールド = 01、DEVAD = 31) を書き込む。
4. レジスタ ADDAR の目的の拡張レジスタ セットの内容を読み出す。

それ以降、レジスタ ADDAR (ステップ 4) を読み出すと、ステップ 3 のレジスタ セットの出力が得られます。

注

アドレス レジスタが前もって設定されている場合、ステップ (1) および (2) を飛ばすことができます。

8.3.11.6 書き込み動作の例 (ポスト インクリメントなし)

この例では、ポスト インクリメントなしの書き込み動作を示します。この例では、IO MUX GPIO 制御レジスタ (IOCTRL、アドレス 0x0461) を使用して、MAC インピーダンスを 99.25Ω に調整します。

1. レジスタ 0x000D に値 0x001F を書き込みます。
2. レジスタ 0x000E に値 0x0461 を書き込みます (目的のレジスタを IOCTRL に設定します)。
3. レジスタ 0x000D に値 0x401F を書き込みます。
4. レジスタ 0x000E に値 0x0400 を書き込みます (MAC インピーダンスを 99.25Ω に設定します)。

Copyright © 2025 Texas Instruments Incorporated

8.3.12 100BASE-TX

8.3.12.1 100BASE-TX トランスミッタ

100BASE-TX トランスミッタは、MII によって供給される同期 4 ビット ニブル データを、MDI のスクランブルされた MLT-3 125Mbps シリアル データ ストリームに変換するいくつかの機能ブロックで構成されています。4B5B のエンコードとデコードの詳細については、下の 表 8-4 を参照してください。

送信部は、以下の機能ブロックで構成されています。

1. コード グループのエンコーダおよび注入ブロック
2. バイパス オプション付きスクランブラ ブロック
3. NRZ - NRZI エンコーダ ブロック
4. バイナリ - MLT-3 コンバータ / 共通ドライバ ブロック

100BASE-TX トランスミッタの機能ブロックのバイパス オプションを使うことで、データ変換が常に必要なわけではないアプリケーションに柔軟に対応できます。DP83826 には、IEEE 802.3 規格条項 24 に規定されている 100BASE-TX 送信ステート マシン図が実装されています。

Copyright © 2025 Texas Instruments Incorporated

表 8-4. 4B5B コード グループのエンコード / デコード

名称	PCS 5B コード グループ	MII 4B ニブル コード
データ コード		
0	11110	0000
1	01001	0001
2	10100	0010
3	10101	0011
4	01010	0100
5	01011	0101
6	01110	0110
7	01111	0111
8	10010	1000
9	10011	1001
A	10110	1010
B	10111	1011
C	11010	1100
D	11011	1101
E	11100	1110
F	11101	1111
IDLE および制御コード(1)		
H	00100	HALT コード グループ - エラー コード
I	11111	パケット間 IDLE - 0000
J	11000	最初のパケット開始 - 0101
K	10001	2 番目のパケット開始 - 0101
T	01101	最初のパケット終了 - 0000
R	00111	2 番目のパケット終了- 0000
P	00000	EEE LPI - 0001(2)
無効なコード		
V	00001	
V	00010	
V	00011	
V	00101	
V	00110	
V	01000	
V	01100	
V	10000	
V	11001	

(1) データ フィールドの制御コード グループ I、J、K、T、R は、無効なコードとしてマッピングされ、RX_ER がアサートされます。
(2) 省電力型イーサネット LPI でも、TX_ER / RX_ER をアサートし、TX_EN / RX_DV をデアサートする必要があります。

Copyright © 2025 Texas Instruments Incorporated

8.3.12.1.1 コード グループのコード化と注入

コード グループ エンコーダは、MAC によって生成された 4 ビット (4B) ニブル データを 5 ビット (5B) のコード グループに変換して送信します。この変換は、制御データをパケット データ コード グループと組み合わせるために必要です。4B から 5B のコード グループ マッピングの詳細については、表 8-4 を参照してください。

コード グループ エンコーダは、伝送時に MAC プリアンブルの最初の 8 ビットを、J/K コード グループ ペア (11000 10001) に置き換えます。コード グループ エンコーダは続けて、4B プリアンブルとデータ ニブルを、対応する 5B コード グループに置き換えます。送信パケットの終了時に、MAC からの送信イネーブル (TX_EN) 信号がデアサートされると、コード グループ エンコーダはフレームの終了を示す T/R コード グループ ペア (01101 00111) を注入します。

T/R コード グループ ペアの後、コード グループ エンコーダは、次の送信パケットが検出されるまで (送信イネーブルの再割り当て)、送信データ ストリームに IDLE を継続的に注入します。

8.3.12.1.2 スクランブル機能

スクランブラ は、メディア コネクタおよびツイストペア ケーブルの放射型電磁波を制御するために必要です。データをスクランブルすることで、ケーブルに発射される総エネルギーは、広い周波数範囲にわたってランダムに分布します。スクランブラを使用しないと、5B シーケンスの繰り返しに関連する周波数 (IDLE の連続転送) で、MDI およびケーブルのエネルギー レベルが FCC 制限を超える可能性があります。

スクランブラは、11 ビットの多項式を持つ閉ループの線形帰還シフト レジスタ (LFSR) として構成されます。閉ループ LFSR の出力は、コード グループ エンコーダからのシリアル NRZ データを含む X-Ord です。その結果、特定の周波数で放射型電磁波を最大 20dB 低減するのに十分なランダム化を伴うスクランブル データ ストリームが得られます。

8.3.12.1.3 NRZ から NRZI へのエンコーダ

送信データ ストリームがシリアライズおよびスクランブル化された後、Category-5 シールドなしツイストペア ケーブルを介した 100BASE-TX 転送の TP-PMD 規格に準拠するように、データを NRZI エンコードする必要があります。DP83826 内では、このブロックをバイパスすることはできません。NRZI データは 100Mbps ドライバに送信されます。

8.3.12.1.4 バイナリから MLT-3 へのコンバータ

バイナリから MLT-3 への変換は、NRZI エンコーダからのシリアル バイナリ データ ストリームを、交互に位相シフトされたロジック 1 イベントを持つ 2 つのバイナリ データ ストリームに変換することで行われます。これら 2 つのバイナリ ストリームをツイストペア出力ドライバに供給し、ツイストペア出力ドライバは電圧を電流に変換して、送信トランスの一次巻線のいずれかの側を交互に駆動して、最小の電流 MLT-3 信号を生成します。

PMD 出力ペアの共通ドライバから供給される 100BASE-TX MLT-3 信号は、スルーレート制御されます。TP-PMD 規格に準拠した遷移時間 (3ns < T_{RISE} (および T_{FALL}) < 5ns) を満たすように AC 結合磁気素子を選択する場合は、スルーレートを考慮する必要があります。

8.3.12.2 100BASE-TX レシーバ

100BASE-TX レシーバはいくつかの機能ブロックで構成され、スクランブルされた MLT-3 125Mbps シリアル データ ストリームを、MII に提供される 4 ビット データと RMII に提供される 2 ビット幅のデータに同期して変換します。

受信セクションは、以下の機能ブロックで構成されています。

- 入力および BLW 補償
- 信号検出
- デジタル アダプティブ イコライゼーション
- MLT-3 - バイナリ デコーダ
- クロック リカバリ モジュール
- NRZI - NRZ デコーダ
- デスクランブラ
- シリアル - パラレル データ変換
- コード グループの整合
- 4B/5B デコーダ

Copyright © 2025 Texas Instruments Incorporated

- リンク整合性モニタ
- 不良 SSD 検出

8.3.13 10BASE-Te

10BASE-Te トランシーバ モジュールは、IEEE 802.3 に準拠しています。規格で定義されているように、トランシーバ モジュールには、レシーバ、トランスミッタ、衝突検出、ハートビート、ループバック、ジャバー、リンク整合性機能が含まれています。

注

DP83826 を 10BASE-Te アプリケーションで使用する場合は、VOD_CFG3 (レジスタ アドレス：0x030E) を 0x4A40 に設定します。

8.3.13.1 スケルチ

スケルチは、差動受信入力に有効なデータが存在するかどうかを判断する役割を果たします。スケルチ回路は、振幅とタイミングの測定値 (IEEE 802.3 10BASE-Te 規格で規定) を組み合わせて、ツイストペア入力上のデータの有効性を決定します。

パケット開始時の信号はスケルチによってチェックされ、スケルチ レベルを超えないパルス (極性に応じて正または負) は拒否されます。この最初のスケルチ レベルを正しく超えると、反対側のスケルチ レベルを 50ns 以上超える必要があります。最後に、信号が有効な入力波形として認定されるには、50ns 以内に元のスケルチ レベルを再度超え、拒否されない必要があります。このチェック手順では、各パケットの先頭でプリアンブル ビットが 3 つ失われるのが一般的です。トランスミッタの動作中は、5 回連続した遷移が確認されてから、有効なデータが存在することを示します。このとき、スケルチ回路はリセットされます。

DP83826 は、IEEE プリアンブル モードとショート プリアンブル モードの両方をサポートしています。10M_CFG レジスタ (アドレス = 0x2A) を参照してください。

8.3.13.2 通常リンク パルスの検出と生成

リンク パルス ジェネレータは、IEEE 802.3 10BASE-Te 規格の定義に従ってパルスを生成します。各リンク パルスは通常 100ns の持続時間で、送信データがない場合は 16ms ごとに送信されます。リンク パルスは、リモート エンドとの接続の整合性をチェックするために使用されます

8.3.13.3 ジャバー

ジャバーとは、通常、フォルト状態に起因して、ステーションが最大許容パケット長よりも長い時間送信を行う状態です。ジャバー機能は DP83826 出力を監視し、トランスミッタが法的サイズを超えるパケット送信を試みると、トランスミッタを無効化します。ジャバー タイマはトランスミッタを監視し、トランスミッタが約 100ms アクティブな場合に、送信を無効にします。ジャバー機能によって無効化された場合、モジュールの内部送信イネーブルがアサートされている間、トランスミッタはディスエーブルのままとなります。ジャバー機能が送信出力を再度有効化する前に、この信号を約 500ms (解除時間 / Unjab Time) デアサートする必要があります。ジャバー機能は 10BASE-Te モードでのみ使用可能およびアクティブです。

8.3.13.4 アクティブ リンクの極性検出と訂正

ツイストペア内のワイヤを交換すると、極性エラーが発生します。極性が間違っていると、10BASE-Te 接続に影響します。100BASE-TX は、MLT-3 エンコーディングによる極性の問題に耐性があります。10BASE-Te 受信ブロックは、逆極性を自動的に検出します。

Copyright © 2025 Texas Instruments Incorporated

8.3.14 ループバック モード

DP83826 には、PHY 内のさまざまな機能ブロックをテストおよび検証するループバック オプションがいくつか備わっています。ループバック モードを有効化すると、デジタルおよびアナログ データ パスのインサーキット テストが可能となります。DP83826 は、ニアエンド ループバック モードのいずれか、またはファーエンド (リバース) ループバック モードのいずれかに構成できます。MII ループバックは、BASIC モード制御レジスタ (BMCR、アドレス 0x0000) を使って構成します。その他のすべてのループバック モードは、BIST 制御レジスタ (BISCR、アドレス 0x0016) を使用して有効化します。特に記述のない限り、ループバック モードはすべての速度 (10/100Mbps およびすべての MAC インターフェイス) でサポートされています。

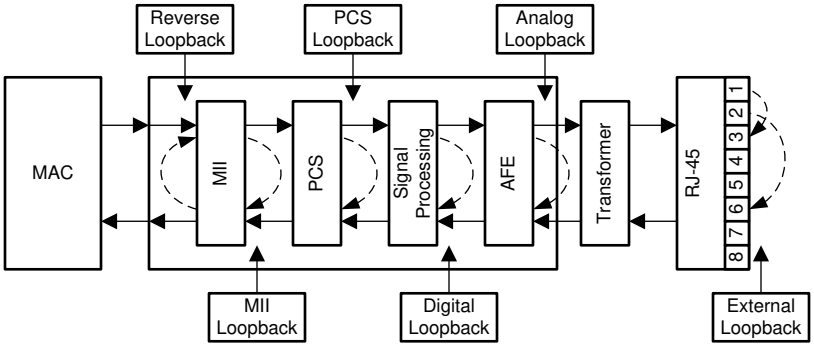


図 8-8. ループバック テスト モード

8.3.14.1 ニアエンド ループバック

ニアエンド ループバックは、デジタル回路またはアナログ回路を経由して、送信したデータをレシーバにループバックする機能を提供します。信号がループバックするポイントは、BISCR レジスタのループバック制御ビット [3:0] を使用して選択します。ニアエンド ループバック モードを選択する前に、オートネゴシエーションを無効化します。この制約は、外部ループバック モードには適用されません。

8.3.14.2 MII のループバック

MII ループバックは PHY を流れる最も浅いループであり、MAC と PHY の間の通信を検証するために便利なテスト モードです。MII ループバックでは、TX パス上の接続されている MAC から送信されるデータが内部で DP83826 にループバックされて RX ピンに転送され、MAC によってデータをチェックできます。

MII ループバックを有効化するには、BMCR のビット[14]、BISCR のビット [2] を設定します。

8.3.14.3 PCS のループバック

PCS ループバックは、PHY の PCS 層で発生します。PCS ループバックを使用する場合、信号処理は実行されません。

PCS 入力ループバックは、BISCR のビット [0] を設定することで有効化されます。

PCS 出力ループバックは、BISCR のビット [1] を設定することで有効化されます。

Copyright © 2025 Texas Instruments Incorporated

8.3.14.4 デジタル ループバック

デジタル ループバックには、デジタル送信および受信パス全体が含まれています。アナログ回路の前にデータがループバックされます。

デジタル ループバックには、次の設定が必要です。

- 0x0000 = 0x2100 // オートネゴシエーションを無効化
- 0x0016 = 0x0104 // デジタル ループバック
- 0x0122 = 0x2000 /
- 0x0123 = 0x2000
- 0x0130 = 0x47FF
- 0x001F = 0x4000 // ソフト リセット

8.3.14.5 アナログ ループバック

10BASE-Te または 100BASE-TX モードで動作する場合、アナログ フロント エンドの後に信号をループバックできます

アナログ ループバックは、BISCR のビット [3] を設定することで有効になります。

8.3.14.6 ファーエンド (リバース) ループバック

ファーエンド (リバース) ループバックは、リンク パートナーとの PHY テストを可能にするための特別なテスト モードです。このモードでは、リンク パートナーから受信したデータは PHY のレシーバを通過し、MAC インターフェイスでループバックされてからリンク パートナーに送信されます。リバース ループバック モードでは、MAC からのすべてのデータ信号が無視されます。

リバース ループバックは、BISCR のビット [4] を設定することで有効化されます。

8.3.15 BIST の構成

DP83826 は、内部 PRBS 内蔵セルフテスト (BIST) 回路を備えており、インサーキット テストおよび診断に適しています。BIST 回路を使用して、送信および受信データ パスの整合性をテストできます。BIST は、内部ループバック (デジタルまたはアナログ) またはケーブル固定具を使用して外部ループバックを使用して実行できます。BIST は、実際のパケットと回線上のパケット間ギャップ (IPG) 形式の擬似ランダムなデータ転送シナリオをシミュレートします。BIST により、パケット長と IPG の完全な制御が可能になります。

BIST パケット長は、BIST 制御およびステータス レジスタ #2 (BICSR2、アドレス 0x001C) のビット [10:0] を使用して制御されます。BIST IPG 長は、BIST 制御およびステータス レジスタ #1 (BICSR1、アドレス 0x001B) のビット [7:0] を使用して制御されます。

BIST は、独立した送信および受信パスを使用して実装されており、送信クロックによって疑似ランダム シーケンスの連続ストリームを生成します。デバイスは、BIST のために 15 ビット疑似ランダム シーケンスを生成します。受信したデータは生成された擬似ランダム データと比較され、合格/不合格ステータスが判定されます。PRBS チェッカが受信したエラー バイト数は、BICSR1 のビット [15:8] に保存されます。PRBS ロック ステータスおよび同期は、BIST 制御レジスタ (BISCR、アドレス 0x0016) から読み出すことができます。

PRBS テストは、BISCR のビット [14] を使用して連続モードに移行させることができます。連続モードでは、BIST エラー カウンタが最大値に達すると、カウンタは再びゼロからカウントを開始します。BIST エラー カウントを読み取るには、BICSR1 のビット [15] を「1」に設定する必要があります。この設定により、読み取りのために BIST エラーの現在の値がロックされます。ビット [15] を設定すると、BIST エラー カウンタがクリアされます。

Copyright © 2025 Texas Instruments Incorporated

8.3.16 ケーブル診断

イーサネット デバイスは広く導入されていることから、信頼性が高く包括的で、かつユーザーに配慮したケーブル診断ツールに対するニーズがこれまで以上に高まっています。さまざまな種類のケーブル、トポロジ、コネクタが導入されるため、コードの実行に影響を与えずにケーブル障害の識別と報告を行う必要があります。DP83826 は、ケーブル診断ツールキットで時間領域反射率測定 (TDR) 機能を提供します。

8.3.16.1 時間領域反射計測 (TDR)

DP83826 は、TDR を使用して、ケーブル長の推定の他に、ケーブル、コネクタ、終端の品質を判定します。診断され得る問題としては、オープン、短絡、ケーブル インピーダンスの不一致、コネクタの不良、終端の不一致、クロス フォルト、クロス ショート、およびケーブルに沿ったその他の不連続性などが挙げられます。

DP83826 は、接続されているケーブルの 2 ペアごとに、振幅 (1V) が既知のテスト パルスを送信します。送信された信号はケーブルに沿って進み、各ケーブルの欠陥、故障、コネクタ、ケーブルの端から反射します。パルス送信後、DP83826 は、これらすべての反射パルスの復帰時間と振幅を測定します。この手法により、終端されていないケーブル (オープンまたはショート)、不連続性 (不良コネクタ)、不適切に終端されたケーブルの距離と大きさ (インピーダンス) を ±1m の精度で測定できます。

すべての TDR 測定において、外部ホストによる軽微な計算 (乗算、加算、参照テーブルなど) を使用して、到着時刻と物理距離の変換が行われます。ホストは、ケーブルの予想伝播遅延を認識している必要があります。これは、ケーブル カテゴリ (CAT5、CAT5e、CAT6 など) によって異なります。

以下の状況下で、TDR 測定が可能となります。

- リンク パートナーが接続解除されている間 - 反対側でケーブルが接続されていない状態
- リンク パートナーは接続されているが、「休止」のままの状態 (パワーダウン モード時など)
- リンクに障害が発生した場合、またはドロップされた場合に、TDR を自動的にアクティブにできる状態

TDR 自動実行を有効化するには、制御レジスタ #1 (Cr1、アドレス 0x0009) のビット [8] を使用します。リンクがドロップされると、TDR は自動的に実行し、結果をそれぞれの TDR ケーブル診断ロケーション結果レジスタ #1 ～ #5 (CDLRR、アドレス 0x0180 ～ 0x0184) およびケーブル診断振幅結果レジスタ #1 ～ #5 (CDLAR、アドレス 0x0185 ～ 0x0189) に保存します。TDR は、ケーブル診断制御レジスタ (CDCR、アドレス 0x001E) のビット [15] を使用して、手動で実行することもできます。ケーブル診断ステータスは、CDCR のビット [1:0] を読み出すことで取得できます。サイクル平均化やクロスオーバー ディスエーブルなどの TDR の追加機能は、ケーブル診断固有の制御レジスタ (CDSCR、アドレス 0x0170) にあります。詳細については、アプリケーション レポート『*DP83826 を使用した時間ドメイン反射測定*』を参照してください。

Copyright © 2025 Texas Instruments Incorporated

8.3.17 高速リンク ドロップ機能

DP83826 には高度なリンク ドロップ機能があり、さまざまなリアルタイム アプリケーションをサポートしています。リンク ドロップ メカニズムは構成可能であり、非常に高速なリンク ドロップ応答時間を可能にする ENHANCED モードを搭載しています。

DP83826 は、高速リンク ドロップ (FLD) とも呼ばれる拡張リンク ドロップ メカニズムをサポートしており、リンクを判定するための観測ウィンドウを短縮できます。リンク ステータスを決定する方法は複数あり、ユーザの好みに応じて有効化または無効化することができます。

DP83826 のモードに応じて、FLD のデフォルト状態が異なります。ENHANCED モードでは、Strap7 をプルダウンすることにより、FLD およびすべての検出メカニズムがデフォルトで無効になります。EtherCAT アプリケーションまたは高速リンク ドロップが有効でベースライン ワンダー パケットの処理が想定される アプリケーションの場合は、信号エネルギー検出を無効化することが推奨されます。これは、Strap8 を設定することで実行できます。下表に、ストラップで有効化されるモードをまとめます。

表 8-5. ENHANCED モードでのストラップによる FLD 検出モード

ストラップ構成	RX エラー カウント	MLT3 エラー カウント	低信号対雑音比スレッショルド	信号 / エネルギー損失	デスクランブラ リンク損失
Strap7 = LOW Strap1 = X Strap8 = X	ディセーブル	ディセーブル	ディセーブル	ディセーブル	ディセーブル
Strap7 = HIGH Strap1 = HIGH Strap8 = LOW	イネーブル		イネーブル	イネーブル	イネーブル
Strap7 = HIGH Strap1 = LOW Strap8 = LOW	イネーブル		ディセーブル	イネーブル	ディセーブル
Strap7 = HIGH Strap1 = LOW Strap8 = HIGH	イネーブル		ディセーブル	ディセーブル	ディセーブル

Copyright © 2025 Texas Instruments Incorporated

BASIC モードでは、高速リンク ドロップがデフォルトで有効化されています。BASIC モードのデフォルト メカニズムは、RX エラーおよび信号 / エネルギー損失です。

いずれのモードでも、FLD は制御レジスタ 3 (CR3、レジスタ アドレス 0x000B) を使用して構成できます。ビット [3:0] およびビット [10] を使用すると、各種 FLD 状態を有効化することができます。リンク ドロップが発生した場合は、高速リンク ドロップ ステータス レジスタ (FLDS、レジスタ アドレス 0x000F) から特定のフォルト状態の表示を読み出すことができます。

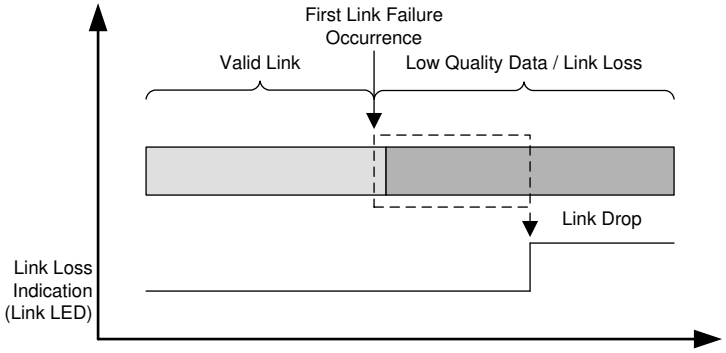


図 8-9. 高速リンク ドロップ

高速リンク ドロップ基準には、以下が含まれます。

- RX エラー カウント - 定義されている 32 の RX_ER が 10µs ウィンドウで発生すると、リンクがドロップされます。
- MLT3 エラー カウント - 定義されている 20 の MLT3 エラーが 10µs ウィンドウで発生すると、リンクがドロップされます。MLT3 エラー ベースの FLD を使用するには、レジスタ高速リンク ドロップ構成レジスタ 1 (FLDCFG1、レジスタ アドレス 0x0117) を 0x0417 に構成します。
- 低信号対雑音比スレッショルド: 定義されている 20 のスレッショルド超過が 10µs ウィンドウで発生すると、リンクがドロップされます。
- 信号 / エネルギー損失 - エネルギー検出器がエネルギー損失を示すと、リンクがドロップされます。
- デスクランブラ リンク損失 - デスクランブラがロックを失うと、リンクがドロップされます。デスクランブラ リンク損失に基づく FLD を使用するには、高速リンク ドロップ構成レジスタ 2 (FLDCFG2、レジスタ アドレス 0x0131) のビット [5:0] を 0x08 に構成します。

高速リンク ドロップ機能により、これらの各オプションを個別に、または任意の組み合わせで使用できます。

Copyright © 2025 Texas Instruments Incorporated

8.3.18 LED と GPIO の構成

DP83826 にはフレキシブルな LED および GPIO ピンがあり、レジスタ構成を使用して、各種の機能に合わせて設定できます。LED および GPIO の構成の詳細については、図 8-10 を参照してください。

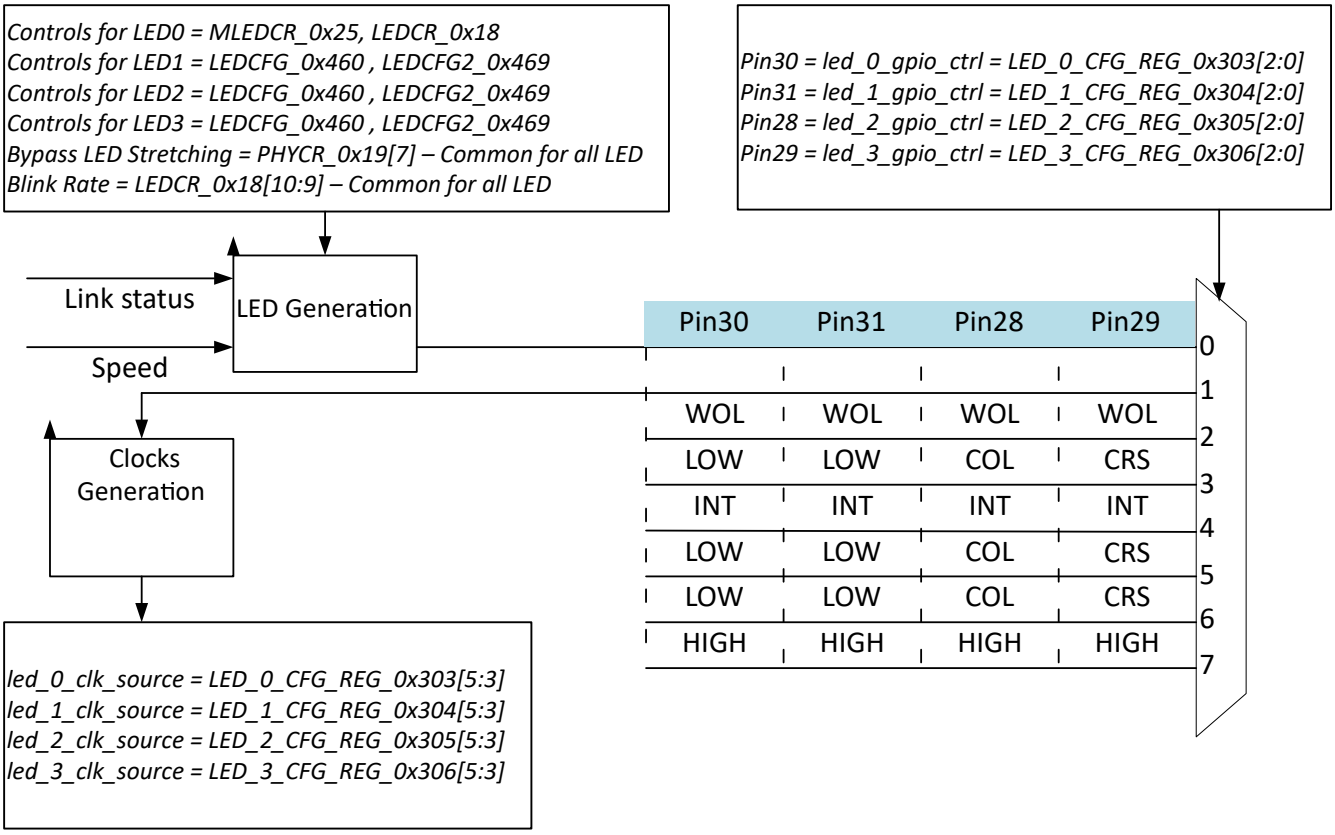


図 8-10. LED と GPIO の構成

注

クロック出力は、ENHANCED モードでのみピン 28 および 29 で使用できます。これらのピンは、25MHz または 50MHz クロックのみを出力するように構成できます。

ENHANCED モードでは、LED に自動極性検出機能があります。LED 駆動は、ピンに構成されたストラップに応じて調整します。たとえば、LED ピンがプルダウン ストラップに構成されている場合、PHY は LED の極性をアクティブ High として割り当てます。LED ピンがプルアップで構成されていると、PHY は LED 極性をアクティブ Low として割り当てます。

BASIC モードでは、LED 極性は常にアクティブ Low です。LED ピンを Low にストラップする必要がある場合は、LED と直列で 1kΩ プルアップ抵抗および 1.5kΩ プルダウン抵抗を使用する必要があります。これにより、ストラップで 0 が選択されます。より高い抵抗を使用すると、LED の輝度が低下する可能性があることに注意してください。

図 8-11 に、LED を DP83826 に直接接続する 2 つの適切な方法を示します。

Copyright © 2025 Texas Instruments Incorporated

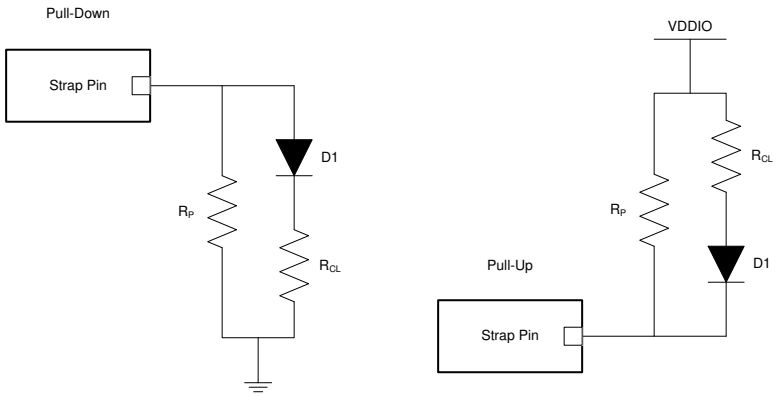


図 8-11. LED ストラップ接続の例

8.4 プログラミング

DP83826 は、ハードウェア ベースの構成 (ブートストラップを使用)、およびプログラミングとステータス表示のために、IEEE で定義されているレジスタ セットを備えています。また、DP83826 には、IEEE レジスタでサポートされていない他の機能を構成するための追加のレジスタ セットもあります。

8.4.1 ハードウェア ブートストラップ構成

DP83826 は、デバイスを特定の動作モードに設定するために、多くの機能ピンをストラップ オプションとして使用します。これらのピンの値は、パワーアップ時またはハード リセット時にサンプリングされます。ソフトウェア リセット時には、パワーアップ時またはハード リセット時にサンプリングされた値からストラップ オプションが内部的に再ロードされます。ストラップ オプションのピン構成を以下に定義します。デバイスの構成は、ストラップ ピンまたは管理レジスタ インターフェイスを通じて行うことができます。推奨値のプルアップ抵抗またはプルダウン抵抗を使用して、ストラップ ピン入力と電源の電圧比を設定し、使用可能なモードのいずれかを選択します。すべてのストラップ ピンに 2 つのレベルがあります。

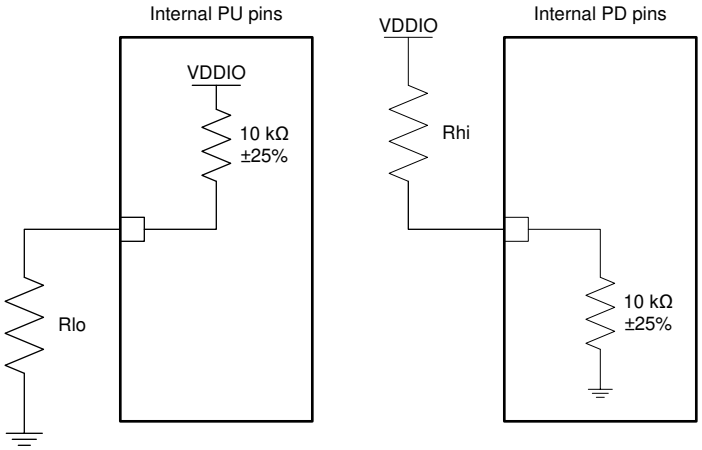


図 8-12. ストラップ回路

表 8-6. 2 レベルのストラップ抵抗比

モード (1)	推奨される抵抗	
	R_{HI} (kΩ)	R_{LO} (kΩ)
内部 10kΩ プルダウン (PD) ピン		
0-DEFAULT	オープン	オープン
1	2.49	オープン
内部 10kΩ プルアップ (PU) ピン		
0	オープン	1.5
1-DEFAULT	オープン	オープン

(1) 抵抗比は単なる推奨です。より正確なモード選択を行うには、電気的特性の表に含まれているブートストラップ スレッショルドの値を使用してください。推奨許容誤差は 1% です。

Copyright © 2025 Texas Instruments Incorporated

8.4.1.1 ブートストラップ構成 (ENHANCED モード)

このセクションでは、DP83826 の ENHANCED モードの一部のオプションで使用できるハードウェア ブートストラップについて説明します。ストラップ抵抗が実装されていない場合のデフォルト値は、奇数ニブル イネーブル、MII モード、FLD ディスエーブルです。「0」はモード 0 に、「1」はモード 1 に対応します。

FLD 機能は、DP83826 が MII MAC インターフェイス用に構成されている場合にのみサポートされます。MII は Strap1 =「0」、または Strap1 =「1」かつ Strap8 =「0」の場合に選択されます。

RX_D0、RX_D1、RX_DV、RX_ER、LED0、CRS/LED3、COL/LED2 ストラップは、このフローチャートに依存しません。

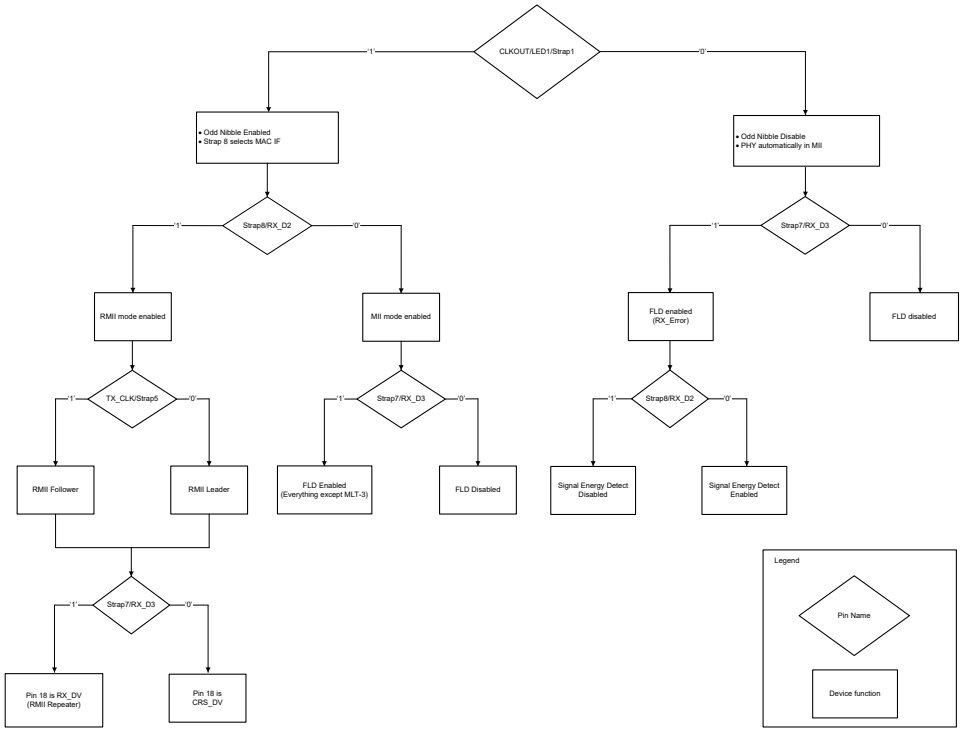


図 8-13. 拡張ブートストラップ フローチャート

表 8-7. 拡張モードのデフォルト ブートストラップ

ピン名	ストラップ名	ピン番号	デフォルト
CLKOUT/LED1	Strap1 (POR でのみラッチされます。HW リセットでは、このストラップは再ラッチされません)	31	1
RX_D2	Strap8	14	0
RX_D3	Strap7	13	0
TX_CLK	Strap5	22	0
RX_D3	Strap7	13	0
RX_D1	Strap9	15	0
RX_D0	Strap0	16	0
RX_DV	Strap10	18	0
RX_ER	Strap6 (POR でのみラッチされます。HW リセットでは、このストラップは再ラッチされません)	20	0
LED0	Strap2	30	0
CRS/LED3	Strap3	29	0

Copyright © 2025 Texas Instruments Incorporated

表 8-7. 拡張モードのデフォルト ブートストラップ (続き)

ピン名	ストラップ名	ピン番号	デフォルト
COL/LED2	Strap4	28	0

表 8-8. オート ネゴシエーション ブートストラップ

ピン名	ストラップ名	ピン番号	デフォルト	モード	機能
RX_D1	Strap9	15	0	0	Auto-MDIX イネーブル
				1	Auto-MDIX ディスエーブル
RX_D0	Strap0	16	0	0	オートネゴシエーション イネーブル
				1	オート ネゴシエーション ディスエーブル。強制モード 100M を有効化します
RX_DV	Strap10	18	0	0	MDIX (Auto-MDIX ディスエーブルの場合のみ適用可能)
				1	MDI (Auto-MDIX ディスエーブルの場合のみ適用可能)

表 8-9. CLKOUT/LED1 ブートストラップ

ピン名	ストラップ名	ピン番号	デフォルト	モード	機能
RX_ER	Strap6 (POR でのみラッチされます。HW リセットでは、このストラップは再ラッチされません)	20	0	0	ピン 31 の CLKOUT 25MHz
				1	ピン 31 の LED1

表 8-10. PHY アドレスのブートストラップ

ピン名	ストラップ名	ピン番号	デフォルト	モード	機能
LED0	Strap2	30	0		PHY_ADD0
				0	0
				1	1
CRS/LED3	Strap3	29	0		PHY_ADD1
				0	0
				1	1
COL/LED2	Strap4	28	0		PHY_ADD2
				0	0
				1	1

Copyright © 2025 Texas Instruments Incorporated

8.4.1.2 ストラップ構成 (BASIC モード)

このセクションでは、BASIC モードで使用できるストラップ構成について説明します。

表 8-11. PHY アドレス ストラップ

ピン名	ストラップ名	ピン番号	デフォルト	モード	機能
RX_D3	Strap7	13	1		PHY_ADD0
				0	0
				1	1
RX_D2	Strap8	14	0		PHY_ADD1
				0	0
				1	1
RX_D1	Strap9	15	0		PHY_ADD2
				0	0
				1	1

表 8-12. MAC モード選択ストラップ

ピン名	ストラップ名	ピン番号	デフォルト	Strap10	Strap4	機能
COL	Strap4	28	0	0	0	MII MAC モード
				0	1	RMII リーダー モード
				1	1	RMII フォロワ モード
RX_DV	Strap10	18	0	その他の値は予約済みです。使用禁止。		

表 8-13. オートネゴシエーション ストラップ

ピン名	ストラップ名	ピン番号	デフォルト	モード	機能
LED0	Strap2	30	1	0	オートネゴシエーション ディスエーブル
				1	オートネゴシエーション イネーブル

表 8-14. スピード ストラップ

ピン名	ストラップ名	ピン番号	デフォルト	モード	機能
LED1/ TX_ER	Strap1	31	1	0	速度 10M
				1	速度 100M

表 8-15. 全二重 / 半二重

ピン名	ストラップ名	ピン番号	デフォルト	モード	機能
RX_D0	Strap0	16	1	0	全二重
				1	半二重

表 8-16. MII 絶縁ブートストラップ

ピン名	ストラップ名	ピン番号	デフォルト	モード	機能
RX_ER	Strap6	20	0	0	MII 絶縁ディスエーブル
				1	MII 絶縁イネーブル

Copyright © 2025 Texas Instruments Incorporated

8.5 レジスタ マップ

8.5.1 DP83826 のレジスタ

DP83826 レジスタのメモリマップされたレジスタを、表 8-17 に示します。表 8-17 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-17. DP83826 のレジスタ

オフセット	略称	レジスタ名	セクション
0h	BMCR レジスタ	BASIC モード制御レジスタ	表示
1h	BMSR レジスタ	BASIC モード ステータス レジスタ	表示
2h	PHYIDR1 レジスタ	PHY 識別子レジスタ #1	表示
3h	PHYIDR2 レジスタ	PHY 識別子レジスタ #2	表示
4h	ANAR レジスタ	オートネゴシエーション アドバタイズメント レジスタ	表示
5h	ALNPAR レジスタ	オートネゴシエーション リンク パートナー アビリティ レジスタ	表示
6h	ANER レジスタ	オートネゴシエーション拡張レジスタ	表示
7h	ANNPTR レジスタ	オートネゴシエーション次ページ レジスタ	表示
8h	ANLNPTR レジスタ	オートネゴシエーション リンク パートナー アビリティ 次ページ レジスタ	表示
9h	CR1 レジスタ	制御レジスタ #1	表示
Ah	CR2 レジスタ	制御レジスタ #2	表示
Bh	CR3 レジスタ	制御レジスタ #3	表示
Dh	REGCR レジスタ	拡張レジスタ制御レジスタ	表示
Eh	ADDAR レジスタ	拡張レジスタ データ レジスタ	表示
Fh	FLDS レジスタ	高速リンク ダウン ステータス レジスタ	表示
10h	PHYSTS レジスタ	PHY ステータス レジスタ	表示
11h	PHYSCR レジスタ	PHY 固有制御レジスタ	表示
12h	MISR1 レジスタ	MII 割り込みステータス レジスタ #1	表示
13h	MISR2 レジスタ	MII 割り込みステータス レジスタ #2	表示
14h	FCSCR レジスタ	誤搬送波検知カウンタ レジスタ	表示
15h	RECR レジスタ	受信エラー カウント レジスタ	表示
16h	BISCR レジスタ	BIST 制御レジスタ	表示
17h	RCSR レジスタ	RMII およびステータス レジスタ	表示
18h	LEDCR レジスタ	LED 制御レジスタ	表示
19h	PHYCR レジスタ	PHY 制御レジスタ	表示
1Ah	10BTSCR レジスタ	10Base-Te ステータス / 制御レジスタ	表示
1Bh	BICSR1 レジスタ	BIST 制御およびステータス レジスタ #1	表示
1Ch	BICSR2 レジスタ	BIST 制御およびステータス レジスタ #2	表示
1Eh	CDCR レジスタ	ケーブル診断制御レジスタ	表示
1Fh	PHYRCR レジスタ	PHY リセット制御レジスタ	表示
25h	MLEDCR レジスタ	マルチ LED 制御レジスタ	表示
27h	COMPT レジスタ	コンプライアンス テスト レジスタ	表示
2Ah	10M_CFG		表示
117h	FLD_CFG1		表示
131h	FLD_CFG2		表示

Copyright © 2025 Texas Instruments Incorporated

表 8-17. DP83826 のレジスタ (続き)

オフセット	略称	レジスタ名	セクション
170h	CDSCR レジスタ	ケーブル診断固有制御レジスタ	表示
171h	CDSCR2 レジスタ	ケーブル診断固有制御レジスタ 2	表示
173h	CDSCR3 レジスタ	ケーブル診断固有制御レジスタ 3	表示
175h	TDR_175 レジスタ	TDR 制御レジスタ #1	表示
176h	TDR_176 レジスタ	TDR 制御レジスタ #2	表示
177h	CDSCR4 レジスタ	ケーブル診断固有制御レジスタ 4	表示
178h	TDR_178 レジスタ	TDR 制御レジスタ #3	表示
180h	CDLRR1 レジスタ	ケーブル診断ロケーション結果レジスタ #1	表示
181h	CDLRR2 レジスタ	ケーブル診断ロケーション結果レジスタ #2	表示
182h	CDLRR3 レジスタ	ケーブル診断ロケーション結果レジスタ #3	表示
183h	CDLRR4 レジスタ	ケーブル診断ロケーション結果レジスタ #4	表示
184h	CDLRR5 レジスタ	ケーブル診断ロケーション結果レジスタ #5	表示
185h	CDLAR1 レジスタ	ケーブル診断振幅結果レジスタ #1	表示
186h	CDLAR2 レジスタ	ケーブル診断振幅結果レジスタ #2	表示
187h	CDLAR3 レジスタ	ケーブル診断振幅結果レジスタ #3	表示
188h	CDLAR4 レジスタ	ケーブル診断振幅結果レジスタ #4	表示
189h	CDLAR5 レジスタ	ケーブル診断振幅結果レジスタ #5	表示
18Ah	CDLAR6 レジスタ	ケーブル診断振幅結果レジスタ #6	表示
218h	MSE_Val		表示
302h	IO_CFG1 レジスタ	GPIO ピン構成レジスタ #1	表示
303h	LED0_GPIO_CFG		表示
304h	LED1_GPIO_CFG		表示
305h	LED2_GPIO_CFG		表示
306h	LED3_GPIO_CFG		表示
308h	CLK_OUT_LED_STATUS レジスタ	CLK_OUT_LED_STATUS 構成レジスタ #3	表示
30Bh	VOD_CFG1 レジスタ	VoD 構成レジスタ #1	表示
30Ch	VOD_CFG2 レジスタ	VoD 構成レジスタ #2	表示
30Eh	VOD_CFG3 レジスタ	VoD 構成レジスタ #3	表示
404h	ANA_LD_PROG_SL レジスタ	ライン ドライバ構成レジスタ	表示
40Dh	ANA_RX10BT_CTRL レジスタ	受信構成レジスタ 10M	表示
456h	GENCFG レジスタ	全般構成レジスタ	表示
460h	LEDCFG レジスタ	LED 構成レジスタ #1	表示
461h	IOCTRL レジスタ	IO MUX GPIO 制御レジスタ	表示
467h	SOR1 レジスタ	ストラップ ラッチイン レジスタ #2	表示
468h	SOR2 レジスタ	ストラップ ラッチイン レジスタ #2	表示
469h	LEDCFG2 レジスタ	LED 構成レジスタ #2	表示
4A0h	RXFCFG1 レジスタ	受信構成レジスタ #1	表示
4A1h	RXFS レジスタ	受信ステータス レジスタ	表示
4A2h	RXFPMD1 レジスタ	受信完全一致データ レジスタ #1	表示
4A3h	RXFPMD2 レジスタ	受信完全一致データ レジスタ #2	表示
4A4h	RXFPMD3 レジスタ	受信完全一致データ レジスタ #3	表示
4A5h	RXFSOP1 レジスタ	受信 Secure-ON パスワード レジスタ #1	表示

Copyright © 2025 Texas Instruments Incorporated

表 8-17. DP83826 のレジスタ (続き)

オフセット	略称	レジスタ名	セクション
4A6h	RXFSOP2 レジスタ	受信 Secure-ON パスワード レジスタ #2	表示
4A7h	RXFSOP3 レジスタ	受信 Secure-ON パスワード レジスタ #3	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-18 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-18. DP83826 のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
RC	R C	読み出し後 クリア
RCH	R C H	読み取り クリア ハードウェアによって設定またはクリア
RH	R H	ハードウェアによってセットまたはクリアされる の読み取り
書き込みタイプ		
W	W	書き込み
W0C	W 0C	書き込み 0 でクリア
W1S	W 1S	1 を書き込むことで セット
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.5.1.1 BMCR レジスタ (オフセット = 0h) [リセット = XX00h]

表 8-19 に、BMCR レジスタを示します。

概略表に戻ります。

BASIC モード制御レジスタ

表 8-19. BMCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	リセット	RH/W1S	0h	PHY ソフトウェア リセット:このビットに 1 を書き込むと、PHY PCS レジスタがリセットされます。リセット動作が完了すると、このビットは自動的に 0 にクリアされます。PHY ベンダ固有のレジスタはクリアされません。 0H = 通常動作 1h = ソフトウェア リセットの開始 / リセット進行中
14	MII のループバック	R/W	0h	MII のループバック:MII ループバック モードが起動すると、MII TXD に提示された送信データは、内部で MII RXD にループバックされます。さらに、次の追加ビット (100Base-TX の場合はビット BISCR 0x0016[4:0] = 0b00100、10Base-Te の場合は BISCR 0x0016[4:0] = 00001b) が設定されます。 0H = 通常動作 1h = MII ループバック イネーブル

Copyright © 2025 Texas Instruments Incorporated

表 8-19. BMCR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13	速度選択	RH/W	X	速度選択:オートネゴシエーションがディスエーブルの場合 (レジスタ 0x0000 のビット [12] = 0)、このビットに書き込むと、ポート速度を選択できます。 BASIC モード: オートネゴシエーションが無効化されている場合、速度はストラップによっても決まります。 0h = 10 Mbps 1h = 100 Mbps
12	オートネゴシエーション イネーブル	RH/W	X	オートネゴシエーション イネーブル: BASIC モードまたは ENHANCED モード: ストラップでラッチ 0h = オートネゴシエーションを無効化 - ビット [8] および [13] によって、ポート速度と二重モードが決まります。 1h = オートネゴシエーションを有効化 - このビットが設定されていると、このレジスタのビット [8] および [13] は無視されます
11	IEEE パワーダウン	R/W	0h	パワーダウン:このビットを設定した後、PHY のパワーダウンします。このパワーダウン状況中、レジスタ アクセスのみが有効化されます。パワーダウン メカニズムを制御するため、このビットは INT/PWDN_N (ENHANCED モード) ピンからの入力で OR 論理和がとられます。アクティブ Low INT/PWDN_N がアサートされると、このビットが設定されます。 0H = 通常動作 1h = IEEE パワーダウン
10	絶縁	RH/W	X	BASIC モードでは、この値はストラップでラッチされます 0H = 通常動作 1h = ポートを MII から絶縁します (シリアル マネージメント インターフェイスを除く)。また、RMII リーダー モードで 50MHz クロックを無効化します
9	オートネゴシエーション再開	RH/W1S	0h	オートネゴシエーション再開オートネゴシエーションがディスエーブルの場合 (ビット [12] = 0)、ビット [9] は無視されます。このビットは、オートネゴシエーションが開始されるまで、自動でクリアされ、値 1 を返します。その後、このビットはクリアされます。オートネゴシエーション プロセスの動作は、管理エンティティがこのビットをクリアしても影響を受けません。 0H = 通常動作 1h = オートネゴシエーションを再開、オートネゴシエーション プロセスを再起動
8	二重モード	RH/W	X	二重モード:オートネゴシエーションがディスエーブルのとき、このビットに書き込むと、ポートの二重機能を選択できます。BASIC モードでは、このビットはストラップによってラッチされます 0h = 半二重 1h = 全二重
7	衝突テスト	R/W	0h	衝突テスト:このビットを設定すると、512 ビット時間以内に、TX_EN がアサートされ、COL 信号がアサートされます。COL 信号は、TX_EN がデアサートされるのに対応して、4 ビット時間以内にデアサートされます。 0H = 通常動作 1h = COL 信号テストを有効化
6-0	RESERVED	R	0h	

8.5.1.2 BMSR レジスタ (オフセット = 1h) [リセット = 7849h]

表 8-20 に、BMSR レジスタを示します。

概略表に戻ります。

BASIC モード ステータス レジスタ

表 8-20. BMSR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	100Base-T4	R	0h	100Base-T4 対応:このプロトコルは使用できません。常に 0 として読み出します

Copyright © 2025 Texas Instruments Incorporated

表 8-20. BMSR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	100Base-TX 全二重	R	1h	100Base-TX 全二重対応: 0h = デバイスは全二重 100Base-TX を実行できない 1h = デバイスは全二重 100Base-TX を実行できる
13	100Base-TX 半二重	R	1h	100BASE-TX 半二重対応: 0h = デバイスは半二重 100Base-TX を実行できない 1h = デバイスは半二重 100Base-TX を実行できる
12	10Base-T 全二重	R	1h	10Base-T 全二重対応: 0h = デバイスは全二重 10Base-T を実行できない 1h = デバイスは全二重 10Base-T を実行できる
11	10Base-T 半二重	R	1h	10BASE-T 半二重対応: 0h = デバイスは半二重 10Base-T を実行できない 1h = デバイスは半二重 10Base-T を実行できる
10-7	RESERVED	R	0h	
6	SMI プリアンブル抑制	R	1h	プリアンブル抑制対応:このビットが 1 に設定されている場合、リセット後、無効なオペレーションコード後、または無効なターンアラウンド後に、32 ビットのプリアンブルが 1 回のみ必要となります。 このデバイスでは、次のトランザクションを開始する前に、2 つのトランザクション間に少なくとも 500ns のギャップが必要です。その後、MDC の 1 つのポジティブ エッジおよび MDIO = 1 が続きます。 0h = デバイスはプリアンブルが抑制された状態で管理トランザクションを実行できない 1h = デバイスはプリアンブルが抑制された状態で管理トランザクションを実行できる
5	オートネゴシエーション完了	RH	0h	オートネゴシエーション完了: 0h = オートネゴシエーション プロセスが未完了 (まだ処理中、ディスエーブル、リセット中) 1h = オートネゴシエーション プロセスが完了
4	リモート障害	RC	0h	リモート障害:ファー エンド障害の表示またはリンク パートナーからのリモート障害の通知。このビットは、読み取り時またはリセット時にクリアされます。 0h = リモート障害状態は未検出 1h = リモート障害状態を検出済み
3	オートネゴシエーション機能	R	1h	オートネゴシエーション機能: 0h = デバイスはオートネゴシエーションを実行できない 1h = デバイスはオートネゴシエーションを実行できる
2	リンク ステータス	RC	0h	リンク ステータス: 最後にラッチされた値は、読み取り時にクリアされます 0h = リンクが未確立 1h = 有効なリンクが確立済み (10Mbps または 100Mbps 動作の場合)
1	ジャバー検出	RH	0h	ジャバー検出: 0h = ジャバー条件は未検出。このビットは 10Base-T 動作に対してのみ意味を持ちます。 1h = ジャバー状態を検出済み
0	拡張機能	R	1h	拡張機能: 0h = 基本レジスタ設定機能のみ 1h = 拡張レジスタ機能

8.5.1.3 PHYIDR1 レジスタ (オフセット = 2h) [リセット = 2000h]

表 8-21 に、PHYIDR1 レジスタを示します。

概略表に戻ります。

PHY 識別子レジスタ #1

Copyright © 2025 Texas Instruments Incorporated

表 8-21. PHYIDR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	管理組織識別子 (OUI: Organizationally Unique Identifier) ビット 21:6	R	2000h	PHY 識別子レジスタ #1

8.5.1.4 PHYIDR2 レジスタ (オフセット = 3h) [リセット = A131h]

表 8-22 に、PHYIDR2 レジスタを示します。

概略表に戻ります。

PHY 識別子レジスタ #2

表 8-22. PHYIDR2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	管理組織識別子 (OUI: Organizationally Unique Identifier) ビット 5:0	R	28h	PHY 識別子レジスタ #2
9-4	モデル番号	R	13h	ベンダ モデル番号:ベンダ モデル番号の 6 ビットはビット [9] ～ [4] に割り当てられています。 11h = BASIC モード 13h = ENHANCED モード
3-0	リビジョン番号	R	1h	モデル リビジョン番号:ベンダ モデル リビジョン番号の 4 ビットはビット [3:0] に割り当てられています。このフィールドは、すべての主要なデバイス変更に対してインクリメントされます。

8.5.1.5 ANAR レジスタ (オフセット = 4h) [リセット = 0XX1h]

表 8-23 に、ANAR レジスタを示します。

概略表に戻ります。

オートネゴシエーション アドバタイズメント レジスタ

表 8-23. ANAR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	次のページ	R/W	0h	次ページ表示: 0h = 次ページ転送が不要 1h = 次ページ転送が必要
14	RESERVED	R	0h	
13	リモート障害	R/W	0h	リモート障害: 0h = リモート障害は未検出 1h = このデバイスがリモート障害を検出したことをアドバタイズ DP83826 はリモート障害をサポートしていないことに注意してください。このビットはアプリケーションで設定されません
12	RESERVED	R	0h	
11	非対称型一時停止	R/W	0h	全二重リンクの非対称型一時停止サポート: 0h = 非対称型一時停止機能をアドバタイズしない 1h = 非対称型一時停止機能をアドバタイズする
10	一時停止	R/W	0h	全二重リンクの一時停止サポート: 0h = 一時停止機能をアドバタイズしない 1h = 一時停止機能をアドバタイズする
9	100Base-T4	R	0h	100Base-T4 サポート: 0h = 100Base-T4 機能をアドバタイズしない 1h = 100Base-T4 機能をアドバタイズする

Copyright © 2025 Texas Instruments Incorporated

表 8-23. ANAR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	100Base-TX 全二重	RH/W	X	100BASE-TX 全二重サポート: 値は、強制モードでは重要ではありません BASIC モード: ストラップでラッチ 0h = 強制モードでは、100Base-TX 全二重機能の値をアドバタイズしない 1h = 100Base-TX 全二重機能をアドバタイズする
7	100Base-TX 半二重	RH/W	X	100BASE-TX 半二重サポート: 値は、強制モードでは重要ではありません BASIC モード: ストラップでラッチ 0h = 強制モードでは、100Base-TX 半二重機能値をアドバタイズしない 1h = 100Base-TX 半二重機能をアドバタイズする
6	10Base-T 全二重	RH/W	X	10BASE-T 全二重サポート: 値は、強制モードでは重要ではありません BASIC モード: ストラップでラッチ 0h = 強制モードでは、10Base-T 全二重機能値をアドバタイズしない 1h = 10Base-T 全二重機能をアドバタイズする
5	10Base-T 半二重	RH/W	X	10BASE-T 半二重サポート: 値は、強制モードの BASIC モード/ ENHANCED モードでは関係ありません。ストラップでラッチ 0h = 強制モードでは、10Base-T 半二重機能値をアドバタイズしない 1h = 10Base-T 半二重機能をアドバタイズする
4-0	セレクタ フィールド	R/W	1h	プロトコル選択ビット: 技術セレクタ フィールド (IEEE802.3u<00001>)

8.5.1.6 ALNPAR レジスタ (オフセット = 5h) [リセット = 0000h]

表 8-24 に、ALNPAR レジスタを示します。

概略表に戻ります。

オートネゴシエーション リンク パートナー アビリティ レジスタ

表 8-24. ALNPAR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	次のページ	R	0h	次ページ表示: 0h = リンク パートナーが次ページ転送を要求しない 1h = リンク パートナーが次ページ転送を要求する
14	アクノリッジ	R	0h	アクノリッジ: 0h = リンク パートナーがリンク コード ワードの受信をアクノリッジしない 1h = リンク パートナーがリンク コード ワードの受信をアクノリッジする
13	リモート障害	R	0h	リモート障害: 0h = リンク パートナーがリモート障害イベント検出をアドバタイズしない 1h = リンク パートナーがリモート障害イベント検出をアドバタイズする
12	RESERVED	R	0h	
11	非対称型一時停止	R	0h	非対称型一時停止: 0h = リンク パートナーが非対称型一時停止機能をアドバタイズしない 1h = リンク パートナーが非対称型一時停止機能をアドバタイズする
10	一時停止	R	0h	一時停止: 0h = リンク パートナーが一時停止機能をアドバタイズしない 1h = リンク パートナーが一時停止機能をアドバタイズする
9	100Base-T4	R	0h	100Base-T4 サポート: 0h = リンク パートナーが 100Base-T4 機能をアドバタイズしない 1h = リンク パートナーが 100Base-T4 機能をアドバタイズする
8	100Base-TX 全二重	R	0h	100BASE-TX 全二重サポート: 0h = リンク パートナーが 100Base-TX 全二重機能をアドバタイズしない 1h = リンク パートナーが 100Base-TX 全二重機能をアドバタイズする

Copyright © 2025 Texas Instruments Incorporated

表 8-24. ALNPAR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	100Base-TX 半二重	R	0h	100BASE-TX 半二重サポート: 0h = リンク パートナーが 100Base-TX 半二重機能をアドバタイズしない 1h = リンク パートナーが 100Base-TX 半二重機能をアドバタイズする
6	10Base-T 全二重	R	0h	10BASE-T 全二重サポート: 0h = リンク パートナーが 10Base-T 全二重機能をアドバタイズしない 1h = リンク パートナーが 10Base-T 全二重機能をアドバタイズする
5	10Base-T 半二重	R	0h	10BASE-T 半二重サポート: 0h = リンク パートナーが 10Base-T 半二重機能をアドバタイズしない 1h = リンク パートナーが 10Base-T 半二重機能をアドバタイズする
4-0	セレクタ フィールド	R	0h	プロトコル選択ビット:技術セレクタ フィールド (IEEE802.3<00001>)

8.5.1.7 ANER レジスタ (オフセット = 6h) [リセット = 0004h]

表 8-25 に、ANER レジスタを示します。

概略表に戻ります。

オートネゴシエーション拡張レジスタ

表 8-25. ANER レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-5	RESERVED	R	0h	
4	並列検出フォルト	RH	0h	並列検出フォルト: 0h = フォルトは未検出 1h = 並列検出プロセス中にフォルトを検出済み
3	リンク パートナーの次ページ機能	R	0h	リンクパートナーの次ページ機能: 0h = リンク パートナーが次ページを交換できない 1h = リンク パートナーが次ページを交換できる
2	ローカル デバイスの次ページ機能	R	1h	次ページ機能: 0h = ローカル デバイスが次ページを交換できない 1h = ローカル デバイスが次ページを交換できる
1	ページの受信	RH	0h	リンク コード ワード ページの受信: 0h = 新しいページは未受信 1h = 新しいオートネゴシエーション ページを受信済み
0	リンク パートナーのオートネゴシエーション機能	R	0h	リンク パートナーのオートネゴシエーション機能: 0h = リンク パートナーがオートネゴシエーションをサポートしていない 1h = リンク パートナーがオートネゴシエーションをサポートしている

8.5.1.8 ANNPTR レジスタ (オフセット = 7h) [リセット = 2001h]

表 8-26 に、ANNPTR レジスタを示します。

概略表に戻ります。

オートネゴシエーション次ページ レジスタ

表 8-26. ANNPTR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	次のページ	R/W	0h	次ページ表示: 0h = 追加の次ページの送信の希望をアドバタイズしない 1h = 追加の次ページの送信の希望をアドバタイズする
14	RESERVED	R	0h	

Copyright © 2025 Texas Instruments Incorporated

表 8-26. ANNPTR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13	メッセージ ページ	R/W	1h	メッセージ ページ: 0h = 現在のページは未フォーマット ページ 1h = 現在のページはメッセージ ページ
12	アクノリッジ 2	R/W	0h	Acknowledge2:アクノリッジ 2 は、ローカル デバイスに受信メッセージに準拠する機能があることを示すために、次ページ機能によって使用されます。 0h = メッセージに準拠できない 1h = メッセージに準拠できる
11	点滅	R	0h	トグル:トグルは、オートネゴシエーション内の調停機能によって使用され、次ページ交換中にリンク パートナーと同期します。このビットは常に、前に交換されたリンク コード ワード内のトグル ビットとは逆の値を取ります。 0h = 前に送信されたリンク コード ワードのトグル ビットの値が 1 1h = 前に送信されたリンク コード ワードのトグル ビットの値が 0
10-0	コード	R/W	1h	このフィールドは、次ページ送信のコード フィールドを表します。メッセージ ページ ビットが設定されている場合 (このレジスタのビット [13])、コードは、IEEE 802.3u 付録 28C で定義されているメッセージ ページとして解釈されます。それ以外の場合、コードは未フォーマット ページとして相互に扱われ、解釈はアプリケーション固有です。 コードのデフォルト値は、IEEE 802.3u 付録 28C で定義されている Null ページを表します。

8.5.1.9 ANLNPTR レジスタ (オフセット = 8h) [リセット = 0000h]

表 8-27 に、ANLNPTR レジスタを示します。

概略表に戻ります。

オートネゴシエーション リンク パートナー アビリティ 次ページ レジスタ

表 8-27. ANLNPTR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	次のページ	R	0h	次ページ表示: 0h = 追加の次ページの送信の希望をアドバタイズしない 1h = 追加の次ページの送信の希望をアドバタイズする
14	アクノリッジ	R	0h	アクノリッジ: 0h = リンク パートナーがリンク コード動作の受信をアクノリッジしない 1h = リンク パートナーがリンク コード ワードの受信をアクノリッジする
13	メッセージ ページ	R	0h	メッセージ ページ: 0h = 現在のページは未フォーマット ページ 1h = 現在のページはメッセージ ページ
12	アクノリッジ 2	R	0h	Acknowledge2:アクノリッジ 2 は、ローカル デバイスに受信メッセージに準拠する機能があることを示すために、次ページ機能によって使用されます。 0h = メッセージに準拠できない 1h = メッセージに準拠できる
11	点滅	R	0h	トグル:トグルは、オートネゴシエーション内の調停機能によって使用され、次ページ交換中にリンク パートナーと同期します。このビットは常に、前に交換されたリンク コード ワード内のトグル ビットとは逆の値を取ります。 0h = 前に送信されたリンク コード ワードのトグル ビットの値が 1 1h = 前に送信されたリンク コード ワードのトグル ビットの値が 0

Copyright © 2025 Texas Instruments Incorporated

表 8-27. ANLNPTR レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10-0	メッセージ / 未フォーマット フィールド	R	0h	このフィールドは、次ページ送信のコード フィールドを表します。メッセージ ページ ビットが設定されている場合 (このレジスタのビット 13)、コードは、IEEE 802.3u 付録 28C で定義されているメッセージ ページとして解釈されます。それ以外の場合、コードは未フォーマット ページとして相互に扱われ、解釈はアプリケーション固有です。 コードのデフォルト値は、IEEE 802.3u 付録 28C で定義されている Null ページを表します。

8.5.1.10 CR1 レジスタ (オフセット = 9h) [リセット = 0000h]

表 8-28 に、CR1 レジスタを示します。

概略表に戻ります。

制御レジスタ #1

表 8-28. CR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	RESERVED	R	0h	
9	RESERVED	R/W	0h	
8	TDR 自動実行	R/W	0h	リンク ダウン時の TDR 自動実行 0h = TDR 自動実行を無効化 1h = リンク ダウン イベント後の TDR 手順の実行を有効化
7	リンク損失の回復	R/W	0h	リンク損失の回復: 0h = 通常のリンク損失動作。このモードでは、短時間の干渉から回復し、短時間の干渉がなくなり信号が正常になるまで、追加の数ミリ秒間リンクを続けて保持することができます。通常のリンク損失動作では、リンク ステータスは信号損失によってほぼ 250µs に低下します。 1h = リンク損失回復メカニズムを有効化
6	RESERVED	R/W	0h	
5	堅牢な Auto-MDIX	R/W	0h	堅牢な Auto-MDIX:リンク パートナーが通常の Auto-MDIX でサポートされていない動作モード用に設定されている場合、堅牢な Auto-MDIX によって MDI/MDIX 解決が可能になり、デッドロックが防止されます。強制モードで使用する場合は、堅牢な Auto-MDIX を有効化する必要があります 0h = Auto-MDIX を無効化 1h = 堅牢な Auto-MDIX を有効化
4	RESERVED	R/W	0h	
3-2	RESERVED	R/W	0h	
1	高速 RXDV 検出	R/W	0h	高速 RXDV 検出: 0h = 高速 RX_DV 検出を無効化。PHY は通常モードで動作します。/JK/ の検出後の RX_DV アサート。 1h = /J/ シンボルの検出のみにより、受信パケットで RX_DV のアサート High を有効化する。連続した /K/ が表示されない場合は、RX_ER が生成されます。
0	RESERVED	R	0h	

8.5.1.11 CR2 レジスタ (オフセット = Ah) [リセット = 010Xh]

表 8-29 に、CR2 レジスタを示します。

概略表に戻ります。

制御レジスタ #2

Copyright © 2025 Texas Instruments Incorporated

表 8-29. CR2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	RESERVED	R/W	0h	
14	RESERVED	R/W	0h	
13-7	RESERVED	R/W	2h	
6	RESERVED	R/W	0h	
5	拡張全二重機能	R/W	0h	拡張全二重機能: 0h = 拡張全二重機能を無効化。全二重モードと半二重モードのどちらで動作するかは、IEEE の仕様に従います。 1h = 強制 100Base-TX でリンク パートナーと連携している間、全二重を有効化。PHY がオートネゴシエーションまたは強制 100Base-TX に設定され、リンク パートナーが Force 100Base-TX で動作する場合、リンクは常に全二重になります。
4	RESERVED	R/W	0h	
3	RESERVED	R/W	0h	
2	IDLE 時の RX_ER	R/W	0h	IDLE 状態での受信シンボル エラーの検出: 0h = IDLE 状態時の受信シンボル エラーの検出を無効化 1h = IDLE 状態時の受信シンボル エラーの検出を有効化
1	奇数ニブル検出ディスエーブル	RH/W	X	送信エラーの検出。ENHANCED モード:デフォルトで有効になっています。Strap1 BASIC モードで変更できます。ディセーブル 0h = 奇数ニブル境界での TX_EN のデアサートの検出を有効化。この場合、TX_EN は 1 つの追加 TX_CLK サイクルによって延長され、その追加サイクル中に TX_ER がアサートされたかのように動作します。 1h = 奇数ニブル境界での送信エラーの検出を無効化
0	RESERVED	R/W	0h	

8.5.1.12 CR3 レジスタ (オフセット= Bh) [リセット= 0000h]

表 8-30 に、CR3 レジスタを示します。

概略表に戻ります。

制御レジスタ #3

表 8-30. CR3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	RESERVED	R/W	0h	
10	デスクランブラ高速リンク ダウン モード	R/W	0h	デスクランブラ高速リンク ドロップ: このオプションは、他の高速リンク ダウン モードと並列にビット [3:0] で有効化できます。 0h = デスクランブラのリンク損失時にリンクをドロップしない 1h = デスクランブラのリンク損失時にリンクをドロップする
9	RESERVED	R	0h	
8	RESERVED	R/W	0h	
7	RESERVED	R/W	0h	
6	極性スワップ	R/W	0h	極性スワップ: ポート ミラーリング機能:ポート ミラーリングを有効化するには、このビットとビット [5] を High に設定します。 1h = 両方のペアで反転極性:TD+ および TD-、RD+ および RD- 0h = 通常極性
5	MDI/MDIX スワップ	R/W	0h	MDI/MDIX スワップ: ポート ミラーリング機能:ポート ミラーリングを有効化するには、このビットとビット [6] を High に設定します。 0h = MDI ペアは通常 (RD ペアで受信、TD ペアで送信) 1h = MDI ペアをスワップ (TD ペアで受信、RD ペアで送信)

Copyright © 2025 Texas Instruments Incorporated

表 8-30. CR3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	RESERVED	R/W	0h	
3-0	高速リンク ダウン モード	RH/W	0h	高速リンク ダウン モード:ビット 3 は、MII インターフェイスの RX エラー数に基づいてリンクをドロップします。10us 間隔で、事前定義されている 32 の RX エラー発生数に達すると、リンクがドロップされます。ビット 2 は、MLT3 エラー カウント (DSP 出力の MLT3 コーディング違反) に基づいてリンクをドロップします。10µs 間隔で、事前定義されている 20 の MLT3 エラー発生数に達すると、リンクがドロップされます。ビット 1:低信号対雑音比スレッショルドに基づいてリンクをドロップします。10µs 間隔で、事前定義されている 20 のスレッショルド超過が発生すると、リンクがドロップされます。ビット 0:信号 / エネルギー損失表示に基づいてリンクをドロップします。エネルギー検出器がエネルギー損失を示すと、リンクがドロップされます。代表的な応答時間は 10µs です。C:ビット 0 のデフォルトは 0 です NC+MII:ENHANCED モードでは、ビット 0 は STRAP から取得されます。NC + RMII:ビット 0 のデフォルトは 0 です。高速リンク ダウン機能は 5 つのオプションすべての論理和 (ビット [10] および [3:0]) であり、設計者はこれらの条件の任意の組み合わせを有効にすることができます。

8.5.1.13 REGCR レジスタ (オフセット = Dh) [リセット = 0000h]

表 8-31 に、REGCR レジスタを示します。

概略表に戻ります。

表 8-31. REGCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	拡張レジスタ コマンド	R/W	0h	拡張レジスタ コマンド: 0h = アドレス 1h = データ、ポスト インクリメントなし 2h = データ、読み出しおよび書き込み時にポスト インクリメント 3h = データ、書き込み時のみにポスト インクリメント
13-5	RESERVED	R	0h	
4-0	DEVAD	R/W	0h	デバイス アドレス:ビット [4:0] はデバイス アドレス DEVAD であり、ADDAR レジスタ (0x000E) へのアクセスを適切な MMD に指示します。特に DP83826 は、アドレスが 0x04D1 以下のレジスタへのアクセスのためにベンダ固有の DEVAD [4:0] = "11111" を使います。MMD3 アクセスの場合、DEVAD[4:0] = '00011' になります。MMD7 アクセスの場合、DEVAD[4:0] = '00111' になります。 レジスタ REGCR および ADDAR によるすべてのアクセスでは、MMD、MMD3、MMD7 のいずれにも DEVAD を使うことができます。その他の DEVAD を使ったトランザクションは無視されます。

8.5.1.14 ADDAR レジスタ (オフセット = Eh) [リセット = 0000h]

表 8-32 に、ADDAR レジスタを示します。

概略表に戻ります。

表 8-32. ADDAR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	アドレス / データ	R/W	0h	REGCR レジスタ ビット [15:14] = '00' の場合、MMD DEVAD のアドレス レジスタを保持します。それ以外の場合、MMD DEVAD のデータを保持します。

Copyright © 2025 Texas Instruments Incorporated

8.5.1.15 FLDS レジスタ (オフセット = Fh) [リセット = 0000h]

表 8-33 に、FLDS レジスタを示します。

概略表に戻ります。

表 8-33. FLDS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	RESERVED	R	0h	
8-4	高速リンク ダウン ステータス	RC	0h	高速リンク ダウン ステータス: 特定の高速リンク ダウン モードがアクティブになるたびに High にラッチされるステータス レジスタで、リンク ドロップが発生します (モードが有効であると仮定した場合)。 1h = 信号 / エネルギー損失 2h = 信号対雑音比レベル 4h = MLT3 エラー 8h = RX エラー 10h = デスクランブラ損失同期
3-0	RESERVED	R	0h	

8.5.1.16 PHYSTS レジスタ (オフセット = 10h) [リセット = 0002h]

表 8-34 に、PHYSTS レジスタを示します。

概略表に戻ります。

表 8-34. PHYSTS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	RESERVED	R	0h	
14	MDI/MDIX モード	R	0h	MDI/MDIX モード ステータス: 0h = MDI ペアは通常 (RD ペアで受信、TD ペアで送信) 1h = MDI ペアはスワップ済み (TD ペアで受信、RD ペアで送信)
13	受信エラー ラッチ	RC	0h	受信エラー ラッチ: このビットは、RECR レジスタを読み出すとクリアされます。 0h = 受信エラー イベントは未発生 1h = RXERCNT レジスタ (0x0015) の最後の読み出し以降に受信エラー イベントが発生
12	極性ステータス	RC	0h	極性ステータス: このビットは、10BTSCR レジスタ (0x001A) のビット [4] の複製です。このビットは 10BTSCR レジスタの読み出しによってクリアされますが、PHYSTS レジスタの読み出しではクリアされません。 0h = 正しい極性を検出済み 1h = 反転極性を検出済み
11	誤搬送波検知ラッチ	RC	0h	誤搬送波検知ラッチ: このビットは、FCSR レジスタを読み出すとクリアされます。 0h = 誤搬送波イベントは未発生 1h = FCSCR レジスタ (0x0014) の最後の読み出し以降に、誤った誤搬送波イベントが発生
10	信号検出	RC	0h	信号検出: PMD からのアクティブ HIGH 100Base-TX 無条件信号検出表示
9	デスクランブラ ロック	RC	0h	デスクランブラ ロック: PMD からのアクティブ HIGH 100Base-TX デスクランブラ ロック表示
8	ページの受信	RC	0h	リンク コード ワード ページの受信: このビットは、ANER レジスタで受信したページ (ビット [1]) の複製であり、ANER レジスタ (0x0006) の読み取り時にクリアされます。 0h = リンク コード ワード ページは未受信 1h = 新しいリンク コード ワード ページを受信済み

Copyright © 2025 Texas Instruments Incorporated

表 8-34. PHYSTS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	MII 割り込み	RC	0h	MII 割り込み保留: 割り込みソースは、MISR レジスタ (0x0012) を読み出すことで判定できます。MISR を読み出すと、この割り込みビット表示はクリアされます。 0h = 割り込み保留なし 1h = 内部割り込みが保留中であることを示す
6	リモート障害	RC	0h	リモート障害: BMSR レジスタ (0x0001) の読み出しまたはリセットによってクリアされます。 1h = リモート障害状態は未検出フォルト条件:オートネゴシエーションを介したリモート障害のリンク パートナーからの通知「0h = リモート障害状況なし」が未検出
5	ジャバー検出	RC	0h	ジャバー検出: このビットは 10Mbps 動作専用です。このビットは、BMSR レジスタ (0x0001) のジャバー検出ビットの複製であり、PHYSTS レジスタ を読み出してもクリアされません。 0h = ジャバーなし 1h = ジャバー状態を検出済み
4	オートネゴシエーション ステータス	R	0h	オートネゴシエーション ステータス: 0h = オートネゴシエーションが未完了 1h = オートネゴシエーションが完了
3	MII ループバック ステータス	R	0h	MII ループバック ステータス: 0h = 通常動作 1h = ループバックを有効化
2	二重モードのステータス	RH	0h	二重モードのステータス: BASIC モード:オートネゴシエーションがディスエーブルのときに、ストラップによってラッチされます。ENHANCED モード:オートネゴシエーションがディスエーブルの場合は 1 0h = 半二重モード 1h = 全二重モード
1	速度ステータス	RH	1h	速度ステータス: BASIC モード:オートネゴシエーションがディスエーブルのときに、ストラップによってラッチされます。ENHANCED モード:オートネゴシエーションがディスエーブルの場合は 1 0h = 100Mbps モード 1h = 10Mbps モード
0	リンク ステータス	R	0h	リンク ステータス: このビットは、BMSR レジスタ (アドレス 0x0001) のリンク ステータス ビットから複製され、PHYSTS レジスタを読み出してもクリアされません。 0h = リンクが未確立 1h = 有効なリンクが確立済み (10Mbps または 100Mbps)

8.5.1.17 PHYSCR レジスタ (オフセット = 11h) [リセット = 0108h]

表 8-35 に、PHYSCR レジスタを示します。

概略表に戻ります。

表 8-35. PHYSCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PLL を無効化	R/W	0h	PLL を無効化: 注:クロック回路は IEEE のパワーダウン モードでのみ無効化できます。 0h = 通常動作 1h = 内部クロック回路を無効化

Copyright © 2025 Texas Instruments Incorporated

表 8-35. PHYSCR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	パワー セーブ モード イネーブル	R/W	0h	パワー セーブ モード イネーブル: 0h = 通常動作 1h = パワー セーブ モードを有効化
13-12	パワー セーブ モード	R/W	0h	パワー セーブ モード: 0h = 通常動作モード。PHY は完全な機能を備えています 1h = 予約済み 2h = アクティブ スリープ、SMI およびエネルギー検出機能以外のすべての内部回路をシャットダウンする低消費電力アクティブ省エネモード。このモードでは、PHY は 1.4 秒 ごとに NLP を送信して、リンク パートナーをウェークアップします。リンク パートナーが検出されると、自動パワーアップが実行されます。
11	スクランブラ バイパス	R/W	0h	スクランブラ バイパス: 0h = スクランブラ バイパス ディスエーブル 1h = スクランブラ バイパス イネーブル
10	RESERVED	R/W	0h	
9-8	ループバック FIFO 深度	R/W	1h	ファーエンド ループバック FIFO 深度: この FIFO は、RX (受信) クロック レートを TX クロック レートに調整するために使用されます。FIFO の深度は、予想される最大パケット サイズとクロック精度に基づいて設定する必要があります。デフォルト値は 5 ニブルに設定されます。 0h = 4 ニブル FIFO 1h = 5 ニブル FIFO 2h = 6 ニブル FIFO 3h = 8 ニブル FIFO
7-5	RESERVED	R	0h	
4	COL 全二重イネーブル	R/W	0h	全二重モードでの衝突: 0h = 全二重モードでの衝突を無効化。衝突は半二重モードでのみアクティブのままになります。 1h = 全二重モードでの衝突信号の生成を有効化
3	割り込み極性	R/W	1h	割り込み極性: 0h = 定常状態 (通常動作) は 0 ロジック、割り込み中は 1 ロジック 1h = 定常状態 (通常動作) は 1 ロジック、割り込み中は 0 ロジック
2	割り込みのテスト	R/W	0h	割り込みのテスト: 割り込みのテストを容易にするため、PHY に割り込みを生成させます。このビットが設定されている間、割り込みは生成され続けます。 0h = 割り込みを生成しない 1h = 割り込みを生成する
1	割り込みイネーブル	R/W	0h	割り込みイネーブル: MISR レジスタ (0x0012) でのイベント イネーブルに応じて割り込みを有効化します。 0h = イベント ベースの割り込みを無効化 1h = イベント ベースの割り込みを有効化
0	割り込み出力イネーブル	R/W	0h	割り込み出力イネーブル: INTR/PWERDN ピンを出力として構成することで (ENHANCED モード)、INTR/PWRDN ピンを使用してアクティブ Low の割り込みイベントを有効化します。 0h = INTR/PWRDN はパワーダウン ピン 1h = INTR/PWRDN は割り込み出力

8.5.1.18 MISR1 レジスタ (オフセット = 12h) [リセット = 0000h]

表 8-36 に、MISR1 レジスタを示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 8-36. MISR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	リンク品質割り込み	RC	0h	リンク品質ステータス変化割り込み: 0h = リンク品質は良好 1h = リンクがオンの場合のリンク品質の変化
14	エネルギー検出割り込み	RC	0h	エネルギー検出ステータス変化割り込み: 0h = エネルギーの変化は未検出 1h = エネルギーの変化を検出済み
13	リンク ステータス変化割り込み	RC	0h	リンク ステータス変化割り込み: 0h = リンク ステータスの変化なし 1h = リンク ステータス変化時の割り込みが保留中
12	速度変化割り込み	RC	0h	速度ステータス変化割り込み: 0h = 速度ステータスの変化なし 1h = 速度ステータス変化時の割り込みが保留中
11	二重モード変化割り込み	RC	0h	二重ステータス変化割り込み: 0h = 二重モードのステータスは変化なし 1h = 二重ステータス変化時の割り込みが保留中
10	オートネゴシエーション完了割り込み	RC	0h	オートネゴシエーション完了割り込み: 0h = オートネゴシエーション完了イベントが保留中 1h = オートネゴシエーション完了割り込みが保留中
9	誤搬送波カウンタ ハーフフル割り込み	RC	0h	誤搬送波カウンタ ハーフフル割り込み: 0h = 誤搬送波ハーフフル イベントは保留中でない 1h = ハーフフル割り込みを上回る誤搬送波カウンタ (レジスタ FCSCR、アドレス 0x0014) が保留中
8	受信エラー カウンタ ハーフフル割り込み	RC	0h	受信エラー カウンタ ハーフフル割り込み: 0h = 受信エラー ハーフフル イベントは保留中でない 1h = ハーフフル割り込みを上回る受信エラー カウンタ (レジスタ RECR、アドレス 0x0015) が保留中
7	リンク品質割り込み有効化	R/W	0h	リンク品質の変化時の割り込みを有効化
6	エネルギー検出割り込み有効化	R/W	0h	エネルギー変化検出時の割り込みを有効化
5	リンク ステータス変化イネーブル	R/W	0h	リンク ステータス変化時の割り込みを有効化
4	速度変化割り込みイネーブル	R/W	0h	速度ステータス変化時の割り込みを有効化
3	二重モード変更割り込みイネーブル	R/W	0h	二重ステータス変化時の割り込みを有効化
2	オートネゴシエーション完了イネーブル	R/W	0h	オートネゴシエーション完了イベント時の割り込みを有効化
1	誤搬送波 HF イネーブル	R/W	0h	誤搬送波カウンタ レジスタ ハーフフル イベント時の割り込みを有効化
0	受信エラー HF イネーブル	R/W	0h	受信エラー カウンタ レジスタ ハーフフル イベント時の割り込みを有効化

8.5.1.19 MISR2 レジスタ (オフセット = 13h) [リセット = 0000h]

表 8-37 に、MISR2 レジスタを示します。

概略表に戻ります。

表 8-37. MISR2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	EEE エラー割り込み	RC	0h	省電力型イーサネット エラー割り込み: 0h = EEE エラーは未発生 1h = EEE エラーが発生

Copyright © 2025 Texas Instruments Incorporated

表 8-37. MISR2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	オートネゴシエーション エラー割り込み	RC	0h	オートネゴシエーション エラー割り込み: 0h = オートネゴシエーション エラー イベントが保留中 1h = オートネゴシエーション エラー割り込みが保留中
13	ページ受信割り込み	RC	0h	ページ受信割り込み: 0h = ページは未受信 1h = ページを受信済み
12	ループバック FIFO OF/UF イベント割り込み	RC	0h	ループバック FIFO オーバーフロー / アンダーフロー イベント割り込み: 0h = 保留中の FIFO オーバーフロー / アンダーフロー イベントなし 1h = FIFO オーバーフロー / アンダーフロー イベント割り込みが保留中
11	MDI クロスオーバー変化割り込み	RC	0h	MDI/MDIX クロスオーバー ステータス変化割り込み: 0h = MDI クロスオーバー ステータスは変化なし 1h = MDI クロスオーバー ステータス変化割り込みが保留中
10	スリープ モード割り込み	RC	0h	スリープ モード イベント割り込み: 0h = 保留中のスリープ モード イベントなし 1h = スリープ モード イベント割り込みが保留中
9	反転極性割り込み/ WoL パケット受信割り込み	RC	0h	反転極性割り込み/ WoL パケット受信割り込み: 0h = 保留中の反転極性イベントなし / WoL パケットは未受信 1h = 反転極性割り込みが保留中 / WoL パケットを受信済み
8	ジャバー検出割り込み	RC	0h	ジャバー検出イベント割り込み: 0h = 保留中のジャバー検出イベントなし 1h = ジャバー検出イベント割り込みが保留中
7	EEE エラー割り込みイネーブル	R/W	0h	EEE エラー時の割り込みを有効化
6	オートネゴシエーション エラー割り込みイネーブル	R/W	0h	オートネゴシエーション エラー イベント時の割り込みを有効化
5	ページ受信割り込みイネーブル	R/W	0h	ページ受信イベント時の割り込みを有効化
4	ループバック FIFO OF/UF イネーブル	R/W	0h	ループバック FIFO オーバーフロー / アンダーフロー イベント時の割り込みを有効化
3	MDI クロスオーバー変化イネーブル	R/W	0h	MDI/X ステータス変化時の割り込みを有効化
2	スリープ モード イベント イネーブル	R/W	0h	スリープ モード イベント時の割り込みを有効化
1	極性変化 / WoL パケット イネーブル	R/W	0h	極性ステータス変化時の割り込みを有効化
0	ジャバー検出イネーブル	R/W	0h	ジャバー検出イベント時の割り込みを有効化

8.5.1.20 FCSCR レジスタ (オフセット = 14h) [リセット = 0000h]

表 8-38 に、FCSCR レジスタを示します。

概略表に戻ります。

表 8-38. FCSCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	RESERVED	R	0h	
7-0	誤搬送波イベント カウンタ	RC	0h	誤搬送波イベント カウンタ: この 8 ビット カウンタは、誤搬送波イベントごとにインクリメントします。最大カウント (FFh) に達すると、このカウンタは停止します。 カウンタがハーフフル (7Fh) を超えると、割り込みイベントが生成されます。このレジスタは、読み取り時にクリアされます。

Copyright © 2025 Texas Instruments Incorporated

8.5.1.21 RECR レジスタ (オフセット = 15h) [リセット = 0000h]

表 8-39 に、RECR レジスタを示します。

概略表に戻ります。

表 8-39. RECR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	受信エラー カウンタ	RC	0h	RX_ER カウンタ: 有効なキャリアが存在し (RXDV が設定されている間のみ)、無効なデータ シンボルが少なくとも 1 回発生すると、この 16 ビット カウンタは、検出された受信エラーごとにインクリメントします。 MII ループバック モードでは、RX_ER カウンタはカウントされません。 カウンタは最大カウント値 (FFh) に達すると停止します。カウンタがハーフフル (7Fh) を超えると、割り込みが生成されます。このレジスタは、読み取り時にクリアされます。

8.5.1.22 BISCR レジスタ (オフセット = 16h) [リセット = 0100h]

表 8-40 に、BISCR レジスタを示します。

概略表に戻ります。

表 8-40. BISCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	RESERVED	R	0h	
14	BIST エラー カウンタ モード	R/W	0h	BIST エラー カウンタ モード: 0h = シングル モード、BIST エラー カウンタが最大値に達すると、PRBS チェッカはカウントを停止します。 1h = 連続モード、BIST エラー カウンタが最大値に達すると、パルスが生成され、カウンタは再びゼロからカウントを開始します。
13	PRBS チェッカ構成	R/W	0h	PRBS チェッカ構成:ビット [13:12] 0h = PRBS ジェネレータとチェッカの両方がディスエーブル 1h = イネーブル、レジスタ 0x001C で構成されているように、PRBS ジェネレータが定数データを含むシングル パケットを送信。チェッカはディスエーブル。 2h = PRBS 生成はディスエーブル。PRBS チェッカはイネーブル。 3h = PRBS ジェネレータとチェッカの両方がイネーブル。レジスタ 0x001C で構成されているように、PRBS が連続パケットを生成
12	パケット生成イネーブル	R/W	0h	パケット生成イネーブル:ビット [13:12] 0h = PRBS ジェネレータとチェッカの両方がディスエーブル 1h = イネーブル、レジスタ 0x001C で構成されているように、PRBS ジェネレータが定数データを含むシングル パケットを送信。チェッカはディスエーブル。 2h = PRBS 生成はディスエーブル。PRBS チェッカはイネーブル。 3h = PRBS ジェネレータとチェッカの両方がイネーブル。レジスタ 0x001C で構成されているように、PRBS が連続パケットを生成
11	PRBS チェッカ ロック / 同期	R	0h	PRBS チェッカ ロック / 同期表示: 0h = PRBS チェッカはロックしていない 1h = PRBS チェッカが受信ビット ストリームにロックおよび同期
10	PRBS チェッカ同期喪失	RH	0h	PRBS チェッカ同期喪失の表示: 0h = PRBS チェッカは同期を失っていない 1h = PRBS チェッカは同期を失った
9	パケット ジェネレータ ステータス	R	0h	パケット生成ステータス表示: 0h = パケット ジェネレータはオフ 1h =パケット ジェネレータがアクティブでパケットを生成

Copyright © 2025 Texas Instruments Incorporated

表 8-40. BISCR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	電力モード	R	1h	スリープ モード表示: 0h = PHY がアクティブ スリープ モードであることを示す 1h = PHY が通常の電力モードであることを示す
7	RESERVED	R	0h	
6	MII ループバックでの送信	R/W	0h	MII ループバック モードでのデータ送信 (100Mbps でのみ有効) 0h = MII ループバックで、データがラインに送信されない 1h = TX ピンで受信した MAC からのデータを、MII ループバックから RX ピンへの動作に並行して、ラインに送信できる。このビットは、BMCR レジスタ (0x0000) の MII ループバック モード設定ビット[14] でのみ設定できます。
5	RESERVED	R	0h	
4-0	ループバック モード	R/W	0h	ループバック モードの選択:PHY には、PHY 内の各種機能ブロックをテストおよび検証するループバックの複数オプションがあります。ループバック モードを有効化すると、DP83826 のデジタルおよびアナログ データ パスのインサーキット テストが可能となります。 1h = PCS 入力ループバック (10Base-Te のみで使用) 2h = PCS 出力ループバック 4h = デジタル ループバック (100Base-TX のみで使用)。追加のレジスタ書き込みが必要です。 8h = アナログ ループバック (100Ω の終端が必要) 10h = 逆ループバック

8.5.1.23 RCSR レジスタ (オフセット = 17h) [リセット = 00X1h]

表 8-41 に、RCSR レジスタを示します。

概略表に戻ります。

表 8-41. RCSR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	RESERVED	R	0h	
12	RESERVED	R	0h	
11	RESERVED	R	0h	
10	RESERVED	R	0h	
9	RESERVED	R	0h	
8	RMII TX クロック シフト	R/W	0h	RMII TX クロック シフト:RMII フォロワ モードでのみ適用されます 0h =送信パスの内部クロック シフトはディスエーブル 1h = 送信パスの内部クロック シフトはイネーブル
7	RMII クロック選択	RH/W	X	RMII 基準クロックの選択: BASIC モード:ストラップでラッチ ENHANCED モードストラップでラッチ 0h = 25MHz クロック リファレンス、水晶振動子または CMOS レベル発振器 1h = 50MHz クロック リファレンス、CMOS レベル発振器
6	RESERVED	R/W	1h	
5	RMII モード	RH/W	X	RMII または MII MAC インターフェイスの有効化: 0h = MII 動作モードを有効化 1h = RMII 動作モードを有効化
4	RMII リビジョンの選択	R/W	0h	RMII リビジョンの選択: 0h = (RMII リビジョン 1.2) CRS_DV はパケットの最後でトグルし、CRS のデアサートを示す 1h = (RMII リビジョン 1.0) 最終データが転送されるまで CRS_DV はアサートされたままとなる CRS_DV は、パケットの最後でトグルしません

Copyright © 2025 Texas Instruments Incorporated

表 8-41. RCSR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	RMII オーバーフロー ステータス	RC	0h	RX FIFO オーバーフロー ステータス: 0h = オーバーフローを検出済み 1h=通常
2	RMII アンダーフロー ステータス	RC	0h	RX FIFO アンダーフロー ステータス: 0h = アンダーフローを検出済み 1h=通常
1-0	受信弾性バッファ サイズ	R/W	1h	受信弾性バッファ サイズ: このフィールドは受信弾性バッファを制御し、50MHz の RMII クロックと回復されたデータとの間で周波数変動の許容誤差を許容します。次の値は、シングル パケットの許容範囲をビット単位で示したものです。最小設定では、±50ppm の精度で標準イーサネット フレーム サイズを使用できます。周波数の許容範囲を大きくするには、パケット長をスケーリングすることができます (+/-100ppm)。パケット長を 2 で割ります。 0h = 14 ビット許容値 (最大 16800 バイトのパケット) 1h = 2 ビット許容値 (最大 2400 バイトのパケット) 2h = 6 ビット許容値 (最大 7200 バイトのパケット) 3h = 10 ビット許容値 (最大 12000 バイトのパケット)

8.5.1.24 LEDCR レジスタ (オフセット = 18h) [リセット = 04X0h]

表 8-42 に、LEDCR レジスタを示します。

概略表に戻ります。

表 8-42. LEDCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	RESERVED	R	0h	
10-9	点滅速度	R/W	2h	LED 点滅速度 (オン/オフ持続時間) : 0h = 20Hz (50ms) 1h = 10Hz (100ms) 2h = 5Hz (200ms) 3h = 2Hz (500ms)
8	RESERVED	R/W	0h	
7	LED リンク極性	RH/W	X	LED リンク極性の設定:リンク LED の極性は BASIC モードではアクティブ Low であり、ENHANCED モードではこのピンのストラップ方向によって定義されます。このレジスタにより、このストラップ値を無効にすることができます。 0h = アクティブ Low 極性設定 1h = アクティブ High 極性設定
6-5	RESERVED	R/W	0h	
4	駆動リンク LED	R/W	0h	駆動リンク LED の選択: 0h = 通常動作 1h = ON/OFF ビット [1] の駆動値を LED0 出力ピンに印加
3-2	RESERVED	R/W	0h	
1	リンク LED オン/オフ設定	R/W	0h	リンク LED 出力を強制的にオンにする値 0h = LOW 1h = HIGH
0	RESERVED	R/W	0h	

8.5.1.25 PHYCR レジスタ (オフセット = 19h) [リセット = X0XXh]

表 8-43 に、PHYCR レジスタを示します。

Copyright © 2025 Texas Instruments Incorporated

概略表に戻ります。

表 8-43. PHYCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	Auto-MDI/X イネーブル	RH/W	X	Auto-MDIX イネーブル:BASIC モード:デフォルトでは、A-MDIX が有効になっています。ENHANCED モード:ストラップ A-MDIX でラッチ 0h = オートネゴシエーション Auto-MDIX 機能を無効化 1h = オートネゴシエーション Auto-MDIX 機能を有効化
14	MDI/X の強制	RH/W	X	MDIX の強制:ENHANCED モード:A-MDIX ストラップを無効化すると、FORCE MDI/MDIX ストラップによってラッチされます 0h = 通常動作 (RD ペアで受信、TD ペアで送信) 1h = MDI ペアを強制的に交差 (TD ペアで受信、RD ペアで送信)
13	RX ステータスの一時停止	R	0h	受信ネゴシエーションの一時停止ステータス:MAC で、一時停止受信を有効化できることを示します。ANAR レジスタのビット [11:10] と ANLPAR レジスタ設定のビット [11:10] に基づきます。この機能は、オートネゴシエーションの最も高い共通分母が全二重技術である場合にのみ、IEEE 802.3 付録 28B の表 28B-3「Pause Resolution」に従って有効化する必要があります。
12	TX ステータスの一時停止	R	0h	送信ネゴシエーション ステータスの一時停止:MAC で、一時停止を有効化できることを示します。ANAR レジスタのビット [11:10] と ANLPAR レジスタ設定のビット [11:10] に基づきます。この機能は、オートネゴシエーションの最も高い共通分母が全二重技術である場合にのみ、IEEE 802.3 付録 28B の表 28B-3「Pause Resolution」に従って有効化する必要があります。
11	MII リンク ステータス	R	0h	MII リンク ステータス: 0h = アクティブな 100Base-TX 全二重リンクなし、オートネゴシエーションを使用して確立 1h = 100Base-TX 全二重リンクがアクティブ、オートネゴシエーションを使用して確立
10-8	RESERVED	R	0h	
7	LED ストレッチをバイパス	R/W	0h	LED ストレッチをバイパス:このビットを「1」に設定すると、LED ストレッチがバイパスされ、LED に内部値が反映されます。 0h = 通常の LED 動作 1h = LED ストレッチをバイパス
6	RESERVED	R/W	0h	
5	LED の構成	R/W	0h	
4-0	PHY アドレス	RH	X	PHY アドレス:BASIC モード:ストラップ ENHANCED モードでラッチ:ストラップでラッチ

8.5.1.26 10BTSCR レジスタ (オフセット = 1Ah) [リセット = 0000h]

表 8-44 に、10BTSCR レジスタを示します。

概略表に戻ります。

表 8-44. 10BTSCR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	RESERVED	R	0h	
13	レシーバ スレッショルド イネーブル	R/W	0h	レシーバの下限スレッショルド イネーブル: 0h = 通常の 10Base-T 動作 1h = 10Base-T の受信スレッショルドを低くして、より長いケーブルでの動作を実現

Copyright © 2025 Texas Instruments Incorporated

表 8-44. 10BTSCR レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12-9	スケルチ	R/W	0h	スケルチ構成:10Base-T レシーバのピーク スケルチ「オン」スレッショルドを設定するために使用します。以下に示されているように、200mV ～ 600mV で始まり、50mV のステップ サイズで一部重なります。 0h = 200 mV 1h = 250 mV 2h = 300 mV 3h = 350 mV 4h = 400 mV 5h = 450 mV 6h = 500 mV 7h = 550 mV 8h = 600 mV
8	RESERVED	R/W	0h	
7	NLP ディスエーブル	R/W	0h	NLP 転送制御: 0h = NLP の転送を有効化 1h = NLP の転送を無効化
6-5	RESERVED	R	0h	
4	極性ステータス	R	0h	極性ステータス: このビットは、PHYSTS レジスタ (0x0010) のビット [12] の複製です。これらのビットは、10BTSCR レジスタの読み取り時にクリアされますが、PHYSTS レジスタの読み取り時にはクリアされません。 0h = 正しい極性を検出済み 1h = 反転極性を検出済み
3-1	RESERVED	R	0h	
0	ジャバー ディスエーブル	R/W	0h	ジャバー ディスエーブル: 注:この機能は、10Base-Te 動作でのみ適用されます。 0h = ジャバー機能はイネーブル 1h = ジャバー機能はディスエーブル

8.5.1.27 BICSR1 レジスタ (オフセット = 1Bh) [リセット = 007Dh]

表 8-45 に、BICSR1 レジスタを示します。

概略表に戻ります。

表 8-45. BICSR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	BIST エラー カウント	R	0h	BIST エラー カウント: PRBS チェッカによって受信されたエラー バイトを保持します。このレジスタの値はロックされ、ビット [15] への書き込みが行われるとクリアされます。BIST エラー カウンタ モードが 0 に設定されている場合、カウントは 0xFF で停止します (レジスタ 0x0016 を参照) 注:ビット [15] に「1」を書き込むと、連続する読み取り動作のためのカウンタ値がロックされ、BIST エラー カウンタがクリアされます。
7-0	BIST IPG 長	R/W	7Dh	BIST IPG 長: パケット間ギャップ (IPG) の長さにより、BIST によって生成される任意の 2 つの連続するパケット間のギャップ (バイト単位) のサイズが定義されます。デフォルト値は 0x7D です (125 バイト * 4 = 500 バイトに相当)。 実際の IPG 長を得るには、バイナリ値に 4 を掛ける必要があります

8.5.1.28 BICSR2 レジスタ (オフセット = 1Ch) [リセット = 05EEh]

表 8-46 に、BICSR2 レジスタを示します。

Copyright © 2025 Texas Instruments Incorporated

概略表に戻ります。

表 8-46. BICSR2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	RESERVED	R	0h	
10-0	BIST パケット長	R/W	5EEh	BIST パケット長: 生成された BIST パケットの長さ。このレジスタの値により、BIST によって生成されるすべてのパケット サイズ (バイト単位) が定義されます。 デフォルト値は 0x05EE です (1518 バイトに相当)。

8.5.1.29 CDCR レジスタ (オフセット = 1Eh) [リセット = 0102h]

表 8-47 に、CDCR レジスタを示します。

概略表に戻ります。

表 8-47. CDCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	ケーブル診断の開始	R/W	0h	ケーブル診断プロセスの開始:診断完了通知ビットがトリガされると、診断開始ビットはクリアされます。0h = ケーブル診断はディスエーブル 1h = ケーブル測定を開始 0h = ケーブル診断はディスエーブル 1h = ケーブル測定を開始
14	cfg_rescal_en	R/W	0h	抵抗較正開始。このフィールドは通常、Low にする必要があります。このフィールドが High として読み取られた場合、このビットを解除するために書き込みを行い、その直後にハードリセット (レジスタ 0x1F[15]) を実行する必要があります
13-2	RESERVED	R	40h	
1	ケーブル診断ステータス	R	1h	ケーブル診断プロセス完了: 0h = ケーブル診断が未完了 1h = ケーブル測定プロセスが完了したことを示す
0	ケーブル診断テストの失敗	R	0h	ケーブル診断プロセスの失敗: 0h = ケーブル診断が失敗していない 1h = ケーブル測定プロセスが失敗したことを示す

8.5.1.30 PHYRCR レジスタ (オフセット = 1Fh) [リセット = 0000h]

表 8-48 に、PHYRCR レジスタを示します。

概略表に戻ります。

表 8-48. PHYRCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	ソフトウェア ハード リセット	RH/W1S	0h	ソフトウェア ハード リセット: 0H = 通常動作 1h = PHY をリセット。このビットは自動的にクリアされ、ハードウェア リセット ピンと同じ効果を持っています。
14	デジタル リセット	RH/W1S	0h	ソフトウェア リスタート: 0H = 通常動作 1h = PHY を再起動。このビットは自動的にクリアされ、レジスタを除くすべての PHY 回路をリセットします。
13	RESERVED	R/W	0h	
12-0	RESERVED	R/W	0h	

Copyright © 2025 Texas Instruments Incorporated

8.5.1.31 MLEDCR レジスタ (オフセット = 25h) [リセット = 0041h]

表 8-49 に、MLEDCR レジスタを示します。

概略表に戻ります。

表 8-49. MLEDCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	RESERVED	R/W	0h	
9	MLED 極性スワップ	R/W	0h	MLED 極性スワップ: MLED 極性はルーティング構成と LED1 ピンのストラップで決まりますが、これは ENHANCED モードの場合のみです。ピン ストラップがプルアップされている場合、極性はアクティブ Low になります。ピン ストラップがプルダウンされている場合、極性はアクティブ High になります。BASIC モードでは、極性は常にアクティブ Low です。
8-7	RESERVED	R/W	0h	
6-3	LED0 構成	R/W	8h	MLED 構成:LED0 のソースを選択 0h = リンク OK 1h = RX/TX 動作 2h = TX 動作 3h = RX 動作 4h = 衝突 5h = 100BASE-TX で高速 6h = 10BASE-T で高速 7h = 全二重 8h = TX/RX 動作時にリンク OK / 点滅 9h = アクティブ ストレッチ信号 Ah = MII リンク (100BT+FD) Bh = LPI モード (EEE) Ch = TX/RX MII エラー Dh = リンク損失 (レジスタ 0x0001 が読み出されるまでオンに維持) Eh = PRBS エラーの場合に点滅 (シングル エラーの場合はオンに維持、カウンタがクリアされるまで維持) Fh = 予約済み
2-1	RESERVED	R	0h	
0	cfg_mled_en	R/W	1h	LED0 への MLED ルート: 0h = 予約済み 1h = MLEDCR[6:3] に従って配線された値

8.5.1.32 COMPT レジスタ (オフセット= 27h) [リセット= 0000h]

表 8-50 に、COMPT レジスタを示します。

概略表に戻ります。

表 8-50. COMPT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	RESERVED	R/W	0h	

Copyright © 2025 Texas Instruments Incorporated

表 8-50. COMPT レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	コンプライアンス テスト構成	R/W	0h	コンプライアンス テスト構成の選択: レジスタ 0x0027 = 1 の ビット [4]、10Base-T テスト パターンを有効化 レジスタ 0x0428 = 1 のビット [4]、100Base-TX テスト モードを有効化 ビット [3:0] は以下のように 10Base-T テスト パターンを選択: 0000 = シングル NLP 0001 = シングル パルス 1 0010 = シングル パルス 0 0011 = 反復 1 0100 = 反復 0 0101 = プリアンブル (反復「10」) 0110 = TP_IDLE が後に続く 1 つ 1 0111 = TP_IDLE が後に続く 1 つの 0 1000 = 反復「1001」シーケンス 1001 = ランダム 10Base-T データ 1010 = TP_IDLE_00 1011 = TP_IDLE_01 1100 = TP_IDLE_10 1101 = TP_IDLE_11 100Base-TX テスト モードは、レジスタ 0x0428 のビット {[5]、レジスタ 0x0027 の [3:0]} によって決まります。これらのビットにより、「1」の後に続く 0 の数が決まります。 0,0001 = 「1」の後に 1 個の「0」 0,0010 = 「1」の後に 2 個の「0」 0,0011 = 「1」の後に 3 個の「0」 0,0100 = 「1」の後に 4 個の「0」 0,0101 = 「1」の後に 5 個の「0」 0,0110 = 「1」の後に 6 個の「0」 0,0111 = 「1」の後に 7 個の「0」 ... 1,1111 = 「1」の後に 31 個の「0」 0,0000 = シフト レジスタをクリア 注 1:100Base-TX テスト モードを再構成するには、レジスタ 0x0428 のビット [4] をクリアしてから、新しいパターンを構成するために「1」にリセットする必要があります。 注 2:100Base-TX または 10Base-T テスト モードを実行するときは、BASIC モード制御レジスタ (BMCR) アドレス 0x0000 を使って速度を強制的に設定する必要があります。

8.5.1.33 10M_CFG レジスタ (オフセット = 2Ah) [リセット = 7998h]

10M_CFG を表 8-51 に示します。

概略表に戻ります。

表 8-51. 10M_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	RESERVED	R	0h	

Copyright © 2025 Texas Instruments Incorporated

表 8-51. 10M_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	10M プリアンブル モード	R/W	1h	このデバイスは、10Mbps の 2 つのプリアンブル サイズをサポートしています。-(0) ロング プリアンブル モード (1) ショート プリアンブル モード。100Mbps モードには影響しません。 ロング プリアンブル モードでは、「ロング」は MDI から受信したプリアンブルの数を表します。このモードでは、レシーバは最大 7 バイトのプリアンブルを使用して、これを有効なプリアンブルとして宣言します。MAC のプリアンブルは、MDI のバイトよりも少ないプリアンブルを持つことができます。デバイスは、7 バイト以上のプリアンブルが MDI ライン上にあることを想定しています。 ショート プリアンブル モードでは、「ショート」は MDI ラインのプリアンブル バイトを表します。このモードでは、レシーバはより短いプリアンブルで 3 バイトを超える動作が可能です。リンク パートナーがより短いプリアンブル (3 バイト未満) を転送することを想定している場合は、「ロング」プリアンブル モードに設定することが推奨されます。 0h = ロング プリアンブル モード 1h = ショート プリアンブル モード
13-0	RESERVED	R/W	3998h	

8.5.1.34 FLD_CFG1 レジスタ (オフセット = 117h) [リセット = 8147h]

FLD_CFG1 を表 8-52 に示します。

概略表に戻ります。

表 8-52. FLD_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	MLT3 の構成エラー カウントの長さ	R/W	20h	MLT3 エラー カウント ウィンドウ。クロック数 (8ns) の場合、ウィンドウをターン単位で設定します。カウンタは定常状態でカウントします。 0h = 予約済み 1h = 2 サイクル 3Fh = 64 サイクル
9-4	MLT3 の構成エラー数カウント	R/W	14h	リンク ダウン時にカウントされる MLT3 エラーの数 0h = 予約済み 1h = 1 エラー 3Fh = 63 エラー
3-0	RESERVED	R	7h	

8.5.1.35 FLD_CFG2 レジスタ (オフセット = 131h) [リセット = 2284h]

FLD_CFG2 を表 8-53 に示します。

概略表に戻ります。

表 8-53. FLD_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-6	RESERVED	R/W	8Ah	
5-0	スクランブラ スレッショルドの構成	R/W	4h	デスクランブラ エラーに基づいてリンク ダウンを宣言するようにウィンドウを構成します。

8.5.1.36 CDSCR レジスタ (オフセット = 170h) [リセット = 0C12h]

表 8-54 に、CDSCR レジスタを示します。

Copyright © 2025 Texas Instruments Incorporated

概略表に戻ります。

表 8-54. CDSCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	RESERVED	R	0h	
14	ケーブル診断クロス ディスエーブル	R/W	0h	クロス TDR 診断モード: 0h = TDR は 0x170[13] で構成された送信チャネル以外のチャネルでの反射を探す。 1h = TDR は 0x170[13] で構成された送信チャネルと同じチャネルの反射を探す。
13	cfg_tdr_chan_sel	R/W	0h	TDR TX チャネルの選択: 0h = 送信チャネルとしてチャネル A を選択。 1h = 送信チャネルとしてチャネル B を選択。
12	cfg_tdr_dc_rem_no_init	R/W	0h	TDR の前に DC 除去モジュールがリセットされないようにし、TDR 反射で DC 除去が有効になるようにする
11	RESERVED	R/W	1h	
10-8	ケーブル診断の平均サイクル	R/W	4h	平均される TDR サイクル数 0h = 1 TDR サイクル 1h = 2 TDR サイクル 2h = 4 TDR サイクル 3h = 8 TDR サイクル 4h = 16 TDR サイクル 5h = 32 TDR サイクル 6h = 64 TDR サイクル 7h = 予約済み
7	RESERVED	R/W	0h	
6-4	cfg_tdr_seg_num	R/W	1h	TDR を実行するケーブル セグメントを選択 - 000b = 予約済み 001b = 0m ～ 10m 010b = 10m ～ 20m 011b = 20m ～ 40m 100b = 40m ～ 80m 101b = 80m 以上 110b = 予約済み 111b = 予約済み
3-0	RESERVED	R/W	2h	

8.5.1.37 CDSCR2 レジスタ (オフセット = 171h) [リセット = C850h]

表 8-55 に、CDSCR2 レジスタを示します。

概略表に戻ります。

表 8-55. CDSCR2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	RESERVED	R/W	C850h	

8.5.1.38 CDSCR3 レジスタ (オフセット = 173h) [リセット = 0D04h]

表 8-56 に、CDSCR3 レジスタを示します。

概略表に戻ります。

表 8-56. CDSCR3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	cfg_tdr_seg_duration	R/W	Dh	TDR に選択されたセグメントの継続時間。計算方法:セグメント #1 の場合は (Length_in_meters * 2 * 5.2)/8、セグメント #2 の場合は 8'Hd、セグメント #3 の場合は 8'h1A、セグメント #4 の場合は 8'h34、セグメント #5 の場合は 8'h8F

Copyright © 2025 Texas Instruments Incorporated

表 8-56. CDSCR3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7-0	cfg_tdr_initial_skip	R/W	4h	セグメントの開始前に回避するサンプル数:セグメント #1 の場合は 8'h7、セグメント #2 の場合は 8'h14、セグメント #3 の場合は 8'h21、セグメント #4 の場合は 8'h3B、セグメント #5 の場合は 8'h6F

8.5.1.39 TDR_175 レジスタ (オフセット = 175h) [リセット = 1004h]

表 8-57 に、TDR_175 レジスタを示します。

概略表に戻ります。

表 8-57. TDR_175 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	RESERVED	R	0h	
13-11	cfg_tdr_sdw_avg_loc	R/W	2h	TDR シャドウ平均位置:セグメント #1 の場合は 3'h2、セグメント #2 の場合は 3'h2、セグメント #3 の場合は 3'h2、セグメント #4 の場合は 3'h2、セグメント #5 の場合は 3'h2
10-5	RESERVED	R	0h	
4	RESERVED	R/W	0h	
3-0	cfg_tdr_fwd_shadow	R/W	4h	構成されたセグメントのフォワード シャドウの長さ (フォルト ピークのシャドウが別のフォルト ピークと見なされるのを避けるため) :セグメント #1 の場合は 4'h4、セグメント #2 の場合は 4'h4、セグメント #3 の場合は 4'h5、セグメント #4 の場合は 4'h8、セグメント #5 の場合は 4'hB

8.5.1.40 TDR_176 レジスタ (オフセット = 176h) [リセット = 0005h]

表 8-58 に、TDR_176 レジスタを示します。

概略表に戻ります。

表 8-58. TDR_176 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-5	RESERVED	R	0h	
4-0	cfg_tdr_p_loc_thresh_seg	R/W	5h	

8.5.1.41 CDSCR4 レジスタ (オフセット = 177h) [リセット = 1E00h]

表 8-59 に、CDSCR4 レジスタを示します。

概略表に戻ります。

表 8-59. CDSCR4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	RESERVED	R/W	0h	
12-8	ショート ケーブル スレッショルド	R/W	1Eh	ショート ケーブルでの強い反射を補償する TH
7-0	RESERVED	R/W	0h	

8.5.1.42 TDR_178 レジスタ (オフセット = 178h) [リセット = 0002h]

表 8-60 に、TDR_178 レジスタを示します。

Copyright © 2025 Texas Instruments Incorporated

概略表に戻ります。

表 8-60. TDR_178 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-3	RESERVED	R	0h	
2-0	cfg_tdr_tx_pulse_width_seg	R/W	2h	セグメントの TDR TX パルス幅:セグメント #1 の場合は 3'h2、セグメント #2 の場合は 3'h2、セグメント #3 の場合は 3'h2、セグメント #4 の場合は 3'h2、セグメント #5 の場合は 3'h6

8.5.1.43 CDLRR1 レジスタ (オフセット = 180h) [リセット = 0000h]

表 8-61 に、CDLRR1 レジスタを示します。

概略表に戻ります。

表 8-61. CDLRR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	RESERVED	R	0h	
7-0	TD ピーク位置 1	R	0h	TDR メカニズムによって送信チャネル (TD) で検出された最初のピークの位置。これらのビットの値は、PHY からの距離に変換する必要があります。

8.5.1.44 CDLRR2 レジスタ (オフセット = 181h) [リセット = 0000h]

表 8-62 に、CDLRR2 レジスタを示します。

概略表に戻ります。

表 8-62. CDLRR2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	RESERVED	R	0h	

8.5.1.45 CDLRR3 レジスタ (オフセット = 182h) [リセット = 0000h]

表 8-63 に、CDLRR3 レジスタを示します。

概略表に戻ります。

表 8-63. CDLRR3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	RESERVED	R	0h	

8.5.1.46 CDLRR4 レジスタ (オフセット = 183h) [リセット = 0000h]

表 8-64 に、CDLRR4 レジスタを示します。

概略表に戻ります。

表 8-64. CDLRR4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	RESERVED	R	0h	

Copyright © 2025 Texas Instruments Incorporated

8.5.1.47 CDLRR5 レジスタ (オフセット = 184h) [リセット = 0000h]

表 8-65 に、CDLRR5 レジスタを示します。

概略表に戻ります。

表 8-65. CDLRR5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	RESERVED	R	0h	

8.5.1.48 CDLAR1 レジスタ (オフセット = 185h) [リセット = 0000h]

表 8-66 に、CDLAR1 レジスタを示します。

概略表に戻ります。

表 8-66. CDLAR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-7	RESERVED	R	0h	
6-0	TD ピーク振幅 1	R	0h	TDR メカニズムによって送信チャネル (TD) で検出された最初のピークの振幅。これらのビットの値は、ケーブル障害や干渉のタイプに変換されます。

8.5.1.49 CDLAR2 レジスタ (オフセット = 186h) [リセット = 0000h]

表 8-67 に、CDLAR2 レジスタを示します。

概略表に戻ります。

表 8-67. CDLAR2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	RESERVED	R	0h	

8.5.1.50 CDLAR3 レジスタ (オフセット = 187h) [リセット = 0000h]

表 8-68 に、CDLAR3 レジスタを示します。

概略表に戻ります。

表 8-68. CDLAR3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	RESERVED	R	0h	

8.5.1.51 CDLAR4 レジスタ (オフセット = 188h) [リセット = 0000h]

表 8-69 に、CDLAR4 レジスタを示します。

概略表に戻ります。

表 8-69. CDLAR4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	RESERVED	R	0h	

Copyright © 2025 Texas Instruments Incorporated

8.5.1.52 CDLAR5 レジスタ (オフセット = 189h) [リセット = 0000h]

表 8-70 に、CDLAR5 レジスタを示します。

概略表に戻ります。

表 8-70. CDLAR5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	RESERVED	R	0h	

8.5.1.53 CDLAR6 レジスタ (オフセット = 18Ah) [リセット = 0000h]

表 8-71 に、CDLAR6 レジスタを示します。

概略表に戻ります。

表 8-71. CDLAR6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	RESERVED	R	0h	
11	TD ピーク極性 1	R	0h	TDR メカニズムによって送信チャネル (TD) で検出された最初のピークの極性。
10-6	RESERVED	R	0h	
5	TD でのクロス検出	R	0h	TD でクロス リフレクションが検出されました。TD+ と TD- の間で短絡していることを示しています。
4	RESERVED	R	0h	
3	RESERVED	R	0h	
2	RESERVED	R	0h	
1-0	RESERVED	R	0h	

8.5.1.54 MSE_Val レジスタ (オフセット = 218h) [リセット = 0000h]

表 8-72 に、MSE_Val を示します。

概略表に戻ります。

表 8-72. MSE_Val レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	平均二乗誤差	R	0h	平均二乗誤差。詳細については、SNLA423 を参照してください。

8.5.1.55 IO_CFG1 レジスタ (オフセット = 302h) [リセット = 0X00h]

表 8-73 に、IO_CFG1 レジスタを示します。

概略表に戻ります。

表 8-73. IO_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	MAC インピーダンス制御	R/W	0h	MAC インピーダンス制御:MAC インターフェイスのインピーダンス制御により、デジタル ピンの直列終端が設定されます。 0h = 低速モード 1h = 高速モード
13	RESERVED	R/W	0h	
12-9	RESERVED	R/W	0h	

Copyright © 2025 Texas Instruments Incorporated

表 8-73. IO_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	cfg_crs_dv_vs_rx_dv	RH/W	X	RMII モードで CRS_DV または RX_DV として動作する CRS_DV ピンを選択します。ストラップで選択されるデフォルト値。 0h = RMII_CRS_DV 1h = RMII_RX_DV
7	RESERVED	R/W	0h	
6	cfg_clkout25m_off	R/W	0h	ENHANCED モードのみ:Clockout または LED1 を設定 0h = CLKOUT25 が利用可能 1h = LED1_GPIO が利用可能
5-0	RESERVED	R	0h	

8.5.1.56 LED0_GPIO_CFG レジスタ (オフセット = 303h) [リセット = 0008h]

LED0_GPIO_CFG を表 8-74 に示します。

概略表に戻ります。

表 8-74. LED0_GPIO_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-6	RESERVED	R	0h	
5-3	cfg_led0_clk_sel	R/W	1h	LED0 に出力する内部クロックのいずれかを選択します。これは、cfg_led0_gpio_ctrl[2:0] = 001b の場合に有効になります。可能な構成は次の通りです。 0h = 予約済み 1h = 予約済み 2h = 予約済み 3h = 予約済み 4h = 予約済み 5h = PLL クロック出力 6h = 再生クロック 7h = 予約済み
2-0	cfg_led0_gpio_ctrl	R	0h	LED0 の GPIO 構成: 0h = LED0 1h = レジスタ フィールド cfg_led0_clk_sel によって選択されたクロック出力 2h = WoL 3h = 0 4h=割り込みあり 5h = 0 6h = 0 7h = 1

8.5.1.57 LED1_GPIO_CFG レジスタ (オフセット = 304h) [リセット = 0008h]

LED1_GPIO_CFG を表 8-75 に示します。

概略表に戻ります。

表 8-75. LED1_GPIO_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-6	RESERVED	R	0h	

Copyright © 2025 Texas Instruments Incorporated

表 8-75. LED1_GPIO_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-3	cfg_led1_clk_sel	R/W	1h	LED1 に出力する内部クロックのいずれかを選択します。これは、cfg_led1_gpio_ctrl[2:0] = 001b の場合に有効になります。可能な構成は次の通りです。 0h = 予約済み 1h = 予約済み 2h = 予約済み 3h = 予約済み 4h = 予約済み 5h = PLL クロック出力 6h = 再生クロック 7h = 予約済み
2-0	cfg_led1_gpio_ctrl	R/W	0h	LED1 の GPIO 構成: 0h = LED1 (BASIC モードでのデフォルト) 1h = 予約済み 2h = WoL 3h = 予約済み 4h=割り込みあり 5h = TX_ER 6h = CLKOUT25M (ENHANCED モードでのデフォルト、ストラップで選択可能) 7h = 予約済み

8.5.1.58 LED2_GPIO_CFG レジスタ (オフセット = 305h) [リセット = 0008h]

LED2_GPIO_CFG を表 8-76 に示します。

概略表に戻ります。

表 8-76. LED2_GPIO_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-6	RESERVED	R	0h	
5-3	RESERVED	R/W	1h	
2-0	cfg_led2_gpio_ctrl	R/W	0h	LED2 の GPIO 構成: 0h = LED2 1h = 予約済み 2h = WoL 3h = COL 4h=割り込みあり 5h = COL 6h = COL 7h = High

8.5.1.59 LED3_GPIO_CFG レジスタ (オフセット = 306h) [リセット = 0008h]

LED3_GPIO_CFG を表 8-77 に示します。

概略表に戻ります。

表 8-77. LED3_GPIO_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-6	RESERVED	R	0h	
5-3	RESERVED	R/W	1h	

Copyright © 2025 Texas Instruments Incorporated

表 8-77. LED3_GPIO_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	cfg_led3_gpio_ctrl	R	0h	LED3 の GPIO 構成: 0h = LED3 1h = 予約済み 2h = WoL 3h = CRS 4h=割り込みあり 5h = CRS 6h = CRS 7h = High

8.5.1.60 CLK_OUT_LED_STATUS レジスタ (オフセット = 308h) [リセット = 0002h]

表 8-78 に、CLK_OUT_LED_STATUS レジスタを示します。

概略表に戻ります。

表 8-78. CLK_OUT_LED_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-1	RESERVED	R/W	1h	
0	cfg_clkout_25m_off_status	R	0h	このビットは、ENHANCED モードでのみ適用できます 0h = CLKOUT25 が利用可能 1h = LED1_GPIO が利用可能

8.5.1.61 VOD_CFG1 レジスタ (オフセット = 30Bh) [リセット = 3C00h]

表 8-79 に、VOD_CFG1 レジスタを示します。

概略表に戻ります。

表 8-79. VOD_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	RESERVED	R	0h	
13-12	cfg_dac_minus_one_val_mdix_5_to_4	R/W	3h	MDIX モードでのマイナス 1 の mlt3 エンコード データの LD データ。6 ビット データは、{cfg_dac_minus_one_val_mdix_5_to_4 と cfg_dac_minus_one_val_mdix_3_to_0} の 2 つのフィールドに分割されます 28h = 150% 29h = 143.75% 2Ah = 137.50% 2Bh = 131.25% 2Ch = 125% 2Dh = 118.75% 2Eh = 112.50% 2Fh = 106.25% 30h = 100% 31h = 93.75% 32h = 87.50% 33h = 81.25% 34h = 75% 35h = 68.75% 36h = 62.50% 37h = 56.25% 38h = 50%

Copyright © 2025 Texas Instruments Incorporated

表 8-79. VOD_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11-6	cfg_dac_minus_one_val_mdi	R/W	30h	MDI モードでのマイナス 1 の mlt3 エンコード データの LD データ。 28h = 150% 29h = 143.75% 2Ah = 137.50% 2Bh = 131.25% 2Ch = 125% 2Dh = 118.75% 2Eh = 112.50% 2Fh = 106.25% 30h = 100% 31h = 93.75% 32h = 87.50% 33h = 81.25% 34h = 75% 35h = 68.75% 36h = 62.50% 37h = 56.25% 38h = 50%
5-0	cfg_dac_zero_val	R/W	0h	mlt3 エンコードされたゼロのデータの LD データ

8.5.1.62 VOD_CFG2 レジスタ (オフセット = 30Ch) [リセット = 0410h]

表 8-80 に、VOD_CFG2 レジスタを示します。

概略表に戻ります。

表 8-80. VOD_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	cfg_dac_minus_one_val_mdix_3_to_0	R/W	0h	MDX モードでのマイナス 1 の mlt3 エンコード データの LD データ。6 ビット データは、{cfg_dac_minus_one_val_mdix_5_to_4 と cfg_dac_minus_one_val_mdix_3_to_0} の 2 つのフィールドに分割されます 28h = 150% 29h = 143.75% 2Ah = 137.50% 2Bh = 131.25% 2Ch = 125% 2Dh = 118.75% 2Eh = 112.50% 2Fh = 106.25% 30h = 100% 31h = 93.75% 32h = 87.50% 33h = 81.25% 34h = 75% 35h = 68.75% 36h = 62.50% 37h = 56.25% 38h = 50%

Copyright © 2025 Texas Instruments Incorporated

表 8-80. VOD_CFG2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11-6	cfg_dac_plus_one_val_mdix	R/W	10h	MDIX モードでの mlt3 エンコードされたプラス 1 のデータの LD データ 08h = 50% 09h = 56.25% 0Ah = 62.50% 0Bh = 68.75% 0Ch = 75% 0Dh = 81.25% 0Eh = 87.50% 0Fh = 93.75% 10h = 100% 11h = 106.25% 12h = 112.50% 13h = 118.75% 14h = 125% 15h = 131.25% 16h = 137.50% 17h = 143.75% 18h = 150%
5-0	cfg_dac_plus_one_val_mdi	R/W	10h	MDI モードでの mlt3 エンコードされたプラス 1 のデータの LD データ 08h = 50% 09h = 56.25% 0Ah = 62.50% 0Bh = 68.75% 0Ch = 75% 0Dh = 81.25% 0Eh = 87.50% 0Fh = 93.75% 10h = 100% 11h = 106.25% 12h = 112.50% 13h = 118.75% 14h = 125% 15h = 131.25% 16h = 137.50% 17h = 143.75% 18h = 150%

8.5.1.63 VOD_CFG3 レジスタ (オフセット = 30Eh) [リセット = 8400h]

表 8-81 に、VOD_CFG3 レジスタを示します。

概略表に戻ります。

表 8-81. VOD_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	ld_term_mdi_10M_reg	R/W	8h	10M モード、MDI 終端値レジスタ 0h = 122 1h = 119 2h = 116 3h = 113 4h = 110 5h = 107 6h = 105 7h = 102 8h = 100 9h = 98 Ah = 96 Bh = 94 Ch = 92 Dh = 90 Eh = 88 Fh = 86
11	ld_term_mdi_10M_en	R/W	0h	10M モード、MDI 終端値レジスタ イネーブル 0h = 無効化 1h = イネーブル
10-7	ld_term_mdix_10M_reg	R/W	8h	10M モード、MDIX 終端値レジスタ 0h = 122 1h = 119 2h = 116 3h = 113 4h = 110 5h = 107 6h = 105 7h = 102 8h = 100 9h = 98 Ah = 96 Bh = 94 Ch = 92 Dh = 90 Eh = 88 Fh = 86
6	ld_term_mdix_10M_en	R/W	0h	10M モード、MDIX 終端値レジスタ イネーブル 0h = 無効化 1h = イネーブル
5-2	RESERVED	R/W	0h	
1-0	RESERVED	R	0h	

8.5.1.64 ANA_LD_PROG_SL レジスタ (オフセット = 404h) [リセット = 0080h]

表 8-82 に、ANA_LD_PROG_SL レジスタを示します。

概略表に戻ります。

表 8-82. ANA_LD_PROG_SL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	RESERVED	R/W	80h	

8.5.1.65 ANA_RX10BT_CTRL レジスタ (オフセット = 40Dh) [リセット = 0008h]

表 8-83 に、ANA_RX10BT_CTRL レジスタを示します。

Copyright © 2025 Texas Instruments Incorporated

概略表に戻ります。

表 8-83. ANA_RX10BT_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-5	RESERVED	R/W	0h	
4-0	rx10bt_comp_sl	R/W	8h	10B-T 電流ゲイン、POS と NEG の両方で共通、200mV ～ 575mV、ステップ サイズ 25mV

8.5.1.66 GENCFG レジスタ (オフセット = 456h) [リセット = 0008h]

表 8-84 に、GENCFG レジスタを示します。

概略表に戻ります。

表 8-84. GENCFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	RESERVED	R/W	0h	
3	最小 IPG イネーブル	R/W	1h	最小 IPG イネーブル: 0h = 最小 IPG を 200ns に設定 1h = 最小パケット間隔を有効化 (IPG を 200ns ではなく 120ns に設定)
2-0	RESERVED	R/W	0h	

8.5.1.67 LEDCFG レジスタ (オフセット = 460h) [リセット = 5665h]

表 8-85 に、LEDCFG レジスタを示します。

概略表に戻ります。

表 8-85. LEDCFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	LED3 制御	R/W	5h	LED3 制御:LED3 のソースを選択します。 0h = リンク OK 1h = RX/TX 動作 2h = TX 動作 3h = RX 動作 4h = 衝突 5h = 100BASE-TX で高速 6h = 10BASE-T で高速 7h = 全二重 8h = TX/RX 動作時にリンク OK / 点滅 9h = アクティブ ストレッチ信号 Ah = MII リンク (100BT+FD) Bh = LPI モード (省電力型イーサネット) Ch = TX/RX MII エラー Dh = リンク損失 (レジスタ 0x0001 が読み出されるまでオンに維持) Eh = PRBS エラーの場合に点滅 (シングル エラーの場合はオンに維持、カウンタがクリアされるまで維持) Fh = 予約済み

Copyright © 2025 Texas Instruments Incorporated

表 8-85. LEDCFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11-8	LED2 制御	R/W	6h	LED2 制御:LED2 のソースを選択します。 0h = リンク OK 1h = RX/TX 動作 2h = TX 動作 3h = RX 動作 4h = 衝突 5h = 100BASE-TX で高速 6h = 10BASE-T で高速 7h = 全二重 8h = TX/RX 動作時にリンク OK / 点滅 9h = アクティブ ストレッチ信号 Ah = MII リンク (100BT+FD) Bh = LPI モード (省電力型イーサネット) Ch = TX/RX MII エラー Dh = リンク損失 (レジスタ 0x0001 が読み出されるまでオンに維持) Eh = PRBS エラーの場合に点滅 (シングル エラーの場合はオンに維持、カウンタがクリアされるまで維持) Fh = 予約済み
7-4	LED1 制御	R/W	6h	LED1 制御:LED1 のソースを選択します。 0h = リンク OK 1h = RX/TX 動作 2h = TX 動作 3h = RX 動作 4h = 衝突 5h = 100BASE-TX で高速 6h = 10BASE-T で高速 7h = 全二重 8h = TX/RX 動作時にリンク OK / 点滅 9h = アクティブ ストレッチ信号 Ah = MII リンク (100BT+FD) Bh = LPI モード (省電力型イーサネット) Ch = TX/RX MII エラー Dh = リンク損失 (レジスタ 0x0001 が読み出されるまでオンに維持) Eh = PRBS エラーの場合に点滅 (シングル エラーの場合はオンに維持、カウンタがクリアされるまで維持) Fh = 予約済み
3-0	RESERVED	R/W	5h	

8.5.1.68 IOCTRL レジスタ (オフセット = 461h) [リセット = 0010h]

表 8-86 に、IOCTRL レジスタを示します。

概略表に戻ります。

表 8-86. IOCTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	RESERVED	R/W	0h	
14	RESERVED	R/W	0h	
13-12	RESERVED	R/W	0h	
11	RESERVED	R/W	0h	
10-7	RESERVED	R/W	0h	
6-5	RESERVED	R/W	0h	

Copyright © 2025 Texas Instruments Incorporated

表 8-86. IOCTRL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-0	MAC インピーダンス制御	R/W	10h	IO のスルーレートを制御します。LSB のみが使用されます。 10h = 高速 11h = 低速

8.5.1.69 SOR1 レジスタ (オフセット = 467h) [リセット = 0000h]

表 8-87 に、SOR1 レジスタを示します。

概略表に戻ります。

表 8-87. SOR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	RESERVED	R	0h	
14	RESERVED	R	0h	
13	RESERVED	R	0h	
12	RESERVED	R	0h	
11	RESERVED	R	0h	
10	Strap10	R	0h	ピン #18 のストラップ 0h = アクティブ Low 1h = アクティブ High
9	Strap9	R	0h	ピン #15 のストラップ 0h = アクティブ Low 1h = アクティブ High
8	Strap8	R	0h	ピン #14 のストラップ 0h = アクティブ Low 1h = アクティブ High
7	Strap7	R	0h	ピン #13 のストラップ 0h = アクティブ Low 1h = アクティブ High
6	Strap6	R	0h	ピン #20 のストラップ 0h = アクティブ Low 1h = アクティブ High
5	Strap5	R	0h	ピン #22 のストラップ 0h = アクティブ Low 1h = アクティブ High
4	Strap4	R	0h	ピン #28 のストラップ 0h = アクティブ Low 1h = アクティブ High
3	Strap3	R	0h	ピン #29 のストラップ 0h = アクティブ Low 1h = アクティブ High
2	Strap2	R	0h	ピン #30 のストラップ 0h = アクティブ Low 1h = アクティブ High
1	Strap1	R	0h	ピン #31 のストラップ 0h = アクティブ Low 1h = アクティブ High
0	Strap0	R	0h	ピン #16 のストラップ 0h = アクティブ Low 1h = アクティブ High

Copyright © 2025 Texas Instruments Incorporated

8.5.1.70 SOR2 レジスタ (オフセット = 468h) [リセット = 0287h]

表 8-88 に、SOR2 レジスタを示します。

概略表に戻ります。

表 8-88. SOR2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	RESERVED	R	0h	
14	XMII_ISOLATE_EN	R	0h	BASIC モードでのみ適用可能レジスタ BMCR[10] の MII 絶縁ビット フィールドを制御 0h = 絶縁なし 1h = MAC ピンを絶縁
13	RESERVED	R	0h	
12	CRS_DV_vs_RX_DV	RH	0h	RMII モード RX_DV ピン (CRS_DV または RX_DV として) 0h = RMI CRS_DV 1h = RMII RX_DV
11	LED_3_POLARITY	RH	0h	LED3 極性検出。LED3 極性を制御 0h = アクティブ Low 極性設定 1h = アクティブ High 極性設定
10	LED_2_POLARITY	RH	0h	LED2 極性検出。LED2 極性を制御 0h = アクティブ Low 極性設定 1h = アクティブ High 極性設定
9	CFG_LED_LINK_POL	RH	1h	リンク LED 極性検出。LED0 極性を制御 0h = アクティブ Low 極性設定 1h = アクティブ High 極性設定
8	CFG_FLD_EN	RH	0h	高速リンク ドロップのステータス。 0h = FLD ディセーブル 1h = FLD イネーブル。詳細については、CR3[10,3:0] を参照してください。
7	CFG_AMDIX	RH	1h	AMDIX イネーブル。これより、AMDIX_DIS ストラップの反転をキャプチャ 0h = AMDIX ディスエーブル 1h = AMDIX イネーブル
6	RESERVED	R	0h	
5	LED_SPEED_POL	RH	0h	速度 LED 極性検出。LED1 極性を制御 0h = アクティブ Low 極性設定 1h = アクティブ High 極性設定
4	CFG_RMII_MODE	RH	0h	MII/RMII モードの選択 0h = MII 1h = RMII
3	CFG_XI_50_FOLLOWER	RH	0h	RMII リーダー / フォロワ モードの選択 0h = RMII リーダー モード 1h = RMII フォロワ モード
2	CFG_AN_1	R	1h	これにより、ANAR レジスタ ビット [8:5] を誘導
1	CFG_AN_0	R	1h	これにより、ANAR レジスタ ビット [8:5] を誘導
0	CFG_AN_EN	R	1h	ANEG イネーブル。これにより、ANEG_DIS の反転をキャプチャ

8.5.1.71 LEDCFG2 レジスタ (オフセット = 469h) [リセット = 0XXXh]

表 8-89 に、LEDCFG2 レジスタを示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 8-89. LEDCFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	RESERVED	R	0h	
10	RESERVED	RH/W	X	
9	RESERVED	R/W	0h	
8	RESERVED	R/W	0h	
7	RESERVED	R	0h	
6	LED2_polarity	RH/W	X	led 2 極性 0h = アクティブ Low 1h = アクティブ High
5	LED2_drv_val	R/W	0h	led 2 駆動値
4	LED2_drv_en	R/W	0h	led 2 駆動イネーブル 0h = 通常動作 1h = LED 極性を駆動
3	RESERVED	R	0h	
2	LED1_polarity	RH/W	X	led 1 極性 0h = アクティブ Low 1h = アクティブ High
1	LED1_drv_val	R/W	0h	led1 駆動値
0	LED1_drv_en	R/W	0h	led 1 駆動イネーブル 0h = 通常動作 1h = LED 極性を駆動

8.5.1.72 RXFCFG1 レジスタ (オフセット = 4A0h) [リセット = 108Xh]

表 8-90 に、RXFCFG1 レジスタを示します。

概略表に戻ります。

表 8-90. RXFCFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	RESERVED	R	0h	
13	RESERVED	R	0h	
12	CRC ゲート	R/W	1h	CRC ゲート:マジック パケットに不良 CRC が含まれている場合、イネーブル時は表示 (ステータス、割り込み、GPIO) はありません。 0h = 不良 CRC はマジック パケットまたはパターンの表示をゲートしない 1h = 不良 CRC はマジック パケットおよびパターンの表示をゲートする
11	WoL レベル変化表示クリア	W0C	0h	WoL レベル変化表示クリア:WoL 表示がレベル変化モードに設定されている場合、このビットは書き込み時にレベルをクリアします。 0h=クリア
10-9	WoL パルス表示の選択	R/W	0h	WoL パルス表示の選択:WoL 表示がパルス モードに設定されている場合のみ有効です。 0h = 8 クロック サイクル (125MHz クロック) 1h = 16 クロック サイクル 2h = 32 クロック サイクル 3h = 64 クロック サイクル
8	WoL 表示の選択	R/W	0h	WoL 表示の選択: 0h = パルス モード 1h = レベル変化モード
7	WoL イネーブル	R/W	1h	WoL イネーブル: 0h = 通常動作 1h = Wake-on-LAN (WoL) を有効化
6	ビット マスク フラグ	R/W	0h	ビット マスク フラグ

Copyright © 2025 Texas Instruments Incorporated

表 8-90. RXFCFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	Secure-ON イネーブル	R/W	0h	マジック パケットの Secure-ON パスワードを有効化
4	RESERVED	R	0h	
3	RESERVED	R	0h	
2	RESERVED	R	0h	
1	RESERVED	R	0h	
0	WoL マジック パケット イネーブル	RH/W	X	マジック パケット受信時の割り込みを有効化します

8.5.1.73 RXFS レジスタ (オフセット = 4A1h) [リセット = 1000h]

表 8-91 に、RXFS レジスタを示します。

概略表に戻ります。

表 8-91. RXFS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	RESERVED	R	0h	
12	WoL 割り込みソース	R/W	1h	WoL 割り込みソース:レジスタ 0x0013 のビット [1] の割り込みソース。 WoL を有効化すると、このビットは自動的に WoL 割り込みに設定されます。 0h = データ極性割り込み 1h = WoL 割り込み
11-8	RESERVED	R	0h	
7	SFD 誤差	RCH	0h	SFD エラー: 0h = SFD エラーなし 1h = SFD エラーのあるパケット (ビット [13] レジスタ 0x04A0 に示される SFD バイトなし)
6	不良 CRC	RCH	0h	不良 CRC: 0h = 不良 CRC は未受信 1h = 不良 CRC を受信済み
5	Secure-ON ハック フラグ	RCH	0h	Secure-ON ハック フラグ: 0h = 有効な Secure-ON パスワード 1h = マジック パケットの無効なパスワードを検出済み
4	RESERVED	RCH	0h	
3	RESERVED	RCH	0h	
2	RESERVED	RCH	0h	
1	RESERVED	RCH	0h	
0	WoL マジック パケット ステータス	RCH	0h	WoL マジック パケット ステータス:

8.5.1.74 RXFPMD1 レジスタ (オフセット = 4A2h) [リセット = 0000h]

表 8-92 に、RXFPMD1 レジスタを示します。

概略表に戻ります。

表 8-92. RXFPMD1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	MAC 宛先アドレス バイト 4	R/W	0h	完全一致データ:MAC 宛先アドレスに構成されている

Copyright © 2025 Texas Instruments Incorporated

表 8-92. RXFPMD1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7-0	MAC 宛先アドレス バイト 5 (MSB)	R/W	0h	完全一致データ:MAC 宛先アドレスに構成されている

8.5.1.75 RXFPMD2 レジスタ (オフセット = 4A3h) [リセット = 0000h]

表 8-93 に、RXFPMD2 レジスタを示します。

概略表に戻ります。

表 8-93. RXFPMD2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	MAC 宛先アドレス バイト 2	R/W	0h	完全一致データ:MAC 宛先アドレスに構成されている
7-0	MAC 宛先アドレス バイト 3	R/W	0h	完全一致データ:MAC 宛先アドレスに構成されている

8.5.1.76 RXFPMD3 レジスタ (オフセット = 4A4h) [リセット = 0000h]

表 8-94 に、RXFPMD3 レジスタを示します。

概略表に戻ります。

表 8-94. RXFPMD3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	MAC 宛先アドレス バイト 0	R/W	0h	完全一致データ:MAC 宛先アドレスに構成されている
7-0	MAC 宛先アドレス バイト 1	R/W	0h	完全一致データ:MAC 宛先アドレスに構成されている

8.5.1.77 RXFSOP1 レジスタ (オフセット = 4A5h) [リセット = 0000h]

表 8-95 に、RXFSOP1 レジスタを示します。

概略表に戻ります。

表 8-95. RXFSOP1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	Secure-ON パスワード バイト 1	R/W	0h	Secure-ON パスワードの選択:マジック パケットの Secure-ON パスワード
7-0	Secure-ON パスワード バイト 0	R/W	0h	Secure-ON パスワードの選択:マジック パケットの Secure-ON パスワード

8.5.1.78 RXFSOP2 レジスタ (オフセット = 4A6h) [リセット = 0000h]

表 8-96 に、RXFSOP2 レジスタを示します。

概略表に戻ります。

表 8-96. RXFSOP2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	Secure-ON パスワード バイト 3	R/W	0h	Secure-ON パスワードの選択:マジック パケットの Secure-ON パスワード
7-0	Secure-ON パスワード バイト 2	R/W	0h	Secure-ON パスワードの選択:マジック パケットの Secure-ON パスワード

Copyright © 2025 Texas Instruments Incorporated

8.5.1.79 RXFSOP3 レジスタ (オフセット = 4A7h) [リセット = 0000h]

表 8-97 に、RXFSOP3 レジスタを示します。

概略表に戻ります。

表 8-97. RXFSOP3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	Secure-ON パスワード バイト 5	R/W	0h	Secure-ON パスワードの選択:マジック パケットの Secure-ON パスワード
7-0	Secure-ON パスワード バイト 4	R/W	0h	Secure-ON パスワードの選択:マジック パケットの Secure-ON パスワード

Copyright © 2025 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス インスツルメンツの製品仕様に含まれるものではなく、テキサス インスツルメンツは当該情報の正確性および完全性を保証しないものとします。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

DP83826 は、シングル ポートの 10/100Mbps イーサネット PHY で、MII および RMII によるイーサネット MAC への接続をサポートしています。イーサネット メディアへの接続は、IEEE 802.3 で定義されたメディア依存インターフェイスを介して行われます。

デバイスをイーサネット アプリケーションに使用する場合、正常に動作させるには特定の要件を満たす必要があります。以下のサブセクションは、適切な部品選択と必要な回路の接続に役立つことを目的としています。

注

一般的な標準イーサネット ピン配置を使用する既存のシステムで DP83826 BASIC モードを使用するための詳細な方法については、SNLA338 を参照してください

9.2 代表的なアプリケーション

下図に、DP83826 の代表的なアプリケーションを示します。

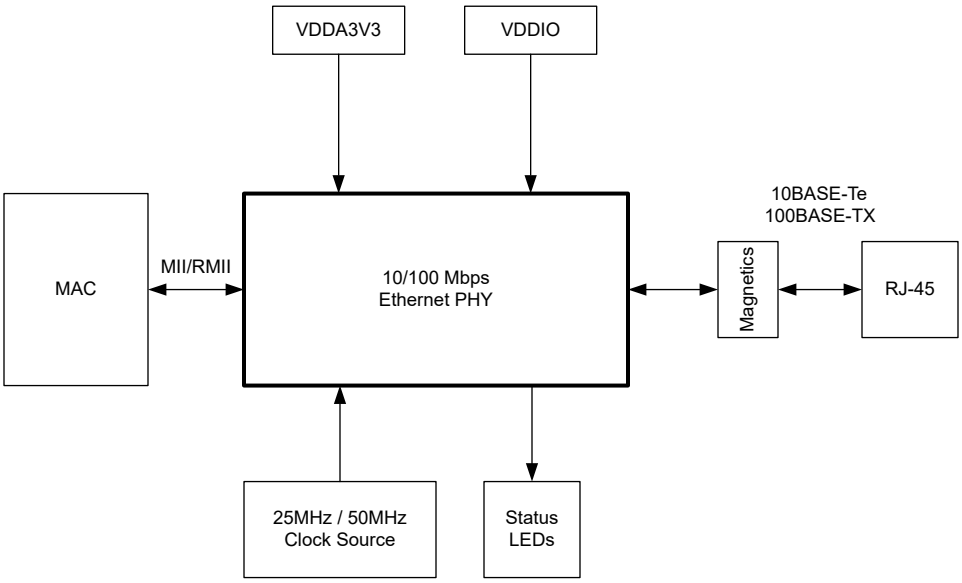


図 9-1. DP83826 の代表的なアプリケーション

9.2.1 ツイストペア インターフェイス (TPI) ネットワーク回路

図 9-2 に、10Mbps または 100Mbps の推奨ツイストペア インターフェイス ネットワーク回路を示します。PCB および部品の特性によって異なるため、アプリケーションをテストして、回路が目的のアプリケーションの要件を満たしていることを確認する必要があります。

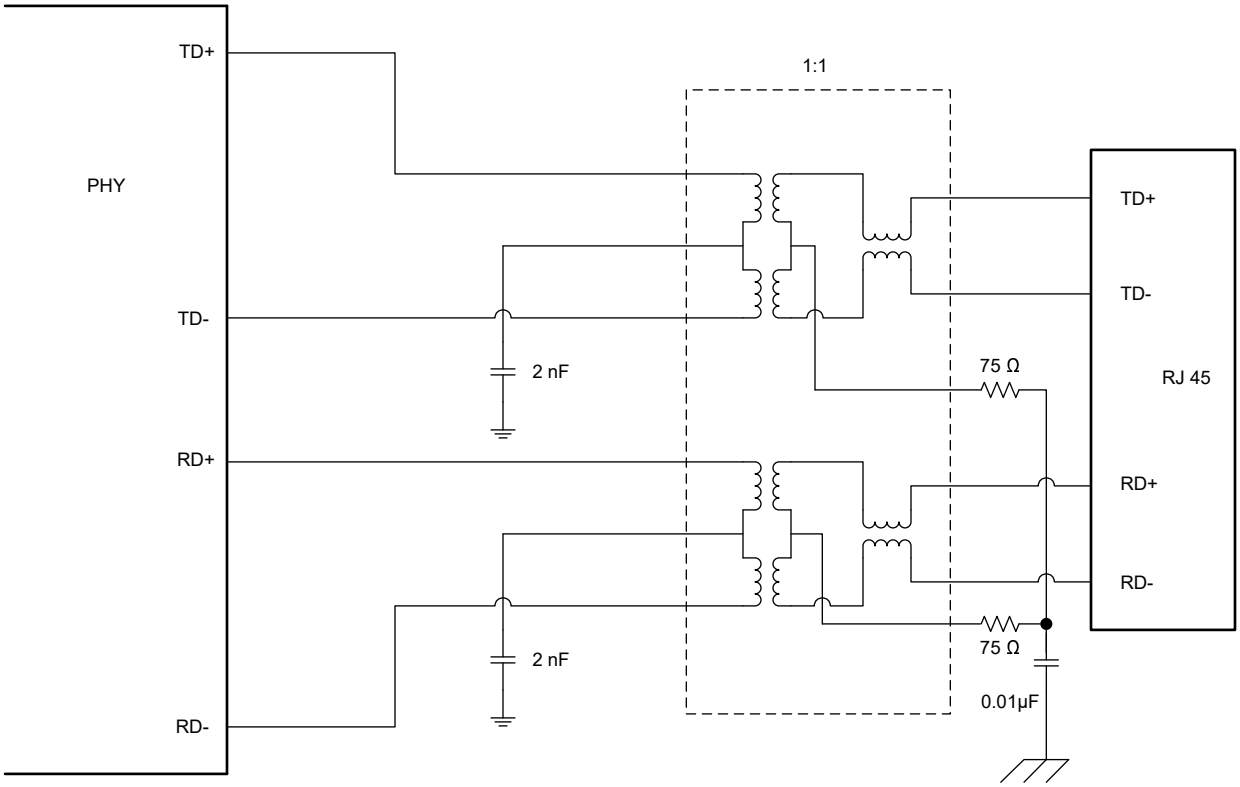


図 9-2. TPI ネットワーク回路

9.2.2 トランスに関する推奨事項

トランスの推奨については、以下のトランスの電気仕様を参照してください。

表 9-1. トランスの電気的仕様

パラメータ	テスト条件	標準値	単位
巻数比	±2%	1:1	-
挿入損失	1～100MHz	-1	dB
リターン ロス	1～30MHz	-16	dB
	30～60MHz	-12	dB
	60～80MHz	-10	dB
差動と同相の除去比	1～50MHz	-30	dB
	50～150MHz	-20	dB
クロストーク	30MHz	-35	dB
	60MHz	-30	dB
絶縁	HPOT	1500	Vrms

Copyright © 2025 Texas Instruments Incorporated

9.2.3 静電容量式 DC ブロッキング

トランスレス ネットワーク アプリケーションの動作要件を満たすには、図 9-3 の回路図に示されている以下の設計を使用する必要があります。

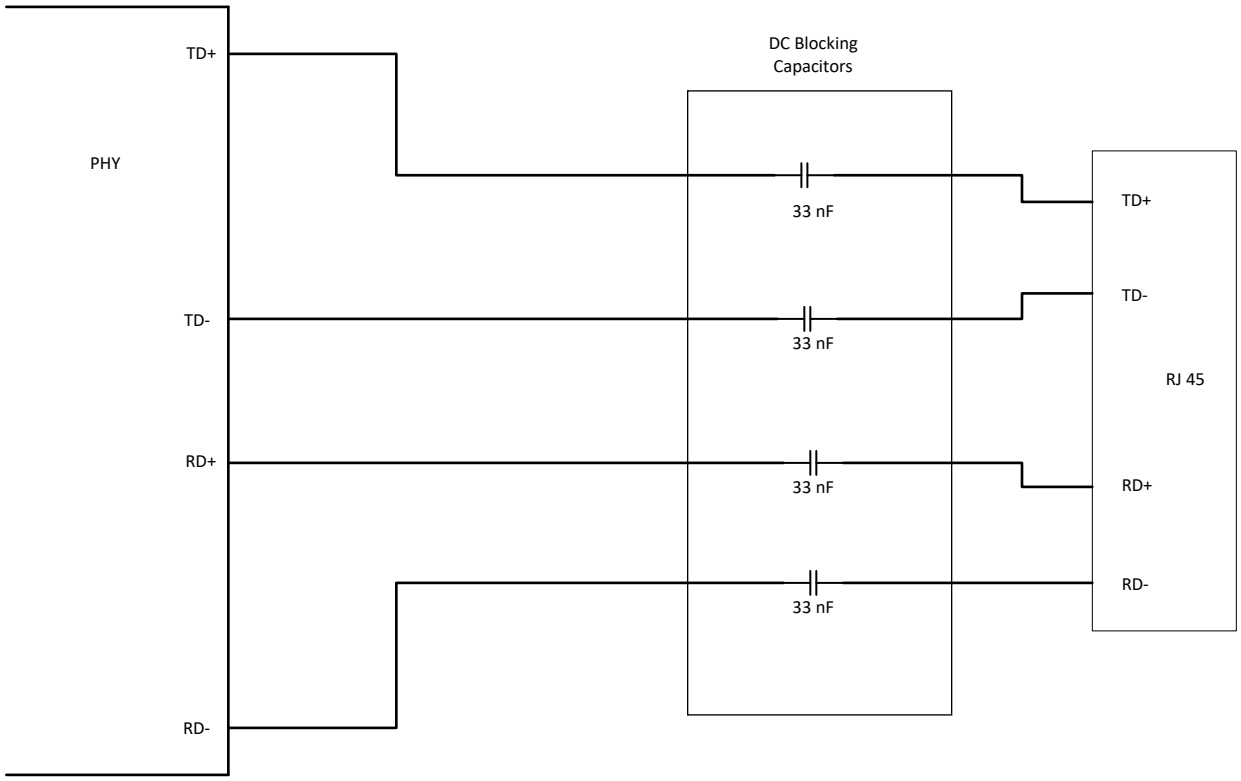


図 9-3. トランスレス DC ブロッキング構成

9.2.4 設計要件

TPI 動作 (100BASE-TX または 10BASE-Te) における DP83826 の設計要件は次の通りです。

- VDDA3V3 電源 = 3.3V
- VDDIO 電源 = 3.3V または 1.8V
- 基準クロック入力 = 25MHz または 50MHz (RMII フォロワ)

9.2.4.1 クロック要件

DP83826 は、外部 CMOS レベル発振器ソース、または外部水晶振動子を使用した内部発振器をサポートしています。

9.2.4.1.1 発振器

外部クロック ソースを使用する場合は、XI をクロック ソースに接続して、XO をフローティングのままにします。発振器クロックの振幅は、VDDIO の公称電圧である必要があります。

9.2.4.1.2 水晶振動子

水晶振動子で動作させる場合は、25MHz の並列共振、20pF の負荷水晶振動子を使用することが推奨されます。水晶振動子回路の標準的なピン配置については、図 9-4 を参照してください。負荷コンデンサの値は、水晶振動子のベンダによって異なります。推奨される負荷については、ベンダにお問い合わせください。詳細については、アプリケーション レポート『テキサス インスツルメンツ製イーサネット物理層トランシーバの水晶振動子の選択と仕様』を参照してください。

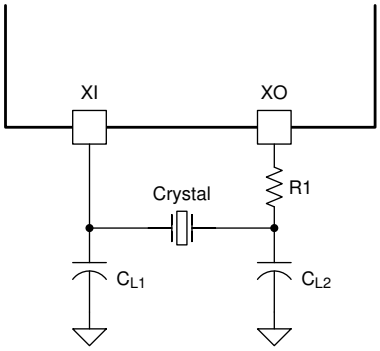


図 9-4. 水晶発振回路

表 9-2. 25MHz 水晶振動子仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
周波数			25		MHz
周波数の許容誤差	動作温度、経年劣化、他の要因を含む	-50		50	ppm
負荷容量			15	40	pF
ESR				50	Ω

9.2.5 詳細な設計手順

9.2.5.1 MII のレイアウト ガイドライン

1. MII 信号はシングルエンド信号です。
2. グランド間インピーダンスが 50Ω のトレースを配線します
3. パターン長はできるだけ短くし、2 インチ (5cm) 未満、最大でも 6 インチ (15cm) 未満が推奨されます

9.2.5.2 RMII のレイアウト ガイドライン

- RMII 信号はシングルエンド信号です。
- グランド間インピーダンスが 50Ω のトレースを配線します
- パターン長はできるだけ短くし、2 インチ (5cm) 未満、最大でも 6 インチ (15cm) 未満が推奨されます

9.2.5.3 MDI のレイアウト ガイドライン

- MDI 信号は差動です。
- グランドへのインピーダンスが 50Ω で、差動制御インピーダンスが 100Ω のトレースを配線します。
- MDI トレースは同じ層のトランスに配線します。
- 金属シールドの RJ-45 コネクタを使用し、シールドをシャーシ グランドに電気的に接続します。
- 磁気素子の下の電源と設置は避けます。
- 回路のグランドとシャーシのグランド プレーンが重ならないようにしてください。プレーン間に隙間を残して、シャーシ グランドを絶縁されたアイランドに変えることで、シャーシのグランドと回路のグランドを分離した状態にします。フローティング金属を防止するため、シャーシのグランドと回路のグランドとの間に 1206 (サイズ) のコンデンサを接続することが推奨されます。805 (サイズ) 未満のコンデンサは、空間距離が小さいために、ESD のアーチ型パスが形成される可能性があります。

Copyright © 2025 Texas Instruments Incorporated

9.2.6 アプリケーション曲線

図 9-5 に、I/O 電源電圧が 1.8V および 3.3V のときの DP83826 出力ピンドライブ特性を示します。

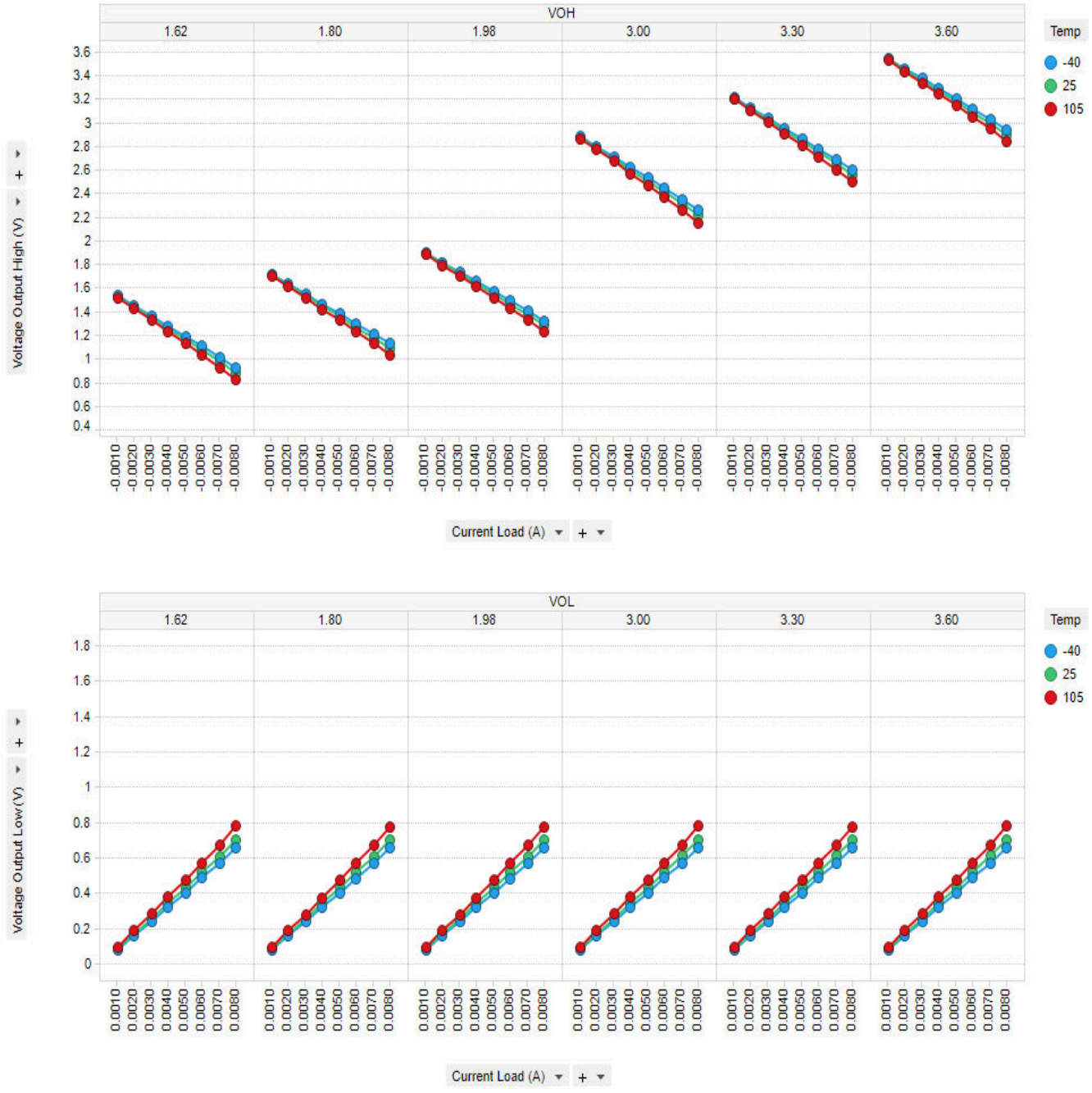


図 9-5. DP83826 出力ピンドライブ特性

9.3 電源に関する推奨事項

DP83826 は、3.3V または 1.8V の I/O 電源電圧、3.3V のアナログ電源で動作させることができます。3.3V の I/O 電源電圧が必要な場合、DP83826 は 3.3V の単一電源レールでも動作させることができます。内部 LDO は、デバイスの動作に必要なすべての電源レールを生成します。単一の電源電圧を使用して、設計要件を簡素化し、BOM コストとソリュー

Copyright © 2025 Texas Instruments Incorporated

ション全体のサイズを削減できる DP83826 は、幅広いアプリケーションで実用的なソリューションとなります。下図に、推奨される電源デカップリング ネットワークを示します。

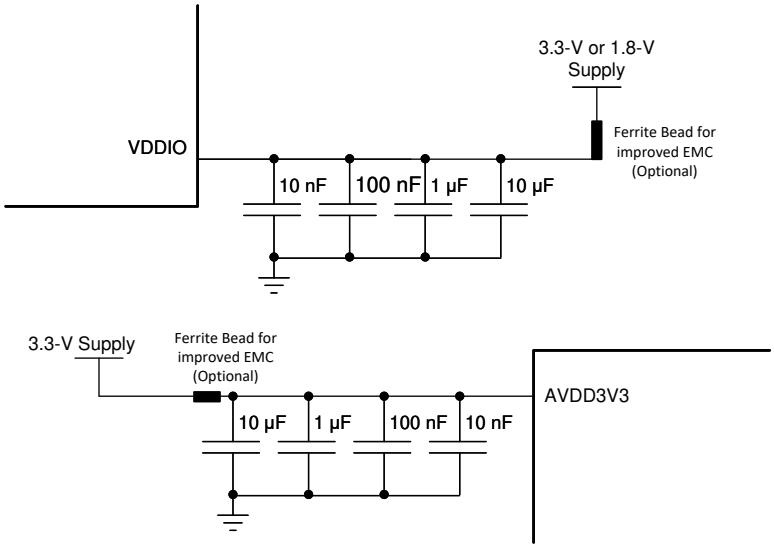


図 9-6. 電源デカップリングに関する推奨事項

9.4 レイアウト

9.4.1 レイアウトのガイドライン

DP83826EVM を参照してください。

9.4.1.1 信号トレース

PCB トレースは損失が大きいため、長いトレースが信号品質を低下させる可能性があります。すべてのトレースはできる限り短くします。特に記述のない限り、すべての信号トレースは 50Ω のシングルエンド インピーダンスでなくてはなりません。差動トレースは、100Ω 差動にする必要があります。全体を通してインピーダンスが制御されていることを確認します。インピーダンスの不連続性は反射を引き起こし、放射とシグナル インテグリティの問題につながります。スタブは、すべての信号トレース (特に差動信号ペア) で回避しなければなりません。

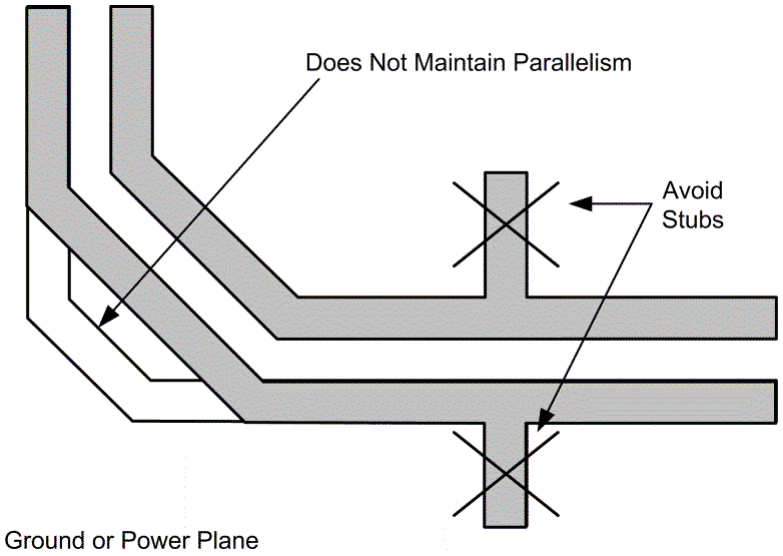


図 9-7. 差動信号トレース

Copyright © 2025 Texas Instruments Incorporated

差動ペア内では、トレースを互いに並行させ、長さを一致させる必要があります。長さを一致させることで遅延の差が最小化され、同相ノイズと放射の増加を防止できます。MAC インターフェイス接続でも、長さを一致させることは重要です。すべての MII および RMII 送信信号トレースは互いに同じ長さ、すべての MII および RMII 受信信号トレースは互いに同じ長さでなくてはなりません。

信号パスのトレースには交差もビアも存在しないようにします。ビアにはインピーダンスの不連続性を生じさせるため、できるだけ少なくする必要があります。トレース ペアは同じ層に配線します。異なる層の信号は、それらの間に少なくとも 1 つの復帰パス プレーンがない限り、互いに交差させてはなりません。差動ペアは、それらの間の結合距離を常に一定に保つ必要があります。利便性と効率性を高めるため、重要な信号 (例:MDI 差動ペア、基準クロック、MAC IF トレース) を最初に配線することを推奨します。

9.4.1.2 復帰パス

一般に最も良い方法は、すべての MDI 信号トレースの下にベタの復帰パスを設けることです。この復帰パスは、連続的なグランドまたは DC 電源プレーンであってもかまいません。復帰パスの幅を狭くすると、信号トレースのインピーダンスに影響を及ぼす可能性があります。この影響は、復帰パスの幅が信号トレースの幅と同等である場合、より顕著になります。信号トレースの間の復帰パスの断線は、避ける必要があります。分割されたプレーンをまたぐ信号は、予測不可能な復帰パス電流を引き起こし、信号の品質に影響を及ぼし、放射の問題を引き起こす可能性があります。

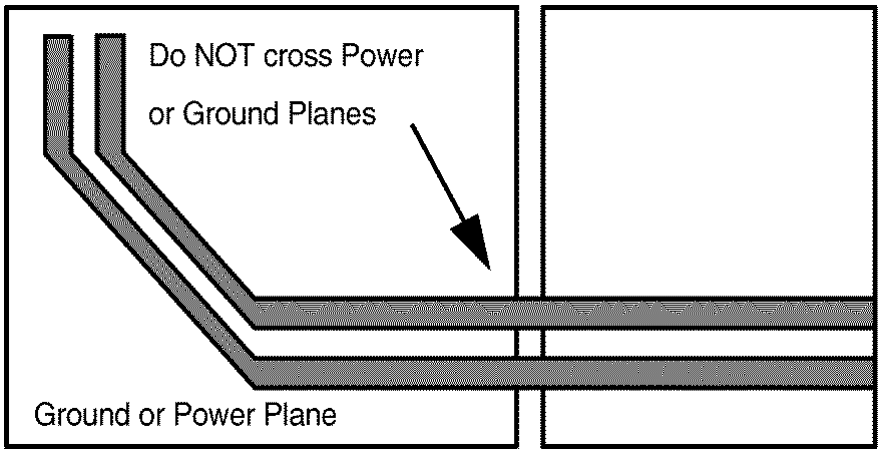


図 9-8. 差動信号ペアおよびプレーン交差

9.4.1.3 トランスのレイアウト

トランスの下に金属層が存在しないようにする必要があります。トランスはその下にある金属にノイズを注入する可能性があり、システムの性能に影響を及ぼす可能性があります。図 9-2 を参照してください。

9.4.1.4 金属注入

信号でも電源でもないすべての金属注入領域は、グランドに接続する必要があります。システム内に浮動の金属が存在していないことと、差動パターン間に金属が存在していないことが必要です。

9.4.1.5 PCB 層スタッキング

シグナル インテグリティと性能の要件を満たすには、4 層以上の PCB が推奨されます。しかし、可能であれば 6 層 PCB を使用します。

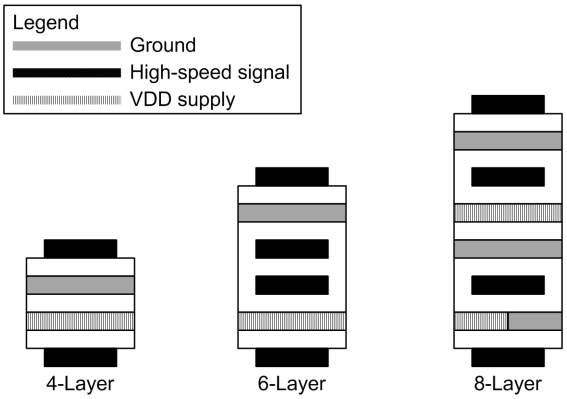


図 9-9. 推奨レイヤ スタックアップ

9.4.1.5.1 レイアウト例

レイアウトの詳細については、DP83826EVM を参照してください。

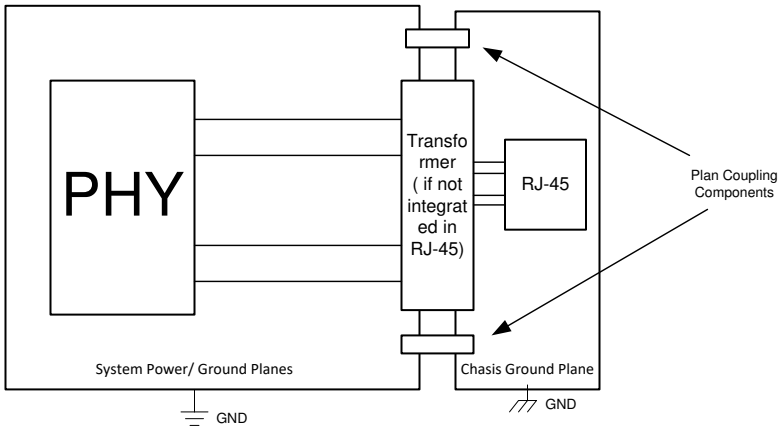


図 9-10. レイアウト例

Copyright © 2025 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 関連資料

関連資料については、以下を参照してください。

『*DP83826 を使用した時間ドメイン反射測定*』

『*DP83826 トラブルシューティング ガイド*』

『*テキサス インスツルメンツ製イーサネット物理層トランシーバの水晶振動子の選択と仕様*』

『*イーサネット製品関連頭字語の中国語と英語の定義*』

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の [アラートを受け取る] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート リソース

10.4 商標

マジック パケット™ is a trademark of Advanced Micro Devices, Inc..
EtherCAT® is a registered trademark of Beckhoff Automation GmbH, Germany.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision H (May 2025) to Revision I (August 2025)	Page
• VOL_3V3 の最大値を 0.8V から 0.4V に更新	11
• 100M MII 受信タイミングを更新	11
• 25MHz および 50MHz のクロック周波数許容誤差を ±100ppm から ±50ppm に更新	11
• コーディネータからリーダーに変更	11
• 「BASIC モード *PHY アドレス ストラップ*」表の「Mode = 1 の場合」の「PHY_ADD0 = 0」を「PHY_ADD0 = 1」に変更	53
• レジスタ 0x1E ビット 14 の説明を更新	54
• 表 9-1 の推奨トランスフォーマは廃止済みのため削除	100
• クロック周波数の許容誤差を ±100ppm から ±50ppm に更新	100

Changes from Revision G (July 2023) to Revision H (May 2025)	Page
• ドキュメント全体を通して「マスター」を「リーダー」に変更	1

Copyright © 2025 Texas Instruments Incorporated

- ドキュメント全体を通して「スレーブ」を「フォロワ」に変更 1
- ピン 21 TYPE をアクティブから変更：I からアクティブへ：I/O 4
- ピン 21 TYPE をアクティブから変更：I からアクティブへ：O 8
- 「*RMII 受信タイミング*」のグラフィックの「T2」を「T4」に変更 19
- BASIC モードの LED プルダウン抵抗を「5k」から「1.5k」に変更 48
- LED のストラップ接続の例を追加 48
- 「マスターおよびスレーブ」を「リーダー / フォロワー」に更新 51
- 「BASIC モード PHY アドレス ストラップ」表の「Mode = 0 の場合」の「PHY_ADD0 = 0」を「PHY_ADD0 = 1」に変更 53
- 「BASIC モード PHY アドレス ストラップ」表の「Mode = 1 の場合」の「PHY_ADD0 = 1」を「PHY_ADD0 = 0」に変更 53

Changes from Revision F (November 2022) to Revision G (July 2023) **Page**

- デバイス性能の正確な表現を明確化するために表を調整 3
- ピン 16 の リセット状態を訂正。ピン 31 の機能を明確化。 4
- ピン 20 と 21 の説明を調整 8
- CLKOUT を無効化する方法を明確化 31
- アプリケーション ノートのハイパーリンクを調整 45
- FLD の各メカニズムを制御するために使用される構成の説明を修正。表の説明を簡略化。 46
- フローチャートを更新 51
- Strap6 と Strap1 が両方とも POR でのみラッチされることを明確化 51
- MAC モード選択ストラップ表を統合および明確化 53
- 「デバイス レジスタ」を更新 54
- リンクを更新 107

Changes from Revision E (February 2022) to Revision F (November 2022) **Page**

- RX_D3、LED0 のリセット状態を訂正 8
- 熱評価基準を更新 12
- 「*パワーアップ タイミング (電源シーケンス)* 」のグラフィックを調整 19
- 「*RMII リピータ モード：リーダー - フォロワ*」および「*RMII リピータ モード：フォロワ - フォロワ*」のグラフィックを調整 30
- MDIO プルアップ抵抗の値を明確化 36
- 内部 PU ピンの RLO ストラップを「1.5kΩ」に変更。抵抗値の推奨許容誤差を追加。 50
- 「*拡張ブートストラップ フローチャート*」のグラフィックを追加 51
- ENHANCED モードの Strap0 のデフォルトと機能を訂正 51
- 「デバイス レジスタ」を更新 54
- 「トランスに関する推奨事項」の場所を調整 100

Changes from Revision D (October 2020) to Revision E (February 2022) **Page**

- ピン 31 のデフォルトを「LED1」に変更、ハードウェア ブートストラップの相違表に奇数ニブル検出および FLD 検出メカニズムを追加 3
- TX_ER をピン 28 に追加 4
- ピン 31 のデフォルトを「LED1」に変更 8
- ピン 31 のデフォルトを「LED1」に変更、ピン 16 およびピン 31 を「PU」に更新 8

Copyright © 2025 Texas Instruments Incorporated

- 高速リンクドロップ モードの表を追加、ENHANCED モードと BASIC モードの異なるデフォルトに関する仕様に含まれている高速リンクドロップ機能の説明を更新、Strap8 の説明を追加.....46
- 「LED1/0 は、自動極性 (ENHANCED)、デフォルトでアクティブ Low (BASIC) 」という説明を追加.....48
- 奇数ニブル検出表を追加、MII MAC モードのストラップ表に strap7 と strap1 の相互作用を追加、strap8 に信号エネルギー代替機能を追加.....51
- ピン 31 のデフォルトを「LED1」に変更、ピン 16 のデフォルトを「半二重」に変更.....53
- TPI ネットワーク CAP 更新.....100

Changes from Revision C (July 2020) to Revision D (October 2020) **Page**

- 「電気的特性」表を更新。.....11
- セクションを追加.....101

Changes from Revision B (March 2020) to Revision C (July 2020) **Page**

- SNLA338 アプリケーション ノートへのリンクを追加.....3
- SNLA338 へのリンクを追加.....25
- 省電力型イーサネット セクション.....27
- EEE 概要セクション.....27
- EEE ネゴシエーション セクション.....28
- 「802.3az をサポートしていないレガシー MAC のための EEE」セクションを追加.....28
- 「デバイス レジスタ」を更新.....54
- SNLA338 アプリケーション ノートへのリンクを追加.....99

Changes from Revision A (February 2020) to Revision B (March 2020) **Page**

- 「電気的特性」セクションにも DP83826I の温度範囲を追加.....1
- 「製品ファミリ情報」表に DP83826I を追加.....1

Changes from Revision * (January 2020) to Revision A (February 2020) **Page**

- DP83826EVM ユーザー ガイドへのリンクを追加.....1
- 表 4-2 から「ピン 18」を削除.....3
- ENHANCED モードのピン マッピングおよびピン機能の表を、ピン名と一致するように変更.....4
- BASIC モードのピン マッピングおよびピン機能の表を、ピン名と一致するように変更.....8
- ピン機能 (BASIC モード) から「このピンは、RMII モードの RX_DV に構成し、RMII 反復モードを有効化できます」を削除.....8
- 「*100BASE-TX 送信レイテンシ タイミング*」のグラフィックを追加.....19
- 「*100BASE-TX 受信レイテンシ タイミング*」のグラフィックを追加.....19
- セクション 8.3.8 に、レジスタ構成を通して CLKOUT を無効化する手順を追加.....31
- セクション 8.3.11 および セクション 8.3.11.1 から「条項 45」に関する説明を削除.....36
- セクション 8.3.14.5 から「アナログ ループバックには、RJ45 のピン 1 と 2 の間に 100Ω の終端、およびピン 3 と 6 の間に 100Ω の終端が必要です」を削除.....44
- 「MAC モード選択ストラップ表」に RMII フォロワ モード構成の行を追加.....53

Copyright © 2025 Texas Instruments Incorporated

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DP83826ERHBR	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 105	826E
DP83826ERHBR.A	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 105	826E
DP83826ERHBT	Active	Production	VQFN (RHB) | 32	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 105	826E
DP83826ERHBT.A	Active	Production	VQFN (RHB) | 32	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 105	826E
DP83826IRHBR	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	826I
DP83826IRHBR.A	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	826I
DP83826IRHBT	Active	Production	VQFN (RHB) | 32	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	826I
DP83826IRHBT.A	Active	Production	VQFN (RHB) | 32	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	826I

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

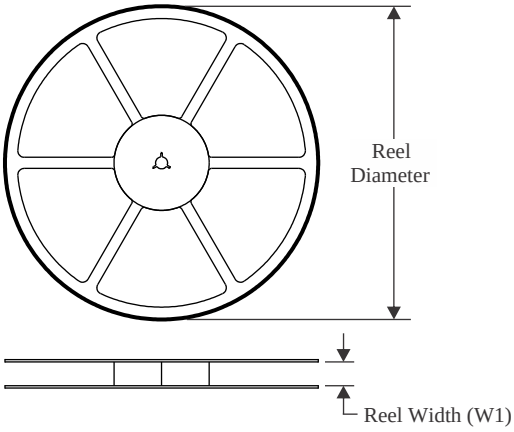
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

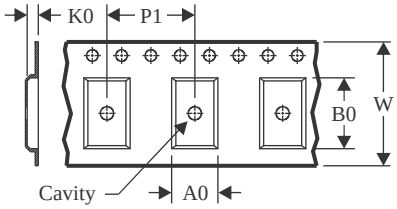
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

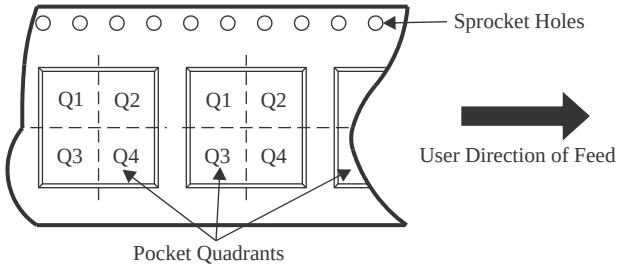


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

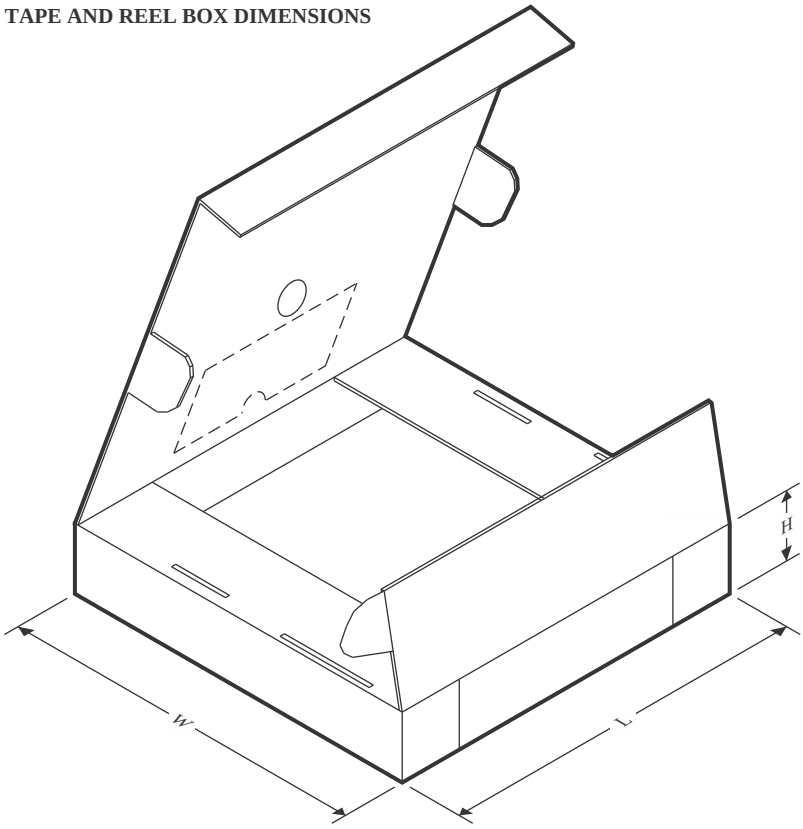
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DP83826ERHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DP83826ERHBT	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DP83826IRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DP83826IRHBT	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DP83826ERHBR	VQFN	RHB	32	3000	360.0	360.0	36.0
DP83826ERHBT	VQFN	RHB	32	250	210.0	185.0	35.0
DP83826IRHBR	VQFN	RHB	32	3000	360.0	360.0	36.0
DP83826IRHBT	VQFN	RHB	32	250	210.0	185.0	35.0

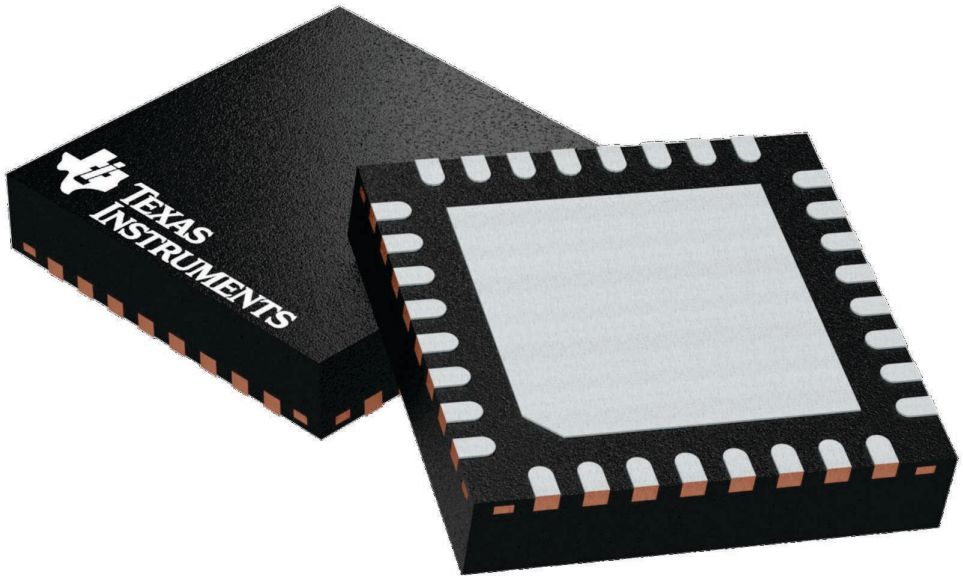
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

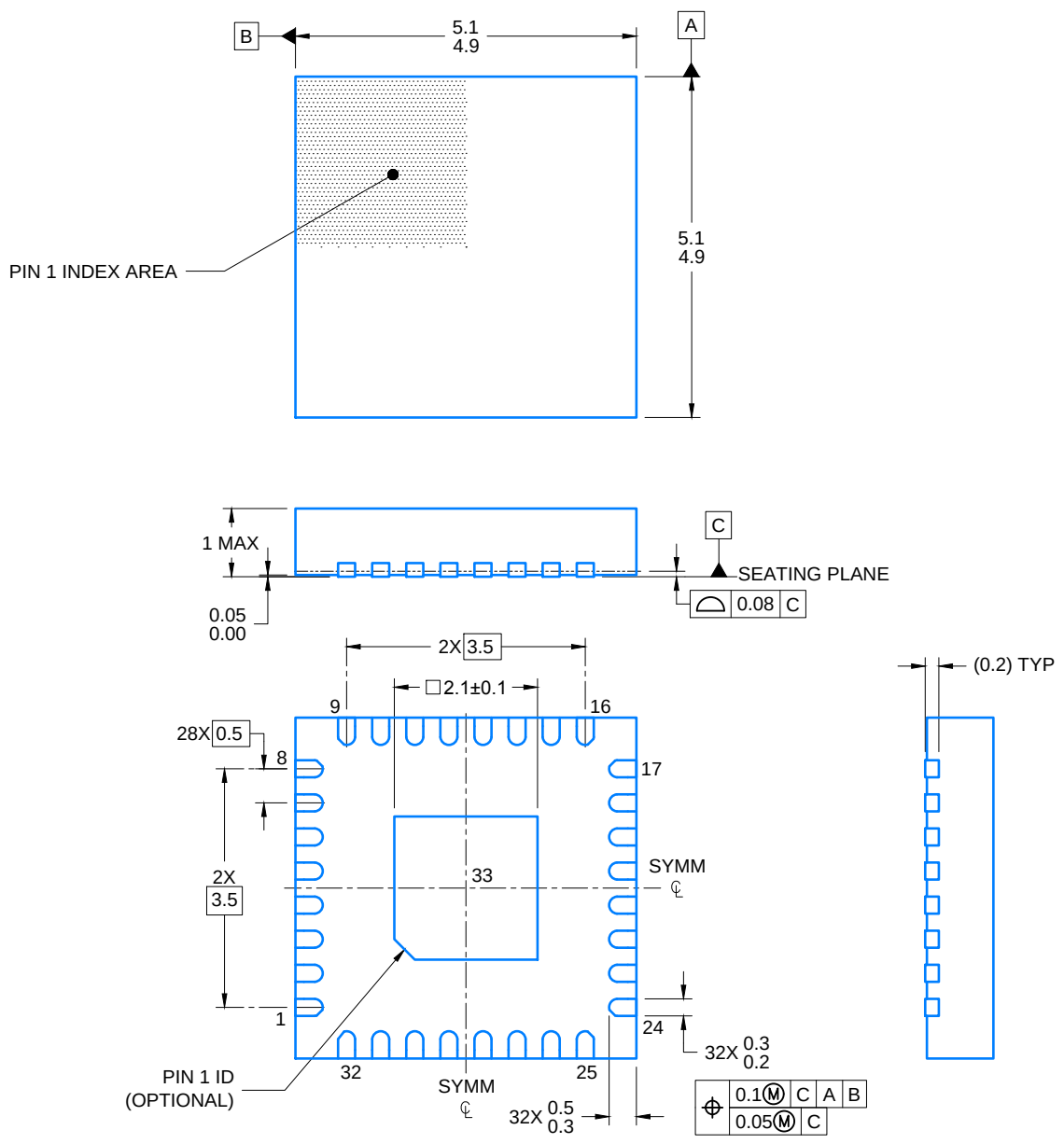
4224745/A

PACKAGE OUTLINE

RHB0032M

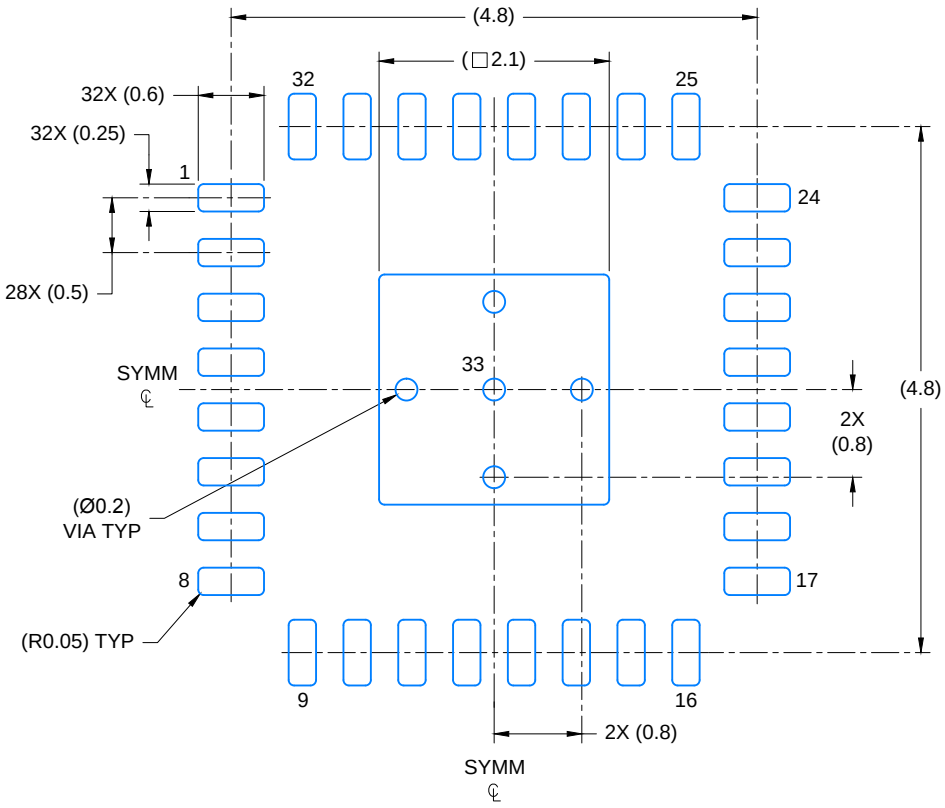
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD

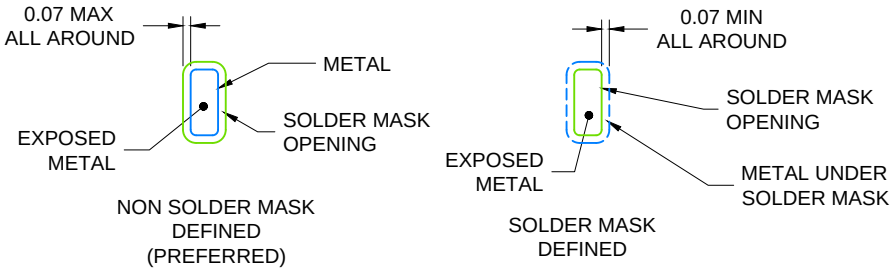


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

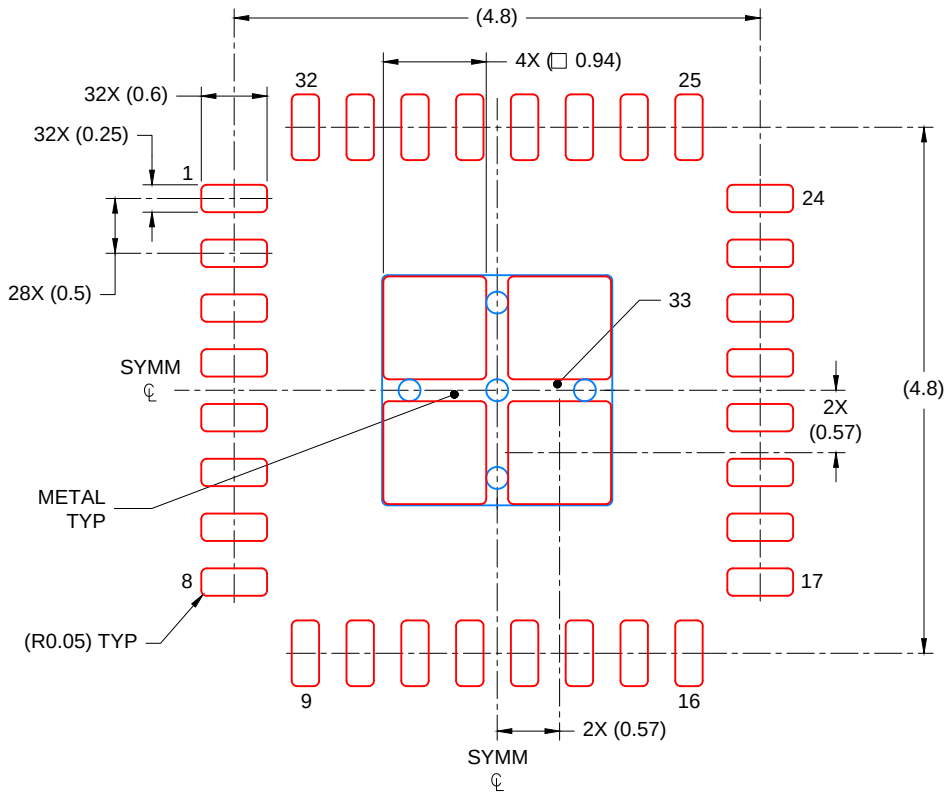


SOLDER MASK DETAILS

4223725/A 08/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
80% PRINTED COVERAGE BY AREA
SCALE: 15X

4223725/A 08/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月