

DP83867IR/CR 堅牢で耐性の高い 10/100/1000 イーサネット物理層トランシーバ

1 特長

- 超低 RGMII レイテンシの TX < 90ns、RX < 290ns
- TSN (Time Sensitive Network) 準拠
- 低消費電力 457mW
- IEC 61000-4-2 で 8000V を超える ESD 保護
- EN55011 Class B 放射規格を満たす
- RX/TX で 16 の RGMII 遅延モードをプログラム可能
- MDI 終端抵抗を内蔵
- MII/GMII/RGMII 終端インピーダンスをプログラム可能
- WoL (Wake-on-LAN) パケット検出
- 25MHz または 125MHz の同期クロック出力
- IEEE 1588 タイムスタンプの SOF(Start of Frame) 検出
- RJ45 ミラー モード
- IEEE 802.3 10BASE-Te、100BASE-TX、1000BASE-T 仕様と完全互換
- ケーブル診断
- MII、GMII、および RGMII MAC インターフェイス オプション
- I/O 電圧を構成可能 (3.3V、2.5V、1.8V)
- 高速なリンクドロップ モード
- JTAG のサポート

2 アプリケーション

- モーター・ドライブ
- 産業用ファクトリ・オートメーション
- フィールド・バス・サポート
- 産業用組み込みコンピュータ
- 有線および無線通信インフラストラクチャ
- 試験 / 測定機器
- コンシューマ・エレクトロニクス

3 説明

DP83867 デバイスは堅牢で低消費電力の、必要な機能がすべて揃った物理層トランシーバで、PMD サブレイヤを内蔵しており、10BASE-Te、100BASE-TX、1000BASE-T の各イーサネットプロトコルをサポートしています。DP83867 は ESD 保護用に最適化されており、IEC 61000-4-2 で 8kV を超える保護を実現しています (直接接触)。

DP83867 は、10/100/1000Mbps のイーサネット LAN を簡単に実装できるように設計されています。外部の変圧器を通して、DP83867 をツイスト ペアのメディアへ直接に接続することが可能です。このデバイスは、IEEE 802.3 標準 Media Independent Interface (MII)、IEEE 802.3 Gigabit Media Independent Interface (GMII) または Reduced GMII (RGMII) により、MAC 層へ直接接続されます。QFP パッケージは MII/GMII/RGMII をサポートし、QFN パッケージは RGMII をサポートします。

DP83867 は、同期イーサネットクロック出力など、高精度のクロック同期を提供します。DP83867 には、低レイテンシを備え、IEEE 1588 のフレーム開始検出も提供されます。

DP83867 は、フル動作時の消費電力がわずか 490mW (PAP) と 457mW (RGZ) です。Wake on LAN を使用して、システムの消費電力を低減できます。

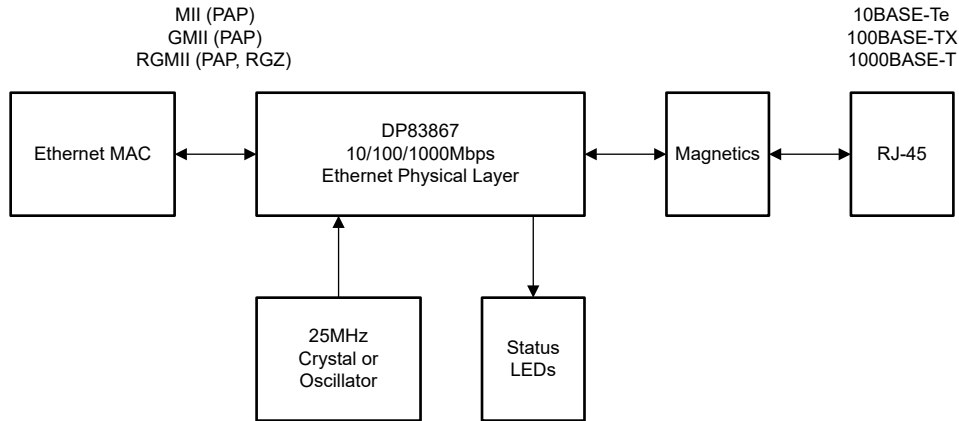
パッケージ情報

部品番号	温度	パッケージ (1)	パッケージ サイズ (2)
DP83867IRPAP	-40°C ~ +85°C	PAP (HTQFP、64)	12mm × 12mm
DP83867IRRGZ	-40°C ~ +85°C	RGZ (VQFN、48)	7mm × 7mm
DP83867CRRGZ	0°C ~ +70°C	RGZ (VQFN、48)	7mm × 7mm

(1) 供給されているすべてのパッケージについては、[セクション 12](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。





目次

1 特長	1	6.17 タイミング図	18
2 アプリケーション	1	6.18 代表的特性	22
3 説明	1	7 詳細説明	23
4 デバイスの比較	4	7.1 概要	23
5 ピン構成および機能	5	7.2 機能ブロック図	24
5.1 未使用のピン	10	7.3 機能説明	25
6 仕様	11	7.4 デバイスの機能モード	29
6.1 絶対最大定格	11	7.5 プログラミング	44
6.2 ESD 定格	11	8 レジスタ	54
6.3 推奨動作条件	12	9 アプリケーションと実装	120
6.4 熱に関する情報	12	9.1 使用上の注意	120
6.5 電気的特性	12	9.2 代表的なアプリケーション	120
6.6 パワーアップのタイミング	14	9.3 電源に関する推奨事項	125
6.7 リセットタイミング	14	9.4 レイアウト	128
6.8 MII シリアル マネージメントのタイミング	14	10 デバイスおよびドキュメントのサポート	131
6.9 RGMII のタイミング	15	10.1 ドキュメントのサポート	131
6.10 GMII 送信タイミング	15	10.2 ドキュメントの更新通知を受け取る方法	131
6.11 GMII 受信タイミング	16	10.3 サポート・リソース	131
6.12 100Mbps MII 送信タイミング	16	10.4 商標	131
6.13 100Mbps MII 受信タイミング	16	10.5 静電気放電に関する注意事項	131
6.14 10Mbps MII 送信タイミング	16	10.6 用語集	131
6.15 10Mbps MII 受信タイミング	17	11 改訂履歴	131
6.16 DP83867IR/CR のフレーム開始検出タイミング	17	12 メカニカル、パッケージ、および注文情報	133

4 デバイスの比較

表 4-1. デバイスの機能の比較

デバイス	MAC	温度範囲		温度グレード
DP83867CRRGZ	RGMII	0°C	70°C	商用
DP83867IRRGZ	RGMII	-40°C	85°C	産業用
DP83867IRPAP	MII/GMII/RGMII	-40°C	85°C	産業用

5 ピン構成および機能

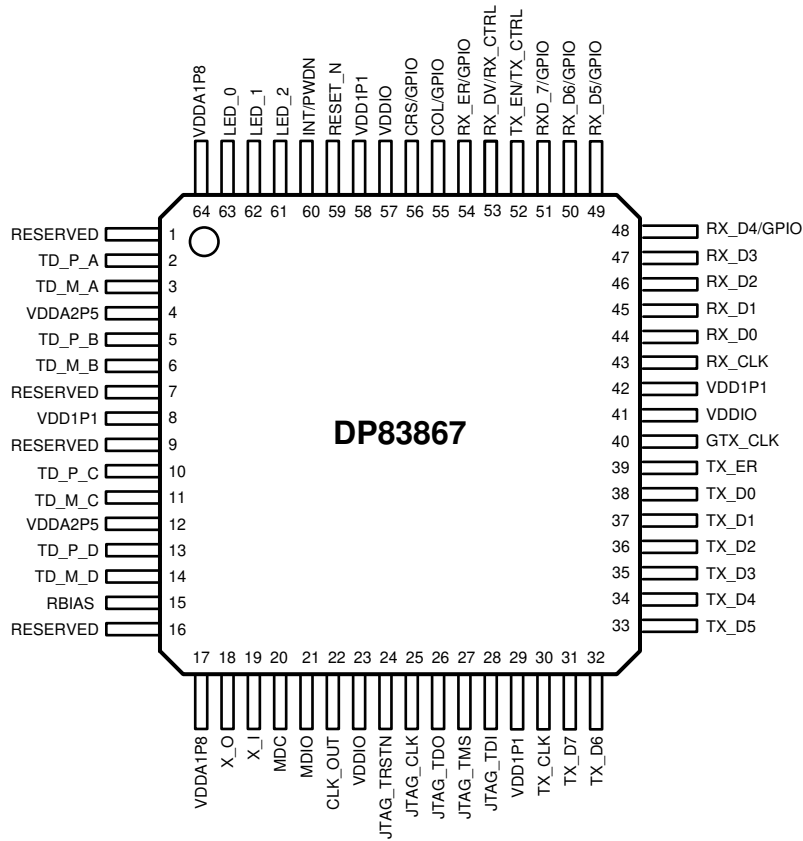


図 5-1. PAP パッケージ
64 ピン HTQFP
上面図

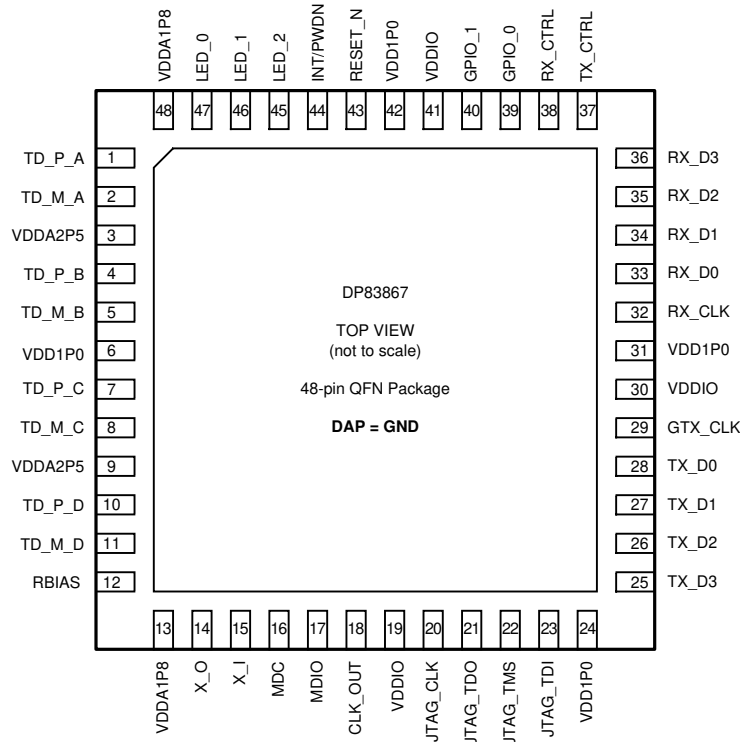


図 5-2. RGZ パッケージ
48 ピン QFN
上面図

表 5-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	HTQFP		
MAC インターフェイス			
TX_CLK	30		O MII 送信クロック: TX_CLK は、10Mbps または 100Mbps MII モードの間に PHY によって駆動される連続クロック信号です。TX_CLK は、MAC 層からデータまたはエラーを PHY にクロック出力します。 TX_CLK クロック周波数は 10BASE-Te の 2.5MHz で、100BASE-TX モードの 25MHz です。
TX_D7	31		I, PD GMII 送信データビット 7: 信号は、MAC から GMII モードの PHY にデータを伝送します。このピンは送信クロック GTX_CLK と同期しています。
TX_D6	32		I, PD GMII 送信データビット 6: 信号は、MAC から GMII モードの PHY にデータを伝送します。このピンは送信クロック GTX_CLK と同期しています。
TX_D5	33		I, PD GMII 送信データビット 5: 信号は、MAC から GMII モードの PHY にデータを伝送します。このピンは送信クロック GTX_CLK と同期しています。
TX_D4	34		I, PD GMII 送信データビット 4: 信号は、MAC から GMII モードの PHY にデータを伝送します。このピンは送信クロック GTX_CLK と同期しています。
TX_D3	35	25	I, PD 送信データビット 3: この信号は、GMII、RGMII、および MII モードにおいて、MAC から PHY へデータを伝送します。GMII および RGMII モードでは、このピンは送信クロック GTX_CLK に同期します。MII モードでは、このピンは送信クロック TX_CLK と同期します。

表 5-1. ピンの機能 (続き)

名称	ピン		タイプ ⁽¹⁾	説明
	HTQFP	VQFN		
TX_D2	36	26	I, PD	送信データビット 2: この信号は、GMII、RGMII、および MII モードにおいて、MAC から PHY ヘデータを伝送します。GMII および RGMII モードでは、このピンは送信クロック GTX_CLK に同期します。MII モードでは、このピンは送信クロック TX_CLK と同期します。
TX_D1	37	27	I, PD	送信データビット 1: この信号は、GMII、RGMII、および MII モードにおいて、MAC から PHY ヘデータを伝送します。GMII および RGMII モードでは、このピンは送信クロック GTX_CLK に同期します。MII モードでは、このピンは送信クロック TX_CLK と同期します。
TX_D0	38	28	I, PD	送信データビット 0: この信号は、GMII、RGMII、および MII モードにおいて、MAC から PHY ヘデータを伝送します。GMII および RGMII モードでは、このピンは送信クロック GTX_CLK に同期します。MII モードでは、このピンは送信クロック TX_CLK と同期します。
TX_ER	39		I, PD	GMII 送信エラー: この信号は、GMII モードにおいて、PHY に無効なシンボルを送信させるために使用されます。TX_ER 信号は、GMII 送信クロック GTX_CLK に同期しています。 MII 4B ニブルモードでは、コントローラによる送信エラーのアサートにより、PHY は無効なシンボルを発行し、その後、デアサートが発生するまで Halt (H) シンボルを発行します。 GMII モードでは、アサートによって、PHY は送信フレーム内の無効なデータまたはデリミタである 1 つ以上のコードグループを出力します。
GTX_CLK	40	29	I, PD	GMII および RGMII 送信クロック: この連続クロック信号は、MAC 層から PHY へ供給されます。公称周波数は 125 MHz です。
RX_CLK	43	32	O	受信クロック: 各種動作モードに対し、復元された受信クロックを供給します: 10Mbps モードでは 2.5MHz です。 100Mbps モードでは 25MHz です。 1000Mbps GMII および RGMII モードでは 125MHz です。
RX_D0	44	33	S, O, PD	データビット 0 を受信: この信号は、GMII、RGMII、および MII モードにおいて、PHY から MAC ヘデータを伝送します。このピンは、受信クロックの RX_CLK と同期しています。
RX_D1	45	34	I/O, PD	データビット 1 を受信: この信号は、GMII、RGMII、および MII モードにおいて、PHY から MAC ヘデータを伝送します。このピンは、受信クロックの RX_CLK と同期しています。
RX_D2	46	35	S, O, PD	データビット 2 を受信: この信号は、GMII、RGMII、および MII モードにおいて、PHY から MAC ヘデータを伝送します。このピンは、受信クロックの RX_CLK と同期しています。
RX_D3	47	36	I/O, PD	データビット 3 を受信: この信号は、GMII、RGMII、および MII モードにおいて、PHY から MAC ヘデータを伝送します。このピンは、受信クロックの RX_CLK と同期しています。
RX_D4	48		S, O, PD	データビット 4 を受信: 信号は、PHY から GMII モードの MAC にデータを伝送します。このピンは、受信クロックの RX_CLK と同期しています。
RX_D5	49		S, O, PD	データビット 5 を受信: 信号は、PHY から GMII モードの MAC にデータを伝送します。このピンは、受信クロックの RX_CLK と同期しています。
RX_D6	50		S, O, PD	データビット 6 を受信: 信号は、PHY から GMII モードの MAC にデータを伝送します。このピンは、受信クロックの RX_CLK と同期しています。
RX_D7	51		S, O, PD	データビット 7 を受信: 信号は、PHY から GMII モードの MAC にデータを伝送します。このピンは、受信クロックの RX_CLK と同期しています。
TX_EN/TX_CTRL	52	37	I, PD	送信イネーブルまたは送信制御: MII モードまたは GMII モードでは、MAC 層から供給されるアクティブ High 入力によって、TXD 上で伝送データが利用可能であることを示します。 RGMII モードでは、このピンはクロックの両エッジを使用して、GMII モードの送信イネーブル信号と送信エラー信号を組み合わせます。

表 5-1. ピンの機能 (続き)

ピン			タイプ ⁽¹⁾	説明
名称	HTQFP	VQFN		
RX_DV/RX_CTRL (ストラップが必要)	53	38	S、O、PD	受信データ有効または受信制御: MII モードおよび GMII モードでは、ピンが High レベルにアサートされ、MII モードでは対応する RXD[3:0] に、GMII モードでは RXD[7:0] に有効なデータが存在することを示します。 RGMII モードでは、受信クロック (RX_CLK) の立ち上がり / 立ち下がりがエッジの両方を使用して、受信データ有効と受信エラーが結合されます (RXDV_ER)。
RX_ER/GPIO	54		I/O、PD	受信エラー: 10Mbps、100Mbps、1000Mbps モードでは、このアクティブ High 出力は PHY が受信エラーを検出したことを示します。RX_ER 信号は受信クロック (RX_CLK) と同期しています。 RGMII では、RX_ER ピンは使用されません。
COL/GPIO	55		I/O、PD	衝突検出: 半二重モードでは、衝突状態 (同時送受信アクティビティによる CRS のアサート) が検出するために、High にアサートされます。この信号は、いずれの MII クロック (GTX_CLK、TX_CLK、RX_CLK) と同期していません。 全二重モードでは、この信号は定義されておらず、Low レベルのままです。 RGMII モードでは、COL は使用されません。
CRS	56		S、O、PD	搬送波検知: 半二重モードでの受信または送信アクティビティによる搬送波の存在を示すため、CRS は High にアサートされます。 10BASE-Te および 100BASE-TX 全二重動作の場合、受信パケットが検出されると CRS がアサートされます。この信号は、1000BASE-T 全二重モードでは定義されていません。 RGMII モードでは、CRS は使用されません。
汎用 I/O				
GPIO_0		39	S、O、PD	汎用 I/O: この信号は、設定可能な多機能 I/O として使用できます。詳細については、GPIO_MUX_CTRL レジスタを参照してください。
GPIO_1		40	S、O、PD	汎用 I/O: この信号は、設定可能な多機能 I/O として使用できます。詳細については、GPIO_MUX_CTRL レジスタを参照してください。
マネージメント インターフェイス				
MDC	20	16	I、PD	管理データ クロック: MDIO シリアル管理入力 / 出力データへの同期クロック。このクロックは、MAC の送信クロックおよび受信クロックと非同期にすることができます。最大クロック レートは 25MHz で、最小値はありません。
MDIO	21	17	I/O	管理データ I/O: 通信の一部において、管理ステーションまたは PHY から発信される双方向の管理命令 / データ信号。このピンはプルアップ抵抗を必要とします。IEEE に規定される抵抗値は 1.5kΩ ですが、2.2kΩ を使用できます。
INT/PWDN	60	44	I/O、PU	割り込み / パワーダウン: このピンのデフォルトの機能はパワーダウンです。 パワーダウン: この信号を Low にアサートすると、パワーダウンモードの動作が有効になります。このモードでは、デバイスはパワーダウン状態となり、消費電力が最小化されます。管理インターフェイス経由でレジスタにアクセスでき、デバイスの構成と電源投入が可能です。 割り込み: このピンは、パワーダウン入力ではなく割り込み出力としてプログラムできます。このモードでは、このピンを使用して割り込みが Low にアサートされます。ピンを割り込みとして動作させる場合、このピンはオープンドレインアーキテクチャになります。ピンを割り込みメカニズムとして使用するには、レジスタアクセスが必要です。このピンを割り込みとして動作させる場合は、VDDIO 電源に接続された外部 2.2kΩ を推奨します。
リセット				
RESET_N	59	43	I、PU	RESET: アクティブ Low のリセットにより DP83867 すべての内部レジスタは、リセットをアサートするとデフォルト状態に再初期化されます。RESET 入力は、1μs 以上の間 Low に保持する必要があります。
クロック インターフェイス				
XI	19	15	I	水晶発振器入力: 25MHz 発振器または水晶振動子入力 (50ppm)

表 5-1. ピンの機能 (続き)

ピン			タイプ ⁽¹⁾	説明
名称	HTQFP	VQFN		
XO	18	14	O	水晶振動子出力:25MHz 水晶振動子用の第 2 端子。クロック発振器を使用する場合は、フローティングのままにする必要があります。
CLK_OUT	22	18	O	クロック出力:出力クロック
JTAG インターフェイス				
JTAG_CLK	25	20	I, PU	JTAG テスト クロック:IEEE 1149.1 テスト クロック入力。テスト エンティティによって制御されるすべてのテスト ロジック入出力用の主要クロック ソースです。最大クロック周波数 2.5MHz をサポートしています。
JTAG_TDO	26	21	O	JTAG テスト データ出力:IEEE 1149.1 テスト データ出力ピン。最新のテスト結果は、TDO を介してデバイスからスキャン出力されます。
JTAG_TMS	27	22	I, PU	JTAG テスト モード セレクト:IEEE 1149.1 テスト モード セレクトピン。この TMS ピンは Tap コントローラ (16 状態 FSM) をシーケンスして目的のテスト命令を選択します。
JTAG_TDI	28	23	I, PU	JTAG テスト データ入力:IEEE 1149.1 テスト データ入力ピン。テスト データは TDI 経由でデバイスにスキャン入力されます。
JTAG_TRSTN	24		I, PU	JTAG テストリセット:IEEE 1149.1 テストリセットピン、アクティブ Low リセットにより、タップコントローラの非同期リセットが行われます。このリセットは、デバイスのレジスタには影響しません。
LED インターフェイス				
LED_2	61	45	S, I/O, PD	LED_2:デフォルトでは、このピンは受信または送信動作を示します。LEDCR1[11:8] レジスタビットにより追加の機能を構成できます。 注:このピンは RGZ デバイス専用のストラップ構成ピンです。
LED_1	62	46	S, I/O, PD	LED_1:デフォルトでは、このピンは 1000BASE-T リンクが確立されていることを示します。LEDCR1[7:4] レジスタビットにより追加の機能を構成できます。
LED_0	63	47	S, I/O, PD	LED_0:デフォルトでは、このピンはリンクが確立されたことを示します。LEDCR1[3:0] レジスタビットにより追加の機能を構成できます。
メディア独立インターフェイス				
TD_P_A	2	1	A	差動送受信信号
TD_M_A	3	2	A	差動送受信信号
TD_P_B	5	4	A	差動送受信信号
TD_M_B	6	5	A	差動送受信信号
TD_P_C	10	7	A	差動送受信信号
TD_M_C	11	8	A	差動送受信信号
TD_P_D	13	10	A	差動送受信信号
TD_M_D	14	11	A	差動送受信信号
その他のピン				
予約済み	1, 7, 9, 16		A	予約済み
RBIAS	15	12	A	バイアス抵抗接続。RBIAS から GND へ 11kΩ ±1% の抵抗を接続できます。
電源ピンとグラウンドピン				
VDDIO	23, 41, 57	19, 30, 41	P	I/O 電源:1.8V (±5%)、2.5V (±5%)、3.3V (±5%)。それぞれのピンと GND との間に、1μF および 0.1μF のコンデンサを接続する必要があります。
VDDA1P8	17, 64	13, 48	P	1.8V アナログ電源 (±5%)。 このピンには外付け電源は必要ありません。未使用の場合、このピンにはいかなる接続もできません。 さらに節電するには、外部 1.8V 電源をこれらのピンに接続できます。外部電源を使用する場合、各ピンと GND との間に 1μF および 0.1μF コンデンサを接続する必要があります。

表 5-1. ピンの機能 (続き)

ピン			タイプ ⁽¹⁾	説明
名称	HTQFP	VQFN		
VDDA2P5	4, 12	3, 9	P	2.5V アナログ電源 ($\pm 5\%$)。それぞれのピンと GND との間に、 $1\mu\text{F}$ および $0.1\mu\text{F}$ のコンデンサを接続する必要があります。
VDD1P1	8, 29, 42, 58		P	1.1V アナログ電源 ($\pm 5\%$)。それぞれのピンと GND との間に、 $1\mu\text{F}$ および $0.1\mu\text{F}$ のコンデンサを接続する必要があります。
VDD1P0		6, 24, 31, 42	P	1.0V アナログ電源 ($+15.5\%$, -5%)。それぞれのピンと GND との間に、 $1\mu\text{F}$ および $0.1\mu\text{F}$ のコンデンサを接続する必要があります。
GND	ダイ取り付けパッド	ダイ取り付けパッド	P	グラウンド

(1) ピンの機能を以下に定義します。

- タイプ I: 入力
- タイプ O: 出力
- 出力タイプ I/O: 入力 / 出力
- タイプ PD または PU: 内部プルダウンまたはプルアップ
- タイプ S: ストラップ構成ピン
- 種類: A アナログピン

5.1 未使用のピン

DP83867 は、ほとんどのピンに内部プルアップまたはプルダウンを備えています。データシートには、内部プルアップまたはプルダウンを備えたピン、および外部プル抵抗が必要なピンについて記載されています。

デバイスに内部プルアップ抵抗またはプルダウン抵抗が備わっている場合でも、未使用入力をフローティング状態のままにせず、適切に終端することを推奨します。入力がフローティングになると、不安定な状態が発生する可能性があります。この保護は VDD1P8 ピンには適用されません。ピンを使用しない場合、これらのピンはフローティングのままにしてください。A 未使用の入力ピンは、プルアップ抵抗またはプルダウン抵抗を用いて High または Low に固定する方が安全です。別の方法として、隣接する未使用の入力ピンをまとめて接続し、一本の抵抗でまとめてプルアップまたはプルダウンすることもできます。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位	
電源電圧	VDDA2P5	-0.3	3	V	
	VDDA1P8	-0.3	2.1		
	(VDD1P1/VDD1P0)	-0.3	1.3		
	VDDIO	3.3V オプション	-0.3		3.8
		2.5V オプション	-0.3		3
1.8V オプション		-0.3	2.1		
ピン	MDI	-0.3	6.5	V	
	MAC インターフェイス、MDIO、MDC、GPIO	-0.3	VDDIO + 0.3		
	INT/PWDN、RESET	-0.3	VDDIO + 0.3		
	JTAG	-0.3	VDDIO + 0.3		
	XI (発振器クロック入力)	-0.3	2.1	V	
保管温度、T _{stg}		-60	150	°C	

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件、または「推奨動作条件」に記載された範囲を超えるその他のいかなる条件においても、本デバイスの機能動作を保証するものではありません。「絶対最大定格」の範囲内であっても、「推奨動作条件」の範囲外で使用するとデバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

		値	単位	
V _(ESD) 静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	Media Dependent Interface ピンを除くすべてのピン	±2500	V
		Media Dependent Interface ピン (IRPAP/IRRGZ) ⁽²⁾	±8000	
		Media Dependent Interface ピン (CRRGZ)	±6000	
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽³⁾	±1500 (RGZ) ±750 (PAP)		

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。必要な予防措置をとれば、HBM の ESD 耐圧が 500V 未満でも製造可能です。±8V または ±2V と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。
- (2) MDI ピンは IEC 61000-4-2 規格に従ってテスト済み。
- (3) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。必要な予防措置をとれば、CDM の ESD 耐圧が 250V 未満でも製造可能です。±500V と記載されているピンは、実際にはそれよりも高い性能を持つ場合があります。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	標準値	最大値	単位	
電源電圧	VDDA2P5	2.375	2.5	2.625	V	
	VDDA1P8	1.71	1.8	1.89		
	VDD1P1 (PAP)	1.045	1.1	1.155		
	VDD1P0 (RGZ)	0.95	1	1.155		
	VDDIO	3.3V オプション	3.15	3.3		3.45
		2.5V オプション	2.375	2.5		2.625
1.8V オプション		1.71	1.8	1.89		
自由気流での動作温度	商用 (DP83867CRRGZ)	0	25	70	°C	
		-40	25	85	°C	
動作時接合部温度	商用 (DP83867CRRGZ)	0		90	°C	
	産業用 (DP83867IRRGZ)	-40		105	°C	
	産業用 (DP83867IRPAP)					

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		DP83867IR	DP83867IR、 DP83867CR	単位
		PAP (HTQFP)	RGZ (QFN)	
		64 ピン	48 ピン	
R _{θJA}	接合部から周囲への熱抵抗	30.9	30.8	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	13.6	18.7	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	0.9	1.4	°C/W
R _{θJB}	接合部から基板への熱抵抗	15.6	7.5	°C/W
ψ _{JT}	接合部から上面への特性パラメータ	0.4	0.3	°C/W
ψ _{JB}	接合部から基板への特性パラメータ	15.5	7.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

6.5 電気的特性

ここで規定される電気的定格は、特に記述のない限り、このドキュメント内のすべての仕様に適用されます。これらの仕様は、デバイスを含む製品の寿命全体にわたり、デバイスの特性や機能の仕様を劣化させない条件として解釈されます。

パラメータ	テスト条件	最小値	標準値	最大値	単位
3.3V V_{DDIO}					
V _{OH}	High レベル出力電圧	I _{OH} = -4mA	2		V
V _{OL}	Low レベル出力電圧	I _{OL} = 4mA		0.6	V
V _{IH}	High レベル入力電圧		1.7		V
V _{IL}	Low レベル入力電圧			0.7	V
2.5V V_{DDIO}					
V _{OH}	High レベル出力電圧	I _{OH} = -4mA	V _{DDIO} × 0.8		V
V _{OL}	Low レベル出力電圧	I _{OL} = 4mA		0.6	V
V _{IH}	High レベル入力電圧		1.7		V
V _{IL}	Low レベル入力電圧			0.7	V
1.8V V_{DDIO}					

6.5 電気的特性 (続き)

ここで規定される電気的定格は、特に記述のない限り、このドキュメント内のすべての仕様に適用されます。これらの仕様は、デバイスを含む製品の寿命全体にわたり、デバイスの特性や機能の仕様が劣化させない条件として解釈されます。

パラメータ	テスト条件	最小値	標準値	最大値	単位	
V _{OH}	High レベル出力電圧	I _{OH} = -1mA	V _{DDIO} - 0.2		V	
V _{OL}	Low レベル出力電圧	I _{OL} = 1mA		0.2	V	
V _{IH}	High レベル入力電圧		0.7 × V _{DDIO}		V	
V _{IL}	Low レベル入力電圧			0.2 × V _{DDIO}	V	
XI 入力電圧						
V _{OSC}	25MHz 発振器の入力電圧		1.5	1.9	V _{pp}	
V _{IH}	High レベル入力電圧		1.4		V	
V _{IL}	Low レベル入力電圧			0.45	V	
DC 特性						
I _{IH}	高入力電流	V _{IN} = V _{DD} , T _A = -40°C ~ +85°C	-10	10	μA	
I _{IL}	入力 Low 電流	V _{IN} = GND, T _A = -40°C ~ +85°C	-10	10	μA	
I _{OZ}	トライステート出力電流	V _{OUT} = V _{DD} , V _{OUT} = GND, T _A = -40°C ~ +85°C	-10	10	μA	
C _{IN}	入力容量	(1) を参照		5	pF	
V _{OD}	SGMII					
PMD 出力						
V _{OD-10}	MDI	IRPAP/IRRGZ	1.54	1.75	1.96	V Peak 差動
		CRRGZ		1.75		
V _{OD-100}	MDI	IRPAP/IRRGZ	0.95	1	1.05	V Peak 差動
		CRRGZ		1		
V _{OD-1000}	MDI	IRPAP/IRRGZ	0.67	0.745	0.82	V Peak 差動
		CRRGZ		0.745		
消費電力						
PAP						
P1000	消費電力、2 電源(2) (3)			530	mW	
P1000	消費電力、オプションの 3 番目の電源(2) (3)			490	mW	
IDD25	消費電流、2 電源			141	mA	
IDD11				125	mA	
IDDIO (1.8V)				22	mA	
IDD25	消費電流、オプションの 3 番目の電源			90	mA	
IDD11				125	mA	
IDD18				51	mA	
IDDIO (1.8V)				19	mA	
RGZ						
P1000	消費電力、2 電源(2) (3)			495	mW	
P1000	消費電力、オプションの 3 番目の電源(2) (3)			457	mW	
IDD25	消費電流、2 電源			137	mA	
IDD10				108	mA	

6.5 電気的特性 (続き)

ここで規定される電気的定格は、特に記述のない限り、このドキュメント内のすべての仕様に適用されます。これらの仕様は、デバイスを含む製品の寿命全体にわたり、デバイスの特性や機能の仕様が劣化させない条件として解釈されます。

パラメータ	テスト条件	最小値	標準値	最大値	単位
IDDIO (1.8V)			24		mA
IDD25	消費電流、オプションの 3 番目の電源		86		mA
IDD10			108		mA
IDD18			50		mA
IDDIO (1.8V)			24		mA

- (1) 製造試験、特性評価、設計によって指定済み。
- (2) 消費電力は 1000BASE-T の総動作電力を表します。
- (3) 2 電源および 3 電源の構成の詳細については、[セクション 9.3](#) を参照してください。

6.6 パワーアップのタイミング

[図 6-1](#) を参照してください。

パラメータ	テスト条件 (1)	最小値	公称値	最大値	単位
T1	レジスタアクセスの MDC プリアンプルまでの、電源投入後安定化時間		200		ms
T2	ハードウェア構成:電源投入からストラップ ラッチインまでの時間		200		ms
T3	ハードウェア構成のピンの遷移から出力ドライバまで		64		ns

- (1) 製造試験、特性評価、設計によって指定済み。

6.7 リセット タイミング

[図 6-2](#) を参照してください。

パラメータ	テスト条件 (1)	最小値	公称値	最大値	単位
T1	レジスタアクセスの MDC プリアンプルまでの、リセット後安定化時間		195		μs
T2	RESET のネゲート (ソフトリセットまたはハードリセット) 後のハードウェア構成ラッチ時間		120		ns
T3	ハードウェア構成のピンの遷移から出力ドライバまで		64		ns
T4	リセットパルス幅	1			μs

- (1) 製造試験、特性評価、設計によって指定済み。

6.8 MII シリアル マネージメントのタイミング

[図 6-3](#) を参照してください。

パラメータ	テスト条件 (1)	最小値	公称値	最大値	単位
T1	MDC から MDIO (出力) までの遅延時間	0		10	ns
T2	MDC に対する MDIO (入力) のセットアップ時間	10			ns
T3	MDC に対する MDIO (入力) のホールド時間	10			ns

図 6-3 を参照してください。

パラメータ	テスト条件 (1)	最小値	公称値	最大値	単位
T4 MDC 周波数			2.5	25	MHz

(1) 製造試験、特性評価、設計によって指定済み。

6.9 RGMII のタイミング

図 6-4 とを参照してください。図 6-5

パラメータ	テスト条件 (1)	最小値	公称値	最大値	単位
T _{skewT} データからクロック出力へのスキュー (トランスミッタ時)	(2) を参照	-500	0	500	ps
T _{skewR} データからクロックへの入力スキュー (レシーバ時)	(2) を参照	1	1.8	2.6	ns
T _{setupT} データからクロック出力までのセットアップ (トランスミッタ時 — 内部遅延)	(3) を参照	1.2	2		ns
T _{holdT} クロックからデータ出力までのホールド (トランスミッタ時 — 内部遅延)	(3) を参照	1.2	2		ns
T _{setupR} データからクロック入力へのセットアップ (レシーバ時 — 内部遅延)	(3) を参照	1	2		ns
T _{holdR} クロックからデータ入力ホールド (レシーバ時 — 内部遅延)	(3) を参照	1	2		ns
T _{cyc} クロック周期	(4) を参照	7.2	8	8.8	ns
Duty_G ギガビットのデューティ サイクル	(5) (6) を参照	45	50	55%	
Duty_T 10/100T のデューティ サイクル	(5) (6) を参照	40	50	60%	
T _R 立ち上がり時間 (20% ~ 80%)				0.75	ns
T _F 立ち下がり時間 (20% ~ 80%)				0.75	ns
T _{TXLAT} RGMII から MDI へのレイテンシ	(7) を参照		88		ns
T _{RXLAT} MDI から RGMII へのレイテンシ	(7) を参照		288		ns

(1) 製造試験、特性評価、設計によって指定済み。

(2) RGMII の内部遅延なしで動作する場合、PCB 設計では、関連するクロック信号に 1.5ns を超えるトレース遅延が追加されるようにクロックを配線する必要があります。

(3) 本デバイスは内部遅延あり / なしで動作できます。

(4) 10Mbps および 100Mbps の場合、T_{cyc} は 400ns ± 40ns および 40ns ± 4ns にスケールリングされます。

(5) 最小デューティ サイクルに違反しない限り、最低速度の 3 T_{cyc} が遷移している間にストレッチングが行われず、速度が変化している間にストレッチングが行われず、受信バケットクロックドメインに遷移している間にデューティ サイクルをストレッチングまたは縮小できます。

(6) デューティ サイクル値は、公称クロック速度のパーセンテージで定義されます。たとえば、最小ギガビット RGMII クロック パルス幅は 8ns の 45% です。

(7) 1000Base-T で動作しています。

6.10 GMII 送信タイミング

タイミング図を参照してください。

パラメータ	テスト条件 (2)	最小値	公称値	最大値	単位
T1 GTX_CLK デューティサイクル		40%		60%	
T2 GTX_CLK の立ち上がり / 立ち下がり時間				1	ns
T3 有効な TXD、TX_EN、TX_ER から GTX_CLK の立ち上がりエッジまでのセットアップ		2			ns

タイミング図を参照してください。

パラメータ	テスト条件 ⁽²⁾	最小値	公称値	最大値	単位
T4 GTX_CLK の立ち上がりエッジから無効な TXD、TX_EN、TX_ER までの保持		0.5			ns
T5 GTX_CLK の安定性		-100		100	ppm
T6 GMII から MDI へのレイテンシ	(1)を参照		72		ns

(1) 1000Base-T で動作しています。

(2) 製造試験、特性評価、設計によって指定済み。

6.11 GMII 受信タイミング

タイミング図を参照してください。

パラメータ	テスト条件 ⁽²⁾	最小値	公称値	最大値	単位
T1 RX_CLK の立ち上がりエッジから RXD、RX_DV、RX_ER の遅延		0.5		5.5	ns
T2 RX_CLK デューティサイクル		40%		60%	
T3 RX_CLK 立ち上がり / 立ち下がり時間				1	ns
T4 MDI から GMII へのレイテンシ	(1)を参照		264		ns

(1) 1000Base-T で動作

(2) 製造試験、特性評価、設計によって指定済み。

6.12 100Mbps MII 送信タイミング

タイミング図を参照してください。

パラメータ	テスト条件 ⁽¹⁾	最小値	公称値	最大値	単位
T1 TX_CLK High / Low 時間		16	20	24	ns
T2 TXD[3:0]、TX_CLK までの TX_EN データのセットアップ		10			ns
T3 TXD[3:0]、TX_CLK からの TX_EN データホールド		0			ns

(1) 製造試験、特性評価、設計によって指定済み。

6.13 100Mbps MII 受信タイミング

タイミング図⁽¹⁾

パラメータ	テスト条件	最小値	公称値	最大値	単位
T1 RX_CLK High / Low 時間	(2)を参照	16	20	24	ns
T2 RX_CLK から RXD[3:0]、RX_DV、RX_ER の遅延		10		30	ns

(1) 製造試験、特性評価、設計によって指定済み。

(2) RX_CLK は、基準クロックと回復クロックとの間の遷移中、より長い時間 Low または High に保持できます。最小の High および Low 時間に違反しません。

6.14 10Mbps MII 送信タイミング

タイミング図を参照してください。

パラメータ	テスト条件 ⁽²⁾	最小値	公称値	最大値	単位
T1 TX_CLK High / Low 時間	(1)を参照	190	200	210	ns

タイミング図を参照してください。

パラメータ	テスト条件 ⁽²⁾	最小値	公称値	最大値	単位
T2 TXD[3:0], TX_CLK の立ち下がりエッジまでの TX_EN データセットアップ		25			ns
T3 TXD[3:0], TX_CLK の立ち上がりエッジからの TX_EN データホールド		0			ns

- (1) 接続されている MAC は、TX_CLK の立ち上がりエッジを使用して送信信号を駆動できます。以下に示すように、MII 信号は TX_CLK の立ち下がりエッジでサンプリングされます。
- (2) 製造試験、特性評価、設計によって指定済み。

6.15 10Mbps MII 受信タイミング

タイミング図を参照してください。

パラメータ	テスト条件 ⁽²⁾	最小値	公称値	最大値	単位
T1 RX_CLK High / Low 時間	(1) を参照	160	200	240	ns
T2 RXD[3:0], RX_CLK の立ち上がりエッジからの RX_DV 遷移遅延		100		300	ns
T3 RXD[3:0] からの RX_CLK の立ち上がりエッジ遅延、RX_DV 有効データ		100			

- (1) RX_CLK は、基準クロックと回復クロックとの間の遷移中、より長い時間 Low に保持できます。最小の High および Low 時間に違反しません。
- (2) 製造試験、特性評価、設計によって指定済み。

6.16 DP83867IR/CR のフレーム開始検出タイミング

タイミング図を参照してください。

パラメータ	テスト条件	最小値	公称値	最大値	単位
T1 送信 SFD の変動 ^{(1) (2)}	1000Mb リーダー	0		0	ns
	1000Mb フォロワ	0		0	ns
	100Mb	0		16	ns
T2 SFD 変動の受信 ^{(1) (2)}	1000Mb リーダー	-8		8	ns
	1000Mb フォロワ	-8		8	ns
	100Mb	0		0	ns

- (1) ここで指定した変動よりも SFD パルスの変動が大きいことがわかります。ここに記載されている確定性仕様を達成するには、SFD パルスの変動を補償する方法については、[セクション 7.3.2.1](#) セクションを参照します。
- (2) SFD パルスのばらつきは、リンクアップのたびに発生します。パケット間のばらつきは、[セクション 7.3.2.1](#) の推定方法を使用して固定されています。

6.17 タイミング図

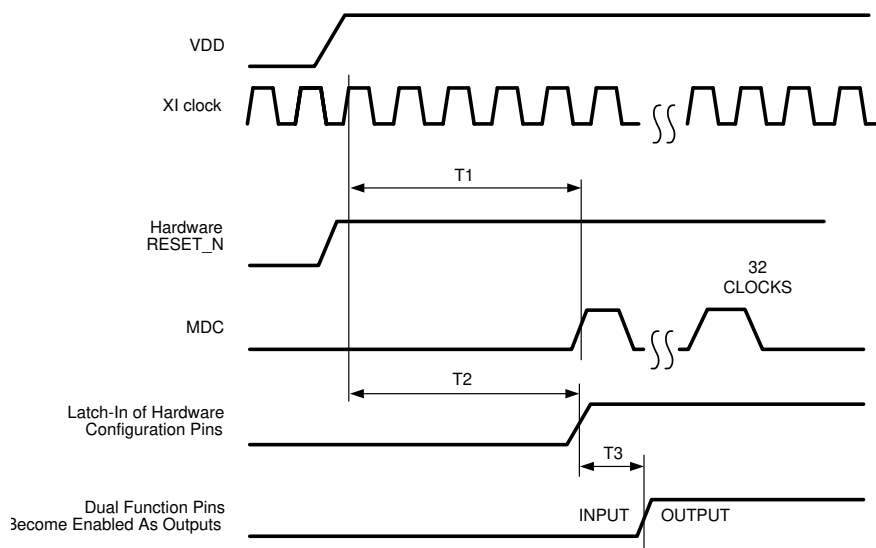


図 6-1. パワーアップのタイミング

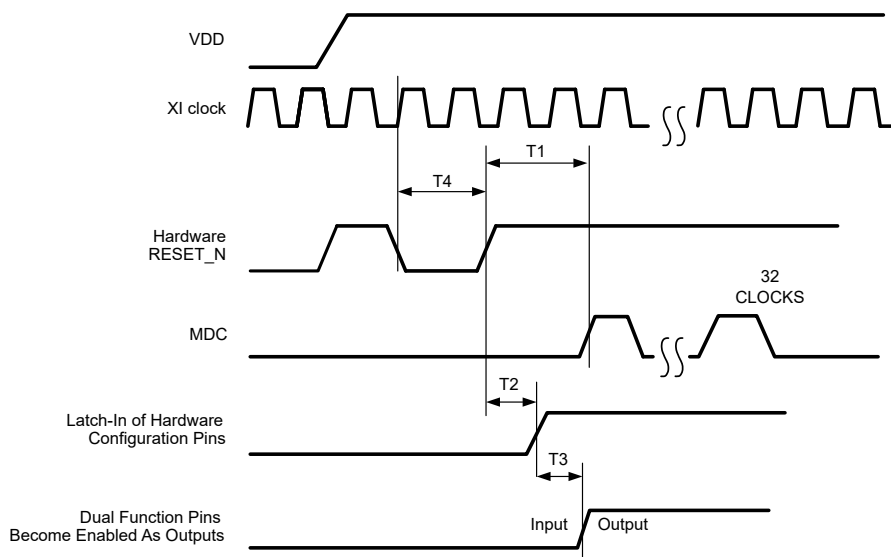


図 6-2. リセット タイミング

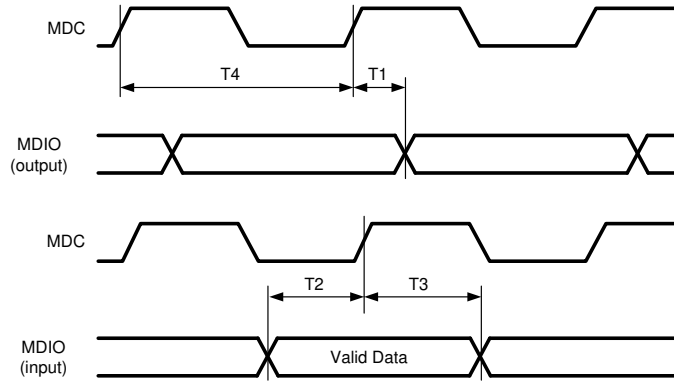


図 6-3. MII シリアル マネージメントのタイミング

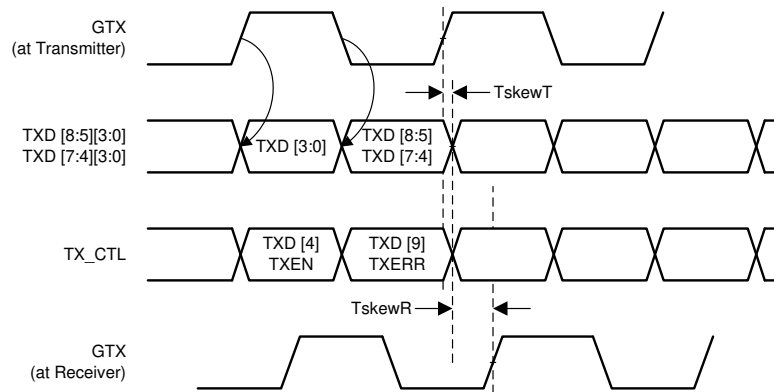


図 6-4. RGMII 送信マルチプレクシングおよびタイミング図

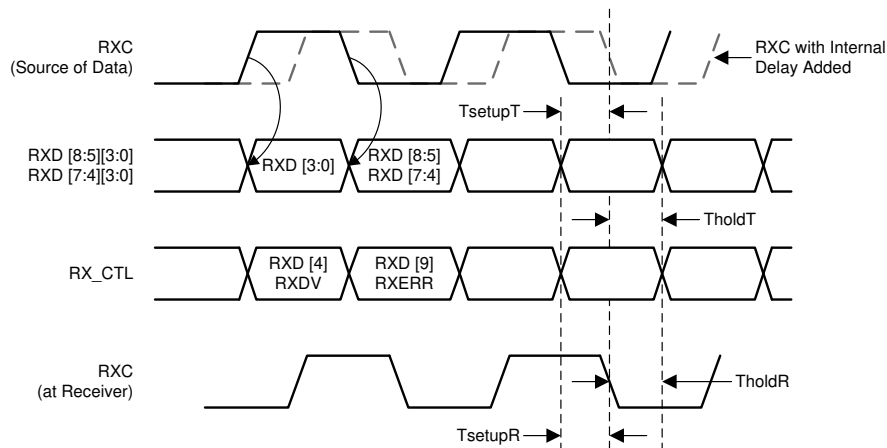


図 6-5. RGMII 受信マルチプレクシングおよびタイミング図

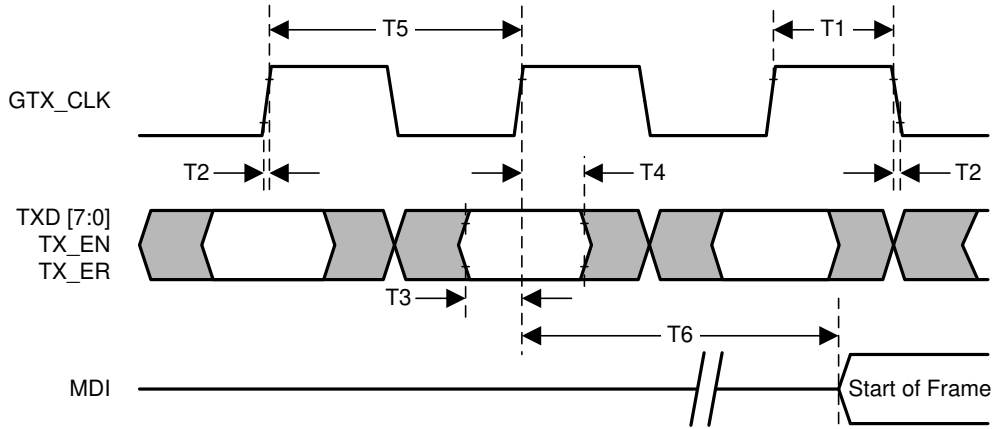


図 6-6. GMII 送信タイミング

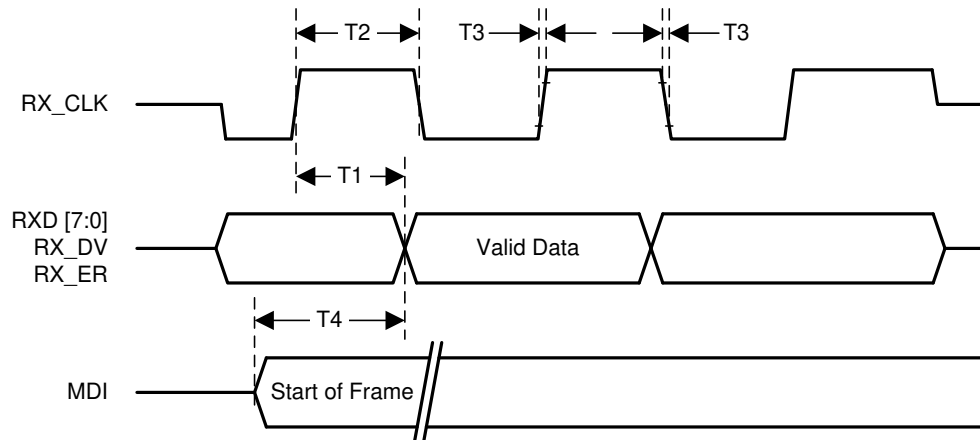


図 6-7. GMII 受信タイミング

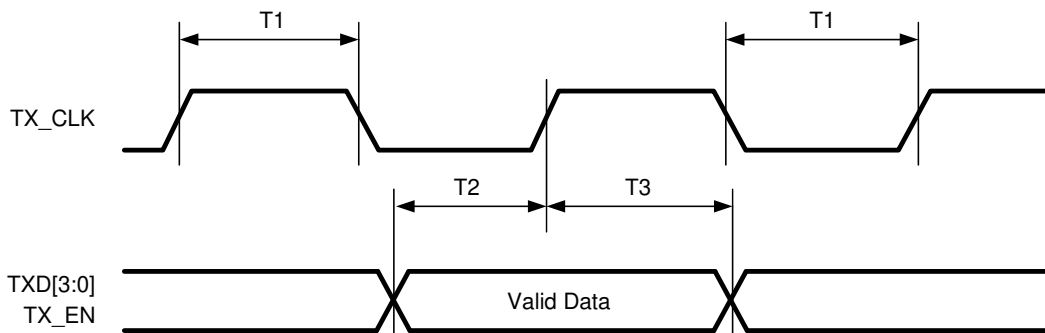


図 6-8. 100Mbps MII 送信タイミング

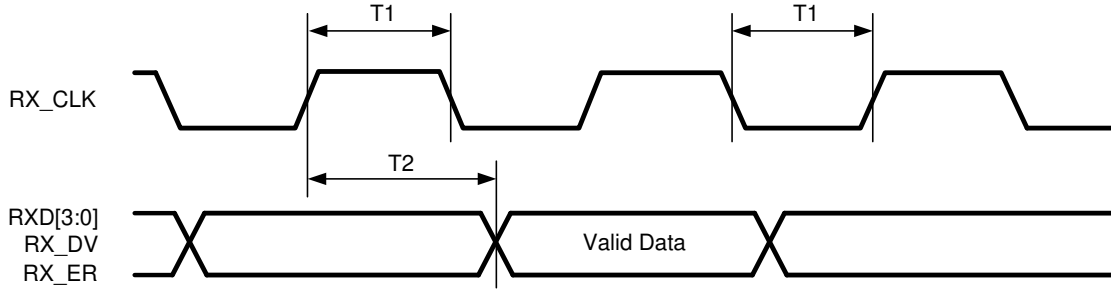


図 6-9. 100Mbps MII 受信タイミング

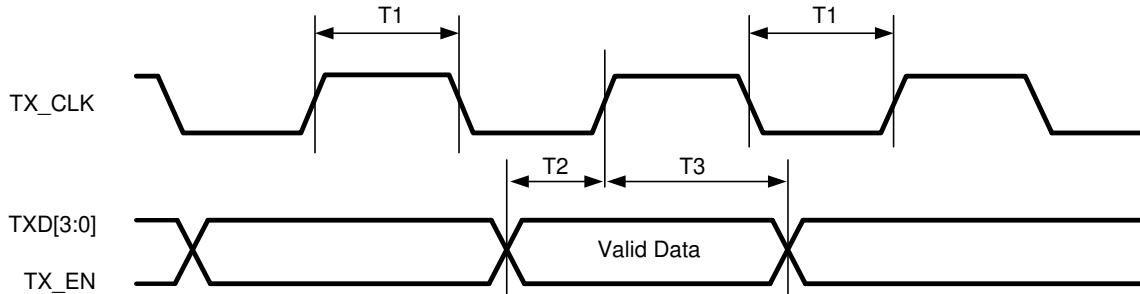


図 6-10. 10Mbps MII 送信タイミング

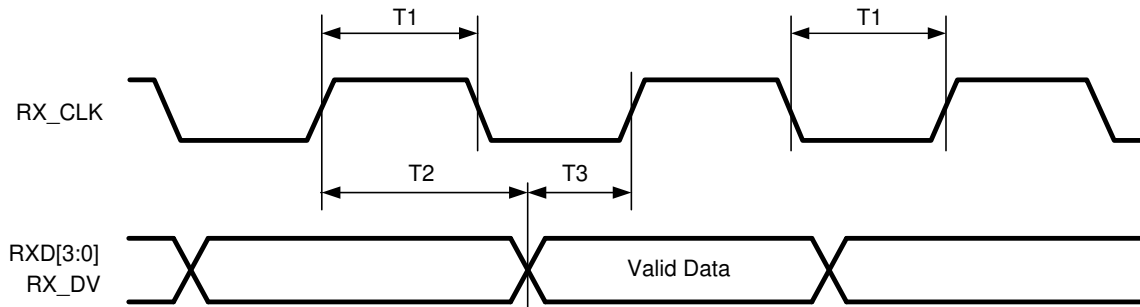


図 6-11. 10Mbps MII 受信タイミング

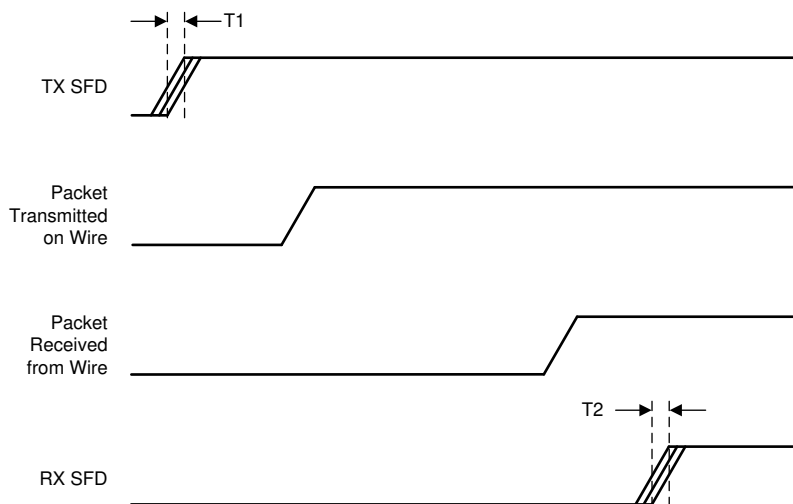
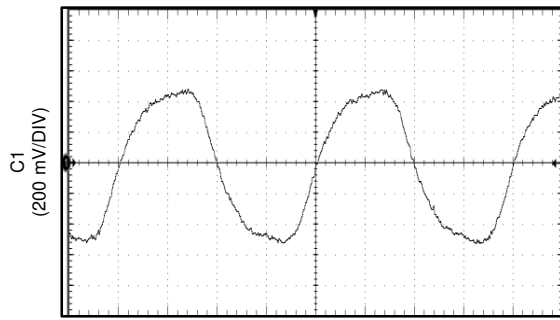


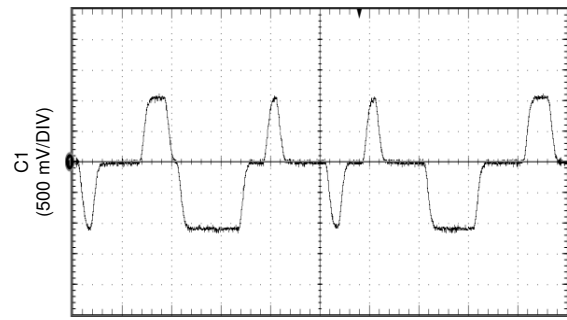
図 6-12. DP83867IR/CR フレーム開始デリミタのタイミング

6.18 代表的特性



1000Base-T 信号
(テストモード TM2 出力)

図 6-13. 1000Base-T 信号



100Base-TX 信号
(スクランブル アイドル)

図 6-14. 100Base-TX 信号

7 詳細説明

7.1 概要

DP83867 は、必要な機能がすべて揃った物理層トランシーバで、PMD サブレイヤを内蔵し、10BASE-Te、100BASE-TX、1000BASE-T の各イーサネット プロトコルをサポートしています。

DP83867 は、10/100/1000Mbps のイーサネット LAN を簡単に実装できるよう設計されています。外部の変圧器を通して、DP83867 をツイスト ペアのメディアへ直接に接続することが可能です。このデバイスは、IEEE 802.3u 標準 Media Independent Interface (MII)、IEEE 802.3z Gigabit Media Independent Interface (GMII) または Reduced GMII (RGMII) により、MAC 層へ直接接続されます。

DP83867 は、同期イーサネット クロック出力など、高精度のクロック同期を提供します。DP83867 には、低ジッタ、低レイテンシを備え、時間に制約のあるプロトコル向けに IEEE 1588 のフレーム開始検出も提供されます。

DP83867 は、通常動作時の故障予測のための動的なリンク品質監視などの優れた診断機能を備えています。DP83867 は、最大 130m のケーブル長をサポートできます。

7.2 機能ブロック図

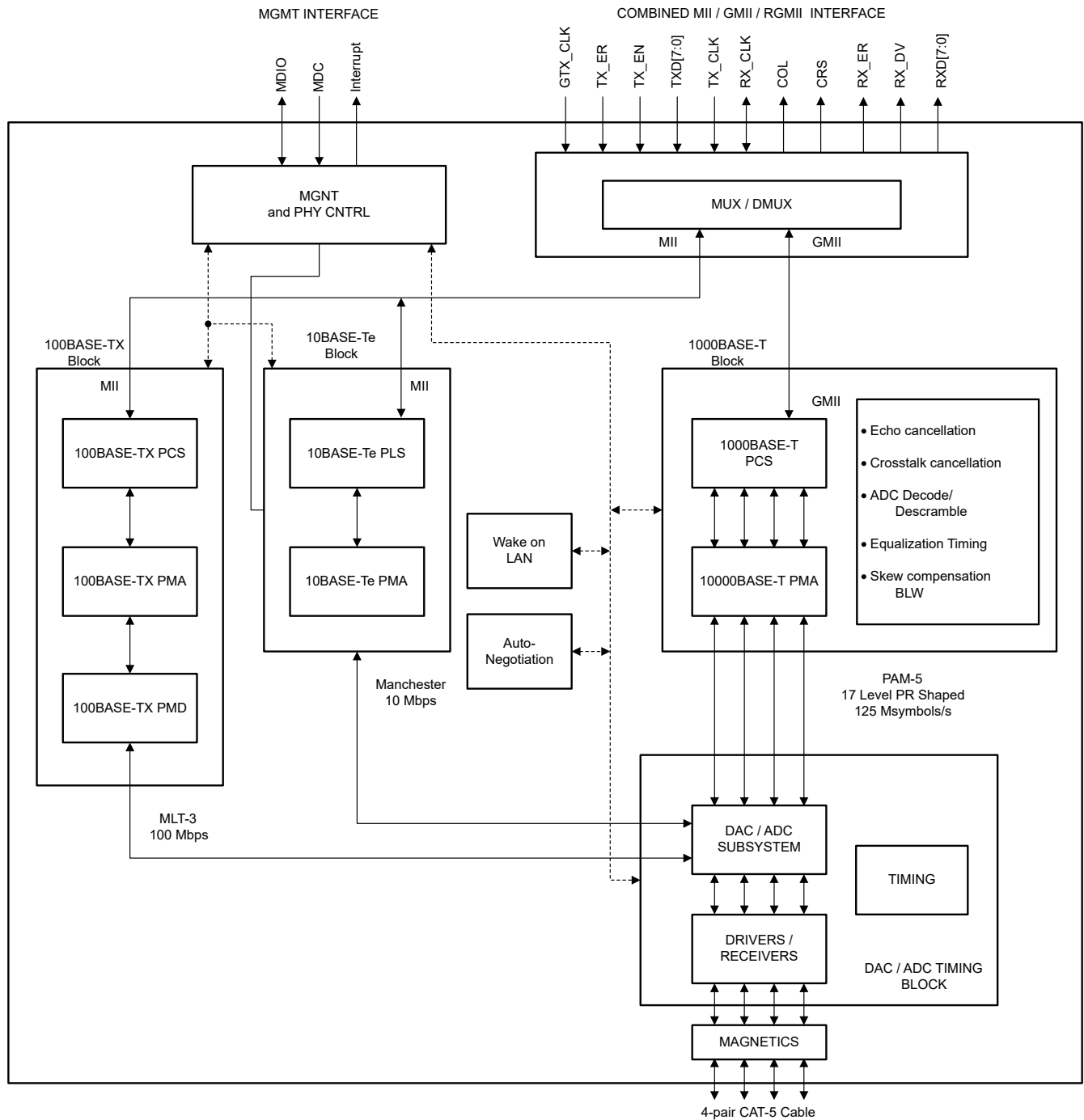


図 7-1. DP83867IRPAP

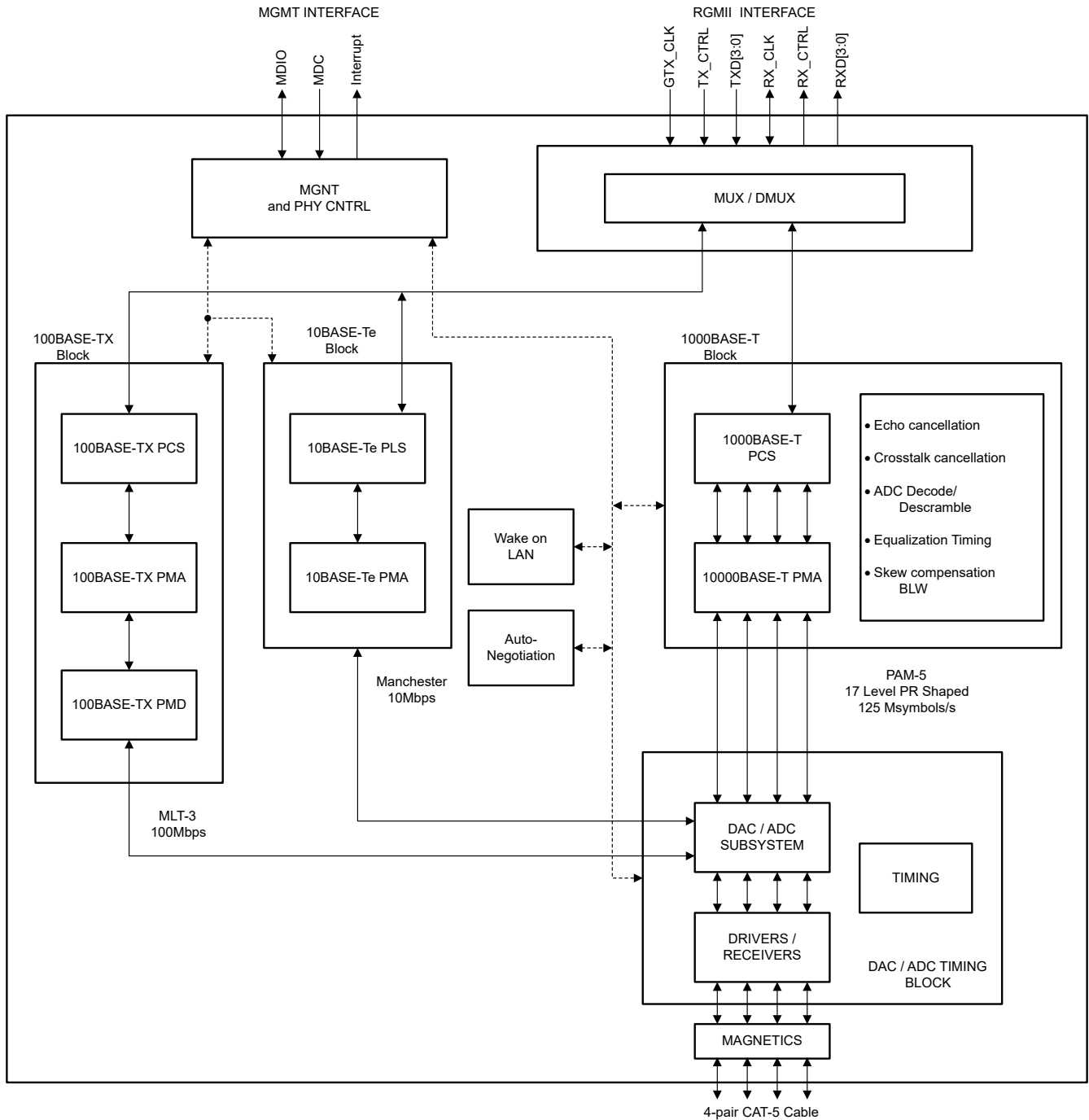


図 7-2. DP83867IRRGZ, DP83867CRRGZ

7.3 機能説明

7.3.1 WoL (Wake-on-LAN) パケット検出

Wake-on-LAN は、マジック パケットと呼ばれる特別なイーサネットパケットを使用して、DP83867 を低消費電力状態から復帰させるメカニズムを備えています。DP83867 は、条件を満たすパケットを受信した際に、MAC をウェークアップするための割り込みを生成するよう設定できます。認定信号を受信したときに GPIO で信号を生成するオプションも利用できます。さらに

注

WoL 機能を使用する場合は、BMCR (レジスタ アドレス 0x0000) のビット [10] が無効になっていることを確認します。このビットは、PHY の MAC インターフェイスを無効にするための MII ISOLATE 機能を有効にすると、この PHY の WoL 割り込みも無効になります。MII ISOLATE を有効にした状態で WoL 機能が必要な場合は、代わりに TI の DP83869HM PHY を使用します。

Wake-on-LAN 機能には、次の機能が含まれています。

- サポートされているすべての通信速度 (1000BASE-T、100BASE-TX、10BASE-Te) におけるマジック パケットの検出
- 有効なマジック パケット受信時のウェークアップ割り込みの生成
- 無効なパケットからの割り込み生成を防止するためのマジック パケットの CRC チェック

DP83867 では、基本的なマジック パケットのサポートに加えて、以下もサポートされています。

- **secure-on** パスワードが含まれたマジック パケット
 - パターン マッチ – 構成可能な一つの 64 バイト パターンで、マジック パケットと同様に MAC をウェークアップできます
-

注

[DP838xx Wake-on-LAN](#) アプリケーション ノートには、Wake-on-LAN の詳細と例が記載されています

7.3.1.1 マジック パケット構造

マジック パケット モードを構成した場合、DP83867 は、ノードにアドレス指定された受信フレームすべてを、特定のデータ シーケンスでスキャンします。このシーケンスにより、フレームがマジック パケット フレームとして識別されます。

注

マジック パケットはバイト単位にする必要があります。

マジック パケット フレームは、送信元アドレス、宛先アドレス (ステーションの IEEE アドレス) など、選択した LAN 技術の基本的な要件も満たしている必要があります。DP83867PHY は、マジック パケット検出専用のユニキャストをサポートしています。

特定のマジック パケット シーケンスは、このノードの IEEE アドレスを 16 個複製したもので、中断や割り込みはありません。セキュリティが有効な場合は、Secure-On パスワードが続きます。パケット内の任意の場所にこのシーケンスを配置します。同期ストリームはシーケンスを続行する必要があります。同期ストリームは、6 バイトの FFh として定義されます。

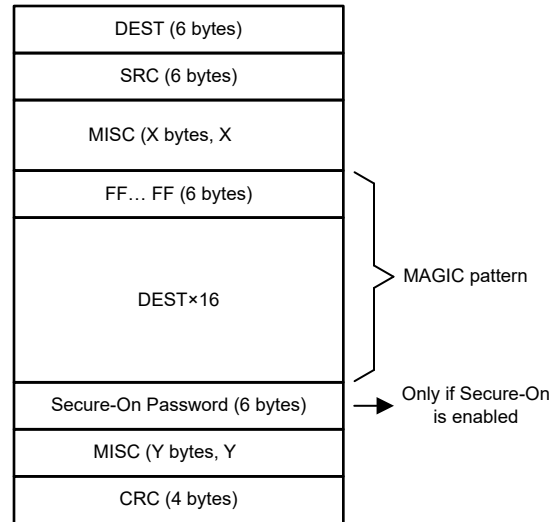


図 7-3. マジック パケット構造

7.3.1.2 マジック パケットの例

以下に、宛先アドレスが 11h 22h 33h 44h 55h 66h、SecureOn パスワードが 2Ah 2Bh 2Ch 2Dh 2Eh 2Fh、MAC アドレスが 00:28:29:74:E2:F8 の場合のマジック パケットの例を示します。

```
DESTINATION SOURCE MISC 00 28 29 74 E2 F8 11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66 11
22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44
55 66 11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66 11
22 33 44 55 66 11 22 33 44 55 66 2A 2B 2C 2D 2E 2F MISC CRC
```

7.3.1.3 Wake-on-LAN の構成と状態

表 7-1. マジック パケット検出レジスタ

レジスタ名	DP83867 アドレス
受信構成レジスタ	レジスタ 0x134
受信ステータスレジスタ	レジスタ 0x135
MAC 宛先アドレスレジスタ	Reg 0x136-0x138
受信 Secure-ON パスワードレジスタ	Reg 0x139 - 0x13B
バイトマスク	Reg 0x15C - 0x15F

DP83867 のマジック パッケージ機能は、ユニキャスト パケットにのみ適用できます。

7.3.2 IEEE 1588 タイム スタンプのフレーム スタート検出

DP83867 は、受信および送信パス用に、SFD (フレーム開始区切り文字) で IEEE 1588 表示パルスをサポートしています。さまざまなピンにパルスを供給します。パルスは、シンボルが回線上に表示される実際の時間 (送信の場合)、または最初に受信されたシンボル (受信の場合) を示します。

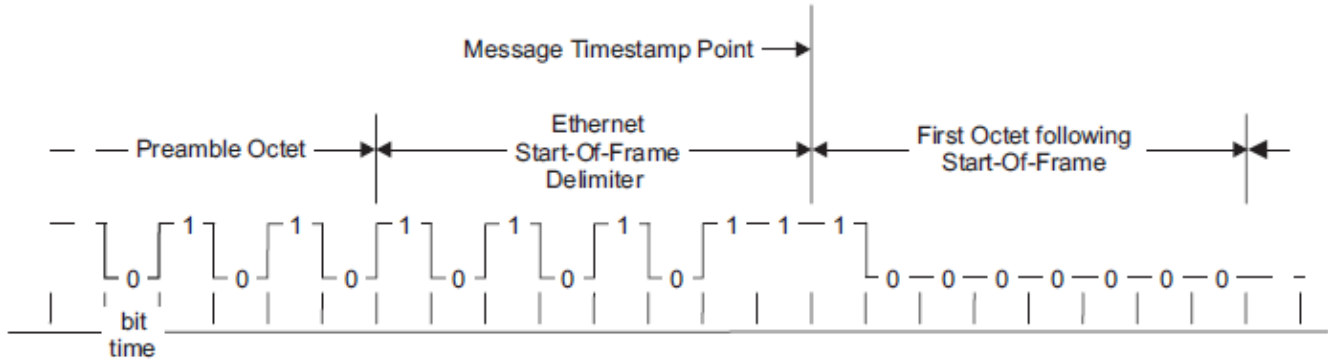


図 7-4. IEEE 1588 メッセージ タイムスタンプ ポイント

GPIO マルチプレクサ制御レジスタ、GPIO_MUX_CTRL1 (レジスタ アドレス 0x0171) および GPIO_MUX_CTRL2 (レジスタ アドレス 0x0172) を使用して SFD パルス出力を構成します。RGZ デバイスは、レジスタ GPIO_MUX_CTRL2 (アドレス 0x172) のみをサポートしています。

DP83867 の SFD 機能の構成の詳細については、『DP83867 のフレーム開始を構成する方法』アプリケーション ノート を参照してください。

7.3.2.1 SFD レイテンシの変動と確定性

RGMII の RX_CTRL 信号と TX_CTRL 信号を使用したパケット送受信のタイムスタンプは、レイテンシに敏感なプロトコルには十分な精度がありません。SFD パルスにより、システム設計者はパケットのタイムスタンプの精度を向上させることができます。SFD パルスは、RGMII 信号に比べて本質的に変動が少ないものの、1000BASE-T の定義されたアーキテクチャによりレイテンシの変動が生じます。このセクションでは、SFD レイテンシの変動が発生したタイミングを判定する方法を説明します。また、このセクションはシステム ソフトウェアのばらつきを補正してタイムスタンプ精度を向上させる方法についても説明します。

次のセクションでは、ベースライン レイテンシと SFD 変動という用語が使用されます。ベースライン レイテンシは、4 つのペアすべてが伝搬時間内に一致したイーサネット ケーブルを想定して、接続されたリンク パートナーの TX_SFD パルスから RX_SFD パルスまでの間で測定される時間です。4 つのペアすべてが一致しているシナリオでは、1000BASE-T PHY はワイヤ上の 4 つの受信シンボルを整列させる必要がなく、整列による追加のレイテンシは発生しません。

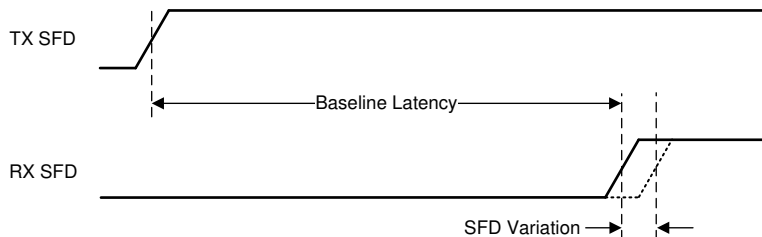


図 7-5. レイテンシ測定でのベースライン レイテンシと SFD 変動

SFD 変動は、PHY がイーサネット ケーブルからの 4 つのシンボルを整列させるためにレイテンシを発生させる必要がある場合、RX_SFD パルスの前にベースライン レイテンシに追加される時間です。ケーブル接続、オートネゴシエーションの再起動、PHY リセット、またはその他の外部システム効果のいずれかによって新しいリンクが確立されたときに、変動が発生する可能性があります。単一の中断のないリンクの間は、SFD 変動は一定のままです。

DP83867 は、1000Mb 動作モード時に SFD パルスに適用される変動を制限し、報告できます。1000Mb モードでリンクが確立される前に、同期 FIFO 制御レジスタ (レジスタ アドレス 0x00E9) を 0xDF22 の値に設定します。同期 FIFO 制御レジスタが初期化され、新しいリンクが確立された後にのみ、以下の SFD 変動補償方法を適用します。適切な方法としては、リンクがすでに存在する場合、同期 FIFO 制御レジスタの値を設定した後、制御レジスタ (レジスタ アドレス 0x001F) の SW_RESTART ビット [14] を設定してソフトウェア再起動を実行するというものです。

7.3.2.1.1 リーダー モードでの 1000Mb SFD の変動

DP83867 が 1000Mb リーダー モードで動作している場合、RX_SFD パルスの変動は、スキュー FIFO ステータス レジスタ (レジスタ アドレス 0x0055) のビット [7:4] を使用して推定できます。ベースライン レイテンシに加わる RX_SFD の変動を推定するには、スキュー FIFO ステータス レジスタのビット [7:4] から読み取った値に 8ns を乗じます。

例: 1000Mb のリーダー モードでの動作時、スキュー FIFO レジスタのビット [7:4] から 0x2 の値が読み取られます。

$$2 \times 8\text{ns} = 16\text{ns} \quad (1)$$

TX_SFD から RX_SFD までの測定値から式 1 を減算し、ベースライン レイテンシを決定します。

7.3.2.1.2 フォロワー モードでの 1000Mb SFD の変動

DP83867 が 1000Mb フォロワー モードで動作している場合、RX_SFD パルスの変動は、スキュー FIFO ステータス レジスタ (レジスタ アドレス 0x0055) のビット [3:0] を使用して決定できます。ベースライン レイテンシに加わる RX_SFD の変動を推定するには、スキュー FIFO ステータス レジスタのビット [3:0] から読み取った値に 8ns を乗じます。

例: 1000Mb フォロワー モードで動作しているときは、スキュー FIFO レジスタ ビット [3:0] から 0x1 の値が読み取られません。

$$1 \times 8\text{ns} = 8\text{ns} \quad (2)$$

TX_SFD から RX_SFD までの測定値から式 2 を減算し、ベースライン レイテンシを決定します。

7.3.2.1.3 100Mb SFD の変動

100Mb 動作モードでのレイテンシの変動はランダムなプロセスによって決定され、レジスタの読み出しや SFD パルスのシステム レベルの補償は必要ありません。

7.3.3 クロック出力

DP83867 には、ローカル基準クロック、イーサネット送信クロック、イーサネット受信クロックなど、複数の内部クロックがあります。外部水晶振動子または発振器は、ローカル基準クロックにステイミュラスを提供します。ローカル基準クロックは、デバイス内のすべてのクロックの中央ソースとして機能します。

ローカル基準クロックは、送信ネットワーク パケットトラフィックに組み込まれ、レシーバ ノードのネットワーク パケットトラフィックから回復されます。受信クロックは、受信されたイーサネット パケットのデータ ストリームから回復され、パートナーの送信クロックにロックされます。

I/O 構成レジスタ (アドレス 0x0170) を使用して、DP83867 を、CLK_OUT ピンを介してこれらの内部クロックを出力するように構成します。デフォルトでは、出力クロックは XI 発振器 / 水晶振動子入力と同期しています。レジスタにより、出力クロックは、125MHz のデータ レートで受信データと同期するか、25MHz の 5 分周レートで同期するように構成します。ラインドライバの送信クロックを出力するようにクロックを構成します。1000Base-T モードで動作している場合、4 つの送信チャネルまたは受信チャネルのいずれかに出力クロックを構成します。

出力クロックは、I/O 構成レジスタの CLK_O_DISABLE ビットを使用して無効化します。この機能は、クロック出力ディスエーブル ストラップを使用してデフォルトで無効化することもできます。このストラップは PAP デバイスでのみ利用可能です。詳細については、セクション 7.5.1 を参照してください。

7.4 デバイスの機能モード

7.4.1 MAC インターフェイス

DP83867 は、以下のインターフェイスを介したイーサネット MAC への接続をサポートしています。RGMII、GMII、MII。

RGMII ディスエーブル ストラップ (RX_D6) は、MAC インターフェイスのデフォルト状態を決定します。RGMII ディスエーブル ストラップは、RGMIICTL レジスタ (アドレス 0x0032) の RGMII イネーブル (ビット 7) に対応します。RGMII モードがディセーブルのとき、DP83867 は GMII モードで動作します。

RGMII イネーブル (レジスタ 0x0032、ビット 7)	デバイスの機能モード
0x1	RGMII
0x0	GMII

RGMII ディセーブルの初期ストラップ値は、ストラップ構成ステータスレジスタ 1 (STRAP_STS1) から使用できます。

7.4.1.1 Reduced GMII (RGMII)

RGMII (Reduced Gigabit Media Independent Interface) は、MAC と PHY の相互接続に必要なピン数を減らすように設計されています (RGMII では 12 ピン、GMII では 24 ピン)。この目標を達成するため、データパスと関連するすべての制御信号を削減し、多重化します。クロックの立ち上がりエッジと立ち下がりエッジの両方が使用されます。ギガビット動作の場合、GTX_CLK クロックと RX_CLK クロックは 125MHz であり、10Mbps および 100Mbps 動作の場合、クロック周波数はそれぞれ 2.5MHz と 25MHz です。

RGMII タイミングの詳細については、『RGMII インターフェイスのタイミング バジレット』アプリケーション ノートを参照してください。

7.4.1.1.1 1000Mbps モードの動作

すべての RGMII 信号は正論理です。8 ビットのデータは、両方のクロック エッジを利用して多重化されます。下位 4 ビットは立ち上がりクロック エッジでラッチされ、上位 4 ビットは立ち下がりクロック エッジでラッチされます。制御信号は、同じ手法を使用してシングル クロック サイクルに多重化されます。

RGMII インターフェイスの消費電力を低減するため、TXEN_ER および RXDV_ER は、通常のネットワーク動作中の信号遷移が最小となるような方式でエンコードされています。これは、次のエンコード方法で行います。GMII_TX_ER および GMII_TX_EN の値は、クロックの立ち上がりエッジで有効であることを注意してください。RGMII モードでは、GMII_TX_ER は、GTX_CLK クロックの立ち下がりエッジの TX_CTRL に示されます。RX_CTRL コーディングは同じ方法で実装されています。

エラーのない有効なフレームを受信すると、RX_CLK の立ち上がりエッジでロジック High として RX_CTRL = True が生成され、RX_CLK の立ち下がりエッジでロジック High として RX_CTRL = False が生成されます。フレームが受信されない場合、RX_CLK の立ち上がりエッジでロジック Low として RX_CTRL = False が生成され、RX_CLK の立ち下がりエッジでロジック Low として RX_CTRL = False が生成されます。

TX_CTRL も同様の方法で設定します。通常のフレーム送信中、信号は GTX_CLK の両方のエッジに対してロジック High に維持され、エラーが示されていないフレームとフレームの間中は、両方のエッジで Low に維持されます。

7.4.1.1.2 1000Mbps モードのタイミング

DP83867 は、GTX_CLK と RX_CLK に構成可能なクロック スキューを提供し、インターフェイス全体のタイミングを最適化します。送信パスと受信パスは、個別に最適化できます。送信パスと受信パスは、どちらもレジスタ設定により、16 のプログラマブル RGMII 遅延モードをサポートしています。

タイミング パスは、整列モードまたはシフト モードのいずれかに設定できます。整列モードでは、クロック スキューは発生しません。シフト モードでは、クロック スキューは (レジスタ設定によって) 0.25ns 刻みで発生させることができます。整列モードまたはシフト モードの設定は、RGMII 制御レジスタ (RGMIICTL) のアドレス 0x0032 によって行われます。シフトモードでは、クロック スキューは RGMII 遅延制御レジスタ (RGMIIIDCTL) のアドレス 0x0086 を使用して調整できます。

7.4.1.1.3 10Mbps モードおよび100Mbps モード

RGMII インターフェイスが 100Mbps モードで動作している場合、クロック レートを 25MHz に下げることによってイーサネット MII (Media Independent Interface) が実装されます。10Mbps 動作の場合、クロックはさらに 2.5MHz に低下します。RGMII 10/100 モードでは、MAC は送信クロック RGMII TX_CLK を生成し、PHY は受信クロック RGMII RX_CLK を生成します。パケット受信動作中、フリーランニング クロックからデータ同期クロック ドメインへの遷移に対応するために、RGMII の RX_CLK は正パルスまたは負パルスのいずれかでストレッチされます。PHY の速度が変化する場合も、正パルスまたは負パルスの同様のストレッチが許容されます。クロック速度遷移中、クロック信号にグリッチは許容されません。

このインターフェイスは、インターフェイスが 1000Mbps モードの場合と同じように 10Mbps および 100Mbps の速度で動作しますが、適切なクロックの立ち下がりエッジでデータを複製する点が異なります。

MAC は、MAC が PHY と同じ速度で動作していることを確認するまで、MAC は RGMII TX_CLK を Low レベルに保持します。

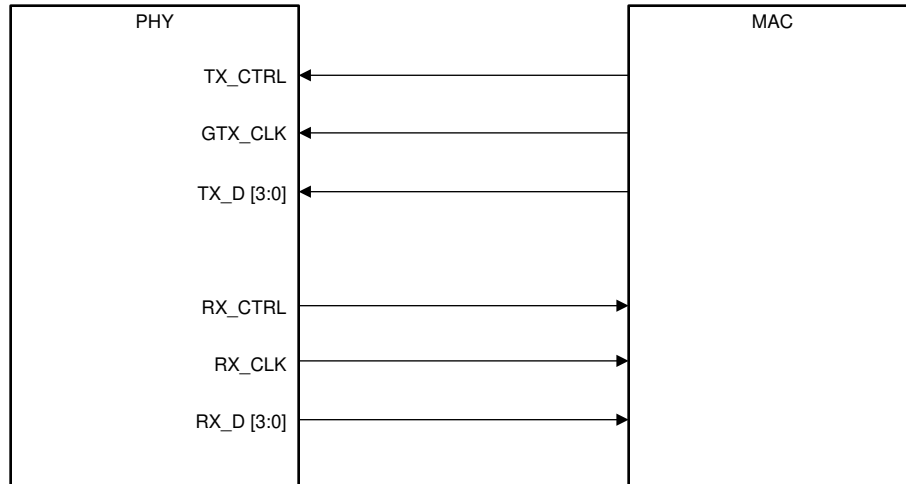


図 7-6. RGMII の接続

7.4.1.2 ギガビット MII (GMII)

GMII (Gigabit Media Independent Interface) は、イーサネット PHY とイーサネット MAC 間で使用する IEEE で定義されたインターフェイスです。GMII は PAP バリエーションでのみ利用できます。GMII の目的は、さまざまな物理メディアを MAC 層に対して透過的にすることです。GMII インターフェイスは、GMII または MII データ、制御信号、およびステータス信号を受け入れ、それぞれ 1000BASE-T、100BASE-TX、または 10BASE-Te モジュールにルーティングします。

GMII 仕様には、次の特性があります。

- 10/100/1000Mbps の動作をサポート
- データとデリミタはクロックリファレンスに同期しています
- 独立した 8 ビット幅の送受信データパスを提供
- シンプルな管理インターフェイスを提供
- 半二重または全二重動作を提供

GMII インターフェイスは IEEE 802.3 の 35 項で定義されています。データ転送の各方向には、データ (8 ビットバンドル)、デリミタ、エラー、およびクロック信号があります。GMII 信号は、実装が IEEE 802.3 の 22 項で定義されている同様の PCS サービスインターフェイスを使用して、ほとんどの GMII 信号を多重化できるように定義されています。2 つのメディアステータス信号が用意されています。1 つはキャリア (CRS) の存在を示し、もう 1 つは衝突 (COL) の発生を示します。MII 信号名は保持されており、ほとんどの信号の機能は同じですが、1000Mbps 動作のために信号の追加の有効な組み合わせが定義されています。

図 7-7 に、GMII の接続図を示します

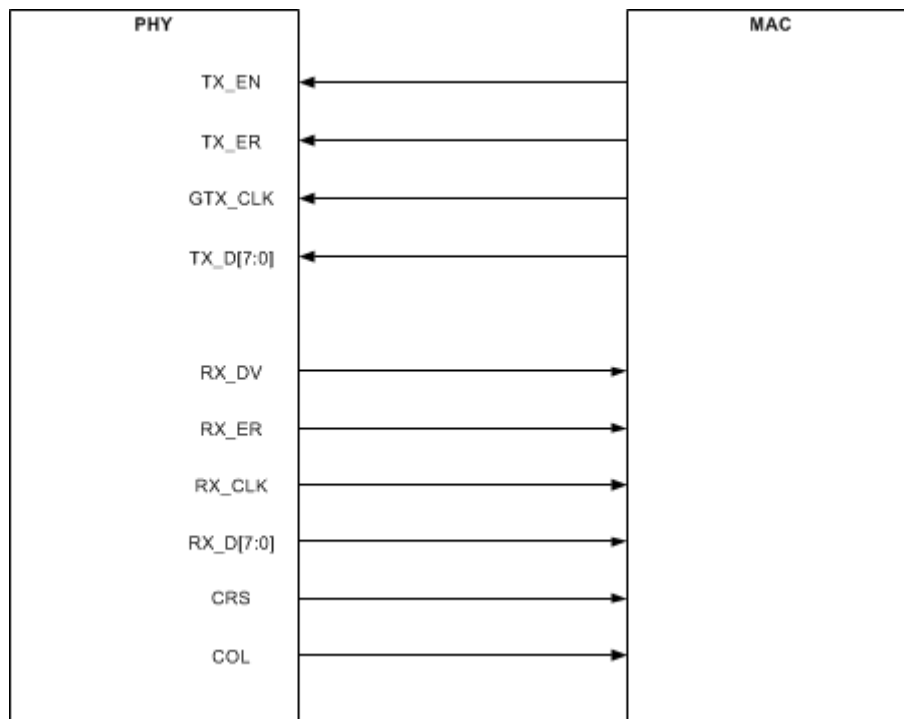


図 7-7. GMII の接続

7.4.1.3 MII (Media Independent Interface)

MII 接続は 10/100 データに使用されます。MII は GMII と互換性があり、デバイスが GMII に構成されている場合、10/100 データに使用されます。MII は PAP デバイスでのみ利用できます。

DP83867 には、IEEE 802.3 規格の 22 項で規定されている Media Independent Interface (MII) が組み込まれています。このインターフェイスは、10/100Mbps システムの MAC に PHY デバイスを接続するために使用できます。このセクションでは、ニブル幅 MII データインターフェイスについて説明します。

ニブル幅 MII データインターフェイスは、受信バスと送信バスで構成され、それぞれに制御信号があり、PHY と上位層 (MAC) 間のデータ転送を容易にします。

7.4.1.3.1 ニブル幅 MII データ インターフェイス

IEEE 802.3 仕様の 22 項には、Media Independent Interface が定義されています。このインターフェイスには、専用の受信バスと専用の送信バスが含まれています。これらの 2 つのデータバスとさまざまな制御およびステータス信号により、DP83867 と上位層エージェント (MAC) との間で同時にデータを交換できます。

受信インターフェイスは、ニブル幅データバス [RXD]3:0、受信エラー信号 RX_ER、受信データ有効フラグ RX_DV、データを同期転送するための受信クロック RX_CLK で構成されています。受信クロックは、10Mbps 動作モードをサポートする 2.5MHz と、100Mbps 動作モードをサポートする 25MHz のどちらかで動作します。

送信インターフェイスは、ニブル幅のデータバス TXD[3:0]、送信イネーブル制御信号 TX_EN、2.5MHz または 25MHz で動作する送信クロック TX_CLK で構成されます。また、MII には、搬送波検知信号 (CRS) や衝突検出信号 (COL) が含まれています。CRS 信号は、ネットワークからのデータの受信を示すため、または半二重モードでの送信データの機能としてアサートされます。COL 信号は、送信と受信の両方の動作が同時に発生すると、半二重動作で発生する可能性のある衝突の兆候としてアサートされます。

7.4.1.3.2 衝突検出

半二重モードでは、受信チャンネルと送信チャンネルが同時にアクティブになると、10BASE-Te または 100BASE-TX の衝突が検出されます。衝突は MII の COL 信号によって報告されます。

COL 信号は、衝突が発生しても設定されたままになります。衝突が検出されたときに PHY が受信している場合、そのイベントは直ちに (COL ピンを使用して) 報告されます。

全二重動作中に衝突は示されません。

7.4.1.3.3 搬送波検知

10Mbps 動作では、スケルチ機能により有効なデータが検出されると、受信アクティビティによって、搬送波検知 (CRS) がアサートされます。100Mbps 動作中に、ライン上で有効なリンク (SD) と連続しない 2 つのゼロが検出されると、CRS がアサートされます。

10 または 100Mbps の半二重動作では、パケットの送受信中に CRS がアサートされます。

10 または 100Mbps 全二重動作の場合、CRS は受信アクティビティのためにのみアサートされます。

CRS はパケットの終了後にデアサートされます。

図 7-8 に、MII の接続図を示します。

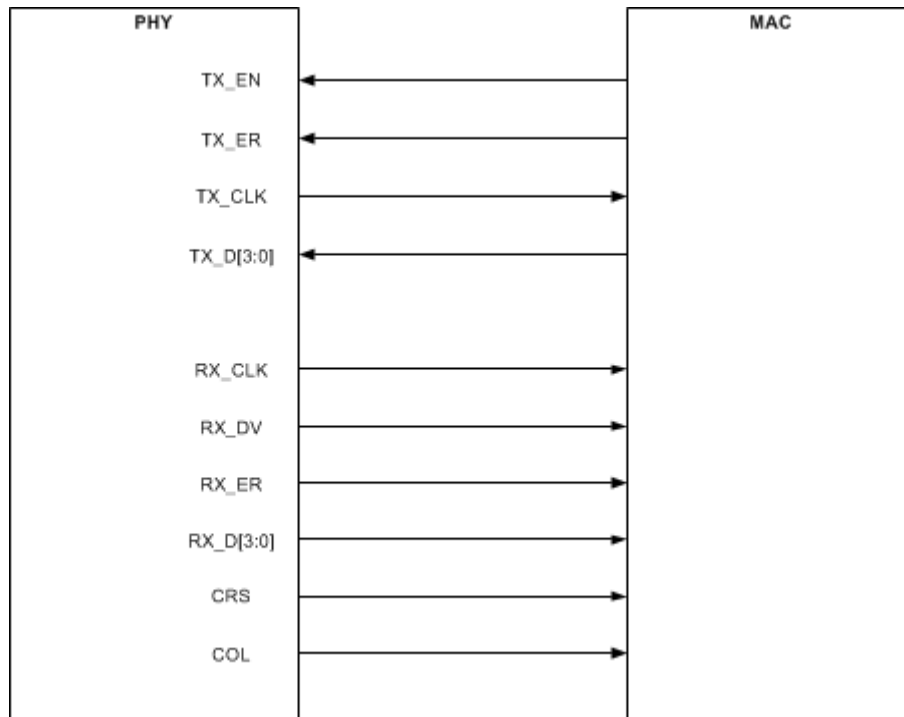


図 7-8. MII の接続

7.4.2 シリアル マネージメント インターフェイス

シリアル マネージメント インターフェイス (SMI) を使うことで、ステータス情報と構成のために使われている DP83867 の内部レジスタ空間にアクセスできます。SMI は IEEE 802.3-2002 の 22 項に準拠しています。実装されているレジスタセットは、IEEE 802.3 に必要なレジスタと、DP83867 デバイスの可視性と制御性を高めるためのその他のレジスタで構成されています。

SMI には、MDC 管理クロック入力と、管理 MDIO データピンが含まれます。MDC クロックは、ステーション (STA) とも呼ばれる外部管理エンティティから供給され、最大 25MHz のクロック レートで実行できます。MDC は連続しているとは想定されていません。バスがアイドル状態のときは、外部管理エンティティによって MDC をオフにします。

外部管理エンティティと PHY から MDIO ソースが供給されます。MDIO ピンのデータは、MDC クロックの立ち上がりエッジでラッチされます。MDIO ピンにはプルアップ抵抗 (2.2kΩ) が必要であり、IDLE 時およびターンアラウンド時に MDIO は High にプルされます。

最大 16 の PHY が共通の SMI バスを共有できます。PHY を区別するため、4 ビット アドレスを使います。パワーアップのリセット中に、DP83867 はアドレスを判別するために PHY_ADD 構成ピンをラッチします。DP83867IRPAP 64 ピン バリエーションは、最大 32 個の PHY をサポートでき、5 ビットアドレスを使用します。

管理エンティティは、パワーアップのリセットの後の最初のサイクルで SMI トランザクションを開始してはなりません。有効な動作を維持するため、ハードリセットがデアサートされた後、少なくとも 1 MDC サイクルの間、SMI バスは非アクティブのままである必要があります。通常の MDIO トランザクションでは、管理フレームのレジスタ アドレス フィールドからレジスタ アドレスが直接取り込まれるため、32 の 16 ビットレジスタ (IEEE 802.3 で定義されたレジスタとベンダ固有のレジスタを含む) に直接アクセスできます。データ フィールドは、読み出しと書き込みの両方に使用されます。スタートコードは <01> パターンで示されます。このパターンにより、MDIO ラインはデフォルトのアイドル ライン状態から必ず遷移します。ターンアラウンドは、レジスタ アドレス フィールドとデータ フィールドの間に挿入されたアイドル ビット期間として定義されます。読み出しトランザクション中の競合を避けるため、ターンアラウンドの先頭ビットの間、デバイスは MDIO 信号をアクティブに駆動できません。アドレス指定された DP83867 は、2 番目のビットのターンアラウンドの間 MDIO を 0 で駆動し、その後に必要なデータを送信します。図 7-9 に、代表的なレジスタ読み取りアクセスについて、ステーション (STA) と DP83867 (PHY) で駆動および受信される MDC と MDIO の間のタイミングの関係を示します。

書き込みトランザクションの場合、ステーション管理エンティティはアドレス指定された DP83867 にデータを書き込みます。そのため、MDIO ターンアラウンドは不要です。管理エンティティは、<10> を挿入してターンアラウンド タイムを埋めます。図 7-9 に、代表的な MII レジスタ書き込みアクセスのタイミングの関係を示します。表 7-2、図 7-9、および図 7-10 に、フレーム構造と一般的な読み取りおよび書き込みトランザクションを示します。

表 7-2. 代表的な MDIO フレームのフォーマット

代表的な MDIO フレームのフォーマット	<idle><start><op code><device addr><reg addr><turnaround><data><idle>
読み出し動作	<idle><01><10><AAAA><RRRR><Z0><xxxx xxxx xxxx xxxx><idle>
書き込み動作	<idle><01<01><AAAA><RRRR><10><xxxx xxxx xxxx xxxx><idle>

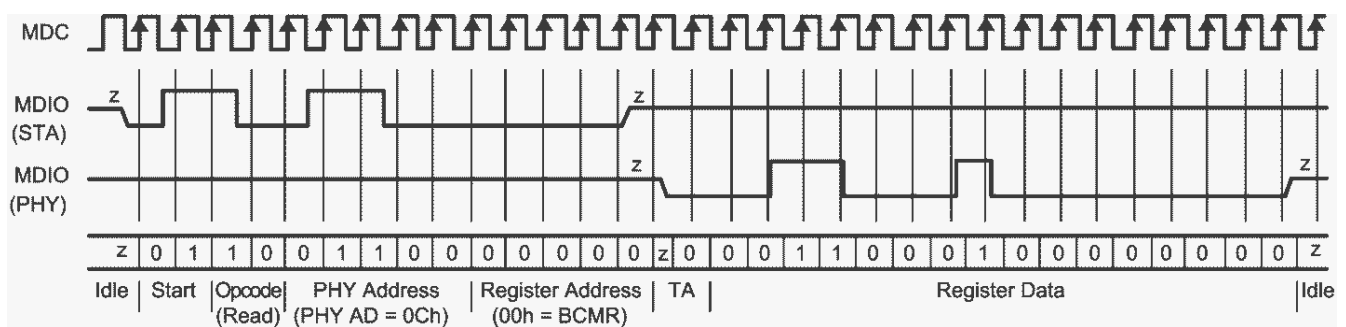


図 7-9. 代表的な MDC/MDIO 読み取り動作

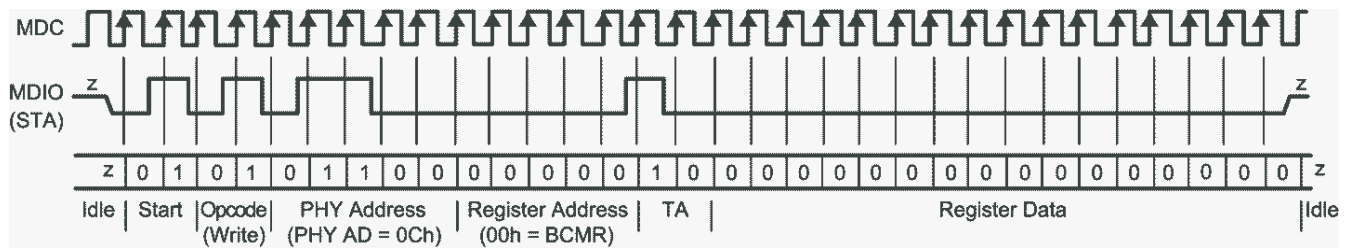


図 7-10. 代表的な MDC/MDIO 書き込み動作

7.4.2.1 拡張アドレス空間アクセス

DP83867 の SMI 機能は、REGCR (0x0D) および ADDAR (0x0E) レジスタを使用し、IEEE 802.3ah Draft の Clause 22 で定義された MDIO 管理デバイス (MMD) の間接アクセス方式によって、45 項の拡張レジスタ セットへの読み取りおよび書き込みアクセスをサポートしています。

標準のレジスタセット MDIO レジスタ 0~31 には、通常の直接 MDIO アクセスまたは間接方式でアクセスしますが、レジスタ REGCR (0x0D) および ADDAR (0x0E) は別で、通常の MDIO トランザクションでのみアクセスされます。SMI 関数は、これらのレジスタへの間接アクセスを無視します。

REGCR (0x0D) は MMD アクセス制御です。一般に、レジスタ REGCR[4:0] は、ADDAR (0x0E) レジスタのすべてのアクセスを適切な MMD に向けるデバイス アドレス DEVAD です。

PHY は一つの MMD デバイス アドレスをサポートします。ベンダ固有のデバイス アドレス DEVAD[4:0] = 11111 は、一般的な MMD レジスタ アクセスに使用されます。

レジスタ REGCR および ADDAR によるすべてのアクセスでは、適切な DEVAD を使用する必要があります。その他の DEVAD を使ったトランザクションは無視されます。REGCR[15:14] はアクセス機能 (アドレス (00)、ポスト インクリメントなしのデータ (01)、読み出し / 書き込み時ポスト インクリメントありのデータ (10)、書き込み時ポスト インクリメントありのデータ (11)) を保持します。

表 7-3. REGCR DEVAD 関数

REGCR[15:14]	機能
00	レジスタ ADDAR へのアクセスにより、拡張レジスタの「セット アドレス」レジスタが変更されます。拡張レジスタ セット内のいずれのレジスタにアクセスするにも、このアドレスレジスタを必ず初期化する必要があります。
01	レジスタ ADDAR にアクセスすると、アドレスレジスタの値によって選択された拡張レジスタ セット内のレジスタにアクセスします。
10	レジスタ ADDAR にアクセスすると、アドレスレジスタの値によって選択された拡張レジスタ セット内のレジスタにアクセスします。そのアクセスが完了した後、読み出しの場合も書き込みの場合も、アドレスレジスタの値がインクリメントされます。
11	レジスタ ADDAR にアクセスすると、アドレスレジスタの値によって選択された拡張レジスタ セット内のレジスタにアクセスします。このアクセスが完了した後、書き込みアクセスの場合のみ、アドレスレジスタの値がインクリメントされます。読み出しアクセスの場合、アドレスレジスタの値は変更されません。

以下のセクションでは、レジスタ REGCR および ADDAR を使って拡張レジスタ セットを操作する方法について説明します。これらの説明は、一般的な MMD レジスタ アクセス (DEVAD[4:0] = 11111) のデバイス アドレスを使用します。

7.4.2.1.1 書き込みアドレス動作

1. レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。
2. レジスタ ADDAR に目的のレジスタ アドレスを書き込む。

それ以降、レジスタ ADDAR (ステップ 2) に書き込むと、そのアドレスレジスタが引き続き書き込まれます。

7.4.2.1.2 読み出しアドレス動作

アドレスレジスタを読み出すには、次の手順に従います。

- レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。
- レジスタ ADDAR からレジスタ アドレスを読み出す。

7.4.2.1.3 書き込み (ポスト インクリメントなし) 動作

拡張レジスタ セット内のレジスタを書き込むには、次の手順に従います。

手順	例:レジスタ 0x0170 = 0C50 に設定する
1.レジスタ REGCR (0x0D) に値 0x001F (アドレス機能フィールド= 00、DEVAD = 31) を書き込む。	値 0x001F にレジスタ 0x0D を書き込む
2.レジスタ ADDAR (0x0E) に目的のレジスタ アドレスを書き込む。	値 0x0170 にレジスタ 0x0E を書き込む
3.レジスタ REGCR に値 0x401F (データ、ポスト インクリメントなし機能フィールド = 01、DEVAD = 31) を書き込む。	値 0x401F にレジスタ 0x0D を書き込む
4.レジスタ ADDAR に目的の拡張レジスタ セットレジスタの内容を書き込む。	値 0x0C50 にレジスタ 0x0E を書き込む

それ以降、レジスタ ADDAR (ステップ 4) に書き込むと、そのアドレス レジスタの値によって選択されたレジスタが引き続き書き換えられます。

注

アドレス レジスタが事前に設定されている場合は、手順 1 および手順 2 を省略してください。

7.4.2.1.4 読み出し (ポスト インクリメントなし) 動作

拡張レジスタ セットのレジスタを読み出すには、次の手順に従います。

手順	例:0x0170 を読み出します
1.レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。	値 0x001F にレジスタ 0x0D を書き込む
2.レジスタ ADDAR に目的のレジスタ アドレスを書き込む。	値 0x0170 にレジスタ 0x0E を書き込む
3.レジスタ REGCR に値 0x401F (データ、ポスト インクリメントなし機能フィールド = 01、DEVAD = 31) を書き込む。	値 0x401F にレジスタ 0x0D を書き込む
4.レジスタ ADDAR に目的の拡張レジスタ セットレジスタの内容を読み出します。	レジスタ 0x0E を読み出す

それ以降、レジスタ ADDAR (ステップ 4) から読み出すと、アドレス レジスタの値によって選択されたレジスタが引き続き読み出されます。

注

アドレス レジスタが事前に設定されている場合は、手順 1 および手順 2 を省略してください。

7.4.2.1.5 書き込み (ポスト インクリメント) 動作

拡張レジスタ セットのレジスタを書き込み、書き込み動作後にアドレス レジスタをすぐ上の値に自動的にインクリメントするには、次の手順に従います。

手順	例:レジスタ 0x0170 = 0C50 かつレジスタ 0x0171 = 0x0011 を設定する
1.レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。	値 0x001F にレジスタ 0x0D を書き込む
2.レジスタ ADDAR からレジスタ アドレスを書き込む。	値 0x0170 にレジスタ 0x0E を書き込む
3.値 0x801F (データ、読み取りおよび書き込み機能フィールドのポスト インクリメント = 10、DEVAD = 31) または値 0xC01F (データ、書き込み機能フィールドのポスト インクリメント = 11、DEVAD = 31) をレジスタ REGCR に書き込む。	値 0x401F にレジスタ 0x0D を書き込む

手順	例:レジスタ 0x0170 = 0C50 かつレジスタ 0x0171 = 0x0011 を設定しする
4.レジスタ ADDAR に目的の拡張レジスタセットレジスタの内容を書き込む。	値 0x0C50 にレジスタ 0x0E を書き込む
5.その後の ADDAR レジスタへの書き込み (手順 4) では、アドレスレジスタで選択されたデータレジスタの次に高いアドレスのデータレジスタへ書き込みが行われます。アドレスレジスタは、アクセスのたびにインクリメントされます。	値 0x0011 にレジスタ 0x0E を書き込む

ステップ 4 ではレジスタ 0x0170 を 0x0C50 に書き込み、ポスト インクリメントが有効になっているため、ステップ 5 ではレジスタ 0x0171 を 0x0011 に書き込みます。

7.4.2.1.6 読み出し (ポスト インクリメント) 動作

拡張レジスタ セットのレジスタを読み出し、読み取り動作後にアドレス レジスタをすぐ上の値に自動的にインクリメントするには、次の手順に従います。

手順	例:読み取りレジスタ 0x0170 および 0x0171
1.レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。	値 0x001F にレジスタ 0x0D を書き込む
2.レジスタ ADDAR に目的のレジスタ アドレスを書き込む。	値 0x0170 にレジスタ 0x0E を書き込む
3.値 0x801F (データ、読み取りおよび書き込み時の増分後機能フィールド = 10、DEVAD = 31) をレジスタ REGCR に書き込む。	値 0x801F にレジスタ 0x0D を書き込む
4.レジスタ ADDAR に目的の拡張レジスタセットレジスタの内容を読み出す。	レジスタ 0x0E を読み出す
5.それ以降、レジスタ ADDAR (ステップ 4) を読み出すと、アドレスレジスタの値によって選択されたすぐ上のアドレスのデータレジスタが引き続き読み出されます (アドレスレジスタは各アクセスの後にインクリメントされます)。	レジスタ 0x0E を読み出す

ステップ 4 ではレジスタ 0x0170 を読み出し、ポスト インクリメントが有効になっているため、ステップ 5 ではレジスタ 0x0171 を読み出します。

7.4.2.1.7 間接レジスタ アクセスを使用する読み取り動作の例

レジスタ 0x0170 を読み取ります。

1. 値 0x001F にレジスタ 0x0D を書き込みます。
2. 値 0x0170 にレジスタ 0x0E を書き込む
3. 値 0x401F にレジスタ 0x0D を書き込みます。
4. レジスタ 0x0E を読み取ります。

期待されるデフォルト値は 0x0C10 です。

7.4.2.1.8 間接レジスタ アクセスを使用する書き込み動作の例

値 0x0C50 にレジスタ 0x0170 を書き込みます。

1. 値 0x001F にレジスタ 0x0D を書き込みます。
2. 値 0x0170 にレジスタ 0x0E を書き込む
3. 値 0x401F にレジスタ 0x0D を書き込みます。
4. 値 0x0C50 にレジスタ 0x0E を書き込みます。

この書き込みにより、CLK_OUT ピンの出力クロックが無効になります。

7.4.3 オートネゴシエーション

すべての 1000BASE-T PHY は、オートネゴシエーションをサポートしている必要があります。1000BASE-T におけるオートネゴシエーション機能には、主に 3 つの目的があります。

- 速度および二重モード選択のオートネゴシエーション
- リーダーまたはフォロワー決定のオートネゴシエーション
- ポーズまたは非対称ポーズ決定のオートネゴシエーション

7.4.3.1 速度と全二重 / 半二重の選択 - 優先度の解決

自動ネゴシエーション機能は、リンク セグメントの両端間で設定情報を交換するメカニズムを提供します。このメカニズムは、高速リンク パルス (FLP) を交換することによって実装されます。FLP は、リンク セグメントの各終端にある 2 つのデバイス間の機能を通信するために使用される信号を提供するバースト パルスです。オートネゴシエーションの詳細については、IEEE 802.3 条項 28 の仕様も参照してください。DP83867 は、10Base-Te、100BASE-TX、および 1000BASE-T の動作モードをサポートしています。オートネゴシエーションのプロセスにより、リンク パートナーとローカル デバイスのアドバタイズされた能力に基づいて、最も高いパフォーマンス プロトコルが選択されるようになります (優先度解決)。

7.4.3.2 リーダーとフォロワーの解決

優先度の解決時に 1000BASE-T モードを選択した場合、オートネゴシエーションの 2 番目の目標は、リーダーまたはフォロワーの構成を解決することです。リーダー モードの優先度は、スイッチやリピータなど、マルチポート ノードをサポートするデバイスに与えられます。DTE カードや NIC カードなどのシングル ノード デバイスは、リーダー モードの優先度が低くなります。

7.4.3.3 ポーズと非対称ポーズの解決

優先度の解決時に全二重動作が選択されると、オートネゴシエーションにより、2 つのリンク パートナーのフロー制御機能も決定されます。フロー制御はもともと、全二重動作において、ビジー状態にあるステーションのリンク パートナーに対して、データの送信を停止させるために導入されたものです。衝突を生成するだけでリンク パートナーにバック オフを強制できる半二重動作モードとは異なり、全二重動作では、受信ステーションのバッファが満杯になりつつある場合に、リンク パートナーからの送信を遅くするメカニズムが必要でした。ポーズ フレームの生成および受信を処理するために、新しい MAC コントロール レイヤが追加されています。各 MAC コントローラは、コントローラがポーズ フレームを処理できるかどうかをアドバタイズする必要があります。さらに MAC コントローラは、ポーズ フレームを両方向、つまり受信と送信で処理するかどうかもアドバタイズします。MAC コントローラがポーズ フレームを生成するだけで、リンク パートナーによって生成されたポーズ フレームには応答しない場合、イベントを非対称ポーズと呼びます。ポーズおよび非対称ポーズ機能のアドバタイズは、ANAR (レジスタ アドレス 0x0004) のビット 10 および 11 に 1 を書き込むことで有効になります。リンク パートナーのポーズ機能は、ANLPAR (レジスタ アドレス 0x0005) のビット 10 および 11 に格納されます。MAC コントローラは、どのポーズ モードで動作するかを決定するために、ANLPAR から読み取る必要があります。PHY 層は、ポーズ機能のアドバタイズおよび報告を行うのみであり、ポーズの決定には関与しません。

7.4.3.4 Next Page のサポート

DP83867 は、IEEE 802.3 の 28.2.4.1.7 項で要求されるオートネゴシエーション Next Page プロトコルをサポートしています。ANNPTR 0x07 を使用すると、Next Page の設定と送信を行うことができます。オートネゴシエーション Next Page 機能の詳細については、IEEE 802.3 規格の 28 項を参照してください。

7.4.3.5 パラレル検出

DP83867 は、IEEE 802.3 仕様で定義されているパラレル検出機能をサポートしています。パラレル検出では、10/100Mbps レシーバで受信信号を監視し、リンク ステータスをオートネゴシエーション機能に報告する必要があります。オートネゴシエーションは、リンク パートナーがオートネゴシエーションをサポートしていない場合でも、10BASE-Te または 100BASE-X PMA が有効なリンク信号として認識できるリンク信号を送信していれば、その情報を使用して適切なテクノロジを設定します。

DP83867 が Next Page 動作なしでパラレル検出の結果としてオートネゴシエーションを完了すると、ANLPAR (レジスタ アドレス 0x0005) のビット 5 と 7 が、リンク パートナーに存在する動作モードを反映するように設定されます。パラレル検

出が成功すると、有効な 802.3 セレクタ フィールドを示すために、ANLPAR のビット 4:0 も 00001 に設定されることに注意してください。ソフトウェアは、オートネゴシエーション完了 (BMSR (レジスタ アドレス 0x0001) のビット 5) が設定された後、ANER (レジスタ アドレス 0x0006) のビット 0 の値「0」を読み取ることで、パラレル検出によってネゴシエーションが完了したことを判定できます。PHY がパラレル検出モードに構成されており、良好なリンク以外の状態が発生すると、ANER (レジスタ アドレス 0x0006) のパラレル検出故障 (ビット 4) が設定されます。

7.4.3.6 オートネゴシエーション再開

オートネゴシエーションが成功してリンクが確立され、その後失われると、オートネゴシエーション プロセスが再開され、リンクの構成が判別されます。この機能により、ケーブルが接続解除され、再接続された場合にリンクを再度確立できます。オートネゴシエーションの完了後、BMCR (レジスタ アドレス 0x0000) のビット 9 に 1 を書き込むことで、いつでもプロセスを再開することができます。管理エージェントなどのエンティティからのオートネゴシエーション要求を再開すると、DP83867 が break_link_timer が期限切れになるまでデータ送信やリンク パルス アクティビティを停止します。その結果、リンク パートナーがリンク障害モードになり、オートネゴシエーションが再開されます。DP83867 は、FLP (高速リンク パルス) パーストを送信することによって、break_link_timer の経過後にオートネゴシエーションを再開します。

7.4.3.7 ソフトウェアを介したオートネゴシエーションの有効化

MDIO アクセスによってオートネゴシエーションが無効になっている場合は、ソフトウェア アクセスを使用してオートネゴシエーションを再開します。オートネゴシエーションを実行するには、BMCR (レジスタ アドレス 0x00) のビット 12 をクリアして設定します。

ストラップ オプションによってオートネゴシエーションが無効になっている場合、オートネゴシエーションを再度有効にすることはできません。

7.4.3.8 オートネゴシエーション完了時間

パラレル検出とオートネゴシエーションは通常、完了までに 2 ~ 3 秒かかります。また、Next Page 交換を伴うオートネゴシエーションも、交換される Next Page の数に応じて異なりますが、完了までに約 2 ~ 3 秒かかります。オートネゴシエーションに関連する個々のタイマーの詳細については、IEEE 802.3 規格の 28 項を参照してください。

7.4.3.9 Auto-MDIX の解決

DP83867 は、リンク パートナーへの接続にストレート ケーブルとクロスオーバー ケーブルのいずれを使用しているかを判断できます。PHY は、チャンネル A と B を自動的に再割り当てして、リンク パートナー (および 1000BASE-T モードのチャンネル C と D) とのリンクを確立できます。Auto-MDIX 解決は、機能をアダプタイズするために FLP を交換する実際のオートネゴシエーション プロセスよりも前に行われます。Auto-MDI/MDIX は、IEEE 802.3 の 40 項の 40.8.2 項に記載されています。10BASE-Te および 100BASE-TX では、この機能の実装は必須ではありません。2022 年 8 月より後に製造された DP83867 デバイスは、リンク パートナーと Auto-MDIX 解像度を迅速に実現できるように、255 の異なるシード値を含むランダム シード値が増えました。

10/100 では、Auto-MDIX はオートネゴシエーションとは独立しています。Auto-MDIX は、オートネゴシエーション モードと手動強制速度モードの両方で機能します。

7.4.4 ループバック モード

PHY 内の各種機能ブロックをテストおよび検証するループバックには、複数のオプションがあります。ループバック モードを有効化すると、デジタルおよびアナログ データパスのインサーキット テストが可能となります。一般に、DP83867 は、ニアエンド ループバック モードのいずれか、またはファール エンド (リバース) ループバックのいずれかに構成できます。MII ループバックは、BMCR (レジスタ アドレス 0x0000) を使って構成されます。その他のすべてのループバック モードは、BISCR (レジスタ アドレス 0x16) を使用して有効化します。特に記述のない限り、ループバック モードはすべての速度 (10/100/1000) およびすべての MAC インターフェイス (RGMII および GMII) でサポートされます。

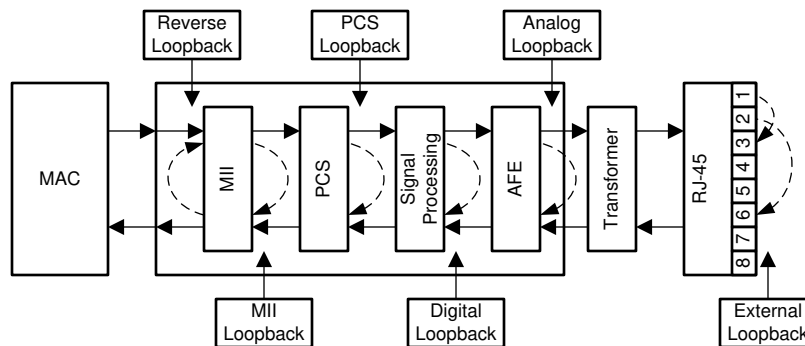


図 7-11. ループバック

ループバックの可用性は、PHY の動作モードによって異なります。動作モードは、これらのループバックモードでのリンクステータスにも影響を及ぼします。表 7-4 に、ループバックモードの使用可能性と対応するリンクステータス表示を示します。

表 7-4. ループバックの可用性

ループバックモード	MAC インターフェイス	1000M		100M		10M	
		入手可能性	リンクステータス	入手可能性	リンクステータス	入手可能性	リンクステータス
MII	GMII/RGMII	あり	なし	あり	なし	あり	なし
PCS	GMII/RGMII	あり	なし	あり	あり	なし	なし
デジタル	GMII/RGMII	あり	あり	あり	あり	あり	あり
アナログ	GMII/RGMII	あり	あり	あり	あり	あり	あり
外部	GMII/RGMII	なし	なし	あり	あり	あり	あり

7.4.4.1 ニアエンド ループバック

ニアエンド ループバックは、デジタル回路またはアナログ回路を経由して、送信したデータをレシーバにループバックする機能を提供します。信号がループバックされるポイントは、複数のオプションを持つループバック制御ビットによって選択されます。

ループバックモードを設定する場合、アドレス 0x00FE のループバック構成レジスタ (LOOPCR) を 0xE720 に設定する必要があります。

目的の動作モードを維持するには、ニアエンド ループバックモードを選択する前にオートネゴシエーションを無効化する必要があります。この制約は、外部ループバックモードには適用されません。

ニアエンド ループバックモードを選択する前に、オート MDIX を無効化します。MDI または MDIX の設定は手動で行う必要があります。

7.4.4.1.1 MII のループバック

MII のループバックは、PHY を介した最も浅いループです。この設定は、MAC と PHY 間の通信を検証するための有用なテストモードです。MII ループバックモードでは、データはループバックされます。また、レジスタ設定により、そのデータをメディアへ送信するよう構成することもできます。

7.4.4.1.2 PCS のループバック

PCS ループバックは、PHY の PCS 層で発生します。PCS ループバックを使用する場合、信号処理は実行されません。

7.4.4.1.3 デジタルループバック

デジタルループバックには、デジタル送信から受信までの全パスが含まれます。データはアナログ回路に入る前にループバックされます。

7.4.4.1.4 アナログループバック

アナログループバックには、アナログ送受信パス全体が含まれています。

7.4.4.2 外部ループバック

10BASE-Te または 100Base-T モードで動作している場合、送信ピンを受信ピンに配線することによって、信号を RJ-45 コネクタでループバックできます。1000Base-T モードでの信号伝達の性質上、このタイプの外部ループバックはサポートされていません。アナログループバックにより、1000Base-T モードで動作している場合にアナログ回路にデータをループバックすることができます。アナログループバックモードで正しく動作させるため、RJ45 コネクタに 100Ω の終端抵抗を接続します。

7.4.4.3 ファーエンド (リバース) ループバック

ファー エンド (リバース) ループバックは、リンク パートナー側からの PHY テストを可能にするための特別なテスト モードです。このモードでは、リンク パートナーから受信したデータは PHY のレシーバを通過し、MAC インターフェイスでループバックされた後、リンク パートナーへ再送信されます。リバースループバックモードでは、MAC からのすべてのデータ信号が無視されます。レジスタ設定により、データを MAC インターフェイスへ送信できます。

7.4.5 BIST の構成

本デバイスは、内部 PRBS 内蔵セルフテスト (BIST) 回路を備えており、インサーキット テストまたは診断に適しています。BIST 回路を使用して、送信および受信データパスの整合性をテストしてください。内部ループバック (デジタルまたはアナログ) および、ケーブル治具を使用した外部ループバックのいずれかを使用して BIST を実行してください。BIST は、実際のパケット形式およびパケット間ギャップ (IPG) 形式の疑似ランダムなデータ転送シナリオを、回線上でシミュレートします。

BIST には、独立した送信および受信パスが実装されており、送信ブロックは疑似ランダムシーケンスの連続ストリームを生成します。デバイスは、BIST 用に 15 ビット疑似ランダムシーケンスを生成します。受信データは、BIST の線形帰還シフトレジスタ (LFSR) によって生成された疑似ランダムデータと比較され、BIST の合否が判定されます。PRBS チェックが受信したエラーバイト数は、BICSR2 レジスタ (0x0072) に格納されます。PRBS チェックが入力される受信ビットストリームにロックされているかどうか、PRBS が同期を失ったかどうか、パケットジェネレータがビジーであるかどうかのステータスは、STS2 レジスタ (0x0017h) から読み取ることができます。ロックおよび同期の表示は、適切なデータ受信の開始を識別するために必要ですが、リンク障害やデータ破損については、BICSR2 レジスタ (0x0072) のエラーカウンタの内容が最適な指標となります。受信したバイト数は、BICSR1 (0x0071) に格納されます。

BISCR レジスタ (0x0016h) のビット 14 を使用して、PRBS テストを連続モードに移行させます。連続モードでは、PRBS カウンタのいずれかが最大値に達すると、カウンタは再びゼロからカウントを開始します。パケット送信は、BISCR レジスタ (0x0016) のビット 13 により、64 バイトまたは 1518 バイトのいずれかのタイプに設定します。

7.4.6 ケーブル診断

イーサネット デバイスは広く導入されていることから、信頼性が高く包括的で、かつユーザーに配慮したケーブル診断ツールに対するニーズがこれまで以上に高まっています。さまざまな種類のケーブル、トポロジ、コネクタが導入されるため、コードの実行に影響を与えずにケーブル障害の識別と報告を行う必要があります。TI のケーブル診断ユニットは、ケーブルの状態に関する詳細な情報を提供します。DP83867 は、ケーブル診断ツールキットで時間領域反射率測定 (TDR) 機能を提供します。

7.4.6.1 TDR

DP83867 は、時間領域反射率測定 (TDR) を使用して、ケーブル長の推定の他に、ケーブル、コネクタ、終端の品質を判定します。診断され得る問題としては、オープン、短絡、ケーブルインピーダンスの不一致、コネクタの不良、終端の不一致、クロスフォルト、クロスショート、およびケーブル上のその他の非連続性などが挙げられます。

DP83867 は、接続されているケーブルの 2 ペアごとに、振幅 (1V または 2.5V) が既知のテストパルスを送信します。送信された信号はケーブルに沿って進み、各ケーブルの欠陥、故障、不良コネクタ、ケーブルの終端から反射します。パルス送信後、DP83867 は、これらすべての反射パルスの復帰時間と振幅を測定します。この手法により、終端されていない

ケーブル (オープンまたはショート)、非連続性 (不良コネクタ)、不適切に終端されたケーブル、クロス配線について、その位置までの距離と大きさ (インピーダンス) を $\pm 1\text{m}$ の精度で測定できます。

また DP83867 は、データ平均化を使用して、ノイズの低減や精度の向上を実現しています。DP83867 では、テスト対象のペア内で最大 5 つの反射を記録できます。5 つを超える反射が記録された場合、DP83867 はそのうち最初の 5 つを保存します。クロス フォルトが検出されると、TDR はクロス フォルトの最初の位置と、テスト対象チャンネル内の最大 4 つの反射を保存します。DP83867 TDR は、100m を超える長さのケーブルを測定できます。

すべての TDR 測定において、外部ホストによる簡単な計算 (乗算、加算、ルックアップ テーブルなど) を使用して、到着時刻と物理距離の変換が行われます。ホストは、ケーブルの予想伝播遅延を認識している必要があります。これは、ケーブル カテゴリ (CAT5、CAT5e、CAT6 など) によって異なります。TDR 計算の詳細については、『テキサス・インスツルメンツ』の [DP83867 および DP83869 による時間領域反射計測アプリケーション ノート](#)』を参照してください。

DP83867 では、以下の状況下で TDR 測定が可能です。

- リンク パートナーが接続解除されている状態 (ケーブルの反対側が接続されていない状態)
- リンク パートナーは接続されているが、「休止」のままの状態 (パワーダウン モード時など)
- レジスタ 0x0009 (CFG1) のビット 7 をセットすると、リンクが失敗するか、ドロップされます。リンクが失敗した後に実行された TDR の結果は、TDR レジスタに保存されます。

ソフトウェアはこれらのレジスタをいつでも読み取り、TDR 結果に後処理を施すことが可能です。このモードは、ケーブルの切断によってリンクがドロップされた場合を想定して設計されています。たとえば、リンク障害の発生後は、TDR が正常に機能できるように回線が休止状態になります。

7.4.6.2 エネルギー検出

エネルギー検出器モジュールは、さまざまなシナリオで信号強度を表示します。この堅牢なエネルギー検出器は IIR フィルタに基づいて検出を行うため、優れた応答速度と信頼性を実現しています。フィルタ出力を事前定義されたスレッシュホールドと比較して、受信信号の有無を判定します。エネルギー検出器は、信号検出表示でのジッタを避けるために、ヒステリシスも実装しています。さらに、この PHY はスレッシュホールドおよび監視時間を完全にプログラム可能であり、必要に応じて応答時間を短縮できます。

7.4.6.3 高速なリンク ドロップ モード (FLD)

DP83867 には高度なリンク ドロップ機能があり、さまざまなリアルタイム アプリケーションをサポートしています。リンク ドロップ メカニズムは構成可能であり、リンクドロップに対する非常に高速な応答を可能にする拡張モードを搭載しています。

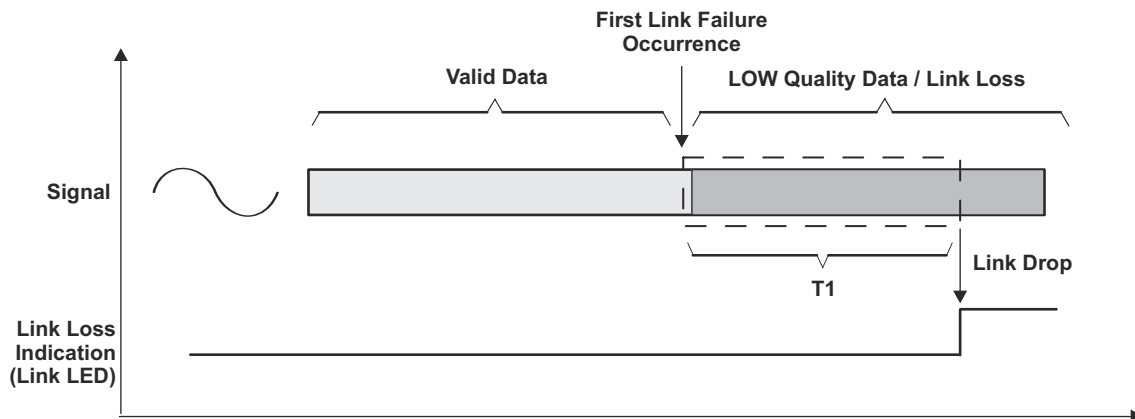


図 7-12. 高速なリンク ドロップ メカニズム

図 7-12 で説明しているように、リンク損失メカニズムは、信号動作を監視する時間ウィンドウの検索期間に基づいています。T1 ウィンドウはデフォルトでは、標準的なリンクドロップを 100 = M では 1ms 未満、1000M モードでは 0.5ms に抑えるように設定されています。

DP83867 は、高速リンクドロップ モードと呼ばれる、ウィンドウを短縮する拡張モードをサポートしています。このモードでは、T1 ウィンドウは大幅に短縮されます (ほとんどの場合、10 μ s 未満)。この期間では、リンク損失イベントの生成とリンクのドロップを許可するいくつかの基準があります。

1. デスクランブラ同期の損失
2. 受信エラー
3. MLT3 エラー
4. 平均二乗誤差 (MSE)
5. エネルギー損失

高速リンクドロップ機能により、これらの各オプションを個別に、または任意の組み合わせで使用できます。このモードでは応答時間が非常に短くなるため、PHY が一時的なリンク品質の低下といった状況にさらされやすくなることに注意してください。

注

DUT と LP (リンク パートナー) の両方で高速リンクドロップ機能がイネーブルになっており、リンクを再確立するためには、FLD_CFG レジスタ (アドレス 0x002D) のビット 14 を使って FLD を無効にすることが重要です。リンクがアップした後、同じビット (FLD_CFG ビット [14]) を使用して FLD を再度イネーブルにします。

上記のように、PHY の FLD ソースを評価するように構成できる 5 つのモードがあります。これらのモードは、FLD_CFG レジスタ (アドレス 0x002D) ビット[4:0] で構成できます。レジスタ構成に加えて、64 ピンの PAP パッケージ バリエーションでは、ピンストラップによりエネルギーロスモードでの高速リンクドロップも可能です。このピンストラップは、レジスタ FLD_CFG (アドレス 0x002D) ビット [0] を High にセットします。ピンストラップを使用する場合、レジスタ FLD_THR_CFG (アドレス 0x002E) を 0x0222 に設定すると、このレジスタを 0x0221 に再構成する必要があります。

7.4.6.4 高速リンク検出

高速リンク確立には、いくつかの高度なモードが使用できます。IEEE 802.3 仕様で定義されているオートネゴシエーションや Auto-MDIX メカニズムとは異なり、これらのモードは DP83867 固有です。これらのモードを実装する際は注意してください。最適な動作を行うために、リンクの両端に DP83867 を使用して、これらのモードを実装することを TI は推奨します。

これらの高度なリンクモードおよびクロスオーバーモードは、リンクに選択された通信速度に依存します。一部のモードは、1000Base-T 動作での使用を目的としています。その他は、100Base-TX 動作での使用を目的としています。

構成レジスタ 3 (CFG3)、アドレス 0x001E を使用して高速リンク検出機能を設定します。

7.4.6.5 速度の最適化

速度の最適化 (リンクダウンシフトとも呼ばれます) によって、ギガビットリンクの確立で複数回連続して失敗した後、100M 動作にフォールバックできます。このようなケースは、8 本のワイヤ (4 本のツイストペア) を持つ標準ケーブルの代わりに 4 本のワイヤ (2 本のツイストペア) を持つケーブルが接続されている場合に発生する可能性があります。

100M 動作にフォールバックするまでのリンク試行失敗回数は設定可能です。デフォルトでは、100M に戻る前に、4 回のリンク試行失敗が必要です。

拡張モードでは、C および D チャネルでエネルギーが検出されない場合、リンク試行が 1 回失敗した後、100M にフォールバックすることがあります。速度の最適化は、ギガビットおよび 100M モードでリンク確立に失敗した場合の 10M へのフォールバックもサポートします。

速度最適化機能は、ストラップまたはレジスタ設定によって有効にできます。

7.4.6.6 ミラー モード

一部のマルチポート アプリケーションでは、RJ-45 ポートが互いにミラー配置されます。このミラーリングでは、基板配線をまたぐ必要がある場合があります。DP83867 は、デバイス内のポート ミラーリングを実装することで、この問題を解決します。

10/100 動作時のポート ミラーリングのマッピングを以下に示します：

MDI モード	ミラー ポートの設定
MDI	A → D
	B → C
MDIX	A → D
	B → C

ギガビット動作時のポート ミラーリングのマッピングを以下に示します：

MDI モード	ミラー ポートの設定
MDI または MDIX	A → D
	B → C
	C → B
	D → A

ストラップ設定、または CFG4 レジスタ (アドレス 0x0031) のポート ミラー イネーブル ビットを使用してレジスタ設定を行うことで有効化できます。ミラー モードでは、信号の極性も反転します。

7.4.6.7 割り込み

DP83867 で、内部ステータスの変化が発生したときに割り込みを生成するよう設定します。この割り込みにより、PHY レジスタをポーリングせずに、PHY のステータスに応じて MAC を動作させることができます。割り込みレジスタである MICR (レジスタ アドレス 0x0012) および ISR (レジスタ アドレス 0x0013) を使用して、割り込みソースを選択します。

7.4.6.8 IEEE 802.3 テスト モード

1000BASE-T に関する IEEE 802.3 規格では、PHY 層が TX 出力において所定のテスト パターンを生成できることが要求されています。第 40 項セクション 40.6.1.1.2 「テスト モード」では、これらのテストの詳細について説明します。通常動作モードに加えて、四つのテスト モードがあります。これらのモードは、CFG1 レジスタ (アドレス 0x0009) に書き込むことで選択できます。

テスト モードの性質の詳細については、IEEE 802.3 のセクション 40.6.1.1.2 「テスト モード」を参照してください。DP83867 は、IEEE テスト パターンに同期したテスト クロックを提供します。テスト パターンはデバイスの MDI ピンに出力され、送信クロックは CLK_OUT ピンに出力されます。

DP83867 を IEEE 802.3 適合性試験向けに設定する方法の詳細については、[アプリケーション ノート「DP838XX をイーサネット適合性試験向けに設定する方法」](#)を参照してください。

7.5 プログラミング

7.5.1 ストラップ構成

DP83867 は、デバイスを特定の動作モードに設定するために、多くの機能ピンをストラップ オプションとして使用します。これらのピンの値は、パワーアップ時またはハード リセット時にサンプリングされます。ソフトウェア リセット時には、パワーアップ時またはハード リセット時にサンプリングされた値からストラップ オプションが内部的に再ロードされます。ストラップ オプションのピン構成を以下に定義します。機能ピン名は括弧で示されています。

サポートされているストラップ ピンは 4 レベル ストラップであり、以下で詳細に説明します。

注

リセットがデアサートされた後、ストラップ ピンは代替機能を持つことができるため、これらのピンを VDD にも GND にも直接接続することはできません。

デバイスは、4 レベルのストラップ ピンまたは管理レジスタ インターフェイスを通じて構成してください。推奨値のプルアップ抵抗およびプルダウン抵抗を使用して、4 レベルのストラップ ピン入力と電源の電圧比を設定し、使用可能なモードのいずれかを選択します。

MAC インターフェイス ピンは、3.3V、2.5V、1.8V の I/O 電圧をサポートする必要があります。これらのピンにはストラップ 入力実装されているため、ストラップは 3.3V、2.5V、1.8V 電源での動作もサポートする必要があります。

4 レベルのストラップの設定の詳細については、『4 レベルストラップを使用したイーサネットデバイスの設定』アプリケーション ノートを参照してください。

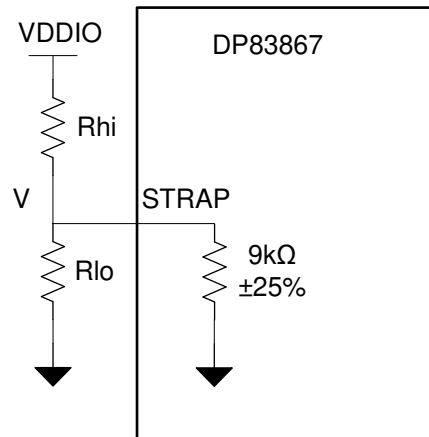


図 7-13. ストラップ回路

表 7-5. 4 レベルのストラップ抵抗比

モード	目標電圧			推奨 Rhi (kΩ)	推奨 Rlo (kΩ)
	Vmin (V)	Vtyp (V)	Vmax (V)		
1	0	0	$0.098 \times VDDIO$	オープン	オープン
2	$0.140 \times VDDIO$	$0.165 \times VDDIO$	$0.191 \times VDDIO$	10	2.49
3	$0.225 \times VDDIO$	$0.255 \times VDDIO$	$0.284 \times VDDIO$	5.76	2.49
4	$0.694 \times VDDIO$	$0.783 \times VDDIO$	$0.888 \times VDDIO$	2.49	オープン

すべてのストラップには、 $9k\Omega \pm 25\%$ の内部プルダウン抵抗があります。ストラップ ピンの電圧は、表 7-5 の「目標電圧」列に記載されている Vmin と Vmax の間にすることができます。許容誤差 1% のストラップ抵抗が推奨されます。

次の表に、DP83867 構成ストラップを示します：

表 7-6. 4 レベルのストラップ ピン

ピン名	64 HTQFP ピン番号	48 QFN ピン番号	デフォルト	ストラップ機能		
				モード	PHY_ADD1	PHY_ADD0
RX_D0	44	33	[00]	モード	PHY_ADD1	PHY_ADD0
				1	0	0
				2	0	1
				3	1	0
				4	1	1
RX_D2	46	35	[00]	モード	PHY_ADD3	PHY_ADD2
				1	0	0
				2	0	1
				3	1	0
				4	1	1
RX_D4	48		[00]	モード	ANEG_SEL1	PHY_ADD4
				1	0	0
				2	0	1
				3	1	0
				4	1	1
RX_D5	49		[00]	モード	MDI/X の強制	半二重イネーブル (FD/HD)
				1	0	0
				2	0	1
				3	1	0
				4	1	1
RX_D6	50		[00]	モード	RGMII 無効	AMDIX 無効
				1	0	0
				2	0	1
				3	1	0
				4	1	1
RX_D7	51		[00]	モード	速度最適化が有効	クロックアウトが無効
				1	0	0
				2	0	1
				3	1	0
				4	1	1
RX_DV/ RX_CTRL ⁽¹⁾ (ストラップが必要)	53	38	[0]	モード		自動ネゴシエーションの無効化
				1		該当なし
				2		該当なし
				3		0
				4		1
CRS ⁽²⁾	56		[0]	モード		高速なリンクドロップモード (FLD)
				1		0
				2		1
				3		該当なし

表 7-6. 4 レベルのストラップ ピン (続き)

ピン名	64 HTQFP ピン番号	48 QFN ピン番号	デフォルト	ストラップ機能		
				4		該当なし

表 7-6. 4 レベルのストラップ ピン (続き)

ピン名	64 HTQFP ピン番号	48 QFN ピン番号	デフォルト	ストラップ機能		
				モード	RGMII クロック スキュー TX[1]	RGMII クロック スキュー TX[0]
LED_2		45	[00]	モード	RGMII クロック スキュー TX[1]	RGMII クロック スキュー TX[0]
				1	0	0
				2	0	1
				3	1	0
LED_1	62	46	[00]	モード	ANEG_SEL	RGMII クロック スキュー TX[2]
				1	0	0
				2	0	1
				3	1	0
LED_0 ⁽³⁾	63	47	[0]	モード	ミラーの有効化	
				1	0	
				2	該当なし	
				3	1	
GPIO_0		39	[00]	モード	RGMII クロック スキュー RX[0]	
				1	0	
				2	該当なし	
				3	1	
GPIO_1		40	[00]	モード	RGMII クロック スキュー RX[2]	RGMII クロック スキュー RX[1]
				1	0	0
				2	0	1
				3	1	0
				モード		
				4	1	1

- ストラップ モード 1 および 2 は、RX_DV/RX_CTRL には適用できません。RX_DV/RX_CTRL ストラップは、ストラップ モード 3 またはストラップ モード 4 に設定する必要があります。RX_CTRL ピンをモード 3 またはモード 4 にストラップできない場合、構成レジスタ 4 (アドレス 0x0031) のビット [7] を 0 にクリアする必要があります。ギガビット イーサネットを使用する場合、「自動ネゴシエーションの無効化」は常に 0 に設定できます。
- ストラップ モード 3 および 4 は CRS には適用されません。CRS ストラップは、ストラップ モード 1 またはストラップ モード 2 に設定する必要があります。
- ストラップ モード 2 および 4 は LED_0 には適用できません。LED_0 のストラップは、ストラップ モード 1 またはストラップ モード 3 に設定する必要があります。

表 7-7. PAP 自動ネゴシエーション選択ストラップの詳細

モード	ANEG_SELO	ANEG_SEL1	注記
10/100/1000	0	0	10/100/1000 のアドバタイズ機能
100/1000	1	0	100/1000 のみのアドバタイズ機能
1000	0	1	1000 のみのアドバタイズ機能
10/100	1	1	10/100 のみのアドバタイズ機能

表 7-8. RGZ 自動ネゴシエーション選択ストラップの詳細

モード	ANEG_SEL	注記
10/100/1000	0	10/100/1000 のアドバタイズ機能

表 7-8. RGZ 自動ネゴシエーション選択ストラップの詳細 (続き)

モード	ANEG_SEL	注記
100/1000	1	100/1000 のみのアドバタイズ機能

表 7-9. RGMII 送信クロック スキューの詳細

モード	RGMII クロック スキュー TX[2]	RGMII クロック スキュー TX[1]	RGMII クロック スキュー TX[0]	RGMII TX クロック スキュー
1	0	0	0	2.0ns
2	0	0	1	1.5ns
3	0	1	0	1.0ns
4	0	1	1	0.5ns
5	1	0	0	0ns
6	1	0	1	3.5ns
7	1	1	0	3.0ns
8	1	1	1	2.5ns

表 7-10. RGMII 受信クロック スキューの詳細

モード	RGMII クロック スキュー RX[2]	RGMII クロック スキュー RX[1]	RGMII クロック スキュー RX[0]	RGMII RX クロック スキュー
1	0	0	0	2.0ns
2	0	0	1	1.5ns
3	0	1	0	1.0ns
4	0	1	1	0.5ns
5	1	0	0	0ns
6	1	0	1	3.5ns
7	1	1	0	3.0ns
8	1	1	1	2.5ns

7.5.2 LED の構成

DP83867 は、4 つの構成可能な発光ダイオード (LED) ピンである LED_0、LED_1、LED_2、および RXD7/GPIO に対応しています。各種動作モードのために複数の機能を LED に多重化できます。LED の動作モードは、LEDCR1 レジスタ (アドレス 0x0018) を使用して選択できます。

LED 出力ピンはストラップとしても使用されるため、競合を避けるために、ストラップ設定および LED 用途の外付け部品を考慮してください。特に LED 出力を使って LED ドライブを直接駆動する場合、各出力ドライバのアクティブ状態は、電源投入時またはリセット時に、対応する AN 入力によってサンプリングされたロジックレベルで決まります。

特定のストラップ入力が抵抗によって Low にプルされると、対応する出力はアクティブ High ドライバとして構成されます。4 レベルのストラップの場合、モード 1、2、3 でこれが発生します。逆に、特定のストラップ入力が抵抗によって High にプルされた場合、対応する出力はアクティブ Low ドライバとして構成されます。4 レベル ストラップの場合、これはモード 4 でのみ発生します。

外付け部品へのストラップ接続の例については、図 7-14 を参照してください。この例では、ストラップにより LED_0 がモード 1、LED_1 がモード 4 になります。

LED 出力は適応型であるため、このようなデュアル目的のピンの電位の実装に関する問題を単純化するのに役立ちます。

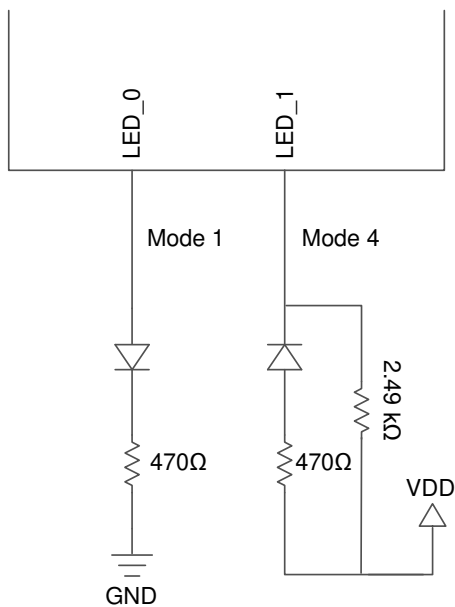


図 7-14. ストラップ接続の例

7.5.3 1.8V I/O VDD 電源での LED 動作

LED を 1.8V 電源で動作させると、LED の輝度が低下します。最適な結果を得るため、より高い電源電圧 (2.5V または 3.3V) で動作させることを推奨します。この機能の実装例については、[図 7-15](#) を参照してください。

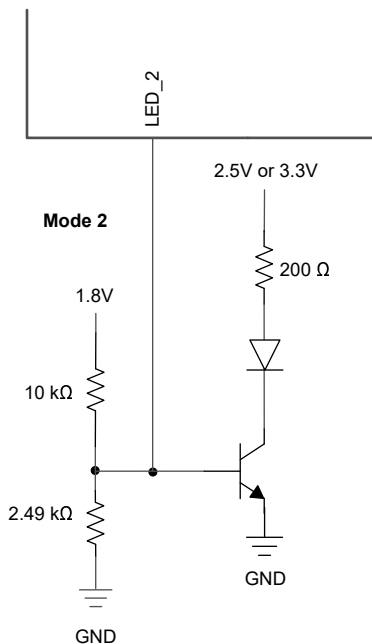


図 7-15. 1.8V I/O VDD 電源での LED 動作

7.5.4 PHY アドレスの設定

DP83867IRPAP は、32 つの可能な PHY アドレスのいずれかに応答するように、ブートストラップ ピンを使って設定できます。DP83867IRRGZ/CRRGZ は、16 個のアドレスをサポートしています。その情報は、デバイス電源投入時またはハードウェアリセット時に本デバイスにラッチされます。各 DP83867 またはシステム内の MDIO バスを共有するポートは、一意の物理アドレスを持っている必要があります。DP83867IRPAP は、PHY アドレスストラップ値 0 (<00000>) ~ 31

(<11111>)をサポートしています。DP83867IRRGZ/CRRGZDP83868IRRGZ は、0 (<0000>) から 15 (<1111>) までの PHY アドレスをサポートしています。

PHY アドレスピンのラッチイン タイミング要件と、他のハードウェア構成ピンの詳細については、[セクション 7.5.5](#) も参照してください。

PHY_ADD[4:0] のデフォルトストラップ構成に基づいて、DP83867 の PHY アドレスは、外部ストラップ構成なしで 0x00 に初期化されます。

外付け部品への PHY アドレス接続の例については、[図 7-16](#) も参照してください。この例では、ピンが以下のように構成されています:RX_D4 = ストラップ モード 4、RX_D2 = ストラップ モード 3、RX_D0 = ストラップ モード 2。したがって、PHY アドレスストラップはアドレス 11001 (19h) になります。

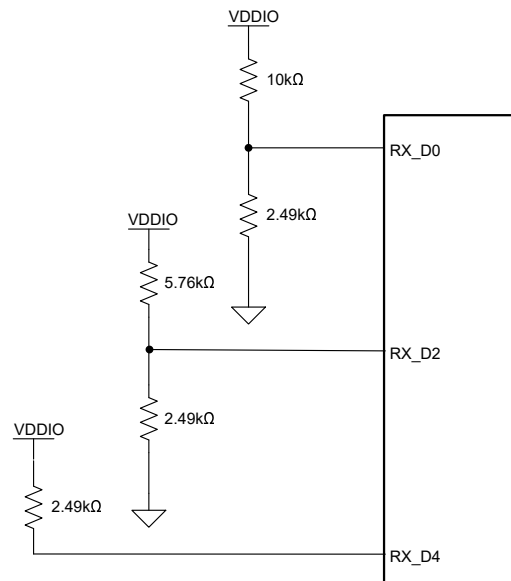


図 7-16. IRPAP PHY アドレス ストラップの例

外付け部品への PHY アドレス接続の例については、[図 7-17](#) を参照してください。この例では、ピンが以下のように構成されています:RX_D2 = ストラップ モード 3、RX_D0 = ストラップ モード 2。したがって、PHY アドレスストラップはアドレス 1001 (09h) になります。

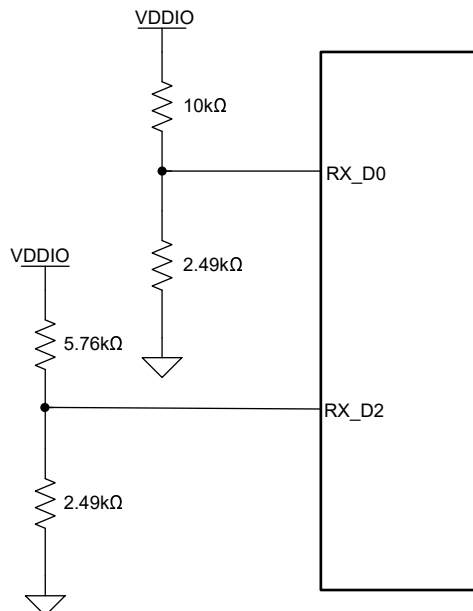


図 7-17. RGZ PHY アドレスストラップの例

7.5.5 リセット動作

DP83867 には内部的なパワーオンリセット (POR) 機能が含まれているため、電源投入後に通常動作で明示的にリセットする必要はありません。通常動作中に必要な場合は、ハードウェアリセットまたはソフトウェアリセットによってデバイスをリセットできます。

7.5.5.1 ハードウェアリセット

ハードウェアリセットを行うには、RESET_N ピンに 1 μ s 以上の期間の Low パルスを印加します。これによりデバイスがリセットされ、すべてのレジスタがデフォルト値に再初期化されるとともに、ハードウェア設定値がデバイスに再ラッチされます (パワーアップまたはリセット時の動作と同様)。

7.5.5.2 IEEE ソフトウェアリセット

IEEE レジスタソフトウェアリセットは、BMCR レジスタ (アドレス 0x0000) のリセットビット (ビット 15) を設定することで実行されます。このビットは、IEEE で定義された標準レジスタをリセットします。

7.5.5.3 グローバルソフトウェアリセット

グローバルソフトウェアリセットを実行するには、レジスタ CTRL (アドレス 0x001F) のビット 15 を 1 に設定します。このビットは、IEEE で定義されたレジスタやすべての拡張レジスタを含む、PHY 内のすべての内部回路をリセットします。グローバルソフトウェアリセットは、すべてのレジスタがデフォルト値にリセットされるようにデバイスをリセットしますが、ハードウェアの設定値は維持されます。

7.5.5.4 グローバルソフトウェア再開

グローバルソフトウェアを再起動するには、レジスタ CTRL (0x001F) のビット 14 を 1 に設定します。このアクションにより、レジスタファイル内のレジスタを除くすべての PHY 回路がリセットされます。

7.5.6 省電力モード

DP83867 は、4 つの省電力モードをサポートしています。詳細は以下のとおりです。

7.5.6.1 IEEE パワーダウン

PHY はパワーダウンされますが、MDIO-MDC ピンを介した PHY へのアクセスは維持されます。このモードを有効にするには、外部 PWDN ピンをアサートするか、BMCR (レジスタ 0x00) のビット 11 をセットします。

電源の再投入、ソフトウェアリセット、または **BMCR** レジスタのビット 11 をクリアすることで、PHY をこのモードから解除します。ただし、外部 **PWDN** ピンをデアサートする必要があります。PWDN ピンがアサートされたままになると、PHY はパワーダウン状態のままとなります。

7.5.6.2 ディープパワーダウンモード

ディープパワーダウンモードは **IEEE** のパワーダウンと同じですが、**XI** パッドもオフになります。このモードは、外部 **PWDN** ピンをアサートするか、**BMCR** (レジスタ 0x00) のビット 11 を設定することでアクティブにします。このモードをアクティブにする前に、**PHYCR** (レジスタ 0x10) のビット 7 を設定する必要があります。

PHY は、パワーサイクル、ソフトウェアリセット、または **BMCR** レジスタのビット 11 のクリアにより、このモードから復帰します。ただし、外部 **PWDN** ピンをアサート解除できます。PWDN ピンがアサートされたままになると、PHY はパワーダウン状態のままとなります。

7.5.6.3 アクティブスリープ

このモードでは、すべてのデジタルブロックおよびアナログブロックがパワーダウンします。リンクパートナーが検出されると、PHY は自動的にパワーアップされます。このモードは、リンクパートナーがダウンしているか非アクティブになっているが、PHY をパワーダウンできない場合に電力を節約するのに便利です。アクティブスリープモードでは、PHY は引き続き **NLP** をリンクパートナーに定期的に送信します。このモードは、**PHYCR** (レジスタ 0x10) のビット [9:8] にバイナリの 10 を書き込むことで有効にできます。

7.5.6.4 パッシブスリープ

これは、PHY が **NLP** を送信しない点を除けば、アクティブスリープと同様です。このモードは、**PHYCR** (レジスタ 0x10) のビット [9:8] にバイナリの 11 を書き込むことで有効にできます。

8 レジスタ

「デフォルト」欄のレジスタ定義では、次の定義が成り立ちます：

RW	読み出し書き込みアクセス
SC	イベント発生時にレジスタが設定され、イベント終了時に自己クリア
RW/SC	読み出し書き込みアクセス / 自己クリア ビット
RO	読み出し専用アクセス
COR	COR = 読み取り時にクリア
RO/COR	読み取り専用、読み取り時にクリア
RO/P	読み取り専用。デフォルト値に永続的に設定されます
LL	対応するイベントの発生に応じて、 Low にラッチされ、読み取りまで保持
LH	対応するイベントの発生に応じて、 High にラッチされ、読み取りまで保持
ストラップ	リセット後、ブートストラップ ピンから読み込まれるデフォルト値

8.1 基本モード制御レジスタ (BMCR)

表 8-1. 基本モード制御レジスタ (BMCR)、アドレス 0x0000

ビット	ビット名	デフォルト	説明
15	リセット	0, RW/SC	RESET: 1 = ソフトウェア リセットの開始 / リセット進行中。 0 = 通常動作。 このビットは自己クリアで、リセット プロセスが完了するまで、1 の値を返します。構成は抑制されます。
14	ループ バック	0, RW	ループバック: 1 = ループバックが有効です。 0 = 通常動作。 ループバック機能は、MII 送信データを MII 受信データ パスにルーティングできるようにします。 このビットを設定すると、デスクランブラは同期を失い、MII 受信出力に有効なデータが出現する前に 500µs デッド タイムが生成される可能性があります。
13	速度選択 LSB	0, RW	速度選択 (ビット 6、13): オートネゴシエーションがディスエーブルのとき、このビットに書き込むと、ポートの速度を選択できます。 11 = 予約済み 10 = 1000Mbps 1 = 100Mbps 0 = 10Mbps
12	オート ネゴシエーション イネーブル	ストラップ, RW	オートネゴシエーション イネーブル: ストラップはリセット時の初期値を制御します。 1 = オートネゴシエーションを有効化 - このビットが設定されていると、このレジスタのビット [8] および [13] は無視されます。 0 = オートネゴシエーションを無効化 - ビット [8] および [13] によって、ポート速度と二重モードが決まります。
11	パワーダウン	0, RW	パワーダウン: 1 = パワーダウン。 0 = 通常動作。 このビットの設定は、PHY の電源をオフにします。このパワーダウン状況中、レジスタ ブロックのみが有効化されます。このビットは、PWRDOWN_INT ピンからの入力と論理和が取られます。アクティブ Low PWRDOWN_INT ピンがアサートされると、このビットが設定されます。

表 8-1. 基本モード制御レジスタ (BMCR)、アドレス 0x0000 (続き)

ビット	ビット名	デフォルト	説明
10	絶縁	0, RW	絶縁: 1 = ポートを MII から絶縁します (シリアル マネージメントは例外)。 0 = 通常動作。
9	オートネゴシエーション再開	0, RW/SC	オートネゴシエーション再開: 1 = オートネゴシエーション再開。オートネゴシエーション プロセスを再開します。オートネゴシエーションがディスエーブルの場合 (ビット 12 = 0)、このビットは無視されます。このビットは、オートネゴシエーションが開始されるまで、自動でクリアされ、値 1 を返します。その後、ビットは自動でクリアされます。オートネゴシエーション プロセスの動作は、管理エンティティがこのビットをクリアしても影響を受けません。 0 = 通常動作。
8	二重モード	ストラップ, RW	二重モード: オートネゴシエーションがディスエーブルのとき、このビットに書き込むと、ポートの二重機能を選択できます。 1 = 全二重動作。 0 = 半二重動作。
7	衝突テスト	0, RW	衝突テスト: 1 = 衝突テストが有効になりました。 0 = 通常動作。 このビットを設定すると、512 ビット時間以内に、TX_EN がアサートされ、COL 信号がアサートされます。COL 信号は、TX_EN がデアサートされるのに対応して、4 ビット時間以内にデアサートされます。
6	速度選択 MSB	1, RW	速度選択: ビット 13 の説明を参照してください。
5:0	予約済み	0 0000, RO	RESERVED: 書き込みは無視され、0 として読み出します。

8.2 基本モード ステータス レジスタ (BMSR)

表 8-2. 基本モード ステータス レジスタ (BMSR)、アドレス 0x0001

ビット	ビット名	デフォルト	説明
15	100BASE-T4	0, RO/P	100BASE-T4 対応: 0 = デバイスは 100BASE-T4 モードを実行できません。
14	100BASE-TX 全二重	1, RO/P	100BASE-TX-T 全二重対応: 1 = デバイスは、全二重モードで 100BASE-TX を実行できます。
13	100BASE-TX 半二重	1, RO/P	100BASE-TX 半二重対応: 1 = デバイスは半二重モードで 100BASE-TX を実行できます。
12	10BASE-Te 全二重	1, RO/P	10BASE-Te 全二重対応: 1 = デバイスは、全二重モードで 10BASE-Te を実行できます。
11	10BASE-Te 半二重	1, RO/P	10BASE-Te 半二重対応: 1 = デバイスは、半二重モードで 10BASE-Te を実行できます。
10	100BASE-T2 全二重	0, RO/P	100BASE-T2-T 全二重対応: 0 = デバイスは全二重モードで 100BASE-T2 を実行できません。
9	100BASE-T2 半二重	0, RO/P	100BASE-T2 半二重対応: 0 = デバイスは、半二重モードで 100BASE-T2 を実行できません。
8	拡張ステータス	1, RO/P	1000BASE-T 拡張ステータス レジスタ: 1 = デバイスは拡張ステータス レジスタ 0x0F をサポートしています。
7	予約済み	0, RO	RESERVED:0 として書き込み、0 として読み出します。
6	MF プリアンブル抑制	1, RO/P	プリアンブル抑制対応: 1 = デバイスはプリアンブルを省略して管理トランザクションを実行でき、32 ビットのプリアンブルが一回のみ必要となります。 0 = 通常管理動作。 このデバイスでは、次のトランザクションを開始する前に、二つのトランザクション間に少なくとも 500ns のギャップが必要です。その後、MDC の一つのポジティブ エッジおよび MDIO = 1 が続きます。
5	オートネゴシエーション完了	0, RO	オートネゴシエーション完了: 1 = オートネゴシエーション プロセスが完了。 0 = オートネゴシエーション プロセスが未完了。
4	リモート故障	0, RO/LH	リモート障害: 1 = リモート故障状態の検出 (読み出しまたはリセットによりクリア)。故障の基準:ファー エンド故障の表示またはリンク パートナーからのリモート故障の通知。 0 = リモート故障状態は未検出。
3	オートネゴシエーション機能	1, RO/P	オートネゴシエーション機能: 1 = デバイスはオートネゴシエーションを実行できる。 0 = デバイスはオートネゴシエーションを実行できない。
2	リンク ステータス	0, RO/LL	リンク ステータス: 1 = 有効なリンクが確立されている。 0 = リンクが確立されていない。 リンクの妥当性の基準は、実装に固有です。リンク故障状態が発生すると、リンク ステータス ビットがクリアされます。このビットは、クリアされた後で、良好なリンク状態を確立し、管理インターフェイスを使用して読み取ることでのみ設定できます。

表 8-2. 基本モード ステータス レジスタ (BMSR)、アドレス 0x0001 (続き)

ビット	ビット名	デフォルト	説明
1	ジャバー検出	0, RO/LH	ジャバー検出: このビットは 10Mbps モードでのみ意味を持ちます。 1 = ジャバー状態を検出済み。 0 = ジャバーなし。 このビットはラッチ機能で実装されており、ジャバー状態が発生すると、管理インターフェイスまたはリセットによってこのレジスタに読み取り、ビットがクリアされるまでビットが設定されます。
0	拡張機能	1, RO/P	拡張機能: 1 = 拡張レジスタ機能。 0 = 基本レジスタ設定機能のみ。

8.3 PHY 識別子レジスタ #1 (PHYIDR1)

PHY 識別レジスタ #1 および #2 を組み合わせることで、DP83867 固有の識別子が構成されます。識別子は、管理組織識別子 (OUI)、ベンダのモデル番号、およびモデル リビジョン番号を連結したものです。PHY は、必要に応じて、PHY 識別子の 32 ビットすべてに 0 の値を返すことができます。PHY 識別子は、ネットワーク管理をサポートすることを目的としています。テキサス インストルメンツの IEEE 割り当て済み OUI は 080028h です。

表 8-3. PHY 識別子レジスタ #1 (PHYIDR1)、アドレス 0x0002

ビット	ビット名	デフォルト	説明
15:0	OUI_MSB	0010 0000 0000 0000, RO/P	OUI 最上位ビット: OUI (080028h) のビット 3 ~ 18 は、そのレジスタのビット 15 ~ 0 に保存されます。OUI の最上位 2 ビットは無視されます (IEEE 規格では、これらをビット 1 および 2 と呼びます)。

8.4 PHY 識別子レジスタ #2 (PHYIDR2)

表 8-4. PHY 識別子レジスタ #2 (PHYIDR2)、アドレス 0x0003

ビット	ビット名	デフォルト	説明
15:10	OUI_LSB	1010 00, RO/P	OUI 最下位ビット: OUI (080028h) のビット 19 ~ 24 は、それぞれこのレジスタのビット 15 ~ 10 に割り当てられています。
9:4	VNDR_MDL	10 0011, RO/P	ベンダ モデル番号: ベンダ モデル番号の 6 ビットはビット 9 ~ 4 に割り当てられています (最上位ビットはビット 9)。
3:0	MDL_REV	0001, RO/P	モデル リビジョン番号: ベンダ モデル リビジョン番号の 4 ビットはビット 3 ~ 0 に割り当てられています (最上位ビットはビット 3)。このフィールドは、すべての主要なデバイス変更に対してインクリメントされます。

8.5 オートネゴシエーション アドバタイズメント レジスタ (ANAR)

このレジスタには、本デバイスの設定が格納されており、その内容は自動ネゴシエーション時にリンク パートナーへ送信されます。自動ネゴシエーション完了前にこのレジスタへの書き込み (基本モード ステータス レジスタ (アドレス 01h) 自動ネゴシエーション完了ビット BMSR[5] に表示) を行う際は、その後には再ネゴシエーションを行うことができます。これにより、新しい値が自動ネゴシエーションで適切に使用されることが検証されます。

表 8-5. オートネゴシエーション アドバタイズメント レジスタ (ANAR)、アドレス 0x0004

ビット	ビット名	デフォルト	説明
15	NP	0, RW	次ページ表示: 0 = 次ページ転送が不要。 1 = 次ページ転送が必要。
14	予約済み	0, RO/P	IEEE によって予約済み: 書き込みは無視され、読み出し時は 0 を返します。
13	RF	0, RW	リモート障害: 1 = このデバイスがリモート故障を検出したことをアドバタイズ。 0 = リモート故障は未検出。
12	予約済み	0, RW	将来 IEEE 使用のため予約済み: 0 として書き込み、0 として読み出します
11	ASM_DIR	0, RW	全二重リンクの非対称型一時停止サポート: ASM_DIR ビットは、非対称ポーズがサポートされていることを示します。ポーズビットの符号化と解決は、IEEE 802.3 付録 28B、表 28B-2 および表 28B-3 でそれぞれ定義されています。一時停止の解決ステータスは、PHYCR[13:12] で通知されます。 1 = は、DTE (MAC) が 802.3u の第 31 項および附属書 31B に規定されているオプションの MAC コントロールサブレイヤとポーズ機能の両方を実装していることをアドバタイズします。 0 = MAC ベースの全二重フロー制御なし。
10	一時停止	0, RW	全二重リンクの一時停止サポート: ポーズビットは、付録 31B で定義されている対称ポーズ機能をデバイスが提供できることを示します。ポーズビットの符号化と解決は、IEEE 802.3 付録 28B、表 28B-2 および表 28B-3 でそれぞれ定義されています。一時停止の解決ステータスは、PHYCR[13:12] で通知されます。 1 = は、DTE (MAC) が 802.3u の第 31 項および附属書 31B に規定されているオプションの MAC コントロールサブレイヤとポーズ機能の両方を実装していることをアドバタイズします。 0 = MAC ベースの全二重フロー制御なし。
9	T4	0, RO/P	100BASE-T4 は以下をサポート: 1 = 100BASE-T4 はローカル デバイスでサポートされています。 0 = 100BASE-T4 はサポートされていません。
8	TX_FD	ストラップ、RW	100BASE-TX-X 全二重対応: 1 = 100BASE-TX 全二重はローカル デバイスでサポートされています。 0 = 100BASE-TX 全二重はサポートされていません。
7	TX_HD	ストラップ、RW	100BASE-TX-X 半二重対応: 1 = 100BASE-TX 半二重は、ローカル デバイスでサポートされています。 0 = 100BASE-TX 半全二重はサポートされていません。
6	Te_FD	ストラップ、RW	10BASE-Te 全二重対応: 1 = 10BASE-Te 全二重はローカル デバイスでサポートされています。 0 = 10BASE-Te 全二重はサポートされていません。

表 8-5. オートネゴシエーションアダプタイズメントレジスタ (ANAR)、アドレス 0x0004 (続き)

ビット	ビット名	デフォルト	説明
5	Te_HD	ストラップ、RW	10BASE-Te 半二重対応: 1 = 10BASE-Te 半二重はローカル デバイスでサポートされています。 0 = 10BASE-Te 半二重はサポートされていません。
4:0	SELECTOR	0 0001、RW	プロトコル選択ビット: これらのビットには、このポートでサポートされているバイナリ エンコード プロトコル セレクタが含まれています。<00001> は、このデバイスが IEEE 802.3u をサポートしていることを示します。

8.6 オートネゴシエーション リンク パートナー アビリティ レジスタ (ANLPAR) (ベースページ)

このレジスタには、自動ネゴシエーション中に受信したリンク パートナーのアドバタイズされた機能が含まれます。次ページがサポートされている場合、自動ネゴシエーションが成功すると、コンテンツが変更されます。

表 8-6. オートネゴシエーション リンク パートナー アビリティ レジスタ (ANLPAR)、アドレス 0x0005

ビット	ビット名	デフォルト	説明
15	NP	0, RO	次ページ表示: 0 = リンク パートナーが次ページ転送を要求しない。 1 = リンク パートナーが次ページ転送を要求する。
14	ACK	0, RO	アクリッジ: 1 = リンク パートナーがリンク コード ワードの受信をアクリッジする。 0 = アクリッジしない。 オートネゴシエーション ステート マシンは、受信する FLP パーストに基づいて、このビットを自動的に制御します。
13	RF	0, RO	リモート障害: 1 = リンク パートナーによって示されたリモート故障。 0 = リンク パートナーによってリモート故障が示されていない。
12	予約済み	0, RO	将来 IEEE 使用のため予約済み:0 として書き込み、0 として読み出します。
11	ASM_DIR	0, RO	非対称型一時停止: 1 = 非対称ポーズは、リンク パートナーによってサポートされています。 0 = 非対称ポーズは、リンク パートナーによってサポートされていません。
10	一時停止	0, RO	一時停止: 1 = 一時停止機能は、リンク パートナーによってサポートされています。 0 = 一時停止機能は、リンク パートナーによってサポートされていません。
9	T4	0, RO	100BASE-T4 は以下をサポート: 1 = 100BASE-T4 は、リンク パートナーによってサポートされています。 0 = 100BASE-T4 はリンク パートナーによってサポートされていません。
8	TX_FD	0, RO	100BASE-TX-X 全二重対応: 1 = 100BASE-TX 全二重は、リンク パートナーによってサポートされています。 0 = 100BASE-TX 全二重は、リンク パートナーによってサポートされていません。
7	TX	0, RO	100BASE-TX は以下をサポート: 1 = 100BASE-TX は、リンク パートナーによってサポートされています。 0 = 100BASE-TX はリンク パートナーによってサポートされていません。
6	10_FD	0, RO	10BASE-Te 全二重対応: 1 = 10BASE-Te 全二重は、リンク パートナーによってサポートされています。 0 = 10BASE-Te 全二重は、リンク パートナーによってサポートされていません。
5	10	0, RO	10BASE-Te サポート: 1 = 10BASE-Te は、リンク パートナーによってサポートされています。 0 = 10BASE-Te はリンク パートナーによってサポートされていません。
4:0	SELECTOR	0 0000, RO	プロトコル選択ビット: リンク パートナーのバイナリ エンコード プロトコル セレクタ。

8.7 オートネゴシエーション拡張レジスタ (ANER)

このレジスタには、追加のローカル デバイスおよびリンク パートナーのステータス情報が含まれています。

表 8-7. オートネゴシエーション拡張レジスタ (ANER)、アドレス 0x0006

ビット	ビット名	デフォルト	説明
15:7	予約済み	0, RO	RESERVED: 書き込みは無視され、読み出し時は 0 を返します。
6	RX_NEXT_PAGE_LOC_ABLE	1, RO	次のページの場所を受信可能: 1 = 受信した次ページの保存場所はビット 6.5 で指定されている。 0 = 受信した次ページの保存場所はビット 6.5 で指定されていない。
5	RX_NEXT_PAGE_STOR_LOC	1, RO	次のページの保管場所を受信: 1 = リンク パートナーの次ページはレジスタ 8 に保存されている。 0 = リンク パートナーの次ページはレジスタ 5 に保存されている。
4	PDF	0, RO	並列検出故障: 1 = 並列検出機能から故障を検出済み。 0 = 故障が検出されていない。
3	LP_NP_ABLE	0, RO	リンク パートナーの次ページ機能: 1 = リンク パートナーは次のページをサポートしている。 0 = リンク パートナーは次ページをサポートしていない。
2	NP_ABLE	1, RO/P	次のページの表示可能: 1 = ローカル デバイスがさらに次のページを送信できることを示す。
1	PAGE_RX	0, RO/COR	リンク コードワード ページの受信: 1 = リンク コードワードが受信され、読み取り時にクリアされた。 0 = リンク コードワードは未受信。
0	LP_AN_ABLE	0, RO	リンク パートナーのオートネゴシエーション機能: 1 = リンク パートナーがオートネゴシエーションをサポートしていることを示す。 0 = リンク パートナーがオートネゴシエーションをサポートしていないことを示す。

8.8 オートネゴシエーション次ページ送信レジスタ (ANNPTR)

このレジスタには、自動ネゴシエーション中にこのデバイスがリンク パートナーに送信する次ページの情報が含まれています。

表 8-8. オートネゴシエーション次ページ送信レジスタ (ANNPTR)、アドレス 0x0007

ビット	ビット名	デフォルト	説明
15	NP	0, RW	次ページ表示: 0 = 別の次ページ転送が不要。 1 = 別の次のページが必要です。
14	ACK	0, RO	アクリッジ: 1 = リンク コード ワードの受信をアクリッジ 0 = リンク コード ワードをアクリッジなし。
13	MP	1, RW	メッセージ ページ: 1 = 現在のページはメッセージ ページ。 0 = 現在のページは未フォーマット ページ。
12	ACK2	0, RW	Acknowledge2: 1 = メッセージに準拠できる。 0 = メッセージに準拠できない。 アクリッジ 2 は、ローカル デバイスに受信メッセージに準拠する機能があることを示すために、次ページ機能によって使用されます。
11	TOG_TX	0, RO	トグル: 1 = 前に送信されたリンク コード ワードのトグル ビットの値が 0。 0 = 前に送信されたリンク コード ワードのトグル ビットの値が 1。 トグルは、オートネゴシエーション内の調停機能によって使用され、次ページ交換中にリンク パートナーと同期の同期を検証します。このビットは常に、前に交換されたリンク コード ワード内のトグル ビットとは逆の値を取ります。
10:0	コード	000 0000 0001, RW	コード: このフィールドは、次ページ送信のコード フィールドを表します。MP ビットが設定されている場合 (このレジスタのビット 13)、コードは、IEEE 802.3u 付録 28C で定義されているメッセージ ページとして解釈されるものとします。それ以外の場合、コードは未フォーマット ページとして相互に扱われるものとし、解釈はアプリケーション固有です。コードのデフォルト値は、IEEE 802.3u 付録 28C で定義されている Null ページを表します。

8.9 オートネゴシエーション次ページ受信レジスタ (ANNPRR)

このレジスタには、自動ネゴシエーション中にリンク パートナーが送信した次ページの情報が含まれます。

表 8-9. オートネゴシエーション次ページ送信レジスタ (ANNPTR)、アドレス 0x0008

ビット	ビット名	デフォルト	説明
15	NP	0, RW	次ページ表示: 0 = リンク パートナーが希望する次のページ転送は他になし。 1 = リンク パートナーが希望する別の次のページ。
14	ACK	0, RO	アックリッジ: 1 = リンク パートナーによるリンク コード ワードの受信をアックリッジ。 0 = リンク パートナーがリンク コード ワードの受信をアックリッジしない。
13	MP	1, RW	メッセージ ページ: 1 = 受信したページはメッセージ ページ。 0 = 受信したページは未フォーマット ページ。
12	ACK2	0, RW	Acknowledge2: 1 = リンク パートナーが ACK2 ビットを設定する。 0 = リンク パートナーが ACK2 ビットを設定しない。 Acknowledge2 は、リンク パートナーに受信メッセージに準拠する機能があることを示すために、次ページ機能によって使用されます。
11	TOG_TX	0, RO	トグル: 1 = 前に送信されたリンク コード ワードのトグル ビットの値が 0。 0 = 前に送信されたリンク コード ワードのトグル ビットの値が 1。 トグルは、オートネゴシエーション内の調停機能によって使用され、次ページ交換中にリンク パートナーとの同期を確認します。このビットは常に、前に交換されたリンク コード ワード内のトグル ビットとは逆の値を取るものとします。
10:0	コード	000 0000 0001, RW	コード: このフィールドは、次ページ送信のコード フィールドを表します。MP ビットが設定されている場合 (このレジスタのビット 13)、コードは、IEEE 802.3u 付録 28C で定義されているメッセージ ページとして解釈されるものとします。それ以外の場合、コードは未フォーマット ページとして相互に扱われるものとし、解釈はアプリケーション固有です。 コードのデフォルト値は、IEEE 802.3u 付録 28C で定義されている Null ページを表します。

8.10 1000BASE-T 構成レジスタ (CFG1)

表 8-10. 構成レジスタ 1 (CFG1)、アドレス 0x0009

ビット	ビット名	デフォルト	説明
15:13	テスト モード	000, RW	テスト モード選択: 111 = テスト モード 7 - 反復 {パルス、63 ゼロ} 110 = テスト モード 6 - 反復 0001 シーケンス 101 = テスト モード 5 - スランブル MLT3 アイドル 100 = テスト モード 4 - 送信歪みテスト 011 = テスト モード 3 - 送信ジッタ テスト (フォロワー モード) 010 = テスト モード 2 - 送信ジッタ テスト (リーダー モード) 001 = テスト モード 1 - 送信波形テスト 000 = 通常モード
12	リーダー / フォロワ 手動構成	0, RW	手動リーダー / フォロワー 設定イネーブル: 1h = 手動リーダー / フォロワー 設定の制御を有効にする。 0 = 手動リーダー / フォロワー 構成制御。 手動設定機能を使用すると、リンク パートナー の設定と競合する場合に、PHY が 1000Base-T モードでリンクを確立できなくなります。
11	リーダー / フォロワー 構成値	0, RW	手動リーダー / フォロワー 構成値: 1 = レジスタ 09h のビット 12 = 1 の場合、PHY をリーダーに設定します。 0 = レジスタ 09h のビット 12 = 1 の場合、PHY をフォロワーに設定します。 手動設定機能を使用すると、リンク パートナー の設定と競合する場合に、PHY が 1000Base-T モードでリンクを確立できなくなります。
10	PORT TYPE	0, RW	アダプタ イズ デバイス タイプ: マルチポート または シングルポート: 1 = マルチポート デバイス。 0 = シングルポート デバイス。
9	1000BASE-T 全二重	RGZ: 1, RW PAP: ストラップ、RW	1000BASE-T 全二重対応をアダプタ イズ: 1 = 1000Base-T 全二重機能をアダプタ イズする。 0 = 1000Base-T 全二重機能をアダプタ イズしない。
8	1000BASE-T 半二重	1, RW	1000BASE-T 半二重機能をアダプタ イズする: 1 = 1000Base-T 半二重機能をアダプタ イズする。 0 = 1000Base-T 半二重機能をアダプタ イズしない。
7	TDR 自動実行	0, RW	リンク ダウン 時の自動 TDR: 1 = リンク ダウン イベント後の TDR 手順の実行を有効化。 0 = TDR 自動実行を無効化。
6:0	予約済み	000 0000, RO	RESERVED: 書き込みは無視され、0 として読み出します。

8.11 ステータス レジスタ 1 (STS1)

表 8-11. ステータス レジスタ 1 (STS1) アドレス 0x000A

ビット	ビット名	デフォルト	説明
15	リーダー / フォロワ設定の故障	0, RO, LH, COR	リーダー / フォロワ手動設定の故障を検出: 1 = 手動リーダー / フォロワ設定の故障を検出済み。 0 = 手動リーダー / フォロワ設定の故障を検出せず
14	リーダー / フォロワの設定を解決	0, RO	リーダー / フォロワの設定結果: 1 = 構成がリーダーに解決されました。 0 = 構成がフォロワに解決されました。
13	ローカル レシーバのステータス	0, RO	ローカル レシーバのステータス: 1 = ローカル レシーバは OK。 0 = ローカル レシーバは OK ではない。
12	リモートレシーバ ステータス	0, RO	リモートレシーバ ステータス: 1 = リモートレシーバは OK。 0 = リモートレシーバは OK ではない。
11	1000BASE-T 全二重	0, RO	リンク パートナー 1000BASE-T 全二重対応: 1 = 1000Base-T 全二重のリンク パートナー対応。 0 = 1000Base-T 全二重のリンク パートナー対応なし。
10	1000BASE-T 半二重	0, RO	リンク パートナー 1000BASE-T 半二重対応: 1 = 1000Base-T 半二重のリンク パートナー対応。 0 = 1000Base-T 半二重のリンク パートナー対応なし。
9:8	予約済み	00, RO	IEEE によって予約済み: 書き込みは無視され、読み出し時は 0 を返します。
7:0	アイドル エラー カウンタ	0000 0000, RO, COR	1000BASE-T アイドル エラー カウンタ

8.12 拡張レジスタ アドレッシング

REGCR (0x000D) および ADDAR (0x000E) を使用すると、間接アドレッシングによって拡張レジスタ セット (0x001F を超えるアドレス) への読み取り / 書き込みアクセスが可能になります。

- **REGCR [15:14] = 00:** ADDAR への書き込みにより、拡張レジスタ セット アドレス レジスタが変更されます。拡張レジスタ セット内のいずれのレジスタにアクセスするにも、このアドレス レジスタを初期化する必要があります。
- **REGCR [15:14] = 01:** ADDAR の読み取りまたは書き込みは、アドレス レジスタの値によって選択 (指定) された拡張レジスタ セット内のレジスタに対して実行されます。アドレス レジスタの内容 (ポインタ) は変更されません。
- **REGCR [15:14] = 10:** ADDAR の読み取りまたは書き込みは、アドレス レジスタの値によって選択 (指定) された拡張レジスタ セット内のレジスタに対して実行されます。そのアクセスが完了した後、読み出しの場合も書き込みの場合も、アドレス レジスタの値がインクリメントされます。
- **REGCR [15:14] = 11:** ADDAR の読み取りまたは書き込みは、アドレス レジスタの値によって選択 (指定) された拡張レジスタ セット内のレジスタに対して実行されます。このアクセスが完了した後、書き込みアクセスの場合のみ、アドレス レジスタの値がインクリメントされます。読み出しアクセスの場合、アドレス レジスタの値は変更されません。

8.12.1 レジスタ制御レジスタ (REGCR)

このレジスタは、MDIO 管理可能な MMD アクセス制御です。一般に、レジスタ REGCR (4:0) は、ADDAR (0x000E) レジスタのすべてのアクセスを適切な MMD に向けるデバイス アドレス DEVAD です。REGCR には、データ レジスタを自動インクリメントするための選択ビットも含まれています。このレジスタには、拡張レジスタへのアクセス用書き込まれるデバイス アドレスが含まれています。このレジスタのビット 4:0 に 0x1F を書き込みます。REGCR には、ADDAR のアドレス自動インクリメント モード用の選択ビット (15:14) も含まれています。

表 8-12. レジスタ制御レジスタ (REGCR)、アドレス 0x000D

ビット	ビット名	デフォルト	説明
15:14	機能	0, RW	00 = アドレス 01 = データ、ポスト インクリメントなし 10 = データ、読み出しおよび書き込み時にポスト インクリメント 11 = データ、書き込み時のみポスト インクリメント
13:5	予約済み	0, RO	RESERVED: 書き込みは無視され、読み出し時は 0 を返します。
4:0	DEVAD	0, RW	デバイス アドレス: 一般にこれらのビット [4:0] はデバイス アドレス DEVAD であり、ADDAR レジスタ (0x000E) へのアクセスを適切な MMD に指示します。特に DP83867 は、アドレスがアクセスのためにベンダ固有の DEVAD [4:0] = 11111 を使います。レジスタ REGCR および ADDAR によるすべてのアクセスでは、この DEVAD を使用できます。その他の DEVAD を使ったトランザクションは無視されます。

8.12.2 アドレスまたはデータ レジスタ (ADDAR)

このレジスタは、アドレス / データ MMD レジスタです。ADDAR は、REGCR レジスタ (0x000D) と組み合わせて使用することで、拡張レジスタ セットへの間接的な読み取り / 書き込み機能によるアクセスを提供します。

表 8-13. アドレスまたはデータ レジスタ (ADDAR) アドレス 0x000E

ビット	ビット名	デフォルト	説明
15:0	アドレス / データ	0, RW	REGCR レジスタ 15:14 = 00 の場合、MMD DEVAD のアドレスレジスタを保持します。それ以外の場合、MMD DEVAD のデータレジスタを保持します

8.13 1000BASE-T ステータス レジスタ (1KSCR)

表 8-14. 1000BASE-T ステータス レジスタ (1KSCR) アドレス 0x000F

ビット	ビット名	デフォルト	説明
15	1000BASE-X 全二重	0, RO/P	1000BASE-X 全二重対応: 1 = 1000BASE-X 全二重はローカル デバイスでサポートされています。 0 = 1000BASE-X 全二重は、ローカル デバイスではサポートされていません。
14	1000BASE-X 半二重	0, RO/P	1000BASE-X-X 半二重対応: 1 = 1000BASE-X 半二重は、ローカル デバイスでサポートされています。 0 = 1000BASE-X 半二重は、ローカル デバイスではサポートされていません。
13	1000BASE-T 全二重	1, RO/P	1000BASE-T 全二重対応: 1 = 1000BASE-T 全二重はローカル デバイスでサポートされています。 0 = 1000BASE-T 全二重は、ローカル デバイスではサポートされていません。
12	1000BASE-T 半二重	1, RO/P	1000BASE-T-X 半二重対応: 1 = 1000BASE-T 半二重は、ローカル デバイスでサポートされています。 0 = 1000BASE-T 半二重は、ローカル デバイスではサポートされていません。
11:0	予約済み	00, RO	IEEE によって予約済み: 書き込みは無視され、読み出し時は 0 を返します。

8.14 PHY 制御レジスタ (PHYCR)

表 8-15. PHY 制御レジスタ (PHYCR)、アドレス 0x0010

ビット	ビット名	デフォルト	説明
15:14	TX FIFO の深さ	1, RW	TX FIFO の深さ: 11 = 8 バイト / ニブル (1000Mbps / その他の速度) 10 = 6 バイト / ニブル (1000Mbps / その他の速度) 01 = 4 バイト / ニブル (1000Mbps / その他の速度) 00 = 3 バイト / ニブル (1000Mbps / その他の速度) 注: FIFO は、次のモードでのみ有効化されます: 1000BaseT + GMII
13:11	予約済み	010, RO	予約済み
10	FORCE_LINK_GOOD	0, RW	リンク グッドを強制: 1 = 選択した速度に応じてリンク グッドを強制します。 0 = 通常動作
9:8	POWER_SAVE_MODE	0, RW	省電力モード: 11 = パンプ スリープ モード: すべてのデジタル ブロックとアナログ ブロックの電源をオフにします。 10 = アクティブ スリープ モード: すべてのデジタル ブロックとアナログ ブロックの電源をオフにします。リンク パートナーが実行されると、自動パワーアップが実行されます。潜在的なリンク パートナーをウェークアップするため、このモードでは 1.4 秒ごとに約 1 回送信されます。 01 = IEEE モード: すべてのデジタル ブロックとアナログ ブロックをパワーダウンします。 注: DISABLE_CLK_125 (このレジスタのビット [4]) がゼロに設定されている場合、PLL も電源オフになります。 00 = 通常モード
7	DEEP_POWER_DOWN_EN	0, RW	ディープ パワーダウン モード イネーブル 1 = 外部パワーダウン ピンのアサートまたは BMCR の POWER_DOWN ビットによってパワーダウンが開始されると、デバイスはディープ パワーダウン モードに移行します。 0 = 通常動作。
6:5	MDI_CROSSOVER	RGZ: 10, RW PAP: ストラップ、RW	MDI クロスオーバー モード: 1x = 自動クロスオーバーをイネーブル 01 = 手動 MDI-X 設定 00 = 手動 MDI 設定
4	DISABLE_CLK_125	0, RW	125MHz クロック無効化: このビットは、POWER_SAVE_MODE (このレジスタのビット 9:8) と組み合わせて使用できます。 1 = 無効 CLK125。 0 = CLK125 を有効にします。
3	予約済み	1, RO	RESERVED: 書き込みは無視され、読み出し時は 1 を返します。
2	STANDBY_MODE	0, RW	スタンバイ モード: 1 = スタンバイ モードを有効にします。デジタル回路およびアナログ回路に電源が投入されますが、リンクは確立できません。 0 = 通常動作。
1	LINE_DRIVER_INV_EN	0, RW	ライン ドライバ反転の有効化: 1 = 反転ライン ドライバの伝送。 0 = 通常動作。
0	DISABLE_JABBER	0, RW	ジャババーを無効にする 1 = ジャババー機能を無効にします。 0 = ジャババー機能を有効化

8.15 PHY ステータス レジスタ (PHYSTS)

このレジスタは、一般的にアクセスされる情報に迅速にアクセスできるように、レジスタ セット内で単一の場所を提供します。

表 8-16. PHY ステータス レジスタ (PHYSTS)、アドレス 0x0011

ビット	ビット名	デフォルト	説明
15:14	速度選択	0, RO	速度選択ステータス: これら 2 つのビットは、オートネゴシエーションで決定される動作速度、または手動構成で設定される動作速度を示します。 11 = 予約済み 10 = 1000Mbps 01 = 100Mbps 00 = 10Mbps
13	二重モード	0, RO	二重モード ステータス: 1 = 全二重 0 = 半二重
12	ページの受信	0, RO, LH, COR	ページの受信: このビットは High にラッチされ、読み取り時にクリアされます。 1 = ページを受信しました。 0 = ページを受信されませんでした。
11	速度デプレックス解決	0, RO	速度デプレックス解決ステータス: 1 = オートネゴシエーションが完了または無効化。 0 = オートネゴシエーションが有効化かつ未完了。
10	LINK_STATUS	0, RO	リンク ステータス: 1 = リンクは確立。 0 = リンクの確立なし。
9	MDI_X_MODE_CD	0, RO	C および D ラインドライバ ペアの MDI/MDIX 解決ステータス: 1 = MDIX として解決 0 = MDI として解決。
8	MDI_X_MODE_AB	0, RO	A および B ラインドライバ ペアの MDI/MDIX 解決ステータス: 1 = MDIX として解決 0 = MDI として解決。
7	SPEED_OPT_STATUS	0, RO	速度最適化ステータス: 1 = 1000BaseT の機能をマスキングする速度最適化を使用してオートネゴシエーションが現在実行されている (オートネゴシエーション中のみ有効)。 0 = 速度最適化を使用しないでオートネゴシエーションが現在実行されている
6	SLEEP_MODE	0, RO	スリープ モード ステータス: 1 = デバイスは現在スリープ モード。 0 = デバイスは現在アクティブ モード。
5:2	WIRE_CROSS	0, RO	クロスワイヤ表示: 1000BASE-T リンク ステータスのチャンネル極性を示します。ビット [5:2] は、それぞれチャンネル [D、C、A] に対応します。 1 = チャンネルの極性は反転。 0 = チャンネルの極性は通常。

表 8-16. PHY ステータス レジスタ (PHYSTS)、アドレス 0x0011 (続き)

ビット	ビット名	デフォルト	説明
1	極性ステータス	1, RO	10BASE-Te 極性ステータス: 1 = 正しい極性を検出済み。 0 = 反転極性を検出済み。
0	ジャバー検出	0, RO	ジャバー検出: このビットは 10Mbps モードでのみ意味を持ちます。 このビットは、BMSR レジスタのジャバー検出ビットの複製ですが、PHYSTS レジスタを読み出してもクリアされない点が異なります。 1 = ジャバー状態を検出済み。 0 = ジャバーなし。

8.16 MII 割り込み制御レジスタ (MICR)

このレジスタは、割り込み PHY 専用制御レジスタを実装しています。個別の割り込みイベントは、MII 割り込み制御レジスタ (MICR) のビットをセットしてイネーブルにする必要があります。レジスタの対応するイネーブル ビットがセットされている場合、イベントが発生すると割り込みが生成されます。

表 8-17. MII 割り込み制御レジスタ (MICR)、アドレス 0x0012

ビット	ビット名	デフォルト	説明
15	AUTONEG_ERR_INT_EN	0, RW	オートネゴシエーション エラー割り込みイネーブル: 1 = オートネゴシエーション エラー割り込みの有効化。 0 = オートネゴシエーション エラー割り込みの無効化。
14	SPEED_CHNG_INT_EN	0, RW	速度変化割り込みイネーブル: 1 = 速度変更割り込みイネーブル。 0 = 速度変化割り込みの無効化。
13	DUPLEX_MODE_CHNG_INT_EN	0, RW	二重モード変更割り込みイネーブル: 1 = 二重モード変更割り込みの有効化。 0 = 二重モード変更割り込みディセーブル。
12	PAGE_RECEIVED_INT_EN	0, RW	ページ受信割り込みイネーブル: 1 = ページ受信割り込みの有効化。 0 = ページ受信割り込みの無効化。
11	AUTONEG_COMP_INT_EN	0, RW	オートネゴシエーション完了割り込みイネーブル: 1 = オートネゴシエーション完了割り込みの有効化。 0 = オートネゴシエーション完了割り込みの無効化。
10	LINK_STATUS_CHNG_INT_EN	0, RW	リンク ステータス変化の割り込み: 1 = リンク ステータス変化の割り込みの有効化。 0 = リンク ステータス変化の割り込みの無効化。
9	予約済み	0, RO	予約済み
8	FALSE_CARRIER_INT_EN	0, RW	誤キャリア割り込みイネーブル: 1 = 誤キャリア割り込みの有効化。 0 = 誤キャリア割り込みの無効化。
7	予約済み	0, RO	予約済み
6	MDI_CROSSOVER_CHNG_INT_EN	0, RW	MDI クロスオーバー変化割り込みイネーブル: 1 = MDI クロスオーバー変化割り込みイネーブル。 0 = MDI クロスオーバー変化割り込みディセーブル。
5	SPEED_OPT_EVENT_INT_EN	0, RW	速度最適化イベント割り込みイネーブル: 1 = 速度最適化イベント割り込みの有効化。 0 = 速度最適化イベント割り込みの無効化。
4	SLEEP_MODE_CHNG_INT_EN	0, RW	スリープ モード変更割り込みイネーブル: 1 = スリープ モード変化割り込みの有効化。 0 = スリープ モード変更割り込みの無効化。
3	WOL_INT_EN	0, RW	Wake-on-LAN 割り込みイネーブル: 1 = Wake-on-LAN 割り込みの有効化。 0 = Wake-on-LAN 割り込みの無効化。

表 8-17. MII 割り込み制御レジスタ (MICR)、アドレス 0x0012 (続き)

ビット	ビット名	デフォルト	説明
2	XGMII_ERR_INT_EN	0, RW	xGMII エラー割り込みイネーブル: 1 = xGMII エラー割り込みの有効化: 0 = xGMII エラー割り込みの無効化。
1	POLARITY_CHNG_INT_EN	0, RW	極性変化割り込みイネーブル: 1 = 極性変化割り込みの有効化。 0 = 極性変化割り込みの無効化。
0	JABBER_INT_EN	0, RW	ジャババー割り込みイネーブル: 1 = ジャババー割り込みの有効化。 0 = ジャババー割り込みの無効化。

8.17 割り込みステータス レジスタ (ISR)

このレジスタには、割り込み機能のイベント ステータスが含まれています。このレジスタの前の読み取り以降にイベントが発生した場合、対応するステータス ビットがセットされます。このレジスタのステータス表示は、割り込みがイネーブルでない場合でもセットされます。

表 8-18. 割り込みステータス レジスタ (ISR)、アドレス 0x0013

ビット	ビット名	デフォルト	説明
15	AUTONEG_ERR_INT	0, RO, LH, COR	オートネゴシエーション エラー割り込み: 1 = オートネゴシエーション エラー割り込みが保留中で、現在の読み取りによってクリアされる。 0 = オートネゴシエーション エラー割り込みなし。
14	SPEED_CHNG_INT	0, RO, LH, COR	速度変化割り込み: 1 = 速度変化割り込みが保留中で、現在の読み取りによってクリアされる。 0 = 速度変化割り込みなし。
13	DUPLEX_MODE_CHNG_INT	0, RO, LH, COR	二重モード変化割り込み: 1 = 二重モード変化割り込みが保留中で、現在の読み取りによってクリアされる。 0 = 二重モード変更割り込みなし。
12	PAGE_RECEIVED_INT	0, RO, LH, COR	ページ受信割り込み: 1 = ページ受信割り込みが保留中で、現在の読み取りによってクリアされる。 0 = ページ受信割り込みなしは保留中です。
11	AUTONEG_COMP_INT	0, RO, LH, COR	オートネゴシエーション完了割り込み: 1 = オートネゴシエーション完了割り込みが保留中で、現在の読み取りによってクリアされる。 0 = オートネゴシエーション完了割り込みが保留中です。
10	LINK_STATUS_CHNG_INT	0, RO, LH, COR	リンク ステータス変化割り込み: 1 = リンク ステータス変化割り込みが保留中で、現在の読み取りによってクリアされる。 0 = リンク ステータス変化の割り込みなしが保留中です。
9	予約済み	0, RO	予約済み
8	FALSE_CARRIER_INT	0, RO, LH, COR	誤キャリア割り込み: 1 = 誤キャリア割り込みが保留中で、現在の読み取りによってクリアされる。 0 = 誤キャリア割り込みは保留中です。
7	予約済み	0, RO	予約済み
6	MDI_CROSSOVER_CHNG_INT	0, RO, LH, COR	MDI クロスオーバー変化割り込み: 1 = MDI クロスオーバー変化割り込みが保留中で、現在の読み取りによってクリアされる。 0 = MDI クロスオーバー変化割り込みは保留中ではありません。

表 8-18. 割り込みステータス レジスタ (ISR)、アドレス 0x0013 (続き)

ビット	ビット名	デフォルト	説明
5	SPEED_OPT_EVENT_INT	0、RO、LH、COR	速度最適化イベント割り込み: 1 = 速度最適化イベント割り込みが保留中で、現在の読み取りによってクリアされる。 0 = 速度最適化イベント割り込みなしが保留中です。
4	SLEEP_MODE_CHNG_INT	0、RO、LH、COR	スリープモード変化割り込み: 1 = スリープモード変化割り込みが保留中で、現在の読み取りによってクリアされる。 0 = スリープモード変化割り込みが保留中です。
3	WOL_INT	0、RO、LH、COR	Wake-on-LAN 割り込み: 1 = Wake-on-LAN 割り込みが保留中です。 0 = Wake-on-LAN 割り込みなしは保留中です。
2	XGMII_ERR_INT	0、RO、LH、COR	xGMII エラー割り込み: 1 = xGMII エラー割り込みが保留中で、現在の読み取りによってクリアされる。 0 = xGMII エラーなし割り込みが保留中です。
1	POLARITY_CHNG_INT	0、RO、LH、COR	極性変化割り込み: 1 = 極性変化割り込みが保留中で、現在の読み取りによってクリアされる。 0 = 極性変化割り込みは保留中です。
0	JABBER_INT	0、RO、LH、COR	ジャババー割り込み: 1 = ジャババー割り込みが保留中で、現在の読み取りによってクリアされる。 0 = ジャババー割り込みなしが保留中です。

8.18 構成レジスタ 2 (CFG2)

表 8-19. 構成レジスタ 2 (CFG2)、アドレス 0x0014

ビット	ビット名	デフォルト	説明
15:14	予約済み	0, RO	RESERVED: 書き込みは無視され、読み出し時は 0 を返します。
13	INTERRUPT_POLARITY	1, RW	割り込み極性の設定: 1 = 割り込みピンがアクティブ Low。 0 = 割り込みピンがアクティブ High。
12	予約済み	0, RO	予約済み
11:10	SPEED_OPT_ATTEMPT_CNT	10, RW	速度最適化試行回数: 速度最適化を実行する前に、1000BASE-T リンク確立試行の失敗回数を 選択します。 11 = 8 10 = 4 01 = 2 00 = 1
9	SPEED_OPT_EN	RGZ: 0, RW PAP: ストラップ、RW	速度最適化が有効: 1 = 速度最適化を有効化。 0 = 速度最適化を無効化。
8	SPEED_OPT_ENHANCED_EN	1, RW	速度最適化拡張モードを有効化: 拡張モードでは、チャンネル C および D でエネルギーが検出されない場合、速度が最適化されます。 1 = 速度最適化拡張モードを有効化。 0 = 速度最適化拡張モードを無効化。
7	予約済み	0, RO	予約済み
6	SPEED_OPT_10M_EN	1, RW	10BASE-Te への速度最適化を有効化: 1 = 1000BASE-T および 100BASE-TX のリンク確立に失敗した場合、 10BASE-Te までの速度最適化を有効化。 0 = 10BASE-Te への速度最適化を無効化。
5:0	予約済み	0 0111, RO	予約済み

8.19 レシーバエラー カウンタ レジスタ (RECR)

表 8-20. レシーバエラー カウンタ レジスタ (RECR)、アドレス 0x0015

ビット	ビット名	デフォルト	説明
15:0	RXERCNT[15:0]	0, RO, WSC	RX_ER カウンタ: 受信エラー カウンタ。このレジスタは最大値 0xFFFF で飽和します。この レジスタへのダミー書き込みによってカウンタはクリアされます。

8.20 BIST 制御レジスタ (BISCR)

このレジスタは、組み込みセルフ テスト (BIST) 構成に使用されます。BIST 機能は、パケット ジェネレータおよびチェッカなどの疑似ランダム ビット ストリーム (PRBS) メカニズムを提供します。このレジスタでは、信号チェーンの正確なループバック ポイントの選択も行います。

表 8-21. BIST 制御レジスタ (BISCR)、アドレス 0x0016

ビット	ビット名	デフォルト	説明
15	PRBS_COUNT_MODE	0, RW	PRBS 連続モード: 1 = 連続モードは有効。PRBS カウンタのいずれかが最大値に達すると、パルスが生成され、カウンタは再度ゼロからカウントを開始します。PRBS 動作を正しく行うには、ビットを設定する必要があります。 0 = PRBS 連続モードを無効化。この設定では、PRBS 動作はサポートされていません。
14	GEN_PRBS_PACKET	0, RW	生成された PRBS パケット: 1 = パケット ジェネレータが有効化されている場合、PHY は PRBS データによる連続パケットを生成します。パケット ジェネレータが無効化されている場合、PRBS チェッカは引き続き有効化されます。 0 = パケット ジェネレータが有効化されている場合、PHY は一定データを持つシングル パケットを生成します。PRBS の生成およびチェックは無効化されます。
13	PACKET_GEN_64BIT_MODE	0, RW	BIST パケット サイズ: 1 = パケット生成モードで 64 バイトのパケットを送信送します。 0 = パケット生成モードで 1518 バイトのパケットを送信送します
12	PACKET_GEN_EN	0, RW	パケット BIST の有効化: 1 = パケット / PRBS ジェネレータを有効化 0 = パケット / PRBS ジェネレータを無効化
11:8	予約済み	0, RO	RESERVED: 書き込みは無視され、読み出し時は 0 を返します。
7	REV_LOOP_RX_DATA_CTRL	0, RW	リバース ループバック受信データ制御: このビットは、リバース ループバック モードでのみ設定できます。 1 = 逆ループで MAC に RX パケットを送信 0 = 逆ループで MAC に RX パケットを抑制
6	MII_LOOP_TX_DATA_CTRL	0, RW	MII ループバック送信データ制御: このビットは、MII ループバック モードでのみ設定できます。 1 = MII ループで MDI ヘデータを送信 0 = MII ループで MDI へのデータを抑制
5:2	LOOPBACK_MODE	0, RW	ループバック モードの選択: ループバック モードを選択する前に、PCS ループバックを無効化する必要があります (ビット [1:0] = 00)。 1000: リバース ループ 0100: 外部ループ 0010: アナログ ループ 0001: デジタル ループ

表 8-21. BIST 制御レジスタ (BISCR)、アドレス 0x0016 (続き)

ビット	ビット名	デフォルト	説明
1:0	PCS_LOOPBACK	0, RW	PCS ループバック選択: 100Base-TX 用に構成した場合: 11: MLT3 エンコーダ後のループ (TX/RX パス全体) 10: スランブラ後のループ、MLT3 エンコーダの前 01: スランブラ前のループ 1000Base-T: x1 で構成されている場合: 1000Base-T 信号処理を行う前にループします。

8.21 ステータス レジスタ 2 (STS2)

表 8-22. ステータス レジスタ 2 (STS2)、アドレス 0x0017

ビット	ビット名	デフォルト	説明
15:12	予約済み	0, RO	RESERVED: 書き込みは無視され、読み出し時は 0 を返します。
11	PRBS_LOCK	0, RO	PRBS ロック ステータス: 1 = 受信したバイト ストリームに PRBS チェッカがロック。 0 = PRBS チェッカはロックしていない。
10	PRBS_LOCK_LOST	0, RO, LH, COR	PRBS ロック喪失: 1 = PRBS チェッカはロックを失った。 0 = PRBS チェッカはロックを失っていない。
9	PKT_GEN_BUSY	0, RO	パケット ジェネレータ ビジー: 1 = パケット生成は処理中です。 0 = パケット生成は処理中ではありません。
8	SCR_MODE_MASTER_1G	0, RO	ギガビット マスター スランブル モード: 1 = 1G PCS (マスター) はレガシー エンコード モード。 0 = 1G PCS (マスター) は通常エンコード モード。
7	SCR_MODE_MASTER_1G	0, RO	ギガビット スレーブ スランブル モード: 1 = 1G PCS (スレーブ) はレガシー エンコード モード。 0 = 1G PCS (スレーブ) は通常エンコード モード。
6	CORE_PWR_MODE	0, RO	コア電力モード: 1 = コアは通常電力モード。 0 = コアはパワーダウン モードまたはスリープ モード
5:0	予約済み	0, RO	RESERVED: 書き込みは無視され、読み出し時は 0 を返します。

8.22 LED 構成レジスタ 1 (LEDCR1)

このレジスタは、LED 機能を対応するピンにマッピングします。

表 8-23. LED 構成レジスタ 1 (LEDCR1)、アドレス 0x0018

ビット	ビット名	デフォルト	説明
15:12	LED_GPIO_SEL	RW, 0110	GPIO LED_3 のソース: 1111: 予約済み 1110: 受信エラー 1101: 受信エラーまたは送信エラー 1100: 予約済み 1011: リンクが確立され、送信または受信アクティビティのために点滅 1010: フル デュプレックス 1001: 100/1000BT リンクを確立 1000: 10/100BT リンクを確立 0111: 10BT リンクを確立 0110: 100 BTX リンクを確立 0101: 1000BT リンクを確立 0100: 衝突を検出 0011: 受信アクティビティ 0010: 送信アクティビティ 0001: 受信または送信アクティビティ 0000: リンクが確立されました
11:8	LED_2_SEL	RW, 0001	LED_2 のソース: 1111: 予約済み 1110: 受信エラー 1101: 受信エラーまたは送信エラー 1100: 予約済み 1011: リンクが確立され、送信または受信アクティビティのために点滅 1010: フル デュプレックス 1001: 100/1000BT リンクを確立 1000: 10/100BT リンクを確立 0111: 10BT リンクを確立 0110: 100 BTX リンクを確立 0101: 1000BT リンクを確立 0100: 衝突を検出 0011: 受信アクティビティ 0010: 送信アクティビティ 0001: 受信または送信アクティビティ 0000: リンクが確立されました

表 8-23. LED 構成レジスタ 1 (LEDCR1)、アドレス 0x0018 (続き)

ビット	ビット名	デフォルト	説明
7:4	LED_1_SEL	RW, 0101	LED_1 のソース: 1111: 予約済み 1110: 受信エラー 1101: 受信エラーまたは送信エラー 1100: 予約済み 1011: リンクが確立され、送信または受信アクティビティのために点滅 1010: フル デュプレックス 1001: 100/1000BT リンクを確立 1000: 10/100BT リンクを確立 0111: 10BT リンクを確立 0110: 100 BTX リンクを確立 0101: 1000BT リンクを確立 0100: 衝突を検出 0011: 受信アクティビティ 0010: 送信アクティビティ 0001: 受信または送信アクティビティ 0000: リンクが確立されました
3:0	LED_0_SEL	RW, 0000	LED_0 のソース: 1111: 予約済み 1110: 受信エラー 1101: 受信エラーまたは送信エラー 1100: 予約済み 1011: リンクが確立され、送信または受信アクティビティのために点滅 1010: フル デュプレックス 1001: 100/1000BT リンクを確立 1000: 10/100BT リンクを確立 0111: 10BT リンクを確立 0110: 100 BTX リンクを確立 0101: 1000BT リンクを確立 0100: 衝突を検出 0011: 受信アクティビティ 0010: 送信アクティビティ 0001: 受信または送信アクティビティ 0000: リンクが確立されました

8.23 LED 構成レジスタ 2 (LEDCR2)

このレジスタにより、任意の LED 出力またはすべての LED 出力を直接制御できます。

表 8-24. LED 構成レジスタ 2 (LEDCR2)、アドレス 0x0019

ビット	ビット名	デフォルト	説明
15	予約済み	0, RO	RESERVED: 書き込みは無視され、読み出し時は 0 を返します。
14	LED_GPIO_POLARITY	1, RW	GPIO LED の極性: 1 = アクティブ High 0 = アクティブ Low
13	LED_GPIO_DRV_VAL	0, RW	GPIO LED 駆動値: GPIO LED を強制的にオンにする値 このビットは、LED_GPIO_DRV_EN によって有効にされた場合にのみ有効です。
12	LED_GPIO_DRV_EN	0, RW	GPIO LED 駆動の有効化: 1 = LED_GPIO_DRV_VAL ビットの値を GPIO LED に強制的に出力します。 0 = 通常動作
11	予約済み	0, RO	RESERVED: 書き込みは無視され、読み出し時は 0 を返します。
10	LED_2_POLARITY	1, RW	LED_2 極性: 1 = アクティブ High 0 = アクティブ Low
9	LED_2_DRV_VAL	0, RW	LED_2 駆動値: LED_2 を強制的にオンにする値 このビットは、LED_2_DRV_EN によって有効になった場合にのみ有効です。
8	LED_2_DRV_EN	0, RW	LED_2 駆動の有効化: 1 = LED_2_DRV_VAL ビットの値を LED_2 に強制的に書き込みます。 0 = 通常動作
7	予約済み	0, RO	RESERVED: 書き込みは無視され、読み出し時は 0 を返します。
6	LED_1_POLARITY	1, RW	LED_1 極性: 1 = アクティブ High 0 = アクティブ Low
5	LED_1_DRV_VAL	0, RW	LED_1 駆動値: LED_1 を強制的にオンにする値 このビットは、LED_1_DRV_EN によって有効になった場合にのみ有効です。
4	LED_1_DRV_EN	0, RW	LED_1 駆動の有効化: 1 = LED_1_DRV_VAL ビットの値を LED_1 に強制的に書き込みます。 0 = 通常動作
3	予約済み	0, RO	RESERVED: 書き込みは無視され、読み出し時は 0 を返します。
2	LED_0_POLARITY	1, RW	LED_0 極性: 1 = アクティブ High 0 = アクティブ Low
1	LED_0_DRV_VAL	0, RW	LED_0 駆動値: LED_0 を強制的にオンにする値 このビットは、LED_0_DRV_EN によって有効になった場合にのみ有効です。
0	LED_0_DRV_EN	0, RW	LED_0 駆動の有効化: 1 = LED_0_DRV_VAL ビットの値を LED_0 に強制的に書き込みます。 0 = 通常動作

8.24 LED 構成レジスタ (LEDCR3)

このレジスタは、LED の点滅レートおよびストレッチを制御します。

表 8-25. LED 構成レジスタ 3 (LEDCR3)、アドレス 0x001A

ビット	ビット名	デフォルト	説明
15:3	予約済み	0, RO	RESERVED:書き込みは無視され、読み出し時は 0 を返します。
2	LEDS_BYPASS_STRETCHING	0, RW	LED ストレッチをバイパス: 1 = LED ストレッチをバイパス 0 = 通常動作
1:0	LEDS_BLINK_RATE	10, RW	LED の点滅レート: 11: 2Hz (500ms) 10: 5Hz (200ms) 01: 10Hz (100ms) 00 = 20Hz (50ms)

8.25 構成レジスタ 3 (CFG3)

表 8-26. 構成レジスタ 3 (CFG3)、アドレス 0x001E

ビット	ビット名	デフォルト	説明																				
15	パラレル検出での高速リンクアップ	0, RW	並列検出モードでの高速リンクアップ: 1 = パラレル検出中の高速リンクアップ時間の有効化 0 = 高速自動 MDI-X での通常パラレル検出リンクの確立 このビットは自動的にセットされます。																				
14	高速 AN イネーブル	0, RW	高速自動ネゴシエーション有効化: 1 = 高速自動ネゴシエーションモードを有効化 - PHY は、高速 AN Sel ビットに従ってタイマ設定を使用して自動ネゴシエーションを行います 0 = 高速自動ネゴシエーションモードを無効化 - PHY が通常のタイマ設定を使って自動ネゴシエーションを行います これらのビットを調整すると、PHY が 2 つの PHY 間で自動ネゴシエーションに要する時間を短縮できます。注:このオプションを使用する場合は、システムが適切に動作し続けるように注意する必要があります。これらのタイマ間隔を短くすると、通常の動作で問題が発生することはありませんが、特定の状況では問題が発生する可能性があります。																				
13:12	高速 AN Sel	0, RW	高速自動ネゴシエーション選択ビット: <table border="1" data-bbox="812 1123 1461 1375"> <thead> <tr> <th>高速 AN 選択</th> <th>ブレークリンク タイマ (ms)</th> <th>リンク立ち下がり禁止 タイマ (ms)</th> <th>自動ネゴシエーション 待機タイマ (ms)</th> </tr> </thead> <tbody> <tr> <td><00></td> <td>80</td> <td>50</td> <td>35</td> </tr> <tr> <td><01></td> <td>120</td> <td>75</td> <td>50</td> </tr> <tr> <td><10></td> <td>240</td> <td>150</td> <td>100</td> </tr> <tr> <td><11></td> <td>該当なし</td> <td>該当なし</td> <td>該当なし</td> </tr> </tbody> </table> <p>これらのビットを調整すると、PHY が 2 つの PHY 間の自動ネゴシエーションに要する時間が短縮されます。高速 AN モードでは、両方の PHY を同じ構成に設定できます。これら 2 ビットは、上記の表に従って、自動ネゴシエーション プロセスの各状態の継続時間を定義します。新しい期間は、このレジスタのビット 4 高速 AN En 設定してイネーブルにする必要があります。注:両方のリンク パートナーが同じ高速自動ネゴシエーション設定に設定されていない場合、このモードを使用すると、予期しない動作を伴うシナリオが発生する可能性があります。</p>	高速 AN 選択	ブレークリンク タイマ (ms)	リンク立ち下がり禁止 タイマ (ms)	自動ネゴシエーション 待機タイマ (ms)	<00>	80	50	35	<01>	120	75	50	<10>	240	150	100	<11>	該当なし	該当なし	該当なし
高速 AN 選択	ブレークリンク タイマ (ms)	リンク立ち下がり禁止 タイマ (ms)	自動ネゴシエーション 待機タイマ (ms)																				
<00>	80	50	35																				
<01>	120	75	50																				
<10>	240	150	100																				
<11>	該当なし	該当なし	該当なし																				

表 8-26. 構成レジスタ 3 (CFG3)、アドレス 0x001E (続き)

ビット	ビット名	デフォルト	説明
11	拡張 FD 機能	0, RW	拡張全二重機能: 1 = Force 100B-TX でリンク パートナーと連携している間、全二重を強制。PHY がオートネゴシエーションまたは強制 100B-TX に設定され、リンク パートナーが Force 100B-TX で動作する場合、リンクは常に全二重になります。 0 = 拡張全二重機能を無効化。全二重モードと半二重モードのどちらかで動作するかは、IEEE の仕様に従います。
10	予約済み	0, RO	予約済み
9	堅牢な Auto-MDIX	0, RW	堅牢な Auto-MDIX: 1 = による堅牢な自動 MDI/MDIX 解像度の有効化 0 = 通常の自動 MDI/MDIX モードリンク パートナーが通常の自動 MDI/MDIX モードでサポートされていない動作モード (Auto-Neg vs. Force 100Base-TX または Force 100Base-TX vs. Force 100Base-TX など) に設定されている場合、この堅牢な自動 MDI/MDIX モードは、MDI/MDIX 解像度を可能にし、デッドロックを防止します。
8	高速 Auto-MDIX	0, RW	高速自動 MDI/MDIX: 1 = 高速自動 MDI/MDIX モードを有効化 0 = 通常自動 MDI/MDIX モード 両方のリンク パートナーが強制 100Base-TX モードで動作するように設定されている場合 (自動ネゴシエーションが無効)、このモードでは短時間で自動 MDI/MDIX 解決が有効になります。
7	INT_OE	0, RW	割り込み出力イネーブル: 1 = INTN/PWDNN パッドは割り込み出力。 0 = パワーダウン入力の INTN/PWDNN パッド。
6	FORCE_INTERRUPT	0, RW	強制割り込み: 1 = 割り込みピンをアサート。 0 = 通常割り込みモード。
5:3	予約済み	0, RO	RESERVED: 書き込みは無視され、読み出し時は 0 を返します。
2	TDR_FAIL	0, RO	TDR 失敗: 1 = TDR に失敗しました。 0 = 通常 TDR 動作。
1	TDR_DONE	1, RO	TDR 完了: 1 = TDR が完了しました。 0 = TDR が完了していません。
0	TDR_START	0, RW	TDR 開始: 1 = 開始 TDR。 0 = 通常動作

8.26 制御レジスタ (CTRL)

表 8-27. 制御レジスタ (CTRL)、アドレス 0x001F

ビット	ビット名	デフォルト	説明
15	SW_RESET	0, RW, SC	ソフトウェアリセット: 1 = レジスタを含むフルリセットを実行します。 0 = 通常動作。
14	SW_RESTART	0, RW, SC	ソフトウェアリスタート: 1 = レジスタを含まないフルリセットを実行します。 0 = 通常動作。
13:0	予約済み	0, RO	RESERVED: 書き込みは無視され、読み出し時は 0 を返します。

8.27 テストモード チャンネル制御 (TMCH_CTRL)

表 8-28. テスト チャンネル制御 (TMCH_CTRL)、アドレス 0x0025

ビット	ビット名	デフォルト	説明
15:8	予約済み	0x04	予約済み
7:5	TM_CH_SEL	0x0	テスト モード チャンネル選択。
			ビット 7 が設定されると、4 つのすべてのチャンネルでテスト モードが有効になります。ビット 7 がクリアされている場合、テスト モードはビット 6:5 に従って以下のように駆動されます:
			00: チャンネル A
			01: チャンネル B
			10: チャンネル C
			11: チャンネル D
4:0	予約済み	0x00	予約済み

8.28 堅牢な自動 MDIX タイマ構成レジスタ (AMDIX_TMR_CFG)

このレジスタを使用するには、堅牢な AMDIX 機能を有効にする必要があります。

表 8-29. 堅牢な自動 MDIX タイマ構成レジスタ (RAMDIX_TMR_CFG)、アドレス 0x002C

ビット	ビット名	デフォルト	説明
15:4	予約済み	0x141, RW	予約済み
3:0	RAMDIX_TMR	0xF, RW	堅牢な自動 MDIX タイマ 0000: 32ms 0001: 64ms 0010: 96ms 。 。 1111: 480ms

8.29 高速リンク ドロップ構成レジスタ (FLD_CFG)

表 8-30. 高速リンク ドロップ構成レジスタ (FLD_CFG)、アドレス 0x002D

ビット	ビット名	デフォルト	説明
15	FORCE_DROP	0, RW	強制ドロップ リンク 信号が受信されない場合、リンク パートナーはリンクを強制的にドロップします。 1 = リンクをドロップ 0 = 通常動作を
14	FLD_EN	0, RW	1000BASE-T 高速リンクドロップ: リンク アップ プロセス中は、このビットを 0 に設定する必要があります。リンクが確立された後、このビットを 1 に設定して、FLD を有効化します。 1 = FLD を有効化 0 = 通常動作
13	予約済み	0, RO	予約済み
12:8	FLD_STS	0, RO, LH	高速リンクドロップ ステータス: 各高速リンク ダウンモードが有効になり (該当する判定条件が有効化されている場合)、リンク ダウンを発生させるたびに High にラッチされるステータス レジスタ: ビット 12: デスクランブラ損失同期 ビット 11: RX エラー ビット 10: MLT3 エラー ビット 9: SNR レベル ビット 8: 信号 / エネルギー損失
7:5	予約済み	0, RO	予約済み
4:0	FLD_SRC_CFG	0, RW	高速なリンクドロップ ソース構成: 次の FLD ソースは個別に構成できます: ビット 4: デスクランブラ損失同期 ビット 3: RX エラー ビット 2: MLT3 エラー ビット 1: SNR レベル ビット 0: 信号 / エネルギー損失

8.30 高速リンク ドロップスレッシュヨルド構成レジスタ (FLD_THR_CFG)

表 8-31. 高速リンク ドロップスレッシュヨルド構成レジスタ (FLD_THR_CFG)、アドレス 0x002E

ビット	ビット名	デフォルト	説明
15:11	予約済み	0, RO	予約済み
10:8	予約済み	0x2, RW	予約済み
7	予約済み	0, RO	予約済み
6:4	予約済み	0x2, RW	予約済み
3	予約済み	0, RO	予約済み
2:0	ENERGY_LOST_FLD_THR	0x1, RW	FLD エネルギー損失モード用のエネルギー損失スレッシュヨルド。エネルギー検出器アキュムレータがこのスレッシュヨルドを下回ると、ENERGY_LOST_FLD_THR がアサートされます。ストラップを使用して FLD 機能を有効にする場合、このビットはデフォルトで 0x2 になります。値を 0x1 に変更するには、レジスタへの書き込みが必要です。フィールドを他の値に変更することは推奨されません。

8.31 構成レジスタ 4 (CFG4)

表 8-32. 構成レジスタ 4 (CFG4)、アドレス 0x0031

ビット	ビット名	デフォルト	説明
15:13	予約済み	000, RO	予約済み
12	予約済み	1, RO	予約済み
11:9	予約済み	000, RO	予約済み
8	予約済み	0, RW	予約済み
7	INT_TST_MODE_1	1, RW	RX_CTRL が mode1 または mode2 にストラップ設定されている場合、PHY は内部テスト モードに移行します。レジスタ 0x6F[8] は、RX_CTRL ストラップからのテスト モードのエントリを示します。このテスト モードのエントリをオーバーライドするために、INT_TST_MODE_1 を 0 に設定できません。
6:1	予約済み	001 000, RO	予約済み
0	PORT_MIRROR_EN	ストラップ, RW	ポートミラーリングを有効化: 1 = ポートミラーリングを有効化します。 0 = 通常動作

8.32 RGMII 制御レジスタ (RGMIICTL)

このレジスタは RGMII 制御へのアクセスを提供します。

表 8-33. RGMII 制御レジスタ (RGMIICTL)、アドレス 0x0032

ビット	ビット名	デフォルト	説明
15:8	予約済み	0, RO	RESERVED: 書き込みは無視され、読み出し時は 0 を返します。
7	RGMII_EN	RGZ: 1, RW PAP: ストラップ、RW	RGMII 有効: 1 = RGMII インターフェイス有効化。 0 = RGMII インターフェイス無効化。
6:5	RGMII_RX_HALF_FULL_THR	10, RW	RGMII 受信 FIFO ハーフフル スレッシュヨルド: このフィールドは RGMII 受信 FIFO のハーフフル スレッシュヨルドを制御します。
4:3	RGMII_TX_HALF_FULL_THR	10, RW	RGMII 送信 FIFO ハーフフル スレッシュヨルド: このフィールドは RGMII 送信 FIFO のハーフフル スレッシュヨルドを制御します。
2	予約済み	0, RO	RESERVED: 書き込みは無視され、読み出し時は 0 を返します。

表 8-33. RGMII 制御レジスタ (RGMIICTL)、アドレス 0x0032 (続き)

ビット	ビット名	デフォルト	説明
1	RGMII_TX_CLK_DELAY	1, RW	RGMII 送信クロック遅延: 1 = RGMII 送信クロックは送信データに比例してシフトされます。 0 = RGMII 送信クロックは送信データに合わせて調整されます。
0	RGMII_RX_CLK_DELAY	1, RW	RGMII 受信クロック遅延: 1 = RGMII 受信クロックは受信データに比例してシフトされます。 0 = RGMII 受信クロックは受信データに合わせて調整されます。

8.33 RGMII 制御レジスタ 2 (RGMIICTL2)

表 8-34. RGMII 制御レジスタ 2 (RGMIICTL2)、アドレス = 0x0033

ビット	ビット名	デフォルト	説明
15:5	予約済み	0, RO	予約済み
4	RGMII_AF_BYPASS_EN	0, RW	RGMII 非同期 FIFO のバイパスが有効: 1 = RGMII 非同期 FIFO バイパスを有効にします。 0 = 通常動作。
3:0	予約済み	0, RO	予約済み

8.34 100BASE-TX 構成 (100CR)

表 8-35. 100BASE-TX 設定レジスタ (100CR)、アドレス 0x0043

ビット	ビット名	デフォルト	説明
15:12	予約済み	0, RO	予約済み
11	DESCRAM_TIMEOUT_DIS	0, RW	100Base-TX デスクランブラ タイムアウトを無効化: 1 = 受信パケットがデスクランブラ タイムアウトに違反した場合、そのパケットの受信を無効にします。これは、パケットが 1.5ms を超える場合に発生します。 0 = 受信したパケットがデスクランブラ タイムアウト条件に違反した場合、パケット受信を停止します。これは、パケットが 1.5ms を超える場合に発生します。
10:7	DESCRAM_TIMEOUT	1111, RW	デスクランブラのタイムアウト: デスクランブラのタイムアウト値を調整します。この値は、デスクランブラがアンロック状態になった後の回復時間を表します。タイムは ms 単位です。
6	FORCE_100_OK	0, RW	100Mbps グッドリンクを強制: 1 = 100Mbps のグッドリンクを強制します。 0 = 通常動作。
5	ENH_MLT3_DET_EN	1, RW	拡張 MLT-3 検出の有効化: 1 = 拡張 MLT-3 検出を有効にします。 0 = 通常動作。
4	ENH_IPG_DET_EN	0, RW	拡張パケット間ギャップ検出の有効化: 1 = 拡張パケット間ギャップ検出を有効にします。 0 = 通常動作。
3	BYPASS_4B5B_RX	0, RW	4B/5B 受信デコーダをバイパス: 1 = 受信パスの 4B/5B デコーダをバイパスします。 0 = 通常動作。
2	SCR_DIS	0, RW	スクランブラを無効化: 1 = スクランブラを無効にします。 0 = 通常動作。
1	ODD_NIBBLE_DETECT	0, RW	奇数ニブル検出を有効化: 1 = 奇数個のニブルを受信したことを検出します。 0 = 通常動作。
0	FAST_RX_DV	0, RW	高速 RX_DV を有効化: 1 = 高速 RX_DV を有効にします。 0 = 通常動作。

8.35 ビタビ モジュール構成 (VTM_CFG)

表 8-36. ビタビ モジュール構成 (VTM_CFG)、アドレス 0x0053

ビット	ビット名	デフォルト	説明
15:4	予約済み	0x205, RO	予約済み
3:0	VTM_IDLE_CHECK_CNT_THR	0x5, RW	ビタビ検出器のアイドル カウント スレッシュホールド ビタビ アイドル検出器がアイドル モードをアサートするためのアイドル シンボルの連続量に対するスレッシュホールド。 デフォルト値 0x5 は、IPG >= 12 です。IPG < 12 未満の場合は、このフィールドを 0x4 または 0x3 に設定します。このフィールドを変更した場合、システム レベル テストで新しいレジスタ設定を確認してください。

8.36 スキュー FIFO ステータス (SKEW_FIFO)

表 8-37. スキュー FIFO ステータス (SKEW_FIFO)、アドレス 0x0055

ビット	ビット名	デフォルト	説明
15:8	予約済み	0, RO	予約済み
7:4	CH_B_SKEW	0, RO	シンボルを整列させるための、RX チャンネル B のスキュー (クロック サイクル数単位)。
3:0	CH_A_SKEW	0, RO	シンボルを整列させるための RX チャンネル A のスキュー (クロック サイクル数)。

8.37 ストラップ構成ステータス レジスタ 1 (STRAP_STS1)

ストラップ構成ステータス レジスタ 1 (STRAP_STS1)、アドレス 0x006E

表 8-38. ストラップ構成ステータス レジスタ 1 (STRAP_STS1)、アドレス 0x006E

ビット	ビット名	デフォルト	説明
15	STRAP_MIRROR_EN	ストラップ、RO	ミラー イネーブル ストラップ: 1 = ポート ミラーリング ストラップを有効化。 0 = ポート ミラーリング ストラップを無効化。
14	STRAP_LINK_DOWNSHIFT_EN	ストラップ、RO	リンク ダウンシフト イネーブル ストラップ: 1 = リンク ダウンシフト ストラップを有効化。 0 = リンク ダウンシフト ストラップを無効化。
13	STRAP_CLK_OUT_DIS (PAP のみ)	ストラップ、RO	クロック出力のディスエーブル ストラップ: 1 = クロック出力ストラップを無効化。 0 = クロック出力ストラップを有効化。
12	STRAP_RGMII_DIS	ストラップ、RO	RGMII の無効化ストラップ: 1 = RGMII ストラップを無効化。 0 = RGMII ストラップを有効化。
11	予約済み	0, RO	予約済み
10	STRAP_AMDIX_DIS	ストラップ、RO	Auto-MDIX ディスエーブルストラップ: 1 = 自動 MDIX ストラップを無効化。 0 = 自動 MDIX ストラップを有効化。
9	STRAP_FORCE_MDI_X	ストラップ、RO	MDI/X ストラップの強制: 1 = 強制的に MDIX ストラップを有効化。 0 = MDI ストラップを強制的に有効化。
8	STRAP_HD_EN	ストラップ、RO	半二重イネーブルストラップ: 1 = 半二重ストラップを有効化。 0 = 全二重ストラップを有効化。
7	STRAP_ANEG_DIS	ストラップ、RO	自動ネゴシエーション イネーブル ストラップ: 1 = 自動ネゴシエーション ストラップを無効化。 0 = 自動ネゴシエーション ストラップを有効化。
6:5	STRAP_ANEG_SEL (PAP)	ストラップ、RO	スピード セレクト ストラップ: PAP デバイスのストラップの SPEED_SEL[1:0] の値。 「スピード セレクト ストラップの詳細」表を参照してください。
4:0	STRAP_PHY_ADD (PAP)	ストラップ、RO	PAP 用 PHY アドレス ストラップ: ストラップからの PHY アドレス値。
6	予約済み (RGZ)	0, RO	予約済み
5	STRAP_SPEED_SEL (RGZ)	ストラップ、RO	RGZ デバイスのストラップの SPEED_SEL の値。 「スピード セレクト ストラップの詳細」表を参照してください。
4	予約済み	0, RO	予約済み
3:0	STRAP_PHY_ADD (RGZ)	ストラップ、RO	RGZ 用 PHY アドレス ストラップ: ストラップからの PHY アドレス値。

8.38 ストラップ構成ステータス レジスタ 2 (STRAP_STS2)

表 8-39. ストラップ構成ステータス レジスタ 2 (STRAP_STS2)、アドレス 0x006F

ビット	ビット名	デフォルト	説明
15:11	予約済み	0, RO	予約済み
10	STRAP_FLD (PAP)	ストラップ、RO	高速リンクドロップ (FLD) 有効化ストラップ: 1 = ストラップ設定により FLD を有効にします。 0 = ストラップ設定により FLD を無効にします。
10	予約済み	0, RO	予約済み
9	予約済み	0, RO	予約済み
8	INT_TST_MODE	ストラップ、RO	内部テスト モード インジケータ: 1 = 通常動作。 0 = 内部テスト モード。
7	予約済み	0, RO	予約済み
6:4	STRAP_RGMII_CLK_SKEW_TX	ストラップ、RO	RGMII 送信クロックのスキュー ストラップ: ストラップからの RGMII_TX_DELAY_CTRL[2:0] の値。 詳細については、「RGMII 送信クロック スキューの詳細」表を参照してください。
3	予約済み	0, RO	予約済み
2:0	STRAP_RGMII_CLK_SKEW_RX	ストラップ、RO	RGMII 受信クロック スキュー ストラップ: ストラップ設定による RGMII_RX_DELAY_CTRL[2:0] の値を使います。 詳細については、「RGMII 送信クロック スキューの詳細」表を参照してください。

8.39 BIST 制御およびステータス レジスタ 1 (BICSR1)

表 8-40. BIST 制御およびステータス レジスタ 1 (BICSR1)、アドレス 0x0071

ビット	ビット名	デフォルト	説明
15:0	PRBS_BYTE_CNT	0x0000, RO	PRBS チェッカが受信した合計バイト数を保持します。レジスタ BICSR2 の bit[0] または bit[1] に書き込みが行われると、このレジスタの値はロックされます。 BICSR レジスタ (0x0016) の PRBS_COUNT_MODE が 0 に設定されている場合、カウントは 0xFFFF で停止します。

8.40 BIST 制御およびステータス レジスタ 2 (BICSR2)

表 8-41. BIST 制御およびステータス レジスタ 2 (BICSR2)、アドレス 0x0072

ビット	ビット名	デフォルト	説明
15:11	予約済み	0x00, RO	読み取り時は無視
10	PRBS_PKT_CNT_OVF	0, RO	PRBS チェッカの packets カウント オーバーフロー セットされている場合、PRBS パケット カウンタはオーバーフローに達しました。このレジスタのビット #1 を設定することで、PRBS カウンタがクリアされるとオーバーフローがクリアされます。
9	PRBS_BYTE_CNT_OVF	0, RO	PRBS バイト カウント オーバーフロー セットされている場合、PRBS パケット カウンタはオーバーフローに達しました。このレジスタのビット #1 を設定することで、PRBS カウンタがクリアされるとオーバーフローがクリアされます。
8	予約済み	0, RO	読み取り時は無視

表 8-41. BIST 制御およびステータス レジスタ 2 (BICSR2)、アドレス 0x0072 (続き)

ビット	ビット名	デフォルト	説明
7:0	PRBS_ERR_CNT	0x00, RO	<p>PRBS チェックによって受信されたエラー バイト数を保持します。このレジスタは、ビット [0] またはビット [1] への書き込みが完了するとロックされます</p> <p>PRBS カウント モードがゼロに設定されている場合、カウントは 0xFF で停止します (レジスタ 0x0016 を参照)</p> <p>注: ビット 0 を書き込むと、PRBS カウンタのロック信号が生成されます。ビット 1 を書き込むと、PRBS カウンタのロック信号およびクリア信号が生成されます</p>

8.41 BIST 制御およびステータス レジスタ 3 (BICSR3)

表 8-42. BIST 制御およびステータス レジスタ 3 (BICSR3)、アドレス 0x007B

ビット	ビット名	デフォルト	説明
15:0	PKT_LEN_PRBS	0x05DC, RW	生成された BIST パケットの長さ。このレジスタの値により、BIST によって生成されるすべてのパケット サイズ (バイト単位) が定義されます。デフォルト値は 0x05DC です (1500 バイトに相当)。各パケットの末尾には、13 個の 0x5 ニブルと、その後 0xD5 (SFD) が付加されます。

8.42 BIST 制御およびステータス レジスタ 4 (BICSR4)

表 8-43. BIST 制御およびステータス レジスタ 4 (BICSR4)、アドレス 0x007C

ビット	ビット名	デフォルト	説明
15:8	予約済み	0x00, RO	予約済み
7:0	IPG_LEN	0x7D, RW	パケット間ギャップ (IPG) の長さにより、BIST によって生成される任意の 2 つの連続するパケット間のギャップ (バイト単位) のサイズが定義されます。デフォルト値は 0x7D (500 バイトに相当) です。このフィールドの値の増分は、IPG の長さに 4 バイトの加算に対応します。

8.43 レシーバのイコライザ (CRE) の構成

表 8-44. レシーバのイコライザ (CRE) の構成、アドレス 0x008A

ビット	ビット名	デフォルト	説明
15:0	CONFIG_REC_EQ	0x0000, RW	レシーバのイコライザの構成。EMC 試験時の耐性マージンは、0x010F を設定することでさらに向上させることができます。

8.44 RGMII 遅延制御レジスタ (RGMIIIDCTL)

このレジスタを使うと、RGMII 遅延制御にアクセスできます。

表 8-45. RGMII 遅延制御レジスタ (RGMIIIDCTL)、アドレス 0x0086

ビット	ビット名	デフォルト	説明
15:8	予約済み	0、RO	RESERVED: 書き込みは無視され、読み出し時は 0 を返します。
7:4	RGMII_TX_DELAY_CTRL	[7:5] ストラップ、 [4] 0、RW	RGMII 送信クロック遅延: 1111:4.00ns 1110:3.75ns 1101:3.50ns 1100:3.25ns 1011:3.00ns 1010:2.75ns 1001:2.50ns 1000:2.25ns 0111:2.00ns 0110:1.75ns 0101:1.50ns 0100:1.25ns 0011:1.00ns 0010:0.75ns 0001:0.50ns 0000:0.25ns
3:0	RGMII_RX_DELAY_CTRL	[3:1] ストラップ、 [0] 0、RW	RGMII 受信クロック遅延: 1111:4.00ns 1110:3.75ns 1101:3.50ns 1100:3.25ns 1011:3.00ns 1010:2.75ns 1001:2.50ns 1000:2.25ns 0111:2.00ns 0110:1.75ns 0101:1.50ns 0100:1.25ns 0011:1.00ns 0010:0.75ns 0001:0.50ns 0000:0.25ns

8.45 ANA_LD_TXG_FINE_GAINSEL_AB (ALTFGAB)

表 8-46. ANA_LD_TXG_FINE_GAINSEL_AB (ALTFGAB)、アドレス 0x00A0

ビット	ビット名	デフォルト	説明
15:12	予約済み	0000、RO	予約済み
11:8	TXG_GAINSEL_FINE_B	トリム、RW	ゲイン制御チャンネル B。 詳細については、ビット [3:0] を参照してください
7:4	予約済み	0000、RO	予約済み

表 8-46. ANA_LD_TXG_FINE_GAINSEL_AB (ALTFGAB)、アドレス 0x00A0 (続き)

ビット	ビット名	デフォルト	説明
3:0	TXG_GAINSEL_FINE_A	トリム, RW	ゲイン制御チャンネル A。 デフォルト値はトリムによって設定されます。 可能な値: x0000 = -16% のゲイン変化 x0001 = -14% のゲイン変化 x1000 = ゲイン変化なし x1001 = +2% のゲイン変化 x1111 = +14% のゲイン変化

8.46 ANA_LD_TXG_FINE_GAINSEL_CD (ALTFGCD)

表 8-47. ANA_LD_TXG_FINE_GAINSEL_CD (ALTFGCD)、アドレス 0x00A1

ビット	ビット名	デフォルト	説明
15:12	予約済み	0000, RO	予約済み
11:8	TXG_GAINSEL_FINE_D	トリム, RW	ゲイン制御チャンネル D 詳細については、0x00A0 のビット [3:0] を参照してください
7:4	予約済み	0000, RO	予約済み
3:0	TXG_GAINSEL_FINE_C	トリム, RW	ゲイン制御チャンネル C 詳細については、0x00A0 のビット [3:0] を参照してください

8.47 ANA_LD_FILTER_TUNE_AB (ALFTAB)

表 8-48. ANA_LD_FILTER_TUNE_AB (ALFTAB)、アドレス 0x00A2

ビット	ビット名	デフォルト	説明
15:14	予約済み	00, RO	予約済み
13	LD_FILTER_TUNE_B_FORCE_CTRL	0, RW	チャンネル B LD_FILTER_TUNE イネーブル
12:8	LD_FILTER_TUNE_B	1000, RW	LD_FILTER_TUNE_B_FORCE_CTRL が有効な場合のチャンネル B のラインドライバ スイング
7:6	予約済み	0, RO	予約済み
5	LD_FILTER_TUNE_A_FORCE_CTRL	0, RW	チャンネル A LD_FILTER_TUNE_A を有効化
4:0	LD_FILTER_TUNE_A	10000, RW	LD_FILTER_TUNE_A_FORCE_CTRL が有効な場合のチャンネル A のラインドライバ スイング

8.48 ANA_LD_FILTER_TUNE_CD (ALFTCD)

表 8-49. ANA_LD_FILTER_TUNE_CD (ALFTCD)、アドレス 0x00A3

ビット	ビット名	デフォルト	説明
15:14	予約済み	00, RO	予約済み
13	LD_FILTER_TUNE_D_FORCE_CTRL	0, RW	チャンネル D LD_FILTER_TUNE イネーブル
12:8	LD_FILTER_TUNE_D	10000, RW	LD_FILTER_TUNE_D_FORCE_CTRL が有効な場合のチャンネル D のラインドライバ スイング

表 8-49. ANA_LD_FILTER_TUNE_CD (ALFTCD)、アドレス 0x00A3 (続き)

ビット	ビット名	デフォルト	説明
7:6	予約済み	00, RO	予約済み
5	LD_FILTER_TUNE_C_FORCE_CTRL	0, RW	チャンネル C LD_FILTER_TUNE イネーブル
4:0	LD_FILTER_TUNE_C	10000, RW	LD_FILTER_TUNE_C_FORCE_CTRL が有効な場合のチャンネル C のラインドライバスイング

8.49 レシーバーの LPF の構成 (CRLPF)

表 8-50. レシーバの LPF の構成 (CRLPF)、アドレス 0x00B3

ビット	ビット名	デフォルト	説明
15:0	CONFIG_REC_LPF	0x0088, RW	レシーバーの LPF の構成。値 0x000C を使用すると、EMC テスト中に耐性マージンをさらに向上できます。

8.50 レシーバのイコライザ (ECRE) の制御をイネーブルにする

表 8-51. レシーバのイコライザ (ECRE) の制御をイネーブルにする、アドレス 0x00C0

ビット	ビット名	デフォルト	説明
15:0	EN_CTRL_REC_EQ	0x0000, RW	受信側イコライザの制御を有効にします。値 0x0000 を使用すると、EMC テスト中に耐性マージンをさらに向上できます。

8.51 PLL クロック出力制御レジスタ (PLLCTL)

表 8-52. PLL クロック出力制御レジスタ (PLLCTL)、アドレス 0x00C6

ビット	ビット名	デフォルト	説明
15:5	予約済み	0, RO	RESERVED: 書き込みは無視され、読み出し時は 0 を返します。
4	CLK_MUX	0, RW	内部クロック マルチプレクサ制御: 1 = 準拠テスト用に、アナログ CLK_OUT を TX_TCLK に設定します。 0 = 通常動作。
3:0	予約済み	0, RO	RESERVED: 書き込みは無視され、読み出し時は 0 を返します。

8.52 トランスミッタ制御レジスタ (ANA_LD_DATA_CTRL)

表 8-53. トランスミッタ制御レジスタ (ANA_LD_DATA_CTRL)、アドレス 0x00DD

ビット	ビット名	デフォルト	説明
15:0	予約済み	0x0200, RW	0x0200: MDI トランスミッタが有効 (デフォルト) 0x000F: MDI トランスミッタが無効

8.53 DSP 構成レジスタ 3 (DSP_CFG3)

表 8-54. DSP 構成レジスタ 3 (DSP_CFG3)、アドレス 0x00E4

ビット	ビット名	デフォルト	説明
15:0	予約済み	0x0000, RW	DP83867 トラブルシューティング ガイド スクリプトで使用します。

8.54 同期 FIFO 制御 (SYNC_FIFO_CTRL)

表 8-55. 同期 FIFO 制御 (SYNC_FIFO_CTRL)、アドレス 0x00E9

ビット	ビット名	デフォルト	説明
15:0	予約済み	0x9F22, RW	予約済み

8.55 DSP ハイブリッド構成レジスタ 2 (DSP_HYBRID_CFG2)

表 8-56. DSP ハイブリッド構成レジスタ 2 (DSP_HYBRID_CFG2)、アドレス 0x00EF

ビット	ビット名	デフォルト	説明
15:0	予約済み	0x0000, RW	DP83867 トラブルシューティング ガイド スクリプトで使用します。

8.56 ループバック構成レジスタ (LOOPCR)

表 8-57. ループバック構成レジスタ (LOOPCR)、アドレス 0x00FE

ビット	ビット名	デフォルト	説明
15:0	LOOP_CFG_VAL	1110 0111 0010 0001, RW	ループバック構成値: 1110 0111 0010 000: ループバック モードの構成について説明します。 このレジスタ値を変更した後、制御レジスタ (CTRL) のビット 14 でアドレス 0x001F を使用したソフトウェアリセットが必要です。 このレジスタに対して他の値を設定することは推奨されません。

8.57 DSP 構成 (DSP_CONFIG)

表 8-58. DSP 構成 (DSP_CONFIG)、アドレス 0x0100

ビット	ビット名	デフォルト	説明
15:0	DSP_CONFIG	0x051C, RW	DSP 構成。値 0x1027 を使用すると、EMC テスト中に耐性マージンをさらに向上できます。

8.58 DSP 選択レジスタ 0 (DSP_SEL0)

表 8-59. DSP 選択レジスタ 0 (DSP_SEL0)、アドレス 0x0102

ビット	ビット名	デフォルト	説明
15:0	予約済み	0x6333, RW	DP83867 トラブルシューティング ガイド スクリプトで使用します。

8.59 DSP 選択レジスタ 1 (DSP_SEL1)

表 8-60. DSP 選択レジスタ 1 (DSP_SEL1)、アドレス 0x0103

ビット	ビット名	デフォルト	説明
15:0	予約済み	0x4454, RW	DP83867 トラブルシューティング ガイド スクリプトで使用します。

8.60 DSP 選択レジスタ 2 (DSP_SEL2)

表 8-61. DSP 選択レジスタ 2 (DSP_SEL2)、アドレス 0x0104

ビット	ビット名	デフォルト	説明
15:0	予約済み	0x2447, RW	DP83867 トラブルシューティング ガイド スクリプトで使用します。

8.61 DSP フォロワ選択レジスタ 0 (DSP_FLR_SEL0)

表 8-62. DSP フォロワ選択レジスタ 0 (DSP_FLR_SEL0)、アドレス 0x0115

ビット	ビット名	デフォルト	説明
15:0	予約済み	0x3033, RW	DP83867 トラブルシューティング ガイド スクリプトで使します。

8.62 DSP フォロワ選択レジスタ 3 (DSP_FLR_SEL3)

表 8-63. DSP フォロワ選択レジスタ 3 (DSP_FLR_SEL3)、アドレス 0x0118

ビット	ビット名	デフォルト	説明
15:0	予約済み	0x0371, RW	DP83867 トラブルシューティング ガイド スクリプトで使します。

8.63 DSP フォロワ タイミング ループ レジスタ 1 (DSP_FLR_TLOOP1)

表 8-64. DSP フォロワ タイミング ループ レジスタ 1 (DSP_FLR_TLOOP1)、アドレス 0x011D

ビット	ビット名	デフォルト	説明
15:0	予約済み	0x6B6A, RW	DP83867 トラブルシューティング ガイド スクリプトで使します。

8.64 DSP フォロワ タイミング ループ レジスタ 2 (DSP_FLR_TLOOP2)

表 8-65. DSP フォロワ タイミング ループ レジスタ 2 (DSP_FLR_TLOOP2)、アドレス 0x011E

ビット	ビット名	デフォルト	説明
15:0	予約済み	0x2FF8, RW	DP83867 トラブルシューティング ガイド スクリプトで使します。

8.65 DSP フィードフォワード イコライザ構成 (DSP_FFE_CFG)

一部のアプリケーションでは、短いケーブルでの性能を向上させるために、このレジスタを 0x0E81 に設定する必要があります。このレジスタを 0x0E81 に変更しても、長距離ケーブルの性能には影響しません。

表 8-66. DSP フィードフォワード イコライザ構成 (DSP_FFE_CFG)、アドレス 0x012C

ビット	ビット名	デフォルト	説明
15:10	予約済み	0000 11, RO	予約済み
9:0	FFE_EQ	00 0010 1101, RW	FFE イコライザ設定 長さが 1m 以下のケーブルを使用する場合は、このフィールドを 10 1000 0001 に設定します。

8.66 受信構成レジスタ (RXFCFG)

このレジスタは、Wake-on-LAN (WoL) の受信構成を提供します。

表 8-67. 受信構成レジスタ (RXFCFG)、アドレス 0x0134

ビット	ビット名	デフォルト	説明
15:12	予約済み	0, RO	予約済み
11	WOL_OUT_CLEAR	0, RW, SC	Wake-on-LAN 出力のクリア: このビットは、レベル モードに構成されている場合にのみ適用されます。 1 = Wake-on-LAN 出力のクリア
10:9	WOL_OUT_STRETCH	00, RW	Wake-on-LAN 出力ストレッチ: WoL out がパルス モードに構成されている場合、パルス長は以下の 125MHz クロックサイクル数として定義されます。 11 = 64 クロック サイクル 10 = 32 クロック サイクル 01 = 16 クロック サイクル 00 = 8 クロック サイクル
8	WOL_OUT_MODE	0, RW	Wake-on-LAN 出力モード: 1 = レベル モード。WoL は、WOL_OUT_CLEAR (ビット 11) に書き込む ことでクリアされます。 0 = パルス モード。パルス幅は、WOL_OUT_STRETCH (ビット 10:9) に よって設定されます。
7	ENHANCED_MAC_SUPPORT	0, RW	拡張受信機能を有効化: 1 = Wake-on-LAN、CRC チェック、受信 1588 通知用を有効化。 0 = 通常動作。
6	予約済み	0, RO	予約済み
5	SCRON_EN	0, RW	SecureOn パスワードの有効化: 1 = SecureOn パスワードは有効。 0 = SecureOn パスワードは無効。
4	WAKE_ON_UCAST	0, RW	Wake on ユニキャスト パケット: 1 = ユニキャスト パケットの受信時に割り込みを発行。 0 = ユニキャスト パケットの受信時に割り込みを発行しない。
3	予約済み	0, RO	予約済み
2	WAKE_ON_BCAST	1, RW	Wake on ブロードキャスト パケット: 1 = ブロードキャスト パケットの受信時に割り込みを発行。 0 = ブロードキャスト パケットの受信時に割り込みを発行しない。
1	WAKE_ON_PATTERN	0, RW	Wake on パターンの一致: 1 = パターン一致時に割り込みを発行。 0 = パターン一致時に割り込みを発行しない。
0	WAKE_ON_MAGIC	0, RW	Wake on マジック パケット: 1 = マジック パケットの受信時に割り込みを発行。 0 = マジック パケットの受信時に割り込みを発行しない。

8.67 受信ステータス レジスタ (RXFSTS)

このレジスタは、受信機能のステータスを提供します。

表 8-68. 受信ステータス レジスタ (RXFSTS)、アドレス 0x0135

ビット	ビット名	デフォルト	説明
15:8	予約済み	0, RO	予約済み
7	SFD_ERR	0, R0, LH, SC	SFD エラー: 1 = SFD エラー (0x5D の SFD バイトがない) を含むパケットを受信。 0 = SFD エラーは検出されていません。
6	BAD_CRC	0, R0, LH, SC	不良 CRC: 1 = CRC が正しくないパケットを受信しました。 0 = CRC エラーは検出されていません。
5	SCRON_HACK	0, R0, LH, SC	SecureOn ハック試行フラグ: 1 = SecureOn ハックの試行が確認されました。 0 = SecureOn の不正アクセス試行は検出されていません。
4	UCAST_RCVD	0, R0, LH, SC	ユニキャスト パケットを受信済み: 1 = 有効なユニキャスト パケットを受信しました。 0 = 有効なユニキャスト パケットを受信しませんでした。
3	予約済み	0, RO	予約済み
2	BCAST_RCVD	0, R0, LH, SC	ブロードキャスト パケットを受信済み: 1 = 有効なブロードキャスト パケットを受信しました。 0 = 有効なブロードキャスト パケットを受信しませんでした。
1	PATTERN_RCVD	0, R0, LH, SC	パターン一致を受信済み: 1 = 設定されたパターンの有効なパケットを受信されました。 0 = 設定されたパターンの有効なパケットを受信されませんでした。
0	MAGIC_RCVD	0, R0, LH, SC	マジック パケットを受信済み: 1 = 有効な Magic パケットを受信しました。 0 = 有効な Magic パケットを受信しませんでした。

8.68 パターン一致データ レジスタ 1 (RXFPMD1)

表 8-69. パターン一致データ レジスタ 1 (RXFPMD1)、アドレス 0x0136

ビット	ビット名	デフォルト	説明
15:0	PMATCH_DATA_15_0	0, RW	パーフェクトマッチデータのビット 15:0 - DA (宛先アドレス) 一致に使用されます

8.69 パターン一致データ レジスタ 2 (RXFPMD2)

表 8-70. パターン一致データ レジスタ 2 (RXFPMD2)、アドレス 0x0137

ビット	ビット名	デフォルト	説明
15:0	PMATCH_DATA_31_16	0, RW	パーフェクトマッチデータのビット 31:16 - DA (宛先アドレス) 一致に使用されます

8.70 パターン一致データ レジスタ 3 (RXFPMD3)

表 8-71. パターン一致データ レジスタ 3 (RXFPMD3)、アドレス 0x0138

ビット	ビット名	デフォルト	説明
15:0	PMATCH_DATA_47_32	0, RW	パーフェクトマッチデータのビット 47:32 - DA (宛先アドレス) 一致に使用されます

8.71 SecureOn パスレジスタ 2 (RXFSOP1)

表 8-72. SecureOn パスレジスタ 1 (RXFSOP1)、アドレス 0x0139

ビット	ビット名	デフォルト	説明
15:0	SCRON_PASSWORD_15_0	0, RW	マジック パケット用 secure-on パスワードのビット 15:0

8.72 SecureOn パスレジスタ 2 (RXFSOP2)

表 8-73. SecureOn パスレジスタ 2 (RXFSOP2)、アドレス 0x013A

ビット	ビット名	デフォルト	説明
15:0	SCRON_PASSWORD_31_16	0, RW	マジック パケット用 secure-on パスワードのビット 31:16

8.73 SecureOn パスレジスタ 3 (RXFSOP3)

表 8-74. SecureOn パスレジスタ 3 (RXFSOP3)、アドレス 0x013B

ビット	ビット名	デフォルト	説明
15:0	SCRON_PASSWORD_47_32	0, RW	マジック パケット用 secure-on パスワードのビット 47:32。

8.74 受信パターン レジスタ 1 (RXFPAT1)

表 8-75. 受信パターン レジスタ 1 (RXFPAT1)、アドレス 0x013C

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_0_1	0, RW	設定されたパターンのバイト 0 (LSbyte) + 1。 RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.75 受信パターン レジスタ 2 (RXFPAT2)

表 8-76. 受信パターン レジスタ 2 (RXFPAT2)、アドレス 0x013D

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_2_3	0, RW	設定されたパターンのバイト 2 + 3。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.76 受信パターン レジスタ 3 (RXFPAT3)

表 8-77. 受信パターン レジスタ 3 (RXFPAT3)、アドレス 0x013E

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_4_5	0, RW	設定されたパターンのバイト 4 + 5。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.77 受信パターン レジスタ 4 (RXFPAT4)

表 8-78. 受信パターン レジスタ 4 (RXFPAT4)、アドレス 0x013F

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_6_7	0, RW	設定されたパターンのバイト 6 + 7。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.78 受信パターン レジスタ 5 (RXFPAT5)

表 8-79. 受信パターン レジスタ 5 (RXFPAT5)、アドレス 0x0140

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_8_9	0, RW	設定されたパターンのバイト 8 + 9。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.79 受信パターン レジスタ 6 (RXFPAT6)

表 8-80. 受信パターン レジスタ 6 (RXFPAT6)、アドレス 0x0141

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_10_11	0, RW	設定されたパターンのバイト 10 + 11。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.80 受信パターン レジスタ 7 (RXFPAT7)

表 8-81. 受信パターン レジスタ 7 (RXFPAT7)、アドレス 0x0142

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_12_13	0, RW	設定されたパターンのバイト 12 + 13。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.81 受信パターン レジスタ 8 (RXFPAT8)

表 8-82. 受信パターン レジスタ 8 (RXFPAT8)、アドレス 0x0143

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_14_15	0, RW	設定されたパターンのバイト 0 ~ 14 および 15。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.82 受信パターン レジスタ 9 (RXFPAT9)

表 8-83. 受信パターン レジスタ 9 (RXFPAT9)、アドレス 0x0144

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_16_17	0, RW.	設定されたパターンのバイト 16 + 17。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.83 受信パターン レジスタ 10 (RXFPAT10)

表 8-84. 受信パターン レジスタ 10 (RXFPAT10)、アドレス 0x0145

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_18_19	0, RW	設定されたパターンのバイト 18 + 19。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.84 受信パターン レジスタ 11 (RXFPAT11)

表 8-85. 受信パターン レジスタ 11 (RXFPAT11)、アドレス 0x0146

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_20_21	0, RW	設定されたパターンのバイト 20 + 21。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.85 受信パターン レジスタ 12 (RXFPAT12)

表 8-86. 受信パターン レジスタ 12 (RXFPAT12)、アドレス 0x0147

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_22_23	0, RW	設定されたパターンのバイト 22 + 23。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.86 受信パターン レジスタ 13 (RXFPAT13)

表 8-87. 受信パターン レジスタ 13 (RXFPAT13)、アドレス 0x0148

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_24_25	0, RW	設定されたパターンのバイト 24 + 25。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.87 受信パターン レジスタ 14 (RXFPAT14)

表 8-88. 受信パターン レジスタ 14 (RXFPAT14)、アドレス 0x0149

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_26_27	0, RW	設定されたパターンのバイト 26 + 27。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.88 受信パターン レジスタ 15 (RXFPAT15)

表 8-89. 受信パターン レジスタ 15 (RXFPAT15)、アドレス 0x014A

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_28_29	0, RW	設定されたパターンのバイト 28 + 29。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.89 受信パターン レジスタ 16 (RXFPAT16)

表 8-90. 受信パターン レジスタ 16 (RXFPAT16)、アドレス 0x014B

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_30_31	0, RW	設定されたパターンのバイト 30 + 31。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.90 受信パターン レジスタ 17 (RXFPAT17)

表 8-91. 受信パターン レジスタ 17 (RXFPAT17)、アドレス 0x014C

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_32_33	0, RW	設定されたパターンのバイト 32 + 33。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.91 受信パターン レジスタ 18 (RXFPAT18)

表 8-92. 受信パターン レジスタ 18 (RXFPAT18)、アドレス 0x014D

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_34_35	0, RW	設定されたパターンのバイト 34 + 35。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.92 受信パターン レジスタ 19 (RXFPAT19)

表 8-93. 受信パターン レジスタ 19 (RXFPAT19)、アドレス 0x014E

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_36_37	0, RW	設定されたパターンのバイト 36 + 37。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.93 受信パターン レジスタ 20 (RXFPAT20)

表 8-94. 受信パターン レジスタ 20 (RXFPAT20)、アドレス 0x014F

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_38_39	0, RW	設定されたパターンのバイト 38 + 39。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.94 受信パターン レジスタ 21 (RXFPAT21)

表 8-95. 受信パターン レジスタ 21 (RXFPAT21)、アドレス 0x0150

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_38_39	0, RW	設定されたパターンのバイト 38 + 39。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.95 受信パターン レジスタ 22 (RXFPAT22)

表 8-96. 受信パターン レジスタ 22 (RXFPAT22)、アドレス 0x0151

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_42_43	0, RW	設定されたパターンのバイト 42 + 43。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.96 受信パターン レジスタ 23 (RXFPAT23)

表 8-97. 受信パターン レジスタ 23 (RXFPAT23)、アドレス 0x0152

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_44_45	0, RW	設定されたパターンのバイト 44 + 45。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.97 受信パターン レジスタ 24 (RXFPAT24)

表 8-98. 受信パターン レジスタ 24 (RXFPAT24)、アドレス 0x0153

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_46_47	0, RW	設定されたパターンのバイト 46 + 47。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.98 受信パターン レジスタ 25 (RXFPAT25)

表 8-99. 受信パターン レジスタ 25 (RXFPAT25)、アドレス 0x0154

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_48_49	0, RW	設定されたパターンのバイト 48 + 49。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.99 受信パターン レジスタ 26 (RXFPAT26)

表 8-100. 受信パターン レジスタ 26 (RXFPAT26)、アドレス 0x0155

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_50_51	0, RW	設定されたパターンのバイト 50 + 51。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.100 受信パターン レジスタ 27 (RXFPAT27)

表 8-101. 受信パターン レジスタ 27 (RXFPAT27)、アドレス 0x0156

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_52_53	0, RW	設定されたパターンのバイト 52 + 53。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.101 受信パターン レジスタ 28 (RXFPAT28)

表 8-102. 受信パターン レジスタ 28 (RXFPAT28)、アドレス 0x0157

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_54_55	0, RW	設定されたパターンのバイト 54 + 55。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.102 受信パターン レジスタ 29 (RXFPAT29)

表 8-103. 受信パターン レジスタ 29 (RXFPAT29)、アドレス 0x0158

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_56_57	0, RW	設定されたパターンのバイト 56 + 57。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.103 受信パターン レジスタ 30 (RXFPAT30)

表 8-104. 受信パターン レジスタ 30 (RXFPAT30)、アドレス 0x0159

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_58_59	0, RW	設定されたパターンのバイト 58 + 59。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.104 受信パターン レジスタ 31 (RXFPAT31)

表 8-105. 受信パターン レジスタ 31 (RXFPAT31)、アドレス 0x015A

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_0_1	0, RW	設定されたパターンのバイト 60 + 61。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.105 受信パターン レジスタ 32 (RXFPAT32)

表 8-106. 受信パターン レジスタ 32 (RXFPAT32)、アドレス 0x015B

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_62_63	0, RW	設定されたパターンのバイト 62 + 63。RXF_PATTERN_BYTE_MASK レジスタを使用することで、各バイトを個別にマスクできます。

8.106 受信パターンバイト マスク レジスタ 1 (RXFPBM1)

表 8-107. 受信パターンバイト マスク レジスタ 1 (RXFPBM1)、アドレス 0x015C

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_MASK_0_15	0, RW	パターンのバイト 0 ~ 15 をマスクします。1 は、関連するバイトのマスクを示します。

8.107 受信パターンバイト マスク レジスタ 2 (RXFPBM2)

表 8-108. 受信パターンバイト マスク レジスタ 2 (RXFPBM2)、アドレス 0x015D

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_MASK_16_31	0, RW	パターンのバイト 16 ~ 31 をマスクします。1 は、関連するバイトのマスクを示します。

8.108 受信パターンバイト マスク レジスタ 3 (RXFPBM3)

表 8-109. 受信パターンバイト マスク レジスタ 3 (RXFPBM3)、アドレス 0x015E

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_MASK_32_47	0, RW	パターンのバイト 32 ~ 47 をマスクします。1 は、関連するバイトのマスクを示します。

8.109 受信パターンバイト マスク レジスタ 4 (RXFPBM4)

表 8-110. 受信パターンバイト マスク レジスタ 4 (RXFPBM4)、アドレス 0x015F

ビット	ビット名	デフォルト	説明
15:0	PATTERN_BYTES_MASK_48_63	0, RW	パターンのバイト 48 ~ 63 をマスクします。1 は、関連するバイトのマスクを示します。

8.110 受信パターン制御 (RXFPATC)

表 8-111. 受信ステータス レジスタ (RXFSTS)、アドレス 0x0161

ビット	ビット名	デフォルト	説明
15:6	予約済み	0, RO	RESERVED: 書き込みは無視され、読み出し時は 0 を返します。
5:0	PATTERN_START_POINT	0, RW	SFD の後、RX バケットと設定されたパターンとの比較を開始する位置までのバイト数: 111111 - SFD の 64 番目のバイト後から比較を開始 000000 - SFD の最初のバイト後から比較を開始

8.111 I/O 構成 (IO_MUX_CFG)

表 8-112. I/O 構成 (IO_MUX_CFG)、アドレス 0x0170

ビット	ビット名	デフォルト	説明
15:13	予約済み	0, RO	予約済み
12:8	CLK_O_SEL	0 1100, RW	<p>クロック出力ピンの選択:</p> <p>01101 – 11111: 予約済み</p> <p>01100: リファレンス クロック (XI 入力クロックに同期)</p> <p>01011: チャンネル D 送信クロック</p> <p>01010: チャンネル C 送信クロック</p> <p>01001: チャンネル B 送信クロック</p> <p>01000: チャンネル A 送信クロック</p> <p>00111: チャンネル D の受信クロックを 5 分周したクロック</p> <p>00110: チャンネル C の受信クロックを 5 分周したクロック</p> <p>00101: チャンネル B の受信クロックを 5 分周したクロック</p> <p>00100: チャンネル A の受信クロックを 5 分周したクロック</p> <p>00011: チャンネル D 受信クロック</p> <p>00010: チャンネル C 受信クロック</p> <p>00001: チャンネル B 受信クロック</p> <p>00000: チャンネル A 受信クロック</p>
7	予約済み	0, RO	予約済み
6	CLK_O_DISABLE	PAP: ストラップ、 RW RGZ: 0, RW	<p>クロック出力ディスエーブル:</p> <p>1 = CLK_OUT ピンのクロック出力を無効にします。</p> <p>0 = CLK_OUT ピンのクロック出力を有効にします。</p>
5	予約済み	0, RO	予約済み
4:0	IO_IMPEDANCE_CTRL	TRIM, RW	<p>MAC I/O のインピーダンス制御:</p> <p>出力インピーダンスのおおよその範囲は 35 ~ 70Ω で、32 ステップです。最小は 11111 で最大は 00000。範囲とステップ サイズはプロセスによって異なります。</p> <p>デフォルト値は、トリムにより 50Ω に設定されています。ただし、デフォルトのレジスタ値はプロセスによって異なる場合があります。MAC I/O インピーダンスの非デフォルト値は、トレース インピーダンスに基づいて使用できません。デバイスとトレース インピーダンスがマッチしていないと、電圧のオーバーシュートやアンダーシュートを引き起こす可能性があります。</p>

8.112 GPIO マルチプレクサ制御レジスタ 1 (GPIO_MUX_CTRL1)

このレジスタは、PAP デバイスでのみ利用可能です。このレジスタは、RGZ デバイスには適用されません。

表 8-113. GPIO マルチプレクサ制御レジスタ 1 (GPIO_MUX_CTRL1)、アドレス 0x0171

ビット	ビット名	デフォルト	説明
15:12	RX_D7_GPIO_CTRL	RW, 0000	RX_D7 GPIO 制御: 1010 – 1111: 予約済み 1001: 定数「1」 1000: 定数「0」 0111: PRBS エラー / 同期喪失 0110: LED_3 0101: 予約済み 0100: エネルギー検出 (1000Base-T および 100Base-TX のみ) 0011: WOL 0010: 1588 RX SFD 0001: 1588 TX SFD 0000: RX_D7
11:8	RX_D6_GPIO_CTRL	RW, 0000	RX_D6 GPIO 制御: 1010 – 1111: 予約済み 1001: 定数「1」 1000: 定数「0」 0111: PRBS エラー / 同期喪失 0110: LED_3 0101: 予約済み 0100: エネルギー検出 (1000Base-T および 100Base-TX のみ) 0011: WOL 0010: 1588 RX SFD 0001: 1588 TX SFD 0000: RX_D6
7:4	RX_D5_GPIO_CTRL	RW, 0000	RX_D5 GPIO 制御: 1010 – 1111: 予約済み 1001: 定数「1」 1000: 定数「0」 0111: PRBS エラー / 同期喪失 0110: LED_3 0101: 予約済み 0100: エネルギー検出 (1000Base-T および 100Base-TX のみ) 0011: WOL 0010: 1588 RX SFD 0001: 1588 TX SFD 0000: RX_D5

表 8-113. GPIO マルチプレクサ制御レジスタ 1 (GPIO_MUX_CTRL1)、アドレス 0x0171 (続き)

ビット	ビット名	デフォルト	説明
3:0	RX_D4_GPIO_CTRL	RW, 0000	RX_D4 GPIO 制御: 1010 – 1111: 予約済み 1001: 定数「1」 1000: 定数「0」 0111: PRBS エラー / 同期喪失 0110: LED_3 0101: 予約済み 0100: エネルギー検出 (1000Base-T および 100Base-TX のみ) 0011: WOL 0010: 1588 RX SFD 0001: 1588 TX SFD 0000: RX_D4

8.113 GPIO マルチプレクサ制御レジスタ 2 (GPIO_MUX_CTRL2)

この説明は PAP デバイスにのみ存在します。RGZ デバイスについては、[セクション 8.1.114](#) を参照してください

表 8-114. GPIO マルチプレクサ制御レジスタ 2 (GPIO_MUX_CTRL2)、アドレス 0x0172

ビット	ビット名	デフォルト	説明
15:12	予約済み	0, RO	予約済み
11:8	CRS_GPIO_CTRL	RW, 0000	CRS GPIO 制御: 1010 – 1111: 予約済み 1001: 定数「1」 1000: 定数「0」 0111: PRBS エラー / 同期喪失 0110: LED_3 0101: 予約済み 0100: エネルギー検出 (1000Base-T および 100Base-TX のみ) 0011: WOL 0010: 1588 RX SFD 0001: 1588 TX SFD 0000: CRS
7:4	COL_GPIO_CTRL	RW, 0000	COL GPIO 制御: 1010 – 1111: 予約済み 1001: 定数「1」 1000: 定数「0」 0111: PRBS エラー / 同期喪失 0110: LED_3 0101: 予約済み 0100: エネルギー検出 (1000Base-T および 100Base-TX のみ) 0011: WOL 0010: 1588 RX SFD 0001: 1588 TX SFD 0000: COL
3:0	RX_ER_GPIO_CTRL	RW, 0000	RX_ER GPIO 制御: 1010 – 1111: 予約済み 1001: 定数「1」 1000: 定数「0」 0111: PRBS エラー / 同期喪失 0110: LED_3 0101: 予約済み 0100: エネルギー検出 (1000Base-T および 100Base-TX のみ) 0011: WOL 0010: 1588 RX SFD 0001: 1588 TX SFD 0000: RX_ER

8.114 GPIO マルチプレクサ制御レジスタ (GPIO_MUX_CTRL)

この説明は RGZ デバイスにのみ存在します。PAP デバイスについては、[セクション 8.1.113](#) を参照してください

表 8-115. GPIO マルチプレクサ制御レジスタ (GPIO_MUX_CTRL)、アドレス 0x0172

ビット	ビット名	デフォルト	説明
15:8	予約済み	0, RO	予約済み
7:4	GPIO_1_CTRL	RW, 0000	GPIO_1 制御: 1010 – 1111: 予約済み 1001: 定数 1 1000: 定数 0 0111: PRBS エラー / 同期喪失 0110: LED_3 0101: 予約済み 0100: エネルギー検出 (1000Base-T および 100Base-TX のみ) 0011: WOL 0010: 1588 RX SFD 0001: 1588 TX SFD 0000: COL
3:0	GPIO_0_CTRL	RW, 0000	GPIO_0 制御: 1010 – 1111: 予約済み 1001: 定数 1 1000: 定数 0 0111: PRBS エラー / 同期喪失 0110: LED_3 0101: 予約済み 0100: エネルギー検出 (1000Base-T および 100Base-TX のみ) 0011: WOL 0010: 1588 RX SFD 0001: 1588 TX SFD 0000: RX_ER

8.115 TDR 汎用構成レジスタ 1 (TDR_GEN_CFG1)

表 8-116. TDR 汎用構成レジスタ 1 (TDR_GEN_CFG1)、アドレス 0x0180

ビット	ビット名	デフォルト	説明
15:13	予約済み	0, RO	予約済み
12	TDR_CH_CD_BYPASS	0, RW	チャンネル C および D の TDR バイパス: 1 = TDR テストでは、チャンネル C および D をバイパスします。 0 = 通常動作。
11	TDR_CROSS_MODE_DIS	0, RW	TDR クロス モードを無効化: 1 = クロス モード オプションを無効化します。クロス チャンネルを確認しないでください。送信に使用しているチャンネルのみを監視します。 0 = 通常動作。
10	TDR_NLP_CHECK	1, RW	TDR NLP チェック: 1 = 無通信期間中に NLP を検出します。 0 = 通常動作。
9:7	TDR_AVG_NUM	110, RW	平均される TDR サイクル数: 111: RESERVED: 書き込みは無視され、読み出し時は 0 を返します。 110: 64 TDR サイクル 101: 32 TDR サイクル 100: 16 TDR サイクル 011: 8 TDR サイクル 010: 4 TDR サイクル 001: 2 TDR サイクル 000: 1 TDR サイクル
6:4	TDR_SEG_NUM	101, RW	チェックする TDR セグメントの数を設定します。
3:0	TDR_CYCLE_TIME	010, RW	各 TDR サイクルの時間を設定します。値はマイクロ秒単位で測定されます。

8.116 TDR スレッシュホールド構成レジスタ 1 (TDR_THR_CFG1)

表 8-117. TDR スレッシュホールド構成レジスタ 1 (TDR_THR_CFG1)、アドレス 0x0186

ビット	ビット名	デフォルト	説明
15:0	予約済み	0x31D7, RW	Time Domain Reflectometry アプリケーション ノートスクリプトで使用します。

8.117 TDR スレッシュホールド構成レジスタ 2 (TDR_THR_CFG2)

表 8-118. TDR スレッシュホールド構成レジスタ 2 (TDR_THR_CFG2)、アドレス 0x0187

ビット	ビット名	デフォルト	説明
15:0	予約済み	0x0D9B, RW	Time Domain Reflectometry アプリケーション ノートスクリプトで使用します。

8.118 TDR 汎用構成レジスタ 5 (TDR_GEN_CFG5)

表 8-119. TDR 汎用構成レジスタ 5 (TDR_GEN_CFG5)、アドレス 0x0189

ビット	ビット名	デフォルト	説明
15:0	予約済み	0x0014, RW	Time Domain Reflectometry アプリケーション ノートスクリプトで使用します。

8.119 TDR ピーク位置レジスタ 1 (TDR_PEAKS_LOC_1)

表 8-120. TDR ピーク位置レジスタ 1 (TDR_PEAKS_LOC_1)、アドレス 0x0190

ビット	ビット名	デフォルト	説明
15:8	TDR_PEAKS_LOC_A_1	0, RO	チャンネル A において、TDR 機能によって検出された二番目のピークの位置を示します。これらのビットの値は、PHY からの距離に換算されます。
7:0	TDR_PEAKS_LOC_A_0	0, RO	チャンネル A で TDR 機能により検出された最初のピークの位置を示します。これらのビット値は、PHY からの距離として解釈されます。

8.120 TDR ピーク位置レジスタ 2 (TDR_PEAKS_LOC_2)

表 8-121. TDR ピーク位置レジスタ 2 (TDR_PEAKS_LOC_2)、アドレス 0x0191

ビット	ビット名	デフォルト	説明
15:8	TDR_PEAKS_LOC_A_3	0, RO	チャンネル A で TDR 機能により検出された四番目のピークの位置を示します。これらのビット値は、PHY からの距離として解釈されます。
7:0	TDR_PEAKS_LOC_A_2	0, RO	チャンネル A で TDR 機能により検出された三番目のピークの位置を示します。これらのビット値は、PHY からの距離として解釈されます。

8.121 TDR ピーク位置レジスタ 3 (TDR_PEAKS_LOC_3)

表 8-122. TDR ピーク位置レジスタ 3 (TDR_PEAKS_LOC_3)、アドレス 0x0192

ビット	ビット名	デフォルト	説明
15:8	TDR_PEAKS_LOC_B_0	0, RO	チャンネル B で TDR 機能により検出された最初のピークの位置を示します。これらのビット値は、PHY からの距離として解釈されます。
7:0	TDR_PEAKS_LOC_A_4	0, RO	チャンネル A において、TDR 機能によって検出された五番目のピークの位置を示します。これらのビットの値は、PHY からの距離に換算されます。

8.122 TDR ピーク位置レジスタ 4 (TDR_PEAKS_LOC_4)

表 8-123. TDR ピーク位置レジスタ 4 (TDR_PEAKS_LOC_4)、アドレス 0x0193

ビット	ビット名	デフォルト	説明
15:8	TDR_PEAKS_LOC_B_2	0, RO	チャンネル B で TDR 機能により検出された三番目のピークの位置を示します。これらのビット値は、PHY からの距離として解釈されます。
7:0	TDR_PEAKS_LOC_B_1	0, RO	チャンネル B において、TDR 機能によって検出された二番目のピークの位置を示します。これらのビットの値は、PHY からの距離に換算されます。

8.123 TDR ピーク位置レジスタ 5 (TDR_PEAKS_LOC_5)

表 8-124. TDR ピーク位置レジスタ 5 (TDR_PEAKS_LOC_5)、アドレス 0x0194

ビット	ビット名	デフォルト	説明
15:8	TDR_PEAKS_LOC_B_4	0, RO	チャンネル B において、TDR 機能によって検出された五番目のピークの位置を示します。これらのビットの値は、PHY からの距離に換算されます。
7:0	TDR_PEAKS_LOC_B_3	0, RO	チャンネル B で TDR 機能により検出された四番目のピークの位置を示します。これらのビット値は、PHY からの距離として解釈されます。

8.124 TDR ピーク位置レジスタ 6 (TDR_PEAKS_LOC_6)

表 8-125. TDR ピーク位置レジスタ 6 (TDR_PEAKS_LOC_6)、アドレス 0x0195

ビット	ビット名	デフォルト	説明
15:8	TDR_PEAKS_LOC_C_1	0, RO	チャンネル C において、TDR 機能によって検出された二番目のピークの位置を示します。これらのビットの値は、PHY からの距離に換算されます。
7:0	TDR_PEAKS_LOC_C_0	0, RO	チャンネル C で TDR 機能により検出された最初のピークの位置を示します。これらのビット値は、PHY からの距離として解釈されます。

8.125 TDR ピーク位置レジスタ 7 (TDR_PEAKS_LOC_7)

表 8-126. TDR ピーク位置レジスタ 7 (TDR_PEAKS_LOC_7)、アドレス 0x0196

ビット	ビット名	デフォルト	説明
15:8	TDR_PEAKS_LOC_C_3	0, RO	チャンネル C で TDR 機能により検出された四番目のピークの位置を示します。これらのビット値は、PHY からの距離として解釈されます。
7:0	TDR_PEAKS_LOC_C_2	0, RO	チャンネル C で TDR 機能により検出された三番目のピークの位置を示します。これらのビット値は、PHY からの距離として解釈されます。

8.126 TDR ピーク位置レジスタ 8 (TDR_PEAKS_LOC_8)

表 8-127. TDR ピーク位置レジスタ 8 (TDR_PEAKS_LOC_8)、アドレス 0x0197

ビット	ビット名	デフォルト	説明
15:8	TDR_PEAKS_LOC_D_0	0, RO	チャンネル D で TDR 機能により検出された最初のピークの位置を示します。これらのビット値は、PHY からの距離として解釈されます。
7:0	TDR_PEAKS_LOC_C_4	0, RO	チャンネル C において、TDR 機能によって検出された五番目のピークの位置を示します。これらのビットの値は、PHY からの距離に換算されます。

8.127 TDR ピーク位置レジスタ 9 (TDR_PEAKS_LOC_9)

表 8-128. TDR ピーク位置レジスタ 9 (TDR_PEAKS_LOC_9)、アドレス 0x0198

ビット	ビット名	デフォルト	説明
15:8	TDR_PEAKS_LOC_D_2	0, RO	チャンネル D で TDR 機能により検出された三番目のピークの位置を示します。これらのビット値は、PHY からの距離として解釈されます。
7:0	TDR_PEAKS_LOC_D_1	0, RO	チャンネル D において、TDR 機能によって検出された二番目のピークの位置を示します。これらのビットの値は、PHY からの距離に換算されます。

8.128 TDR ピーク位置レジスタ 10 (TDR_PEAKS_LOC_10)

表 8-129. TDR ピーク位置レジスタ 10 (TDR_PEAKS_LOC_10)、アドレス 0x0199

ビット	ビット名	デフォルト	説明
15:8	TDR_PEAKS_LOC_D_4	0, RO	チャンネル D において、TDR 機能によって検出された五番目のピークの位置を示します。これらのビットの値は、PHY からの距離に換算されます。
7:0	TDR_PEAKS_LOC_D_3	0, RO	チャンネル D で TDR 機能により検出された四番目のピークの位置を示します。これらのビット値は、PHY からの距離として解釈されます。

8.129 TDR ピーク振幅レジスタ 1 (TDR_PEAKS_AMP_1)

表 8-130. TDR ピーク振幅レジスタ 1 (TDR_PEAKS_AMP_1)、アドレス 0x019A

ビット	ビット名	デフォルト	説明
15	予約済み	0, RO	予約済み
14:8	TDR_PEAKS_AMP_A_1	0, RO	チャンネル A で TDR 機能により検出された二番目のピークの振幅を示します。これらのビット値は、ケーブル故障および / または干渉の種類として解釈されます。
7	予約済み	0, RO	予約済み
6:0	TDR_PEAKS_AMP_A_0	0, RO	チャンネル A で TDR 機能により検出された一番目のピークの振幅を示します。これらのビット値は、ケーブル故障および / または干渉の種類として解釈されます。

8.130 TDR ピーク振幅レジスタ 2 (TDR_PEAKS_AMP_2)

表 8-131. TDR ピーク振幅レジスタ 2 (TDR_PEAKS_AMP_2)、アドレス 0x019B

ビット	ビット名	デフォルト	説明
15	予約済み	0, RO	予約済み

表 8-131. TDR ピーク振幅レジスタ 2 (TDR_PEAKS_AMP_2)、アドレス 0x019B (続き)

ビット	ビット名	デフォルト	説明
14:8	TDR_PEAKS_AMP_A_3	0, RO	チャンネル A で TDR 機能により検出された四番目のピークの振幅を示します。これらのビット値は、ケーブル故障および / または干渉の種類として解釈されます。
7	予約済み	0, RO	予約済み
6:0	TDR_PEAKS_AMP_A_2	0, RO	チャンネル A で TDR 機能により検出された三番目のピークの振幅を示します。これらのビット値は、ケーブル故障および / または干渉の種類として解釈されます。

8.131 TDR ピーク振幅レジスタ 3 (TDR_PEAKS_AMP_3)

表 8-132. TDR ピーク振幅レジスタ 3 (TDR_PEAKS_AMP_3)、アドレス 0x019C

ビット	ビット名	デフォルト	説明
15	予約済み	0, RO	予約済み
14:8	TDR_PEAKS_AMP_B_0	0, RO	チャンネル B で TDR 機能により検出された一番目のピークの振幅を示します。これらのビット値は、ケーブル故障および / または干渉の種類として解釈されます。
7	予約済み	0, RO	予約済み
6:0	TDR_PEAKS_AMP_A_4	0, RO	チャンネル A で TDR 機能により検出された五番目のピークの振幅を示します。これらのビット値は、ケーブル故障および / または干渉の種類として解釈されます。

8.132 TDR ピーク振幅レジスタ 4 (TDR_PEAKS_AMP_4)

表 8-133. TDR ピーク振幅レジスタ 4 (TDR_PEAKS_AMP_4)、アドレス 0x019D

ビット	ビット名	デフォルト	説明
15	予約済み	0, RO	予約済み
14:8	TDR_PEAKS_AMP_B_2	0, RO	チャンネル B で TDR 機能により検出された三番目のピークの振幅を示します。これらのビット値は、ケーブル故障および / または干渉の種類として解釈されます。
7	予約済み	0, RO	予約済み
6:0	TDR_PEAKS_AMP_B_1	0, RO	チャンネル B で TDR 機能により検出された二番目のピークの振幅を示します。これらのビット値は、ケーブル故障および / または干渉の種類として解釈されます。

8.133 TDR ピーク振幅レジスタ 5 (TDR_PEAKS_AMP_5)

表 8-134. TDR ピーク振幅レジスタ 5 (TDR_PEAKS_AMP_5)、アドレス 0x019E

ビット	ビット名	デフォルト	説明
15	予約済み	0, RO	予約済み
14:8	TDR_PEAKS_AMP_B_4	0, RO	チャンネル B で TDR 機能により検出された五番目のピークの振幅を示します。これらのビット値は、ケーブル故障および / または干渉の種類として解釈されます。
7	予約済み	0, RO	予約済み
6:0	TDR_PEAKS_AMP_B_3	0, RO	チャンネル B で TDR 機能により検出された四番目のピークの振幅を示します。これらのビット値は、ケーブル故障および / または干渉の種類として解釈されます。

8.134 TDR ピーク振幅レジスタ 6 (TDR_PEAKS_AMP_6)

表 8-135. TDR ピーク振幅レジスタ 6 (TDR_PEAKS_AMP_6)、アドレス 0x019F

ビット	ビット名	デフォルト	説明
15	予約済み	0, RO	予約済み
14:8	TDR_PEAKS_AMP_C_1	0, RO	チャンネル C で TDR 機能により検出された二番目のピークの振幅を示します。これらのビット値は、ケーブル故障および / または干渉の種類として解釈されます。
7	予約済み	0, RO	予約済み
6:0	TDR_PEAKS_AMP_C_0	0, RO	チャンネル C で TDR 機能により検出された一番目のピークの振幅を示します。これらのビット値は、ケーブル故障および / または干渉の種類として解釈されます。

8.135 TDR ピーク振幅レジスタ 7 (TDR_PEAKS_AMP_7)

表 8-136. TDR ピーク振幅レジスタ 7 (TDR_PEAKS_AMP_7)、アドレス 0x01A0

ビット	ビット名	デフォルト	説明
15	予約済み	0, RO	予約済み
14:8	TDR_PEAKS_AMP_C_3	0, RO	チャンネル C の TDR メカニズムによって検出された四番目のピークの振幅。これらのビットの値は、ケーブル故障または干渉のタイプに変換されます。
7	予約済み	0, RO	予約済み
6:0	TDR_PEAKS_AMP_C_2	0, RO	チャンネル C の TDR メカニズムによって検出された三番目のピークの振幅。これらのビットの値は、ケーブル故障または干渉のタイプに変換されます。

8.136 TDR ピーク振幅レジスタ 8 (TDR_PEAKS_AMP_8)

表 8-137. TDR ピーク振幅レジスタ 8 (TDR_PEAKS_AMP_8)、アドレス 0x01A1

ビット	ビット名	デフォルト	説明
15	予約済み	0, RO	予約済み
14:8	TDR_PEAKS_AMP_D_0	0, RO	チャンネル D で TDR 機能により検出された一番目のピークの振幅を示します。これらのビット値は、ケーブル故障および / または干渉の種類として解釈されます。
7	予約済み	0, RO	予約済み
6:0	TDR_PEAKS_AMP_C_4	0, RO	チャンネル C で TDR 機能により検出された五番目のピークの振幅を示します。これらのビット値は、ケーブル故障および / または干渉の種類として解釈されます。

8.137 TDR ピーク振幅レジスタ 9 (TDR_PEAKS_AMP_9)

表 8-138. TDR ピーク振幅レジスタ 9 (TDR_PEAKS_AMP_9)、アドレス 0x01A2

ビット	ビット名	デフォルト	説明
15	予約済み	0, RO	予約済み
14:8	TDR_PEAKS_AMP_D_2	0, RO	チャンネル D で TDR 機能により検出された三番目のピークの振幅を示します。これらのビット値は、ケーブル故障および / または干渉の種類として解釈されます。
7	予約済み	0, RO	予約済み
6:0	TDR_PEAKS_AMP_D_1	0, RO	チャンネル D で TDR 機能により検出された二番目のピークの振幅を示します。これらのビット値は、ケーブル故障および / または干渉の種類として解釈されます。

8.138 TDR ピーク振幅レジスタ 10 (TDR_PEAKS_AMP_10)

表 8-139. TDR ピーク振幅レジスタ 10 (TDR_PEAKS_AMP_10)、アドレス 0x01A3

ビット	ビット名	デフォルト	説明
15	予約済み	0, RO	予約済み
14:8	TDR_PEAKS_AMP_D_4	0, RO	チャンネル D で TDR 機能により検出された五番目のピークの振幅を示します。これらのビット値は、ケーブル故障および / または干渉の種類として解釈されます。
7	予約済み	0, RO	予約済み
6:0	TDR_PEAKS_AMP_D_3	0, RO	チャンネル D で TDR 機能により検出された四番目のピークの振幅を示します。これらのビット値は、ケーブル故障および / または干渉の種類として解釈されます。

8.139 TDR 一般ステータス (TDR_GEN_STATUS)

表 8-140. TDR 一般ステータス (TDR_GEN_STATUS)、アドレス 0x01A4

ビット	ビット名	デフォルト	説明
15:12	予約済み	0, RO	予約済み
11	TDR_P_LOC_CROSS_MODE_D	0, RO	チャンネル D のクロス検出: 1 = チャンネル D でクロス反射が検出されました。チャンネル間の短絡を示します。 0 = クロス反射は検出されていません。
10	TDR_P_LOC_CROSS_MODE_C	0, RO	チャンネル C のクロス検出: 1 = チャンネル C でクロス反射が検出されました。チャンネル間の短絡を示します。 0 = クロス反射は検出されていません。
9	TDR_P_LOC_CROSS_MODE_B	0, RO	チャンネル B のクロス検出: 1 = チャンネル B でクロス反射を検出しました。チャンネル間の短絡を示します。 0 = クロス反射は検出されていません。
8	TDR_P_LOC_CROSS_MODE_A	0, RO	チャンネル A のクロス検出: 1 = チャンネル A でクロス反射を検出されました。チャンネル間の短絡を示します。 0 = クロス反射は検出されていません。
7	TDR_P_LOC_OVERFLOW_D	0, RO	チャンネル D のピーク オーバーフロー: 1 = チャンネル D で 5 つを超える反射が検出されました。 0 = 通常動作。
6	TDR_P_LOC_OVERFLOW_C	0, RO	チャンネル C のピーク オーバーフロー: 1 = チャンネル C で 5 つを超える反射が検出されました。 0 = 通常動作。
5	TDR_P_LOC_OVERFLOW_B	0, RO	チャンネル B のピークオーバーフロー: 1 = チャンネル B で 5 つを超える反射が検出されました。 0 = 通常動作。
4	TDR_P_LOC_OVERFLOW_A	0, RO	チャンネル A のピーク オーバーフロー: 1 = チャンネル A で 5 つを超える反射が検出されました。 0 = 通常動作。
3:0	予約済み	0, RO	予約済み

8.140 TDR ピーク符号 AB (TDR_PEAK_SIGN_A_B)

表 8-141. TDR ピーク符号 AB (TDR_PEAKS_SIGN_A_B)、アドレス 0x01A5

ビット	ビット名	デフォルト	説明
15:10	予約済み	0, RO	予約済み
9	TDR_PEAKS_SIGN_B_4	0, RO	チャンネル B でピーク サイン 4 が観測されました

表 8-141. TDR ピーク符号 AB (TDR_PEAKS_SIGN_A_B)、アドレス 0x01A5 (続き)

ビット	ビット名	デフォルト	説明
8	TDR_PEAKS_SIGN_B_3	0, RO	チャンネル B でピーク サイン 3 が観測されました
7	TDR_PEAKS_SIGN_B_2	0, RO	チャンネル B でピーク サイン 2 が観測されました
6	TDR_PEAKS_SIGN_B_1	0, RO	チャンネル B でピーク サイン 1 が観測されました
5	TDR_PEAKS_SIGN_B_0	0, RO	チャンネル B でピーク サイン 0 が観測されました
4	TDR_PEAKS_SIGN_A_4	0, RO	チャンネル A でピーク サイン 4 が観測されました
3	TDR_PEAKS_SIGN_A_3	0, RO	チャンネル A でピーク サイン 3 が観測されました
2	TDR_PEAKS_SIGN_A_2	0, RO	チャンネル A でピーク サイン 2 が観測されました
1	TDR_PEAKS_SIGN_A_1	0, RO	チャンネル A でピーク サイン 1 が観測されました
0	TDR_PEAKS_SIGN_A_0	0, RO	チャンネル A でピーク サイン 0 が観測されました

8.141 TDR ピーク符号 CD (TDR_PEAK_SIGN_C_D)

表 8-142. TDR ピーク符号 CD (TDR_PEAKS_SIGN_C_D)、アドレス 0x01A6

ビット	ビット名	デフォルト	説明
15:10	予約済み	0, RO	予約済み
9	TDR_PEAKS_SIGN_D_4	0, RO	チャンネル D でピーク サイン 4 が観測されました
8	TDR_PEAKS_SIGN_D_3	0, RO	チャンネル D でピーク サイン 3 が観測されました
7	TDR_PEAKS_SIGN_D_2	0, RO	チャンネル D でピーク サイン 2 が観測されました
6	TDR_PEAKS_SIGN_D_1	0, RO	チャンネル D でピーク サイン 1 が観測されました
5	TDR_PEAKS_SIGN_D_0	0, RO	チャンネル D でピーク サイン 0 が観測されました
4	TDR_PEAKS_SIGN_C_4	0, RO	チャンネル C でピーク サイン 4 が観測されました
3	TDR_PEAKS_SIGN_C_3	0, RO	チャンネル C でピーク サイン 3 が観測されました
2	TDR_PEAKS_SIGN_C_2	0, RO	チャンネル C でピーク サイン 2 が観測されました
1	TDR_PEAKS_SIGN_C_1	0, RO	チャンネル C でピーク サイン 1 が観測されました
0	TDR_PEAKS_SIGN_C_0	0, RO	チャンネル C でピーク サイン 0 が観測されました

8.142 DSP リーダー ステップ 4 レジスタ (DSP_LDR_STEP4)

表 8-143. DSP リーダー ステップ 4 レジスタ (DSP_LDR_STEP4)、アドレス 0x01C2

ビット	ビット名	デフォルト	説明
15:0	予約済み	0x7E9E, RW	DP83867 トラブルシューティング ガイド スクリプトで使用します。

8.143 DSP フォロウ ステップ 4 レジスタ (DSP_FLR_STEP4)

表 8-144. DSP フォロウ ステップ 4 レジスタ (DSP_FLR_STEP4)、アドレス 0x01C3

ビット	ビット名	デフォルト	説明
15:0	予約済み	0xF3C6, RW	DP83867 トラブルシューティング ガイド スクリプトで使用します。

8.144 DSP フォロウ ステップ 5 レジスタ (DSP_FLR_STEP5)

表 8-145. DSP フォロウ ステップ 5 レジスタ (DSP_FLR_STEP5)、アドレス 0x01C4

ビット	ビット名	デフォルト	説明
15:0	予約済み	0x01C2, RW	DP83867 トラブルシューティング ガイド スクリプトで使用します。

8.145 DSP フォロウ ステップ 6 および 7 レジスタ (DSP_FLR_STEP67)

表 8-146. DSP フォロウ ステップ 6 および 7 レジスタ (DSP_FLR_STEP67)、アドレス 0x01C5

ビット	ビット名	デフォルト	説明
15:0	予約済み	0x1c70, RW	DP83867 トラブルシューティング ガイド スクリプトで使用します。

8.146 プログラマブル ゲイン レジスタ (PROG_GAIN)

表 8-147. プログラマブル ゲイン (PROG_GAIN)、アドレス 0x01D5

ビット	ビット名	デフォルト	説明
15:4	予約済み	1111 0101 0000, RW	予約済み
3	UNF_FUNC_MODE	0, RW	1 = コンプライアンス テストに必要なスイング レベルを設定します。 0 = 通常動作。
2	予約済み	0, RW	予約済み
1	予約済み	0, RW	予約済み
0	予約済み	0, RW	予約済み

8.147 平均方形エラー チャネル A レジスタ (MSE_A)

このレジスタには、間接レジスタ アクセスによってアクセスされます。詳しくは、[セクション 7.4.2.1](#) を参照してください

表 8-148. 平均方形波エラー チャネル A レジスタ (MSE_A)、アドレス 0x0225

ビット	ビット名	デフォルト	説明
15:0	チャンネル A MSE	0, RO	チャンネル A の平均二乗誤値を示します。このレジスタは、10Mbps リンクには適用されません。

8.148 平均方形エラー チャネル B レジスタ (MSE_B)

このレジスタには、間接レジスタ アクセスによってアクセスされます。詳しくは、[セクション 7.4.2.1](#) を参照してください

表 8-149. 平均方形波エラーチャネル B レジスタ (MSE_B)、アドレス 0x0265

ビット	ビット名	デフォルト	説明
15:0	チャンネル B MSE	0, RO	チャンネル B の平均二乗誤値を示します。このレジスタは 1000Mbps リンクでのみ有効です。

8.149 平均方形エラー チャネル C レジスタ (MSE_C)

このレジスタには、間接レジスタ アクセスによってアクセスされます。詳しくは、[セクション 7.4.2.1](#) を参照してください

表 8-150. 平均方形波エラー チャネル C レジスタ (MSE_C)、アドレス 0x02A5

ビット	ビット名	デフォルト	説明
15:0	チャンネル C MSE	0, RO	チャンネル C の平均二乗誤値を示します。このレジスタは 1000Mbps リンクでのみ有効です。

8.150 平均方形エラー チャネル D レジスタ (MSE_D)

このレジスタには、間接レジスタ アクセスによってアクセスされます。詳しくは、[セクション 7.4.2.1](#) を参照してください

表 8-151. 平均方形波エラー チャネル D レジスタ (MSE_D)、アドレス 0x02E5

ビット	ビット名	デフォルト	説明
15:0	チャンネル D MSE	0, RO	チャンネル D の平均二乗誤値を示します。このレジスタは 1000Mbps リンクでのみ有効です。

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

DP83867 は、シングルポートの 10/100/1000 イーサネット PHY で、RGMII または GMII によるイーサネット MAC への接続をサポートしています。イーサネットメディアへの接続は、IEEE 802.3 で定義されたメディア依存インターフェイスを介して行われます。DP83867IRRGZ/CRRGZ は RGMII のみをサポートします。

イーサネットアプリケーションで本デバイスを使用する場合、デバイスの通常動作のための一定の要件を満たす必要があります。以下の標準的なアプリケーションおよび設計要件を使用して、DP83867 の適切な部品値を選択できます。

9.2 代表的なアプリケーション

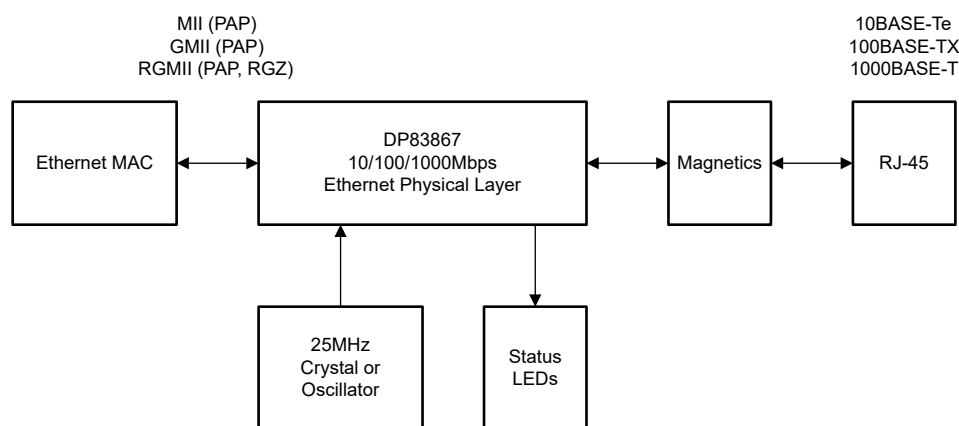


図 9-1. DP83867 の代表的なアプリケーション

9.2.1 設計要件

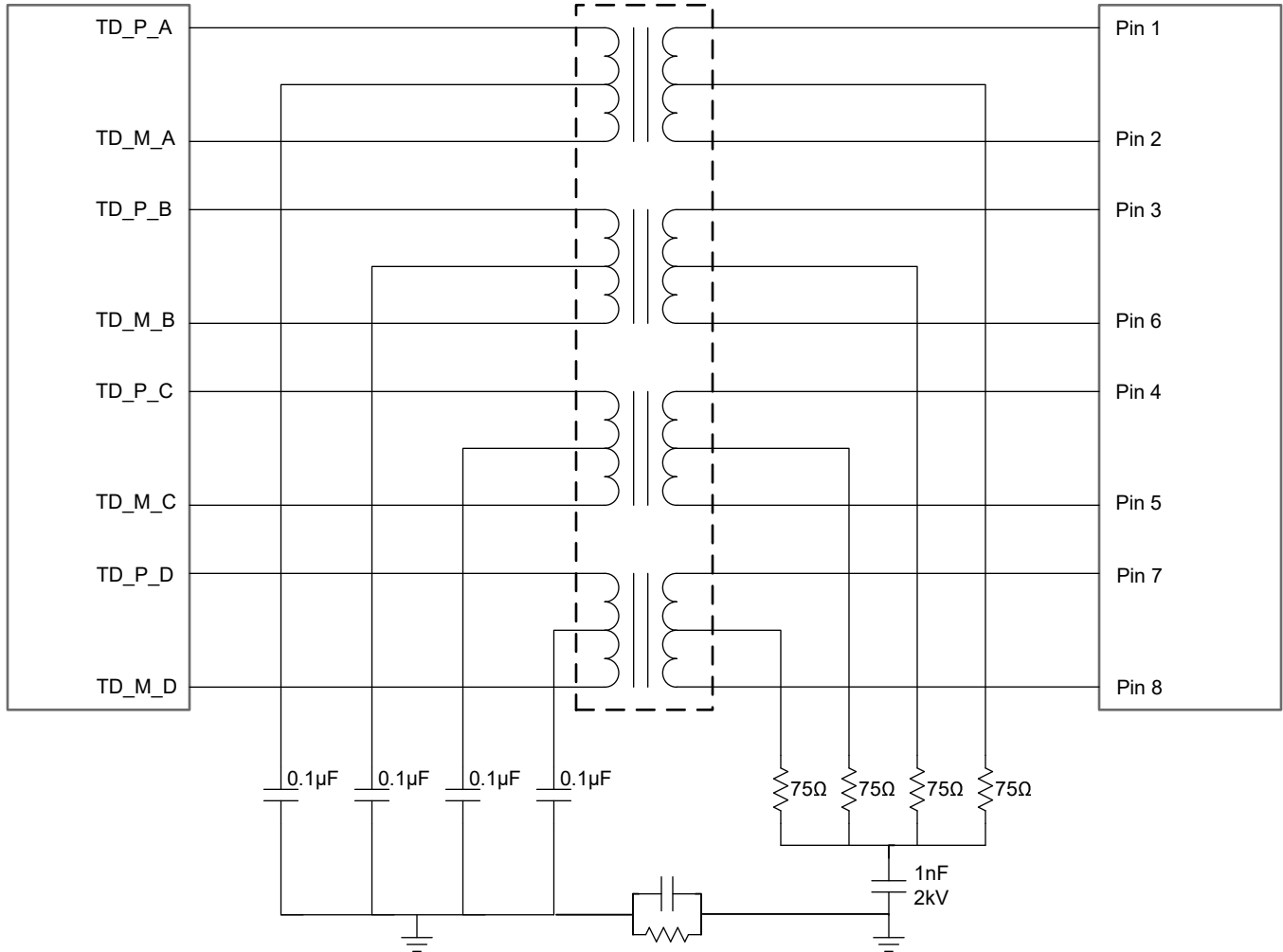
DP83867 の設計要件は次のとおりです:

- $VDDA2P5 = 2.5\text{ V}$
- $VDD1P1$ (PAP) = 1.1V
- $VDD1P0$ (RGZ) = 1.0V
- $VDDIO = 3.3\text{V}, 2.5\text{V}, 1.8\text{V}$
- クロック入力 = 25MHz

9.2.1.1 ケーブル ライン ドライバ

ラインドライバの実装は、トランスやコネクタとのシンプルな接続をサポートできるように設計されています。DP83867 には終端が内蔵されているため、外部終端抵抗は不要です。

図 9-2 に、ケーブルラインドライバの接続図を示します。



- A. PHY に接続されている側の各センター タップは互いに絶縁し、デカップリング コンデンサを使用してグラウンドに接続する必要があります (0.1µF を推奨)。
- B. EMC/EMI 特性を向上させるには、ディスクリートトランスを推奨します。
- C. 100Mbps/10Mbps 通信に必要なのは、チャンネル A および B のみです
- D. EMI 対策のため、グラウンド絶縁間の R/C を推奨します。推奨値については、[DP83867 回路図チェックリスト](#)も参照してください

図 9-2. 磁氣的接続

DP83867 と組み合わせて使用する磁気絶縁には、ディスクリート部品または RJ-45 コネクタと統合することができます。電氣的要件については、[表 9-1](#) をご覧ください。

表 9-1. 磁気絶縁の要件

パラメータ	テスト条件	標準値	単位
巻線比	公差 ±2%	1:1	-
開路のインダクタンス	-	320~350	μH
挿入損失	1 ~ 100MHz	-1	dB
リターンロス	1 ~ 30MHz	-16	dB
	30 ~ 60MHz	-12	dB
	60 ~ 100MHz	-10	dB
差動と同相モードの除去比	1 ~ 50MHz	-30	dB
	50 ~ 150MHz	-20	dB
クロストーク	30MHz	-35	dB
	60MHz	-30	dB
絶縁	HPOT	1500	Vrms

9.2.1.2 クロック入力 (XI) に関する推奨事項

外部クロックソースを使用する場合、XO はフローティングのままにしておくことができます。1.8V クロックソースの場合、XI をクロックソースに直接接続できます。図 9-3 に示すように、3.3V または 2.5V のクロックソースにはコンデンサ分周器を推奨します。3.3V クロックソースの場合、使用する CD1 および CD2 コンデンサを 27pF にすることを推奨します。2.5V クロックソースを使用する場合は、推奨されているコンデンサ負荷についてベンダに確認します。CD1 と CD2 の値は、セクション 6.5 で定義されている XI 入力ピン仕様を満たすように調整されます。

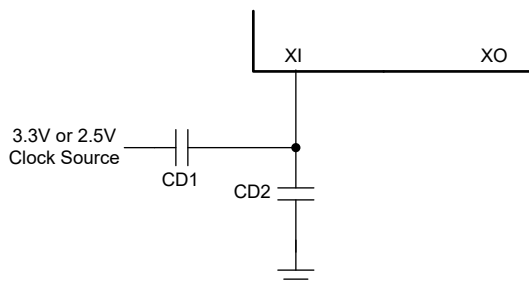


図 9-3. クロック分周比

CMOS 25MHz 発振器の仕様を、表 9-2 に示します。さらに、図 9-4 に PHY で許容される発振器の位相ノイズの最大値を示します。

表 9-2. 25MHz 発振器の仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
周波数			25		MHz
周波数の許容誤差	動作温度			±50	ppm
周波数安定性	1年の経年劣化			±50	ppm
立ち上がり / 立ち下がり時間	20%~80%			5	ns
対称	デューティサイクル	40%		60%	
ジッタ RMS	積分帯域: 12kHz ~ 5MHz			11	ps

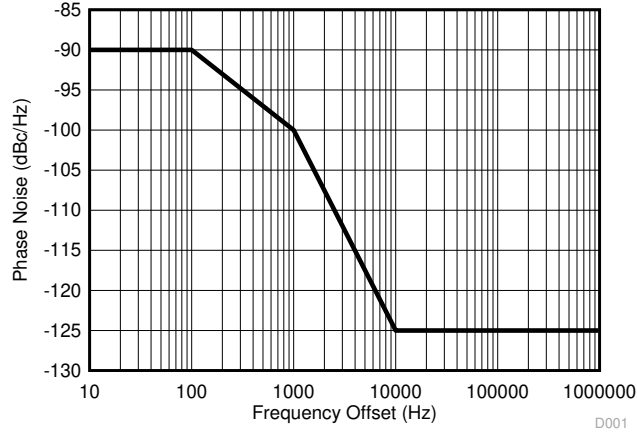


図 9-4. 25MHz 発振器の位相ノイズ

9.2.1.3 水晶振動子に関する推奨事項

水晶発振源を使用する場合は、25MHz、並列共振、負荷容量 18pF の水晶振動子の使用を推奨します。水晶振動子回路の標準的な接続については、図 9-5 を参照してください。負荷コンデンサの値は、水晶振動子のベンダによって異なります。推奨される負荷については、ベンダにお問い合わせください。

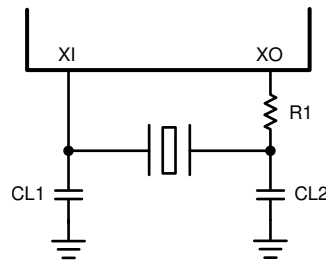


図 9-5. 水晶発振回路

発振回路評価の初期設定として、水晶振動子の要件が不明な場合は、CL1 および CL2 を 27pF、R1 を 0Ω に設定することを推奨します。

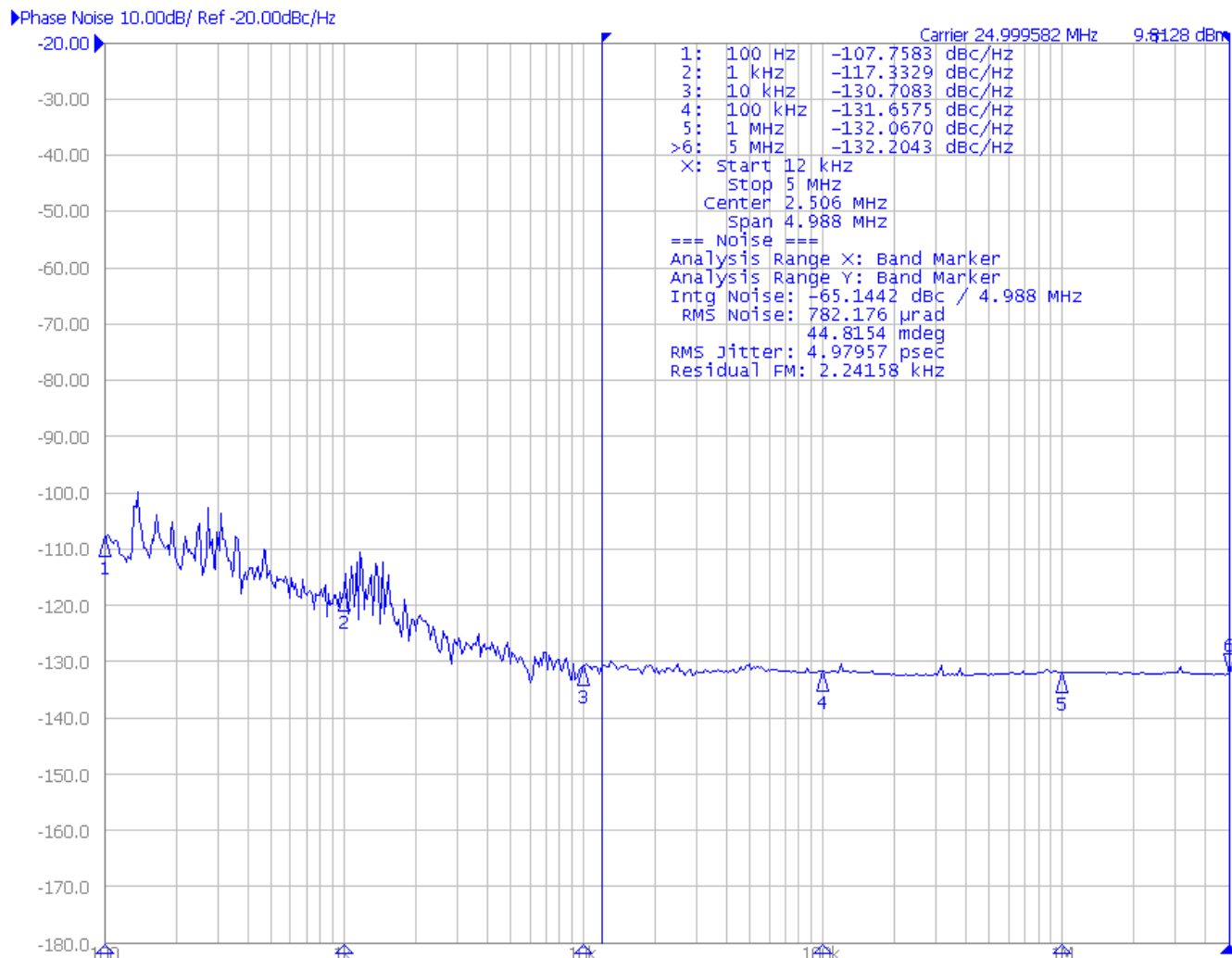
25MHz 水晶振動子の仕様を表 9-3 に示します。

表 9-3. 25MHz 水晶振動子仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
周波数			25		MHz
周波数の許容誤差	動作温度			±50	ppm
周波数安定性	1 年の経年劣化			±50	ppm

9.2.1.4 クロックアウト (CLK_OUT) 位相ノイズ

図 9-6 に、デバイスからの 25MHz クロック出力位相ノイズのプロットを示します。



- この測定は、フォロワとして構成された DP83867 で行われます。PHY は、リーダーとして構成された別の DP83867 にリンクされています。どちらのデバイスも PRBS が有効になっています (BISCR、レジスタ 0x0016、0xD000 に設定)。
- リンクアップ前およびリンクアップ後にパケットが生成されていない状態での CLK_OUT ピンの位相ノイズは、図の位相ノイズよりも小さくなる予想されます。

図 9-6. 25MHz のクロック出力位相ノイズ

9.2.2 詳細な設計手順

9.2.2.1 MAC インターフェイス

メディア独立インターフェイス (RGMII/GMII) は、DP83867 をメディア アクセス コントローラ (MAC) に接続します。実際には、MAC はマイクロプロセッサ、CPU、または FPGA に統合されたディスクリート デバイスにできます。

9.2.2.1.1 RGMII のレイアウト ガイドライン

- RGMII 信号はシングルエンド信号です。
- トレースは、グラウンドに対して 50 Ω の特性インピーダンスとなるように配線してください。
- TXD[3:0] ライン間のスキューは 11ps 未満にする必要があります。これは、標準的な FR4 基板では約 60mil に相当します。

- RXD[3:0] ライン間のスキューは 11ps 未満にする必要があります。これは、標準的な FR4 基板では約 60mil に相当します。
- パターン長は可能な限り短くします。推奨は 2 インチ未満で、最大でも 6 インチ未満にしてください。
- GTX_CLK および RX_CLK のクロック スキューを設定可能です。
 - RX パスおよび TX パスのクロック スキューは、それぞれ独立して最適化できます。
 - クロック スキューは、(レジスタを介して) 0.25ns 刻みで調整可能です。

9.2.2.1.2 GMII のレイアウト ガイドライン

- GMII 信号はシングルエンド信号です。
- パターンは、グラウンドに対して 50Ω のインピーダンスで配線する必要があります。
- パターン長は可能な限り短くします。推奨は 2 インチ未満で、最大でも 6 インチ未満にしてください。

9.2.2.2 Media Dependent Interface (MDI)

メディア依存インターフェイス (MDI) は、DP83867 をトランスおよびイーサネット ネットワークに接続します。

9.2.2.2.1 MDI のレイアウト ガイドライン

- MDI パターンは、対地 50Ω、および差動 100Ω のインピーダンス制御が必要です。
- MDI パターンは同一層上でトランスまで配線します。
- 金属シールドの RJ-45 コネクタを使用し、シールドをシャーシ グラウンドに接続します。
- コモン モード チョークを内蔵した磁気素子を使用します。
- 磁気素子の下には電源およびグラウンドを設置しないでください。
- 回路グラウンド プレーンとシャーシ グラウンド プレーンが重ならないようにし、絶縁した状態に保ってください。代わりに、シャーシ グラウンドを絶縁されたアイランドにし、シャーシ グラウンドと回路グラウンドの間にボイドを設けてください。コネクタの両側で、サイズ 1206 の抵抗とコンデンサを使用して、回路プレーンとシャーシ プレーンを接続することが推奨されます。

9.2.3 アプリケーション曲線

表 9-4 をアプリケーション向けの特性曲線を示します。

表 9-4. グラフ一覧

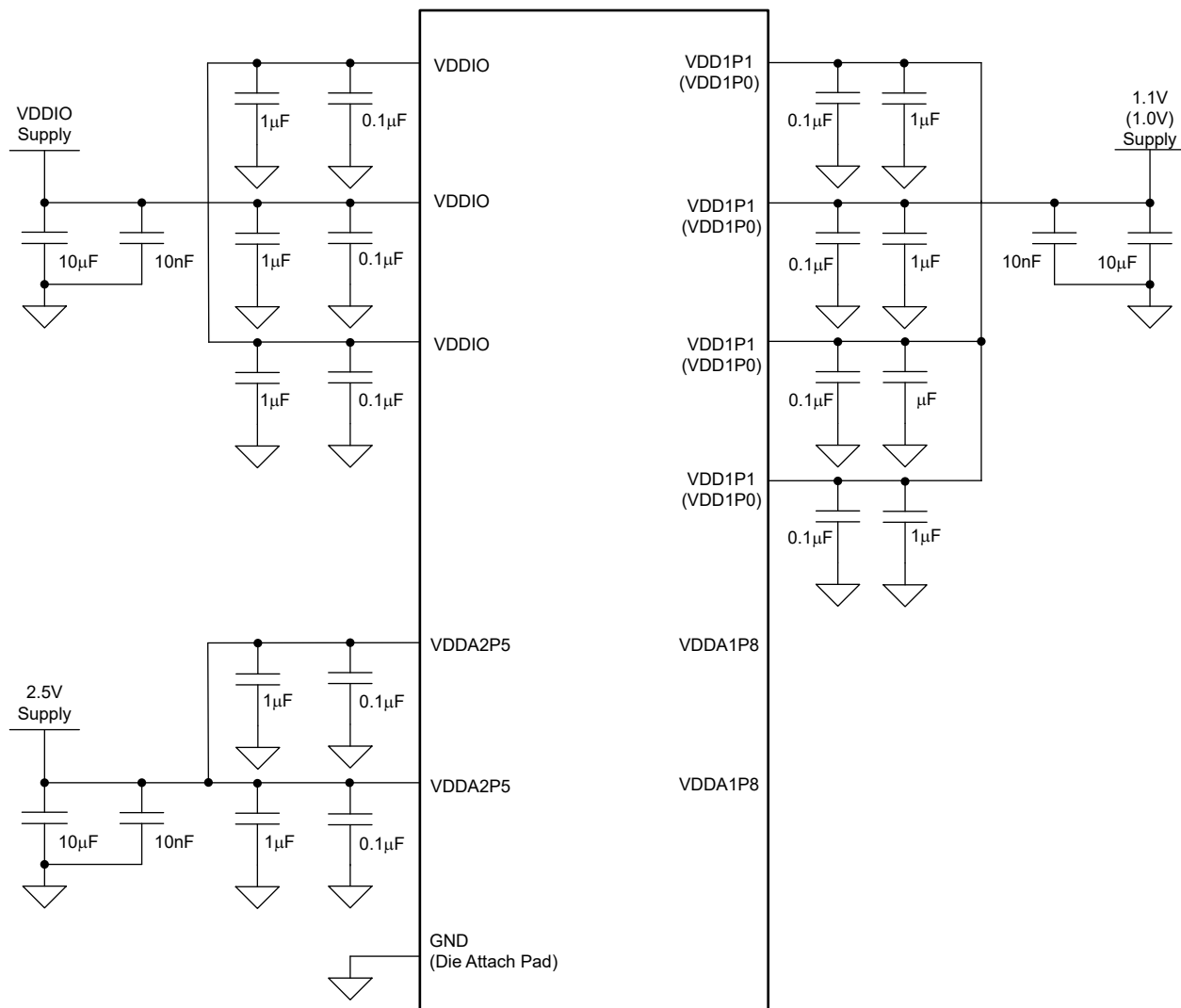
タイトル	図
1000Base-T 信号	図 6-13
100Base-TX 信号	図 6-14

9.3 電源に関する推奨事項

DP83867 は、わずか 2 つまたは 3 つの電源で動作できます。この I/O 電源は、メイン デバイス電源から独立して動作することもできるため、MAC インターフェイスの柔軟性を向上させることが可能です。

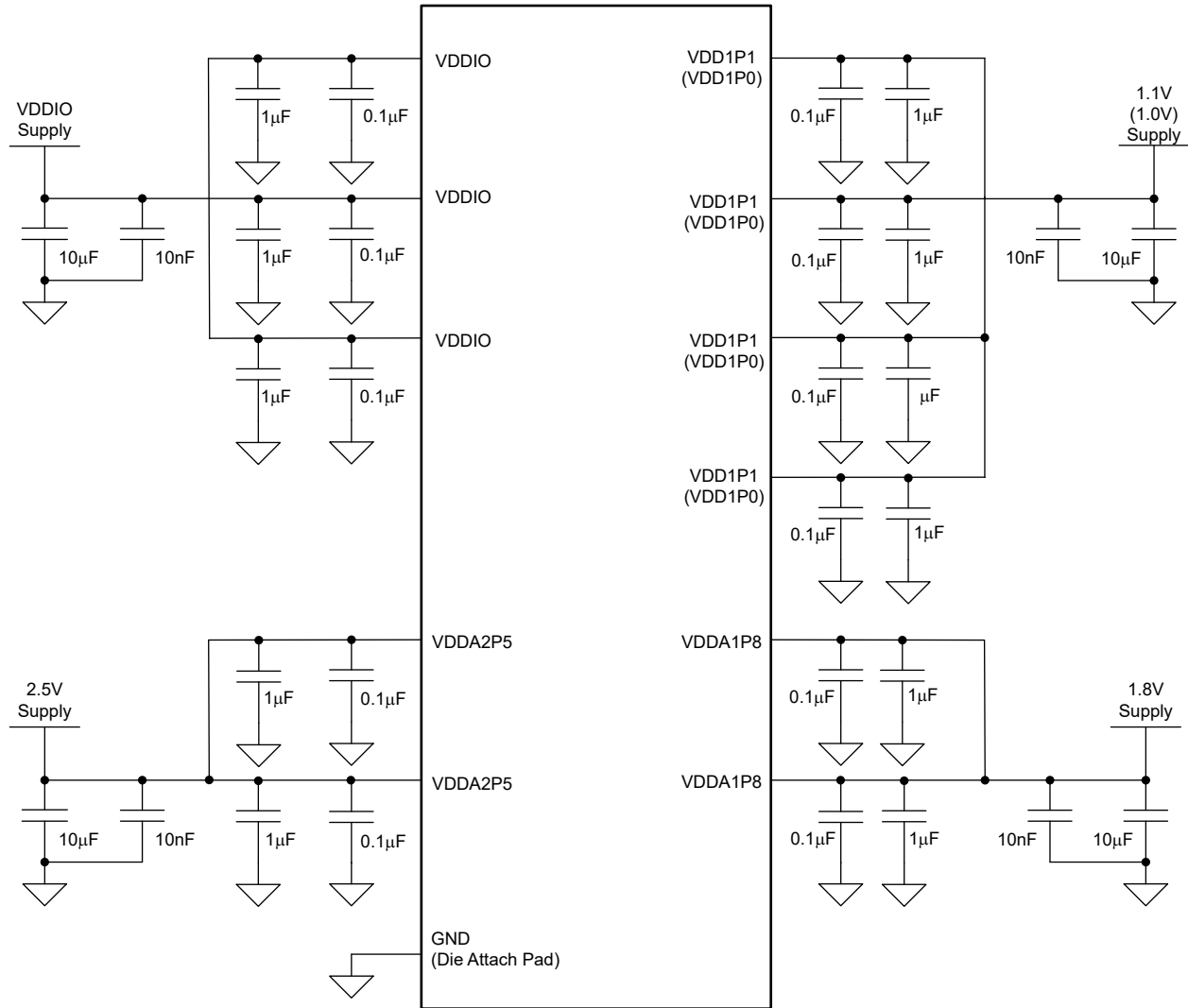
さまざまな条件における特定の電源における DP83867 の消費電力の詳細については、『[DP83867E/IS/CS/IR/CR RGZ の消費電力データ](#)』アプリケーション ノートを参照してください。

2 電源構成および 3 電源構成の接続図を、[図 9-7](#) および [図 9-8](#) に示します。



- A. 2 電源設定では、VDDA1P8 ピンを両方とも未接続のままにする必要があります。
- B. RGZ デバイスは、VDD1P0 ピンで 1.0V をサポートしています。PAP デバイスは、VDD1P1 ピンで 1.1V をサポートしています
- C. 1µF および 0.1µF のデカップリング コンデンサは、部品の VDD ピンにできるだけ近づけて配置し、0.1µF コンデンサをピンの極力近くに配置します。
- D. VDDIO は 3.3V、2.5V、1.8V のいずれかです。
- E. 2 電源構成では、VDDA1P8 ピンにコンポーネントを接続しないでください。

図 9-7. 2 電源設定



- A. 1µF および 0.1µF のデカップリング コンデンサは、部品の VDD ピンにできるだけ近づけて配置し、0.1µF コンデンサをピンの極力近くに配置します。
- B. RGZ デバイスは、VDD1P0 ピンで 1.0V をサポートしています。PAP デバイスは、VDD1P1 ピンで 1.1V をサポートしています
- C. VDDIO は 3.3V、2.5V、1.8V のいずれかです。

図 9-8. 3 電源設定

3 電源構成モードで動作している場合、1.8V VDDA1P8 電源は 2.5V VDDA2P5 電源の上昇から 25ms 以内に安定している必要があります。3 電源モードで動作させる場合、他の電源にシーケンシング要件はありません。

DP83867 をパワーダウンする場合は、2.5V 電源よりも先に 1.8V 電源をダウンします。

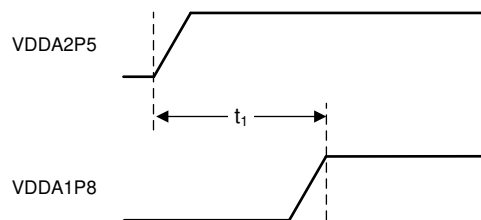


図 9-9. 3 電源モードの電源シーケンス図

表 9-5. 3 電源モードのシンプルな電源シーケンス

パラメータ	テスト条件	最小値	公称値	最大値	単位
T1	VDDA2P5 の開始ランプアップから、VDDA1P8 安定まで	0		25	ms

注

2.5V 電源が DP83867 デバイスのみに電力を供給する場合、1.8V 電源は 2.5V より前にいつでもランプアップできます。

2 電源モードで動作させる場合、電源のシーケンスは要件はありません。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

9.4.1.1 信号トレース

PCB トレースは損失が大きいため、長いトレースが信号品質を低下させる可能性があります。トレースはできるだけ短くする必要があります。特に記述のない限り、すべての信号トレースは 50Ω のシングルエンド インピーダンスでなくてはなりません。差動トレースは、 50Ω シングルエンドおよび 100Ω 差動でなくてはなりません。初めから終わりまでインピーダンスが一定になるように注意します。インピーダンスの不連続性は反射を引き起こし、EMI とシグナル インテグリティの問題につながります。すべての信号配線でスタブの発生を避けます。特に差動信号ペアでは重要です。図 9-10 を参照

差動ペア内では、トレースを互いに並行させ、長さを一致させる必要があります。長さを一致させることで遅延の差が最小化され、同相ノイズと EMI の増加を防止できます。

MAC インターフェイスでも、長さを一致させることは重要です。すべての送信信号トレースは互いに同じ長さで、すべての受信信号トレースは互いに同じ長さでなくてはなりません。

信号パスには交差もビアも存在しないようにします。ビアはインピーダンスの不連続点となるため、可能な限りビアの使用を最小限にします。可能であれば、トレース ペア全体を単一の層に配線します。

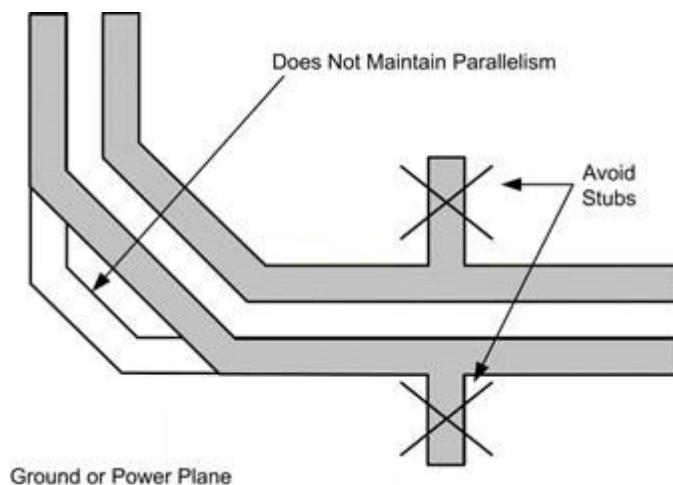


図 9-10. 差動信号ペアのスタブの回避

異なる層の信号は、それらの間に少なくとも 1 つの復帰バス プレーンがない限り、互いに交差させてはなりません。

トレース間の結合も重要な要素です。不要な結合はクロストークの問題を引き起こす可能性があります。差動ペアは、それらの間の結合距離を一定に保つ必要があります。

利便性と効率的なレイアウトプロセスを確保するため、最初に重要な信号を配線します。

9.4.1.2 復帰パス

一般に最も良い方法は、すべての信号トレースの下にベタの復帰パスを設けることです。この復帰パスは、連続的なグラウンドまたは DC 電源プレーンであってもかまいません。帰路の幅を狭くすると、信号トレースのインピーダンスに影響を及ぼす可能性があります。この影響は、復帰パスの幅が信号トレースの幅と同等である場合、より顕著になります。信号配線の直下にある帰路の分断は、絶対に避けてください。プレーン分割をまたぐ信号は、予測不可能な帰路電流を引き起こす可能性があり、信号の品質にも影響を及ぼし、EMI の問題を発生させる恐れがあります。図 9-11 を参照してください。

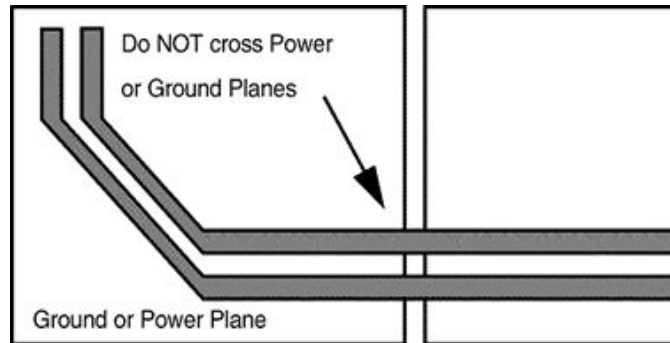


図 9-11. 差動信号ペアのプレーン横断

9.4.1.3 トランスのレイアウト

トランスの下に金属層が存在しないようにする必要があります。トランスはその下にある金属にノイズを注入し、システムの性能に影響を及ぼす可能性があります。

9.4.1.4 金属注入

信号でも電源でもないすべての金属注入領域は、グラウンドに接続できます。システムに、浮動の金属が存在していない場合があります。差動パターン間に金属が存在してはなりません。

9.4.1.5 PCB 層スタッキング

シグナル インテグリティと性能の要件を満たすには、4 層以上の PCB を使用する必要があります。ただし、6 層基板を推奨します。4、6、8 層基板に推奨されるレイヤ スタック アップについては、図 9-12 を参照してください。これらは必須要件ではなく推奨事項です。システム要件に従って他の構成を使用してください。

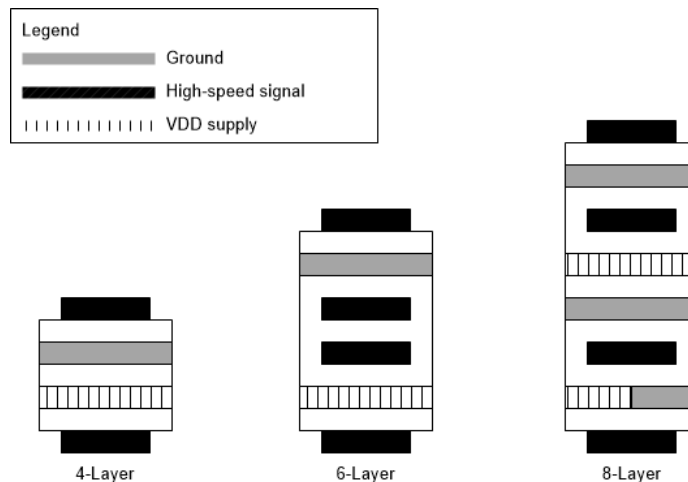


図 9-12. 推奨レイヤ スタック アップ

PCB 内では、PCB 上の信号の位置に応じて、マイクロストリップやストリップラインといった異なる方法で配線を行うことが望ましい場合があります。たとえば、絶縁されたシャーシ グランド プレーンを使用するときには、レイヤ スタックを変更することが望ましい場合があります。図 9-13 に、代替の PCB スタック オプションを示します。

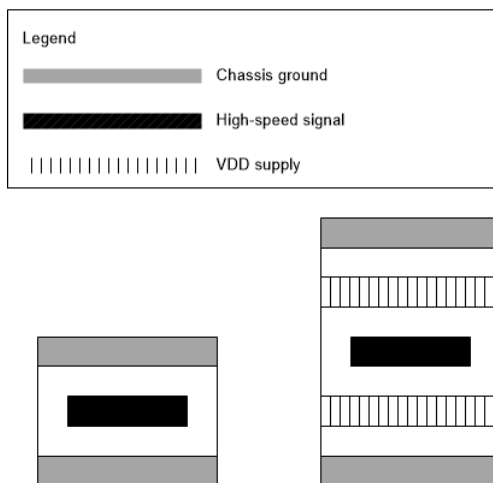


図 9-13. 代替のレイヤ スタック アップ

9.4.2 レイアウト例

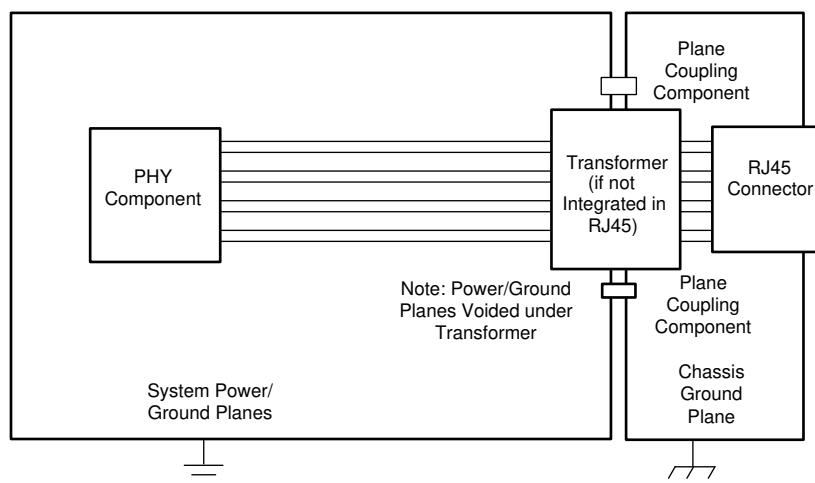


図 9-14. レイアウト例

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インストルメンツ、『[DP83867](#)トラブルシューティング ガイド』
- テキサス インストルメンツ、『[イーサネット準拠テスト用に DP838XX を構成する方法](#)』アプリケーション ノート
- テキサス インストルメンツ、『[イーサネット デバイスの 4 レベル ストラップ付きの構成](#)』アプリケーションノート
- テキサス インストルメンツ、『[RGMII インターフェイスのタイミング バジェット](#)』アプリケーション ノート
- テキサス インストルメンツ、『[DP83867E/IS/CS/RGZ/CR IR の消費電力データ](#)』アプリケーション ノート
- テキサス インストルメンツ、『[DP83867 のフレーム開始の構成方法](#)』アプリケーション ノート

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

[テキサス・インストルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インストルメンツの仕様を構成するものではなく、必ずしもテキサス・インストルメンツの見解を反映したものではありません。テキサス・インストルメンツの[使用条件](#)を参照してください。

10.4 商標

テキサス・インストルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インストルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インストルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision I (January 2025) to Revision J (June 2026)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
古い用語を使用している箇所をすべてリーダーとフォローに変更.....	1
TX_D6 HTQFP ピン番号を 30 から 32 に変更.....	5
RX_ER/GPIO にピン 54 HTQFP の数を追加.....	5
COL/GPIO にピン 55 HTQFP の数を追加.....	5
IEEE 1588 タイム スタンプ セクションに対応するフレーム開始検出を更新.....	27
「速度と全二重 / 半二重 — 優先度の解決」セクションに 10Base-Te を追加.....	38

• 『DP83867 および DP83869 による時間領域反射計測』アプリケーション ノートへのリンクを追加.....	41
• 高速リンクドロップ (FLD) セクションを追加.....	42
• 4 レベルストラップピンから LED_1 (PAP) を削除.....	44
• RGZ RGMII 送信クロックスキューの詳細から RGZ を削除.....	44
• RGZ RGMII 受信クロックスキューの詳細から RGZ を削除.....	44
• 最大 PHY アドレスのサポート範囲を 16 (<1111>) から 15 (<1111>) に更新しました.....	50
• オートネゴシエーション アドバタイズメント レジスタ (ANAR) レジスタを更新.....	58
• INT_TST_MODE_1 のデフォルト値および説明を更新.....	85
• ビタビビット 3 フィールド設定を 0x3 に追加.....	88
• ビット 10 に (PAP) を追加.....	90
• ビット 6:4 予約済み (PAP) を削除.....	90
• ビット 2:0 予約済み (PAP) を削除.....	90
• ビット 6:4 STRAP_RGMII_CLK_SKEW_TX とビット 2:0 STRAP_RGMII_CLK_SKEW_RX から (RGZ) を削除.....	90
• ビット 8 の説明を更新.....	90
• RGMII 遅延制御レジスタ (RGMIIIDCTL)、RGZ からのアドレス 0x0086 ビット 7:4 のデフォルト値を更新:ストラップ、RQ、PAP:0111、RW から [7:5] ストラップ、[4] 0、RW.....	93
• RGMII 遅延制御レジスタ (RGMIIIDCTL)、RGZ からのアドレス 0x0086 ビット 3:0 のデフォルト値を更新:ストラップ、RQ、PAP:0111、RW から [3:1] ストラップ、[0] 0、RW.....	93
• トランスミッタ制御レジスタ (ANA_LD_DATA_CTRL) を追加.....	95
• DSP 受信構成レジスタ 3 (DSP_CFG3) を追加.....	95
• DSP ハイブリッド構成レジスタ 2 (DSP_HYBRID_CFG2) を追加.....	96
• DSP 選択レジスタ 0 (DSP_SEL0) を追加.....	96
• DSP 選択レジスタ 1 (DSP_SEL1) を追加.....	96
• DSP 選択レジスタ 2 (DSP_SEL2) を追加.....	96
• DSP フォロワ選択レジスタ 0 (DSP_FLR_SEL0) を追加.....	97
• DSP フォロワ選択レジスタ 3 (DSP_FLR_SEL3) を追加.....	97
• DSP フォロワ タイミング ループ レジスタ 1 (DSP_FLR_TLOOP1) を追加.....	97
• DSP フォロワ タイミング ループ レジスタ 2 (DSP_FLR_TLOOP2) を追加.....	97
• TDR スレッシュホールド構成レジスタ 1 (TDR_THR_CFG1) を追加.....	111
• TDR スレッシュホールド構成レジスタ 2 (TDR_THR_CFG2) を追加.....	111
• TDR 汎用構成レジスタ 5 (TDR_GEN_CFG5) を追加.....	111
• DSP リーダー ステップ 4 レジスタ (DSP_LDR_STEP4) を追加.....	117
• DSP フォロワ ステップ 4 レジスタ (DSP_FLR_STEP4) を追加.....	117
• DSP フォロワ ステップ 5 レジスタ (DSP_FLR_STEP5) を追加.....	117
• DSP フォロワ ステップ 6 および 7 レジスタ (DSP_FLR_STEP67) を追加.....	118
• 平均方形エラー チャネル A レジスタ (MSE_A) を追加.....	118
• 平均二乗エラー チャネル B レジスタ (MSE_B) を追加.....	118
• 平均方形エラー チャネル C レジスタ (MSE_C) を追加.....	118
• 平均方形エラー チャネル D レジスタ (MSE_D) を追加.....	118
• 表の注釈 B から磁気に関する推奨事項 (NRND) を削除.....	120

Changes from Revision H (June 2024) to Revision I (January 2025)
Page

• JTAG_CLK の説明を更新.....	6
• BMSR レジスタの MF プリアンプ抑制の説明を明確化.....	54

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DP83867CRRGZR	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	0 to 70	DP83867CR
DP83867CRRGZR.A	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	0 to 70	DP83867CR
DP83867CRRGZT	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	0 to 70	DP83867CR
DP83867CRRGZT.A	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	0 to 70	DP83867CR
DP83867IRPAPR	Active	Production	HTQFP (PAP) 64	1000 LARGE T&R	Yes	Call TI Nipdau	Level-3-260C-168 HR	-40 to 85	DP83867IR
DP83867IRPAPR.A	Active	Production	HTQFP (PAP) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DP83867IR
DP83867IRPAPRG4	Active	Production	HTQFP (PAP) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DP83867IR
DP83867IRPAPRG4.A	Active	Production	HTQFP (PAP) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DP83867IR
DP83867IRPAPT	Active	Production	HTQFP (PAP) 64	250 SMALL T&R	Yes	Call TI Nipdau	Level-3-260C-168 HR	-40 to 85	DP83867IR
DP83867IRPAPT.A	Active	Production	HTQFP (PAP) 64	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DP83867IR
DP83867IRPAPTG4	Active	Production	HTQFP (PAP) 64	250 SMALL T&R	Yes	Call TI Nipdau	Level-3-260C-168 HR	-40 to 85	DP83867IR
DP83867IRPAPTG4.A	Active	Production	HTQFP (PAP) 64	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DP83867IR
DP83867IRRGZR	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DP83867IR
DP83867IRRGZR.A	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DP83867IR
DP83867IRRGZT	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DP83867IR
DP83867IRRGZT.A	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DP83867IR
DP83867IRRGZTG4	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DP83867IR
DP83867IRRGZTG4.A	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DP83867IR

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

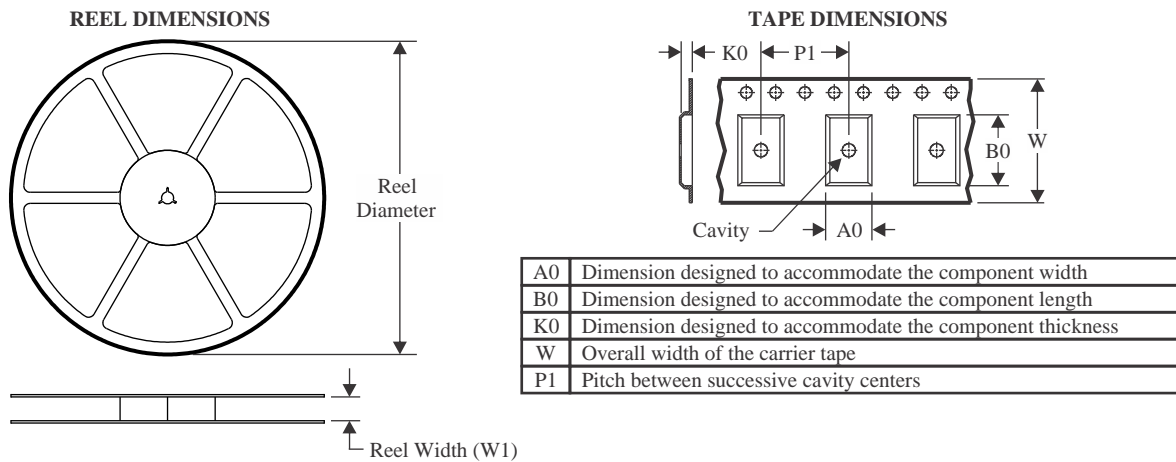
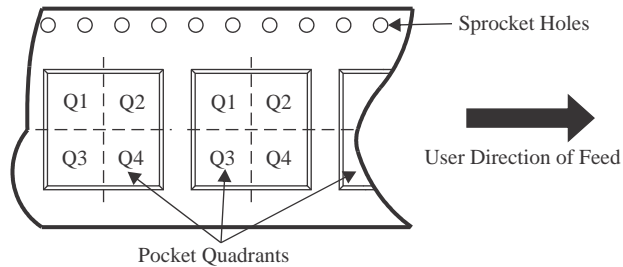
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

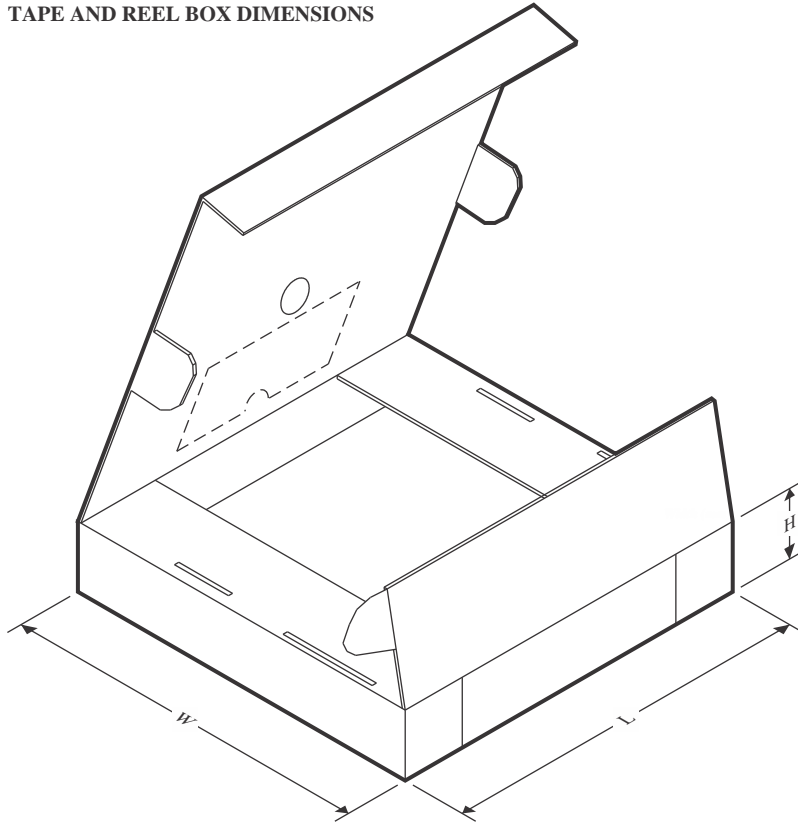
Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DP83867CRRGZR	VQFN	RGZ	48	2500	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q1
DP83867CRRGZT	VQFN	RGZ	48	250	180.0	16.4	7.3	7.3	1.1	12.0	16.0	Q1
DP83867IRPAPRG4	HTQFP	PAP	64	1000	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2
DP83867IRRGZTG4	VQFN	RGZ	48	250	180.0	16.4	7.3	7.3	1.1	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DP83867CRRGZR	VQFN	RGZ	48	2500	367.0	367.0	38.0
DP83867CRRGZT	VQFN	RGZ	48	250	210.0	185.0	35.0
DP83867IRPAPRG4	HTQFP	PAP	64	1000	356.0	356.0	45.0
DP83867IRRGZTG4	VQFN	RGZ	48	250	210.0	185.0	35.0

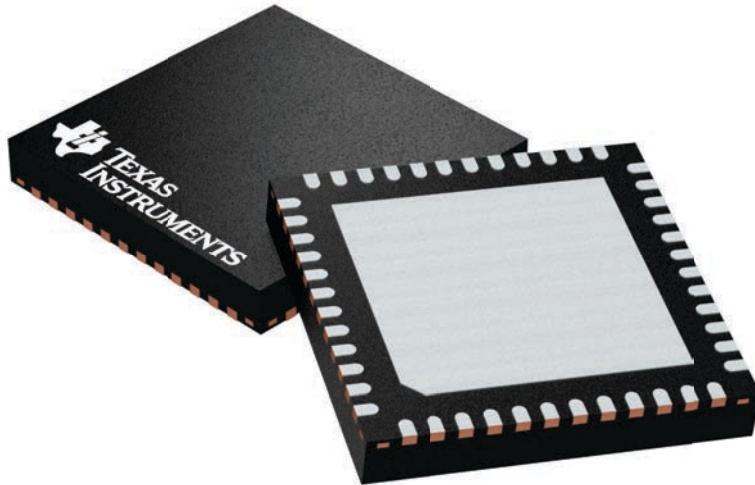
GENERIC PACKAGE VIEW

RGZ 48

VQFN - 1 mm max height

7 x 7, 0.5 mm pitch

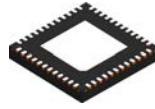
PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224671/A

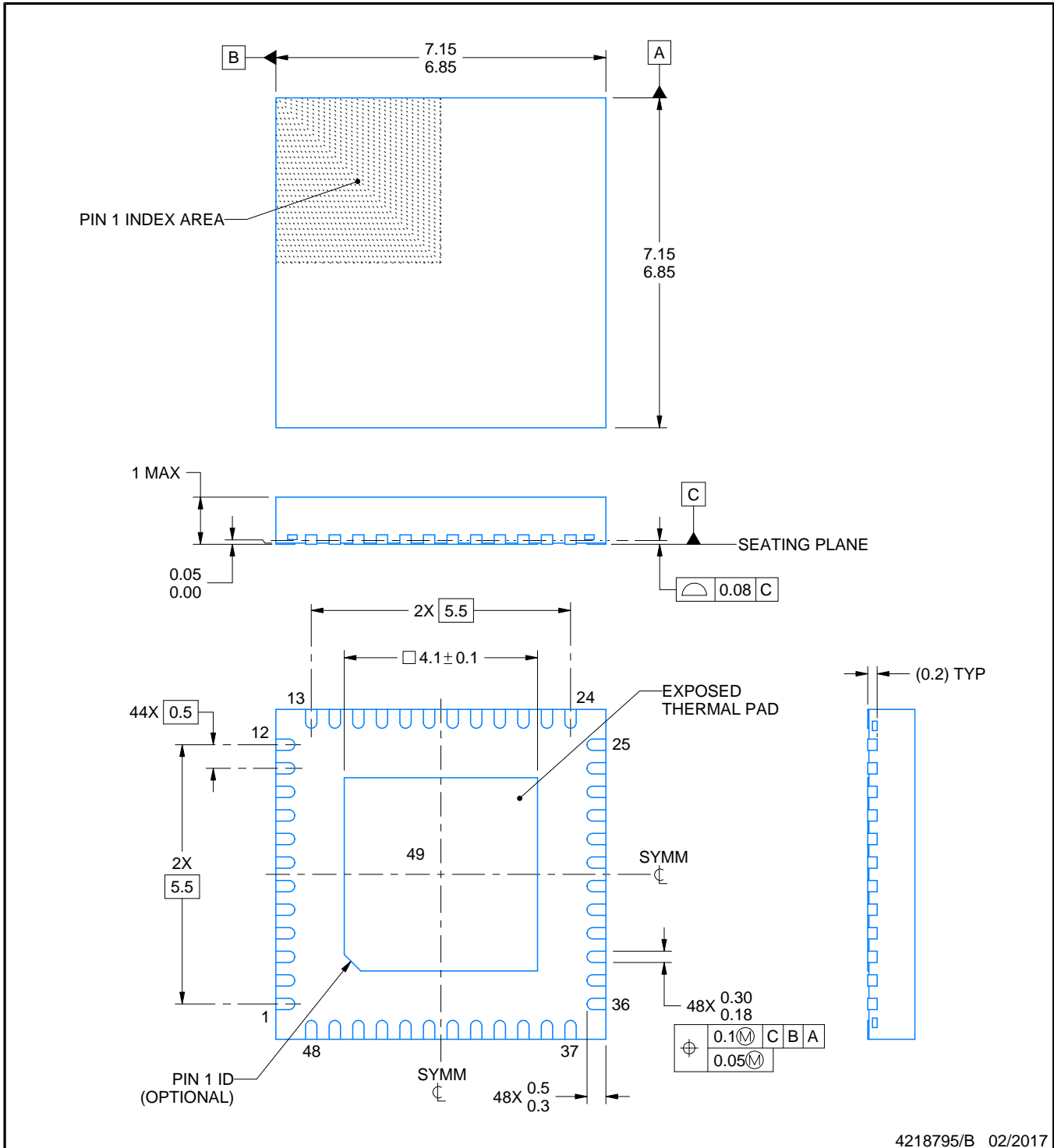
RGZ0048B



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4218795/B 02/2017

NOTES:

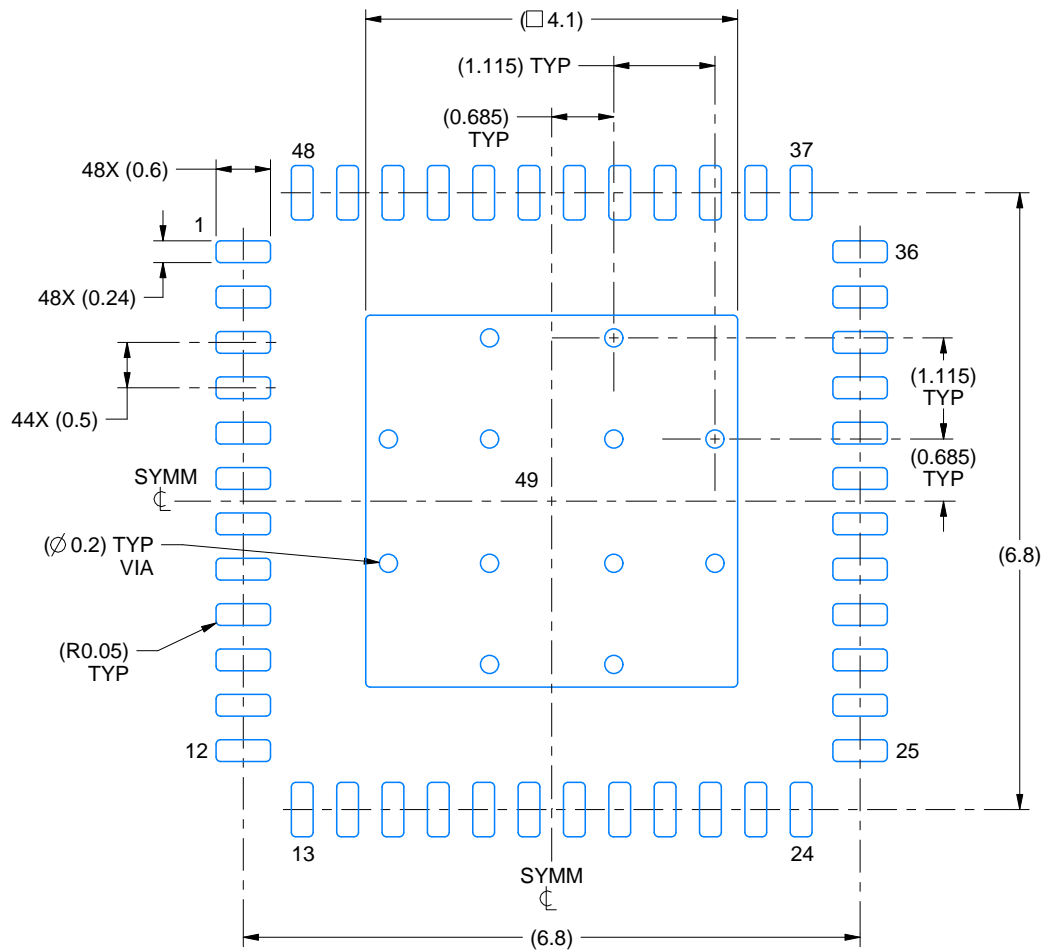
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

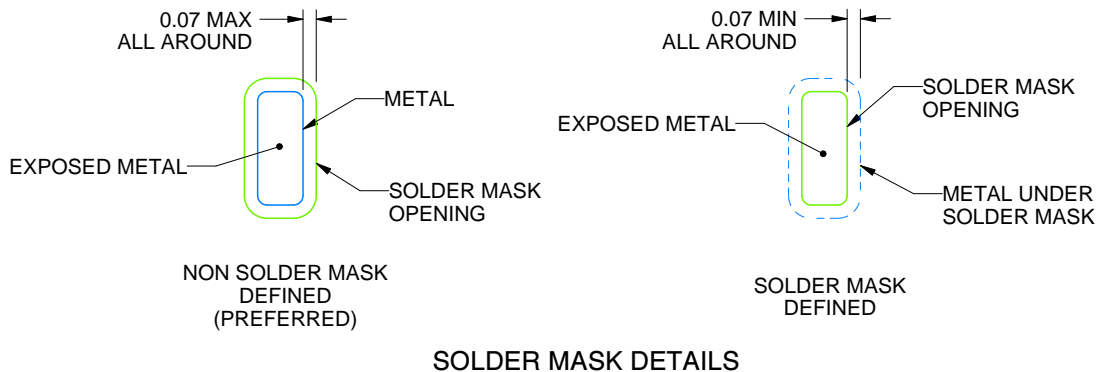
RGZ0048B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:12X



SOLDER MASK DETAILS

4218795/B 02/2017

NOTES: (continued)

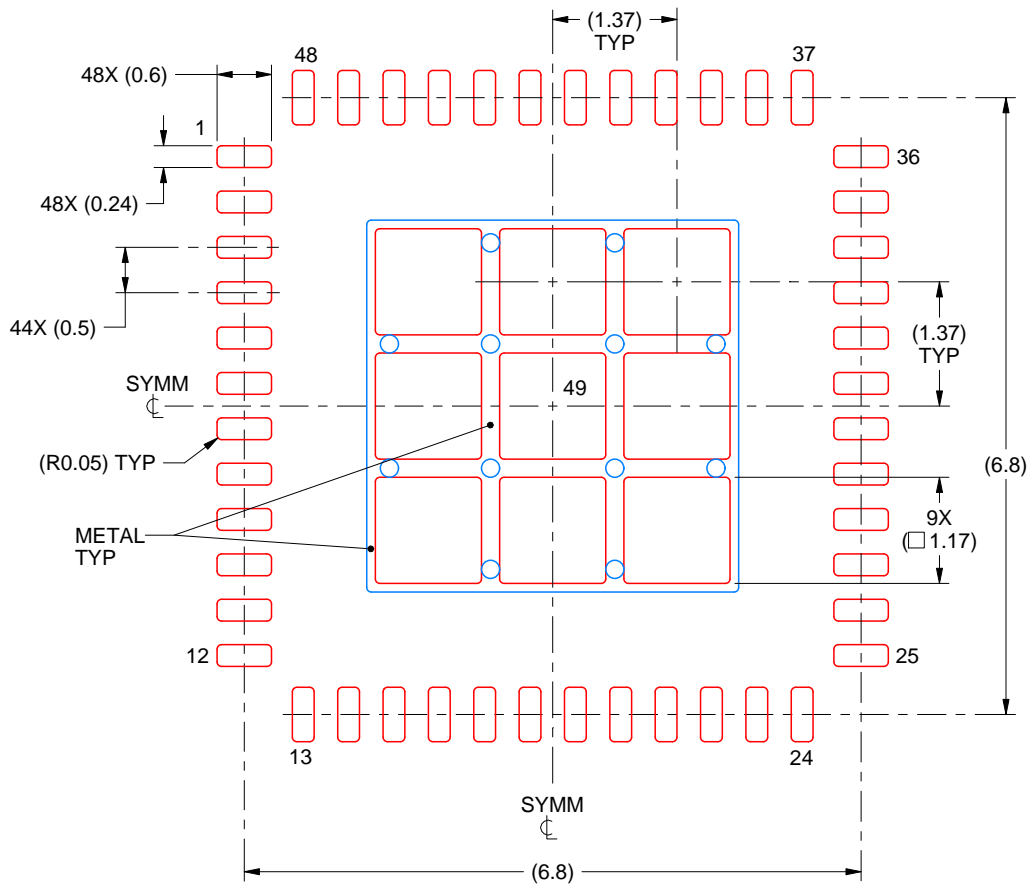
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGZ0048B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

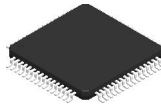
EXPOSED PAD 49
73% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:12X

4218795/B 02/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

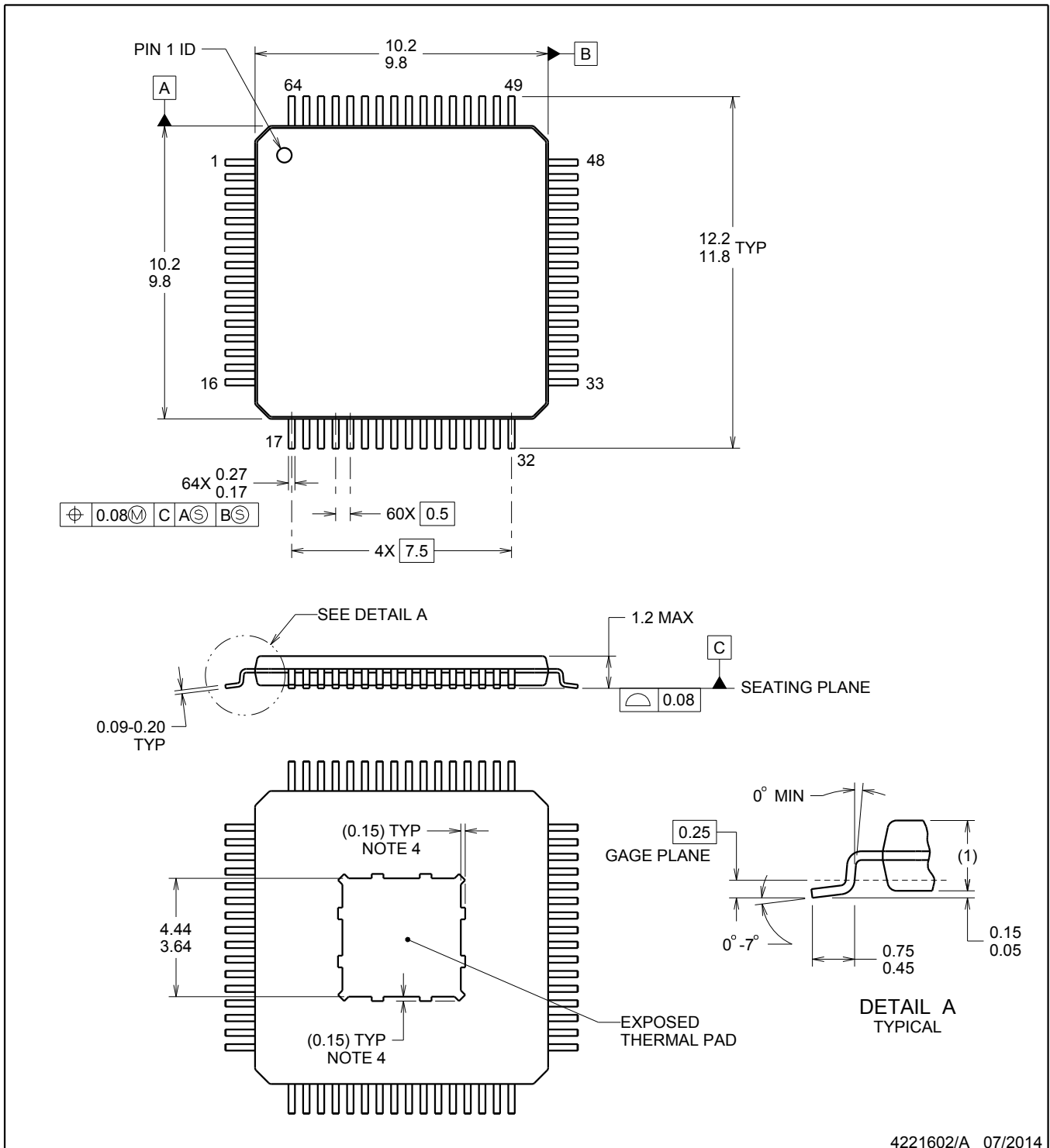
PAP0064M



PACKAGE OUTLINE

PowerPAD™ - 1.2 mm max height

PLASTIC QUAD FLATPACK

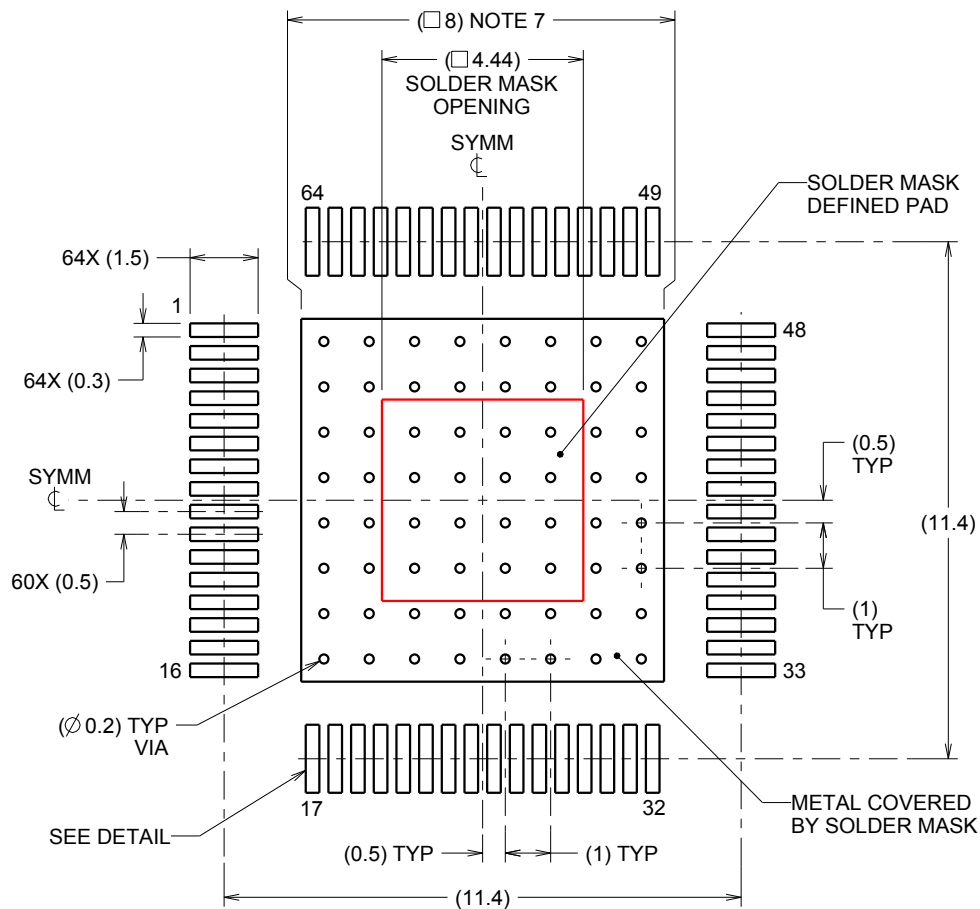


4221602/A 07/2014

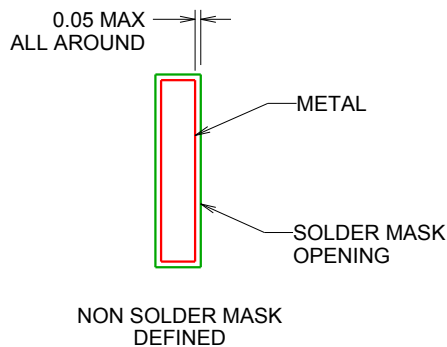
NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026, variation ACD.
4. Strap features may not be present.



LAND PATTERN EXAMPLE
SCALE:6X



4221602/A 07/2014

NOTES: (continued)

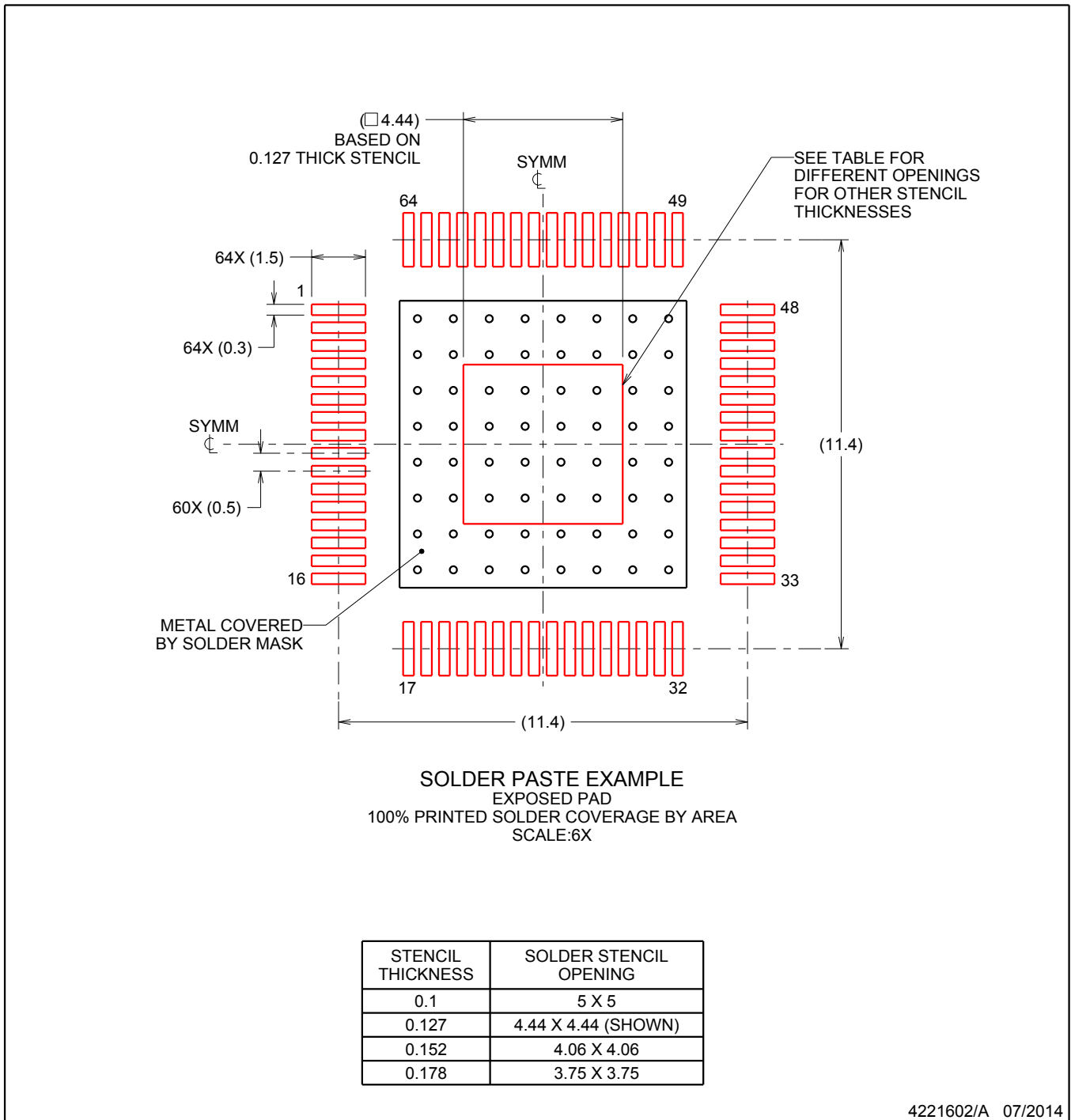
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
8. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

PAP0064M

PowerPAD™ - 1.2 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月