

DP83869HM 電磁波耐性が高く、銅線と光ファイバーのインターフェイスに対応した 10/100/1000 イーサネット物理レイヤトランシーバ

1 特長

- 複数の動作モード
 - 銅線と光ファイバー、両メディアをサポート
 - 銅線と光ファイバー間でのメディア変換
 - RGMII と SGMII 間のブリッジ
- 125°Cの最大周囲温度
- 8kV を超える IEC61000-4-2 ESD 耐性
- 低消費電力
 - 1000Base-X で 150mW 未満
 - 1000Base-T で 500mW 未満
- RGMII での低レイテンシ
 - 1000Base-T での総レイテンシは 384ns 以下
 - 100Base-TX での総レイテンシは 361ns 以下
- TSN (Time Sensitive Network) 準拠
- SyncE のための回復クロック出力
- 選択可能な同期クロック出力: 25MHz と 125MHz
- SFF-8431V4.1、1000BASE-X および 100BASE-FX 互換
- SFD による IEEE1588 サポート
- ウェイク オン LAN のサポート
- 設定可能な IO 電圧: 1.8V、2.5V、3.3V
- SGMII、RGMII、MII MAC とのインターフェイス
- 1000M および 100M 速度のためのジャンボ フレームのサポート
- ケーブル診断
 - TDR
 - BIST
- RGMII 終端インピーダンスをプログラム可能
- MDI 終端抵抗を内蔵
- 高速なリンクドロップ モード
- IEEE 802.3 1000Base-T、100Base-TX、10Base-Te、1000Base-X、100Base-FX に最適

2 アプリケーション

- 産業用ファクトリ オートメーション
- グリッド インフラ
- モーターおよびモーション制御
- 試験および測定機器
- ビル オートメーション
- PROFINET® などのリアルタイム産業用イーサネットアプリケーション

3 説明

DP83869HM デバイスは、10BASE-Te、100BASE-TX、1000BASE-T のイーサネット プロトコルをサポートする、堅牢で完全な機能を備えた、PMD サブレイヤ内蔵型のギガビット物理レイヤ (PHY) トランシーバです。DP83869HM では、1000BASE-X および 100BASE-FX のファイバー プロトコルもサポートしています。DP83869HM は最適化された ESD 保護を備えており、IEC 61000-4-2 で 8kV を超えています (直接接触)。このデバイスは RGMII (Reduced GMII) および SGMII により MAC レイヤと接続します。100M モードでは、レイテンシ低減のため MII の使用も可能です。RGMII/MII の内蔵終端インピーダンスはプログラム可能なため、システム BOM の削減に役立ちます。

DP83869HM は、アンマネージド モードでのメディア変換をサポートします。このモードにおいて DP83869HM は、1000BASE-X から 1000BASE-T への変換と 100BASE-FX から 100BASE-TX への変換を実行します。

また、DP83869HM では、RGMII から SGMII へのブリッジ変換と SGMII から RGMII へのブリッジ変換もサポートしています。DP83869HM は TSN 規格に準拠し、また低いレイテンシを実現しています。

DP83869HM は、MAC への IEEE 1588 同期フレーム検出信号も生成できます。この信号を使うことで、時間同期のジッタを低減でき、システムはパケットの送受信の非対称遅延を把握できます。

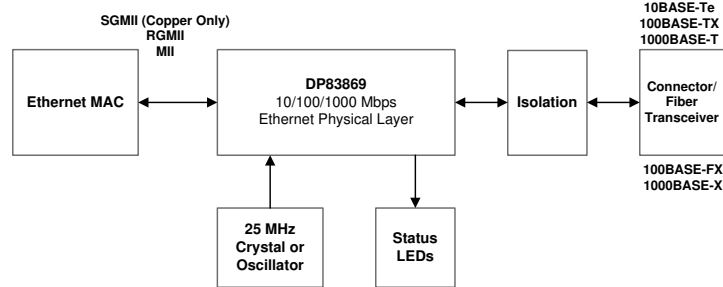
標準的なイーサネット システムのブロック図を [標準的なイーサネット システムのブロック図](#) に示しています。DP83869 はメディア コンバータ モードや、RGMII から SGMII および SGMII から RGMII へのブリッジ アプリケーションでも使用できます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
DP83869HM	RGZ (VQFN, 48)	7mm × 7mm
DP83867E/IS/CS	RGZ (VQFN, 48)	7mm × 7mm
DP83867IR/CR	RGZ (VQFN, 48)	7mm × 7mm

- (1) 供給されているすべてのパッケージについては、[セクション 12](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。





標準的なイーサネット システムのブロック図

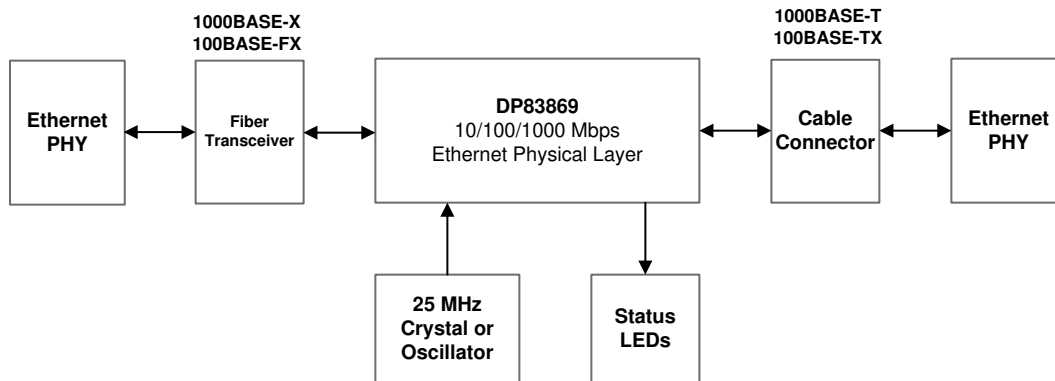


図 3-1. メディア コンバータのシステム ブロック図

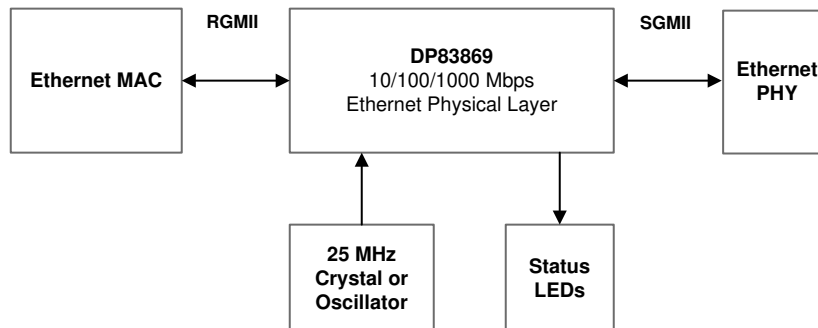


図 3-2. RGMII-SGMII ブリッジのシステム ブロック図

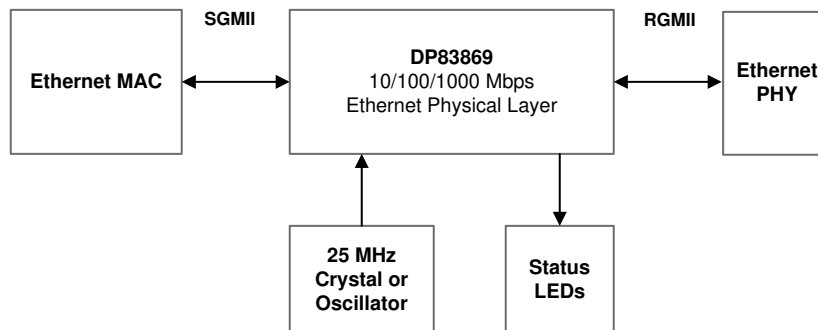


図 3-3. SGMII-RGMII ブリッジのシステム ブロック図

目次

1 特長.....	1	7.4 デバイスの機能モード.....	34
2 アプリケーション.....	1	7.5 プログラミング.....	47
3 説明.....	1	8 レジスタ マップ.....	54
4 デバイスの比較.....	4	8.1 DP83869 のレジスタ.....	54
5 ピン構成および機能.....	5	9 アプリケーションと実装.....	121
6 仕様.....	12	9.1 使用上の注意.....	121
6.1 絶対最大定格.....	12	9.2 代表的なアプリケーション.....	121
6.2 ESD 定格.....	12	9.3 電源に関する推奨事項.....	127
6.3 推奨動作条件.....	12	9.4 レイアウト.....	131
6.4 熱に関する情報.....	13	10 デバイスおよびドキュメントのサポート.....	136
6.5 電気的特性.....	13	10.1 ドキュメントのサポート.....	136
6.6 タイミング要件.....	18	10.2 ドキュメントの更新通知を受け取る方法.....	136
6.7 タイミング図.....	20	10.3 サポート・リソース.....	136
6.8 代表的特性.....	23	10.4 商標.....	136
7 詳細説明.....	24	10.5 静電気放電に関する注意事項.....	136
7.1 概要.....	24	10.6 用語集.....	136
7.2 機能ブロック図.....	25	11 改訂履歴.....	136
7.3 機能説明.....	25	12 メカニカル、パッケージ、および注文情報.....	137

4 デバイスの比較

デバイス	ブリッジモード	温度	温度グレード
DP83869HM	あり	-40°C ~ +125°C	高温

5 ピン構成および機能

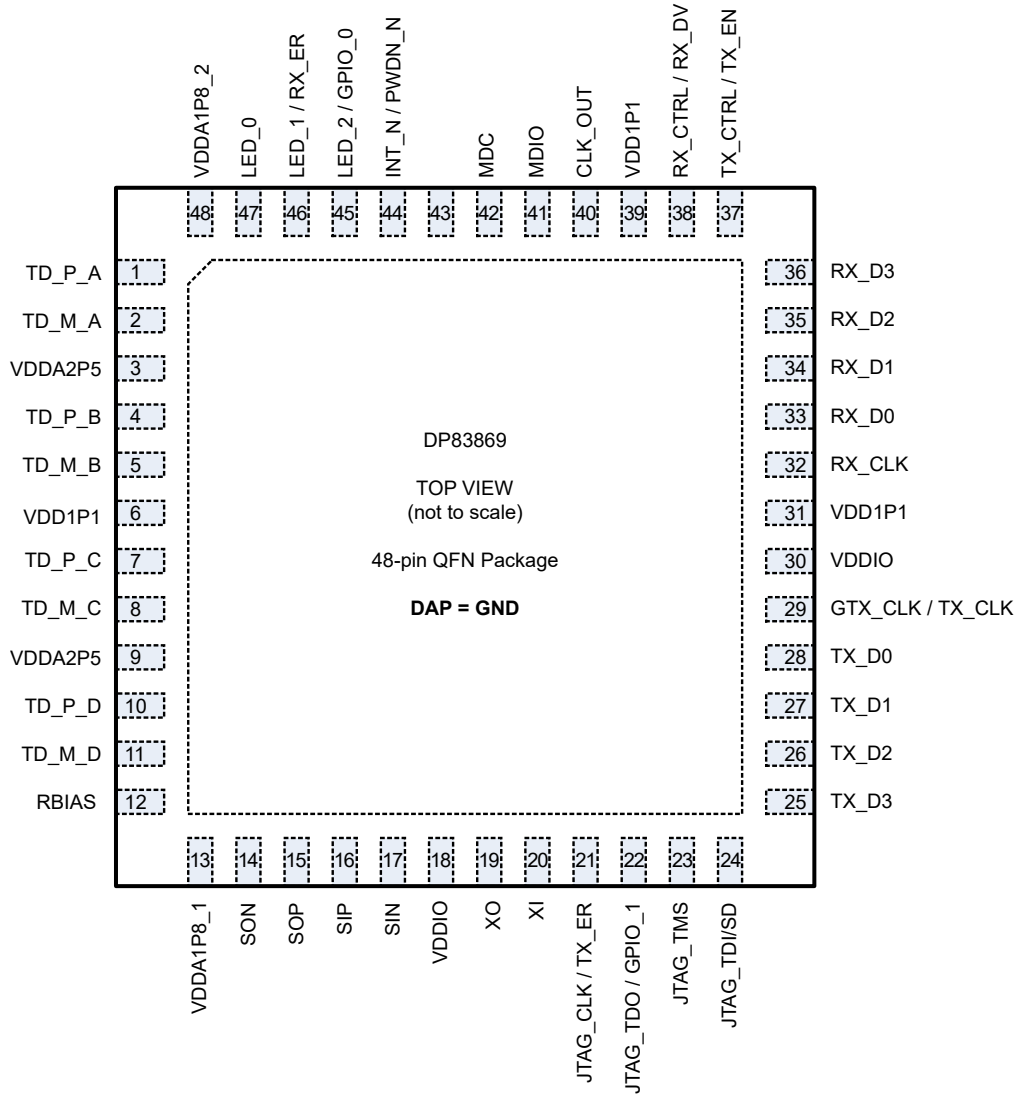


図 5-1. RGZ パッケージ
(48 ピン VQFN)
上面図

表 5-1. RGZ パッケージ (VQFN) 各ピン機能

番号	ピン	I/O	タイプ	説明
	名称			
1	TD_P_A	I/O	アナログ	差動送受信信号
2	TD_M_A	I/O	アナログ	差動送受信信号
3	VDDA2P5	I	電源	2.5V アナログ電源 ($\pm 5\%$)。それぞれのピンと GND との間に、 $1\mu\text{F}$ および $0.1\mu\text{F}$ のコンデンサを接続する必要があります。
4	TD_P_B	I/O	アナログ	差動送受信信号
5	TD_M_B	I/O	アナログ	差動送受信信号
6	VDD1P1	I	電源	1.1V デジタル電源 ($\pm 10\%$)。それぞれのピンと GND との間に、 $1\mu\text{F}$ および $0.1\mu\text{F}$ のコンデンサを接続する必要があります。
7	TD_P_C	I/O	アナログ	差動送受信信号

表 5-1. RGZ パッケージ (VQFN) 各ピン機能 (続き)

番号	ピン		I/O	タイプ	説明
	名称				
8	TD_M_C		I/O	アナログ	差動送受信信号
9	VDDA2P5		I	電源	2.5V アナログ電源 ($\pm 5\%$)。それぞれのピンと GND との間に、 $1\mu\text{F}$ および $0.1\mu\text{F}$ のコンデンサを接続する必要があります。
10	TD_P_D		I/O	アナログ	差動送受信信号
11	TD_M_D		I/O	アナログ	差動送受信信号
12	RBIAS		I	—	バイアス抵抗接続。RBIAS から GND へ $11\text{k}\Omega \pm 1\%$ の抵抗を接続する必要があります。
13	VDDA1P8_1		I	電源	2 電源モードでは、このピンに外部電源を供給する必要はありません。未使用の場合、これらのピンにはいかなる接続もできません。3 電源モードでは、外部 1.8V ($\pm 5\%$) 電源をこれらのピンに接続できます。外部電源を使用する場合、各ピンと GND との間に $1\mu\text{F}$ および $0.1\mu\text{F}$ コンデンサを接続する必要があります。
14	SON		O	アナログ	差動 SGMII または差動ファイバ データ出力: この信号は、SGMII およびファイバ モードにおいて、PHY から MAC、光ファイバトランシーバ、リンク パートナーにデータを伝送します。このピンは、 $0.1\mu\text{F}$ コンデンサを介して対向デバイスに AC 結合されます。LVDS 信号を供給し、光トランシーバを使用する場合に追加の部品が必要になる可能性があります。
15	SOP		O	アナログ	差動 SGMII または差動ファイバ データ出力: この信号は、SGMII およびファイバ モードにおいて、PHY から MAC、光ファイバトランシーバ、リンク パートナーにデータを伝送します。このピンは、 $0.1\mu\text{F}$ コンデンサを介して対向デバイスに AC 結合されます。LVDS 信号を供給し、光トランシーバを使用する場合に追加の部品が必要になる可能性があります。
16	SIP		I	アナログ	差動 SGMII または差動ファイバ データ入力: この信号は、SGMII およびファイバ モードにおいて、MAC、光ファイバトランシーバ、リンク パートナーから PHY にデータを伝送します。このピンは、 $0.1\mu\text{F}$ コンデンサを介して対向デバイスに AC 結合されます。LVDS 信号を受け取り、光トランシーバを使用する場合に追加の部品が必要になる可能性があります。
17	SIN		I	アナログ	差動 SGMII または差動ファイバ データ入力: この信号は、SGMII およびファイバ モードにおいて、MAC、光ファイバトランシーバ、リンク パートナーから PHY にデータを伝送します。このピンは、 $0.1\mu\text{F}$ コンデンサを介して対向デバイスに AC 結合されます。LVDS 信号を受け取り、光トランシーバを使用する場合に追加の部品が必要になる可能性があります。
18	VDDIO		I	電源	I/O 電源: 1.8V ($\pm 5\%$)、2.5V ($\pm 5\%$)、3.3V ($\pm 5\%$)。それぞれのピンと GND との間に、 $1\mu\text{F}$ および $0.1\mu\text{F}$ のコンデンサを接続する必要があります。
19	XO		O	クロック	水晶発振器出力: 25MHz 水晶振動子用の第 2 端子。クロック発振器を使用する場合は、フローティングのままにする必要があります。
20	XI		I	クロック	水晶発振器入力: 25MHz 発振器または水晶振動子入力。
21	JTAG_CLK/TX_ER		I	WPU	JTAG テスト クロック: IEEE 1149.1 テスト クロック入力。テスト エンティティによって制御されるすべてのテスト ロジック入出力用の主要クロック ソースです。 MII モード: MII モードでは、このピンは TX_ER ピンとして構成され、MAC から PHY に供給されます。このピンの使用はオプションです。
22	JTAG_TDO/GPIO_1		O	—	JTAG テスト データ出力: IEEE 1149.1 テスト データ出力ピン。最新のテスト結果は、TDO を介してデバイスからスキャン出力されます。 汎用 I/O: この信号は、設定可能な多機能 I/O として使用できます。詳細については、GPIO_MUX_CTRL レジスタを参照してください。
23	JTAG_TMS		I	WPU	JTAG テスト モード セレクト: IEEE 1149.1 テスト モード セレクト ピン。この TMS ピンは Tap コントローラ (16 状態 FSM) をシーケンスして目的のテスト命令を選択します。JTAG_TMS を High にして 3 クロック サイクルを印加し、JTAG をリセットすることを TI は推奨します。
24	JTAG_TDI/SD		I	WPU	JTAG テスト データ入力: IEEE 1149.1 テスト データ入力ピン。テスト データは TDI 経由でデバイスにスキャン入力されます。 SD: 1000Base-X および 100Base-FX モードでは、このピンは信号検出として機能します。SD はアクティブ Low のピンです。これは、光トランシーバの信号検出に接続する必要があります。
25	TX_D3		I	WPD	送信データ: TX_D[3:0] 信号は、RGMII モードおよび MII モードにおいて、MAC から PHY にデータを伝送します。データは送信クロックと同期しています。RGMII モードでは GTX_CLK が送信クロックであり、MII モードでは TX_CLK が送信クロックです。
26	TX_D2		I	WPD	
27	TX_D1		I	WPD	
28	TX_D0		I	WPD	

表 5-1. RGZ パッケージ (VQFN) 各ピン機能 (続き)

ピン		I/O	タイプ	説明
番号	名称			
29	GTX_CLK/TX_CLK	I/O	WPD	RGMII 送信クロック:この連続クロック信号は、MAC 層から PHY へ供給されます。1000Mbps モードにおける公称周波数は 125MHz です。このピンは RGMII モードでは入力です。 MII 送信クロック:MII モードにおいて、このピンは速度 100Mbps 時に使用される 25MHz 基準クロックおよび、速度 10Mbps 時に使用される 2.5MHz 基準クロックを供給します。このピンは MII モードでは出力です。デフォルトで GTX_CLK になっており、レジスタ設定により TX_CLK に変更できます。
30	VDDIO	I	電源	I/O 電源: 1.8V (±5%)、2.5V (±5%)、3.3V (±5%)。それぞれのピンと GND との間に、1μF および 0.1μF のコンデンサを接続する必要があります。
31	VDD1P1	I	電源	1.1V デジタル電源 (±10%)。それぞれのピンと GND との間に、1μF および 0.1μF のコンデンサを接続する必要があります。
32	RX_CLK	O	ストラップ、WPD	受信クロック:各種動作モードに対し、復元された受信クロックを供給します。1000Mbps の RGMII モードでは 125MHz です。
33	RX_D0	O	ストラップ、WPD	受信データ:RX_D[3:0] 信号は、RGMII モードおよび MII モードにおいて、PHY から MAC にデータを伝送します。ケーブルで受信されたシンボルはデコードされ、RX_CLK に同期してこれらのピンに出力されます。
34	RX_D1	O	ストラップ、WPD	
35	RX_D2	O	ストラップ、WPD	
36	RX_D3	O	ストラップ、WPD	
37	TX_CTRL/TX_EN	I	WPD	送信制御:RGMII モードにおいて、TX_CTRL はクロックの両エッジを使用して、MAC からの送信イネーブルと送信エラー信号を組み合わせます。 TX_EN:MII モードにおいて、このピンは TX_EN として機能します。
38	RX_CTRL/RX_DV	O	WPD	受信制御:RGMII モードでは、受信クロック (RX_CLK) の立ち上がり / 立ち下がりエッジの両方を使用して、受信データ有効と受信エラーが結合されます (RXDV_ER)。 RX_DV:MII モードにおいて、このピンは RX_DV として機能します。
39	VDD1P1	I	電源	1.1V デジタル電源 (±10%)。それぞれのピンと GND との間に、1μF および 0.1μF のコンデンサを接続する必要があります。
40	CLK_OUT	O	クロック	クロック出力:出力クロック
41	MDIO	I/O	—	管理データ I/O:管理ステーションまたは PHY から出力される可能性がある双方向の管理用命令 / データ信号。このオープンドレインピンには、1.5kΩ のプルアップ抵抗が必要です。
42	MDC	I	—	管理データ クロック:MDIO シリアル管理入力 / 出力データへの同期クロック。このクロックは、MAC の送信クロックおよび受信クロックと非同期にすることができます。最大クロックレートは 25MHz です。最小クロックレートはありません。
43	RESET_N	I	—	RESET_N:このピンはアクティブ Low のリセット入力で、DP83869 のすべての内部レジスタを初期化または再初期化します。このピンを 1μs 以上 Low にアサートすると、リセットプロセスが強制的に開始されます。このピンは IO 電圧ドメインに属します。RESET_N ピンとグラウンドの間に、100Ω の抵抗と 47μF のコンデンサを直列に接続する必要があります。
44	INT_N/PWDN_N	I/O	—	割り込み / パワーダウン:このピンのデフォルトの機能はパワーダウンです。 パワーダウン:これはアクティブ Low 入力です。この信号を Low にアサートすると、パワーダウンモードが有効になります。このモードでは、デバイスはパワーダウンし、消費電力が最小化されます。管理インターフェイス経由でレジスタにアクセスでき、デバイスの構成と電源投入が可能です。 割り込み:割り込みピンは、割り込み状態が発生したことを示す、オープンドレインのアクティブ Low 出力信号です。どのイベントが割り込みを引き起こしたかを判定するには、レジスタアクセスが必要です。TI は、VDDIO 電源に接続された外付け 2.2kΩ 抵抗の使用を推奨します。ピンオプションによってレジスタアクセスが無効化されている場合、割り込みは 500ms の間アサートされた後、自動でクリアされます。
45	LED_2/GPIO_0	I/O	ストラップ、WPD	LED_2:VIO 電圧ドメインの一部です。 汎用 I/O:この信号は、設定可能な多機能 I/O として使用できます。詳細については、GPIO_MUX_CTRL レジスタを参照してください。

表 5-1. RGZ パッケージ (VQFN) 各ピン機能 (続き)

ピン		I/O	タイプ	説明
番号	名称			
46	LED_1/RX_ER	O	ストラップ、WPD	LED_1:VIO 電圧ドメインの一部です。 MII モード:MII モードにおいて、このピンは RX_ER として構成されます。このピンは、RX_CLK の立ち上がりエッジに同期して High にアサートされます。このピンの使用はオプションです。
47	LED_0	O	ストラップ、WPD	LED_0:このピンは VDDIO 電圧ドメインの一部です
48	VDDA1P8_2	I	電源	2 電源モードでは、このピンに外部電源を供給する必要はありません。未使用の場合、これらのピンにはいかなる接続もできません。3 電源モードでは、外部 1.8V (±5%) 電源をこれらのピンに接続できます。外部電源を使用する場合、各ピンと GND との間に 1µF および 0.1µF コンデンサを接続する必要があります。

ピン機能の定義を以下に示します。

- I:入力
- O:出力
- I/O:入力 / 出力
- ストラップ:マルチファンクション ブートストラップ ピン
- WPD:弱いプルダウン抵抗 (内部)
- WPU:弱いプルアップ抵抗 (内部)
- 電源:電源ピン
- アナログ:アナログ ピン

表 5-2. ピン状態 - 1

ピン番号	ピン名	リセット		銅線モード					
				MII		RGMII		SGMII	
		ピンの状態	プル/ハイインピーダンス	ピンの状態	プル/ハイインピーダンス	ピンの状態	プル/ハイインピーダンス	ピンの状態	プル/ハイインピーダンス
14	SON	O	ハイインピーダンス	O	ハイインピーダンス	O	ハイインピーダンス	O	50 Ω
15	SOP	O	ハイインピーダンス	O	ハイインピーダンス	O	ハイインピーダンス	O	50 Ω
16	SIP	I	ハイインピーダンス	I	ハイインピーダンス	I	ハイインピーダンス	I	50 Ω
17	SIN	I	ハイインピーダンス	I	ハイインピーダンス	I	ハイインピーダンス	I	50 Ω
21	JTAG_CLK/ TX_ER	I	PU	I	PU	I	PU	I	PU
22	JTAG_TDO / GPIO_1	I	PD	O	ハイインピーダンス	O	ハイインピーダンス	O	ハイインピーダンス
23	JTAG_TMS	I	PU	I	PU	I	PU	I	PU
24	JTAG_TDI / SD	I	PU	I	PU	I	PU	I	PU
25	TX_D3	I	PD	I	PD	I	PD	I	PD
26	TX_D2	I	PD	I	PD	I	PD	I	PD
27	TX_D1	I	PD	I	PD	I	PD	I	PD
28	TX_D0	I	PD	I	PD	I	PD	I	PD
29	GTX_CLK / TX_CLK	I	PD	O	PD	I	PD	I	PD
32	RX_CLK	I	PD	O	ハイインピーダンス	O (125MHz)	ハイインピーダンス	I	PD

表 5-2. ピン状態 – 1 (続き)

33	RX_D0	I	PD	O	ハイインピーダンス	O	ハイインピーダンス	I	PD
34	RX_D1	I	PD	O	ハイインピーダンス	O	ハイインピーダンス	I	PD
35	RX_D2	I	PD	O	ハイインピーダンス	O	ハイインピーダンス	I	PD
36	RX_D3	I	PD	O	ハイインピーダンス	O	ハイインピーダンス	I	PD
37	TX_CTRL / TX_EN	I	PD	I	PD	I	PD	I	PD
38	RX_CTRL / RX_DV	I	PD	O	ハイインピーダンス	O	ハイインピーダンス	I	ハイインピーダンス
40	CLK_OUT	O (25MHz)	ハイインピーダンス	O (25MHz)	ハイインピーダンス	O (25MHz)	ハイインピーダンス	O (25MHz)	ハイインピーダンス
41	MDIO	I	ハイインピーダンス	I/O	ハイインピーダンス	I/O	ハイインピーダンス	I/O	ハイインピーダンス
42	MDC	I	ハイインピーダンス	I	ハイインピーダンス	I	ハイインピーダンス	I	ハイインピーダンス
43	RESET_N	I	PU	I	PU	I	PU	I	PU
44	INT_N / PWDN_N	I	PU	I/O	PU/OD-PU	I/O	PU/OD-PU	I/O	PU/OD-PU
45	LED_2 / GPIO_0	I	PD	I/O	ハイインピーダンス	I/O	ハイインピーダンス	I/O	ハイインピーダンス
46	LED_1 / RX_ER	I	PD	O	ハイインピーダンス	O	ハイインピーダンス	O	ハイインピーダンス
47	LED_0	I	PD	O	ハイインピーダンス	O	ハイインピーダンス	O	ハイインピーダンス

表 5-3. ピン状態 – 2

ピン番号	ピン名	メディア コンバータ		ブリッジ モード			
				RGMII から SGMII へ		SGMII から RGMII へ	
		ピンの状態	プル/ハイインピーダンス	ピンの状態	プル/ハイインピーダンス	ピンの状態	プル/ハイインピーダンス
14	SON	O	50 Ω	O	50 Ω	O	50 Ω
15	SOP	O	50 Ω	O	50 Ω	O	50 Ω
16	SIP	I	50 Ω	I	50 Ω	I	50 Ω
17	SIN	I	50 Ω	I	50 Ω	I	50 Ω
21	JTAG_CLK/ TX_ER	I	PU	I	PU	I	PU
22	JTAG_TDO / GPIO_1	O	ハイインピーダンス	O	ハイインピーダンス	O	ハイインピーダンス
23	JTAG_TMS	I	PU	I	PU	I	PU
24	JTAG_TDI / SD	I	PU	I	PU	I	PU
25	TX_D3	I	PD	I	PD	I	PD
26	TX_D2	I	PD	I	PD	I	PD
27	TX_D1	I	PD	I	PD	I	PD
28	TX_D0	I	PD	I	PD	I	PD
29	GTX_CLK / TX_CLK	I	PD	I	PD	I	PD
32	RX_CLK	I	PD	O	ハイインピーダンス	O	ハイインピーダンス
33	RX_D0	I	PD	O	ハイインピーダンス	O	ハイインピーダンス
34	RX_D1	I	PD	O	ハイインピーダンス	O	ハイインピーダンス
36	RX_D2	I	PD	O	ハイインピーダンス	O	ハイインピーダンス
36	RX_D3	I	PD	O	ハイインピーダンス	O	ハイインピーダンス
37	TX_CTRL / TX_EN	I	PD	I	PD	I	PD
38	RX_CTRL / RX_DV	I	PD	O	ハイインピーダンス	O	ハイインピーダンス
40	CLK_OUT	O (25MHz)	ハイインピーダンス	O (25MHz)	ハイインピーダンス	O (25MHz)	ハイインピーダンス
41	MDIO	I/O	ハイインピーダンス	I/O	ハイインピーダンス	I/O	ハイインピーダンス
42	MDC	I	ハイインピーダンス	I	ハイインピーダンス	I	ハイインピーダンス
43	RESET_N	I	PU	I	PU	I	PU
44	INT_N / PWDN_N	I/O	PU/OD-PU	I/O	PU/OD-PU	I/O	PU/OD-PU
45	LED_2 / GPIO_0	I/O	ハイインピーダンス	I/O	ハイインピーダンス	I/O	ハイインピーダンス
46	LED_1 / RX_ER	O	ハイインピーダンス	O	ハイインピーダンス	O	ハイインピーダンス
47	LED_0	O	ハイインピーダンス	O	ハイインピーダンス	O	ハイインピーダンス

表 5-4. ピン状態 – 3

ピン番号	ピン名	IEEE PWDN		MII 絶縁	
		ピンの状態	プル/ハイインピーダンス	ピンの状態	プル/ハイインピーダンス
14	SON	O	50 Ω	O	50 Ω
15	SOP	O	50 Ω	O	50 Ω
16	SIP	I	50 Ω	I	50 Ω
17	SIN	I	50 Ω	I	50 Ω
21	JTAG_CLK/ TX_ER	I/O	PU	I	PU
22	JTAG_TDO / GPIO_1	O	ハイインピーダンス	O	ハイインピーダンス
23	JTAG_TMS	I	PU	I	PU
24	JTAG_TDI / SD	I	PU	I	PU
25	TX_D3	I	PD	I	PD
26	TX_D2	I	PD	I	PD
27	TX_D1	I	PD	I	PD
28	TX_D0	I	PD	I	PD
29	GTX_CLK / TX_CLK	I	PD	I	PD
32	RX_CLK	O (2.5MHz)	ハイインピーダンス	I	PD
33	RX_D0	O	ハイインピーダンス	I	PD
34	RX_D1	O	ハイインピーダンス	I	PD
36	RX_D2	O	ハイインピーダンス	I	PD
36	RX_D3	O	ハイインピーダンス	I	PD
37	TX_CTRL / TX_EN	I	PD	I	PD
38	RX_CTRL / RX_DV	O	ハイインピーダンス	I	PD
40	CLK_OUT	O (25MHz)	ハイインピーダンス	O (25MHz)	ハイインピーダンス
41	MDIO	I	ハイインピーダンス	I	ハイインピーダンス
42	MDC	I	ハイインピーダンス	I	ハイインピーダンス
43	RESET_N	I	PU	I	PU
44	INT_N / PWDN_N	I/O	PU/OD-PU	I/O	PU/OD-PU
45	LED_2 / GPIO_0	O	ハイインピーダンス	O	ハイインピーダンス
46	LED_1 / RX_ER	O	ハイインピーダンス	O	ハイインピーダンス
47	LED_0	O	ハイインピーダンス	O	ハイインピーダンス

注:ハイインピーダンスピンはフローティングまたは NC のままにします。必要に応じて、10kΩ プルダウン抵抗を使用して GND に接続します。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

パラメータ		最小値	最大値	単位
電源電圧	VDD1P1	-0.5	1.4	V
	VDD1P8	-0.5	2.16	V
	VDD2P5	-0.5	3	V
	VDDIO (3V3)	-0.5	3.8	V
	VDDIO (2V5)	-0.5	3	V
	VDDIO (1V8)	-0.5	2.1	V
ピン	MDI	-0.5	6.5	V
ピン	MAC インターフェイス、MDIO、MDC、GPIO	-0.5	VDDIO + 0.3	V
ピン	INT/PWDN、RESET	-0.5	VDDIO + 0.3	V
ピン	JTAG	-0.5	VDDIO + 0.3	V
保存温度	Tstg	-60	150	C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

パラメータ			値	単位	
V _(ESD)	V(ESD) 静電放電	人体モデル (HBM)、ANSI/ESDA/ JEDEC JS-001 準拠 ⁽¹⁾	MDI を除くすべてのピン MDI ピン ⁽²⁾	+/-2500 +/-8000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 ⁽³⁾	すべてのピン	+/-1500	
		IEC 61000-4-2 接触放電	MDI ピン	+/-8000	V

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。必要な予防措置をとれば、HBM の ESD 耐圧が 500V 未満でも製造可能です。±8kV または ±2kV と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。
- (2) MDI ピンは IEC 61000-4-2 規格に従ってテスト済み。
- (3) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。必要な予防措置をとれば、CDM の ESD 耐圧が 250V 未満でも製造可能です。±500V と記載されているピンは、実際にはそれよりも高い性能を持つ場合があります。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		最小値	公称値	最大値	単位
VDDIO	デジタル電源電圧、1.8V 動作	1.71	1.8	1.89	V
	デジタル電源電圧、2.5V 動作	2.375	2.5	2.625	
	デジタル電源電圧、3.3V 動作	3.15	3.3	3.45	
VDD1P1	デジタル電源	0.99	1.1	1.21	V
VDDA1P8	アナログ電源	1.71	1.8	1.89	V
VDDA2P5	アナログ電源	2.375	2.5	2.625	V
T _A	動作時の周囲温度	-40		125	°C
T _J	動作時接合部温度	-40		140	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		48PIN VQFN	単位
R _{θJA}	接合部から周囲への熱抵抗	30.8	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	18.7	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	1.4	°C/W
R _{θJB}	接合部から基板への熱抵抗	7.5	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.3	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	7.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

6.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

パラメータ	テスト条件	最小値	標準値	最大値	単位
1000Base-X/100Base-FX/SGMII 入力					
入力差動電圧許容値	SI_P および SI_N, AC 結合	0.3	0.5	2.0	V
受信差動入力インピーダンス (DC)		80	100	120	Ω
周波数の許容誤差	SI_P および SI_N, AC 結合	-100		+100	ppm
1000Base-X 出力					
クロック信号デューティ サイクル	SO_P および SO_N, AC 結合、0101010101 パターン	48		52	%
Vod 立ち下がり時間 (20% ~ 80%)	SO_P および SO_N, AC 結合、0101010101 パターン	100		200	ps
Vod 立ち上がり時間 (20% ~ 80%)	SO_P および SO_N, AC 結合、0101010101 パターン	100		200	ps
総出力ジッタ	SO_P および SO_N, AC 結合		192		ps
出力差動電圧	SO_P および SO_N, AC 結合	1060	1100	1140	mV
100Base-FX 出力					
625MHz でのクロック信号のデューティ サイクル	SO_P および SO_N, AC 結合			55	%
Vod 立ち下がり時間 (20% ~ 80%)	SO_P および SO_N, AC 結合			330	ps
Vod 立ち上がり時間 (20% ~ 80%)	SO_P および SO_N, AC 結合			330	ps
ジッタ	SO_P および SO_N, AC 結合			192	ps
出力差動電圧	SO_P および SO_N, AC 結合	450		910	mV
SGMII 出力					
625MHz でのクロック信号のデューティ サイクル	SO_P および SO_N, AC 結合、0101010101 パターン	48		52	%
Vod 立ち下がり時間 (20% ~ 80%)	SO_P および SO_N, AC 結合、0101010101 パターン	100		200	ps
Vod 立ち上がり時間 (20% ~ 80%)	SO_P および SO_N, AC 結合、0101010101 パターン	100		200	ps
出力ジッタ	SO_P および SO_N, AC 結合			300	ps
出力差動電圧	SO_P および SO_N, AC 結合	1060	1100	1140	mV
IEEE Tx 準拠 (1000BaseT)					
出力差動電圧	通常モード、全チャネル	0.67	0.745	0.82	V
IEEE Tx 準拠 (100BaseTx)					
出力差動電圧	通常モード、チャネル A および B	0.95	1.00	1.05	V

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

パラメータ		テスト条件	最小値	標準値	最大値	単位
IEEE Tx 準拠 (10BaseTe)						
	出力差動電圧			1.75		V
消費電力 (銅線モード、100m ケーブル)						
合計	RGMII から銅線へ (1G)	室温、公称電源電圧		483		mW
	RGMII から銅線へ (100M)			215		mW
	RGMII から銅線へ (10M)			260		mW
	MII から銅線へ (100M)			212		mW
	MII から銅線へ (10M)			261		mW
	SGMII から銅線へ (1G)			496		mW
	SGMII から銅線へ (100M)			251		mW
	SGMII から銅線へ (10M)			294		mW
I(1V1)	RGMII から銅線へ (1G)	室温、1.1V 電源電圧		131	195	mA
	RGMII から銅線へ (100M)			47	110	mA
	RGMII から銅線へ (10M)			37	100	mA
	MII から銅線へ (100M)			43	110	mA
	MII から銅線へ (10M)			36	95	mA
	SGMII から銅線へ (1G)			141	220	mA
	SGMII から銅線へ (100M)			60	125	mA
	SGMII から銅線へ (10M)			50	112	mA
I(1V8)	RGMII から銅線へ (1G)	室温、1.8V 電源電圧		52	55	mA
	RGMII から銅線へ (100M)			21	26	mA
	RGMII から銅線へ (10M)			11	15	mA
	MII から銅線へ (100M)			21	26	mA
	MII から銅線へ (10M)			10	15	mA
	SGMII から銅線へ (1G)			55	60	mA
	SGMII から銅線へ (100M)			24	28	mA
	SGMII から銅線へ (10M)			14	18	mA
I(2V5)	RGMII から銅線へ (1G)	室温、2.5V 電源電圧		86	100	mA
	RGMII から銅線へ (100M)			46	50	mA
	RGMII から銅線へ (10M)			76	90	mA
	MII から銅線へ (100M)			45	52	mA
	MII から銅線へ (10M)			78	92	mA
	SGMII から銅線へ (1G)			93	100	mA
	SGMII から銅線へ (100M)			53	58	mA
	SGMII から銅線へ (10M)			82	95	mA

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り) (1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I(VDDIO = 3.3V)	RGMII から銅線へ (1G)	室温、3.3V 電源電圧		30	80	mA
	RGMII から銅線へ (100M)			13	22	mA
	RGMII から銅線へ (10M)			10	16	mA
	MII から銅線へ (100M)			15	66	mA
	MII から銅線へ (10M)			11	38	mA
	SGMII から銅線へ (1G)			10	16	mA
	SGMII から銅線へ (100M)			10	16	mA
	SGMII から銅線へ (10M)			10	16	mA
I(VDDIO = 1.8V)	RGMII から銅線へ (1G)	室温、1.8V 電源電圧		17	30	mA
	RGMII から銅線へ (100M)			6	12	mA
	RGMII から銅線へ (10M)			5	10	mA
	MII から銅線へ (100M)			8	15	mA
	MII から銅線へ (10M)			5	10	mA
	SGMII から銅線へ (1G)			5	10	mA
	SGMII から銅線へ (100M)			5	10	mA
	SGMII から銅線へ (10M)			5	10	mA
消費電力 (ファイバ モード)						
合計	RGMII から 1000Base-X へ	室温、公称電源電圧		142		mW
	RGMII から 100Base-FX へ			111		mW
	MII から 100Base-FX へ			107		mW
I(1V1)	RGMII から 1000Base-X へ	室温、1.1V 電源電圧		52		mA
	RGMII から 100Base-FX へ			44		mA
	MII から 100Base-FX へ			41.8		mA
I(1V8)	RGMII から 1000Base-X へ	室温、1.8V 電源電圧		14		mA
	RGMII から 100Base-FX へ			14		mA
	MII から 100Base-FX へ			12		mA
I(2V5)	RGMII から 1000Base-X へ	室温、2.5V 電源電圧		11		mA
	RGMII から 100Base-FX へ			10		mA
	MII から 100Base-FX へ			10		mA
I(VDDIO = 3.3V)	RGMII から 1000Base-X へ	室温、3.3V 電源電圧		32		mA
	RGMII から 100Base-FX へ			14		mA
	MII から 100Base-FX へ			16		mA
I(VDDIO = 1.8V)	RGMII から 1000Base-X へ	室温、1.8V 電源電圧		18		mA
	RGMII から 100Base-FX へ			7		mA
	MII から 100Base-FX へ			8		mA
消費電力 (R2S モード)						
合計	RGMII から SGMII へ (1G)	室温、公称電源電圧		142		mW
	RGMII から SGMII へ (100M)			120		mW
	RGMII から SGMII へ (10M)			117		mW

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

パラメータ		テスト条件	最小値	標準値	最大値	単位
I(1V1)	RGMII から SGMII へ (1G)	室温、1.1V 電源電圧		52		mA
	RGMII から SGMII へ (100M)			50		mA
	RGMII から SGMII へ (10M)			49		mA
I(1V8)	RGMII から SGMII へ (1G)	室温、1.8V 電源電圧		14		mA
	RGMII から SGMII へ (100M)			13		mA
	RGMII から SGMII へ (10M)			14		mA
I(2V5)	RGMII から SGMII へ (1G)	室温、2.5V 電源電圧		11		mA
	RGMII から SGMII へ (100M)			11		mA
	RGMII から SGMII へ (10M)			11		mA
I(VDDIO = 3.3V)	RGMII から SGMII へ (1G)	室温、3.3V 電源電圧		32		mA
	RGMII から SGMII へ (100M)			15		mA
	RGMII から SGMII へ (10M)			12		mA
I(VDDIO = 1.8V)	RGMII から SGMII へ (1G)	室温、1.8V 電源電圧		18		mA
	RGMII から SGMII へ (100M)			8		mA
	RGMII から SGMII へ (10M)			6		mA
消費電力 (S2R モード)						
合計	SGMII から RGMII へ (1G)	室温、公称電源電圧		142		mW
	SGMII から RGMII へ (100M)			121		mW
	SGMII から RGMII へ (10M)			117		mW
I(1V1)	SGMII から RGMII へ (1G)	室温、1.1V 電源電圧		52		mA
	SGMII から RGMII へ (100M)			49		mA
	SGMII から RGMII へ (10M)			49		mA
I(1V8)	SGMII から RGMII へ (1G)	室温、1.8V 電源電圧		14		mA
	SGMII から RGMII へ (100M)			14		mA
	SGMII から RGMII へ (10M)			14		mA
I(2V5)	SGMII から RGMII へ (1G)	室温、2.5V 電源電圧		11		mA
	SGMII から RGMII へ (100M)			11		mA
	SGMII から RGMII へ (10M)			11		mA
I(VDDIO = 3.3V)	SGMII から RGMII へ (1G)	室温、3.3V 電源電圧		33		mA
	SGMII から RGMII へ (100M)			16		mA
	SGMII から RGMII へ (10M)			13		mA
I(VDDIO = 1.8V)	SGMII から RGMII へ (1G)	室温、1.8V 電源電圧		18		mA
	SGMII から RGMII へ (100M)			8		mA
	SGMII から RGMII へ (10M)			6		mA
消費電力 (銅線 – ファイバ モード 100m ケーブル)						
合計	1000Base-TX から 1000Base-FX へ	室温、公称電源電圧		495		mW
	100Base-Tx から 100Base-FX へ			243		mW
I(1V1)	1000Base-TX から 1000Base-FX へ	室温、1.1V 電源電圧		142		mA
	100Base-Tx から 100Base-FX へ			55		mA
I(1V8)	1000Base-TX から 1000Base-FX へ	室温、1.8V 電源電圧		55		mA
	100Base-Tx から 100Base-FX へ			24		mA

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り) (1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I(2V5)	1000Base-TX から 1000Base-FX へ	室温、2.5V 電源電圧		93		mA
	100Base-Tx から 100Base-FX へ			52		
I(VDDIO = 3.3V)	1000Base-TX から 1000Base-FX へ	室温、3.3V 電源電圧		9		mA
	100Base-Tx から 100Base-FX へ			10		
I(VDDIO = 1.8V)	1000Base-TX から 1000Base-FX へ	室温、1.8V 電源電圧		4		mA
	100Base-Tx から 100Base-FX へ			5		
消費電力 (低消費電力モード)						
合計	IEEE パワーダウン	室温、公称電圧		76		mW
	アクティブ スリープ			165		
	リセット			82		
ブートストラップ DC 特性 (4 レベル) (PHY アドレスピン)						
V _{MODE0}	モード 0 ストラップ電圧範囲		0		0.093x VDDIO	V
V _{MODE1}	モード 1 ストラップ電圧範囲		0.136x VDDIO		0.184x VDDIO	V
V _{MODE2}	モード 2 ストラップ電圧範囲		0.219x VDDIO		0.280x VDDIO	V
V _{MODE3}	モード 3 ストラップ電圧範囲		0.6x VDDIO		0.888x VDDIO	V
ブートストラップ DC 特性 (2 レベル)						
V _{MODE0}	モード 0 ストラップ電圧範囲		0		0.18x VDDIO	V
V _{MODE1}	モード 1 ストラップ電圧範囲		0.5x VDDIO		0.88x VDDIO	V
IO 特性						
V _{IH}	High レベル入力電圧	VDDIO = 3.3V ±5%	2			V
V _{IL}	Low レベル入力電圧	VDDIO = 3.3V ±5%			0.8	V
V _{OH}	High レベル出力電圧	I _{OH} = -2mA, VDDIO = 3.3V ±5%	2.4			V
V _{OL}	Low レベル出力電圧	I _{OL} = 2mA, VDDIO = 3.3V ±5%			0.4	V
V _{IH}	High レベル入力電圧	VDDIO = 2.5V ±5%	1.7			V
V _{IL}	Low レベル入力電圧	VDDIO = 2.5V ±5%			0.7	V
V _{OH}	High レベル出力電圧	I _{OH} = -2mA, VDDIO = 2.5V ±5%	2			V
V _{OL}	Low レベル出力電圧	I _{OL} = 2mA, VDDIO = 2.5V ±5%			0.4	V
V _{IH}	High レベル入力電圧	VDDIO = 1.8V ±5%		0.65*VD DIO		V
V _{IL}	Low レベル入力電圧	VDDIO = 1.8V ±5%			0.35*VD DIO	V
V _{OH}	High レベル出力電圧	I _{OH} = -2mA, VDDIO = 1.8V ±5%		VDDIO-0 .45		V
V _{OL}	Low レベル出力電圧	I _{OL} = 2mA, VDDIO = 1.8V ±5%			0.45	V
I _{IH}	入力 High 電流	T _A = -40°C ~ 125°C, VIN=VDDIO	-20		20	μA
I _{IL}	入力 Low 電流	T _A = -40°C ~ 125°C, VIN=GND	-20		20	μA
I _{ozh}	トライステート出力高電流	T _A = -40°C ~ 125°C, VOUT = VDDIO	-20		20	μA
I _{ozl}	トライステート出力 Low 電流	T _A = -40°C ~ 125°C, VOUT=GND	-20		20	μA
R _{pulldn}	内蔵プルダウン抵抗		6.75	9	11.25	kΩ

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り) (1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
XI V _{IH}	High レベル入力電圧		1.2		VDDIO	V
XI V _{IL}	Low レベル入力電圧				0.6	V
C _{IN}	XI の入力容量			1		pF
C _{IN}	入力ピンの入力容量			5		pF
C _{OUT}	XO の出力容量			1		pF
C _{OUT}	出力ピンの出力容量			5		pF
R _{series}	内蔵 MAC 直列終端抵抗	RX_D[3:0], RX_ER, RX_DV, RX_CLK		50		Ω

(1) 製造試験、特性評価、設計によって指定済み

6.6 タイミング要件

パラメータ		最小値	公称値	最大値	単位
パワーアップのタイミング (2, 3 電源モード)					
T1	最後の電源パワーアップからリセット解除まで: 外部または R-C ネットワーク経由	200			ms
T2	電源投入から SMI 準備完了まで: レジスタ アクセスの MDC プリアンプルまでの、電源投入後安定化時間		200		ms
T3	電源投入からストラップ ラッチインまで: ハードウェア構成のピンの遷移から出力ドライブまで		200		ms
RESET タイミング					
T1	リセットから SMI レディまで: レジスタ アクセスの MDC プリアンプルまでの、リセット後安定化時間	30			us
T3	リセット パルス幅: リセット可能な最小リセット パルス幅	720			ns
T4	リセットから FLP まで		1750		ms
T4	リセットから 100M 信号まで (ストラップ モード)		194		us
T4	リセットから 1G 信号まで (ストラップ モード)		194		us
T4	リセットから光ファイバ 100M 信号まで		248		us
T4	リセットから光ファイバ 1G ANEG 信号まで		235		us
T4	リセットから光ファイバ 1G 強制信号まで		235		us
T4	リセットから MAC クロックまで (Cu モード)		195		us
T4	リセットから MAC クロックまで (Fi モード)		248		us
T4	リセットから MAC クロックまで (S2R)		248		us
T4	リセットから MAC クロックまで (R2S)		248		us
銅線リンクのタイミング					
T1	高速リンク ダウン モードでのアイドル損失からリンク LED Low まで (100M)		4.3	10	us
	高速リンク ダウン モードでのアイドル損失からリンク LED Low まで (1000M)		7	10	us
MII タイミング (100M)					
T1	TX_CLK High / Low 時間	16	20	24	ns
T2	TX_CLK までの TX_D[3:0], TX_ER, TX_EN のセットアップ	10			ns
T3	TX_CLK からの TX_D[3:0], TX_ER, TX_EN のホールド	0			ns
T1	RX_CLK High / Low 時間	16	20	24	ns
T2	RX_CLK 立ち上がりからの RX_D[3:0], RX_ER, RX_DV の遅延	10		30	ns
RGMII 出力タイミング (1G)					

6.6 タイミング要件 (続き)

パラメータ		最小値	公称値	最大値	単位
T_{skewT}	データからクロック出力までのスキュー (非遅延モード)	-600		600	ps
$T_{skewT(Delay)}$	データからクロック出力までのセットアップ (遅延モード)	1.4		2.6	ns
T_{setupT}	データからクロック出力までのセットアップ (遅延モード)	1.2			ns
T_{holdT}	データからクロック出力までのホールド (遅延モード)	1.2			ns
T_{cyc}	クロック周期	7.2	8	8.8	ns
	デューティ サイクル	45	50	55	%
	立ち上がり / 立ち下がり時間 (20% ~ 80%)			0.75	ns
RGMII 入力タイミング (1G)					
T_{setupR}	TX データからクロック入力までのセットアップ (非遅延モード)	1			ns
T_{holdR}	TX クロックからデータ入力までのホールド (非遅延モード)	1			ns
	TX データからクロック入力までのセットアップ (遅延モード、2ns 遅延)	-1			ns
	TX クロックからデータ入力までのホールド (遅延モード、2ns 遅延)	3			ns
SMI タイミング					
T1	MDC から MDIO (出力) までの遅延時間	0		10	ns
T2	MDC に対する MDIO (入力) のセットアップ時間	10			ns
T3	MDC に対する MDIO (入力) のホールド時間	10			ns
T4	MDC 周波数		2.5	25	MHz
出力クロック タイミング (25MHz クロックアウト)					
	周波数 (PPM)	-100		100	-
	デューティ サイクル	40		60	%
	立ち上がり時間			5000	ps
	立ち下がり時間			5000	ps
	周波数		25		MHz
	ジッタ (長期)			375	ps
出力クロック タイミング (SyncE 125/5MHz 回復クロック)					
	周波数 (PPM)	-100		100	ppm
	デューティ サイクル	40		60	%
	立ち上がり時間			2500	ps
	立ち下がり時間			2500	ps
	ジッタ (長期)			1000	ps
25MHz 入力クロック許容誤差					
	周波数の許容誤差	-100		+100	ppm
	立ち上がり / 立ち下がり時間 (10% ~ 90%)			8	ns
	ジッタ耐性 (累積: 100K サイクルにわたる TIE)		75		ps
	デューティ サイクル	40		60	%
送信レイテンシ タイミング					
銅	RGMII から Cu まで (100M): TX_CLK の立ち上がりエッジ (TX_CTRL アサート時) から MDI の SSD シンボルまで		169		ns
銅	RGMII から Cu まで (1G): ラウンドトリップ レイテンシ (送信 + 受信)			384	ns
受信レイテンシ タイミング					

6.6 タイミング要件 (続き)

パラメータ		最小値	公称値	最大値	単位
銅	Cu から RGMII まで (100M):MDI の SSD シンボルから a) RX_DV の立ち上がりエッジ (RX_CTRL アサート時) まで b) RX_DV の立ち上がりエッジ (RX_Dx アサート時) まで		192		ns

6.7 タイミング図

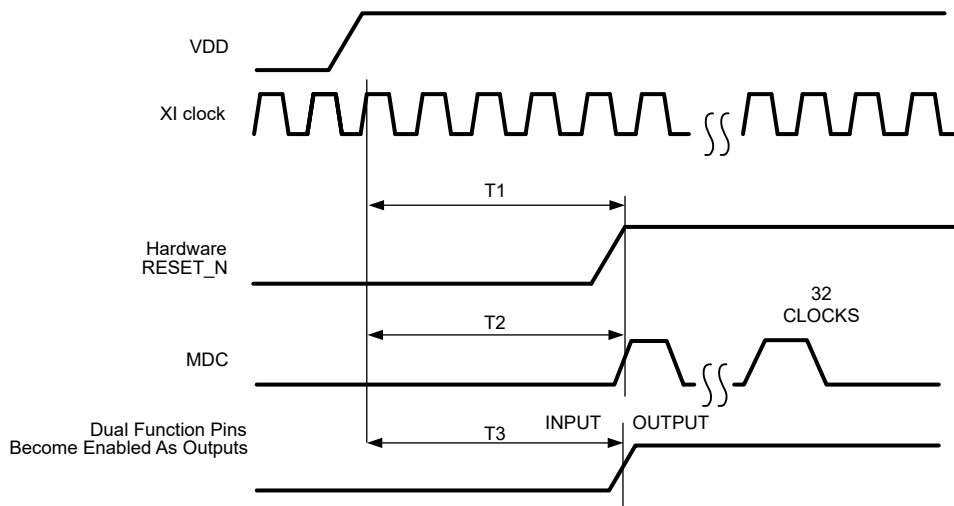


図 6-1. パワーアップのタイミング

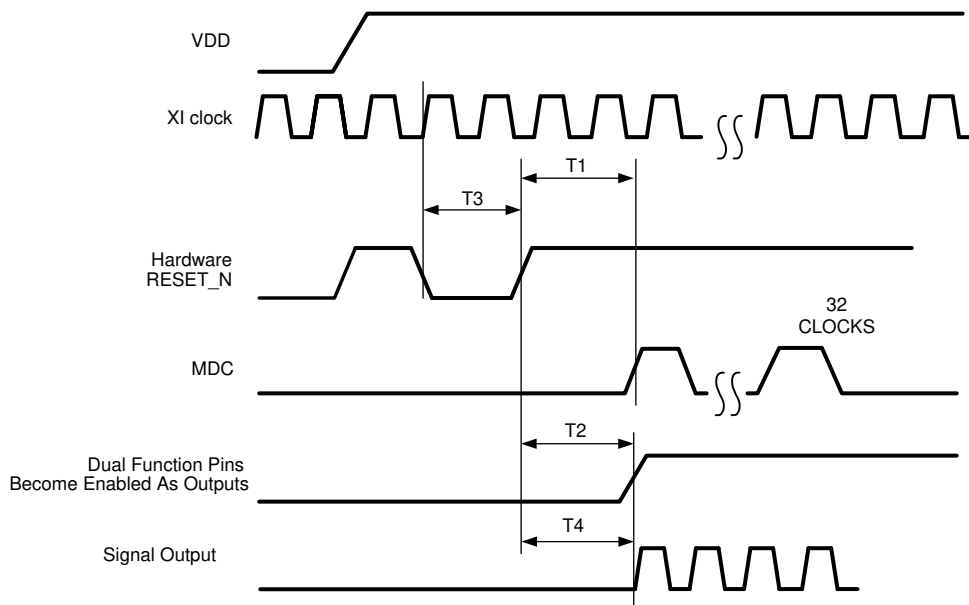


図 6-2. リセット タイミング

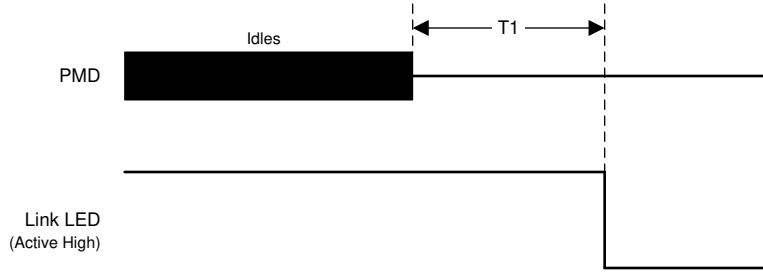


図 6-3. 銅線リンクのタイミング

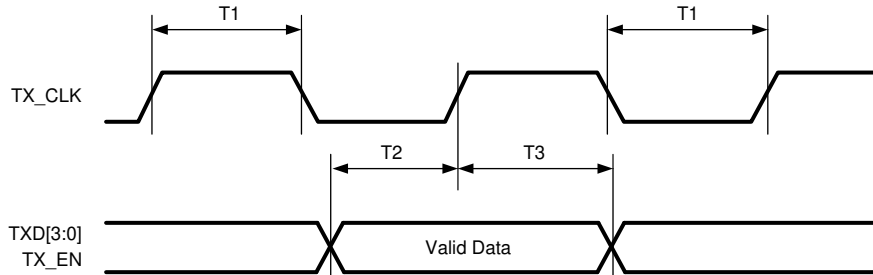


図 6-4. 100Mbps MII 送信タイミング

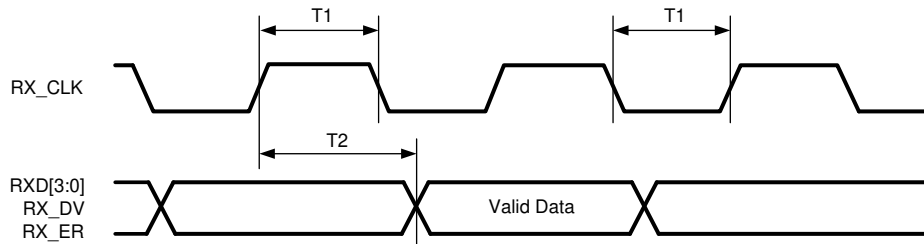


図 6-5. 100Mbps MII 受信タイミング

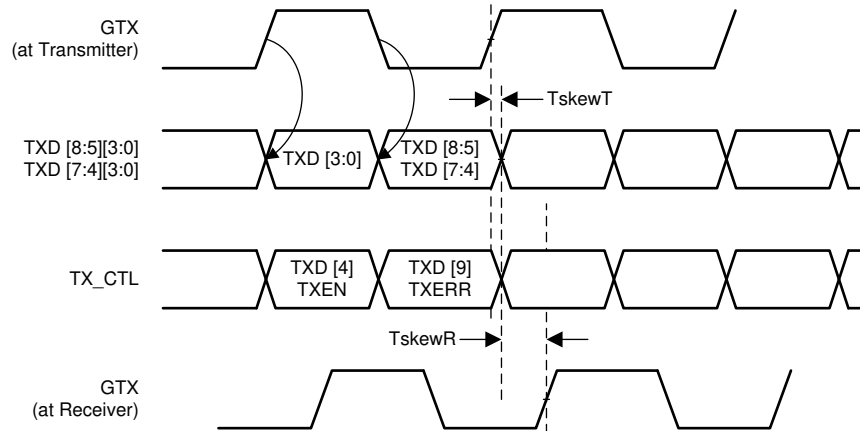


図 6-6. RGMII 送信マルチプレクシングおよびタイミング図

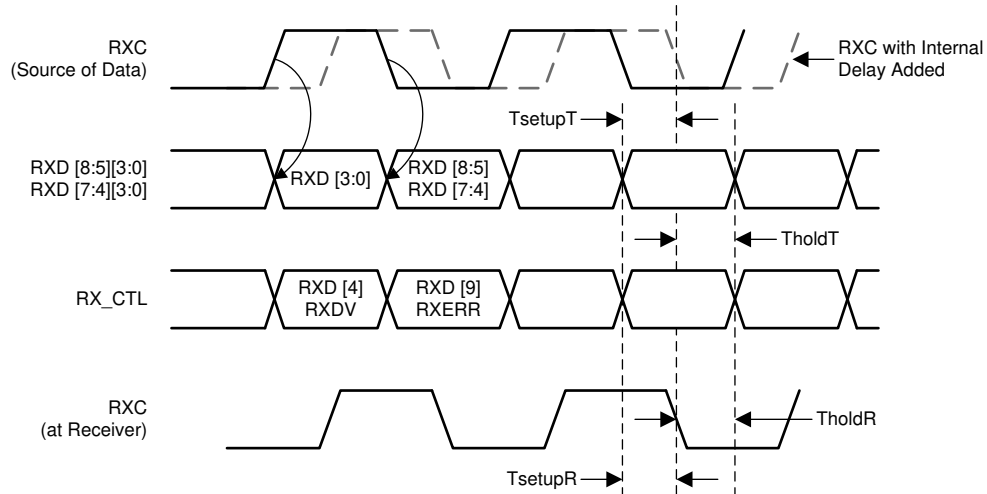


図 6-7. RGMII 受信マルチプレクシングおよびタイミング図

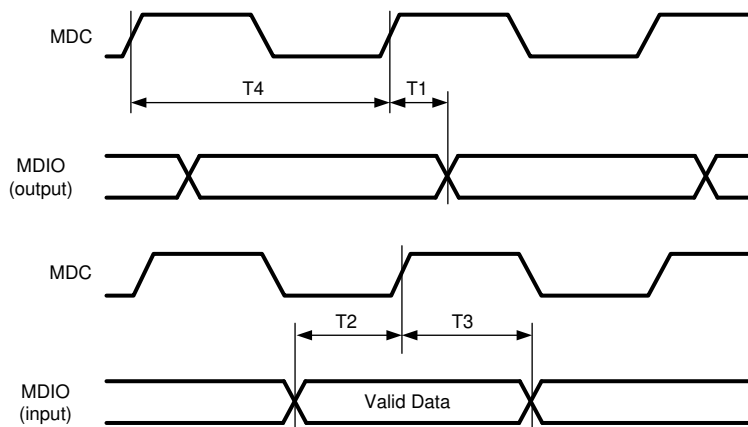
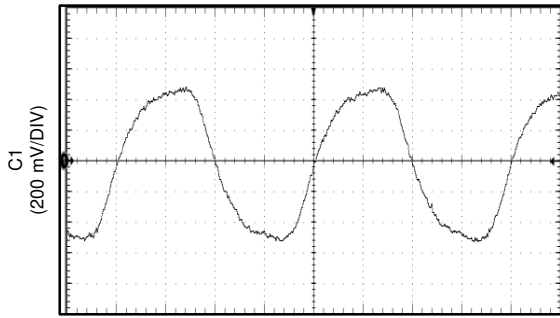


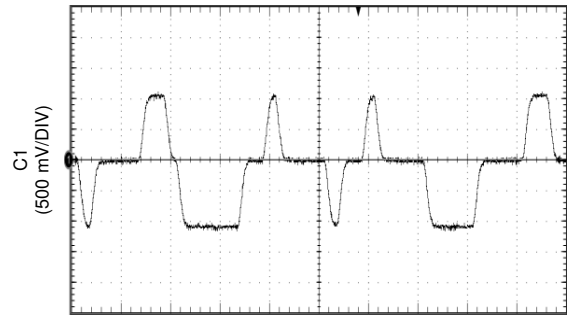
図 6-8. シリアル管理インターフェイスのタイミング

6.8 代表的特性



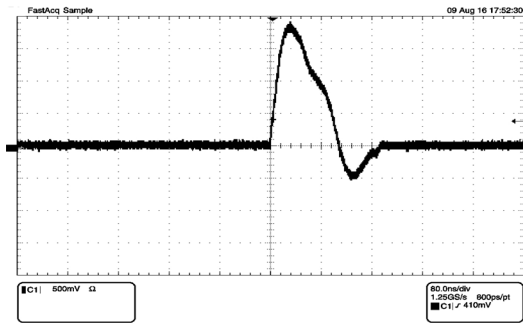
mV/Div **ns/Div**
 200mV 4ns

図 6-9. 1000Base-T テスト モード 2 信号



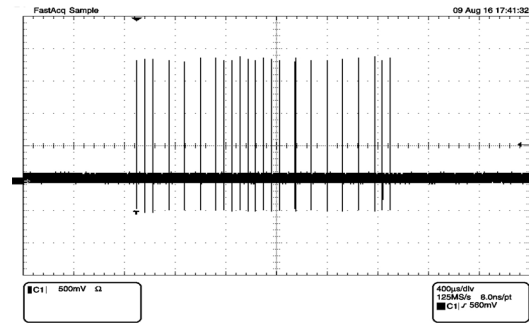
mV/Div **ns/Div**
 500mV 32ns

図 6-10. 100Base-TX 信号



mV/Div **ns/Div**
 500mV 80ns

図 6-11. 10Base-Te リンク パルス



mV/Div **µs/Div**
 500mV 400µs

図 6-12. オートネゴシエーション FLP

7 詳細説明

7.1 概要

DP83869HM は、光ファイバ イーサネットと銅線イーサネットの規格に対応するフル機能のギガビット物理層トランシーバです。IEEE802.3 10BASE-Te、100BASE-TX、1000BASE-T 銅線イーサネット プロトコルと、100BASE-FX および 1000BASE-X 光ファイバ イーサネット プロトコルをサポートします。

DP83869HM は、10Mbps、100Mbps、1000Mbps のイーサネット LAN を簡単に実装できるよう設計されています。銅線モードでは、PHY は磁気素子を介してツイストペア メディアに接続できます。光ファイバ モードでは、DP83869HM は光ファイバ トランシーバに接続できます。このデバイスは、Reduced GMII (RGMII)、またはシリアル GMII (SGMII) により MAC 層へ直接接続されます。SGMII は、銅線イーサネット モードでのみ使用できます。MII モードは、10M および 100M の速度をサポートしています。

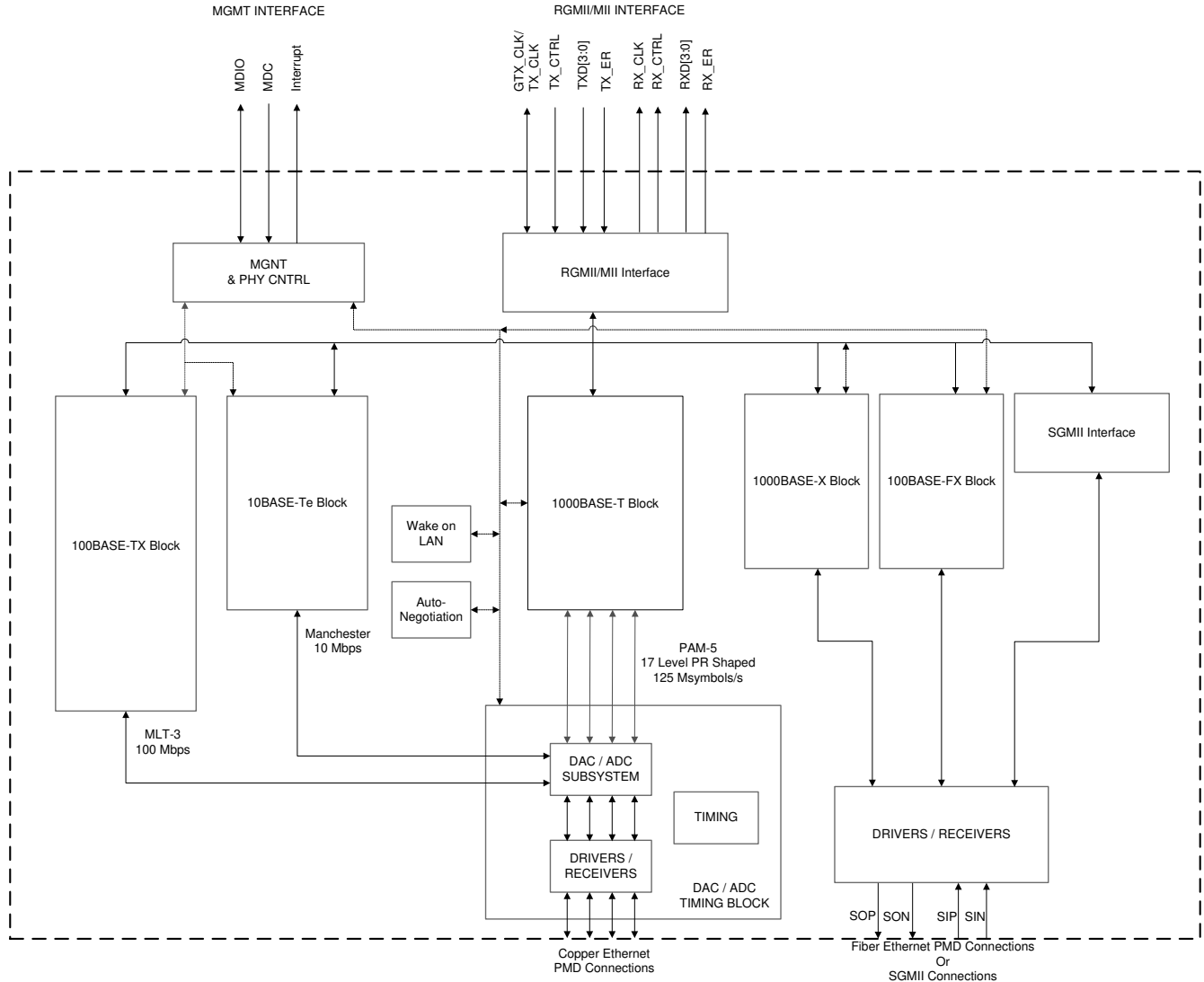
DP83869HM は、銅線と光ファイバのイーサネット インターフェイス間を接続するためのメディア コンバータ モードをサポートしています。メディア コンバータは、100M および 1000M の速度で使用できます。

また、DP83869HM は、SGMII と RGMII の接続のためのブリッジ モードもサポートしています。

DP83869HM は低いレイテンシを実現しています。このデバイスは、IEEE 1588 のフレーム開始区切り文字の表示機能を備えています。DP83869HM には、同期イーサネット アプリケーション用に回復クロックを提供するオプションがあります。

DP83869HM には、イーサネット ケーブルの故障検出を行うための TDR ケーブル診断機能があります。

7.2 機能ブロック図



7.3 機能説明

7.3.1 WoL (Wake-on-LAN) パケット検出

Wake-on-LAN は、特定のフレームを検出し、レジスタ ステータスの変更、GPIO 表示、割り込みフラグのいずれかを通じて接続 MAC に通知するメカニズムを提供します。DP83869HM の WoL 機能により、物理層より上位にある接続デバイスは、適格な資格情報を持つフレームが検出されるまで低消費電力状態を維持できます。サポートされている WoL フレームタイプは、マジック パケット、SecureOn のマジック パケット、およびカスタム パターン マッチです。適格な WoL フレームを受信すると、DP83869HM の WoL ロジック回路は、GPIO ピンによってユーザー定義イベント (パルスまたはレベル変化) またはステータス割り込みフラグを生成し、接続コントローラにウェーク イベントが発生したことを通知します。

Wake-on-LAN 機能には、次の機能が含まれています。

- サポートされているすべての速度でのマジック パケットの識別
- 有効なマジック パケット受信時のウェークアップ割り込みの生成
- 無効なパケットからの割り込み生成を防止するためのマジック パケットの CRC チェック

DP83869HM では、基本的なマジック パケットのサポートに加えて、以下もサポートされています。

- SecureOn パスワードが含まれたマジック パケット
- パターン マッチ – 構成可能な 1 つの 64 バイト パターンで、マジック パケットと同様に MAC をウェークアップできません
- Wake On ブロードキャストおよびユニキャスト パケットタイプの個別の構成。

注

[DP838xx Wake-on-LAN のアプリケーション ノート](#)には、Wake-on-LAN の詳細と例が記載されています。

7.3.1.1 マジック パケット構造

マジック パケット モードを構成した場合、DP83869HM は、ノードにアドレス指定された受信フレームすべてを、特定のデータシーケンスでスキャンします。このシーケンスにより、フレームがマジック パケット フレームとして識別されます。

注

マジック パケットはバイト単位にする必要があります。

マジック パケット フレームは、送信元アドレス、宛先アドレス (受信ステーションの IEEE アドレスまたはブロードキャスト アドレス)、CRC など、選択した LAN 技術の基本的な要件も満たしている必要があります。

特定のマジック パケット シーケンスは、このノードの IEEE アドレスを 16 個複製したもので、中断や割り込みはありません。セキュリティが有効な場合は、SecureOn パスワードが続きます。このシーケンスはパケット内の任意の場所に配置できますが、同期ストリームの前に配置する必要があります。同期ストリームは、6 バイトの FFh として定義されます。

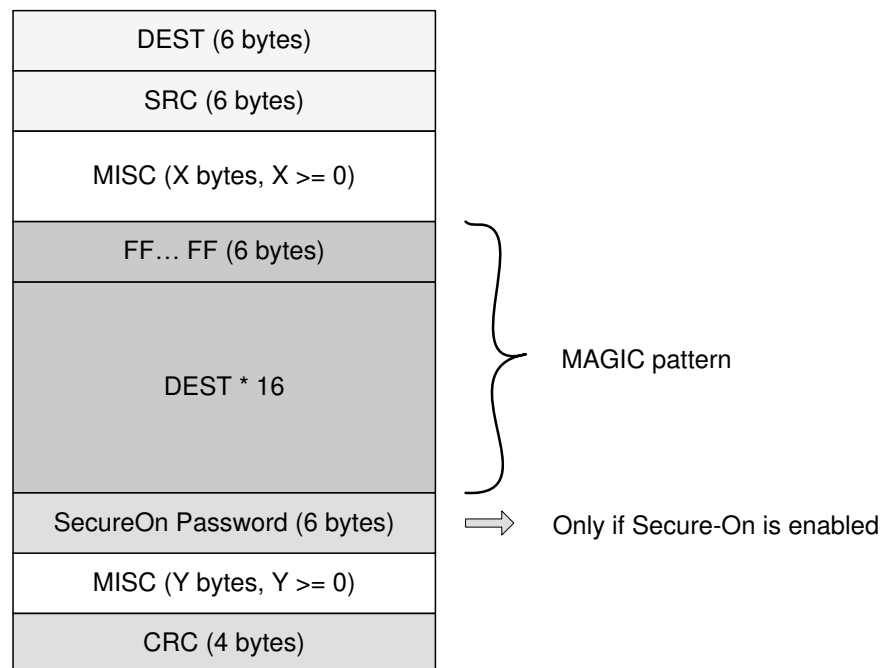


図 7-1. マジック パケット構造

7.3.1.2 Wake-on-LAN の構成と状態

表 7-1. マジック パケット検出レジスタ

レジスタ名	DP83869 アドレス
受信構成レジスタ	レジスタ 0x134
受信ステータス レジスタ	レジスタ 0x135
MAC 宛先アドレス レジスタ	Reg 0x136-0x138
受信 Secure-ON パスワード レジスタ	Reg 0x139-0x13B
バイト マスク	Reg 0x15C-0x15F

7.3.2 IEEE 1588 タイム スタンプのフレーム スタート検出

DP83869HM は、受信および送信パス用に、SFD (フレーム開始区切り文字) で IEEE 1588 表示パルスをサポートしています。このパルスは、各種ピンに供給できます。パルスは、シンボルが回線上に表示される実際の時間 (送信の場合)、または最初に受信されたシンボル (受信の場合) を示します。パルスの正確なタイミングは、RX の場合はレジスタ 50h ビット [9:7]、TX の場合は [6:4] を使用して、増分が 8ns のレジスタにより調整できます。

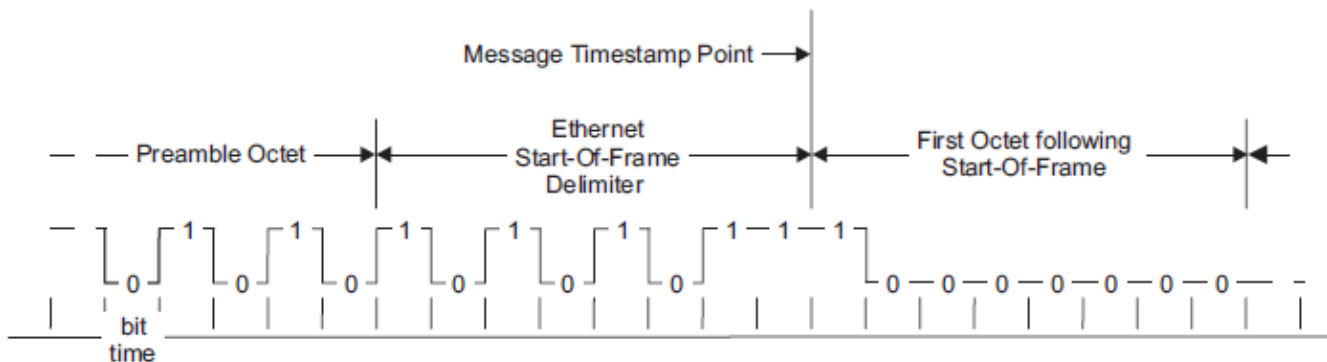


図 7-2. IEEE 1588 メッセージ タイムスタンプ ポイント

SFD パルス出力は、GPIO マルチプレクサ制御レジスタ GPIO_MUX_CTRL (レジスタ アドレス 1E0h) を使用して設定できます。SFD を出力できるようにするには、RXCFG (レジスタ アドレス 134h) の ENHANCED_MAC_SUPPORT ビットも設定する必要があります。

7.3.2.1 SFD レイテンシの変動と確定性

RGMII の RX_CTRL 信号と TX_CTRL 信号を使用したパケット送受信のタイムスタンプは、レイテンシに敏感なプロトコルには十分な精度がありません。SFD パルスにより、システム設計者はパケットのタイムスタンプの精度を向上させることができます。SFD パルスは、RGMII 信号に比べて本質的に変動が少ないものの、1000BASE-T の定義されたアーキテクチャによりレイテンシの変動が生じます。このセクションでは、SFD レイテンシの変動が発生したタイミングを判定する方法と、システムソフトウェアで変動を補償してタイムスタンプの精度を向上させる方法を説明します。

次のセクションでは、ベースライン レイテンシと SFD 変動という用語が使用されます。ベースライン レイテンシは、4 つのペアすべてが伝搬時間内に完全に一致したイーサネット ケーブルを想定して、接続されたリンク パートナーの TX_SFD パルスから RX_SFD パルスまでの間で測定される時間です。4 つのペアすべてが完全に一致しているシナリオでは、1000BASE-T PHY はワイヤ上の 4 つの受信シンボルを整列させる必要がなく、整列による追加のレイテンシは発生しません。

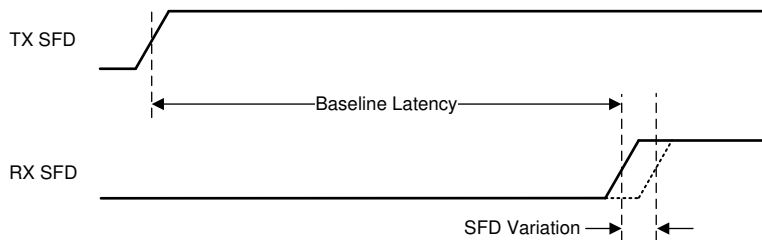


図 7-3. レイテンシ測定でのベースライン レイテンシと SFD 変動

SFD 変動は、PHY がイーサネット ケーブルからの 4 つのシンボルを整列させるためにレイテンシを発生させる必要がある場合、RX_SFD パルスの前にベースライン レイテンシに追加される時間です。ケーブル接続、オートネゴシエーションの再起動、PHY リセット、またはその他の外部システム効果のいずれかによって新しいリンクが確立されたときに、変動が発生する可能性があります。単一の中断のないリンクの間は、SFD 変動は一定のままです。

DP83869HM は、1000Mb 動作モード時に SFD パルスに適用される変動を制限し、報告できます。1000Mb モードでリンクが確立される前に、同期 FIFO 制御レジスタ (レジスタ アドレス E9h) を 0xDF22 の値に設定する必要があります。以下の SFD 変動補償方法は、同期 FIFO 制御レジスタが初期化され、新しいリンクが確立された後でのみ適用できます。リンクがすでに存在する場合、同期 FIFO 制御レジスタの値を設定した後、制御レジスタ (レジスタ アドレス 1Fh) の SW_RESTART ビット [14] を設定してソフトウェア再起動を実行することができます。

7.3.2.1.1 リーダー モードでの 1000Mb SFD の変動

DP83869HM が 1000Mb リーダー モードで動作している場合、RX_SFD パルスの変動は、スキュー FIFO ステータスレジスタ (レジスタ アドレス 55h) のビット [7:4] を使用して推定できます。ベースライン レイテンシに加わる RX_SFD の変動を推定するには、スキュー FIFO ステータスレジスタのビット [7:4] から読み取った値に 8ns を乗じる必要があります。

例: 1000Mb のリーダー モードでの動作時、スキュー FIFO レジスタのビット [7:4] から 0x2 の値が読み取られます。TX_SFD から RX_SFD までの測定値から $2 \times 8\text{ns} = 16\text{ns}$ を減算し、ベースライン レイテンシを決定します。

7.3.2.1.2 フォロワー モードでの 1000Mb SFD の変動

DP83869HM が 1000Mb フォロワー モードで動作している場合、RX_SFD パルスの変動は、スキュー FIFO ステータスレジスタ (レジスタ アドレス 55h) ビット [3:0] を使用して決定できます。ベースライン レイテンシに加算された RX_SFD の変動を推定するには、スキュー FIFO ステータスレジスタ ビット [3:0] から読み出された値に 8ns を乗算する必要があります。

例: 1000Mb フォロワー モードで動作しているときは、スキュー FIFO レジスタ ビット [3:0] から 0x1 の値が読み取られます。TX_SFD から RX_SFD までの測定値から $1 \times 8\text{ns} = 8\text{ns}$ を減算し、ベースライン レイテンシを決定します。

7.3.2.1.3 100Mb SFD の変動

100Mb 動作モードでのレイテンシの変動はランダムなプロセスによって決定され、レジスタの読み出しや SFD パルスのシステム レベルの補償は必要ありません。

7.3.3 クロック出力

DP83869HM には、ローカル基準クロック、イーサネット送信クロック、イーサネット受信クロックなど、複数の内部クロックがあります。外部水晶振動子または発振器は、ローカル基準クロックにステイミュラスを提供します。ローカル基準クロックは、デバイス内のすべてのクロックの中央ソースとして機能します。

ローカル基準クロックは、送信ネットワーク パケットトラフィックに組み込まれ、レシーバ ノードのネットワーク パケットトラフィックから回復されます。受信クロックは、受信されたイーサネット パケットのデータ ストリームから回復され、パートナーの送信クロックにロックされます。

I/O 構成レジスタ (アドレス 170h) を使用して、DP83869HM は、CLK_OUT ピンを介してこれらの内部クロックを出力するように構成できます。デフォルトでは、出力クロックは XI 発振器 / 水晶振動子入力と同期しています。デフォルト出力ク

ロックは、他の DP83869HM デバイスの基準クロックとして使用するように設計されています。レジスタにより、出力クロックは、125MHz のデータレートで受信データと同期するか、25MHz の 5 分周レートで同期するように構成できます。出力クロックは、ラインドライバの送信クロックを出力するように構成することもできます。1000Base-T モードで動作している場合、4 つの送信チャンネルまたは受信チャンネルのいずれかに出力クロックを構成できます。

DP83869HM のクロック出力を、デイジーチェーン接続の 2 つの DP83869HM など、別のデバイスのクロック入力として使用する場合は、プライマリ DP83869HM をリセットピンでリセットしないでください。リセットが必要な場合は、ソフトウェアを使用してリセットを実行する必要があります。出力クロックは、I/O 構成レジスタの CLK_O_DISABLE ビットを使用して無効化できます。

7.3.4 ループバック モード

PHY 内の各種機能ブロックをテストおよび検証するループバックには、複数のオプションがあります。ループバック モードを有効化すると、デジタルおよびアナログ データパスのインサーキットテストが可能となります。一般に、DP83869HM は、ニアエンド ループバックモードのいずれか、またはファー エンド (リバース) ループバックのいずれかに構成できます。MII ループバックは、BMCR (レジスタ アドレス 0h) を使って構成されます。その他のすべてのループバックモードは、BIST_CONTROL (レジスタ アドレス 16h) を使用して有効化します。特に記述のない限り、ループバックモードはすべての速度 (10/100/1000) およびすべての MAC インターフェイス (SGMII および RGMII) でサポートされます。

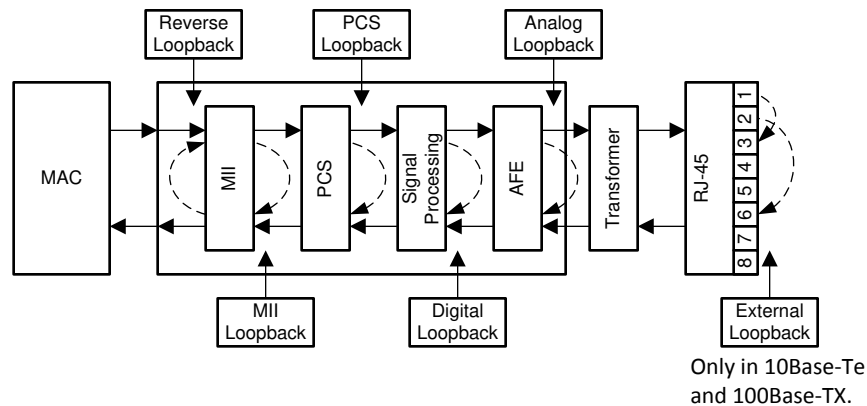


図 7-4. ループバック

7.3.4.1 ニアエンド ループバック

ニアエンド ループバックは、デジタル回路またはアナログ回路を経由して、送信したデータをレシーバにループバックする機能を提供します。信号がループバックされるポイントは、複数のオプションを持つループバック制御ビットによって選択されます。

ループバックモードを設定する場合、アドレス FEh のループバック構成レジスタ (LOOPCR) を 0xE720 に設定する必要があります。

目的の動作モードを維持するには、ニアエンド ループバックモードを選択する前にオートネゴシエーションを無効化する必要があります。この制約は、外部ループバックモードには適用されません。

ニアエンド ループバックモードを選択する前に、Auto-MDIX を無効化する必要があります。MDI または MDIX の設定は手動で行う必要があります。

7.3.4.1.1 MII のループバック

MII のループバックは、PHY を介した最も浅いループです。MII ループバックは MAC と PHY の間の通信を検証するには、便利なテストモードです。MII ループバックモードでは、データがループバックされ、レジスタを介してメディアに送信されるように構成できます。100Base-TX モードでは、MII ループバックをレジスタ 0h で有効にした後、MII ループバックを適切に動作させるため、レジスタ 16h に 0x4 を書き込みます。

7.3.4.1.2 PCS のループバック

PCS ループバックは、PHY の PCS 層で発生します。PCS ループバックを使用する場合、信号処理は実行されません。

7.3.4.1.3 デジタル ループバック

デジタル ループバックには、デジタル送信から受信までの全パスが含まれます。アナログ回路の前にデータがループバックされます。

7.3.4.1.4 アナログ ループバック

アナログ ループバックには、アナログ送受信パス全体が含まれています。アナログ ループバック モードでの適切な動作のためには、銅線モードで動作する場合は 100Ω の終端を銅線側に接続し、ファイバ モードで動作する場合は 100Ω の終端をファイバ側に接続します。

7.3.4.1.5 外部ループバック

10BASE-Te または 100Base-T モードで動作している場合、送信ピンを受信ピンに配線することによって、信号を RJ-45 コネクタでループバックできます。1000Base-T モードでの信号伝達の性質上、このタイプの外部ループバックはサポートされていません。アナログ ループバックにより、1000Base-T モードで動作している場合にアナログ回路にデータをループバックすることができます。

7.3.4.1.6 ファーエンド (リバース) ループバック

ファー エンド (リバース) ループバックは、リンク パートナー側からの PHY テストを可能にするための特別なテスト モードです。このモードでは、リンク パートナーから受信したデータは PHY のレシーバを通過し、MAC インターフェイスでループバックされてからリンク パートナーに送信されます。リバース ループバック モードでは、MAC からのすべてのデータ信号が無視されます。レジスタの構成により、データを MAC インターフェイスへ送信することもできます。

ループ バックの可用性は、PHY の動作モードによって異なります。これらのループバック モードのリンク ステータスも、動作モードの影響を受けます。表 7-2 に、ループバックが使用できない例外を示します。

表 7-2. ループバックの可用性の例外

動作モード	ループ バック	例外
銅	PCS	10M
ファイバ	MII	100M
	PCS	100M
	アナログ	100M、1000M
SGMII から RGMII へ	PCS	10M、100M、1000M
	デジタル	10M、100M、1000M
	アナログ	10M、100M、1000M
	外部	10M、100M、1000M
RGMII から SGMII へ	PCS	10M、100M、1000M
	外部	10M、100M、1000M
メディア コンバータ	MII	100M、1000M
	アナログ	ファイバ インターフェイスで 100m
	外部	ファイバ インターフェイスで 100m
		銅線インターフェイスで 100m、1000M

7.3.5 BIST の構成

本デバイスは、内部 PRBS 内蔵セルフ テスト (BIST) 回路を備えており、インサーキット テストまたは診断に対応しています。BIST 回路を使用して、送信および受信データ パスの整合性をテストできます。BIST は、内部ループバック (デジタルまたはアナログ) および、ケーブル治具を使用した外部ループバックのいずれでも実行できます。BIST は、実際のパケ

ット形式およびパケット間ギャップ (IPG) 形式の疑似ランダムなデータ転送シナリオを、回線上でシミュレートします。BIST により、パケット長と IPG を完全に制御できます。

BIST には、独立した送信および受信パスが実装されており、送信ブロックは疑似ランダム シーケンスの連続ストリームを生成します。デバイスは、BIST 用に 15 ビット疑似ランダム シーケンスを生成します。受信データは、BIST の線形帰還シフトレジスタ (LFSR) によって生成された疑似ランダム データと比較され、BIST の合否が判定されます。PRBS チェッカが受信したエラー バイト数は、PRBS_TX_CHK_CTRL レジスタ (39h) に格納されます。PRBS チェッカが入力される受信ビット ストリームにロックされているかどうか、PRBS が同期を失ったかどうか、パケット ジェネレータがビジーであるかどうかのステータスは、GEN_STATUS2 レジスタ (17h) から読み取ることができます。ロックおよび同期の表示は、適切なデータ受信の開始を識別するために必要ですが、リンク障害やデータ破損については、PRBS_TX_CHK_CTRL レジスタ (39h) のエラー カウンタの内容が最適な指標となります。受信したバイト数は、PRBS_TX_CHK_BYTE_CNT (3Ah) に格納されます。

PRBS テストは、BIST_CONTROL レジスタ (16h) を使用して連続モードに設定できます。連続モードでは、PRBS カウンタのいずれかが最大値に達すると、カウンタは再びゼロからカウントを開始します。ブリッジ モードにおいて PRBS モードは適用されないため、使用しないでください。

BIST 構成例:

1. デジタル ループバックを有効化します
 - a. レジスタ 0x00FE に 0xE720 を書き込みます
 - b. レジスタ 0x0000 に 0x0140 を書き込みます
 - c. レジスタ 0x0010 に 0x5028 を書き込みます
 - d. レジスタ 0x0016 に 0x0004 を書き込みます
2. リンク アップを待ちます
 - a. ケーブルが接続されているかどうかにかかわらず、PHY リンク ステータスは High になります。
3. 銅線側に対して PRBS 送信およびチェッカを有効化します
 - a. レジスタ 0x00016 に 0xF004 を書き込みます
4. PRBS ロックを待ちます
 - a. レジスタ 0x0017[11] が High に遷移するのを待ちます
5. パケット統計値を読み取ります
 - a. レジスタ 0x0072 に 0x0201 を書き込んで、統計値をラッチします
 - b. 以下のレジスタを読み取ります
 - i. 0x0071 (PRBS バイト カウント)
 - ii. 0x0072 (ビット [7:0] エラー カウント)
 - iii. 0x01A8 (パケット カウント)
 - iv. 0x01A9 (パケット カウント)

7.3.6 割り込み

DP83869HM は、内部ステータスの変化が発生した場合に割り込みを生成するように構成できます。この割り込みにより、PHY レジスタをポーリングせずに、PHY のステータスに応じて MAC を動作させることができます。割り込みソースは、割り込みレジスタの MICR (12h) と FIBER_INT_EN (C18h) を使用して選択できます。割り込みステータスは、ISR (13h) および FIBER_INT_STTS (C19h) レジスタから読み出すことができます。一部の割り込みはデフォルトで有効になっており、レジスタ アクセスにより無効化できます。保留中の割り込みをクリアするには、両方の割り込みステータス レジスタを読み出す必要があります。保留中の割り込みがクリアされるまで、新しい割り込みは割り込みピンにルーティングされません。

7.3.7 省電力モード

DP83869HM は、4 つの省電力モードをサポートしています。詳細は以下のとおりです。

7.3.7.1 IEEE パワーダウン

PHY はパワーダウンされますが、MDIO-MDC ピンを介した PHY へのアクセスは維持されます。このモードは、外部 PWDN ピンをアサートするか、BMCR (レジスタ 0h) のビット 11 を設定することでアクティブにできます。

PHY は、パワー サイクル、ソフトウェア リセット、または BMCR レジスタのビット 11 のクリアにより、このモードから復帰できます。ただし、外部 PWDN ピンをデアサートする必要があります。PWDN ピンがアサートされたままになると、PHY はパワーダウン状態のままとなります。

7.3.7.2 アクティブスリープ

このモードでは、すべてのデジタル ブロックおよびアナログ ブロックがパワーダウンします。リンク パートナーが検出されると、PHY は自動的にパワーアップされます。このモードは、リンク パートナーがダウンしているか非アクティブになっているが、PHY をパワーダウンできない場合に電力を節約するのに便利です。アクティブ スリープ モードでは、PHY は引き続き NLP をリンク パートナーに定期的に送信します。このモードは、PHYCR (レジスタ 10h) のビット [9:8] に 10b を書き込むことでアクティブにできます。Auto-MDIX がオンの場合、スリープ モードは使用できません。

7.3.7.3 パッシブスリープ

これは、PHY が NLP を送信しない点を除けば、アクティブ スリープと同様です。このモードは、PHYCR (レジスタ 10h) のビット [9:8] に 11b を書き込むことで有効にできます。Auto-MDIX がオンの場合、スリープ モードは使用できません。

7.3.8 ミラー モード

一部のアプリケーションでは、ケーブル コネクタの向きにより、銅線 PMD パターンを相互に交差させる必要が生じる場合があります。これにより、基板レイアウトが複雑になります。DP83869HM は、デバイス内のポート ミラーリングを実装することで、この問題を解決します。

10/100 動作時のポート ミラーリングのマッピングを、表 7-3 に示します。100Mbps モードでミラー モードを使用する場合、ユーザーはレジスタ 0xA1 を読み取り、その値をレジスタ A0h に書き込むことが推奨されます。

表 7-3. 10/100 動作時のミラー ポート設定

MDI モード	ミラー ポートの設定
MDI	A → D
	B → C
MDIX	A → D
	B → C

ギガビット動作時のポート ミラーリングのマッピングを、表 7-4 に示します。

表 7-4. ギガビット動作時のミラー ポートの設定

MDI モード	ミラー ポートの設定
MDI または MDIX	A → D
	B → C
	C → B
	D → A

ミラー モードは、ストラップにより、または CFG4 レジスタ (アドレス 31h) のポート ミラー イネーブル ビットを使用してレジスタ設定を行うことで有効化できます。ミラー モードでは、信号の極性も反転します。

7.3.9 速度の最適化

速度の最適化 (リンク ダウンシフトとも呼ばれます) によって、ギガビット リンクの確立で複数回連続して失敗した後、100M 動作にフォールバックできます。このようなケースは、8 本のワイヤ (4 本のツイストペア) を持つ標準ケーブルの代わりに 4 本のワイヤ (2 本のツイストペア) を持つケーブルが接続されている場合に発生する可能性があります。

100M 動作にフォールバックするまでのリンク試行失敗回数は設定可能です。デフォルトでは、100M に戻る前に、4 回のリンク試行失敗が必要です。

拡張モードでは、C および D チャンネルでエネルギーが検出されない場合、リンク試行が 1 回失敗した後、100M にフォールバックすることがあります。速度の最適化は、ギガビットおよび 100M モードでリンク確立に失敗した場合の 10M へのフォールバックもサポートします。

速度の最適化は、レジスタ設定により有効にできます。

7.3.10 ケーブル診断

イーサネット デバイスは広く導入されていることから、信頼性が高く包括的で、かつユーザーに配慮したケーブル診断ツールに対するニーズがこれまで以上に高まっています。さまざまな種類のケーブル、トポロジ、コネクタが導入されるため、コードの実行に影響を与えずにケーブル障害の識別と報告を行う必要があります。DP83869HM には、ケーブル診断用の時間領域反射率測定 (TDR) 機能が用意されています。

7.3.10.1 TDR

DP83869HM は、時間領域反射率測定 (TDR) を使用して、ケーブル長の推定の他に、ケーブル、コネクタ、終端の品質を判定します。診断され得る問題としては、オープン、短絡、ケーブル インピーダンスの不一致、コネクタの不良、終端の不一致、クロス フォルト、クロス ショート、およびケーブル上のその他の非連続性などが挙げられます。

DP83869HM は、接続されているケーブルの 2 ペアごとに、既知の振幅を持つテスト パルスを送信します。送信された信号はケーブルに沿って進み、各ケーブルの欠陥、故障、不良コネクタ、ケーブルの終端から反射します。パルス送信後、DP83869HM は、これらすべての反射パルスの戻り時間と振幅を測定します。この手法により、終端されていないケーブル (オープンまたはショート)、非連続性 (不良コネクタ)、不適切に終端されたケーブル、クロス配線について、その位置までの距離と大きさ (インピーダンス) を $\pm 1\text{m}$ の精度で測定できます。

また DP83869HM は、データ平均化を使用して、ノイズの低減や精度の向上を実現しています。DP83869HM では、テスト対象のペア内で最大 5 つの反射を記録できます。5 つを超える反射が記録された場合、DP83869HM はそのうち最初の 5 つを保存します。クロス フォルトが検出されると、TDR はクロス フォルトの最初の位置と、テスト対象チャンネル内の最大 4 つの反射を保存します。DP83869HM TDR は、100m を超える長さのケーブルを測定できます。

すべての TDR 測定において、外部ホストによる簡単な計算 (乗算、加算、ルックアップ テーブルなど) を使用して、到着時刻と物理距離の変換が行われます。ホストは、ケーブルの予想伝播遅延を認識する必要があります。これは、ケーブル カテゴリ (CAT5、CAT5e、CAT6 など) によって異なります。

DP83869HM では、以下の状況下で TDR 測定が可能です。

- リンク パートナーが接続解除されている状態 (ケーブルの反対側が接続されていない状態)
- リンク パートナーは接続されているが、「休止」のままの状態 (パワーダウン モード時など)
- TDR は、リンクが失敗またはドロップされた場合、レジスタ 9h (CFG1) のビット 7 を設定することで、自動的に有効にすることができます。リンクが失敗した後に実行された TDR の結果は、TDR レジスタに保存されます。

ソフトウェアはこれらのレジスタをいつでも読み取ることができ、TDR 結果に後処理を施すことが可能です。このモードは、ケーブルの切断によってリンクがドロップされた場合を想定して設計されています。たとえば、リンク障害の発生後は、TDR が正常に機能できるように回線が休止状態になります。

7.3.11 高速リンク ドロップ

DP83869HM には高度なリンク ダウン機能があり、さまざまなリアルタイム アプリケーションをサポートしています。リンク ダウン メカニズムは構成可能であり、リンクドロップに対する非常に高速な応答を可能にする拡張モードを搭載しています。

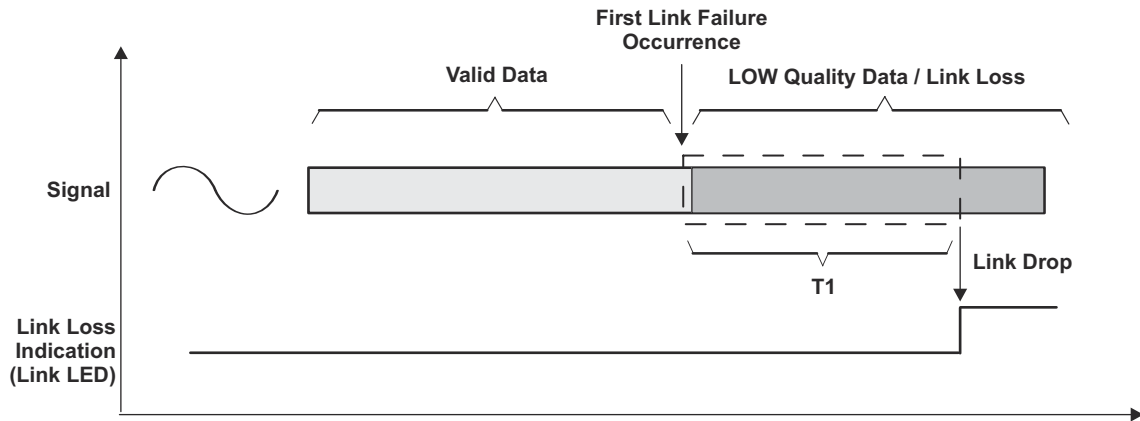


図 7-5. 高速なリンク ドロップ メカニズム

図 7-5 で説明しているように、リンク損失メカニズムは、信号動作を監視する時間ウィンドウの検索期間に基づいています。T1 ウィンドウはデフォルトで設定されており、標準的なリンク ドロップを 100M では 1ms 未満、1000M モードでは 0.5ms に低減します。

DP83869HM は、高速リンク ダウン モードと呼ばれる、ウィンドウを短縮する拡張モードをサポートしています。このモードでは、T1 ウィンドウは大幅に短縮されます (ほとんどの場合、10 μ s 未満)。この期間では、リンク損失イベントの生成とリンクのドロップを許可するいくつかの基準があります。

1. デスクランブラ同期の損失
2. 受信エラー
3. MLT3 エラー
4. 平均二乗誤差 (MSE)
5. エネルギー損失

高速リンク ダウン機能により、これらの各オプションを個別に、または任意の組み合わせで使用できます。このモードでは応答時間が非常に短くなるため、デバイスが一時的なリンク品質の低下といった状況にさらされやすくなることに注意してください。

7.3.12 ジャンボ フレーム

従来のイーサネットフレームの最大サイズは約 1518 バイトです。ジャンボ フレームは、1518 バイトよりも大きいサイズの特殊なパケットであり、多くの場合、数千バイトの範囲になります。ジャンボ フレームを使用すると、イーサネットシステムは 1 つのフレームで大規模なデータ チャンクを転送できるため、プロセッサのオーバーヘッドを低減し、帯域幅効率を向上させることができます。DP83869 は、1000Mbps および 100Mbps の速度においてジャンボ フレームをサポートしています。

7.4 デバイスの機能モード

7.4.1 銅線イーサネット

7.4.1.1 1000BASE-T

DP83869HM は、IEEE 802.3 規格で定義されている 1000BASE-T 規格をサポートしています。1000M モードでは、PHY は通信に 4 つの MDI チャンネルを使用します。1000BASE-T はオートネゴシエーション モードで動作できます。PHY は、レジスタ設定 (セクション 7.4.8) またはストラップ設定 (セクション 7.5.1.2) により、1000BASE-T に構成できます。

7.4.1.2 100BASE-TX

DP83869HM は、IEEE 802.3 規格で定義されている 100BASE-TX 規格をサポートしています。100M モードでは、PHY は通信に 2 つの MDI チャンネルを使用します。100BASE-TX は、オートネゴシエーション モードまたは強制モードで動作できます。100BASE-TX では、PHY はレジスタ設定 (セクション 7.4.8) またはストラップ設定 (セクション 7.5.1.2)

を使用して構成できます。DP83869 を強制 100Base-TX モードで使用する場合、PHY はレジスタ 1Eh から堅牢な Auto-MDIX 機能を有効にする必要があります。

7.4.1.3 10BASE-Te

DP83869HM は、IEEE 802.3 規格で定義されている 10BASE-Te 規格をサポートしています。100M モードでは、PHY は通信に 2 つの MDI チャネルを使用します。10BASE-Te は、オートネゴシエーション モードまたは強制モードで動作できます。PHY は、レジスタ設定 (セクション 7.4.8) またはストラップ設定 (セクション 7.5.1.2) により、10BASE-Te に構成できます。

7.4.2 ファイバーサネット

7.4.2.1 1000BASE-X

DP83869HM は、IEEE 802.3 規格で定義されている 1000Base-X ファイバーサネット プロトコルをサポートしています。1000M ファイバ モードでは、PHY は通信に 2 つの差動チャネルを使用します。ファイバ モードでは、速度は自動ネゴシエーションによって決定されません。リンクの両側を同じ動作速度に設定する必要があります。PHY は、レジスタ設定 (セクション 7.4.8) またはストラップ設定 (セクション 7.5.1.2) を使用して 1000BASE-X で動作するように構成できます。

7.4.2.2 100BASE-FX

DP83869HM は、IEEE 802.3 規格で定義されている 100Base-FX ファイバーサネット プロトコルをサポートしています。100M ファイバ モードでは、PHY は通信に 2 つの差動チャネルを使用します。ファイバ モードでは、速度は自動ネゴシエーションによって決定されません。リンクの両側を同じ動作速度に設定する必要があります。PHY は、レジスタ設定 (セクション 7.4.8) またはストラップ設定 (セクション 7.5.1.2) を使用して 100BASE-X で動作するように構成できます。

7.4.3 Serial GMII (SGMII)

シリアル ギガビット メディア独立インターフェイス (SGMII) は、100/1000 PHY と MAC の間で、GMII (24 ピン) または RGMII (12 ピン) に必要な信号ピン数よりも大幅に少ない信号ピン (4 ピンまたは 6 ピン) でネットワーク データとポート速度を伝送する手段を提供します。SGMII インターフェイスは 1.25Gbps の LVDS 差動信号を使用します。この信号は、GMII または RGMII と比較して EMI 放射を低減するという追加の利点があります。

DP83869HM の内部クロック / データ リカバリ回路 (CDR) は、SGMII データの送信タイミングを検出できるため、TX_CLK は不要です。DP83869HM は 4 線式 SGMII モードのみをサポートします。送信および受信接続には、2 つの差動ペアが使用されます。クロック / データ リカバリは MAC および PHY で実行されるため、クロック処理のための追加の差動ペアは不要です。

100Mbps および 10Mbps での動作の場合、SGMII の 1.25Gbps のレートは過剰です。PHY は、100Mbps モードで動作している場合は各フレーム バイトを 10 回複製することでフレームを伸張し、10Mbps モードで動作している場合は各フレーム バイトを 100 回複製することでフレームを伸張します。フレームの伸張は IEEE 802.3 PCS 層の上で行われ、フレームの開始区切り文字が複数回表示されないようにします。

SGMII インターフェイスには、オート ネゴシエーション機能があります。オート ネゴシエーションは、PHY と MAC の間で制御情報を交換するメカニズムを提供します。これにより、MDI 側のメディア速度モード解像度に基づいてインターフェイスを自動構成できます。MAC のループバック モードでは、SGMII 速度は MDI 速度の選択によって決定されます。SGMII インターフェイスは、MAC のループバック動作中、オート ネゴシエーション モードと強制速度モードの両方で動作します。デフォルトの動作モードは SGMII のオート ネゴシエーションです。

SGMII のオート ネゴシエーション プロセスを無効化して、SGMII の速度モードを強制的に MDI の解決速度に設定できます。SGMII の強制速度モードは、MDI のオート ネゴシエーションまたは MDI の手動速度モードを使用して有効化できます。SGMII のオート ネゴシエーションは、CFG2 レジスタ (アドレス 14h) の SGMII_AUTONEG_EN レジスタ ビットを使用して無効化できます。

10M SGMII 動作を有効にするには、10M_SGMII_CFG レジスタ (16Fh) の 10M_SGMII_RATE_ADAPT ビット (ビット 7) をクリアする必要があります。

SGMII は抵抗ストラップ オプションを使用して有効化されます。詳細については、セクション 7.5.1 を参照してください。

すべての SGMII 接続は、0.1 μ F コンデンサを介して AC 結合する必要があります。

図 7-6 に、4 線式 SGMII のピン配置を示します。

注

MII 分離 (レジスタ 0h のビット 10) は、SGMII ピンを絶縁しません。SGMII ピンの絶縁のために、レジスタ 1DFh を使用して SGMII を無効化できます。

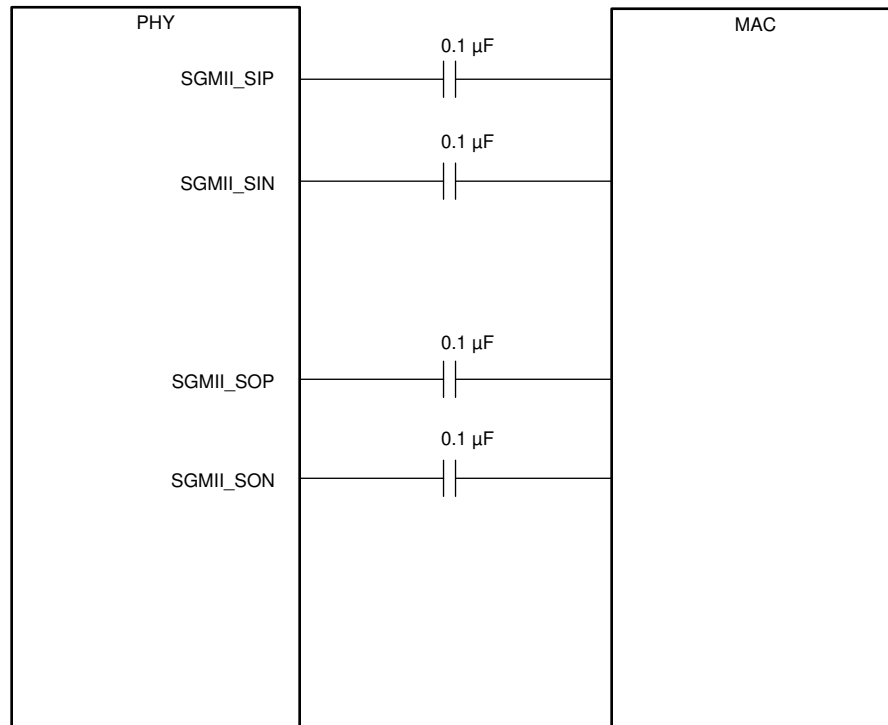


図 7-6. SGMII 4 ワイヤ接続

7.4.4 Reduced GMII (RGMII)

RGMII (Reduced Gigabit Media Independent Interface) は、MAC と PHY の相互接続に必要なピン数を減らすように設計されています (RGMII では 12 ピン、GMII では 24 ピン)。この目標を達成するため、データ パスと関連するすべての制御信号を削減し、多重化します。クロックの立ち上がりエッジと立ち下がりエッジの両方が使用されます。ギガビット動作の場合、GTX_CLK クロックと RX_CLK クロックは 125MHz であり、10Mbps および 100Mbps 動作の場合、クロック周波数はそれぞれ 2.5MHz と 25MHz です。

RGMII タイミングの詳細については、『[RGMII インターフェイスのタイミング バジレット](#)』アプリケーション ノートを参照してください。

7.4.4.1 1000Mbps モードの動作

すべての RGMII 信号は正論理です。8 ビットのデータは、両方のクロック エッジを利用して多重化されます。下位 4 ビットは立ち上がりクロック エッジでラッチされ、上位 4 ビットは立ち下がりクロック エッジでラッチされます。制御信号は、同じ手法を使用してシングル クロック サイクルに多重化されます。

RGMII インターフェイスの消費電力を低減するため、(TX_EN - TX_ER) と (RX_DV - RX_ER) は、通常のネットワーク動作時の遷移を最小限に抑えるようにエンコードされています。TX_CTRL ピンは、GTX_CLK の立ち上がりエッジでの TX_EN を表し、GTX_CLK の立ち下がりエッジでの TX_EN と TX_ER の論理導出を表します。RX_CTRL は、

RX_CLK の立ち上がりエッジでの RX_DV を表し、RX_CLK の立ち下がりエッジでの RX_DV および RX_ER の論理導出を表します。TX_CTRL および RX_CTRL のエンコードを式 1 および式 2 に示します。

$$\text{TX_CTRL} = \text{GMII_TX_ER (XOR) GMII_TX_EN} \quad (1)$$

ここで、

- GMII_TX_ER と GMII_TX_EN は、GMII 標準の論理等価信号です。

$$\text{RX_CTRL} = \text{GMII_RX_ER (XOR) GMII_RX_DV} \quad (2)$$

ここで、

- GMII_RX_ER と GMII_RX_DV は、GMII 標準の論理等価信号です。

エラーのない有効なフレームを受信すると、RX_CLK の立ち上がりエッジでロジック High として RX_CTRL = True が生成され、RX_CLK の立ち下がりエッジでロジック High として RX_CTRL = False が生成されます。フレームが受信されない場合、RX_CLK の立ち上がりエッジでロジック Low として RX_CTRL = False が生成され、RX_CLK の立ち下がりエッジでロジック Low として RX_CTRL = False が生成されます。

TX_CTRL も同様の方法で設定します。通常のフレーム送信中、信号は GTX_CLK の両方のエッジに対してロジック High に維持され、エラーが示されていないフレームとフレームの間中は、両方のエッジで Low に維持されます。

7.4.4.2 1000Mbps モードのタイミング

DP83869HM は、GTX_CLK と RX_CLK に構成可能なクロック スキューを提供し、インターフェイス全体のタイミングを最適化します。送信パスと受信パスは、個別に最適化できます。送信パスと受信パスは、どちらもレジスタ設定により、16 のプログラマブル RGMII 遅延モードをサポートしています。

タイミング パスは、整列モードまたはシフトモードのいずれかに設定できます。整列モードでは、クロック スキューは発生しません。シフトモードでは、クロック スキューは 0.5ns 刻みまたは (レジスタ設定によって) 0.25ns 刻みで発生させることができます。整列モードまたはシフトモードの設定は、RGMII 制御レジスタ (RGMIICTL) のアドレス 32h によって行われます。シフトモードでは、クロック スキューは RGMII 遅延制御レジスタ (RGMIIIDCTL) のアドレス 86h を使用して調整できます。デフォルトでは、RGMII シフトモードが有効になっています。送信信号と受信信号は両方とも 2ns 遅延します。

7.4.4.3 10 および 100Mbps モード

RGMII インターフェイスが 100Mbps モードで動作しているとき、RGMII クロック レートは 25MHz に低下します。10Mbps 動作の場合、クロックはさらに 2.5MHz に低下します。RGMII 10/100 モードでは、送信クロック RGMII の TX_CLK は MAC によって生成され、受信クロック RGMII の RX_CLK は PHY によって生成されます。パケット受信動作中、フリーランニング クロックからデータ同期クロックドメインへの遷移に対応するために、RGMII の RX_CLK は正パルスまたは負パルスのいずれかでストレッチされる場合があります。PHY の速度が変化する場合も、正パルスまたは負パルスの同様のストレッチが許容されます。クロック速度遷移中、クロック信号にグリッチは許容されません。

このインターフェイスは、インターフェイスが 1000Mbps モードの場合と同じように 10 および 100Mbps の速度で動作しますが、適切なクロックの立ち下がりエッジでデータを複製できる点が異なります。

MAC が PHY と同じ速度で動作していることを確認するまで、MAC は RGMII の TX_CLK を Low に保持します。

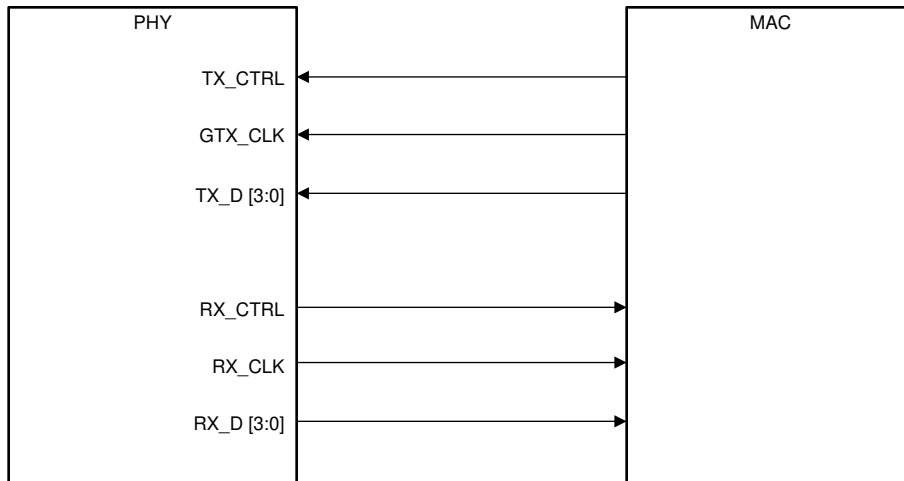


図 7-7. RGMII の接続

7.4.5 MII (Media Independent Interface)

DP83869HM は、PHY が 100M および 10M の速度で動作している場合も、MII モードをサポートします。ユーザーは、PHY が 100Mbps または 10Mbps のいずれかのモードでリンクするようする必要があります。MII モードは、1000Mbps モードでは使用できません。自動ネゴシエーションを使用して MDI 速度を決定する場合、PHY が 1000Mbps の速度でリンク アップしないように、レジスタ 0x9 を通じてギガビット速度のアドバタイズを無効にすることを TI は推奨します。メディア独立インターフェイスは、100BASE-FX、100BASE-TX、10BASE-Te モードにおいて、PHY を MAC に接続する同期 4 ビット幅のニブル データ インターフェイスです。レジスタ 18h を 0xE と等しくなるように設定することで、RX_ER 信号を適切に多重化する必要があります。MII は IEEE 802.3-2002 条項 22 に完全準拠しています。

表 7-5 に、MII 信号のまとめを示します。

表 7-5. MII 信号

機能	ピン
データ信号	TX_D[3:0]
	RX_D[3:0]
信号の送受信	TX_EN, TX_ER
	RX_DV, RX_ER

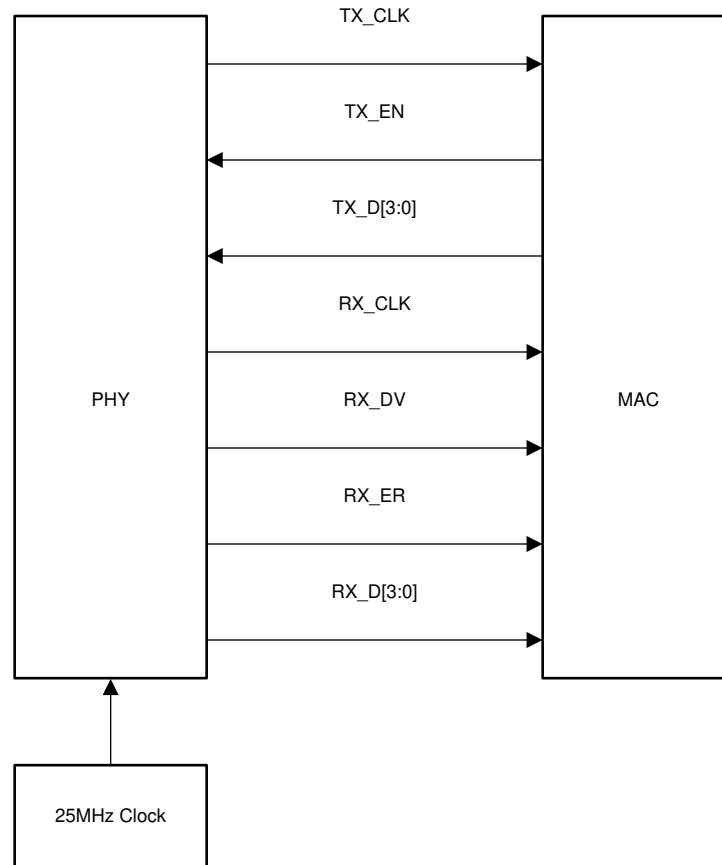


図 7-8. MII シグナリング

注

MII モードは、ストラップだけでは有効化できません。レジスタの設定も必要です。

DP83869HM を MII モードに設定する手順:

1. レジスタ 0x18 に 0xE を書き込みます
2. MDI インターフェイスを選択します
 - a. 銅:
 - i. レジスタ 0x1DF に 0x60 を書き込みます
 - b. ファイバ:
 - i. レジスタ 0x1DF に 0x62 を書き込みます
3. 表 7-6 に従って DP83869HM のストラップを設定します

表 7-6. MII モードのストラップ表

ピン名	ストラップ名	ピン番号	ピン ストラップ接続
JTAG_TDO / GPIO_1	OPMODE_0	22	オープン
RX_D3	OPMODE_1	36	MII から銅線へ: オープン MII からファイバへ: 2.49kΩ (VDDIO にプルアップ)

表 7-6. MII モードのストラップ表 (続き)

ピン名	ストラップ名	ピン番号	ピンストラップ接続
RX_D2	OPMODE_2	35	オープン

7.4.6 ブリッジモード

DP83869HM はブリッジモードをサポートしており、2 種類の MAC インターフェイスタイプ間でデータを変換します。ブリッジモードは、ストラップまたはレジスタ構成により有効になります。DP83869HM でサポートされているブリッジモードは、次の 2 種類です。

- RGMII-to-SGMII モード
- SGMII-to-RGMII モード

7.4.6.1 RGMII-to-SGMII モード

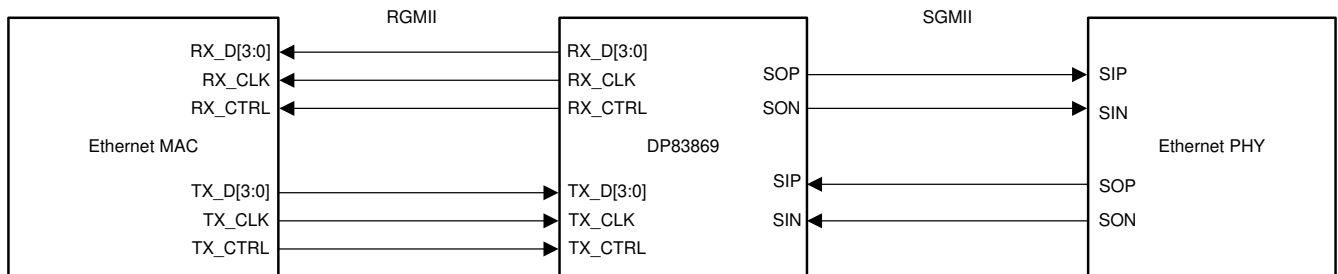


図 7-9. DP83869HM RGMII-to-SGMII ブリッジ

RGMII-to-SGMII モードでは、イーサネット MAC は DP83869HM の RGMII ピンに接続され、PHY は DP83869 の SGMII ピンに接続されます。このモードでは、DP83869HM は SGMII を自動モードに設定します。自動モードでは、RGMII 側は SGMII 側のリンクアップ速度に自動的に調整されます。PHY がリンクを持たない場合、RGMII クロック周波数は 2.5MHz にデフォルト設定されます。

PHY 側で自動ネゴシエーションが完了すると、SGMII インターフェイスを経由して DP83869HM にリンク機能が伝達されます。ただし、この情報は RGMII のインバンドシグナリングと RX_CLK の調整を通じてイーサネット MAC に伝達されます。MAC は、この情報を DP83869 から読み取ることもできます。

ブリッジモードでは、DP83869HM SMI は MAC のフォロワーモードとして動作します。

7.4.6.2 SGMII-to-RGMII モード

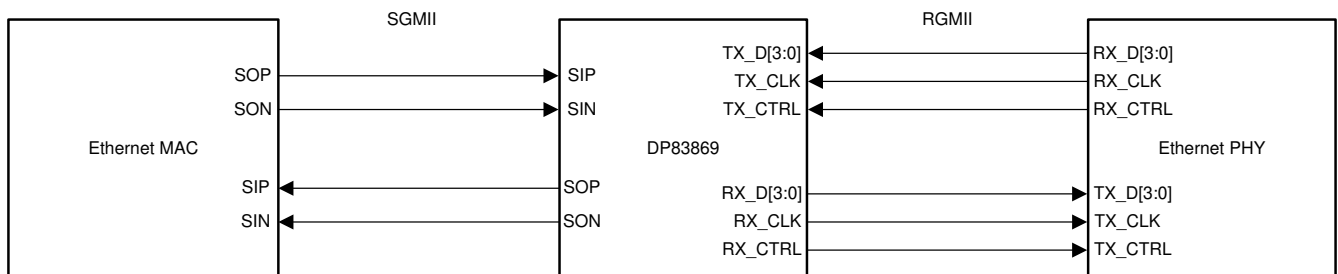


図 7-10. DP83869HM SGMII-to-RGMII ブリッジ

SGMII-to-RGMII モードでは、イーサネット MAC は DP83869HM の SGMII ピンに接続され、PHY は DP83869 の RGMII ピンに接続されます。このモードでは、DP83869HM は SGMII を自動に設定します。自動モードでは、SGMII は RGMII を基にリンク速度に対応します。

PHY 側で自動ネゴシエーションが完了すると、RGMII インターフェイスを経由して DP83869HM にリンク機能が伝達されます。ただし、この情報はイーサネット MAC にも伝達する必要があります。MAC は DP83869HM からレジスタを介してこの情報を読み取ることができます。

SGMII-to-RGMII ブリッジ モードでは、DP83869 はイーサネット PHY の RGMII MAC として動作します。DP83869 の RX ピンは、DP83869 からイーサネット PHY TX ピンへの出力ピンとして機能し、DP83869 の TX ピンはイーサネット PHY RX ピンの入力ピンとして機能します。

どちらのブリッジ モードでも、PHY の PRBS モードは適用されず、使用できません。

LED が使用されている場合は、両方のブリッジ モードでの RGMII 側のステータスを示します。

7.4.7 メディア コンバータ モード

メディア コンバータ モードでは、DP83869HM は銅線と光ファイバ インターフェイス間のデータ変換を 1000M および 100M の速度で実行します。メディア コンバータ モードはストラップを介して有効にできます。DP83869HM は、アンマネージド メディア コンバータ モードをサポートしています。



図 7-11. メディア コンバータ モード

アンマネージド モードでは、引き続きストラップによりメディア コンバータを有効にできますが、レジスタ構成オプションは、LED 構成の変更、自動ネゴシエーションでブロードキャストされる機能プログラミングなどの拡張機能にも使用され、構成が必要になる場合があります。レジスタのプログラミングによりサポートされます。PHY へのレジスタ アクセスは保持されます。これにより、PHY がサポートしている他の機能を使用する柔軟性が向上します。

銅線インターフェイスは自動ネゴシエーションをサポートしていますが、銅線側でネゴシエートされる速度をファイバ側で固定されている速度と一致させる必要があります。銅線とファイバ間の速度が一致しない場合、インターフェイス データの伝送は成功しません。

DP83869HM は、100M および 1000M モードでのリンク損失パス スルーもサポートしています。システムの方の端でリンクがドロップされる 2 つのメディア コンバータが含まれるネットワークでは、リンク損失の通知が遠端まで渡されます。リンク損失パス スルーは、ストラップを介して有効化または無効化されます。図 7-12 に例が示されています。

1. ニア エンドリンク パートナーの位置 1 の銅線リンクで故障が発生しています。
2. メディア コンバータが位置 2 の Fiber TX リンクを無効化します。
3. システム内のメディア コンバータが位置 3 でリンクを損失します。
4. 2 番目のメディア コンバータが銅線リンクを無効化し、ファー エンドリンク パートナーが銅線リンクを損失します。



図 7-12. リンク損失パス スルー

7.4.8 レジスタでの動作モードの設定

DP83869HM の動作モードは、OPMODE[0]、OPMODE[1]、OPMODE[2] ストラップにより構成されます。レジスタ アクセスによって動作モードを変更する場合は、1DFh 以外の追加の構成が必要です。以下のセクションには、レジスタを使

用して動作モードを変更するために必要な情報が記載されています。以下に示されていないモードでは、レジスタ 1DFh のみを構成すれば十分です。

7.4.8.1 RGMII-to-Copper (銅線) イーサネット モード

ソフトウェアを使用して RGMII-to-Copper モードに切り替える場合に必要なレジスタ構成:

- レジスタ 1DFh に 0x0040 を書き込む // 動作モードを RGMII から銅線モードに設定
- レジスタ 0h に 0x1140 を書き込む // BMCR をリセット
- レジスタ 4h に 0x01E1 を書き込む // 100Base-TX および 10Base-T 機能をアドバタイズ
- レジスタ 9h に 0x0300 を書き込む // GEN_CFG1 をリセット
- レジスタ 10h に 0x5048 を書き込む // PHY_CONTROL をリセット
- レジスタ 1Fh に 0x4000 を書き込む // ソフトウェアリセット

7.4.8.2 RGMII-to-1000Base-X モード

- レジスタ 1DFh に 0x0041 を書き込む // 動作モードを RGMII から 1000Base-X に設定
- レジスタ C00h に 0x1140 を書き込む // FX_CTRL をリセット
- レジスタ 1Fh に 0x4000 を書き込む // ソフトウェアリセット

7.4.8.3 RGMII-to-100Base-FX モード

- レジスタ 1DFh に 0x0042 を書き込む // 動作モードを RGMII から 100Base-FX に設定
- レジスタ C00h に 0x2100 を書き込む // 速度を 100Mbps に設定
- レジスタ 1Fh に 0x4000 を書き込む // ソフトウェアリセット

7.4.8.4 RGMII-to-SGMIIブリッジモード

- レジスタ 1DFh に 0x0043 を書き込む // 動作モードを RGMII-to-SGMII に設定
- レジスタ C00h に 0x1140 を書き込む // FX_CTRL をリセット
- レジスタ 1Fh に 0x4000 を書き込む // ソフトウェアリセット

7.4.8.5 1000M メディア コンバータ モード

- レジスタ 1DFh に 0x0044 を書き込む // 動作モードを 1000Base-T から 1000Base-X に設定
- レジスタ 0h に 0x1140 を書き込む // BMCR をリセット
- レジスタ 10h に 0x5048 を書き込む // PHY_CONTROL をリセット
- レジスタ C00h に 0x1140 を書き込む // FX_CTRL をリセット
- レジスタ 1Fh に 0x4000 を書き込む // ソフトウェアリセット

7.4.8.6 100M メディア コンバータ モード

- レジスタ 1DFh に 0x0045 を書き込む // 動作モードを 100Base-T から 100Base-FX に設定
- レジスタ 0h に 0x1140 を書き込む // BMCR をリセット
- レジスタ 10h に 0x5048 を書き込む // PHY_CONTROL をリセット
- レジスタ 18h に 0x000E を書き込む // Mux_LED_1 が RX_ER として機能
- レジスタ 1Fh に 0x4000 を書き込む // ソフトウェアリセット

7.4.8.7 SGMII-to-Copper (銅線) イーサネット モード

- レジスタ 1DFh に 0x0046 を書き込む // 動作モードを SGMII から銅線モードに設定
- レジスタ 0h に 0x1140 を書き込む // BMCR をリセット
- レジスタ 9h に 0xB00 を書き込む // 1000Base-T 機能をアドバタイズ
- レジスタ 10h に 0x5048 を書き込む // PHY_CONTROL をリセット
- レジスタ C00h に 0x1140 を書き込む // FX_CTRL をリセット
- レジスタ 1Fh に 0x4000 を書き込む // ソフトウェアリセット

7.4.9 シリアル マネージメント インターフェイス

シリアル マネージメント インターフェイス (SMI) を使うことで、ステータス情報と構成のために使われている DP83869HM の内部レジスタ空間にアクセスできます。SMI は IEEE 802.3-2002 の 22 項に準拠しています。実装されているレジスタセットは、IEEE 802.3 に必要なレジスタと、DP83869HM デバイスの可視性と制御性を高めるためのその他の複数のレジスタで構成されています。

SMI には、MDC 管理クロック入力と、管理 MDIO データピンが含まれます。MDC クロックは、ステーション (STA) とも呼ばれる外部管理エンティティから供給され、最大 25MHz のクロック レートで実行できます。MDC は連続的である必要はなく、バスがアイドル状態の場合、外部管理エンティティがオフにすることもできます。

MDIO の信号は外部管理エンティティと PHY から供給されます。MDIO ピンのデータは、MDC クロックの立ち上がりエッジでラッチされます。MDIO ピンにはプルアップ抵抗 (2.2kΩ) が必要であり、IDLE 時およびターンアラウンド時に MDIO は High にプルされます。

最大 16 の PHY が共通の SMI バスを共有できます。PHY を区別するため、4 ビット アドレスを使います。パワーアップのリセット中に、DP83869HM は、PHY アドレスを判別するために PHY_ADD 構成ピンをラッチします。

管理エンティティは、パワーアップのリセットの後の最初のサイクルで SMI トランザクションを開始してはなりません。有効な動作を維持するため、ハードリセットがデアサートされた後、少なくとも 1 MDC サイクルの間、SMI バスは非アクティブのままである必要があります。通常の MDIO トランザクションでは、管理フレームのレジスタ アドレス フィールドからレジスタ アドレスが直接取り込まれるため、32 の 16 ビットレジスタ (IEEE 802.3 で定義されたレジスタとベンダ固有のレジスタを含む) に直接アクセスできます。データ フィールドは、読み出しと書き込みの両方に使用されます。スタート コードは <01> パターンで示されます。このパターンにより、MDIO ラインはデフォルトのアイドル ライン状態から必ず遷移します。ターンアラウンドは、レジスタ アドレス フィールドとデータ フィールドの間に挿入されたアイドル ビット期間として定義されます。読み取りトランザクション中の競合を避けるため、ターンアラウンドの先頭ビットの間、デバイスは MDIO 信号をアクティブに駆動できません。アドレス指定された DP83869HM は、2 番目のビットのターンアラウンドの間 MDIO を 0 で駆動し、その後に必要なデータを送信します。図 7-13 に、代表的なレジスタ読み取りアクセスについて、ステーション (STA) と DP83869HM (PHY) で駆動および受信される MDC と MDIO の間のタイミングの関係を示します。

書き込みトランザクションの場合、ステーション管理エンティティはアドレス指定された DP83869 にデータを書き込みます。そのため、MDIO ターンアラウンドは不要です。ターンアラウンド期間には、管理エンティティによって <10> が挿入されます。図 7-13 に、代表的な MII レジスタ書き込みアクセスのタイミングの関係を示します。フレーム構造と代表的な読み取りおよび書き込みトランザクションを、表 7-7、図 7-13、図 7-14 に示します。

表 7-7. 代表的な MDIO フレームのフォーマット

代表的な MDIO フレームのフォーマット	<idle><start><op code><device addr><reg addr><turnaround><data><idle>
読み出し動作	<idle><01><10><AAAA><RRRR><Z0><xxxx xxxx xxxx xxxx><idle>
書き込み動作	<idle><01<01><AAAA><RRRR><10><xxxx xxxx xxxx xxxx><idle>

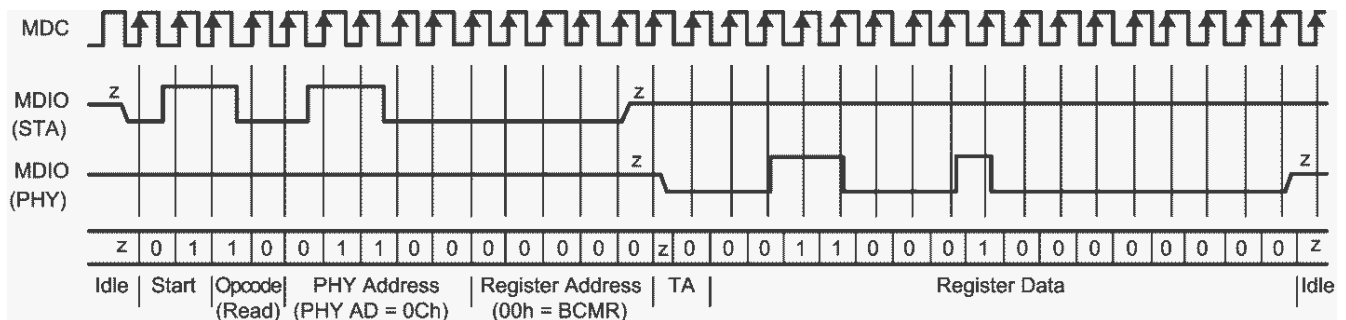


図 7-13. 代表的な MDC/MDIO 読み取り動作

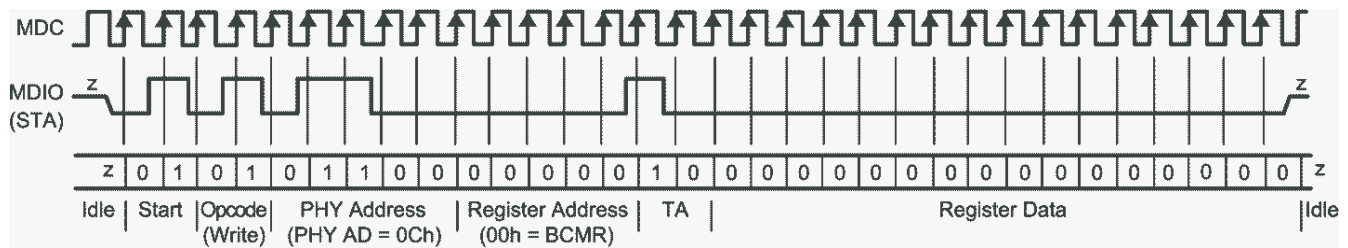


図 7-14. 代表的な MDC/MDIO 書き込み動作

7.4.9.1 拡張レジスタ スペース アクセス

DP83869HM の SMI 機能は、レジスタ REGCR (0x0D) および ADDAR (0x0E) と MMD (MDIO Manageable Device) 間接方式 (IEEE 802.3ah Draft, 22 項「アクセス」、45 項「拡張レジスタセット」で定義) を使った拡張レジスタ セットへの読み取りおよび書き込みアクセスをサポートしています。

標準のレジスタセット MDIO レジスタ 0~31 には、通常の直接 MDIO アクセスまたは間接方式でアクセスしますが、レジスタ REGCR (0x0D) および ADDAR (0x0E) は別で、通常の MDIO トランザクションでのみアクセスされます。SMI 関数は、これらのレジスタへの間接アクセスを無視します。

REGCR (0x0D) は MMD アクセス制御です。一般に、レジスタ REGCR[4:0] は、ADDAR (0x0E) レジスタのすべてのアクセスを適切な MMD に向けるデバイス アドレス (DEVAD) です。

PHY は 1 つの MMD デバイス アドレスをサポートします。ベンダ固有のデバイス アドレス DEVAD[4:0] = 11111 は、一般的な MMD レジスタ アクセスに使用されます。

レジスタ REGCR および ADDAR によるすべてのアクセスでは、適切な DEVAD を使用する必要があります。その他の DEVAD を使ったトランザクションは無視されます。REGCR[15:14] はアクセス機能 (アドレス (00)、ポスト インクリメントなしのデータ (01)、読み出し / 書き込み時ポスト インクリメントありのデータ (10)、書き込み時ポスト インクリメントありのデータ (11)) を保持します。

表 7-8. REGCR DEVAD 関数

REGCR[15:14]	機能
00	レジスタ ADDAR へのアクセスにより、拡張レジスタの「セット アドレス」レジスタが変更されます。拡張レジスタ セット内のいずれのレジスタにアクセスするにも、このアドレスレジスタを必ず初期化する必要があります。
01	レジスタ ADDAR にアクセスすると、アドレスレジスタの値によって選択された拡張レジスタ セット内のレジスタにアクセスします。
10	レジスタ ADDAR にアクセスすると、アドレスレジスタの値によって選択された拡張レジスタ セット内のレジスタにアクセスします。そのアクセスが完了した後、読み出しの場合も書き込みの場合も、アドレスレジスタの値がインクリメントされます。
11	レジスタ ADDAR にアクセスすると、アドレスレジスタの値によって選択された拡張レジスタ セット内のレジスタにアクセスします。このアクセスが完了した後、書き込みアクセスの場合のみ、アドレスレジスタの値がインクリメントされます。読み出しアクセスの場合、アドレスレジスタの値は変更されません。

以下のセクションでは、レジスタ REGCR および ADDAR を使って拡張レジスタ セットを操作する方法について説明します。これらの説明は、一般的な MMD レジスタ アクセス (DEVAD[4:0] = 11111) のデバイス アドレスを使用します。

7.4.9.1.1 読み出し (ポスト インクリメントなし) 動作

拡張レジスタ セットのレジスタを読み出すには、次の手順に従います。

手順	例: READ 0x0170
1. レジスタ REGCR に値 0x001F (機能フィールド = 00 (アドレス)、DEVAD = '31') を書き込む。	値 0x001F にレジスタ 0x0D を書き込む
2. レジスタ ADDAR に目的のレジスタ アドレスを書き込む。	値 0x0170 にレジスタ 0x0E を書き込む

手順	例: READ 0x0170
3.レジスタ REGCR に値 0x401F (データ、ポスト インクリメントなし機能フィールド = 01、DEVAD = 31) を書き込む。	値 0x401F にレジスタ 0x0D を書き込む
4.レジスタ ADDAR に目的の拡張レジスタ セットレジスタの内容を読み出します。	レジスタ 0x0E を読み出す

それ以降、レジスタ ADDAR (ステップ 4) から読み出すと、アドレス レジスタの値によって選択されたレジスタが引き続き読み出されます。

注

アドレスレジスタがすでに設定されている場合、ステップ (1) および (2) を飛ばすことができます。

7.4.9.1.2 書き込み (ポスト インクリメントなし) 動作

拡張レジスタ セット内のレジスタを書き込むには、次の手順に従います。

手順	例: レジスタ 0x0170 に 0C50 を設定
1.レジスタ REGCR (0x0D) に値 0x001F (アドレス機能フィールド= 00、DEVAD = 31) を書き込む。	値 0x001F にレジスタ 0x0D を書き込む
2.レジスタ ADDAR (0x0E) に目的のレジスタ アドレスを書き込む。	値 0x0170 にレジスタ 0x0E を書き込む
3.レジスタ REGCR に値 0x401F (データ、ポスト インクリメントなし機能フィールド = 01、DEVAD = 31) を書き込む。	値 0x401F にレジスタ 0x0D を書き込む
4.レジスタ ADDAR に目的の拡張レジスタ セットレジスタの内容を書き込む。	値 0x0C50 にレジスタ 0x0E を書き込む

それ以降、レジスタ ADDAR (ステップ 4) に書き込むと、そのアドレス レジスタの値によって選択されたレジスタが引き続き書き換えられます。

注

アドレスレジスタがすでに設定されている場合、ステップ (1) および (2) を飛ばすことができます。

7.4.10 オートネゴシエーション

すべての 1000BASE-T PHY は、オートネゴシエーションをサポートしている必要があります。1000BASE-T におけるオートネゴシエーション機能には、主に 3 つの目的があります。

- 速度および二重モード選択のオートネゴシエーション
- リーダーまたはフォロワー決定のオートネゴシエーション
- ポーズまたは非対称ポーズ決定のオートネゴシエーション

7.4.10.1 速度と全二重 / 半二重の選択 - 優先度の解決

自動ネゴシエーション機能は、リンク セグメントの両端間で設定情報を交換するメカニズムを提供します。このメカニズムは、高速リンク パルス (FLP) を交換することによって実装されます。FLP は、リンク セグメントの各終端にある 2 つのデバイス間の機能を通信するために使用される信号を提供するバースト パルスです。自動ネゴシエーションの詳細については、IEEE 802.3 条項 28 の仕様を参照してください。DP83869HM は、1000BASE-T、100BASE-TX、1000BASE-T の動作モードをサポートしています。自動ネゴシエーションのプロセスにより、リンク パートナーとローカル デバイスのアドバタイズされた能力に基づいて、最も高いパフォーマンス プロトコルが選択されるようになります (優先度解決)。

7.4.10.2 リーダーとフォロワーの解決

優先度の解決時に 1000BASE-T モードを選択した場合、オートネゴシエーションの 2 番目の目標は、リーダーまたはフォロワーの構成を解決することです。リーダー モードの優先度は、スイッチやリピータなど、マルチポート ノードをサポート

するデバイスに与えられます。DTE カードや NIC カードなどのシングル ノード デバイスは、リーダー モードの優先度が低くなります。

7.4.10.3 ポーズと非対称ポーズの解決

優先度の解決時に全二重動作が選択されると、オートネゴシエーションにより、2 つのリンク パートナーのフロー制御機能も決定されます。フロー制御はもともと、全二重動作において、ビジー状態にあるステーションのリンク パートナーに対して、データの送信を停止させるために導入されたものです。衝突を生成するだけでリンク パートナーにバック オフを強制できる半二重動作モードとは異なり、全二重動作では、受信ステーションのバッファが満杯になりつつある場合に、リンク パートナーからの送信を遅くするメカニズムが必要でした。ポーズ フレームの生成および受信を処理するために、新しい MAC コントロール レイヤが追加されています。各 MAC コントローラは、MAC がポーズ フレームを処理できるかどうかをアダプタイズする必要があります。さらに MAC コントローラは、ポーズ フレームを両方向、つまり受信と送信で処理できるかどうかもアダプタイズします。MAC コントローラがポーズ フレームを生成するだけで、リンク パートナーによって生成されたポーズ フレームには応答しない場合、これを非対称ポーズと呼びます。ポーズおよび非対称ポーズ機能のアダプタイズは、ANAR (レジスタ アドレス 4h) のビット 10 および 11 に 1 を書き込むことで有効になります。リンク パートナーのポーズ機能は、ANLPAR (レジスタ アドレス 5h) のビット 10 および 11 に格納されます。MAC コントローラは、どのポーズ モードで動作するかを決定するために、ANLPAR から読み取る必要があります。PHY 層は、ポーズ機能のアダプタイズおよび報告を行うのみであり、ポーズの決定には関与しません。

7.4.10.4 Next Page のサポート

DP83869HM は、IEEE 802.3 の 28.2.4.1.7 項で要求されるオートネゴシエーション Next Page プロトコルをサポートしています。ANNPTR 7h を使用すると、Next Page の設定と送信を行うことができます。オートネゴシエーション Next Page 機能の詳細については、IEEE 802.3 規格の 28 項を参照してください。

7.4.10.5 パラレル検出

DP83869HM は、IEEE 802.3 仕様で定義されているパラレル検出機能をサポートしています。パラレル検出では、10/100Mbps レシーバで受信信号を監視し、リンク ステータスをオートネゴシエーション機能に報告する必要があります。オートネゴシエーションは、リンク パートナーがオートネゴシエーションをサポートしていない場合でも、10BASE-Te または 100BASE-X PMA が有効なリンク信号として認識できるリンク信号を送信していれば、その情報を使用して適切なテクノロジーを設定します。

DP83869HM が Next Page 動作なしでパラレル検出の結果としてオートネゴシエーションを完了すると、ANLPAR (レジスタ アドレス 5h) のビット 5 と 7 が、リンク パートナーに存在する動作モードを反映するように設定されます。パラレル検出が成功すると、有効な 802.3 セレクタ フィールドを示すために、ANLPAR のビット 4:0 も 00001 に設定されることに注意してください。ソフトウェアは、オートネゴシエーション完了 (BMSR (レジスタ アドレス 1h) のビット 5) が設定された後、ANER (レジスタ アドレス 6h) のビット 0 の値「0」を読み取ることで、パラレル検出によってネゴシエーションが完了したことを判定します。PHY がパラレル検出モードに構成されており、良好なリンク以外の状態が発生すると、ANER (レジスタ アドレス 6h) のパラレル検出フォルト (ビット 4) が設定されます。

7.4.10.6 オートネゴシエーション再開

オートネゴシエーションが成功してリンクが確立され、その後失われると、オートネゴシエーション プロセスが再開され、リンクの構成が判別されます。この機能により、ケーブルが接続解除され、再接続された場合にリンクを再度確立できます。オートネゴシエーションの完了後、BMCR (レジスタ アドレス 0h) のビット 9 に 1 を書き込むことで、いつでもオートネゴシエーションを再開することができます。管理エージェントなどのエンティティからのオートネゴシエーション要求を再開すると、DP83869HM が break_link_timer が期限切れになるまでデータ送信やリンク パルス アクティビティを停止します。その結果、リンク パートナーがリンク障害モードになり、オートネゴシエーションが再開されます。DP83869HM は、FLP (高速リンク パルス) バーストを送信することによって、break_link_timer の経過後にオートネゴシエーションを再開します。

7.4.10.7 ソフトウェアを介したオートネゴシエーションの有効化

MDIO アクセスによってオートネゴシエーションが無効になっており、ユーザーがオートネゴシエーションを再開しようとする場合、これはソフトウェア アクセスによって実現できます。オートネゴシエーション動作を実行するには、BMCR (レジスタ アドレス 0h) のビット 12 をクリアしてから設定する必要があります。

ストラップ オプションによってオートネゴシエーションが無効になっている場合、オートネゴシエーションを再度有効にすることはできません。

7.4.10.8 オートネゴシエーション完了時間

パラレル検出とオートネゴシエーションは通常、完了までに 2 ~ 3 秒かかります。また、Next Page 交換を伴うオートネゴシエーションも、交換される Next Page の数に応じて異なりますが、完了までに約 2 ~ 3 秒かかります。オートネゴシエーションに関連する個々のタイマーの詳細については、IEEE 802.3 規格の 28 項を参照してください。

7.4.10.9 Auto-MDIX の解決

DP83869HM は、リンク パートナーへの接続にストレート ケーブルとクロスオーバー ケーブルのいずれを使用しているかを判断できます。Auto-MDIX 機能では、チャンネル A と B を自動的に再割り当てして、リンク パートナー (および 1000BASE-T モードのチャンネル C と D) とのリンクを確立できます。Auto-MDIX 解決は、機能をアダプタイズするために FLP を交換する実際のオートネゴシエーション プロセスよりも前に行われます。Auto-MDI/MDIX は、IEEE 802.3 の 40 項の 40.8.2 項に記載されています。10BASE-Te および 100BASE-TX では、この機能の実装は必須ではありません。

Auto-MDIX の有効化または無効化は、AMDIX デイスエーブル ストラップを使用したストラップ設定、または PHYCR レジスタ (アドレス 10h) のビット 6 を使用したレジスタ設定によって実行できます。Auto-MDIX が無効化されている場合、PMA は MDI (ストレート) または MDIX (クロス) のいずれかに強制されます。MDI または MDIX の手動設定は、MDI/X の強制ストラップを使用したストラップ設定、または PHYCR レジスタのビット 5 を使用したレジスタ設定によって行うこともできます。

10/100 では、Auto-MDIX はオートネゴシエーションとは独立しています。Auto-MDIX は、オートネゴシエーション モードと手動強制速度モードの両方で機能します。

7.5 プログラミング

7.5.1 ストラップ構成

DP83869HM は、デバイスを特定の動作モードに設定するために、多くの機能ピンをストラップ オプションとして使用します。これらのピンの値は、パワーアップ時またはハード リセット時にサンプリングされます。ソフトウェア リセット時には、パワーアップ時またはハード リセット時にサンプリングされた値からストラップ オプションが内部的に再ロードされます。ストラップ オプションのピン構成を以下に定義します。

デバイスの構成は、ストラップ ピンまたは管理レジスタ インターフェイスを通じて行うことができます。推奨値のプルアップ抵抗および / またはプルダウン抵抗を使用して、ストラップ ピン入力と電源の電圧比を設定し、使用可能なモードのいずれかを選択します。

MAC インターフェイス ピンは、3.3V、2.5V、1.8V の I/O 電圧をサポートする必要があります。これらのピンにはストラップ入力が実装されているため、I/O に選択される電圧に応じて、ストラップは 3.3V、2.5V、1.8V 電源での動作もサポートする必要があります。RX_D0 ピンと RX_D1 ピンは 4 レベル ストラップ ピンです。その他すべてのストラップ ピンには、2 つのレベルがあります。

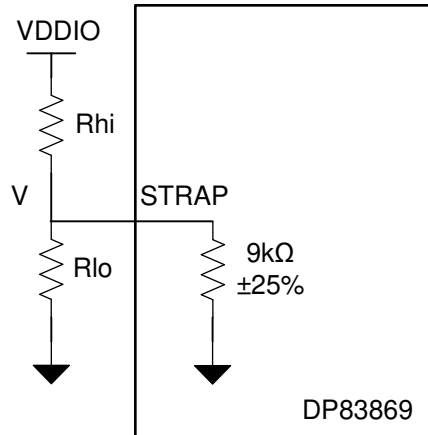


図 7-15. ストラップ回路

表 7-9. 4 レベルのストラップ抵抗比

モード	目標電圧			推奨抵抗	
	Vmin (V)	Vtyp (V)	Vmax (V)	Rhi (kΩ)	Rlo (kΩ)
0	0	0	0.093 × VDDIO	オープン	オープン
1	0.136 × VDDIO	0.165 × VDDIO	0.184 × VDDIO	10	2.49
2	0.219 × VDDIO	0.255 × VDDIO	0.280 × VDDIO	5.76	2.49
3	0.6 × VDDIO	0.783 × VDDIO	0.888 × VDDIO	2.49	オープン

表 7-10. 2 レベルのストラップ抵抗比

モード	目標電圧			推奨抵抗	
	Vmin (V)	Vtyp (V)	Vmax (V)	Rhi (kΩ)	Rlo (kΩ)
0	0		0.18x VDDIO	オープン	オープン
1	0.5x VDDIO		0.88x VDDIO	2.49	オープン

7.5.1.1 PHY アドレスのストラップ

表 7-11. PHY ストラップの表

ピン名	ストラップ名	ピン番号	デフォルト	PHY_ADD1		PHY_ADD0	
RX_D0	PHY_ADD[1:0]	33	00	MODE 0	0	0	
				MODE 1	0	1	
				MODE 2	1	0	
				MODE 3	1	1	
RX_D1	PHY_ADD[3:2]	34	00		PHY_ADD3		PHY_ADD2
				MODE 0	0	0	
				MODE 1	0	1	
				MODE 2	1	0	
				MODE 3	1	1	

7.5.1.2 DP83869HM 機能モード選択用ストラップ

表 7-12. 機能モードストラップ表

ピン名	ストラップ名	ピン番号	デフォルト	OPMO DE[2]	OPMO DE[1]	OPMO DE[0]	機能モード
JTAG_TDO/ GPIO_1	OPMODE[0]	22	0	0	0	0	RGIIII から銅線へ (1000Base-T/ 100Base-TX/10Base-Te)
				0	0	1	RGIIII から 1000Base-X へ
RX_D3	OPMODE[1]	36	0	0	1	0	RGIIII から 100Base-FX へ
				0	1	1	RGIIII-SGIIII プリッジ モード
RX_D2	OPMODE[2]	35	0	1	0	0	1000Base-T から 1000Base-X へ
				1	0	1	100Base-TX から 100Base-FX へ
				1	1	0	SGIIII から銅線へ (1000Base-T/ 100Base-TX/10Base-Te)
				1	1	1	バウンダリ スキャン用 JTAG

7.5.1.3 デバイス モードに基づく LED のデフォルト設定

ストラップされた OP_MODE に基づき、LED0、LED1、LED2 のデフォルト設定を次の表にまとめます。

表 7-13. LED のデフォルト

OP_MODE[2:0]	モードの説明	LED0 デフォルト	LED1 デフォルト	LED2 デフォルト
000	RGIIII から銅線へ (1000Base-TX/100Base-TX/10T)	10/100M/1G リンク アップ: 常時オン	1G リンク アップ:常時オン	TX および RX アクティビティ
001	RGIIII から 1000Base-X へ	光ファイバリンク アップ:常 時オン	TX 動作	RX 動作
010	RGIIII から 100Base-FX へ	光ファイバリンク アップ:常 時オン	TX 動作	RX 動作
011	RGIIII から SGIIII へ	10/100M/1G からの SGIIII リンク アップ:常時オン	SGIIII 1G リンク アップ:常 時オン	TX および RX アクティビティ
100	銅線から 1000Base-X へ	銅線リンク ステータスリンク 確立済み:常時オン リンクが 100M または半二 重に低下:LED が点滅 (エ ラー状態)	光ファイバリンク確立済み: 常時オン	TX および RX アクティビティ
101	銅線から 100Base-FX へ	銅線リンク ステータスリンク 確立済み:常時オン リンクが 100M または半二 重に低下:LED が点滅 (エ ラー状態)	光ファイバリンク確立済み: 常時オン	TX および RX アクティビティ
110	SGIIII から銅線へ (1000Base-TX/100Base-TX/10T)	10/100M/1G リンク アップ: 常時オン	1G リンク アップ:常時オン	TX および RX アクティビティ

7.5.1.4 RGMII/SGMII to Copper のストラップ

表 7-14. 銅線イーサネット ストラップ表

ピン名	ストラップ名	ピン番号	デフォルト	ANEG_DIS	ANEGS_EL_1	ANEGS_EL_0	機能
LED_0	ANEG_DIS	47	0	0	0	0	オートネゴシエーション、1000/100/10 アドバタイズ、自動 MDI-X
				0	0	1	オートネゴシエーション、1000/100 アドバタイズ、自動 MDI-X
LED_1	ANEGSEL_0	46	0	0	1	0	オートネゴシエーション、100/100 アドバタイズ、自動 MDI-X
				0	1	1	NA
				1	0	0	NA
LED_2	ANEGSEL_1	45	0	1	0	1	NA
				1	1	0	強制 100M、全二重、MDI モード
RX_CTRL	MIRROR_EN	38	0	0		ポートミラーリングが無効	
				1		ポートミラーリングが有効	

7.5.1.5 RGMII to 1000Base-X のストラップ

表 7-15. 1000Base-X ストラップの表

ピン名	ストラップ名	ピン番号	デフォルト		
LED_0	ANEG_DIS	47	0	0	ファイバ自動ネゴシエーションがオン
				1	ファイバの強制モード
LED_1	ANEGSEL_0	46	0	0	ピン 24 の信号検出の無効化
				1	ピン 24 を信号検出ピンとして構成

7.5.1.6 RGMII to 100Base-FX のストラップ

表 7-16. 100Base-X ストラップの表

ピン名	ストラップ名	ピン番号	デフォルト		
LED_1	ANEGSEL_0	46	0	0	ピン 24 の信号検出の無効化
				1	ピン 24 を信号検出ピンとして構成

7.5.1.7ブリッジモード (SGMII-RGMII) のストラップ

表 7-17. ブリッジモード ストラップの表

ピン名	ストラップ名	ピン番号	デフォルト		
RX_CTRL	MIRROR_EN	38	0	0	SGMII から RGMII へ (SGMII: MAC I/F、RGMII: Phy I/F)
				1	RGMII から SGMII (RGMII: MAC I/F、SGMII: Phy I/F)

7.5.1.8 100M メディア コンバータのストラップ

表 7-18. 100M メディア コンバータのストラップの表

ピン名	ストラップ名	ピン番号	デフォルト	ANEGSEL_1	ANEGSEL_0
LED_1	ANEGSEL_0	46	0		

表 7-18. 100M メディア コンバータのストラップの表 (続き)

ピン名	ストラップ名	ピン番号	デフォルト			
LED_2	ANEGSEL_1	45	0	0	0	銅:自動ネゴシエーション (100/10 アドバタイズ)、自動 MDIX
				1	1	銅:自動ネゴシエーション (100 アドバタイズ)、自動 MDIX
RX_CTRL	MIRROR_EN	38	0	0		銅:ミラーの無効化
				1		銅:ミラーの有効化
RX_CLK	LINK_LOSS	32	0	0		リンク損失パス スルーの有効化
				1		リンク損失パス スルーの無効化

7.5.1.9 1000M メディア コンバータのストラップ

表 7-19. 1000M メディア ストラップの表

ピン名	ストラップ名	ピン番号	デフォルト			
LED_0	ANEG_DIS	47	0	0		ファイバの自動ネゴシエーション
				1		ファイバの強制モード
LED_1	ANEGSEL_0	46	0	ANEGSEL_1	ANEGSEL_0	
LED_2	ANEGSEL_1	45	0	0	0	銅:自動ネゴシエーション (1000/100 アドバタイズ)、自動 MDIX
				1	1	銅:自動ネゴシエーション、(1000 アドバタイズ)、自動 MDIX
RX_CTRL	MIRROR_EN	38	0	0		銅:ミラーの無効化
				1		銅:ミラーの有効化
RX_CLK	LINK_LOSS	32	0	0		リンク損失パス スルーの有効化
				1		リンク損失パス スルーの無効化

注

1000M メディア コンバータ モードでは、LP が 100Mbps のみをサポートし、リンクが失敗する場合のみ、Cu の自動ネゴシエーションは 100Mbps にダウングレードされません。

7.5.2 LED の構成

DP83869HM は、3 つの構成可能な発光ダイオード (LED) ピンである LED_0、LED_1、LED_2 をサポートしています。各種動作モードのために複数の機能を LED に多重化できます。各 LED のデフォルト機能はストラップ OPMODE[2:0] に基づいて変更可能です。詳細については「[セクション 7.5.1.3](#)」を参照。LED の動作モードは、LEDS_CFG1 レジスタ (アドレス 18h) を使用して選択できます。

LED 出力ピンはストラップとしても使用されるため、競合を避けるために、ストラップ設定および LED 用途の外付け部品を考慮する必要があります。特に LED 出力を使って LED を直接駆動する場合、各出力ドライバのアクティブ状態は、電源投入時またはリセット時に、対応する AN 入力によってサンプリングされたロジックレベルで決まります。

特定のストラップ入力が抵抗によって Low にプルされると、対応する出力はアクティブ High ドライバとして構成されます。逆に、特定のストラップ入力が抵抗によって High にプルされた場合、対応する出力はアクティブ Low ドライバとして構成されます。

外付け部品へのストラップ接続の例については、[図 7-16](#) を参照してください。この例では、ストラップにより LED_0 がモード 0、LED_1 がモード 1 になります。

LED 出力は適応型であるため、このようなデュアル目的のピンの電位の実装に関する問題を単純化するのに役立ちます。

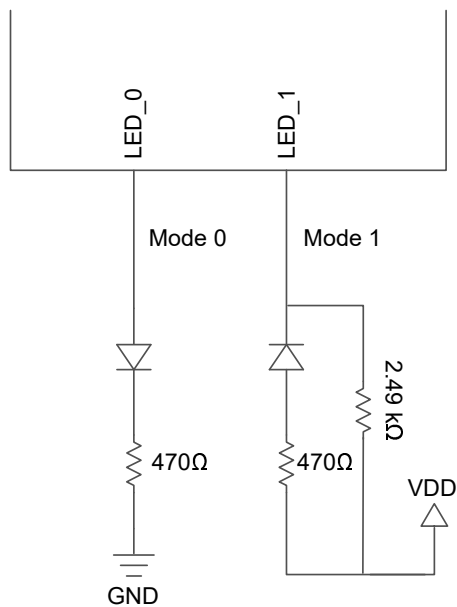


図 7-16. ストラップ接続の例

LED を使用する場合は、以下の条件を考慮する必要があります。

- 強制速度の RGMII-to-SGMII ブリッジ モードでは、リンク LED 機能は使用できません。
- どちらのブリッジ モードでも、TX のみまたは RX のみの動作を示すように LED を構成できます。PHY がブリッジ モードの場合、LED は RGMII を基準とした動作を示します。
- 1000Mbps のメディア コンバータ モードでは、リンク LED は銅線インターフェイスの 1000M リンクに対応します。リンク速度を変更すると、リンク LED は使用できません。
- 100Mbps のメディア コンバータ モードでは、リンク LED は銅線インターフェイスの 100M リンクに対応します。リンク速度を変更すると、リンク LED は使用できません。

7.5.3 リセット動作

DP83869HM では、パワーアップ時に RESET_N ピンを外部で制御する必要があります。RESET_N ピンがホスト コントローラに接続されている場合、最後のパワーアップから少なくとも 200ms の間、PHY をリセット状態に保持する必要があります(図 6-1 参照)。ホスト コントローラを RESET_N に接続できない場合、図 7-17 に示すように、RESET_N ピンとグラウンドの間に 100Ω の抵抗と 47μF コンデンサを直列に接続する必要があります。通常動作中は、ハードウェアまたはソフトウェアリセットでデバイスをリセットできます。

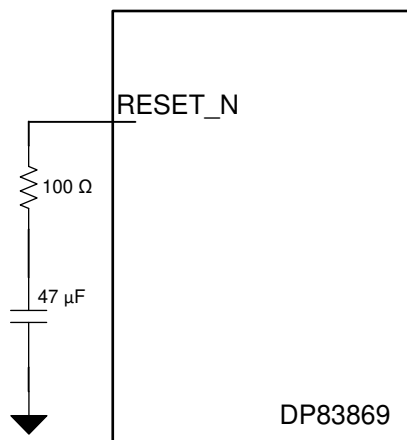


図 7-17. RESET_N 回路

7.5.3.1 ハードウェア リセット

ハードウェア リセットを行うには、RESET_N ピンに 1 μ s 以上の期間の Low パルスを印加します。これによりデバイスがリセットされ、すべてのレジスタがデフォルト値に再初期化されるとともに、ハードウェア設定値がデバイスに再ラッチされます (パワーアップまたはリセット時の動作と同様)。

7.5.3.2 IEEE ソフトウェア リセット

IEEE レジスタ ソフトウェア リセットは、BMCR レジスタ (アドレス 0h) のリセット ビット (ビット 15) を設定することで実行されます。このビットは、IEEE で定義された標準レジスタをリセットします。

7.5.3.3 グローバル ソフトウェア リセット

グローバル ソフトウェア リセットを実行するには、レジスタ CTRL (アドレス 1Fh) のビット 15 を 1 に設定します。このビットは、IEEE で定義されたレジスタやすべての拡張レジスタを含む、PHY 内のすべての内部回路をリセットします。グローバル ソフトウェアは、すべてのレジスタがデフォルト値にリセットされるようにデバイスをリセットしますが、ハードウェアの設定値は維持されます。

7.5.3.4 グローバル ソフトウェア再開

グローバル ソフトウェアを再起動するには、レジスタ CTRL (1Fh) のビット 14 を 1 に設定します。このアクションにより、レジスタ ファイル内のレジスタを除くすべての PHY 回路がリセットされます。

8 レジスタ マップ

ファイバ オペレーション (RGMII-to-1000Base-X および RGMII-to-100Base-FX) では、IEEE 仕様に準拠するため、ファイバレジスタの位置 0Cxxh は 0xxxxh アドレス位置にマップされます。

8.1 DP83869 のレジスタ

DP83869 レジスタのメモリマップされたレジスタを、表 8-1 に示します。表 8-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-1. DP83869 のレジスタ

オフセット	略称	レジスタ名	セクション
0h	BMCR	BASIC モード制御レジスタ	表示
1h	BMSR	BASIC モード ステータスレジスタ	表示
2h	PHYIDR1	PHY 識別子レジスタ #1	表示
3h	PHYIDR2	PHY 識別子レジスタ #2	表示
4h	ANAR	オートネゴシエーション アドバタイズメントレジスタ	表示
5h	ALNPAR	オートネゴシエーションリンク パートナー アビリティレジスタ	表示
6h	ANER	オートネゴシエーション拡張レジスタ	表示
7h	ANNPTR	オートネゴシエーション次ページ送信レジスタ	表示
8h	ANLNPTR	オートネゴシエーションリンク パートナー次ページ受信レジスタ	表示
9h	GEN_CFG1	設定レジスタ 1	表示
Ah	GEN_STATUS1	ステータスレジスタ 1	表示
Dh	REGCR	レジスタ制御レジスタ	表示
Eh	ADDAR	アドレスまたはデータレジスタ	表示
Fh	1KSCR	1000BASE-T ステータスレジスタ	表示
10h	PHY_CONTROL	PHY 制御レジスタ	表示
11h	PHY_STATUS	PHY ステータスレジスタ	表示
12h	INTERRUPT_MASK	MII 割り込み制御レジスタ	表示
13h	INTERRUPT_STATUS	割り込みステータスレジスタ	表示
14h	GEN_CFG2	設定レジスタ 2	表示
15h	RX_ERR_CNT		表示
16h	BIST_CONTROL	BIST 制御レジスタ	表示
17h	GEN_STATUS2	ステータスレジスタ 2	表示
18h	LEDS_CFG1	LED 構成レジスタ 1	表示
19h	LEDS_CFG2	LED 構成レジスタ 2	表示
1Ah	LEDS_CFG3	LED 構成レジスタ 3	表示
1Eh	GEN_CFG4	設定レジスタ 3	表示
1Fh	GEN_CTRL	制御レジスタ	表示
23h	G_10BT_CTRL_1		表示
25h	ANALOG_TEST_CTRL	テストモード チャネル制御レジスタ	表示
2Ch	GEN_CFG_ENH_AMIX		表示
2Dh	GEN_CFG_FLD		表示
2Eh	GEN_CFG_FLD_THR		表示
31h	GEN_CFG3	設定レジスタ 4	表示
32h	RGMII_CTRL	RGMII 制御レジスタ	表示
33h	RGMII_CTRL2		表示

表 8-1. DP83869 のレジスタ (続き)

オフセット	略称	レジスタ名	セクション
37h	SGMII_AUTO_NEG_STATUS	SGMII 自動ネゴシエーション ステータス レジスタ	表示
39h	PRBS_TX_CHK_CTRL		表示
3Ah	PRBS_TX_CHK_BYTE_CNT		表示
43h	G_100BT_REG0		表示
4Fh	SERDES_SYNC_STS		表示
50h	G_1000BT_1588_CTRL	SFD ベースライン レイテンシ制御レジスタ	表示
53h	G_1000BT_VTM_CFG		表示
55h	G_1000BT_PMA_STATUS	スキュー FIFO ステータス レジスタ	表示
6Eh	STRAP_STS	ストラップ ステータス レジスタ	表示
71h	DBG_PRBS_BYTE_CNT		表示
72h	DBG_PRBS_ERR_CNT		表示
7Bh	DBG_PKT_LEN_PRBS		表示
7Ch	DBG_IPG_LEN		表示
86h	ANA_RGMII_DLL_CTRL	シフト モードの RGMII 遅延制御レジスタ	表示
A0h	ANA_LD_TXG_FINE_GAINSEL_AB		表示
A1h	ANA_LD_TXG_FINE_GAINSEL_CD		表示
A2h	ANA_LD_FILTER_TUNE_AB		表示
A3h	ANA_LD_FILTER_TUNE_CD		表示
C5h	ANA_PLL_PROG_2		表示
C6h	ANA_PLL_PROG_PI		表示
D4h	ANA_SGMII_CTRL_2		表示
D6h	SGMII_TESTMODE		表示
DDh	ANA_LD_DATA_CTRL		表示
E4h	DSP_CFG3	DSP AGC 構成レジスタ (使用方法については、『トラブルシューティング ガイド』を参照)	表示
E9h	DSP_HYBRID_CFG2	同期 FIFO 制御レジスタ	表示
EFh	DSP_CFG5	CAGC DC 補償レジスタ (使用方法については、『トラブルシューティング ガイド』を参照)	表示
FEh	LOOPCR	ループバック構成レジスタ	表示
102h	DSP_MASTER_TC_SEL0	リーダー トレーニング タイマ レジスタ 1 (使用方法については、『トラブルシューティング ガイド』を参照)	表示
103h	DSP_MASTER_TC_SEL1	リーダー トレーニング タイマ レジスタ 2 (使用方法については、『トラブルシューティング ガイド』を参照)	表示
104h	DSP_MASTER_TC_SEL2	リーダー トレーニング タイマ レジスタ 3 (使用方法については、『トラブルシューティング ガイド』を参照)	表示
10Ch	DSP_MASTER_TLOOP_KP_STEP	DSP タイミング ループ帯域幅レジスタ 1 (使用方法については、『トラブルシューティング ガイド』を参照)	表示
115h	DSP_SLAVE_TC_SEL0	フォロワー トレーニング タイマ レジスタ 1 (使用方法については、『トラブルシューティング ガイド』を参照)	表示
118h	DSP_SLAVE_TC_SEL3	フォロワー トレーニング タイマ レジスタ 2 (使用方法については、『トラブルシューティング ガイド』を参照)	表示
11Dh	DSP_SLAVE_TLOOP_KF_STEP	DSP タイミング ループ帯域幅レジスタ 2 (使用方法については、『トラブルシューティング ガイド』を参照)	表示
11Eh	DSP_SLAVE_TLOOP_KP_STEP	DSP タイミング ループ帯域幅レジスタ 3 (使用方法については、『トラブルシューティング ガイド』を参照)	表示
134h	RXF_CFG		表示

表 8-1. DP83869 のレジスタ (続き)

オフセット	略称	レジスタ名	セクション
135h	RXF_STATUS		表示
136h	RXF_PMATCH_DATA1		表示
137h	RXF_PMATCH_DATA2		表示
138h	RXF_PMATCH_DATA3		表示
139h	RXF_SCRON_PASS1		表示
13Ah	RXF_SCRON_PASS2		表示
13Bh	RXF_SCRON_PASS3		表示
13Ch	RXF_PATTERN_1		表示
13Dh	RXF_PATTERN_2		表示
13Eh	RXF_PATTERN_3		表示
13Fh	RXF_PATTERN_4		表示
140h	RXF_PATTERN_5		表示
141h	RXF_PATTERN_6		表示
142h	RXF_PATTERN_7		表示
143h	RXF_PATTERN_8		表示
144h	RXF_PATTERN_9		表示
145h	RXF_PATTERN_10		表示
146h	RXF_PATTERN_11		表示
147h	RXF_PATTERN_12		表示
148h	RXF_PATTERN_13		表示
149h	RXF_PATTERN_14		表示
14Ah	RXF_PATTERN_15		表示
14Bh	RXF_PATTERN_16		表示
14Ch	RXF_PATTERN_17		表示
14Dh	RXF_PATTERN_18		表示
14Eh	RXF_PATTERN_19		表示
14Fh	RXF_PATTERN_20		表示
150h	RXF_PATTERN_21		表示
151h	RXF_PATTERN_22		表示
152h	RXF_PATTERN_23		表示
153h	RXF_PATTERN_24		表示
154h	RXF_PATTERN_25		表示
155h	RXF_PATTERN_26		表示
156h	RXF_PATTERN_27		表示
157h	RXF_PATTERN_28		表示
158h	RXF_PATTERN_29		表示
159h	RXF_PATTERN_30		表示
15Ah	RXF_PATTERN_31		表示
15Bh	RXF_PATTERN_32		表示
15Ch	RXF_PATTERN_BYTE_MASK_1		表示
15Dh	RXF_PATTERN_BYTE_MASK_2		表示
15Eh	RXF_PATTERN_BYTE_MASK_3		表示
15Fh	RXF_PATTERN_BYTE_MASK_4		表示
16Fh	10M_SGMII_CFG		表示
170h	IO_MUX_CFG		表示

表 8-1. DP83869 のレジスタ (続き)

オフセット	略称	レジスタ名	セクション
180h	TDR_GEN_CFG1		表示
181h	TDR_GEN_CFG2		表示
182h	TDR_SEG_DURATION1		表示
183h	TDR_SEG_DURATION2		表示
184h	TDR_GEN_CFG3		表示
185h	TDR_GEN_CFG4		表示
186h	TDR_THRESH_CFG1		表示
187h	TDR_THRESH_CFG2		表示
189h	TDR_GEN_CFG5		表示
190h	TDR_PEAKS_LOC_A_0_1		表示
191h	TDR_PEAKS_LOC_A_2_3		表示
192h	TDR_PEAKS_LOC_A_4_B_0		表示
193h	TDR_PEAKS_LOC_B_1_2		表示
194h	TDR_PEAKS_LOC_B_3_4		表示
195h	TDR_PEAKS_LOC_C_0_1		表示
196h	TDR_PEAKS_LOC_C_2_3		表示
197h	TDR_PEAKS_LOC_C_4_D_0		表示
198h	TDR_PEAKS_LOC_D_1_2		表示
199h	TDR_PEAKS_LOC_D_3_4		表示
1A4h	TDR_GEN_STATUS		表示
1A5h	TDR_PEAKS_SIGN_A_B		表示
1A6h	TDR_PEAKS_SIGN_C_D		表示
1A8h	DBG_PRBS_PKT_CNT_1		表示
1A9h	DBG_PRBS_PKT_CNT_2		表示
1C2h	DSP_MASTER_STEP_4	DSP タイミング ループ帯域幅レジスタ 4 (使用方法については、『トラブルシューティング ガイド』を参照)	表示
1C3h	DSP_SLAVE_STEP_4	DSP タイミング ループ帯域幅レジスタ 5 (使用方法については、『トラブルシューティング ガイド』を参照)	表示
1C4h	DSP_SLAVE_STEP_5	DSP タイミング ループ帯域幅レジスタ 6 (使用方法については、『トラブルシューティング ガイド』を参照)	表示
1C5h	DSP_SLAVE_STEP_6_7	DSP タイミング ループ帯域幅レジスタ 7 (使用方法については、『トラブルシューティング ガイド』を参照)	表示
1DFh	OP_MODE_DECODE		表示
1E0h	GPIO_MUX_CTRL		表示
1ECh	MC_LINK_LOSS		表示
C00h	FX_CTRL	ファイバ制御レジスタ	表示
C01h	FX_STS	ファイバ ステータス レジスタ	表示
C02h	FX_PHYID1	ファイバ PHYID レジスタ 1	表示
C03h	FX_PHYID2	ファイバ PHYID レジスタ 2	表示
C04h	FX_ANADV	ファイバ自動ネゴシエーション アドバタイズメント レジスタ	表示
C05h	FX_LPABL	ファイバリンク パートナー アビリティレジスタ	表示
C06h	FX_ANEXP	ファイバ自動ネゴシエーション拡張レジスタ	表示
C07h	FX_LOCNP	ファイバ LOC 次ページレジスタ	表示
C08h	FX_LPNP	ファイバリンク パートナー次ページレジスタ	表示
C10h	CFG_FX_CTRL0	ファイバ信号検出	表示

表 8-1. DP83869 のレジスタ (続き)

オフセット	略称	レジスタ名	セクション
C18h	FX_INT_EN	ファイバ割り込みイネーブル レジスタ	表示
C19h	FX_INT_STS	ファイバ割り込みステータス レジスタ	表示
C1Ah	BIST_CONTROL_FX	ファイバリバース ループバック	表示
C30h	CFG_100FX_CTRL5	信号検出極性設定	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-2. DP83869 のアクセス タイプ コード

アクセスタイプ	コード	説明
読み取りタイプ		
R	R	読み出し
RC	R C	読み出し後 クリア
RH	R H	ハードウェアによってセットまたはク リアされる の読み取り
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
WoP	W	書き込み
WtoPH	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.1.1 BMCR レジスタ (オフセット = 0h) [リセット = 1140h]

BMCR を表 8-3 に示します。

概略表に戻ります。

PHY 機能を制御するために IEEE で定義されたレジスタ。

表 8-3. BMCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	リセット	R/W	0h	このビットは MII リセット機能を制御します。リセットが完了すると、このビットは自動的にクリアされます。 0h = 通常動作 1h = リセット。
14	MII_LOOPBACK	R/W	0h	このビットは MII ループバックを制御します。イネーブルにすると、MAC にデータが送信されます 0h = 無効化 1h = イネーブル
13	SPEED_SEL_LSB	R/W	0h	自動ネゴシエーションがディスエーブルの場合、速度選択ビット LSB[13] および MSB[6] がイーサネットリンクのデータレートを制御するために使用されます。 0h = 10Mbps 1h = 100Mbps 2h = 1000Mbps 3h = 予約済み

表 8-3. BMCR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	AUTONEG_EN	R/W	1h	自動ネゴシエーション機能を制御します 0h = 自動ネゴシエーションがオフ 1h = 自動ネゴシエーションがオン
11	PWD_DWN	R/W	0h	IEEE パワーダウン機能を制御します 0h = 通常モード 1h = IEEE パワーダウン モード
10	絶縁	R/W	0h	MAC インターフェイス ピンを絶縁します。 0h = 通常モード 1h = MAC 絶縁モードが有効化
9	RSTRT_AUTONEG	R/WtoPH	0h	自動ネゴシエーションを再開します 0h = 通常モード 1h = 自動ネゴシエーションを再開
8	DUPLEX_EN	R/W	1h	イーサネットリンクの半二重および全二重モードを制御します 0h = 半二重モード 1h = 全二重モード
7	COL_TST	R/W	0h	衝突信号テストを制御します 0h = 衝突信号テストを無効化 1h = 衝突信号テストを有効化
6	SPEED_SEL_MSB	R	1h	自動ネゴシエーションがディスエーブルになっているときのイーサネットリンクのデータ レートを制御します。詳細については、ビット 13 の説明を参照してください。
5-0	予約済み	R	0h	予約済み

8.1.2 BMSR レジスタ (オフセット = 1h) [リセット = 7949h]

BMSR を表 8-4 に示します。

概略表に戻ります。

PHY のステータスを示すために IEEE で定義されたレジスタ

表 8-4. BMSR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	100M_FDUP	R	1h	100Base-TX 全二重 0h = PHY は全二重 100Base-X を実行不可 1h = PHY は全二重 100Base-X を実行可能
13	100M_HDUP	R	1h	100Base-TX 半二重 0h = PHY は半二重 100Base-X を実行不可 1h = PHY は半二重 100Base-X を実行可能
12	10M_FDUP	R	1h	10Base-Te 全二重 0h = PHY は全二重 10Mbps で動作不可 1h = PHY は全二重 10Mbps で動作可能
11	10M_HDUP	R	1h	10Base-Te 半二重 0h = PHY は半二重 10Mbps で動作不可 1h = PHY は半二重 10Mbps で動作可能
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	EXT_STS	R	1h	レジスタ 15 の 1000Base T 機能の拡張ステータス 1h = レジスタ 0x0F の拡張ステータス情報
7	予約済み	R	0h	予約済み

表 8-4. BMSR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	MF_PREAMBLE_SUP	R	1h	プリアンブルが抑制された管理フレームを受け入れる機能 0h = PHY はプリアンブルが抑制された管理フレームを受け入れない 1h = PHY はプリアンブルが抑制された管理フレームを受け入れる
5	AUTONEG_COMP	R	0h	自動ネゴシエーションのステータス 0h = 自動ネゴシエーション プロセスが未完了 1h = 自動ネゴシエーション プロセスが完了
4	REMOTE_FAULT	RC	0h	リモート障害検出 0h = リモート障害状態は未検出 1h = リモート障害状態を検出済み
3	AUTONEG_ABL	R	1h	自動ネゴシエーション機能 0h = PHY は自動ネゴシエーションを実行不可 1h = PHY は自動ネゴシエーションを実行可能
2	LINK_STS1	R	0h	リンク ステータス これは Low にラッチされます。有効なリンクを確立するためには 2 回読み取る必要があります 0h = リンク ダウン 1h = リンク アップ
1	JABBER_DTCT	RC	0h	ジャババー検出 0h = ジャババーを未検出 1h = ジャババーを検出
0	EXT_CAPBLTY	R	1h	拡張レジスタ機能 0h = 基本レジスタ設定機能 1h = 拡張レジスタ設定機能

8.1.3 PHYDR1 レジスタ (オフセット = 2h) [リセット = 2000h]

PHYDR1 を表 8-5 に示します。

概略表に戻ります。

PHY 識別子レジスタ番号 1 と番号 2 の組み合わせにより、DP83869 の一意の識別子が形成されます。識別子は、管理組織識別子 (OUI)、ベンダのモデル番号、およびモデル リビジョン番号を連結したものです。PHY は、必要に応じて、PHY 識別子の 32 ビットすべてに 0 の値を返すことができます。PHY 識別子は、ネットワーク管理をサポートすることを目的としています。テキサス インストルメンツの IEEE 割り当て済み OUI は 080028h です。

表 8-5. PHYDR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	OUI_MSB	R	2000h	OUI 最上位ビット: OUI (080028h) のビット 3 ~ 18 は、それぞれこのレジスタのビット 15 ~ 0 に保存されます。OUI のビット番号付けは 1 (MSB) ~ 24 (LSB) になります。OUI の最上位 2 ビットは無視されます (IEEE 規格では、これらをビット 1 および 2 と呼びます)。

8.1.4 PHYDR2 レジスタ (オフセット = 3h) [リセット = A0F1h]

PHYDR2 を表 8-6 に示します。

概略表に戻ります。

表 8-6. PHYDR2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	OUI_LSB	R	28h	OUI 最下位ビット: OUI (080028h) のビット 19 ~ 24 は、それぞれこのレジスタのビット 15 ~ 10 に割り当てられています。

表 8-6. PHYDR2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-4	MODEL_NUM	R	Fh	モデル番号:ベンダ モデル番号の 6 ビットはビット 9 ~ 4 に割り当てられています (最上位ビットはビット 9)。
3-0	REVISION_NUM	R	1h	リビジョン番号:ベンダ モデルリビジョン番号の 4 ビットはビット 3 ~ 0 に割り当てられています (最上位ビットはビット 3)。このフィールドは、すべての主要なデバイス変更に対してインクリメントされます。

8.1.5 ANAR レジスタ (オフセット = 4h) [リセット = 0001h]

ANAR を表 8-7 に示します。

概略表に戻ります。

このレジスタには、本デバイスのアドバタイズ機能が格納されており、その内容は自動ネゴシエーション時に PHY のリンクパートナーへ送信されます。自動ネゴシエーション完了前にこのレジスタへの書き込み (基本モード ステータス レジスタ (アドレス 01h) 自動ネゴシエーション完了ビット BMSR[5] に表示) を行う際は、その後に必ず再ネゴシエーションを行う必要があります。これにより、新しい値が自動ネゴシエーションで適切に使用されるようになります。

表 8-7. ANAR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	NEXT_PAGE_1_ADV	R/W	0h	次ページのアドバタイズメント 0h = 追加の SW 次ページの送信希望をアドバタイズしない 1h = 追加の SW 次ページの送信希望をアドバタイズする
14	予約済み	R	0h	予約済み
13	REMOTE_FAULT_ADV	R/W	0h	リモート障害アドバタイズメント 0h = リモート障害イベント検出をアドバタイズしない 1h = リモート障害イベント検出をアドバタイズする
12	ANAR_BIT12	R/W	0h	
11	ASYMMETRIC_PAUSE_ADV	R/W	0h	1b = 非対称型一時停止機能をアドバタイズする 0b = 非対称型一時停止機能をアドバタイズしない
10	PAUSE_ADV	R/W	0h	0h = 一時停止機能をアドバタイズしない 1h = 一時停止機能をアドバタイズする
9	G_100BT_4_ADV	R/W	0h	100BT-4 はサポートされていません
8	G_100BTX_FD_ADV	R/W	0h	100Base-TX 全二重。デフォルトはストラップによって異なり、ストラップなしのデフォルトは 1 です。 0h = 100Base-TX 全二重機能をアドバタイズしない 1h = 100Base-TX 全二重機能をアドバタイズする
7	G_100BTX_HD_ADV	R/W	0h	100Base-TX 半二重。デフォルトはストラップによって異なり、ストラップなしのデフォルトは 1 です。 0h = 100Base-TX 半二重機能をアドバタイズしない 1h = 100Base-TX 半二重機能をアドバタイズする
6	G_10BT_FD_ADV	R/W	0h	デフォルトはストラップによって異なり、ストラップなしのデフォルトは 1 です 0h = 10Base-T 全二重機能をアドバタイズしない 1h = 10Base-T 全二重機能をアドバタイズする
5	G_10BT_HD_ADV	R/W	0h	デフォルトはストラップによって異なり、ストラップなしのデフォルトは 1 です 0h = 10Base-T 半二重機能をアドバタイズしない 1h = 10Base-T 半二重機能をアドバタイズする
4-0	SELECTOR_FIELD_ADV	R/W	1h	技術セレクト フィールド (802.3 == 00001)

8.1.6 ALNPAR レジスタ (オフセット = 5h) [リセット = 0000h]

ALNPAR を表 8-8 に示します。

概略表に戻ります。

このレジスタには、自動ネゴシエーション中に受信したリンク パートナーのアドバタイズされた機能が含まれます。次ページがサポートされている場合、自動ネゴシエーションが成功すると、コンテンツが変更されます。

表 8-8. ALNPAR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	NEXT_PAGE_1_LP	R	0h	0h = リンク パートナーが追加の SW 次ページの送信希望をアドバタイズしない 1h = リンク パートナーが追加の SW 次ページの送信希望をアドバタイズする
14	ACKNOWLEDGE_1_LP	R	0h	0h = リンク パートナーがリンク パートナーのリンク コード ワードの受信をアクロリッジしない 1h = リンク パートナーがリンク パートナーのリンク コード ワードの受信をアクロリッジする
13	REMOTE_FAULT_LP	R	0h	0h = リンク パートナーがリモート障害イベント検出をアドバタイズしない 1h = リンク パートナーがリモート障害イベント検出をアドバタイズする
12	予約済み	R	0h	予約済み
11	ASYMMETRIC_PAUSE_LP	R	0h	0h = リンク パートナーが非対称型一時停止機能をアドバタイズしない 1h = リンク パートナーが非対称型一時停止機能をアドバタイズする
10	PAUSE_LP	R	0h	0h = リンク パートナーが一時停止機能をアドバタイズしない 1h = リンク パートナーが一時停止機能をアドバタイズする
9	G_100BT4_LP	R	0h	0h = リンク パートナーが 100Base-T4 機能をアドバタイズしない 1h = リンク パートナーが 100Base-T4 機能をアドバタイズする
8	G_100BTX_FD_LP	R	0h	0h = リンク パートナーが 100Base-TX 全二重機能をアドバタイズしない 1h = リンク パートナーが 100Base-TX 全二重機能をアドバタイズする
7	G_100BTX_HD_LP	R	0h	0h = リンク パートナーが 100Base-TX 半二重機能をアドバタイズしない 1h = リンク パートナーが 100Base-TX 半二重機能をアドバタイズする
6	G_10BT_FD_LP	R	0h	0h = リンク パートナーが 10Base-T 全二重機能をアドバタイズしない 1h = リンク パートナーが 10Base-T 全二重機能をアドバタイズする
5	G_10BT_HD_LP	R	0h	0h = リンク パートナーが 10Base-T 半二重機能をアドバタイズしない 1h = リンク パートナーが 10Base-T 半二重機能をアドバタイズする
4-0	SELECTOR_FIELD_LP	R	0h	技術セレクト フィールド

8.1.7 ANER レジスタ (オフセット = 6h) [リセット = 0064h]

ANER を表 8-9 に示します。

概略表に戻ります。

このレジスタには、追加のローカル デバイスおよびリンク パートナーのステータス情報が含まれています。

表 8-9. ANER レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-7	予約済み	R	0h	予約済み
6	RX_NEXT_PAGE_LOC_A BLE	R	1h	0h = 受信した次ページの保存場所はビット 6.5 で指定されていない 1h = 受信した次ページの保存場所はビット 6.5 で指定されている
5	RX_NEXT_PAGE_STOR_LOC	R	1h	0h = リンク パートナーの次ページはレジスタ 5 に保存されている 1h = リンク パートナーの次ページはレジスタ 8 に保存されている
4	PRLT_TDCT_FAULE	RC	0h	このステータスは LH (Latched-High) です 0h = 並列検出プロセス中にフォルトを未検出 1h = 並列検出プロセス中にフォルトを検出済み
3	LP_NP_ABLE	R	0h	0h = リンク パートナーが次ページを交換できない 1h = リンク パートナーが次ページを交換できる

表 8-9. ANER レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	LOCAL_NP_ABLE	R	1h	0h = ローカル デバイスが次ページを交換できない 1h = ローカル デバイスが次ページを交換できる
1	PAGE_RECEIVED_1	RC	0h	このステータスは LH (Latched-High) です 0h = 新しいページは未受信 1h = 新しいオートネゴシエーション ページを受信済み
0	LP_AUTONEG_ABLE	R	0h	0h = リンク パートナーが自動ネゴシエーションをサポートしていない 1h = リンク パートナーが自動ネゴシエーションをサポートしている

8.1.8 ANNPTR レジスタ (オフセット = 7h) [リセット = 2001h]

ANNPTR を表 8-10 に示します。

概略表に戻ります。

このレジスタには、自動ネゴシエーション中にこのデバイスが PHY のリンク パートナーに送信する次ページの情報が含まれています。

表 8-10. ANNPTR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	NEXT_PAGE_2_ADV	R/W	0h	0h = 追加の次ページの送信の希望をアドバタイズしない 1h = 追加の次ページの送信の希望をアドバタイズする
14	予約済み	R	0h	予約済み
13	MESSAGE_PAGE	R/W	1h	0h = 現在のページは未フォーマット ページ 1h = 現在のページはメッセージ ページ
12	ACKNOWLEDGE2	R/W	0h	0h = ACK2 ビットを設定しない 1h = ACK2 ビットを設定する
11	トグル	R	0h	すべてのページを切り替えます。初期値は !4.11 です
10-0	MESSAGE_UNFORMATTED	R/W	1h	メッセージ / 未フォーマット ページの内容

8.1.9 ANLNPTR レジスタ (オフセット = 8h) [リセット = 2001h]

表 8-11 に、ANLNPTR を示します。

概略表に戻ります。

このレジスタには、自動ネゴシエーション中にリンク パートナーが送信した次ページの情報が含まれます。

表 8-11. ANLNPTR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	NEXT_PAGE_2_LP	R	0h	0h = リンク パートナーが追加の次ページの送信希望をアドバタイズしない 1h = リンク パートナーが追加の次ページの送信希望をアドバタイズする
14	ACKNOWLEDGE_2_LP	R	0h	0h = リンク パートナーがリンク コード動作の受信をアクリッジしない 1h = リンク パートナーがリンク コードワードの受信をアクリッジする
13	MESSAGE_PAGE_LP	R	1h	0h = 受信したページは未フォーマット ページ 1h = 受信したページはメッセージ ページ
12	ACKNOWLEDGE2_LP	R	0h	0h = リンク パートナーが ACK2 ビットを設定しない 1h = リンク パートナーが ACK2 ビットを設定する
11	TOGGLE_LP	R	0h	すべてのページを切り替えます。初期値は !5.11 です
10-0	MESSAGE_UNFORMATTED_LP	R	1h	メッセージ / 未フォーマット ページの内容

8.1.10 GEN_CFG1 レジスタ (オフセット = 9h) [リセット = 0300h]

GEN_CFG1 を表 8-12 に示します。

概略表に戻ります。

表 8-12. GEN_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	TEST_MODE	R/W	0h	0h = 通常モード 1h = テスト モード 1 — 送信波形テスト 2h = テスト モード 2 — 送信ジッタ テスト (リーダー モード) 3h = テスト モード 3 — 送信ジッタ テスト (フォロワー モード) 4h = テスト モード 4 — 送信歪みテスト 5h = テスト モード 5 — スランブル MLT3 アイドル 6h = テスト モード 6 — 反復 0001 シーケンス 7h = テスト モード 7 — 反復 {パルス、63 個のゼロ}
12	LEADER_FOLLOWER_M AN_CFG_EN	R/W	0h	0h = 手動リーダー / フォロワー 設定を有効にしない 1h = 手動リーダー / フォロワー 設定を有効にする
11	LEADER_FOLLOWER_M AN_CFG_VAL	R/W	0h	0h = フォロワー として手動で設定 1h = リーダー として手動で設定
10	PORT_TYPE	R/W	0h	0h = シングルポート デバイス 1h = マルチポート デバイス
9	G_1000BT_FD_ADV	R/W	1h	デフォルトはストラップによって異なります 0h = 1000Base-T 全二重機能をアダプタイズしない 1h = 1000Base-T 全二重機能をアダプタイズする
8	G_1000BT_HD_ADV	R/W	1h	デフォルトはストラップによって異なります 0h = 1000Base-T 半二重機能をアダプタイズしない 1h = 1000Base-T 半二重機能をアダプタイズする
7	TDR_AUTO_RUN	R/W	0h	リンク ダウン 時の TDR 自動実行: 0h = TDR 自動実行を無効化 1h = リンク ダウン イベント後の TDR 手順の実行を有効化
6-0	予約済み	R	0h	予約済み

8.1.11 GEN_STATUS1 レジスタ (オフセット = Ah) [リセット = 0000h]

GEN_STATUS1 を表 8-13 に示します。

概略表に戻ります。

表 8-13. GEN_STATUS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	MS_CONFIG_FAULT	RC	0h	0h = リーダー / フォロワー 設定のフォルトは未検出。このステータスは LH (Latched-High) 1h = リーダー / フォロワー 設定のフォルトを検出済み
14	MS_CONFIG_RES	R	0h	0h = ローカル PHY 設定をフォロワー として解決 1h = ローカル PHY 設定をリーダー として解決
13	LOC_RCVR_STATUS_1	R	0h	0h = ローカル レシーバは OK ではない 1h = ローカル レシーバは OK
12	REM_RCVR_STATUS	R	0h	0h = リモート レシーバは OK ではない 1h = リモート レシーバは OK
11	LP_1000BT_FD_ABILITY	R	0h	0h = リンク パートナーが 1000Base-T 全二重機能をサポートしない 1h = リンク パートナーが 1000Base-T 全二重機能をサポートする
10	LP_1000BT_HD_ABILITY	R	0h	0h = リンク パートナーが 1000Base-T 半二重機能をサポートしない 1h = リンク パートナーが 1000Base-T 半二重機能をサポートする
9-8	予約済み	R	0h	予約済み

表 8-13. GEN_STATUS1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7-0	IDLE_ERR_COUNT	R	0h	1000Base-T アイドル エラー カウンタ

8.1.12 REGCR レジスタ (オフセット = Dh) [リセット = 0000h]

REGCR を表 8-14 に示します。

概略表に戻ります。

このレジスタは、MDIO 管理可能な MMD アクセス制御です。一般に、レジスタ REGCR (4:0) は、ADDAR (0x000E) レジスタのすべてのアクセスを適切な MMD に向けるデバイス アドレス DEVAD です。REGCR には、データ レジスタを自動インクリメントするための選択ビットも含まれています。このレジスタには、拡張レジスタへのアクセス用に書き込まれるデバイス アドレスが含まれています。このレジスタのビット 4:0 に 0x1F を書き込みます。REGCR には、ADDAR のアドレス自動インクリメント モード用の選択ビット (15:14) も含まれています。

表 8-14. REGCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	G_FUNCTION	R/W	0h	0h = アドレス 1h = データ、ポスト インクリメントなし 2h = データ、読み出しおよび書き込み時にポスト インクリメント 3h = データ、書き込み時のみにポスト インクリメント
13-5	予約済み	R	0h	予約済み
4-0	DEVAD	R/W	0h	デバイス アドレス

8.1.13 ADDAR レジスタ (オフセット = Eh) [リセット = 0000h]

ADDAR を表 8-15 に示します。

概略表に戻ります。

このレジスタは、アドレス / データ MMD レジスタです。ADDAR は、REGCR レジスタ (0x000D) と組み合わせて使用することで、拡張レジスタ セットへの間接的な読み取り / 書き込み機能によるアクセスを提供します。

表 8-15. ADDAR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	ADDR_DATA	R/W	0h	レジスタが 13.15:14 = 00 の場合、MMD DEVAD のアドレスレジスタを保持します。それ以外の場合、MMD DEVAD のデータレジスタを保持します

8.1.14 1KSCR レジスタ (オフセット = Fh) [リセット = F000h]

1KSCR を表 8-16 に示します。

概略表に戻ります。

表 8-16. 1KSCR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	G_1000BX_FD	R	1h	0h = PHY が 1000Base-X 全二重機能をサポートしない 1h = PHY が 1000Base-X 全二重機能をサポートする
14	G_1000BX_HD	R	1h	0h = PHY が 1000Base-X 半二重機能をサポートしない 1h = PHY が 1000Base-X 半二重機能をサポートする
13	G_1000BT_FD	R	1h	0h = PHY が 1000Base-T 全二重機能をサポートしない 1h = PHY が 1000Base-T 全二重機能をサポートする

表 8-16. 1KSCR レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	G_1000BT_HD	R	1h	0h = PHY が 1000Base-T 半二重機能をサポートしない 1h = PHY が 1000Base-T 半二重機能をサポートする
11-0	予約済み	R	0h	予約済み

8.1.15 PHY_CONTROL レジスタ (オフセット = 10h) [リセット = 5048h]

表 8-17 に、PHY_CONTROL を示します。

概略表に戻ります。

表 8-17. PHY_CONTROL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	TX_FIFO_DEPTH	R/W	1h	FIFO は、次のモードでのみ有効化されます。1000BaseT + GMII、10BaseT/100BaseTX/1000BaseT + SGMII 0h = 3 バイト/ニブル (1000Mbps / その他の速度) 1h = 4 バイト/ニブル (1000Mbps / その他の速度) 2h = 6 バイト/ニブル (1000Mbps / その他の速度) 3h = 8 バイト/ニブル (1000Mbps / その他の速度)
13-12	RX_FIFO_DEPTH	R/W	1h	FIFO は、SGMII を使用する場合にのみ有効化されます 0h = 3 バイト/ニブル (1000Mbps / その他の速度) 1h = 4 バイト/ニブル (1000Mbps / その他の速度) 2h = 6 バイト/ニブル (1000Mbps / その他の速度) 3h = 8 バイト/ニブル (1000Mbps / その他の速度)
11	予約済み	R/W	0h	予約済み
10	FORCE_LINK_GOOD	R/W	0h	0h = 通常動作 1h = 速度が 1G の場合、リンク OK を強制
9-8	POWER_SAVE_MODE	R/W	0h	0h = 通常モード 1h = 予約済み 2h = アクティブ スリープ モード 3h = パンピング スリープ モード
7	予約済み	R/W	0h	予約済み
6-5	MDI_CROSSOVER_MODE	R/W	2h	デフォルトはストラップによって異なります 0h = 手動 MDI 構成 1h = 手動 MDI-X 構成 Ah = 自動クロスオーバーを有効化 Bh = 自動クロスオーバーを有効化
4	DISABLE_CLK_125	R/W	0h	0h = CLK125 を有効化 1h = CLK125 を無効化
3	予約済み	R/W	0h	予約済み
2	予約済み	R/W	0h	予約済み
1	LINE_DRIVER_INV_EN	R/W	0h	このビットはミラー モードでは機能しません 0h = LD 送信を反転しない 1h = LD 送信を反転する
0	DISABLE_JABBER	R/W	0h	0h = ジャババー機能を有効化 1h = ジャババー機能を無効化

8.1.16 PHY_STATUS レジスタ (オフセット = 11h) [リセット = 0000h]

PHY_STATUS を表 8-18 に示します。

概略表に戻ります。

表 8-18. PHY_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	SPEED_SEL	R	0h	0h = 10Mbps 1h = 100Mbps 2h = 1000Mbps 3h = 予約済み
13	DUPLEX_MODE_ENV	R	0h	0h = 半二重 1h = 全二重
12	PAGE_RECEIVED_2	RC	0h	このビットは LH (Latched-High) です。つまり、このビットが「ページの受信あり」を検出すると、レジスタが読み取られるまで、このビットは値「1」を保持します。これ以上「ページの受信あり」がない場合、2 回目の読み取り値は「0」になります。 0h = ページの受信なし 1h = ページの受信あり
11	SPEED_DUPLEX_RESOLUTION	R	0h	0h = 自動ネゴシエーションが有効化かつ未完了 1h = 自動ネゴシエーションが完了または無効化
10	LINK_STATUS_2	R	0h	0h = リンクの確立なし 1h = リンクは確立
9	MDI_X_MODE_CD_1	R	0h	0h = MDI 1h = MDI-X
8	MDI_X_MODE_AB_1	R	0h	0h = MDI 1h = MDI-X
7	SPEED_OPT_STATUS	R	0h	0h = 速度最適化を使用しないで自動ネゴシエーションが現在実行されている 1h = 1000BaseT の機能をマスキングする速度最適化を使用して自動ネゴシエーションが現在実行されている (自動ネゴシエーション中のみ有効)
6	SLEEP_MODE	R	0h	0h = アクティブ 1h = スリープ
5-2	WIRE_CROSS	R	0h	1000BT リンクでチャンネル [D、C、B、A] の極性を示します 0h = チャンネルの極性は通常 1h = チャンネルの極性は反転
1	DATA_POLARITY	R	0h	0h = 10BT は逆極性 1h = 10BT は通常の極性
0	JABBER_DTCT_2	R	0h	0h = ジャババーなし 1h = ジャババーあり

8.1.17 INTERRUPT_MASK レジスタ (オフセット = 12h) [リセット = 0000h]

INTERRUPT_MASK を表 8-19 に示します。

概略表に戻ります。

このレジスタは、割り込み PHY 専用制御レジスタを実装しています。個別の割り込みイベントは、MII 割り込み制御レジスタ (MICR) のビットをセットしてイネーブルにする必要があります。レジスタの対応するイネーブル ビットがセットされている場合、イベントが発生すると割り込みが生成されます。

表 8-19. INTERRUPT_MASK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	AUTONEG_ERR_INT_EN	R/W	0h	0h = 割り込みを無効化 1h = 割り込みを有効化
14	SPEED_CHNG_INT_EN	R/W	0h	0h = 割り込みを無効化 1h = 割り込みを有効化
13	DUPLEX_MODE_CHNG_INT_EN	R/W	0h	0h = 割り込みを無効化 1h = 割り込みを有効化

表 8-19. INTERRUPT_MASK レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	PAGE_RECEIVED_INT_EN	R/W	0h	0h = 割り込みを無効化 1h = 割り込みを有効化
11	AUTONEG_COMP_INT_EN	R/W	0h	0h = 割り込みを無効化 1h = 割り込みを有効化
10	LINK_STATUS_CHNG_INT_EN	R/W	0h	0h = 割り込みを無効化 1h = 割り込みを有効化
9	EEE_ERR_INT_EN	R/W	0h	0h = 割り込みを無効化 1h = 割り込みを有効化
8	FALSE_CARRIER_INT_EN	R/W	0h	0h = 割り込みを無効化 1h = 割り込みを有効化
7	ADC_FIFO_OVF_UNF_INT_EN	R/W	0h	0h = 割り込みを無効化 1h = 割り込みを有効化
6	MDI_CROSSOVER_CHNG_INT_EN	R/W	0h	0h = 割り込みを無効化 1h = 割り込みを有効化
5	SPEED_OPT_EVENT_INT_EN	R/W	0h	0h = 割り込みを無効化 1h = 割り込みを有効化
4	SLEEP_MODE_CHNG_INT_EN	R/W	0h	0h = 割り込みを無効化 1h = 割り込みを有効化
3	WOL_INT_EN	R/W	0h	0h = 割り込みを無効化 1h = 割り込みを有効化
2	XGMII_ERR_INT_EN	R/W	0h	0h = 割り込みを無効化 1h = 割り込みを有効化
1	POLARITY_CHNG_INT_EN	R/W	0h	0h = 割り込みを無効化 1h = 割り込みを有効化
0	JABBER_INT_EN	R/W	0h	0h = 割り込みを無効化 1h = 割り込みを有効化

8.1.18 INTERRUPT_STATUS レジスタ (オフセット = 13h) [リセット = 0000h]

INTERRUPT_STATUS を表 8-20 に示します。

概略表に戻ります。

このレジスタには、割り込み機能のイベント ステータスが含まれています。このレジスタの前の読み取り以降にイベントが発生した場合、対応するステータス ビットがセットされます。このレジスタのステータス表示は、割り込みがイネーブルでない場合でもセットされます。

表 8-20. INTERRUPT_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	AUTONEG_ERR	RC	0h	0h = 自動ネゴシエーション エラーは発生していない。このビットは LH (Latched-High) 1h = 自動ネゴシエーション エラーが発生した
14	SPEED_CHNG	RC	0h	0h = リンク速度は変更されていない。このビットは LH (Latched-High) 1h = リンク速度が変更された
13	DUPLEX_MODE_CHNG	RC	0h	0h = 二重モードは変更されていない。このビットは LH (Latched-High) 1h = 二重モードが変更された
12	PAGE_RECEIVED	RC	0h	0h = ページは受信されていない。このビットは LH (Latched-High) 1h = ページを受信済み
11	AUTONEG_COMP	RC	0h	0h = 自動ネゴシエーションは未完了。このビットは LH (Latched-High) 1h = 自動ネゴシエーションが完了

表 8-20. INTERRUPT_STATUS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10	LINK_STATUS_CHNG	RC	0h	0h = リンク ステータスは変更されていない。このビットは LH (Latched-High) 1h = リンク ステータスが変更された
9	EEE_ERR_STATUS	R	0h	1h = EEE エラーが検出済み
8	FALSE_CARRIER	RC	0h	0h = 割り込みを無効化。このビットは LH (Latched-High) 1h = 割り込みを有効化
7	ADC_FIFO_OVF_UNF	RC	0h	1h = ADC の FIFO のいずれかでオーバーフロー / アンダーフローが検出済み。このビットは LH (Latched-High)
6	MDI_CROSSOVER_CHNG	RC	0h	0h = MDI クロスオーバーは変更されていない。このビットは LH (Latched-High) 1h = MDI クロスオーバーが変更された
5	SPEED_OPT_EVENT	RC	0h	0h = MDI クロスオーバーは変更されていない。このビットは LH (Latched-High) 1h = MDI クロスオーバーが変更された
4	SLEEP_MODE_CHNG	RC	0h	0h = スリープ モードは変更されていない。このビットは LH (Latched-High) 1h = スリープ モードが変更された
3	WOL_STATUS	R	0h	1h = WoL (またはパターン) バケットを受信済み
2	XGMII_ERR_STATUS	R	0h	0h = オーバーフロー / アンダーフローが未検出 1h = GMII/RGMII/SGMII バッファのいずれかでオーバーフロー / アンダーフローが検出済み
1	POLARITY_CHNG	R	0h	0h = データ極性は変更されていない。このビットは LH (Latched-High) 1h = データ極性が変化した
0	ジャババー	RC	0h	0h = ジャババーは未検出。このビットは LH (Latched-High) 1h = ジャババーを検出

8.1.19 GEN_CFG2 レジスタ (オフセット = 14h) [リセット = 29C7h]

GEN_CFG2 を表 8-21 に示します。

概略表に戻ります。

表 8-21. GEN_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PD_DETECT_EN	R/WtoPH	0h	0h = PD 検出を無効化 1h = PD (受電側) 検出を有効化
14	SGMII_TX_ERR_DIS	R/W	0h	0h = SGMII TX エラー通知を有効化します 1h = SGMII TX エラー通知を無効化します
13	INTERRUPT_POLARITY	R/W	1h	0h = 割り込みピンがアクティブ High 1h = 割り込みピンがアクティブ Low
12	SGMII_SOFT_RESET	R/WtoPH	0h	このビットをセットすると、SGMII のソフトリセット パルスが生成されます。このレジスタは WSC (書き込み自動クリア) です。
11-10	SPEED_OPT_ATTEMPT_CNT	R/W	2h	速度最適化を実行する前に、1G リンク確立試行の失敗回数を選択します。 0h = 1 回の試行 1h = 2 回の試行 2h = 4 回の試行 3h = 8 回の試行
9	SPEED_OPT_EN	R/W	0h	0h = 速度最適化を無効化 1h = 速度最適化を有効化

表 8-21. GEN_CFG2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	SPEED_OPT_ENHANCE_D_EN	R/W	1h	拡張モードでは、チャンネル C および D でエネルギーが検出されない場合、速度が最適化されます 0h = 速度最適化拡張モードを無効化 1h = 速度最適化拡張モードを有効化
7	SGMII_AUTONEG_EN	R/W	1h	0h = SGMII の自動ネゴシエーションを無効化 1h = SGMII の自動ネゴシエーションを有効化
6	SPEED_OPT_10M_EN	R/W	1h	0h = 10M への速度最適化を無効化 1h = 10M までの速度最適化を有効化 (1G および 100M のリンク確立に失敗した場合)
5-4	MII_CLK_CFG	R/W	0h	1G モードで GMII_TX_CLK の周波数を選択します。 0h = 2.5Mhz 1h = 25Mhz 2h=ディセーブル 3h=ディセーブル
3	COL_FD_EN	R/W	0h	0h = 全二重モードでの COL 表示を無効化 1h = 全二重モードでの COL 表示を有効化
2	LEGACY_CODING_TXM_ODE_EN	R/W	1h	0h = 1G、リーダー モードでレガシー スクランプラ モードの自動選択を無効化 1h = 1G、リーダー モードでレガシー スクランプラ モードの自動選択を有効化
1	LEADER_SEMI_CROSS_EN	R/W	1h	0h = 1G リーダー モードでセミクロス モードを無効化 1h = 1G リーダー モードでセミクロス モードを有効化
0	FOLLOWER_SEMI_CROSS_EN	R/W	1h	0h = 1G フォロワー モードでセミクロス モードを無効化 1h = 1G フォロワー モードでセミクロス モードを有効化

8.1.20 RX_ERR_CNT レジスタ (オフセット = 15h) [リセット = 0000h]

RX_ERR_CNT を表 8-22 に示します。

概略表に戻ります。

表 8-22. RX_ERR_CNT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	RX_ERROR_COUNT	R/W1C	0h	受信エラー カウンタ

8.1.21 BIST_CONTROL レジスタ (オフセット = 16h) [リセット = 0000h]

BIST_CONTROL を表 8-23 に示します。

概略表に戻ります。

このレジスタは、組み込みセルフ テスト (BIST) 構成に使用されます。BIST 機能は、パケット ジェネレータおよびチェッカなどの疑似ランダム ビット ストリーム (PRBS) メカニズムを提供します。このレジスタでは、信号チェーンの正確なループバック ポイントの選択も行います。

表 8-23. BIST_CONTROL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	PACKET_GEN_EN_3:0	R/W	0h	これらのビットは PRBS ジェネレータを制御します。その他の値は適用できません。 0h = PRBS はディセーブル Fh = 連続 PRBS を有効化
11-10	予約済み	R	0h	予約済み
9	予約済み	R/W	0h	予約済み

表 8-23. BIST_CONTROL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	予約済み	R/W	0h	予約済み
7	REV_LOOP_RX_DATA_CTRL	R/W	0h	リバース ループバック受信データ制御:このビットは、リバース ループバック モードでのみ設定できます 0h = リバース ループで MAC への RX パケットを抑制 1h = リバース ループで MAC に RX パケットを送信
6	MII_LOOP_TX_DATA_CTRL	R/W	0h	MII ループバック送信データ制御:このビットは、MII ループバック モードでのみ設定できます 0h = MII ループで MDI へのデータを抑制 1h = MII ループで MDI にデータを送信
5-2	LOOP_TX_DATA_MIX	R/W	0h	ループバック モードの選択:PCS ループバックを無効化する必要があります (ビット [1:0] = 00) 0h = ループバックなし 1h = デジタル ループバック 2h = アナログ ループバック 4h = 外部ループバック 8h = 逆ループバック
1-0	LOOPBACK_MODE	R/W	0h	PCS ループバック選択 – 1000Base-T、X1b で構成されている場合: 100Base-TX で構成した場合、1000Base-T 信号処理前のループ 0h = ビット [5:2] を参照 01b = スクランブラの前でループバック 10b = スクランブラの後、MLT3 エンコーダの前でループバック 11b = MLT3 エンコーダの後でループバック (TX/RX フルパス)

8.1.22 GEN_STATUS2 レジスタ (オフセット = 17h) [リセット = 0040h]

GEN_STATUS2 を表 8-24 に示します。

[概略表](#)に戻ります。

表 8-24. GEN_STATUS2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PD_PASS	RC	0h	0h = PD が未検出 1h = PD (受電側) が正常に検出済み
14	PD_PULSE_DET_ZERO	RC	0h	0h = PD 検出メカニズムは信号を受信済み 1h = PD 検出メカニズムは信号を未受信
13	PD_FAIL_WD	RC	0h	0h = PD 検出メカニズム ウォッチドッグは期限切れではない 1h = PD 検出メカニズム ウォッチドッグは期限切れ
12	PD_FAIL_NON_PD	RC	0h	0h = PD 検出メカニズムは非受電側を未検出 1h = PD 検出メカニズムは非受電側を検出済み
11	PRBS_LOCK	R	0h	0h = PRBS チェックはロックしていない 1h = 受信したバイト ストリームで PRBS チェックがロックおよび同期
10	PRBS_SYNC_LOSS	R	0h	0h = PRBS チェックは同期 LH を失っていない — 読み取りレジスタでのクリア 1h = PRBS チェックは同期を失った
9	PKT_GEN_BUSY	R	0h	0h = パケット ジェネレータは処理中ではありません 1h = パケット ジェネレータは処理中です
8	SCR_MODE_LEADER_1G	R	0h	0h = 1G PCS (リーダー) は通常エンコード モード 1h = 1G PCS (リーダー) はレガシー エンコード モード
7	SCR_MODE_FOLLOWER_1G	R	0h	0h = 1G PCS (フォロワー) は通常エンコード モード 1h = 1G PCS (フォロワー) はレガシー エンコード モード
6	CORE_PWR_MODE	R	1h	0h = コアはパワーダウンまたはスリープ モード 1h = コアは通常電力モード

表 8-24. GEN_STATUS2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	予約済み	R	0h	予約済み

8.1.23 LEDS_CFG1 レジスタ (オフセット = 18h) [リセット = 6XXXh]

LEDS_CFG1 を表 8-25 に示します。

概略表に戻ります。

表 8-25. LEDS_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	LED_GPIO_SEL	R/W	6h	GPIO LED のソース。ビット 3:0 と同じ
11-8	LED_2_SEL	R/W	Xh	デフォルトについては、「ストラップ構成」セクションを参照してください。 LED_2 (LED 2) のソース、ビット 3:0 と同じ
7-4	LED_1_SEL	R/W	Xh	デフォルトについては、「ストラップ構成」セクションを参照してください。 LED_1 のソース (LED 1)
3-0	LED_0_SEL	R/W	Xh	デフォルトについては、「ストラップ構成」セクションを参照してください。 LED_0 のソース (LED 0) 0h = リンク OK 1h = RX/TX 動作 2h = TX 動作 3h = RX 動作 4h = 衝突検出 5h = 1000BT/1000BASE-X リンクがアップ 6h = 100 BTX/100BASE-FX リンクがアップ 7h = 10BT リンクがアップ 8h = 10/100BT リンクがアップ 9h = 100/1000BT リンクがアップ Ah = 全二重 Bh = 銅線のみリンク ステータス + TX/RX 動作で点滅 Ch = NA Dh = RX_ER または TX_ER Eh = RX_ER

8.1.24 LEDS_CFG2 レジスタ (オフセット = 19h) [リセット = 4444h]

LEDS_CFG2 を表 8-26 に示します。

概略表に戻ります。

表 8-26. LEDS_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	LED_GPIO_POLARITY	R/W	1h	GPIO LED の極性: デフォルトはストラップによって異なり、ストラップなしのデフォルトはアクティブ High です 0h = アクティブ Low 1h = アクティブ High
13	LED_GPIO_DRV_VAL	R/W	0h	ビット 12 が設定セットされている場合、これは GPIO LED の値です
12	LED_GPIO_DRV_EN	R/W	0h	ビット 13 に基づく値を LED_GPIO に強制します 0h = LED_GPIO は通常動作モード 1h = LED_GPIO の値を強制的に設定
11	予約済み	R	0h	予約済み

表 8-26. LEDS_CFG2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10	LED_2_POLARITY	R/W	1h	LED_2 の極性。デフォルトはストラップによって異なり、ストラップなしのデフォルトはアクティブ High です 0h = アクティブ Low 1h = アクティブ High
9	LED_2_DRV_VAL	R/W	0h	ビット 8 が設定されている場合、これは LED_2 の値です
8	LED_2_DRV_EN	R/W	0h	ビット 9 に基づく値を LED_GPIO に強制します 0h = LED_2 は通常動作モード 1h = LED_2 の値を駆動
7	予約済み	R	0h	予約済み
6	LED_1_POLARITY	R/W	1h	LED_1 極性: デフォルトはストラップによって異なり、ストラップなしのデフォルトはアクティブ High です 0h = アクティブ Low 1h = アクティブ High
5	LED_1_DRV_VAL	R/W	0h	ビット 4 が設定されている場合、これは LED_1 の値です
4	LED_1_DRV_EN	R/W	0h	ビット 5 に基づく値を LED_GPIO に強制します 0h = LED_1 は通常動作モード 1h = LED_1 の値を駆動
3	予約済み	R	0h	予約済み
2	LED_0_POLARITY	R/W	1h	LED_0 極性: デフォルトはストラップによって異なり、ストラップなしのデフォルトはアクティブ High です 0h = アクティブ Low 1h = アクティブ High
1	LED_0_DRV_VAL	R/W	0h	ビット 1 が設定されている場合、これは LED_0 の値です
0	LED_0_DRV_EN	R/W	0h	ビット 1 に基づく値を LED_GPIO に強制します 0h = LED_0 は通常動作モード 1h = LED_0 の値を駆動

8.1.25 LEDS_CFG3 レジスタ (オフセット = 1Ah) [リセット = 0002h]

LEDS_CFG3 を表 8-27 に示します。

概略表に戻ります。

表 8-27. LEDS_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-3	予約済み	R	0h	予約済み
2	LEDS_BYPASS_STRETCHING	R/W	0h	0b = 通常動作 1b = バイパス LED ストレッチング
1-0	LEDS_BLINK_RATE	R/W	2h	00b = 20Hz (50mSec) 01b = 10Hz (100mSec) 10b = 5Hz (200mSec) 11b = 2Hz (500mSec)

8.1.26 GEN_CFG4 レジスタ (オフセット = 1Eh) [リセット = 0012h]

GEN_CFG4 を表 8-28 に示します。

概略表に戻ります。

表 8-28. GEN_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	CFG_FAST_ANEG_EN	R/W	0h	高速 ANEG モードを有効化

表 8-28. GEN_CFG4 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13-12	CFG_FAST_ANEG_SEL_VAL	R/W	0h	高速 ANEG モードが有効である場合、この値により短いタイム期間が選択されます。0x0 は最短タイム設定で、0x2 が最長です
11	CFG_ANEG_ADV_FD_EN	R/W	0h	これにより、パラレル検出リンクにおいても FD を宣言できるようになります。IEEE では、パラレル検出においては常に HD を宣言するよう規定されていますが、このビットにより、このシナリオにおいても FD を宣言することが可能になります
10	RESTART_STATUS_BITS_EN	R/W	0h	イネーブルをリセット 0h = ステータス ビットをクリアしない 1h = すべての PHY ステータス ビットをクリア (レジスタ 0x11 の一部)
9	CFG_ROBUST_AMDIX_EN	R/W	0h	堅牢な自動 MDI/MDIX 解像度を有効化
8	CFG_FAST_AMDIX_EN	R/W	0h	高速自動 MDI-X モードを有効化
7	INT_OE	R/W	0h	割り込み出力イネーブル: 0h = パワーダウン入力の INTN/PWDN パッド 1h = INTN/PWDN パッドは割り込み出力
6	FORCE_INTERRUPT	R/W	0h	0h = 通常割り込みモード 1h = 割り込みピンをアサート
5	予約済み	R/W	0h	予約済み
4	予約済み	R/W	0h	予約済み
3	FORCE_1G_AUTONEG_EN	R/W	0h	0h = レジスタ 0x0000 の手動速度が 1G の場合、自動ネゴシエーションを起動しない 1h = レジスタ 0x0000 の手動速度が 1G の場合、1G のみアダプタサイズされた自動ネゴシエーションを起動する
2	TDR_FAIL	R	0h	
1	TDR_DONE	R	1h	
0	TDR_START	R/WtoPH	0h	0h = TDR が完了 1h = TDR を開始

8.1.27 GEN_CTRL レジスタ (オフセット = 1Fh) [リセット = 0000h]

GEN_CTRL を表 8-29 に示します。

概略表に戻ります。

表 8-29. GEN_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	SW_RESET	R/WtoPH	0h	ソフトウェアリセット — PHY をリセットし、レジスタを PHY のデフォルト値に戻します。ストラップピンを使用して制御されるレジスタは、PHY の最後のストラップ値に戻ります。 0h = 通常モード 1h = PHY をリセット
14	SW_RESTART	R/WtoPH	0h	ソフトリスタート レジスタに影響を与えずに PHY を再起動します。 0h = 通常動作 1h = ソフトウェアリセット
13	予約済み	R/W	0h	予約済み
12-7	予約済み	R/W	0h	予約済み
6-0	予約済み	R/W	0h	予約済み

8.1.28 G_10BT_CTRL_1 レジスタ (オフセット = 23h) [リセット = 8D1Ch]

G_10BT_CTRL_1 を表 8-30 に示します。

[概略表](#)に戻ります。

表 8-30. G_10BT_CTRL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	TX_ALPHA	R/W	8h	10Base-Te TX 正弦補間器で使用されるアルファ係数 デフォルト値は 8h ですが、10Base-Te 準拠テストには 9h を使用します。 10M を使用する予定の場合は、このビットを設定します。
11	予約済み	R/W	0h	予約済み
10	予約済み	R/W	0h	予約済み
9	予約済み	R/W	0h	予約済み
8	予約済み	R/W	0h	予約済み
7	予約済み	R/W	0h	予約済み
6	予約済み	R/W	0h	予約済み
5-0	予約済み	R/W	0h	予約済み

8.1.29 ANALOG_TEST_CTRL レジスタ (オフセット = 25h) [リセット = 0480h]

ANALOG_TEST_CTRL を表 8-31 に示します。

[概略表](#)に戻ります。

表 8-31. ANALOG_TEST_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0h	予約済み
11-10	TM7_PULSE_SEL	R/W	1h	テスト モード 7 のパルス振幅と極性を選択します (レジスタ 0x9 を参照): 0h = +2 1h = -2 2h = +1 3h = -1
9	EXTND_TM7_100BT_MS B	R/W	0h	100BT 拡張 TM7 向けの長さ設定可能な MSB。100BT テスト モード: 「1」と設定可能な「0」からなる反復シーケンス。ビット {9, [3:0]} は、「1」の 後に 1 から 31 までの「0」の数を定義します。0,0001 - 1,1111:1 個のゼロ から 31 個のゼロ。0,0000 - シフトレジスタをクリアします。
8	EXTND_TM7_100BT_EN	R/W	0h	100M の拡張 TM7 を有効にします。 注 1: 100BT テスト モードの場合、ビット 4 は「0」である必要があります。 NOTE2: 新しい値を適用する前に、100BT テスト モードをクリアする必要 があります。 例: 新しい値を設定する前に 0x0 を書き込む必要があります。注 3: Reg0x0 経由で、100BT テストに FORCE100 を使用します。
7-5	STIM_CH_SEL	R/W	4h	テスト モードを出力するチャンネル (1 つまたは複数) を選択します。 ビット 7 が設定されている場合、テスト モードはすべてのチャンネルに駆動 されます。 ビット 7 がクリアされている場合、テスト モードはビット 6:5 に従って駆動さ れます 00b = チャンネル A 01b = チャンネル B 10b = チャンネル C 11b = チャンネル D

表 8-31. ANALOG_TEST_CTRL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-0	ANALOG_TEST	R/W	0h	ビット [4] は 10BaseT テスト モードを有効化します。 ビット [3:0] は、10BaseT テスト パターンを次のように選択します。 100BT の拡張 TM7 を動作させるには、ビット 3:0 も設定する必要があります。詳細はビット 9 0000b = シングル NLP 0001b = シングル パルス 1 0010b = シングル パルス 0 0011b = 反復 1 0100b = 反復 0 0101b = プリアンブル (反復「10」) 0110b = シングル 1 の後に TP_IDLE 0111b = シングル 0 の後に TP_IDLE 1000b = 反復「1001」シーケンス 1001b = ランダム 10Base-T データ 1010b = TP_IDLE_00 1011b = TP_IDLE_01 1100b = TP_IDLE_10 1101b = TP_IDLE_11 0110b = 独自の T.M 振幅、テスト (1000) 上の FT の RFT、DCD、テンプレート -> レジスタ 0 0x2000 を書き込む必要があります

8.1.30 GEN_CFG_ENH_AMIX レジスタ (オフセット = 2Ch) [リセット = 141Fh]

GEN_CFG_ENH_AMIX を表 8-32 に示します。

概略表に戻ります。

表 8-32. GEN_CFG_ENH_AMIX レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0h	予約済み
13-9	CFG_FLD_WINDOW_CNT	R/W	Ah	高速リンク ダウン基準を検索するウィンドウを設定するカウンタ。デフォルトは 10Usec
8-4	CFG_FAST_AMDIX_VAL	R/W	1h	MDI/MDI-X スイッチ カウンタのタイムは、100M の高速 AMDIX モードで動作します。デフォルトでは、PHY はファースト エンドが 4ms 以内にエネルギーを検出できるようにするだけで済むため、非常に高速です
3-0	CFG_ROBUST_AMDIX_VAL	R/W	Fh	MDI/X をロバスト モードで切り替えるタイムの値。これは、IEEE ANEG タイマのファースト エンドが並列検出を実行できるようにする長いタイムです。デフォルトは 0.5 秒

8.1.31 GEN_CFG_FLD レジスタ (オフセット = 2Dh) [リセット = 0000h]

GEN_CFG_FLD を表 8-33 に示します。

概略表に戻ります。

表 8-33. GEN_CFG_FLD レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	CFG_FORCE_DROP_LINK_EN	R/W	0h	信号が受信されない場合、リンクをドロップ (送信停止) します
14	FLD_BYPASS_MAX_WAIT_TIMER	R/W	0h	設定されている場合、MAX_WAIT_TIMER はスキップされます (そのため、リンクはより高速にドロップされます)
13	SLICER_OUT_STUCK	R	0h	slicer_out_stuck ステータスを示します
12-8	FLD_STATUS	R	0h	高速リンク ダウン ステータス LH — 読み取りレジスタでクリア
7-5	予約済み	R	0h	予約済み
4-0	CFG_FAST_LINK_DOWN_MODES	R/W	0h	異なる高速リンク ダウン オプション用 5 ビット (すべて同時に動作可能): ビット [0] - エネルギー損失 ビット [1] - MSE ビット [2] - mlt3 errors ビット [3] - rx_err ビット [4] - デスクランブラ同期損失

8.1.32 GEN_CFG_FLD_THR レジスタ (オフセット = 2Eh) [リセット = 0221h]

GEN_CFG_FLD_THR を表 8-34 に示します。

[概略表](#)に戻ります。

表 8-34. GEN_CFG_FLD_THR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	0h	予約済み
10-8	ENERGY_WINDOW_LEN_FLD	R/W	2h	エネルギー検出アキュムレータの FLD エネルギー損失モードのウィンドウ長
7	予約済み	R	0h	予約済み
6-4	ENERGY_ON_FLD_THR	R/W	2h	FLD エネルギー損失モード用のエネルギー損失スレッショルド。 energy_detected という表示は、エネルギー検出器アキュムレータがこのスレッショルドを超えるとアサートされます。
3	予約済み	R	0h	予約済み
2-0	ENERGY_LOST_FLD_THR	R/W	1h	FLD エネルギー損失モード用のエネルギー損失スレッショルド。 energy_lost という表示は、エネルギー検出器アキュムレータがこのスレッショルドを下回るとアサートされます。

8.1.33 GEN_CFG3 レジスタ (オフセット = 31h) [リセット = 10B0h]

GEN_CFG3 を表 8-35 に示します。

[概略表](#)に戻ります。

表 8-35. GEN_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11-9	予約済み	R	0h	予約済み
8	予約済み	R/W	0h	予約済み
7	予約済み	R/W	0h	予約済み
6-5	SGMII_AUTONEG_TIME R	R/W	1h	SGMII 自動ネゴシエーション タイマの持続時間を選択します。 0h = 1.6ms 1h = 2μs 2h = 800μs 3h = 11ms
4	予約済み	R/W	0h	予約済み
3	予約済み	R/W	0h	予約済み
2	予約済み	R/W	0h	予約済み
1	予約済み	R	0h	予約済み
0	PORT_MIRRORING_MODE	R/W	0h	ポートミラーリング モード: 0h=ディセーブル

8.1.34 RGMII_CTRL レジスタ (オフセット = 32h) [リセット = 00D0h]

表 8-36 に、RGMII_CTRL を示します。

[概略表](#)に戻ります。

表 8-36. RGMII_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	予約済み	R/W	0h	予約済み
10	予約済み	R	0h	予約済み
9	予約済み	R/W	0h	予約済み
8	予約済み	R/W	0h	予約済み
7	予約済み	R/W	0h	予約済み
6-5	RGMII_RX_HALF_FULL_THR	R/W	2h	RGMII RX 同期 FIFO ハーフフル スレッショルド。3 ビット スレッショルド フィールドのビット 1:0。ビット 2 は、Reg 0x33[1] にあります。デフォルト設定 2 では、書き込みポイントと読み取りポイントの差が 4 の場合、FIFO 読み取りが開始されます。TX/RX FIFO の深度は 8 です。スレッショルドを 2 から 3 に増やすと、レイテンシは 1 読み取りサイクル増加します。スレッショルドを 2 から 1 に減らすと、レイテンシは 1 読み取りサイクル減少します。読み取りクロックと書き込みクロックの ppm の差が大きい場合、ハーフフル スレッショルドにより FIFO アンダーフローまたはオーバーフローが発生する可能性があります。
4-3	RGMII_TX_HALF_FULL_THR	R/W	2h	RGMII TX 同期 FIFO ハーフフル スレッショルド。3 ビット スレッショルド フィールドのビット 1:0。ビット 2 は、Reg 0x33[0] にあります。詳細については、RGMII_RX_HALF_FULL_THR を参照してください。
2	SUPPRESS_TX_ERR_EN	R/W	0h	
1	RGMII_TX_CLK_DELAY	R/W	0h	RGMII 送信クロック遅延 0h = RGMII 送信クロックは送信データに合わせてシフトされます。 1h = RGMII 送信クロックは送信データに合わせて整列します。
0	RGMII_RX_CLK_DELAY	R/W	0h	RGMII 受信クロック遅延 0h = RGMII 受信クロックは受信データに対してシフトされます。 1h = RGMII 送信クロックは受信データに合わせて整列します。

8.1.35 RGMII_CTRL2 レジスタ (オフセット = 33h) [リセット = 0000h]

RGMII_CTRL2 を表 8-37 に示します。

概略表に戻ります。

表 8-37. RGMII_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-5	予約済み	R	0h	予約済み
4	RGMII_AF_BYPASS_EN	R/W	0h	RGMII 非同期 FIFO のバイパスが有効: 0h = 通常動作。 1h = RGMII 非同期 FIFO のバイパスを有効化します。
3	RGMII_AF_BYPASS_DLY_EN	R/W	0h	RGMII 非同期 FIFO のバイパス遅延が有効: 0h = 通常動作 1h = RGMII で 10/100 で動作しているときの RX_CLK を遅延させます。
2	LOW_LATENCY_10_100_EN	R/W	0h	低レイテンシ 10/100 有効: 0h = 通常動作。 1h = 10/100 動作で低レイテンシを有効化します。
1	RGMII_RX_HALF_FULL_THR_MSB	R/W	0h	RGMII RX 同期 FIFO ハーフフル スレッショルド。3 ビット スレッショルド フィールドのビット 2。ビット 1:0 は、それぞれ Reg 0x32[6:5] にあります。

表 8-37. RGMII_CTRL2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	RGMII_TX_HALF_FULL_THR_MSB	R/W	0h	RGMII TX 同期 FIFO ハーフフル スレッショルド。3 ビット スレッショルド フィールドのビット 2。ビット 1:0 は、それぞれ Reg 0x32[4:3] にあります。

8.1.36 SGMII_AUTO_NEG_STATUS レジスタ (オフセット = 37h) [リセット = 0000h]

SGMII_AUTO_NEG_STATUS を表 8-38 に示します。

概略表に戻ります。

表 8-38. SGMII_AUTO_NEG_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-2	予約済み	R	0h	予約済み
1	SGMII_PAGE_RX	R	0h	1b = 新しい自動ネゴシエーション ページが受信されたことを示す
0	SGMII_AUTONEG_COMPLETE	R	0h	0h = オートネゴシエーション プロセスが未完了 1h = オートネゴシエーション プロセスが完了

8.1.37 PRBS_TX_CHK_CTRL レジスタ (オフセット = 39h) [リセット = 0000h]

PRBS_TX_CHK_CTRL を表 8-39 に示します。

概略表に戻ります。

表 8-39. PRBS_TX_CHK_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14-7	PRBS_TX_CHK_ERR_CNT	R	0h	PRBS TX チェッカによって受信されたエラー バイト数を保持します。TX PRBS カウント モードが 0 に設定されている場合 (ビット [1] を参照)、カウントは 0xFF で停止します。 注: ビット 7 を書き込むと、PRBS TX カウンタのロック信号が生成されます。 ビット 8 を書き込むと、PRBS TX カウンタのロック信号およびクリア信号が生成されます
6	予約済み	R	0h	予約済み
5	PRBS_TX_CHK_SYNC_LOSS	R	0h	0h = PRBS TX チェッカは同期を失っていない。このビットは LH 1h = PRBS TX チェッカが同期を失った
4	PRBS_TX_CHK_LOCK_STATUS	R	0h	0h = PRBS TX チェッカはロックされていない 1h = 受信したバイト ストリームで PRBS TX チェッカがロックされている
3	予約済み	R	0h	予約済み
2	PRBS_TX_CHK_BYTE_COUNT_OVF	R	0h	設定されている場合、バイト カウンタがオーバーフローに達している
1	PRBS_TX_CHK_CNT_MODE	R/W	0h	PRBS チェッカ モード 0h = シングル モード。 1h = 連続変換モード
0	PRBS_TX_CHK_EN	R/W	0h	設定されている場合、PRBS TX チェッカが有効化されます (PRBS TX チェッカは外部逆ループで使用されます)

8.1.38 PRBS_TX_CHK_BYTE_CNT レジスタ (オフセット = 3Ah) [リセット = 0000h]

PRBS_TX_CHK_BYTE_CNT を表 8-40 に示します。

概略表に戻ります。

表 8-40. PRBS_TX_CHK_BYTE_CNT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PRBS_TX_CHK_BYTE_CNT	R	0h	PRBS TX チェックが受信した全バイト数を保持します。 レジスタ PRBS_TX_CHK_CTRL のビット [7] またはビット [8] に書き込みが行われると、このレジスタの値はロックされます。 PRBS カウント モードが 0 に設定されている場合、カウントは 0xFFFF で停止します (レジスタ 0x0016 を参照)

8.1.39 G_100BT_REG0 レジスタ (オフセット = 43h) [リセット = 07A0h]

G_100BT_REG0 を表 8-41 に示します。

[概略表](#)に戻ります。

表 8-41. G_100BT_REG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0h	予約済み
11	予約済み	R/W	0h	予約済み
10-7	予約済み	R/W	0h	予約済み
6	予約済み	R/W	0h	予約済み
5	予約済み	R/W	0h	予約済み
4	予約済み	R/W	0h	予約済み
3	予約済み	R/W	0h	予約済み
2	予約済み	R/W	0h	予約済み
1	ODD_NIBBLE_DETECT	R/W	0h	0h = 奇数ニブル検出が無効 1h = 奇数ニブル検出が有効
0	FAST_RX_DV	R/W	0h	100Mbps モードで低レイテンシのため、高速 RX_DV を有効化します。 0h = 高速 rx dv が無効 1h = 高速 rx dv が有効

8.1.40 SERDES_SYNC_STS レジスタ (オフセット = 4Fh) [リセット = 0000h]

SERDES_SYNC_STS を表 8-42 に示します。

[概略表](#)に戻ります。

表 8-42. SERDES_SYNC_STS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R/W	0h	予約済み
11	予約済み	R/W	0h	予約済み
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	SYNC_STATUS	R	0h	同期ステータス 0h = 同期なし 1h = 同期が確立済み
7-4	予約済み	R	0h	予約済み
3-0	予約済み	R	0h	予約済み

8.1.41 G_1000BT_1588_CTRL レジスタ (オフセット = 50h) [リセット = 0453h]

G_1000BT_1588_CTRL を表 8-43 に示します。

概略表に戻ります。

表 8-43. G_1000BT_1588_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み
12-10	予約済み	R/W	0h	予約済み
9-7	RX_PHASE_SEL	R/W	0h	SEL 1588 RX 位相遅延 このビットが増えるごとに、SFD のアサートが 8ns 遅延します。
6-4	TX_PHASE_SEL	R/W	5h	SEL 1588 TX 位相遅延 このビットが増えるごとに、SFD のアサートが 8ns 遅延します。
3	予約済み	R/W	0h	予約済み
2	予約済み	R/W	0h	予約済み
1	予約済み	R/W	0h	予約済み
0	予約済み	R/W	0h	予約済み

8.1.42 G_1000BT_VTM_CFG レジスタ (オフセット = 53h) [リセット = 2055h]

G_1000BT_VTM_CFG を表 8-44 に示します。

概略表に戻ります。

表 8-44. G_1000BT_VTM_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14-10	予約済み	R/W	0h	予約済み
9-4	予約済み	R/W	0h	予約済み
3-0	VTM_IDLE_CHECK_CNT_THR	R/W	5h	ビタビ アイドル検出器がアイドル モードをアサートするための連続アイドルシンボル量のスレッシュホールド (量はこのフィールド + 1) デフォルト値 0x5 は、IPG >= 12 です。IPG < 12 未満の場合は、このフィールドを 0x4 または 0x3 に設定します。このフィールドを変更した場合、システム レベル テストで新しいレジスタ設定を確認してください。

8.1.43 G_1000BT_PMA_STATUS レジスタ (オフセット = 55h) [リセット = 0000h]

G_1000BT_PMA_STATUS を表 8-45 に示します。

概略表に戻ります。

表 8-45. G_1000BT_PMA_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0h	予約済み
7-4	PMA_LEADER_FIFO_CTRL	R	0h	リーダー モードでの 1000-Mb SFD の変動
3-0	PMA_FOLLOWER_FIFO_CTRL	R	0h	フォロワー モードでの 1000-Mb SFD の変動

8.1.44 STRAP_STS レジスタ (オフセット = 6Eh) [リセット = 0000h]

STRAP_STS を表 8-46 に示します。

概略表に戻ります。

表 8-46. STRAP_STS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0h	予約済み
13	STRAP_LINK_LOSS_PAS S_THRU	R	0h	リンク損失パススルー イネーブル ストラップ 0h = イネーブル 1h = 無効化
12	STRAP_MIRROR_EN	R	0h	ミラー モード イネーブル ストラップ。このストラップはブリッジ モード アプリケーションでの MAC インターフェイスも決定するため、「ストラップ構成」セクションを参照してください。 0h = 無効化 1h = イネーブル
11-9	STRAP_OPMODE	R	0h	OPMODE ストラップ 0h = RGMII から銅線 1h = RGMII から 1000Base-X 2h = RGMII から 100Base-FX 3h = RGMII-SGMII ブリッジ 4h = 1000Base-T から 1000Base-X 5h = 100Base-T から 100Base-FX 6h = SGMII から銅線 7h = バウンダリ スキャン用 JTAG
8-4	STRAP_PHY_ADD	R	0h	PHY アドレス ストラップ
3-2	STRAP_ANEGSEL	R	0h	自動ネゴシエーション モード選択ストラップ。 「ストラップ構成」セクションを参照してください
1	STRAP_ANEG_EN	R	0h	自動ネゴシエーション イネーブル ストラップ 0h = イネーブル 1h = 無効化
0	予約済み	R	0h	予約済み

8.1.45 DBG_PRBS_BYTE_CNT レジスタ (オフセット = 71h) [リセット = 0000h]

DBG_PRBS_BYTE_CNT を表 8-47 に示します。

概略表に戻ります。

表 8-47. DBG_PRBS_BYTE_CNT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PRBS_BYTE_CNT	R	0h	PRBS チェッカが受信した全バイト数を保持します。 レジスタ DBG_PRBS_ERR_CNT のビット [0] またはビット [1] に書き込みが行われると、このレジスタの値はロックされます。 PRBS カウント モードが 0 に設定されている場合、カウントは 0xFFFF で停止します (レジスタ 0x0016 を参照)

8.1.46 DBG_PRBS_ERR_CNT レジスタ (オフセット = 72h) [リセット = 0000h]

DBG_PRBS_ERR_CNT を表 8-48 に示します。

概略表に戻ります。

表 8-48. DBG_PRBS_ERR_CNT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	0h	予約済み
10	PRBS_PKT_CNT_OVF	R	0h	設定されている場合、パケット カウンタがオーバーフローに達したことを意味します PRBS カウンタがクリアされるとオーバーフローもクリアされます - このレジスタのビット 1 を設定することで実行されます

表 8-48. DBG_PRBS_ERR_CNT レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	PRBS_BYTE_CNT_OVF	R	0h	設定されている場合、バイトカウンタがオーバーフローに達したことを意味します PRBS カウンタがクリアされるとオーバーフローもクリアされます - このレジスタのビット 1 を設定することで実行されます
8	予約済み	R	0h	予約済み
7-0	PRBS_ERR_CNT	R	0h	PRBS チェックによって受信されたエラー バイト数を保持します。ビット [0] またはビット [1] に書き込みが行われると、このレジスタの値はロックされます (以下を参照)。PRBS カウント モードが 0 に設定されている場合、カウントは 0xFF で停止します (レジスタ 0x0016 を参照)。注: ビット 0 を書き込むと、PRBS カウンタのロック信号が生成されます。ビット 1 を書き込むと、PRBS カウンタのロックおよびクリア信号が生成されます

8.1.47 DBG_PKT_LEN_PRBS レジスタ (オフセット = 7Bh) [リセット = 05DCh]

DBG_PKT_LEN_PRBS を表 8-49 に示します。

概略表に戻ります。

表 8-49. DBG_PKT_LEN_PRBS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PKT_LEN_PRBS	R/W	5DCh	PRBS パケットの長さ (バイト単位)。これは PRBS パケットのみに影響します

8.1.48 DBG_IPG_LEN レジスタ (オフセット = 7Ch) [リセット = 007Dh]

DBG_IPG_LEN を表 8-50 に示します。

概略表に戻ります。

表 8-50. DBG_IPG_LEN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0h	予約済み
7-0	IPG_LEN	R/W	7Dh	PRBS パケット間のパケット間隔 (4 バイト単位)。IPG は 4 バイト単位で増加します

8.1.49 ANA_RGMII_DLL_CTRL レジスタ (オフセット = 86h) [リセット = 0077h]

ANA_RGMII_DLL_CTRL を表 8-51 に示します。

概略表に戻ります。

表 8-51. ANA_RGMII_DLL_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み
9	DLL_EN_FORCE_VAL	R/W	0h	dll_en_force_en が設定されている場合、これは DLL_EN の値です
8	DLL_EN_FORCE_CTRL	R/W	0h	DLL_EN 値を強制します
7-4	DLL_TX_DELAY_CTRL_SL	R/W	7h	250ps ステップ。CLK_90 出力に影響を及ぼします。- ビット [3:0] と同じ動作

表 8-51. ANA_RGMII_DLL_CTRL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	DLL_RX_DELAY_CTRL_SL	R/W	7h	250ps ステップ。CLK_90 出力に影響を及ぼします。RGMII シフト モードが有効化されている場合、b[3]、b[2]、b[1]、b[0]。----- 遅延は、データからクロックまでの範囲で測定されます。実際の遅延は、レジスタ 32h のシフト モードによる影響も受けることに注意してください。 0h = 0.25ns 1h = 0.5ns 2h = 0.75ns 3h = 1.0ns 4h = 1.25ns 5h = 1.5ns 6h = 1.75ns 7h = 2.0ns - デフォルト 8h = 2.25ns 9h = 2.5ns Ah = 2.75ns Bh = 3.0ns Ch = 3.25ns Dh = 3.5ns Eh = 3.75ns Fh = 0ns

8.1.50 ANA_LD_TXG_FINE_GAINSEL_AB レジスタ (オフセット = A0h) [リセット = 0808h]

ANA_LD_TXG_FINE_GAINSEL_AB を表 8-52 に示します。

概略表に戻ります。

表 8-52. ANA_LD_TXG_FINE_GAINSEL_AB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	UNFORCE_TEST_MODE_TM4	R/W	0h	チップがテスト モード 4 にあるときの TXG ゲイン選択粗調整上書き。unforce_test_mode_tm4 が「1」に設定されると、上書きは無効になります
14	UNFORCE_TEST_MODE_TM1	R/W	0h	チップがテスト モード 1 にあるときの +1 の値による TXG ゲイン選択微調整上書き。unforce_test_mode_tm1 が「1」に設定されると、上書きは無効になります
13	予約済み	R	0h	予約済み
12-8	TXG_GAINSEL_FINE_B	R/W	8h	ゲイン制御チャンネル B。詳細については、ビット [4:0] を参照
7-5	予約済み	R	0h	予約済み
4-0	TXG_GAINSEL_FINE_A	R/W	8h	ゲイン制御チャンネル A。 デフォルト値はトリムによって設定されます。ビット 4 はこの設計では使用されていません。将来的に範囲を拡張するため、このビットは保持されます。 0h = -16% のゲイン変化 1h = -14% のゲイン変化 8h = ゲイン変化なし 9h = +2% のゲイン変化 Fh = +14% のゲイン変化

8.1.51 ANA_LD_TXG_FINE_GAINSEL_CD レジスタ (オフセット = A1h) [リセット = 0808h]

ANA_LD_TXG_FINE_GAINSEL_CD を表 8-53 に示します。

概略表に戻ります。

表 8-53. ANA_LD_TXG_FINE_GAINSEL_CD レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み

表 8-53. ANA_LD_TXG_FINE_GAINSEL_CD レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12-8	TXG_GAINSEL_FINE_D	R/W	8h	ゲイン制御チャンネル D。詳細については、ANA_LD_TXG_FINE_GAINSEL_AB のビット [4:0] を参照してください
7-5	予約済み	R	0h	予約済み
4-0	TXG_GAINSEL_FINE_C	R/W	8h	ゲイン制御チャンネル C。詳細については、ANA_LD_TXG_FINE_GAINSEL_AB のビット [4:0] を参照してください

8.1.52 ANA_LD_FILTER_TUNE_AB レジスタ (オフセット = A2h) [リセット = 1010h]

ANA_LD_FILTER_TUNE_AB を表 8-54 に示します。

概略表に戻ります。

表 8-54. ANA_LD_FILTER_TUNE_AB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0h	予約済み
13	LD_FILTER_TUNE_B_FORCE_CTRL	R/W	0h	ld_filter_tune_b のレジスタ値を強制します
12-8	LD_FILTER_TUNE_B	R/W	10h	LD 補間。ld_filter_tune_b_force_ctrl が設定されている場合のチャンネル B の LPF の影響
7-6	予約済み	R	0h	予約済み
5	LD_FILTER_TUNE_A_FORCE_CTRL	R/W	0h	ld_filter_tune_a レジスタ値を強制します
4-0	LD_FILTER_TUNE_A	R/W	10h	LD 補間。ld_filter_tune_a_force_ctrl が選択されている場合のチャンネル A の LPF の影響

8.1.53 ANA_LD_FILTER_TUNE_CD レジスタ (オフセット = A3h) [リセット = 1010h]

ANA_LD_FILTER_TUNE_CD を表 8-55 に示します。

概略表に戻ります。

表 8-55. ANA_LD_FILTER_TUNE_CD レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0h	予約済み
13	LD_FILTER_TUNE_D_FORCE_CTRL	R/W	0h	ld_filter_tune_d のレジスタ値を強制します
12-8	LD_FILTER_TUNE_D	R/W	10h	LD 補間。ld_filter_tune_d_force_ctrl が設定されている場合のチャンネル D の LPF の影響
7-6	予約済み	R	0h	予約済み
5	LD_FILTER_TUNE_C_FORCE_CTRL	R/W	0h	ld_filter_tune_c のレジスタ値を強制します
4-0	LD_FILTER_TUNE_C	R/W	10h	LD 補間。ld_filter_tune_c_force_ctrl が選択されている場合のチャンネル C の LPF の影響

8.1.54 ANA_PLL_PROG_2 レジスタ (オフセット = C5h) [リセット = 0003h]

ANA_PLL_PROG_2 を表 8-56 に示します。

概略表に戻ります。

表 8-56. ANA_PLL_PROG_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R/W	0h	予約済み
13-12	PLL_PROG_2	R/W	0h	VDDIO オーバーライド値。C5[13:12] が High の場合、これらのビットに基づいて VDDIO の選択がオーバーライドされます。VDDIO 検出回路オーバーライドを有効にします。 0h = VDDIO 自己検出オーバーライドは無効 1h = 2.5V 3h = C5[11:10] の選択に基づく VDDIO 自己検出オーバーライドが有効。
11-10	予約済み	R	0h	
9-0	予約済み	R/W	0h	予約済み

8.1.55 ANA_PLL_PROG_PI レジスタ (オフセット = C6h) [リセット = 0000h]

ANA_PLL_PROG_PI を表 8-57 に示します。

[概略表](#)に戻ります。

表 8-57. ANA_PLL_PROG_PI レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	予約済み	R/W	0h	予約済み

8.1.56 ANA_SGMII_CTRL_2 レジスタ (オフセット = D4h) [リセット = 0F00h]

ANA_SGMII_CTRL_2 を表 8-58 に示します。

[概略表](#)に戻ります。

表 8-58. ANA_SGMII_CTRL_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	RGMII_DIG_LOOPBACK_EN	R/W	0h	IO の前に TX データを RX にループバックします。ケーブル接続に関係なく、ファイバ MDI リンクをループバック モードで維持します。 0h = ループバック モードは無効 1h = ループバック モードは有効
14	予約済み	R/W	0h	予約済み
13-8	予約済み	R/W	0h	予約済み
7	予約済み	R/W	0h	予約済み
6	予約済み	R	0h	予約済み
5-3	予約済み	R/W	0h	予約済み
2-0	予約済み	R/W	0h	予約済み

8.1.57 SGMII_TESTMODE レジスタ (オフセット = D6h) [リセット = 0000h]

SGMII_TESTMODE を表 8-59 に示します。

[概略表](#)に戻ります。

表 8-59. SGMII_TESTMODE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み

表 8-59. SGMII_TESTMODE レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14-13	SGMII_VOLTAGE_SWING	R/W	0h	電圧スイング Pk-Pk 標準値 (V) 0h = 1.100 (デフォルト) 1h = 1.280 2h = 0.920 3h = 使用しません
12-0	予約済み	R/W	0h	予約済み

8.1.58 ANA_LD_DATA_CTRL レジスタ (オフセット = DDh) [リセット = 0200h]

ANA_LD_DATA_CTRL を表 8-60 に示します。

概略表に戻ります。

表 8-60. ANA_LD_DATA_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11-10	予約済み	R	0h	予約済み
9-4	予約済み	R/W	0h	予約済み
3	LD_TX_DATA_D_FORCE_CTRL	R/W	0h	LD TX D データの強制制御 0h = ペア D のトランスミッタが有効 1h = ペア D のトランスミッタが無効
2	LD_TX_DATA_C_FORCE_CTRL	R/W	0h	LD TX C データの強制制御 0h = ペア C のトランスミッタが有効 1h = ペア C のトランスミッタが無効
1	LD_TX_DATA_B_FORCE_CTRL	R/W	0h	LD TX B データの強制制御 0h = ペア B のトランスミッタが有効 1h = ペア B のトランスミッタが無効
0	LD_TX_DATA_A_FORCE_CTRL	R/W	0h	LD TX A データの強制制御 0h = ペア A のトランスミッタが有効 1h = ペア A のトランスミッタが無効

8.1.59 DSP_CFG3 レジスタ (オフセット = E4h) [リセット = 0000h]

DSP_CFG3 を表 8-61 に示します。

概略表に戻ります。

表 8-61. DSP_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	
14	予約済み	R/W	0h	
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11	予約済み	R/W	0h	予約済み
10	予約済み	R/W	0h	予約済み
9-8	予約済み	R/W	0h	予約済み
7	予約済み	R/W	0h	

表 8-61. DSP_CFG3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-0	予約済み	R/W	0h	予約済み

8.1.60 DSP_HYBRID_CFG2 レジスタ (オフセット = E9h) [リセット = 9F22h]

DSP_HYBRID_CFG2 を表 8-62 に示します。

[概略表](#)に戻ります。

表 8-62. DSP_HYBRID_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	
12-8	予約済み	R/W	0h	予約済み
7-5	予約済み	R/W	0h	予約済み
4-0	予約済み	R/W	0h	予約済み

8.1.61 DSP_CFG5 レジスタ (オフセット = EFh) [リセット = 1840h]

DSP_CFG5 を表 8-63 に示します。

[概略表](#)に戻ります。

表 8-63. DSP_CFG5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	
11	予約済み	R/W	0h	
10-0	予約済み	R/W	0h	予約済み

8.1.62 LOOPCR レジスタ (オフセット = FEh) [リセット = E720h]

LOOPCR を表 8-64 に示します。

[概略表](#)に戻ります。

表 8-64. LOOPCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	FB_AEQ_CNT	R/W	7h	AEQ のフォールバックの最大数
12-8	AEQ_MAX_STEP	R/W	7h	AEQ テーブルの最大ステップ
7-5	AEQ_STEP_SIZE	R/W	1h	AEQ テーブルのステップをインクリメント
4-1	予約済み	R	0h	
0	AEQ_BEG	R/W	0h	AEQ テーブルの開始インデックス 0h = 通常動作 1h = ニアエンド ループバック

8.1.63 DSP_MASTER_TC_SEL0 レジスタ (オフセット = 102h) [リセット = 6333h]

DSP_MASTER_TC_SEL0 を表 8-65 に示します。

[概略表](#)に戻ります。

表 8-65. DSP_MASTER_TC_SEL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14-12	予約済み	R/W	0h	予約済み
11	予約済み	R	0h	予約済み
10-8	予約済み	R/W	0h	予約済み
7	予約済み	R	0h	予約済み
6-4	予約済み	R/W	0h	予約済み
3	予約済み	R	0h	予約済み
2-0	予約済み	R/W	0h	予約済み

8.1.64 DSP_MASTER_TC_SEL1 レジスタ (オフセット = 103h) [リセット = 4454h]

DSP_MASTER_TC_SEL1 を表 8-66 に示します。

[概略表](#)に戻ります。

表 8-66. DSP_MASTER_TC_SEL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14-12	予約済み	R/W	0h	予約済み
11	予約済み	R	0h	予約済み
10-8	予約済み	R/W	0h	予約済み
7	予約済み	R	0h	予約済み
6-4	予約済み	R/W	0h	予約済み
3	予約済み	R	0h	予約済み
2-0	予約済み	R/W	0h	予約済み

8.1.65 DSP_MASTER_TC_SEL2 レジスタ (オフセット = 104h) [リセット = 2447h]

DSP_MASTER_TC_SEL2 を表 8-67 に示します。

[概略表](#)に戻ります。

表 8-67. DSP_MASTER_TC_SEL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14-12	予約済み	R/W	0h	予約済み
11	予約済み	R	0h	予約済み
10-8	予約済み	R/W	0h	予約済み
7	予約済み	R	0h	予約済み
6-4	予約済み	R/W	0h	予約済み
3	予約済み	R	0h	予約済み
2-0	予約済み	R/W	0h	予約済み

8.1.66 DSP_MASTER_TLOOP_KP_STEP レジスタ (オフセット = 10Ch) [リセット = 7776h]

DSP_MASTER_TLOOP_KP_STEP を表 8-68 に示します。

[概略表](#)に戻ります。

表 8-68. DSP_MASTER_TLOOP_KP_STEP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14-12	予約済み	R/W	0h	予約済み
11	予約済み	R	0h	予約済み
10-8	予約済み	R/W	0h	予約済み
7	予約済み	R	0h	予約済み
6-4	予約済み	R/W	0h	予約済み
3	予約済み	R	0h	予約済み
2-0	予約済み	R/W	0h	予約済み

8.1.67 DSP_SLAVE_TC_SEL0 レジスタ (オフセット = 115h) [リセット = B8BBh]

DSP_SLAVE_TC_SEL0 を表 8-69 に示します。

[概略表](#)に戻ります。

表 8-69. DSP_SLAVE_TC_SEL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14-12	予約済み	R/W	0h	予約済み
11	予約済み	R	0h	予約済み
10-8	予約済み	R/W	0h	予約済み
7	予約済み	R	0h	予約済み
6-4	予約済み	R/W	0h	予約済み
3	予約済み	R	0h	予約済み
2-0	予約済み	R/W	0h	予約済み

8.1.68 DSP_SLAVE_TC_SEL3 レジスタ (オフセット = 118h) [リセット = 8BF9h]

DSP_SLAVE_TC_SEL3 を表 8-70 に示します。

[概略表](#)に戻ります。

表 8-70. DSP_SLAVE_TC_SEL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14-12	予約済み	R/W	0h	予約済み
11	予約済み	R	0h	予約済み
10-8	予約済み	R/W	0h	予約済み
7	予約済み	R	0h	予約済み
6-4	予約済み	R/W	0h	予約済み
3	予約済み	R	0h	予約済み
2-0	予約済み	R/W	0h	予約済み

8.1.69 DSP_SLAVE_TLOOP_KF_STEP レジスタ (オフセット = 11Dh) [リセット = 6B6Ah]

DSP_SLAVE_TLOOP_KF_STEP を表 8-71 に示します。

[概略表](#)に戻ります。

表 8-71. DSP_SLAVE_TLOOP_KF_STEP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11-9	予約済み	R/W	0h	予約済み
8-6	予約済み	R/W	0h	予約済み
5-3	予約済み	R/W	0h	予約済み
2-0	予約済み	R/W	0h	予約済み

8.1.70 DSP_SLAVE_TLOOP_KP_STEP レジスタ (オフセット = 11Eh) [リセット = 2FF8h]

DSP_SLAVE_TLOOP_KP_STEP を表 8-72 に示します。

[概略表](#)に戻ります。

表 8-72. DSP_SLAVE_TLOOP_KP_STEP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14-12	予約済み	R/W	0h	予約済み
11-9	予約済み	R/W	0h	予約済み
8-6	予約済み	R/W	0h	予約済み
5-3	予約済み	R/W	0h	予約済み
2-0	予約済み	R/W	0h	予約済み

8.1.71 RXF_CFG レジスタ (オフセット = 134h) [リセット = 1000h]

RXF_CFG を表 8-73 に示します。

[概略表](#)に戻ります。

表 8-73. RXF_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11	WOL_OUT_CLEAN	RH/WoP	0h	WOL 出力がビット 8 のレベル モードの場合、このビットに書き込むと WOL 出力がクリアされます。
10-9	WOL_OUT_STRETCH	R/W	0h	WOL 出力がビット 8 のパルス モードである場合、これはパルス長です。 0h = 8 クロック サイクル 1h = 16 クロック サイクル 2h = 32 クロック サイクル 3h = 64 クロック サイクル
8	WOL_OUT_MODE	R/W	0h	GPIO ピンに移行するウェークアップ モード: 0h = パルス モード。 1h = レベル モード

表 8-73. RXF_CFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	ENHANCED_MAC_SUPPORT	R/W	0h	拡張 RX 機能を有効化。ウェークアップ機能、CRC チェック、または RX 1588 表示を使用する場合、このビットをセット可能
6	予約済み	R/W	0h	予約済み
5	予約済み	R/W	0h	予約済み
4	WAKE_ON_UCAST	R/W	0h	設定されている場合は、ユニキャスト パケットの受信時に割り込みを発行
3	予約済み	R/W	0h	予約済み
2	WAKE_ON_BCAST	R/W	0h	設定されている場合は、ブロードキャスト パケットの受信時に割り込みを発行
1	WAKE_ON_PATTERN	R/W	0h	設定されている場合、パターンが設定されたパケットの受信時に割り込みを発行
0	WAKE_ON_MAGIC	R/W	0h	設定されている場合、マジック パケットの受信時に割り込みを発行

8.1.72 RXF_STATUS レジスタ (オフセット = 135h) [リセット = 0000h]

RXF_STATUS を表 8-74 に示します。

[概略表](#)に戻ります。

表 8-74. RXF_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0h	予約済み
7	SFD_ERR	RC	0h	SFD エラーを検出済み
6	BAD_CRC	RC	0h	不良 CRC パケットを受信済み
5	予約済み	RC	0h	予約済み
4	UCAST_RCVD	RC	0h	ユニキャスト パケットを受信済み
3	予約済み	RC	0h	予約済み
2	BCAST_RCVD	RC	0h	ブロードキャスト パケットを受信済み
1	PATTERN_RCVD	RC	0h	パターン一致パケットを受信済み
0	MAGIC_RCVD	RC	0h	マジック パケットを受信済み

8.1.73 RXF_PMATCH_DATA1 レジスタ (オフセット = 136h) [リセット = 0000h]

RXF_PMATCH_DATA1 を表 8-75 に示します。

[概略表](#)に戻ります。

表 8-75. RXF_PMATCH_DATA1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PMATCH_DATA_15_0	R/W	0h	パーフェクトマッチデータのビット 15:0 - DA (宛先アドレス) 一致に使用されます

8.1.74 RXF_PMATCH_DATA2 レジスタ (オフセット = 137h) [リセット = 0000h]

RXF_PMATCH_DATA2 を表 8-76 に示します。

[概略表](#)に戻ります。

表 8-76. RXF_PMATCH_DATA2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PMATCH_DATA_31_16	R/W	0h	パーフェクトマッチデータのビット 31:16 - DA(宛先アドレス)一致に使用されます

8.1.75 RXF_PMATCH_DATA3 レジスタ (オフセット = 138h) [リセット = 0000h]

RXF_PMATCH_DATA3 を表 8-77 に示します。

[概略表](#)に戻ります。

表 8-77. RXF_PMATCH_DATA3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PMATCH_DATA_47_32	R/W	0h	パーフェクトマッチデータのビット 47:32 - DA(宛先アドレス)一致に使用されます

8.1.76 RXF_SCRON_PASS1 レジスタ (オフセット = 139h) [リセット = 0000h]

RXF_SCRON_PASS1 を表 8-78 に示します。

[概略表](#)に戻ります。

表 8-78. RXF_SCRON_PASS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	SCRON_PASSWORD_15_0	R/W	0h	Secure-ON パスワードのビット 15:0 (マジック パケットに関連)

8.1.77 RXF_SCRON_PASS2 レジスタ (オフセット = 13Ah) [リセット = 0000h]

RXF_SCRON_PASS2 を表 8-79 に示します。

[概略表](#)に戻ります。

表 8-79. RXF_SCRON_PASS2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	SCRON_PASSWORD_31_16	R/W	0h	Secure-ON パスワードのビット 31:16 (マジック パケットに関連)

8.1.78 RXF_SCRON_PASS3 レジスタ (オフセット = 13Bh) [リセット = 0000h]

RXF_SCRON_PASS3 を表 8-80 に示します。

[概略表](#)に戻ります。

表 8-80. RXF_SCRON_PASS3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	SCRON_PASSWORD_47_32	R/W	0h	Secure-ON パスワードのビット 47:32 (マジック パケットに関連)

8.1.79 RXF_PATTERN_1 レジスタ (オフセット = 13Ch) [リセット = 0000h]

RXF_PATTERN_1 を表 8-81 に示します。

[概略表](#)に戻ります。

表 8-81. RXF_PATTERN_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_0_1	R/W	0h	設定されたパターンのバイト 0 (LSbyte) + 1。 各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.80 RXF_PATTERN_2 レジスタ (オフセット = 13Dh) [リセット = 0000h]

RXF_PATTERN_2 を表 8-82 に示します。

[概略表](#)に戻ります。

表 8-82. RXF_PATTERN_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_2_3	R/W	0h	設定されたパターンのバイト 2 + 3。各バイトは、 RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.81 RXF_PATTERN_3 レジスタ (オフセット = 13Eh) [リセット = 0000h]

RXF_PATTERN_3 を表 8-83 に示します。

[概略表](#)に戻ります。

表 8-83. RXF_PATTERN_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_4_5	R/W	0h	設定されたパターンのバイト 4 + 5。 各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.82 RXF_PATTERN_4 レジスタ (オフセット = 13Fh) [リセット = 0000h]

RXF_PATTERN_4 を表 8-84 に示します。

[概略表](#)に戻ります。

表 8-84. RXF_PATTERN_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_6_7	R/W	0h	設定されたパターンのバイト 6 + 7。 各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.83 RXF_PATTERN_5 レジスタ (オフセット = 140h) [リセット = 0000h]

RXF_PATTERN_5 を表 8-85 に示します。

[概略表](#)に戻ります。

表 8-85. RXF_PATTERN_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_8_9	R/W	0h	設定されたパターンのバイト 8 + 9。各バイトは、 RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.84 RXF_PATTERN_6 レジスタ (オフセット = 141h) [リセット = 0000h]

RXF_PATTERN_6 を表 8-86 に示します。

[概略表](#)に戻ります。

表 8-86. RXF_PATTERN_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_10_11	R/W	0h	設定されたパターンのバイト 10 + 11。 各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.85 RXF_PATTERN_7 レジスタ (オフセット = 142h) [リセット = 0000h]

RXF_PATTERN_7 を表 8-87 に示します。

[概略表](#)に戻ります。

表 8-87. RXF_PATTERN_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_12_13	R/W	0h	設定されたパターンのバイト 12 + 13。各バイトは、 RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.86 RXF_PATTERN_8 レジスタ (オフセット = 143h) [リセット = 0000h]

RXF_PATTERN_8 を表 8-88 に示します。

[概略表](#)に戻ります。

表 8-88. RXF_PATTERN_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_14_15	R/W	0h	設定されたパターンのバイト 14 + 15。 各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.87 RXF_PATTERN_9 レジスタ (オフセット = 144h) [リセット = 0000h]

RXF_PATTERN_9 を表 8-89 に示します。

[概略表](#)に戻ります。

表 8-89. RXF_PATTERN_9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_16_17	R/W	0h	設定されたパターンのバイト 16 + 17。 各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.88 RXF_PATTERN_10 レジスタ (オフセット = 145h) [リセット = 0000h]

RXF_PATTERN_10 を表 8-90 に示します。

[概略表](#)に戻ります。

表 8-90. RXF_PATTERN_10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_18_19	R/W	0h	設定されたパターンのバイト 18 + 19。各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.89 RXF_PATTERN_11 レジスタ (オフセット = 146h) [リセット = 0000h]

RXF_PATTERN_11 を表 8-91 に示します。

[概略表](#)に戻ります。

表 8-91. RXF_PATTERN_11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_20_21	R/W	0h	設定されたパターンのバイト 20 + 21。各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.90 RXF_PATTERN_12 レジスタ (オフセット = 147h) [リセット = 0000h]

RXF_PATTERN_12 を表 8-92 に示します。

[概略表](#)に戻ります。

表 8-92. RXF_PATTERN_12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_22_23	R/W	0h	設定されたパターンのバイト 22 + 23。各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.91 RXF_PATTERN_13 レジスタ (オフセット = 148h) [リセット = 0000h]

RXF_PATTERN_13 を表 8-93 に示します。

[概略表](#)に戻ります。

表 8-93. RXF_PATTERN_13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_24_25	R/W	0h	設定されたパターンのバイト 24 + 25。各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.92 RXF_PATTERN_14 レジスタ (オフセット = 149h) [リセット = 0000h]

RXF_PATTERN_14 を表 8-94 に示します。

[概略表](#)に戻ります。

表 8-94. RXF_PATTERN_14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_26_27	R/W	0h	設定されたパターンのバイト 26 + 27。各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.93 RXF_PATTERN_15 レジスタ (オフセット = 14Ah) [リセット = 0000h]

RXF_PATTERN_15 を表 8-95 に示します。

[概略表](#)に戻ります。

表 8-95. RXF_PATTERN_15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_28_29	R/W	0h	設定されたパターンのバイト 28 + 29。 各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.94 RXF_PATTERN_16 レジスタ (オフセット = 14Bh) [リセット = 0000h]

RXF_PATTERN_16 を表 8-96 に示します。

[概略表](#)に戻ります。

表 8-96. RXF_PATTERN_16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_30_31	R/W	0h	設定されたパターンのバイト 30 + 31。 各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.95 RXF_PATTERN_17 レジスタ (オフセット = 14Ch) [リセット = 0000h]

RXF_PATTERN_17 を表 8-97 に示します。

[概略表](#)に戻ります。

表 8-97. RXF_PATTERN_17 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_32_33	R/W	0h	設定されたパターンのバイト 32 + 33。 各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.96 RXF_PATTERN_18 レジスタ (オフセット = 14Dh) [リセット = 0000h]

RXF_PATTERN_18 を表 8-98 に示します。

[概略表](#)に戻ります。

表 8-98. RXF_PATTERN_18 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_34_35	R/W	0h	設定されたパターンのバイト 34 + 35。 各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.97 RXF_PATTERN_19 レジスタ (オフセット = 14Eh) [リセット = 0000h]

RXF_PATTERN_19 を表 8-99 に示します。

[概略表](#)に戻ります。

表 8-99. RXF_PATTERN_19 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_36_37	R/W	0h	設定されたパターンのバイト 36 + 37。 各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.98 RXF_PATTERN_20 レジスタ (オフセット = 14Fh) [リセット = 0000h]

RXF_PATTERN_20 を表 8-100 に示します。

[概略表](#)に戻ります。

表 8-100. RXF_PATTERN_20 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_38_39	R/W	0h	設定されたパターンのバイト 38 + 39。 各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.99 RXF_PATTERN_21 レジスタ (オフセット = 150h) [リセット = 0000h]

RXF_PATTERN_21 を表 8-101 に示します。

[概略表](#)に戻ります。

表 8-101. RXF_PATTERN_21 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	予約済み	R/W	0h	予約済み

8.1.100 RXF_PATTERN_22 レジスタ (オフセット = 151h) [リセット = 0000h]

RXF_PATTERN_22 を表 8-102 に示します。

[概略表](#)に戻ります。

表 8-102. RXF_PATTERN_22 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_42_43	R/W	0h	設定されたパターンのバイト 42 + 43。 各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.101 RXF_PATTERN_23 レジスタ (オフセット = 152h) [リセット = 0000h]

RXF_PATTERN_23 を表 8-103 に示します。

[概略表](#)に戻ります。

表 8-103. RXF_PATTERN_23 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_44_45	R/W	0h	設定されたパターンのバイト 44 + 45。 各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.102 RXF_PATTERN_24 レジスタ (オフセット = 153h) [リセット = 0000h]

RXF_PATTERN_24 を表 8-104 に示します。

[概略表](#)に戻ります。

表 8-104. RXF_PATTERN_24 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_46_47	R/W	0h	設定されたパターンのバイト 46 + 47。 各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.103 RXF_PATTERN_25 レジスタ (オフセット = 154h) [リセット = 0000h]

RXF_PATTERN_25 を表 8-105 に示します。

[概略表](#)に戻ります。

表 8-105. RXF_PATTERN_25 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_48_49	R/W	0h	設定されたパターンのバイト 48 + 49。 各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.104 RXF_PATTERN_26 レジスタ (オフセット = 155h) [リセット = 0000h]

RXF_PATTERN_26 を表 8-106 に示します。

[概略表](#)に戻ります。

表 8-106. RXF_PATTERN_26 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_50_51	R/W	0h	設定されたパターンのバイト 50 + 51。 各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.105 RXF_PATTERN_27 レジスタ (オフセット = 156h) [リセット = 0000h]

RXF_PATTERN_27 を表 8-107 に示します。

[概略表](#)に戻ります。

表 8-107. RXF_PATTERN_27 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_52_53	R/W	0h	設定されたパターンのバイト 52 + 53。 各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.106 RXF_PATTERN_28 レジスタ (オフセット = 157h) [リセット = 0000h]

RXF_PATTERN_28 を表 8-108 に示します。

[概略表](#)に戻ります。

表 8-108. RXF_PATTERN_28 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_54_55	R/W	0h	設定されたパターンのバイト 54 + 55。 各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.107 RXF_PATTERN_29 レジスタ (オフセット = 158h) [リセット = 0000h]

RXF_PATTERN_29 を表 8-109 に示します。

[概略表](#)に戻ります。

表 8-109. RXF_PATTERN_29 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_56_57	R/W	0h	設定されたパターンのバイト 56 + 57。 各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.108 RXF_PATTERN_30 レジスタ (オフセット = 159h) [リセット = 0000h]

RXF_PATTERN_30 を表 8-110 に示します。

[概略表](#)に戻ります。

表 8-110. RXF_PATTERN_30 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_58_59	R/W	0h	設定されたパターンのバイト 58 + 59。 各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.109 RXF_PATTERN_31 レジスタ (オフセット = 15Ah) [リセット = 0000h]

RXF_PATTERN_31 を表 8-111 に示します。

[概略表](#)に戻ります。

表 8-111. RXF_PATTERN_31 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_60_61	R/W	0h	設定されたパターンのバイト 60 + 61。各バイトは、 RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.110 RXF_PATTERN_32 レジスタ (オフセット = 15Bh) [リセット = 0000h]

RXF_PATTERN_32 を表 8-112 に示します。

[概略表](#)に戻ります。

表 8-112. RXF_PATTERN_32 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_62_63	R/W	0h	設定されたパターンのバイト 62 + 63。 各バイトは、RXF_PATTERN_BYTE_MASK レジスタを個別にマスクできます

8.1.111 RXF_PATTERN_BYTE_MASK_1 レジスタ (オフセット = 15Ch) [リセット = 0000h]

RXF_PATTERN_BYTE_MASK_1 を表 8-113 に示します。

[概略表](#)に戻ります。

表 8-113. RXF_PATTERN_BYTE_MASK_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_MASK_0_15	R/W	0h	パターンのバイト 0 ~ 15 をマスクします。各バイトについて:「1」はマスクを意味します

8.1.112 RXF_PATTERN_BYTE_MASK_2 レジスタ (オフセット = 15Dh) [リセット = 0000h]

RXF_PATTERN_BYTE_MASK_2 を表 8-114 に示します。

[概略表](#)に戻ります。

表 8-114. RXF_PATTERN_BYTE_MASK_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_MASK_16_31	R/W	0h	パターンのバイト 16 ~ 31 をマスクします。各バイトについて:「1」はマスクを意味します

8.1.113 RXF_PATTERN_BYTE_MASK_3 レジスタ (オフセット = 15Eh) [リセット = 0000h]

RXF_PATTERN_BYTE_MASK_3 を表 8-115 に示します。

[概略表](#)に戻ります。

表 8-115. RXF_PATTERN_BYTE_MASK_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_MASK_32_47	R/W	0h	パターンのバイト 32 ~ 47 をマスクします。各バイトについて:「1」はマスクを意味します

8.1.114 RXF_PATTERN_BYTE_MASK_4 レジスタ (オフセット = 15Fh) [リセット = 0000h]

RXF_PATTERN_BYTE_MASK_4 を表 8-116 に示します。

[概略表](#)に戻ります。

表 8-116. RXF_PATTERN_BYTE_MASK_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PATTERN_BYTES_MASK_48_63	R/W	0h	パターンのバイト 48 ~ 63 をマスクします。各バイトについて:「1」はマスクを意味します

8.1.115 10M_SGMII_CFG レジスタ (オフセット = 16Fh) [リセット = 0115h]

10M_SGMII_CFG を表 8-117 に示します。

[概略表](#)に戻ります。

表 8-117. 10M_SGMII_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0h	予約済み

表 8-117. 10M_SGMII_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	10M_SGMII_RATE_ADAPT_DISABLE	R/W	0h	レート適応が無効 0h = レート適応が有効 1h = レート適応が無効
6	予約済み	R/W	0h	予約済み
5	予約済み	R/W	0h	予約済み
4	予約済み	R/W	0h	予約済み
3-0	予約済み	R/W	0h	予約済み

8.1.116 IO_MUX_CFG レジスタ (オフセット = 170h) [リセット = 0CX0h]

表 8-118 に、IO_MUX_CFG を示します。

概略表に戻ります。

表 8-118. IO_MUX_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み
12-8	CLK_O_SEL	R/W	Ch	クロック出力源の選択 0h = チャンネル A 受信クロック 1h = チャンネル B 受信クロック 2h = チャンネル C 受信クロック 3h = チャンネル D 受信クロック 4h = チャンネル A 受信クロックを 5 分周 5h = チャンネル B 受信クロックを 5 分周 6h = チャンネル C 受信クロックを 5 分周 7h = チャンネル D 受信クロックを 5 分周 8h = チャンネル A 送信クロック 9h = チャンネル B 送信クロック Ah = チャンネル C 送信クロック Bh = チャンネル D 送信クロック Ch = 基準クロック (XI 入力クロックに同期) 注: CLK_O_SEL を変更する前に、Reg 0xC6 を 0x10 に設定する必要があります
7	予約済み	R	0h	予約済み
6	CLK_O_DISABLE	R/W	Xh	クロックアウトが無効 0h = クロックアウトが有効 1h = クロックアウトが無効
5	予約済み	R/W	0h	予約済み
4-1	MAC_IMPEDANCE_CTRL	R/W	8h	MAC I/O のインピーダンス制御: 出力インピーダンスのおおよその範囲は 35 ~ 70Ω で、16 ステップです。最小は 1111、最大は 0000 です。範囲とステップ サイズはプロセスによって異なります。トリムによりデフォルトは 50Ω に設定されていますが、デフォルトのレジスタ値はプロセスによって異なる場合があります。MAC I/O インピーダンスの非デフォルト値は、トレース インピーダンスに基づいて使用できます。デバイスとトレース インピーダンスがマッチしていないと、電圧のオーバーシュートやアンダーシュートを引き起こす可能性があります。
0	予約済み	R/W	0h	予約済み

8.1.117 TDR_GEN_CFG1 レジスタ (オフセット = 180h) [リセット = 0752h]

TDR_GEN_CFG1 を表 8-119 に示します。

概略表に戻ります。

表 8-119. TDR_GEN_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R/W	0h	予約済み
12	TDR_CH_CD_BYPASS	R/W	0h	TDR テストでは、チャンネル C および D をバイパスします
11	TDR_CROSS_MODE_DISABLE	R/W	0h	設定されている場合は、クロス モード オプションを無効にします。クロスをチェックしないでください (送信した同じチャンネルだけをリッスンします)
10	TDR_NLP_CHECK	R/W	1h	設定されている場合は、サイレンス フェーズ中に NLP を確認します
9-7	TDR_AVG_NUM	R/W	6h	平均される TDR サイクル数: 000b = 1 TDR サイクル 001b = 2 TDR サイクル 010b = 4 TDR サイクル 011b = 8 TDR サイクル 100b = 16 TDR サイクル 101b = 32 TDR サイクル 110b = 64 TDR サイクル (デフォルト) 111b = 予約済み
6-4	TDR_SEG_NUM	R/W	5h	チェックする TDR セグメントの数
3-0	TDR_CYCLE_TIME	R/W	2h	各 TDR サイクルのマイクロ秒数

8.1.118 TDR_GEN_CFG2 レジスタ (オフセット = 181h) [リセット = C850h]

TDR_GEN_CFG2 を表 8-120 に示します。

概略表に戻ります。

表 8-120. TDR_GEN_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	TDR_SILENCE_TH	R/W	C8h	エネルギー検出スレッシュホールド
7-6	TDR_POST_SILENCE_TIME	R/W	1h	TDR トランザクション後にエネルギーを検出するための TDR 用タイマ。エネルギーが検出された場合、これはフェイル TDR です
5-4	TDR_PRE_SILENCE_TIME	R/W	1h	TDR が起動前にエネルギーを検出するためのタイマ。エネルギーが検出された場合、これはフェイル TDR です
3-0	予約済み	R	0h	予約済み

8.1.119 TDR_SEG_DURATION1 レジスタ (オフセット = 182h) [リセット = 5326h]

TDR_SEG_DURATION1 を表 8-121 に示します。

概略表に戻ります。

表 8-121. TDR_SEG_DURATION1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14-10	TDR_SEG_DURATION_SEG3	R/W	14h	セグメント 3 で実行する 125MHz クロック サイクル数
9-5	TDR_SEG_DURATION_SEG2	R/W	19h	セグメント 2 で実行する 125MHz クロック サイクル数
4-0	TDR_SEG_DURATION_SEG1	R/W	6h	セグメント 1 で実行する 125MHz クロック サイクル数

8.1.120 TDR_SEG_DURATION2 レジスタ (オフセット = 183h) [リセット = A01Eh]

TDR_SEG_DURATION2 を表 8-122 に示します。

概略表に戻ります。

表 8-122. TDR_SEG_DURATION2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	TDR_SEG_DURATION_S EG5	R/W	A0h	セグメント 5 で実行する 125MHz クロック サイクル数
7-6	予約済み	R	0h	予約済み
5-0	TDR_SEG_DURATION_S EG4	R/W	1Eh	セグメント 4 で実行する 125MHz クロック サイクル数

8.1.121 TDR_GEN_CFG3 レジスタ (オフセット = 184h) [リセット = E976h]

TDR_GEN_CFG3 を表 8-123 に示します。

概略表に戻ります。

表 8-123. TDR_GEN_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	TDR_FWD_SHADOW_SE G4	R/W	Eh	セグメント 4 において、最大レベル到達後、ピーク検出と判定するまでの待ち時間を示します
11-8	TDR_FWD_SHADOW_SE G3	R/W	9h	セグメント 3 において、最大レベル到達後、ピーク検出と判定するまでの待ち時間を示します
7	予約済み	R	0h	予約済み
6-4	TDR_FWD_SHADOW_SE G2	R/W	7h	セグメント 2 において、最大レベル到達後、ピーク検出と判定するまでの待ち時間を示します
3	予約済み	R	0h	予約済み
2-0	TDR_FWD_SHADOW_SE G1	R/W	6h	セグメント 1 において、最大レベル到達後、ピーク検出と判定するまでの待ち時間を示します

8.1.122 TDR_GEN_CFG4 レジスタ (オフセット = 185h) [リセット = 19CFh]

TDR_GEN_CFG4 を表 8-124 に示します。

概略表に戻ります。

表 8-124. TDR_GEN_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0h	予約済み
13-11	TDR_SDW_AVG_LOC	R/W	3h	平均ピークを探索するために、セグメント間のどの範囲を調べるかを示します
10-9	予約済み	R	0h	予約済み
8	TDR_TX_TYPE_SEG5	R/W	1h	このセグメントの tx タイプ (10/100)
7	TDR_TX_TYPE_SEG4	R/W	1h	このセグメントの tx タイプ (10/100)
6	TDR_TX_TYPE_SEG3	R/W	1h	このセグメントの tx タイプ (10/100)
5	TDR_TX_TYPE_SEG2	R/W	0h	このセグメントの tx タイプ (10/100)
4	TDR_TX_TYPE_SEG1	R/W	0h	このセグメントの tx タイプ (10/100)
3-0	TDR_FWD_SHADOW_SE G5	R/W	Fh	セグメント 5 において、最大レベル到達後、ピーク検出と判定するまでの待ち時間を示します

8.1.123 TDR_THRESH_CFG1 レジスタ (オフセット = 186h) [リセット = 31D7h]

TDR_THRESH_CFG1 を表 8-125 に示します。

[概略表](#)に戻ります。

表 8-125. TDR_THRESH_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0h	予約済み
13-10	TDR_P_LOC_THRESH_S EG3	R/W	Ch	セグメント #3 で入力がこの値を上回ると、サンプルはピークと見なされません
9-5	TDR_P_LOC_THRESH_S EG2	R/W	Eh	セグメント #2 で入力がこの値を上回ると、サンプルはピークと見なされません
4-0	TDR_P_LOC_THRESH_S EG1	R/W	17h	セグメント #1 で入力がこの値を上回ると、サンプルはピークと見なされません

8.1.124 TDR_THRESH_CFG2 レジスタ (オフセット = 187h) [リセット = 0D9Bh]

TDR_THRESH_CFG2 を [表 8-126](#) に示します。

[概略表](#)に戻ります。

表 8-126. TDR_THRESH_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み
12-8	TDR_SEG1_HIGH_THRE SH	R/W	Dh	セグメント 1 の特別なスレッシュホールドを定義します。短い反射を示し、他のセグメントの検索を停止します
7-4	TDR_P_LOC_THRESH_S EG5	R/W	9h	セグメント #5 で入力がこの値を上回ると、サンプルはピークと見なされません
3-0	TDR_P_LOC_THRESH_S EG4	R/W	Bh	セグメント #4 で入力がこの値を上回ると、サンプルはピークと見なされません

8.1.125 TDR_GEN_CFG5 レジスタ (オフセット = 189h) [リセット = 0014h]

TDR_GEN_CFG5 を [表 8-127](#) に示します。

[概略表](#)に戻ります。

表 8-127. TDR_GEN_CFG5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-5	予約済み	R	0h	予約済み
4-0	TDR_INITIAL_SKIP	R/W	14h	TDR で予想自己反映を設定します

8.1.126 TDR_PEAKS_LOC_A_0_1 レジスタ (オフセット = 190h) [リセット = 0000h]

TDR_PEAKS_LOC_A_0_1 を [表 8-128](#) に示します。

[概略表](#)に戻ります。

表 8-128. TDR_PEAKS_LOC_A_0_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	TDR_PEAKS_LOC_A_1	R	0h	チャンネル A でピーク位置 1 が観測されました
7-0	TDR_PEAKS_LOC_A_0	R	0h	チャンネル A でピーク位置 0 が観測されました

8.1.127 TDR_PEAKS_LOC_A_2_3 レジスタ (オフセット = 191h) [リセット = 0000h]

TDR_PEAKS_LOC_A_2_3 を表 8-129 に示します。

[概略表](#)に戻ります。

表 8-129. TDR_PEAKS_LOC_A_2_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	TDR_PEAKS_LOC_A_3	R	0h	チャンネル A でピーク位置 3 が観測されました
7-0	TDR_PEAKS_LOC_A_2	R	0h	チャンネル A でピーク位置 2 が観測されました

8.1.128 TDR_PEAKS_LOC_A_4_B_0 レジスタ (オフセット = 192h) [リセット = 0000h]

TDR_PEAKS_LOC_A_4_B_0 を表 8-130 に示します。

[概略表](#)に戻ります。

表 8-130. TDR_PEAKS_LOC_A_4_B_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	TDR_PEAKS_LOC_B_0	R	0h	チャンネル B でピーク位置 0 が観測されました
7-0	TDR_PEAKS_LOC_A_4	R	0h	チャンネル A でピーク位置 4 が観測されました

8.1.129 TDR_PEAKS_LOC_B_1_2 レジスタ (オフセット = 193h) [リセット = 0000h]

TDR_PEAKS_LOC_B_1_2 を表 8-131 に示します。

[概略表](#)に戻ります。

表 8-131. TDR_PEAKS_LOC_B_1_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	TDR_PEAKS_LOC_B_2	R	0h	チャンネル B でピーク位置 2 が観測されました
7-0	TDR_PEAKS_LOC_B_1	R	0h	チャンネル B でピーク位置 1 が観測されました

8.1.130 TDR_PEAKS_LOC_B_3_4 レジスタ (オフセット = 194h) [リセット = 0000h]

TDR_PEAKS_LOC_B_3_4 を表 8-132 に示します。

[概略表](#)に戻ります。

表 8-132. TDR_PEAKS_LOC_B_3_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	TDR_PEAKS_LOC_B_4	R	0h	チャンネル B でピーク位置 4 が観測されました
7-0	TDR_PEAKS_LOC_B_3	R	0h	チャンネル B でピーク位置 3 が観測されました

8.1.131 TDR_PEAKS_LOC_C_0_1 レジスタ (オフセット = 195h) [リセット = 0000h]

TDR_PEAKS_LOC_C_0_1 を表 8-133 に示します。

[概略表](#)に戻ります。

表 8-133. TDR_PEAKS_LOC_C_0_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	TDR_PEAKS_LOC_C_1	R	0h	チャンネル C でピーク位置 1 が観測されました

表 8-133. TDR_PEAKS_LOC_C_0_1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7-0	TDR_PEAKS_LOC_C_0	R	0h	チャンネル C でピーク位置 0 が観測されました

8.1.132 TDR_PEAKS_LOC_C_2_3 レジスタ (オフセット = 196h) [リセット = 0000h]

TDR_PEAKS_LOC_C_2_3 を表 8-134 に示します。

概略表に戻ります。

表 8-134. TDR_PEAKS_LOC_C_2_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	TDR_PEAKS_LOC_C_3	R	0h	チャンネル C でピーク位置 3 が観測されました
7-0	TDR_PEAKS_LOC_C_2	R	0h	チャンネル C でピーク位置 2 が観測されました

8.1.133 TDR_PEAKS_LOC_C_4_D_0 レジスタ (オフセット = 197h) [リセット = 0000h]

TDR_PEAKS_LOC_C_4_D_0 を表 8-135 に示します。

概略表に戻ります。

表 8-135. TDR_PEAKS_LOC_C_4_D_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	TDR_PEAKS_LOC_D_0	R	0h	チャンネル D でピーク位置 0 が観測されました
7-0	TDR_PEAKS_LOC_C_4	R	0h	チャンネル C でピーク位置 4 が観測されました

8.1.134 TDR_PEAKS_LOC_D_1_2 レジスタ (オフセット = 198h) [リセット = 0000h]

TDR_PEAKS_LOC_D_1_2 を表 8-136 に示します。

概略表に戻ります。

表 8-136. TDR_PEAKS_LOC_D_1_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	TDR_PEAKS_LOC_D_2	R	0h	チャンネル D でピーク位置 2 が観測されました
7-0	TDR_PEAKS_LOC_D_1	R	0h	チャンネル D でピーク位置 1 が観測されました

8.1.135 TDR_PEAKS_LOC_D_3_4 レジスタ (オフセット = 199h) [リセット = 0000h]

TDR_PEAKS_LOC_D_3_4 を表 8-137 に示します。

概略表に戻ります。

表 8-137. TDR_PEAKS_LOC_D_3_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	TDR_PEAKS_LOC_D_4	R	0h	チャンネル D でピーク位置 4 が観測されました
7-0	TDR_PEAKS_LOC_D_3	R	0h	チャンネル D でピーク位置 3 が観測されました

8.1.136 TDR_GEN_STATUS レジスタ (オフセット = 1A4h) [リセット = 0000h]

TDR_GEN_STATUS を表 8-138 に示します。

[概略表](#)に戻ります。

表 8-138. TDR_GEN_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0h	予約済み
11	TDR_P_LOC_CROSS_M ODE_D	R	0h	チャンネル D のクロス モードで観測されたピーク
10	TDR_P_LOC_CROSS_M ODE_C	R	0h	チャンネル C のクロス モードで観測されたピーク
9	TDR_P_LOC_CROSS_M ODE_B	R	0h	チャンネル B のクロス モードで観測されたピーク
8	TDR_P_LOC_CROSS_M ODE_A	R	0h	チャンネル A のクロス モードで観測されたピーク
7	TDR_P_LOC_OVERFLOW W_D	R	0h	現在のセグメントにおけるピークの総数は、チャンネル D で最大値の 5 に達しました
6	TDR_P_LOC_OVERFLOW W_C	R	0h	現在のセグメントにおけるピークの総数は、チャンネル C で最大値の 5 に達しました
5	TDR_P_LOC_OVERFLOW W_B	R	0h	現在のセグメントにおけるピークの総数は、チャンネル B で最大値の 5 に達しました
4	TDR_P_LOC_OVERFLOW W_A	R	0h	現在のセグメントにおけるピークの総数は、チャンネル A で最大値の 5 に達しました
3	TDR_SEG1_HIGH_CROS S_D	R	0h	チャンネル D のセグメント 1 のピーク交差 High スレッショルド
2	TDR_SEG1_HIGH_CROS S_C	R	0h	チャンネル C のセグメント 1 のピーク交差 High スレッショルド
1	TDR_SEG1_HIGH_CROS S_B	R	0h	チャンネル B のセグメント 1 のピーク交差 High スレッショルド
0	TDR_SEG1_HIGH_CROS S_A	R	0h	チャンネル A のセグメント 1 のピーク交差 High スレッショルド

8.1.137 TDR_PEAKS_SIGN_A_B レジスタ (オフセット = 1A5h) [リセット = 0000h]

TDR_PEAKS_SIGN_A_B を [表 8-139](#) に示します。

[概略表](#)に戻ります。

表 8-139. TDR_PEAKS_SIGN_A_B レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み
9	TDR_PEAKS_SIGN_B_4	R	0h	チャンネル B でピーク サイン 4 が観測されました
8	TDR_PEAKS_SIGN_B_3	R	0h	チャンネル B でピーク サイン 3 が観測されました
7	TDR_PEAKS_SIGN_B_2	R	0h	チャンネル B でピーク サイン 2 が観測されました
6	TDR_PEAKS_SIGN_B_1	R	0h	チャンネル B でピーク サイン 1 が観測されました
5	TDR_PEAKS_SIGN_B_0	R	0h	チャンネル B でピーク サイン 0 が観測されました
4	TDR_PEAKS_SIGN_A_4	R	0h	チャンネル A でピーク サイン 4 が観測されました
3	TDR_PEAKS_SIGN_A_3	R	0h	チャンネル A でピーク サイン 3 が観測されました
2	TDR_PEAKS_SIGN_A_2	R	0h	チャンネル A でピーク サイン 2 が観測されました
1	TDR_PEAKS_SIGN_A_1	R	0h	チャンネル A でピーク サイン 1 が観測されました
0	TDR_PEAKS_SIGN_A_0	R	0h	チャンネル A でピーク サイン 0 が観測されました

8.1.138 TDR_PEAKS_SIGN_C_D レジスタ (オフセット = 1A6h) [リセット = 0000h]

TDR_PEAKS_SIGN_C_D を表 8-140 に示します。

[概略表](#)に戻ります。

表 8-140. TDR_PEAKS_SIGN_C_D レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み
9	TDR_PEAKS_SIGN_D_4	R	0h	チャンネル D でピーク サイン 4 が観測されました
8	TDR_PEAKS_SIGN_D_3	R	0h	チャンネル D でピーク サイン 3 が観測されました
7	TDR_PEAKS_SIGN_D_2	R	0h	チャンネル D でピーク サイン 2 が観測されました
6	TDR_PEAKS_SIGN_D_1	R	0h	チャンネル D でピーク サイン 1 が観測されました
5	TDR_PEAKS_SIGN_D_0	R	0h	チャンネル D でピーク サイン 0 が観測されました
4	TDR_PEAKS_SIGN_C_4	R	0h	チャンネル C でピーク サイン 4 が観測されました
3	TDR_PEAKS_SIGN_C_3	R	0h	チャンネル C でピーク サイン 3 が観測されました
2	TDR_PEAKS_SIGN_C_2	R	0h	チャンネル C でピーク サイン 2 が観測されました
1	TDR_PEAKS_SIGN_C_1	R	0h	チャンネル C でピーク サイン 1 が観測されました
0	TDR_PEAKS_SIGN_C_0	R	0h	チャンネル C でピーク サイン 0 が観測されました

8.1.139 DBG_PRBS_PKT_CNT_1 レジスタ (オフセット = 1A8h) [リセット = 0000h]

DBG_PRBS_PKT_CNT_1 を表 8-141 に示します。

[概略表](#)に戻ります。

表 8-141. DBG_PRBS_PKT_CNT_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PRBS_PKT_CNT_15_0	R	0h	PRBS チェッカが受信した総パケット数のビット [15:0] を保持します。レジスタ DBG_PRBS_ERR_CNT のビット [0] またはビット [1] に書き込みが行われると、このレジスタの値はロックされます。PRBS カウント モードが 0 に設定されている場合、カウントは 0xFFFFFFFF で停止します (レジスタ 0x0016 を参照)

8.1.140 DBG_PRBS_PKT_CNT_2 レジスタ (オフセット = 1A9h) [リセット = 0000h]

DBG_PRBS_PKT_CNT_2 を表 8-142 に示します。

[概略表](#)に戻ります。

表 8-142. DBG_PRBS_PKT_CNT_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PRBS_PKT_CNT_31_16	R	0h	PRBS チェッカが受信した総パケット数のビット [31:16] を保持します。レジスタ DBG_PRBS_ERR_CNT のビット [0] またはビット [1] に書き込みが行われると、このレジスタの値はロックされます。PRBS カウント モードが 0 に設定されている場合、カウントは 0xFFFFFFFF で停止します (レジスタ 0x0016 を参照)

8.1.141 DSP_MASTER_STEP_4 レジスタ (オフセット = 1C2h) [リセット = 7E9Eh]

DSP_MASTER_STEP_4 を表 8-143 に示します。

[概略表](#)に戻ります。

表 8-143. DSP_MASTER_STEP_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R/W	0h	予約済み
12-9	予約済み	R/W	0h	予約済み
8-6	予約済み	R/W	0h	予約済み
5-4	予約済み	R/W	0h	予約済み
3-2	予約済み	R/W	0h	予約済み
1-0	予約済み	R/W	0h	予約済み

8.1.142 DSP_SLAVE_STEP_4 レジスタ (オフセット = 1C3h) [リセット = F3C6h]

DSP_SLAVE_STEP_4 を表 8-144 に示します。

[概略表](#)に戻ります。

表 8-144. DSP_SLAVE_STEP_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R/W	0h	予約済み
11-9	予約済み	R/W	0h	予約済み
8-6	予約済み	R/W	0h	予約済み
5-4	予約済み	R/W	0h	予約済み
3-2	予約済み	R/W	0h	予約済み
1-0	予約済み	R/W	0h	予約済み

8.1.143 DSP_SLAVE_STEP_5 レジスタ (オフセット = 1C4h) [リセット = 01C2h]

DSP_SLAVE_STEP_5 を表 8-145 に示します。

[概略表](#)に戻ります。

表 8-145. DSP_SLAVE_STEP_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R/W	0h	予約済み
11-9	予約済み	R/W	0h	予約済み
8-6	予約済み	R/W	0h	予約済み
5-4	予約済み	R/W	0h	予約済み
3-2	予約済み	R/W	0h	予約済み
1-0	予約済み	R/W	0h	予約済み

8.1.144 DSP_SLAVE_STEP_6_7 レジスタ (オフセット = 1C5h) [リセット = 1C70h]

DSP_SLAVE_STEP_6_7 を表 8-146 に示します。

[概略表](#)に戻ります。

表 8-146. DSP_SLAVE_STEP_6_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R/W	0h	予約済み
12-10	予約済み	R/W	0h	予約済み
9-7	予約済み	R/W	0h	予約済み
6-4	予約済み	R/W	0h	予約済み

表 8-146. DSP_SLAVE_STEP_6_7 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-2	予約済み	R/W	0h	予約済み
1-0	予約済み	R/W	0h	予約済み

8.1.145 OP_MODE_DECODE レジスタ (オフセット = 1DFh) [リセット = 0040h]

OP_MODE_DECODE を表 8-147 に示します。

概略表に戻ります。

表 8-147. OP_MODE_DECODE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	予約済み	R	0h	予約済み
8-7	予約済み	R	0h	予約済み
6	BRIDGE_MODE_RGMII_MAC	R/W	1h	0h = SGMII から RGMII へのブリッジ 1h = RGMII から SGMII へのブリッジ
5	RGMII_MII_SEL	R/W	0h	0h = RGMII 1h = MII
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2-0	CFG_OPMODE	R/W	0h	動作モード 0h = RGMII から銅線 1h = RGMII から 1000Base-X 2h = RGMII から 100Base-FX 3h = RGMII から SGMII 4h = 1000Base-T から 1000Base-X 5h = 100Base-TX から 100Base-FX 6h = SGMII から銅線 7h = 予約済み

8.1.146 GPIO_MUX_CTRL レジスタ (オフセット = 1E0h) [リセット = 417Ah]

表 8-148 に、GPIO_MUX_CTRL を示します。

概略表に戻ります。

表 8-148. GPIO_MUX_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R/W	0h	予約済み
11-8	予約済み	R/W	0h	予約済み
7-4	JTAG_TDO_GPIO_1_CTRL	R/W	7h	GPIO 制御オプションについては、ビット [3:0] を参照してください。いずれかのタイプの SFD が有効になっている場合、このピンは自動的に TX_SFD に設定されます。

表 8-148. GPIO_MUX_CTRL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	LED_2_GPIO_0_CTRL	R/W	Ah	GPIO 制御には、以下のオプションを使用できます。いずれかのタイプの SFD が有効になっている場合、このピンは自動的に RX_SFD に設定されます。 0h = CLK_OUT 1h = 予約済み 2h = INT 3h = リンク ステータス 4h = 予約済み 5h = SFD を送信 6h = SFD を受信 7h = WOL 8h = エネルギー検出 (1000Base-T および 100Base-TX のみ) 9h = PRBS エラー Ah = LED_2 Bh = LED_GPIO (3) Ch = CRS Dh = COL Eh = 定数「0」 Fh = 定数「1」

8.1.147 MC_LINK_LOSS レジスタ (オフセット = 1ECh) [リセット = 1FFDh]

MC_LINK_LOSS を表 8-149 に示します。

[概略表](#)に戻ります。

表 8-149. MC_LINK_LOSS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R/W	0h	予約済み
12-9	予約済み	R/W	0h	予約済み
8	予約済み	R/W	0h	予約済み
7	予約済み	R/W	0h	予約済み
6	予約済み	R/W	0h	予約済み
5	予約済み	R/W	0h	予約済み
4	予約済み	R/W	0h	予約済み
3	CFG_LINK_LOSS_EN	R/W	1h	MC リンク損失機能を有効化 0h = リンク損失機能を無効化 1h = リンク損失機能を有効化
2-1	予約済み	R/W	0h	予約済み
0	予約済み	R/W	0h	予約済み

8.1.148 FX_CTRL レジスタ (オフセット = C00h) [リセット = 1140h]

FX_CTRL を表 8-150 に示します。

[概略表](#)に戻ります。

0xC00 以降のレジスタは、ファイバ、RGMII SGMII 間、SGMII RGMII 間、およびメディア コンバータ用の SGMII IP ブロックで共通です。

表 8-150. FX_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	CTRL0_RESET	R/W	0h	ファイバ モードでのリセットを制御します。リセットが完了すると、このビットは自動的にクリアされます。 0h = 通常動作 1h = リセット。
14	CTRL0_LOOPBACK	R/W	0h	100BASE-X、1000BASE-FX、RGMII-SGMII、SGMII-RGMII MAC ループバック。 0h = MAC ループバックを無効化 1h = MAC ループバックを有効化
13	CTRL0_SPEED_SEL_LSB	R/W	0h	ファイバ イーサネット モードの場合、速度選択ビット LSB[13] および MSB[6] がイーサネット リンクのデータ レートを制御するために使用されます。これらのビットはストラップの影響も受けます。 0h = 10Mbps 1h = 100Mbps 2h = 1000Mbps 3h = 予約済み
12	CTRL0_ANEG_EN	R/W	1h	1000BASE-X、R2S、S2Rブリッジ モード自動ネゴシエーションを有効にします。ストラップで制御されます。 0h = 無効化 1h = イネーブル
11	CTRL0_PWRDN	R/W	0h	R2S、S2R、1000Base-X、100Base-FX 用の SGMII のパワーダウン。デジタルはリセット状態です。 100Base-FX モードでは、リンク ステータスは PWDN モードで正確に反映されません。リンク ステータスが正確に反映されるようにするには、次の手順を実行します。 0xD3 = 0xCF3 PWDN ビットが High になる 0xD3 = 0x00 その他のレジスタ書き込みが必要。 PWDN ビットが Low になる 0h = 通常動作 1h = パワーダウン
10	CTRL0_ISOLATE	R/W	0h	MAC インターフェイスを絶縁します。1000BX、100FX、RGMII-SGMII モードで使用。SGMII-RGMII モードでは該当なし。 0h = 通常動作 1h = 絶縁
9	CTRL0_RESTART_AN	R/W	0h	この制御ビットに 1 を書き込むと、SGMII および 1000B-X モードでの自動ネゴシエーションが再開されます。このビットはハードウェアによって自動クリアされます。 0h = 通常動作 1h = 1000BASE-X/SGMII 自動ネゴシエーション プロセスを再起動
8	CTRL0_DUPLEX_MODE	R/W	1h	強制二重モード。MII-100FX モードでのみ適用可能。 0h = 半二重モード 1h = 全二重モード
7	CTRL0_COL_TEST	R/W	0h	衝突機能のテストに使用します。このビットを設定すると、tx_en をアサートするだけで衝突がアサートされます
6	CTRL0_SPEED_SEL_MSB	R/W	1h	自動ネゴシエーションが無効化されている場合のみ有効な SGMII の強制速度。ストラップで制御されます。このレジスタのビット 13 を参照してください。
5-0	予約済み	R/W	0h	予約済み

8.1.149 FX_STS レジスタ (オフセット = C01h) [リセット = 6149h]

FX_STS を表 8-151 に示します。

[概略表](#)に戻ります。

表 8-151. FX_STS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	STTS_100B_T4	R	0h	常に 0 を返します。デバイスは 100BASE-T4 モードをサポートしていません
14	STTS_100B_X_FD	R	1h	常に 1 を返します。デバイスは 100BASE-FX 全二重をサポートしています
13	STTS_100B_X_HD	R	1h	常に 1 を返します。デバイスは 100BASE-FX 半二重をサポートしています
12	STTS_10B_FD	R	0h	常に 0 を返します。デバイスは 10Mbps ファイバ モードをサポートしていません
11	STTS_10B_HD	R	0h	常に 0 を返します。デバイスは 10Mbps ファイバ モードをサポートしていません
10	STTS_100B_T2_FD	R	0h	常に 0 を返します。デバイスは 100BASE-T2 モードをサポートしていません
9	STTS_100B_T2_HD	R	0h	常に 0 を返します。デバイスは 100BASE-T2 モードをサポートしていません
8	STTS_EXTENDED_STAT US	R	1h	常に 1 を返します。 register15 の拡張ステータス情報
7	予約済み	R	0h	予約済み
6	STTS_MF_PREAMBLE_S UPRSN	R	1h	常に 1 を返します。PHY はプリアンブルが抑制された管理フレームを受け入れます。
5	STTS_ANEG_COMPLET E	R	0h	1: 自動ネゴシエーション プロセスが完了 0: 自動ネゴシエーション プロセスが未完了
4	STTS_REMOTE_FAULT	R	0h	1: リモート障害条件が検出 0: リモート障害条件が未検出
3	STTS_ANEG_ABILITY	R	1h	常に 1 を返します。 自動ネゴシエーションを実行できるデバイス
2	STTS_LINK_STATUS	R	0h	100FX/1000X および 100FX/1000X MC モードでの 100FX/1000X リンクアップを示します。 RGMII-SGMII モードでは、このビットは自動ネゴシエーション有効時に SGMII リンクアップおよび LP リンクアップを示し、それ以外 (自動ネゴシエーション無効時) の場合は SGMII リンクアップのみを示します。 SGMII-RGMII モードでは、このビットは LP リンクアップを示します 0h = リンクダウン 1h = リンクアップ
1	STTS_JABBER_DET	R	0h	0 を返します。
0	STTS_EXTENDED_CAPA BILITY	R	1h	常に 1 を返します。 デバイスは拡張レジスタ機能をサポートしています

8.1.150 FX_PHYID1 レジスタ (オフセット = C02h) [リセット = 2000h]

FX_PHYID1 を表 8-152 に示します。

[概略表](#)に戻ります。

表 8-152. FX_PHYID1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0h	予約済み
13-0	OUI_6_19_FIBER	R	2000h	管理組織識別子 (OUI: Organizationally Unique Identifier) ビット 19:6

8.1.151 FX_PHYID2 レジスタ (オフセット = C03h) [リセット = A0F1h]

FX_PHYID2 を表 8-153 に示します。

[概略表](#)に戻ります。

表 8-153. FX_PHYID2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	OUI_0_5_FIBER	R	28h	管理組織識別子 (OUI: Organizationally Unique Identifier) ビット 5:0
9-4	MODEL_NUM_FIBER	R	Fh	モデル番号
3-0	REVISION_NUM_FIBER	R	1h	リビジョン番号

8.1.152 FX_ANADV レジスタ (オフセット = C04h) [リセット = 0020h]

FX_ANADV を表 8-154 に示します。

[概略表](#)に戻ります。

表 8-154. FX_ANADV レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	BP_NEXT_PAGE	R/W	0h	次ページをアドバタイズする必要がある場合、このビットを設定します。1 = アドバタイズ 0 = アドバタイズされていない
14	BP_ACK	R	0h	常に 0 を返します。
13-12	BP_REMOTE_FAULT	R/W	0h	00 = LINK_STATUS/UP 01=OFFLINE 10=LINK_FAILURE 11=AUTO_ERROR
11-9	予約済み	R	0h	予約済み
8	BP_ASYMMETRIC_PAUSE	R/W	0h	1 = 非対称ポーズ 0 = 非対称ポーズなし
7	BP_PAUSE	R/W	0h	1 = MAC ポーズ 0 = MAC ポーズなし
6	BP_HALF_DUPLEX	R/W	0h	1 = アドバタイズ 0 = アドバタイズされていない
5	BP_FULL_DUPLEX	R/W	1h	1 = アドバタイズ 0 = アドバタイズされていない
4-0	BP_RSVD1	R	0h	予約済み。00000 に設定します

8.1.153 FX_LPABL レジスタ (オフセット = C05h) [リセット = 0000h]

FX_LPABL を表 8-155 に示します。

[概略表](#)に戻ります。

表 8-155. FX_LPABL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	LP_ABILITY_NEXT_PAGE	R	0h	0h = LP は次ページに対応していない 1h = LP は次ページに対応している
14	LP_ABILITY_ACK	R	0h	0h = LP がリンク コード ワードを受信したことをアクリッジしていない 1h = LP がリンク コード ワードを受信したことをアクリッジしている
13-12	LP_ABILITY_REMOTE_FAULT	R	0h	LP からリモート障害を受信済み。 0h = LINK_STATUS/UP 1h = オフライン 2h = LINK_FAILURE 3h = AUTO_ERROR
11-9	予約済み	R	0h	予約済み
8	LP_ABILITY_ASYMMETRIC_PAUSE	R	0h	0h = LP は非対称ポーズを要求していない 1h = LP は非対称ポーズを要求している

表 8-155. FX_LPABL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	LP_ABILITY_PAUSE	R	0h	0h = LP は一時停止動作ができない 1h = LP は一時停止動作ができる
6	LP_ABILITY_HALF_DUPL EX	R	0h	0h = LP は 1000BASE-X 半二重に対応していない 1h = LP は 1000BASE-X 半二重に対応している
5	LP_ABILITY_FULL_DUPL EX	R	0h	0h = LP は 1000BASE-X 全二重に対応していない 1h = LP は 1000BASE-X 全二重に対応している
4-0	予約済み	R	0h	予約済み

8.1.154 FX_ANEXP レジスタ (オフセット = C06h) [リセット = 0000h]

FX_ANEXP を表 8-156 に示します。

概略表に戻ります。

表 8-156. FX_ANEXP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	予約済み	R	0h	予約済み
3	AN_EXP_LP_NEXT_PAG E_ABLE	R	0h	NP ビット (ビット 15) が 1 に設定されたベース ページをデバイスが受信すると、ビットは 1 に設定されます。自動ネゴシエーション状態が AN_ENABLE になると、このビットはクリアされます。SGMII が次ページをサポートしていないため、このビットは SGMII モードで NP ビットが 0 に設定されるものと想定されます。 0h = リンク パートナーが次ページをサポートしていない 1h = リンク パートナーが次ページをサポートしている
2	AN_EXP_LOCAL_NEXT_ PAGE_ABLE	R	0h	ファイバ 1000BASE-X モードでは、このビットは 1 に設定されます。SGMII モードでは、このビットは 0 に設定されます。 0h = ローカル デバイスが次ページをサポートしていない 1h = ローカル デバイスが次ページをサポートしている
1	AN_EXP_PAGE_RECEIV ED	R	0h	デバイスが新しいページを受信すると、ステータスがラッチされます。SW がこのレジスタを読み取ると、このビットがクリアされます。 0h = 新しいページを未受信 1h = 新しいページ (ベース ページまたは次ページ) を受信済み
0	AN_EXP_LP_AUTO_NEG ABLE	R	0h	デバイスがベース ページを受信すると、ビットは 1 に設定されます。自動ネゴシエーション状態が AN_ENABLE になると、このビットはクリアされます。 0h = リンク パートナーが自動ネゴシエーションをサポートしていない 1h = リンク パートナーが自動ネゴシエーションをサポートしている

8.1.155 FX_LOCNP レジスタ (オフセット = C07h) [リセット = 2001h]

FX_LOCNP を表 8-157 に示します。

概略表に戻ります。

表 8-157. FX_LOCNP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	NP_TX_NEXT_PAGE	R/W	0h	0:最後のページ 1 の場合:送信するページが他にもある場合
14	予約済み	R	0h	予約済み
13	NP_TX_MESSAGE_PAG E_MODE	R/W	1h	0:未フォーマット ページ 1:メッセージ ページ
12	NP_TX_ACK_2	R/W	0h	デバイスにはメッセージに準拠する能力があります 0h = メッセージに準拠できない。 1h = メッセージに準拠できる。

表 8-157. FX_LOCNP レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	NP_TX_TOGGLE	R	0h	0h = 送信されたリンク コード ワードの以前の値がロジック 1 に等しい。 1h = 送信されたリンク コード ワードの以前の値がロジック 0 に等しい
10-0	NP_TX_MESSAGE_FIEL D	R/W	1h	IEEE Annex 28C で定義されているメッセージコードフィールド

8.1.156 FX_LPNP レジスタ (オフセット = C08h) [リセット = 0000h]

FX_LPNP を表 8-158 に示します。

[概略表](#)に戻ります。

表 8-158. FX_LPNP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	LP_NP_NEXT_PAGE	R	0h	LP の最後のページ 0h = 最後のページの場合 1h = 送信するページが他にもある場合
14	LP_NP_ACK	R	0h	予約済み
13	LP_NP_MESSAGE_PAG E_MODE	R	0h	LP メッセージ ページ モード 0: 未フォーマット ページ 1: メッセージ ページ
12	LP_NP_ACK_2	R	0h	LP にはメッセージに準拠する能力があります 0: メッセージに準拠できない。1: メッセージに準拠できる。
11	LP_NP_TOGGLE	R	0h	LP トグル ビット 0: 送信されたリンク コード ワードの以前の値が論理 1 に等しい。1: 送信されたリンク コード ワードの以前の値がロジック 0 に等しい
10-0	LP_NP_MESSAGE_FIEL D	R	0h	IEEE Annex 28C で定義されている LP メッセージコードフィールド

8.1.157 CFG_FX_CTRL0 レジスタ (オフセット = C10h) [リセット = 0000h]

CFG_FX_CTRL0 を表 8-159 に示します。

[概略表](#)に戻ります。

表 8-159. CFG_FX_CTRL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み
9	CFG_SDIN	R/W	0h	0h = 信号検出ピンを使用している 1h = 信号検出ピンを使用していない
8-0	予約済み	R	0h	予約済み

8.1.158 FX_INT_EN レジスタ (オフセット = C18h) [リセット = 03FFh]

FX_INT_EN を表 8-160 に示します。

[概略表](#)に戻ります。

表 8-160. FX_INT_EN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み

表 8-160. FX_INT_EN レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	FEF_FAULT_EN	R/W	1h	FEF フォルト受信割り込みが有効 0h = 割り込みを無効化 1h = 割り込みを有効化
8	TX_FIFO_FULL_EN	R/W	1h	ファイバおよび SGMII Tx FIFO のフル割り込みが有効 0h = 割り込みを無効化 1h = 割り込みを有効化
7	TX_FIFO_EMPTY_EN	R/W	1h	ファイバおよび SGMII Tx FIFO の空割り込みが有効 0h = 割り込みを無効化 1h = 割り込みを有効化
6	RX_FIFO_FULL_EN	R/W	1h	ファイバおよび SGMII Rx FIFO のフル割り込みが有効 0h = 割り込みを無効化 1h = 割り込みを有効化
5	RX_FIFO_EMPTY_EN	R/W	1h	ファイバおよび SGMII Rx FIFO の空割り込みが有効 0h = 割り込みを無効化 1h = 割り込みを有効化
4	LINK_STS_CHANGE_EN	R/W	1h	リンク ステータス変化の割り込みが有効 0h = 割り込みを無効化 1h = 割り込みを有効化
3	LP_FAULT_RX_EN	R/W	1h	リンク パートナーのリモート障害割り込みが有効 0h = 割り込みを無効化 1h = 割り込みを有効化
2	PRI_RES_FAIL_EN	R/W	1h	優先度解決失敗割り込みが有効 0h = 割り込みを無効化 1h = 割り込みを有効化
1	LP_NP_RX_EN	R/W	1h	リンク パートナーの次ページ受信割り込みが有効 0h = 割り込みを無効化 1h = 割り込みを有効化
0	LP_BP_RX_EN	R/W	1h	リンク パートナーのベース ページ受信割り込みが有効 0h = 割り込みを無効化 1h = 割り込みを有効化

8.1.159 FX_INT_STS レジスタ (オフセット = C19h) [リセット = 0000h]

FX_INT_STS を表 8-161 に示します。

概略表に戻ります。

表 8-161. FX_INT_STS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み
9	FEF_FAULT	RC	0h	FEF フォルト受信割り込み 0h = 割り込み保留なし 1h = 割り込み保留あり。読み取り時にクリア
8	TX_FIFO_FULL	RC	0h	ファイバ Tx FIFO のフル割り込み 0h = 割り込み保留なし 1h = 割り込み保留あり。読み取り時にクリア
7	TX_FIFO_EMPTY	RC	0h	ファイバ Tx FIFO の空割り込み 0h = 割り込み保留なし 1h = 割り込み保留あり。読み取り時にクリア
6	RX_FIFO_FULL	RC	0h	ファイバ Rx FIFO のフル割り込み 0h = 割り込み保留なし 1h = 割り込み保留あり。読み取り時にクリア

表 8-161. FX_INT_STS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	RX_FIFO_EMPTY	RC	0h	ファイバ Rx FIFO の空割り込み 0h = 割り込み保留なし 1h = 割り込み保留あり。読み取り時にクリア
4	LINK_STS_CHANGE	RC	0h	リンク ステータス変化割り込み 0h = 割り込み保留なし 1h = 割り込み保留あり。読み取り時にクリア
3	LP_FAULT_RX	RC	0h	リンク パートナーのリモート障害割り込み 0h = 割り込み保留なし 1h = 割り込み保留あり。読み取り時にクリア
2	PRI_RES_FAIL	RC	0h	優先度解決失敗割り込み 0h = 割り込み保留なし 1h = 割り込み保留あり。読み取り時にクリア
1	LP_NP_RX	RC	0h	リンク パートナーの次ページ受信割り込み 0h = 割り込み保留なし 1h = 割り込み保留あり。読み取り時にクリア
0	LP_BP_RX	RC	0h	リンク パートナーのベース ページ受信割り込み 0h = 割り込み保留なし 1h = 割り込み保留あり。読み取り時にクリア

8.1.160 BIST_CONTROL_FX レジスタ (オフセット = C1Ah) [リセット = 0000h]

BIST_CONTROL_FX を表 8-162 に示します。

概略表に戻ります。

表 8-162. BIST_CONTROL_FX レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14	予約済み	R/W	0h	予約済み
13	予約済み	R/W	0h	予約済み
12	予約済み	R/W	0h	予約済み
11-10	予約済み	R/W	0h	予約済み
9	予約済み	R/W	0h	予約済み
8	予約済み	R/W	0h	予約済み
7	予約済み	R/W	0h	予約済み
6	予約済み	R/W	0h	予約済み
5	FIBER_REVERSE_LOOP BACK_EN	R/W	0h	ファイバ接続のリバース ループバックを有効にします 0h = ファイバリバース ループバックを無効化 1h = ファイバリバース ループバックを有効化
4-3	予約済み	R/W	0h	予約済み
2	予約済み	R/W	0h	予約済み
1-0	予約済み	R/W	0h	予約済み

8.1.161 CFG_100FX_CTRL5 レジスタ (オフセット = C30h) [リセット = 3056h]

CFG_100FX_CTRL5 を表 8-163 に示します。

概略表に戻ります。

表 8-163. CFG_100FX_CTRL5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R/W	0h	予約済み
11-4	予約済み	R/W	0h	予約済み
3	予約済み	R/W	0h	予約済み
2	CFG_SD_POLARITY	R/W	1h	Signal_detect 極性制御ビット 0h = SD ピンはアクティブ High 1h = SD ピンはアクティブ Low
1	予約済み	R/W	0h	
0	予約済み	R/W	0h	予約済み

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

DP83869HM は、10/100/1000 銅線および光ファイバ イーサネット PHY です。本デバイスは、SGMII または RGMII を使ったイーサネット MAC への接続をサポートしています。MII もサポートされていますが、100M および 10M の速度のみを対象としてします。MII を正常に動作させるには、1000M のアドバタイズを無効化する必要があります。SGMII ピンは光ファイバ イーサネット信号を伝送する多目的ピンであるため、SGMII は光ファイバ イーサネット モードとメディア コンバータ モードでは使用できません。イーサネット メディアへの接続は、IEEE 802.3 で定義されたメディア依存インターフェイスを介して行われます。

イーサネット アプリケーションで本デバイスを使用する場合、デバイスの通常動作のための一定の要件を満たす必要があります。以下の標準的なアプリケーションおよび設計要件を使用して、DP83869 の適切な部品値を選択できます。

9.2 代表的なアプリケーション

9.2.1 銅線イーサネットでの代表的なアプリケーション

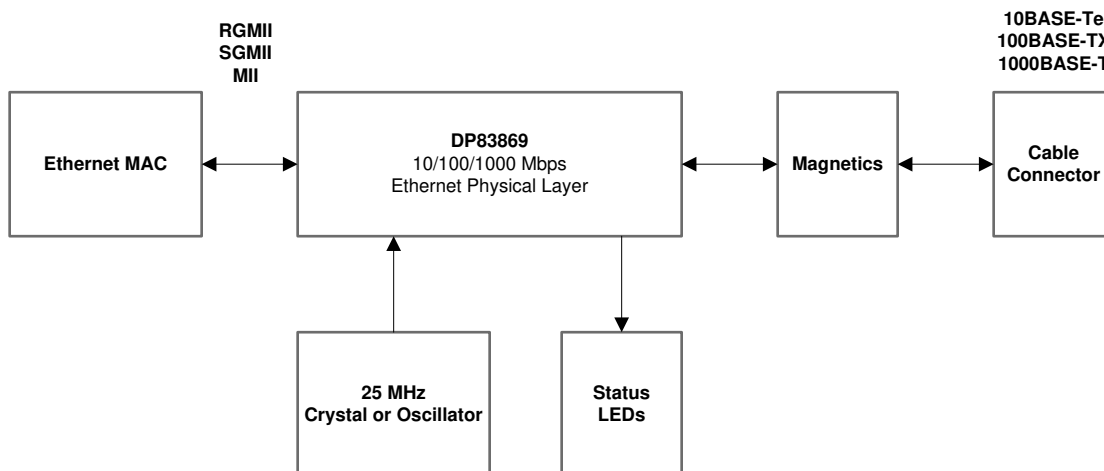


図 9-1. 代表的な銅線イーサネットアプリケーション

9.2.1.1 設計要件

DP83869HM の設計要件は次のとおりです。

- VDDA2P5 = 2.5 V
- VDD1P1 = 1.1 V
- VDDIO = 3.3V、2.5V、1.8V
- VDDA1P8_x = 1.8V (オプション)
- クロック入力 = 25MHz

9.2.1.2 詳細な設計手順

9.2.1.2.1 クロック入力

入力基準クロックの要件は、すべての機能モードで同じです。

9.2.1.2.1.1 水晶振動子に関する推奨事項

ソースとして水晶振動子が必要な場合は、25MHz、並列型、負荷 15pF ~ 40pF の水晶振動子を使用する必要があります。水晶振動子回路の標準的な接続については、[図 9-2](#) を参照してください。負荷コンデンサの値は、水晶振動子のベンダによって異なります。推奨される負荷については、ベンダにお問い合わせください。

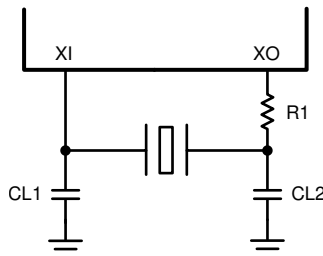


図 9-2. 水晶発振回路

発振器の性能を評価するための出発点として、CL1 と CL2 の値はそれぞれ、水晶振動子のベンダのデータシートで指定されている負荷容量の 2 倍にする必要があります。たとえば、水晶振動子の指定されている負荷容量が 10pF の場合、CL1 = CL2 = 20pF に設定します。CL1、CL2 の値は、寄生容量に基づいて調整できます。水晶振動子の駆動レベルによっては、R1 が必要になる場合があります。

25MHz 水晶振動子の仕様を [表 9-1](#) に示します。

表 9-1. 25MHz 水晶振動子仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
周波数			25		MHz
周波数の許容誤差	動作温度、経年劣化、他の要因を含む			±100	ppm
負荷容量		15		40	pF
ESR				50	Ω

9.2.1.2.1.2 外部クロック ソースに関する推奨事項

外部クロック発振器を使用する場合、その発振器は XI に直接接続する必要があります。XO はフローティングのままにしてください。

CMOS 25MHz 発振器の仕様を、[表 9-2](#) に示します。また、PHY で許容される発振器位相ノイズの最大値を、[図 9-3](#) に示します。

表 9-2. 25MHz 発振器の仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
周波数			25		MHz
周波数の許容誤差	動作温度、1 年間の経年変化			±100	ppm
立ち上がり / 立ち下がり 時間	20%~80%			5	ns
対称	デューティサイクル	40%		60%	
ジッタ RMS	積分帯域: 12kHz ~ 5MHz			11	ps

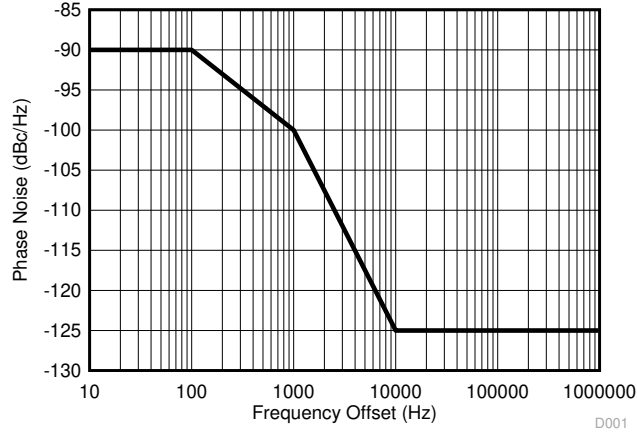
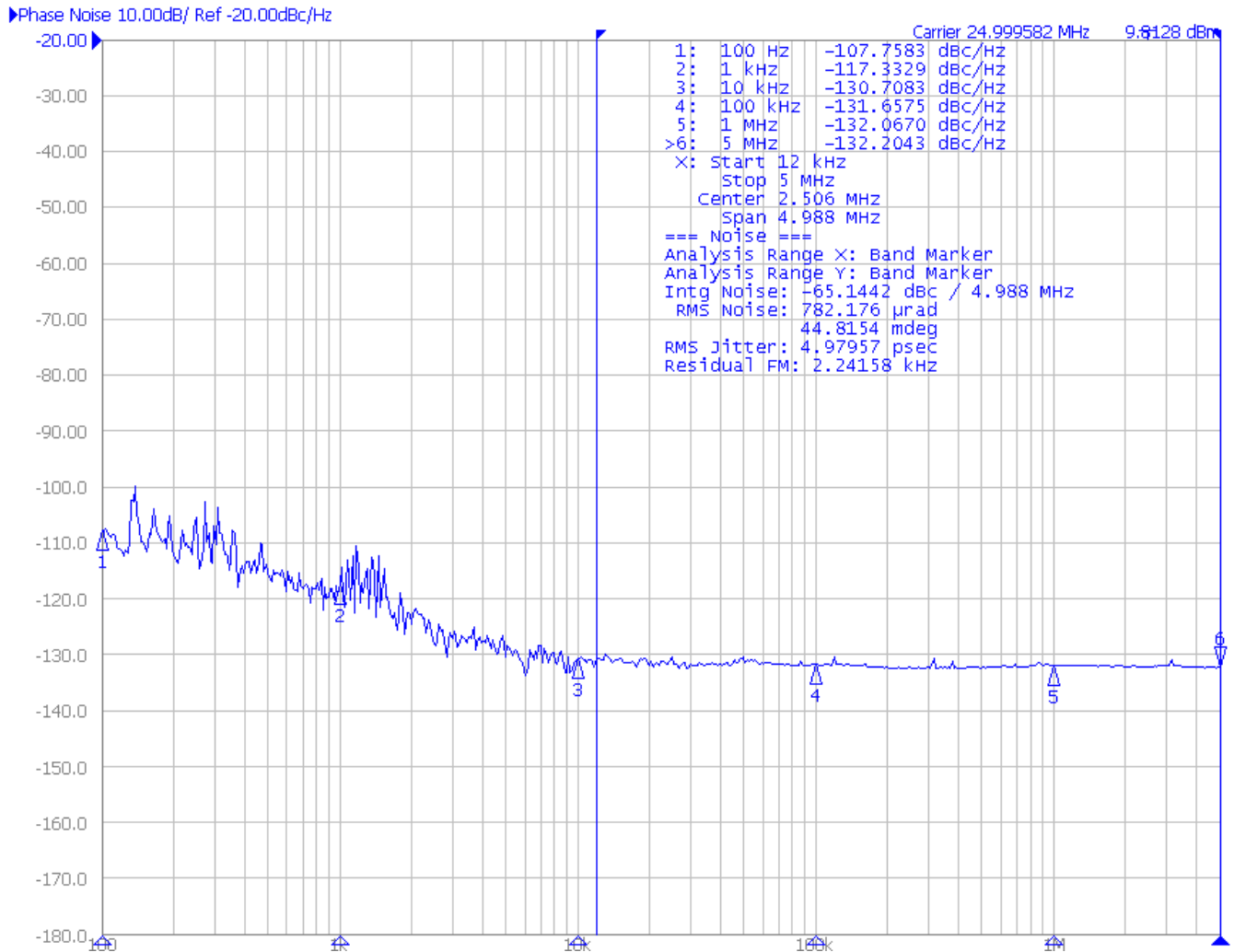


図 9-3. 25MHz 発振器の位相ノイズ

9.2.1.2.1.3 クロックアウト (CLK_OUT) 位相ノイズ

図 9-4 に、デバイスからの 25MHz クロック出力位相ノイズのプロットを示します。



注

リンク アップ前およびリンク アップ後にパケットが生成されていない状態での CLK_OUT ピンの位相ノイズは、図の位相ノイズよりも小さくなると予想されます。

図 9-4. 25MHz のクロック出力位相ノイズ

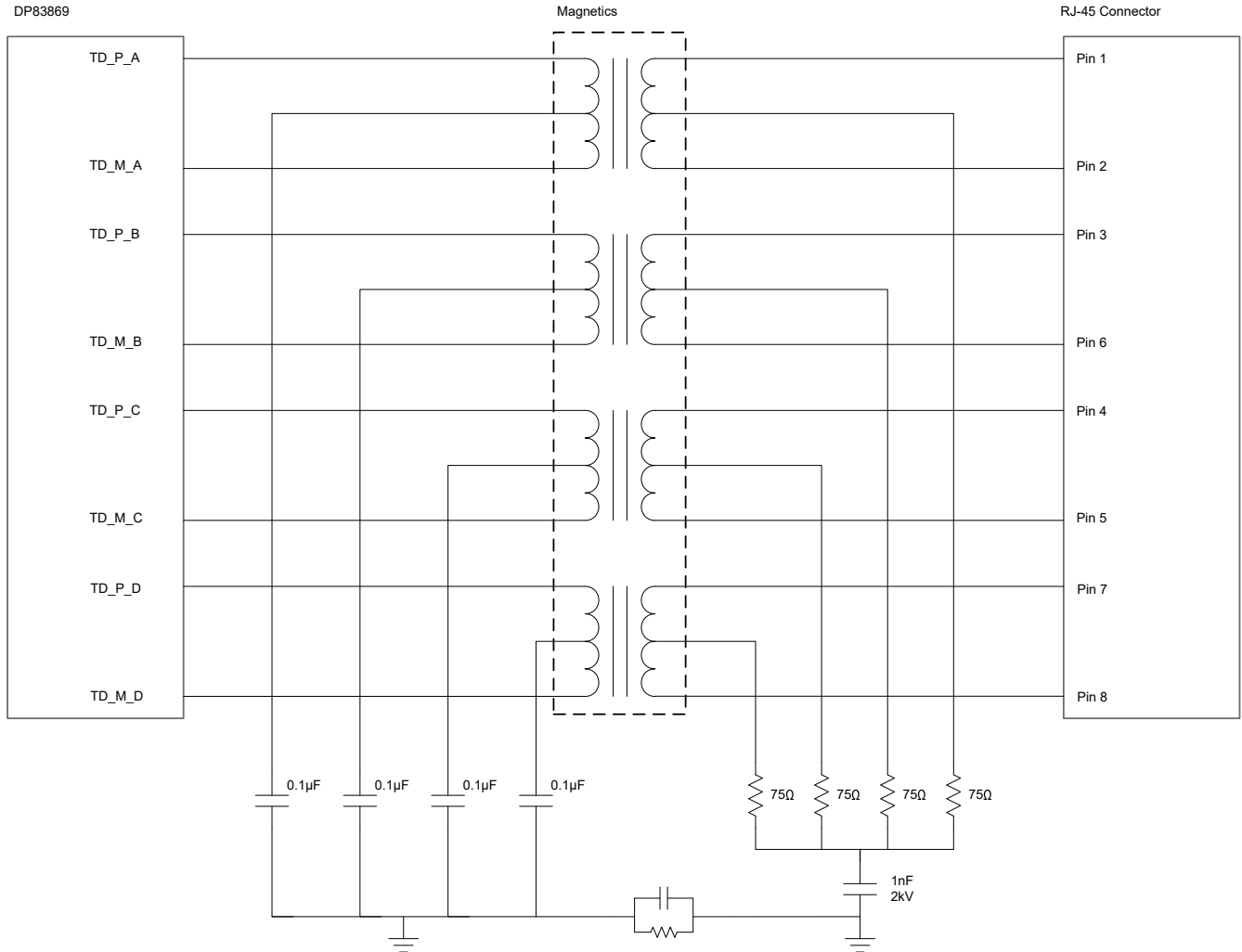
9.2.1.2.2 磁氣的要件

銅線イーサネット インターフェイスを使用するアプリケーションでは、磁気式絶縁が必要です。磁気素子はディスクリートにすることも、イーサネット ケーブル コネクタに内蔵することもできます。磁気素子が表 9-3 に記載されている電氣的仕様に対応する場合、DP83869HM はディスクリートで動作し、複数の磁気素子を内蔵しています。

表 9-3. 磁気素子の電氣的仕様

パラメータ	テスト条件	標準値	単位
巻線比	公差 $\pm 2\%$	1:1	-
挿入損失	1~100MHz	-1	dB
リターンロス	1~30MHz	-16	dB
	30~60MHz	-12	dB
	60~80MHz	-10	dB
差動対コモン モード除去	1~50MHz	-30	dB
	60~150MHz	-20	dB
クロストーク	30MHz	-35	dB
	60MHz	-30	dB
開路のインダクタンス	8mA DC バイアス	350	μH
絶縁	HPOT	1500	Vrms

9.2.1.2.2.1 磁氣的接続



- A. PHY に接続されている側の各センター タップは互いに絶縁し、デカップリング コンデンサでグラウンドに接続する必要があります (0.1µF を推奨)。
- B. EMC/EMI 特性を向上させるには、ディスクリートトランスを推奨します。ディスクリート磁気素子の場合は、Pulse Electronics 製の部品 HX5008NL を推奨します。
- C. 100Mbps/10Mbps 通信に必要なのは、チャンネル A および B のみです
- D. EMI 対策のため、R/C グラウンド絶縁回路を推奨します。推奨値については、[DP83869 回路図チェックリスト](#)を参照してください

図 9-5. PHY から RJ45 および磁気部品へ

9.2.1.3 アプリケーション曲線

想定される MDI 信号については、表 9-4 を参照してください。

表 9-4. グラフ一覧

名称	図
1000Base-T 信号	図 6-9
100Base-TX 信号	図 6-10
10Base-Te リンク パルス	図 6-11
オートネゴシエーション FLP	図 6-12

9.2.2 代表的なファイバーサネット

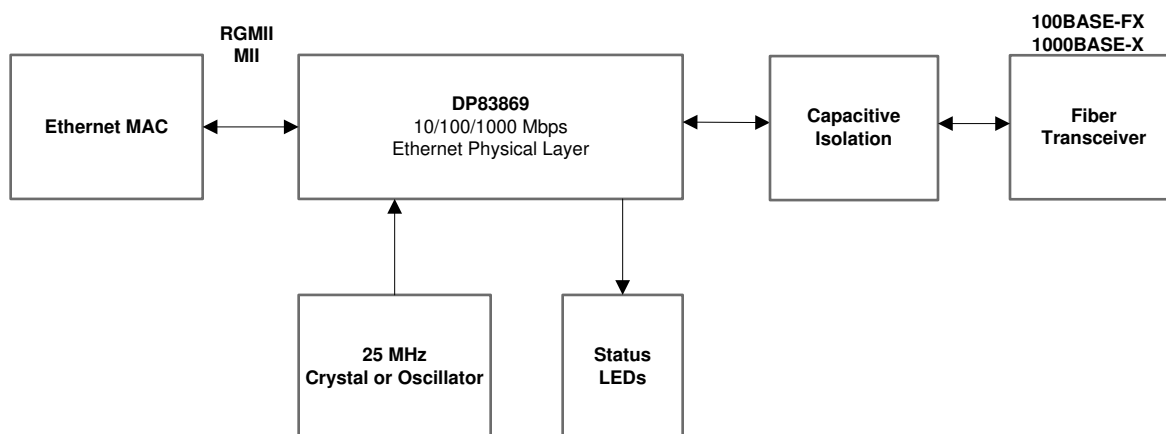


図 9-6. 代表的なファイバーサネット アプリケーション

9.2.2.1 設計要件

DP83869HM の設計要件は次のとおりです。

- VDDA2P5 = 2.5 V
- VDD1P1 = 1.1 V
- VDDIO = 3.3V、2.5V、1.8V
- VDDA1P8_x = 1.8V (オプション)
- クロック入力 = 25MHz

9.2.2.2 詳細な設計手順

詳細については、セクション 9.2.1.2 を参照してください。

9.2.2.2.1 トランシーバの接続

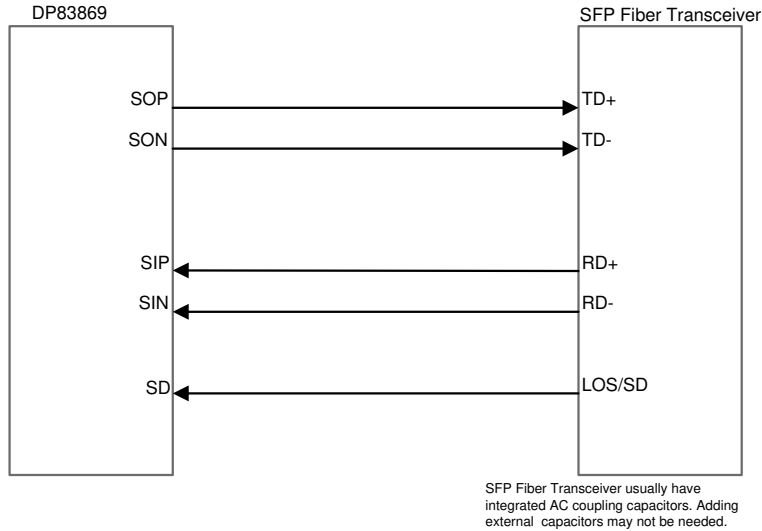


図 9-7. PHY とファイバ トランシーバの接続

9.2.2.3 アプリケーション曲線

想定される MDI 信号については、[セクション 9.2.1.3](#) の表 9-4 を参照してください。

9.3 電源に関する推奨事項

DP83869HM は、わずか 2 つまたは 3 つの電源で動作できます。この I/O 電源は、メイン デバイス電源から独立して動作することもできるため、MAC インターフェイスの柔軟性を向上させることが可能です。使用できる電源設定には、2 電源と 3 電源の 2 つがあります。2 電源設定では、VDDA1P8_x ピン (ピン 13、48) に電源レールは接続されません。使用しない場合、ピン 13 および 48 はフローティングのままにし、コンポーネントを接続してはなりません。どちらの電源設定の場合も、VDDIO と VDDA が安定するまで入力ピンを駆動しないでください。

9.3.1 2 電源設定

図 9-8 に、2 電源設定のピン配置を示します。

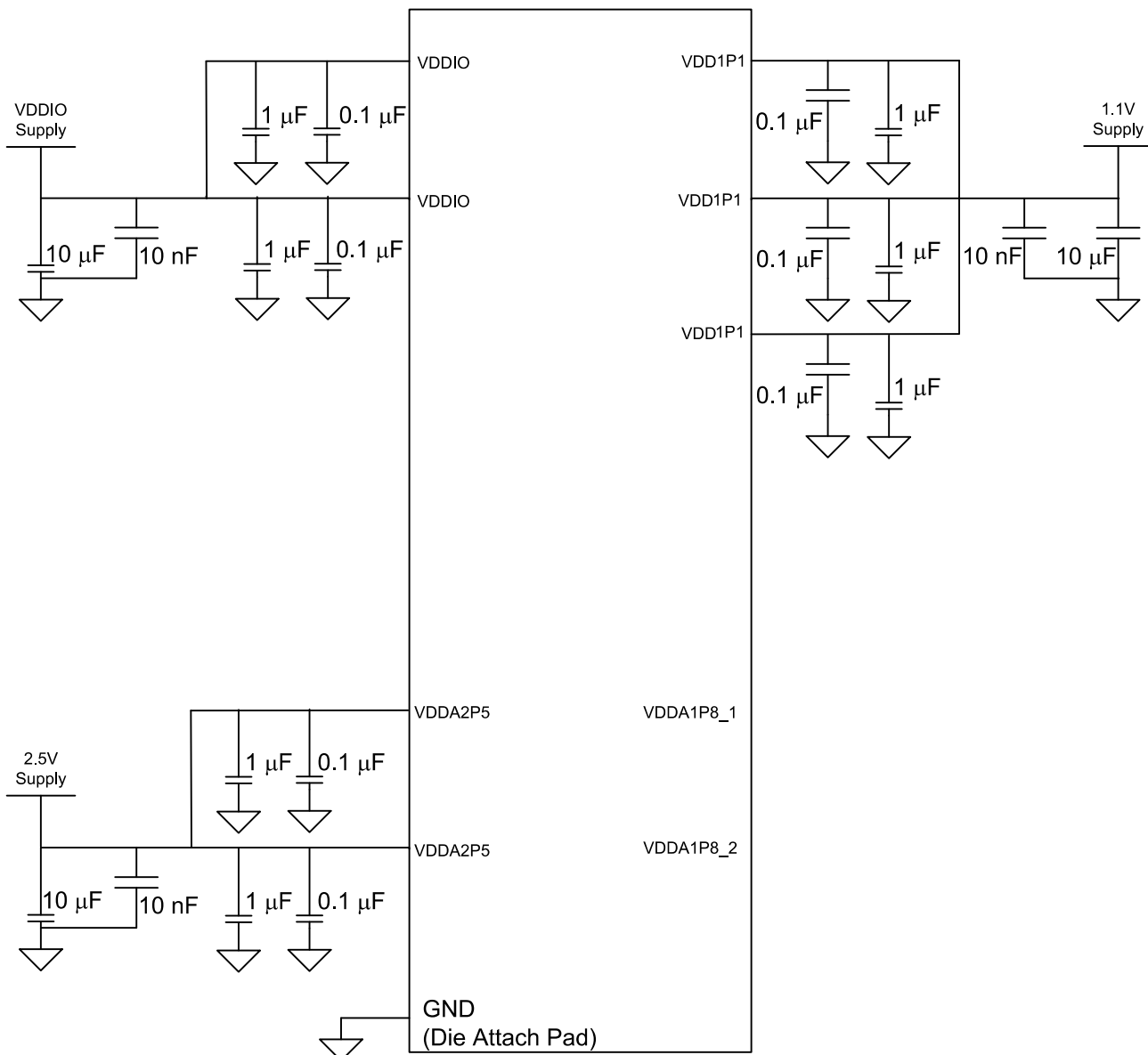


図 9-8. 2 電源設定

2 電源設定では、VDDA1P8 ピンを両方とも未接続のままにする必要があります。

1 μ F および 0.1 μ F のデカップリング コンデンサは、部品の VDD ピンにできるだけ近づけて配置し、0.1 μ F コンデンサをピンの極力近くに配置します。

2 電源設定の場合は、すべての電源に対して同時に電力を供給することが推奨されます。それが不可能な場合は、以下の電源シーケンスを使用する必要があります。

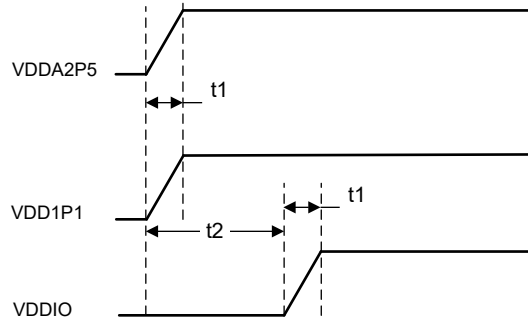


図 9-9. 2 電源シーケンス図

表 9-5. 2 電源シーケンス

パラメータ	テスト条件	最小値	公称値	最大値	単位
t1	電源ランプ時間	すべての電源に適用	0.5	100	ms
t2	VDDIO が起動するタイム インスタンス	VDDA2P5 と VDD1P1 の開始を基準として測定		50	ms

9.3.2.3 電源設定

図 9-10 に、3 電源設定のピン配置を示します。

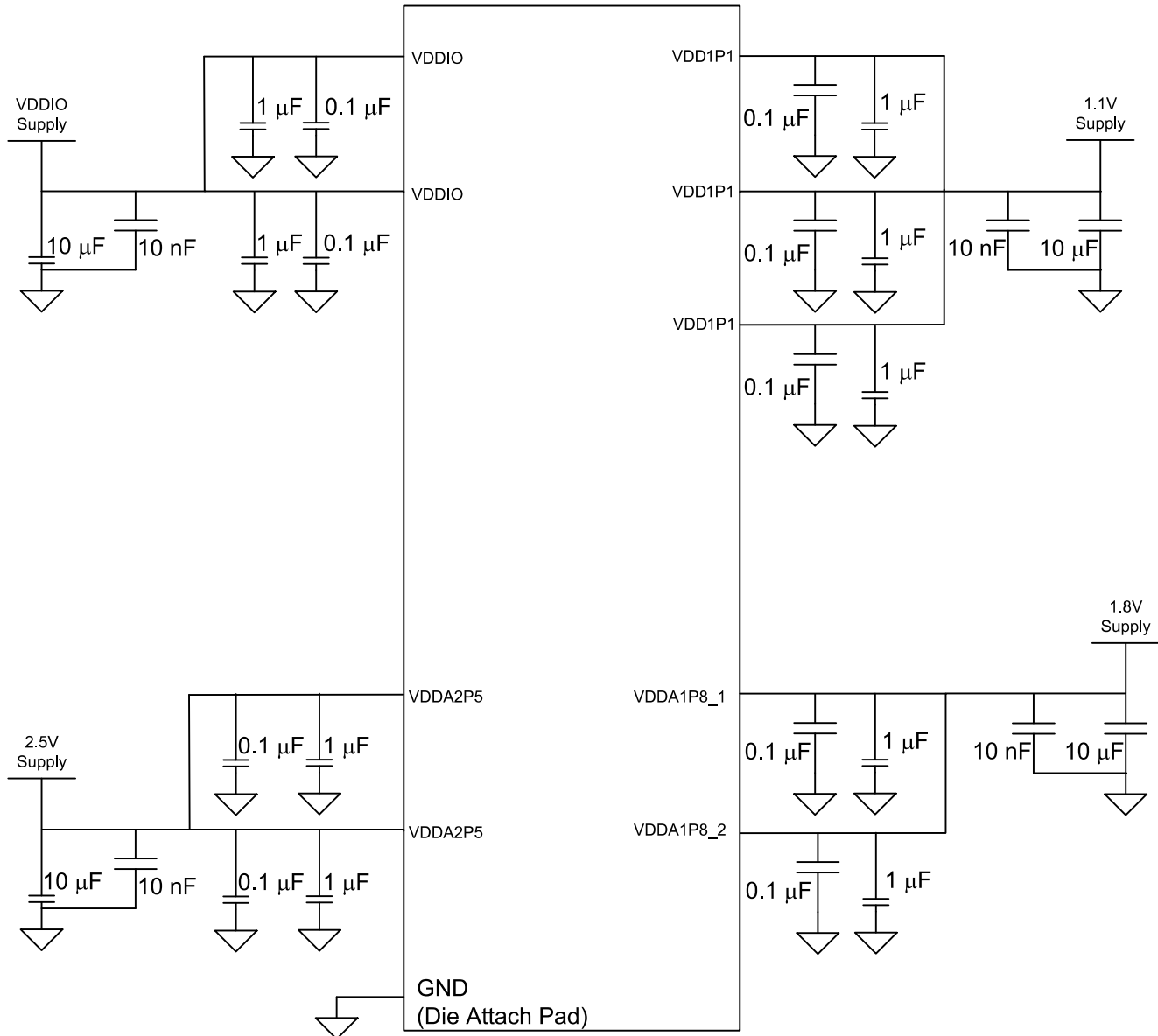


図 9-10. 3 電源設定

1µF および 0.1µF のデカップリング コンデンサは、部品の VDD ピンにできるだけ近づけて配置し、0.1µF コンデンサをピンの極力近くに配置します。

3 電源設定の場合、すべての電源に対して同時に電力を供給することが推奨されます。それが不可能な場合は、以下の電源シーケンスを使用する必要があります。

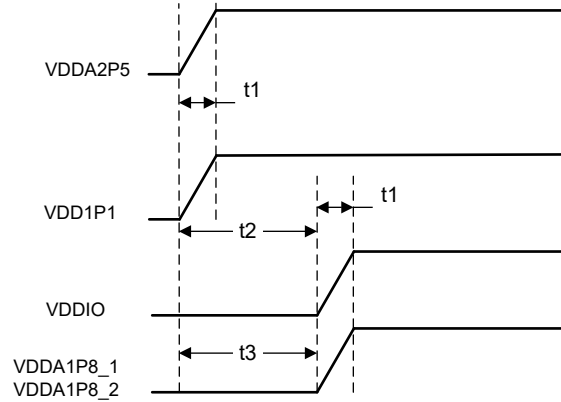


図 9-11.3 電源シーケンス図

表 9-6.3 電源シーケンス

パラメータ	テスト条件	最小値	公称値	最大値	単位
t1	電源ランプ時間	0.5		100	ms
t2	VDDIO が起動するタイム インスタンス	0		50	ms
t3	VDDA1P8_x が起動するタイム インスタンス	0		50	ms

9.4 レイアウト

9.4.1 レイアウトのガイドライン

9.4.1.1 信号トレース

PCB トレースは損失が大きいため、長いトレースが信号品質を低下させる可能性があります。トレースはできるだけ短くする必要があります。特に記述のない限り、すべての信号トレースは 50Ω のシングルエンド インピーダンスでなくてはなりません。差動トレースは、 50Ω シングルエンドおよび 100Ω 差動でなくてはなりません。初めから終わりまでインピーダンスが一定になるように注意します。インピーダンスの不連続性は反射を引き起こし、EMI とシグナル インテグリティの問題につながります。スタブは、すべての信号トレース (特に差動信号ペア) で回避しなければなりません。図 9-12 を参照してください。

差動ペア内では、トレースを互いに並行させ、長さを一致させる必要があります。長さを一致させることで遅延の差が最小化され、同相ノイズと EMI の増加を防止できます。

MAC インターフェイスでも、長さを一致させることは重要です。すべての送信信号トレースは互いに同じ長さで、すべての受信信号トレースは互いに同じ長さでなくてはなりません。1G の転送速度を使用する場合、長さの一致許容誤差は 50mil です。100/10M を使用する場合、長さの一致許容誤差は 100mil です。

信号パスには交差もビアも存在しないようにします。ビアにはインピーダンスの不連続性が生じるため、できるだけ少なくする必要があります。可能であれば、トレース ペア全体を単一の層に配線します。

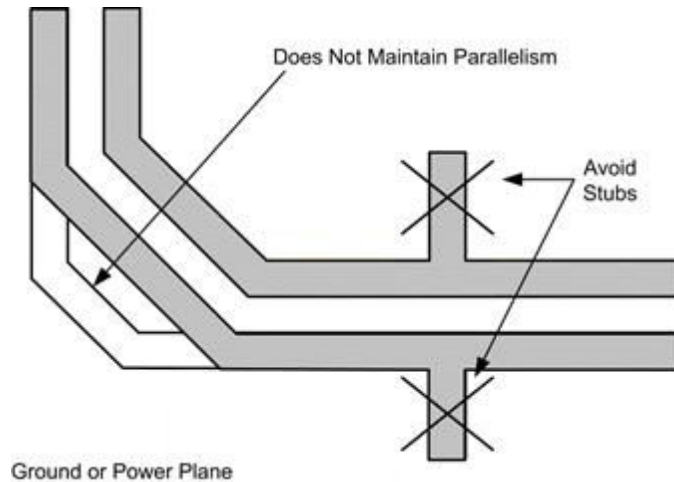


図 9-12. 差動信号ペアのスタブの回避

異なる層の信号は、それらの間に少なくとも 1 つの復帰パス プレーンがない限り、互いに交差させてはなりません。

トレース間の結合も重要な要素です。不要な結合はクロストークの問題を引き起こす可能性があります。一方、差動ペアは、それらの間の結合距離を常に一定に保つ必要があります。

利便性と効率的なレイアウト プロセスを確保するため、最初に重要な信号を配線します。

9.4.1.1.1 MAC インターフェイスのレイアウト ガイドライン

メディア独立インターフェイス (SGMII/RGMII) は、DP83869 をメディア アクセス コントローラ (MAC) に接続します。実際には、MAC はマイクロプロセッサ、CPU、または FPGA に統合されたディスクリート デバイスにできます。

9.4.1.1.1.1 SGMII のレイアウト ガイドライン

- すべての SGMII 接続は、0.1 μ F コンデンサを介して AC 結合する必要があります。直列コンデンサは 0.1 μ F とし、サイズは 0402 以下でなければなりません。
- SGMII 信号は差動信号です。
- トレースは、100 Ω の差動インピーダンスで配線する必要があります。
- ペア内のスキュー マッチングは 5pS 未満である必要があります。これは、標準 FR4 では 30mil に関連します。
- TX ペアを RX ペアと一致させる要件はありません。
- SGMII 信号は同じ層に配線する必要があります。
- ペアは並列グラウンド プレーンを基準としている必要があります。
- 6 線式モードで動作している場合、RX ペアはクロック ペアを 5pS 以内に一致させる必要があります。これは、標準 FR4 では 30mil に関連します。

9.4.1.1.1.2 RGMII のレイアウト ガイドライン

- RGMII 信号はシングルエンド信号です。
- パターンは、グラウンドに対して 50 Ω のインピーダンスで配線する必要があります。
- TXD[3:0] ライン間のスキューは 11ps 未満にする必要があります。これは、標準 FR4 では 60mil (1.52mm、1mil は 1/1000 インチ) に相当します。
- RXD[3:0] ライン間のスキューは 11ps 未満にする必要があります。これは、標準 FR4 では 60mil (1.52mm、1mil は 1/1000 インチ) に相当します。
- パターン長はできるだけ短くし、2 インチ (5.08cm) 未満、最大でも 6 インチ (15.24cm) 未満が推奨されます。
- GTX_CLK および RX_CLK のクロック スキューを設定可能です。
 - RX および TX パスのクロック スキューは、独立して最適化できます。
 - クロック スキューは、(レジスタを介して) 0.25ns 刻みで調整可能です。

9.4.1.1.2 MDI のレイアウト ガイドライン

メディア依存インターフェイス (MDI) は、DP83869 をトランスおよびイーサネット ネットワークに接続します。

- MDI パターンは、対地 50Ω、および差動 100Ω のインピーダンス制御が必要です。
- MDI パターンは同一層上でトランスまで配線します。
- 金属シールドの RJ-45 コネクタを使用し、シールドをシャーシ グランドに接続します。
- コモン モード チョークを内蔵した磁気素子を使用します。
- 磁気素子の下には電源およびグランドを設置しないでください。
- 回路グランド プレーンとシャーシ グランド プレーンが重ならないようにし、絶縁した状態に保ってください。代わりに、シャーシ グランドを絶縁されたアイランドにし、シャーシ グランドと回路グランドの間にボイドを設けてください。コネクタの両側で、サイズ 1206 の抵抗とコンデンサを使用して、回路プレーンとシャーシ プレーンを接続することが推奨されます。

9.4.1.2 復帰パス

一般に最も良い方法は、すべての信号トレースの下にベタの復帰パスを設けることです。この復帰パスは、連続的なグランドまたは DC 電源プレーンであってもかまいません。帰路の幅を狭くすると、信号トレースのインピーダンスに影響を及ぼす可能性があります。この影響は、復帰パスの幅が信号トレースの幅と同等である場合、より顕著になります。信号トレースの下にある帰路の分断は、絶対に避ける必要があります。プレーン分割をまたぐ信号は、予測不可能な帰路電流を引き起こす可能性があり、信号の品質にも影響を及ぼし、EMI の問題を発生させる恐れがあります。図 9-13 を参照してください。

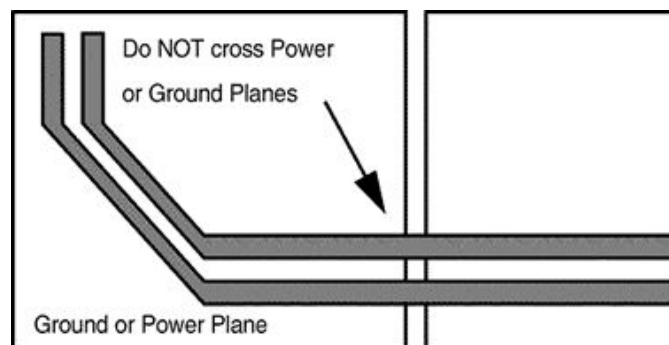


図 9-13. 差動信号ペアのプレーン横断

9.4.1.3 トランスのレイアウト

トランスの下に金属層が存在しないようにする必要があります。トランスはその下にある金属にノイズを注入し、システムの性能に影響を及ぼす可能性があります。

9.4.1.4 金属注入

信号でも電源でもないすべての金属注入領域は、グランドに接続する必要があります。システムに、浮動の金属が存在していない場合があります。差動パターン間に金属が存在してはなりません。

9.4.1.5 PCB 層スタッキング

シグナル インテグリティと性能の要件を満たすには、4 層以上の PCB を使用する必要があります。ただし、6 層基板を推奨します。4、6、8 層基板に推奨されるレイヤ スタック アップについては、図 9-14 を参照してください。これらは必須要件ではなく推奨事項です。システム要件に従って他の構成を使用することも可能です。

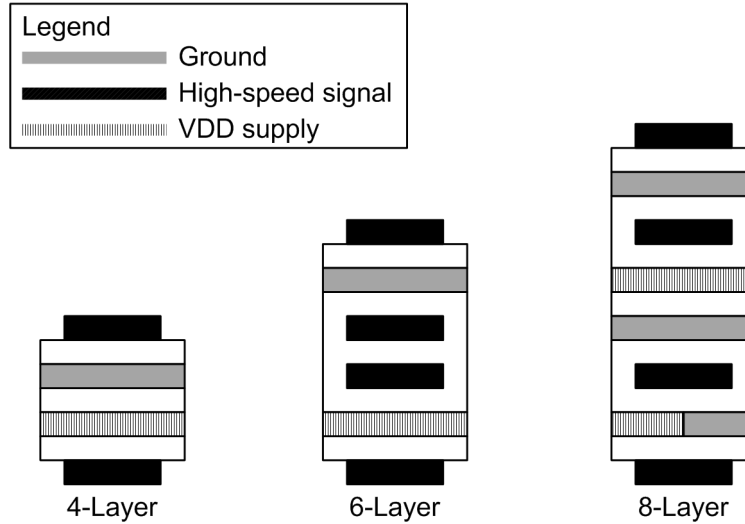


図 9-14. 推奨レイヤ スタックアップ

PCB 内では、信号の位置に応じて、マイクロストリップやストリップラインなどの異なる方式を使い分けてトレースすることが望ましい場合があります。たとえば、絶縁されたシャーシ グランド プレーンを使用するときには、レイヤ スタックを変更することが望ましい場合があります。図 9-15 に、代替の PCB スタック オプションを示します。

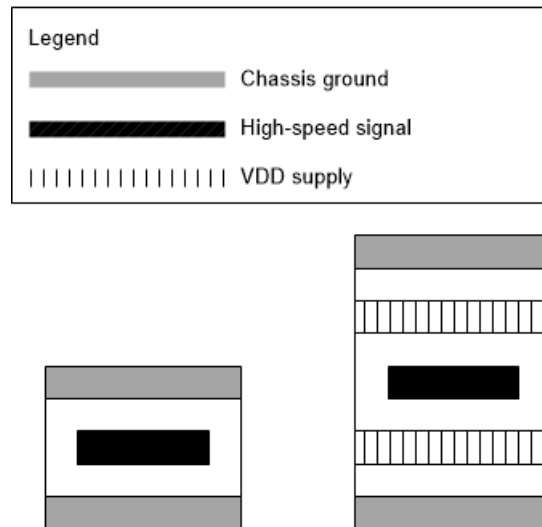


図 9-15. 代替のレイヤ スタックアップ

9.4.2 レイアウト例

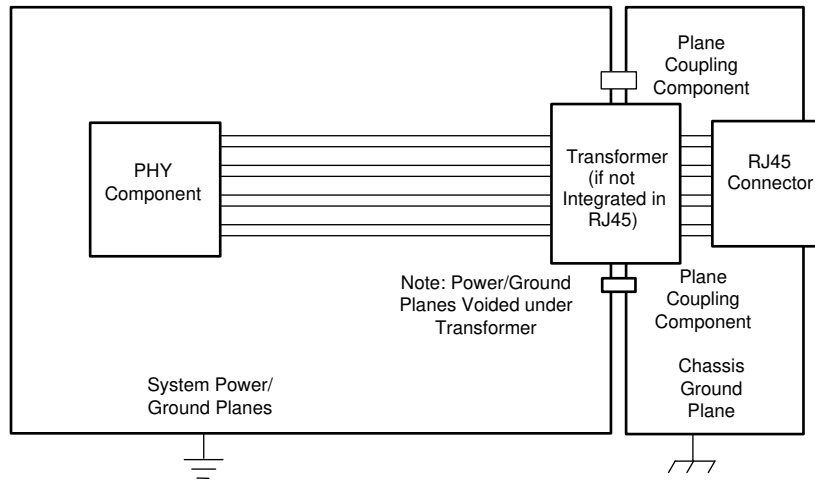


図 9-16. 銅線イーサネットのレイアウト例

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インストルメンツ、『[DP83869 1000Base-X リンク検出](#)』アプリケーション ノート
- テキサス インストルメンツ、『[DP838xx Wake-on-LAN](#)』アプリケーション ノート
- テキサス インストルメンツ、『[RGMII インターフェイスのタイミング バジレット](#)』アプリケーション ノート
- テキサス インストルメンツ、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノート

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上のアラートを受け取るをクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インストルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インストルメンツの仕様を構成するものではなく、必ずしもテキサス・インストルメンツの見解を反映したものではありません。テキサス・インストルメンツの[使用条件](#)を参照してください。

10.4 商標

テキサス・インストルメンツ E2E™ is a trademark of Texas Instruments.

PROFINET® is a registered trademark of PROFIBUS Nutzerorganisation e.V. (PNO).

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インストルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インストルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (June 2025) to Revision E (April 2026)	Page
• RX_CTRL および TX_CTRL の式を更新.....	36
• C5h、D4h[15]、43h[1] を予約なしに更新.....	54
• 1ECh[3] および C10h[9] のビットの説明を更新.....	54
• C00h[11] にビットの説明を追加.....	54
• トラブルシューティング ガイドに、予約されていない DSP レジスタ (E4h、EFh、102h、103h、104h、10Ch、115h、118h、11Dh、11Eh、1C2h、1C3h、1C4h、1C5h) への参照を追加.....	54

Changes from Revision C (April 2024) to Revision D (June 2025)

Page

<ul style="list-style-type: none"> • JTAG_TDI/SD ピンは、信号検出ピンとして機能する場合、アクティブ Low ピンであることを追記。ハイ インピーダンスピンはフローティングまたは NC にするか、10kΩ 抵抗で GND に接続するという内容の注を追加。..... • 絶対最小値を -0.3V から -0.5V に変更..... • ドキュメント全体を通し、テキサス インストルメンツの包括的な用語標準に従って、「マスタ」と「スレーブ」という用語を「リーダー」と「フォロワー」に変更..... • リンク損失パス スルーの説明に 1000M を追加..... • 4 レベル ストラッピング モード 0 Rlo の推奨事項を 2.49k から OPEN に変更..... • 「#」を数値に変更..... • 動作モード 001 および 010 の LED1 のデフォルトを RX から TX に変更。..... • 「マスタ」および「スレーブ」のすべてのインスタンスをそれぞれ「リーダー」および「フォロワー」に変更し、レジスタ 18h LED 構成のファイバリンクのステータスを追加 (設定 :5h および 6h) し、レジスタ E9h のレジスタ名を追加し、レジスタ 86h 遅延オプションを明確化し、MAC インピーダンス制御のレジスタ 170h[4:1] の設定を明確化し、レジスタ 1DFh[6] の設定を明確化し、リンク損失パス スルー イネーブル レジスタ (1ECh[3]) を追加。リンク損失パス スルーのリンクなしビット (1ECh[0]) を削除。レジスタ C01h[2] を明確化。レジスタ C10h[9] を明確化。予約されていないレジスタ C1Ah[5] およびレジスタ C30h[2]。レジスタ D6h[14:13] のビット名を「SGMII_TESTMODE_SWING」から「SGMII_VOLTAGE_SWING」に変更..... • 25MHz 発振器の位相ノイズ図を追加。..... • セクション 9.2.1.2.1.3 を追加。..... 	<p>5</p> <p>12</p> <p>28</p> <p>41</p> <p>47</p> <p>49</p> <p>49</p> <p>54</p> <p>122</p> <p>123</p>
--	--

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションをご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DP83869HMRGZR	Active	Production	VQFN (RGZ) 48	2000 LARGE T&R	Yes	Call TI Nipdauag	Level-2-260C-1 YEAR	-40 to 125	DP83869HM
DP83869HMRGZR.A	Active	Production	VQFN (RGZ) 48	2000 LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 125	DP83869HM
DP83869HMRGZT	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	DP83869HM
DP83869HMRGZT.A	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	DP83869HM

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

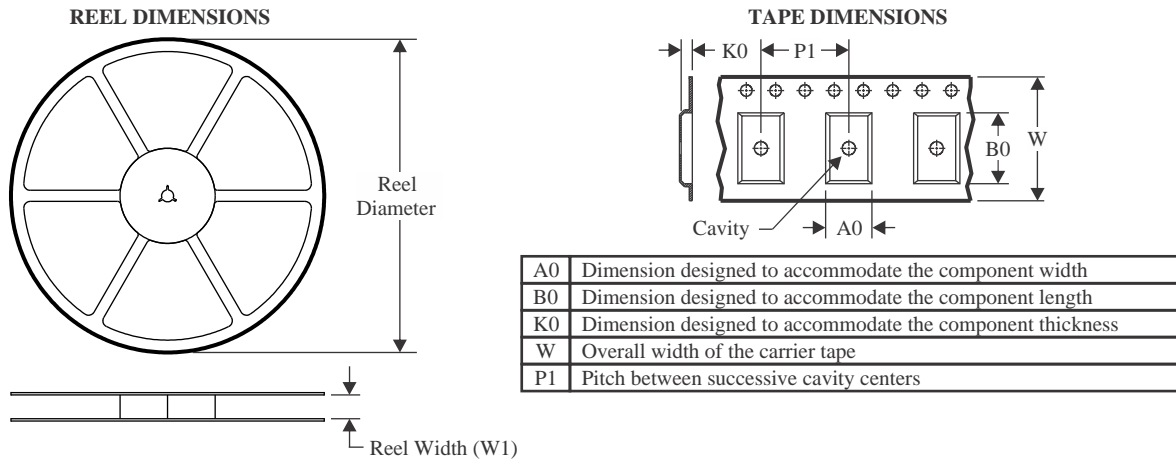
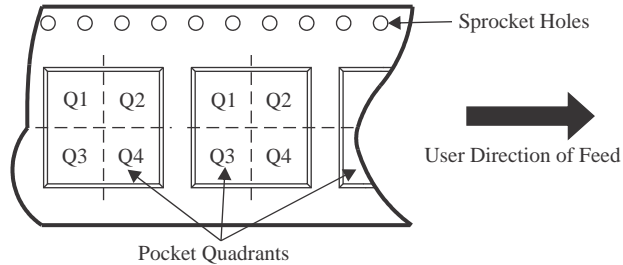
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

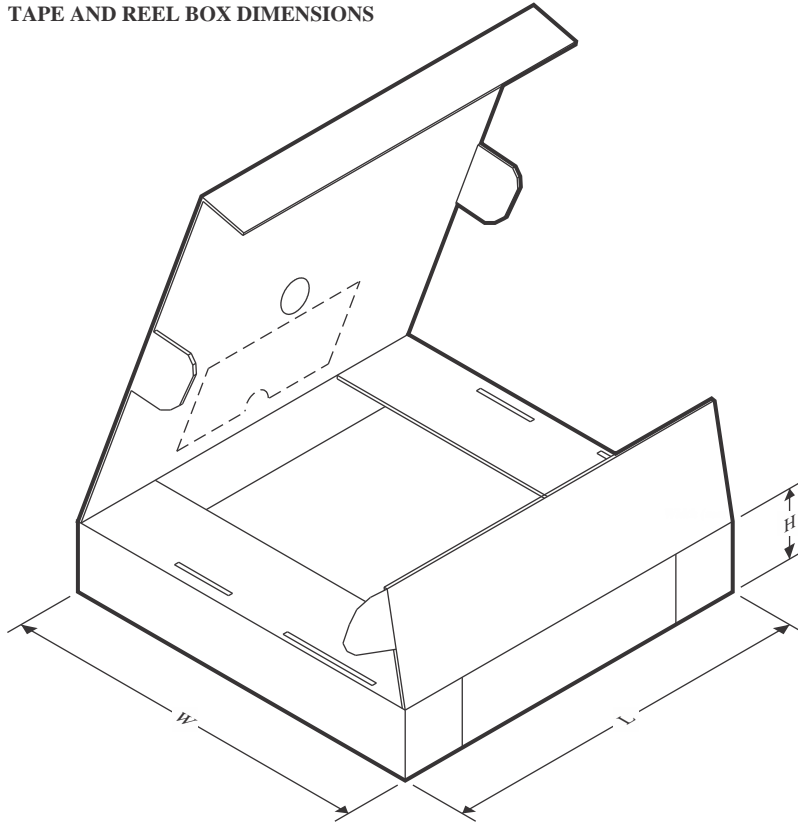
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DP83869HMRGZR	VQFN	RGZ	48	2000	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
DP83869HMRGZT	VQFN	RGZ	48	250	180.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DP83869HMRGZR	VQFN	RGZ	48	2000	367.0	367.0	38.0
DP83869HMRGZT	VQFN	RGZ	48	250	210.0	185.0	35.0

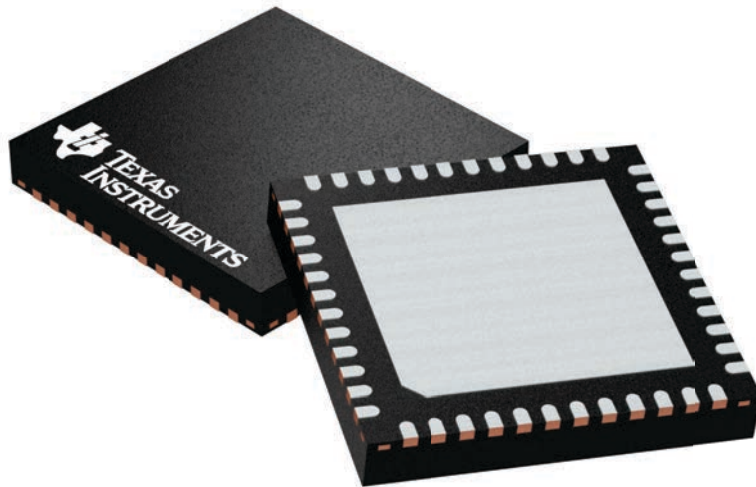
GENERIC PACKAGE VIEW

RGZ 48

VQFN - 1 mm max height

7 x 7, 0.5 mm pitch

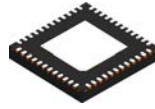
PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224671/A

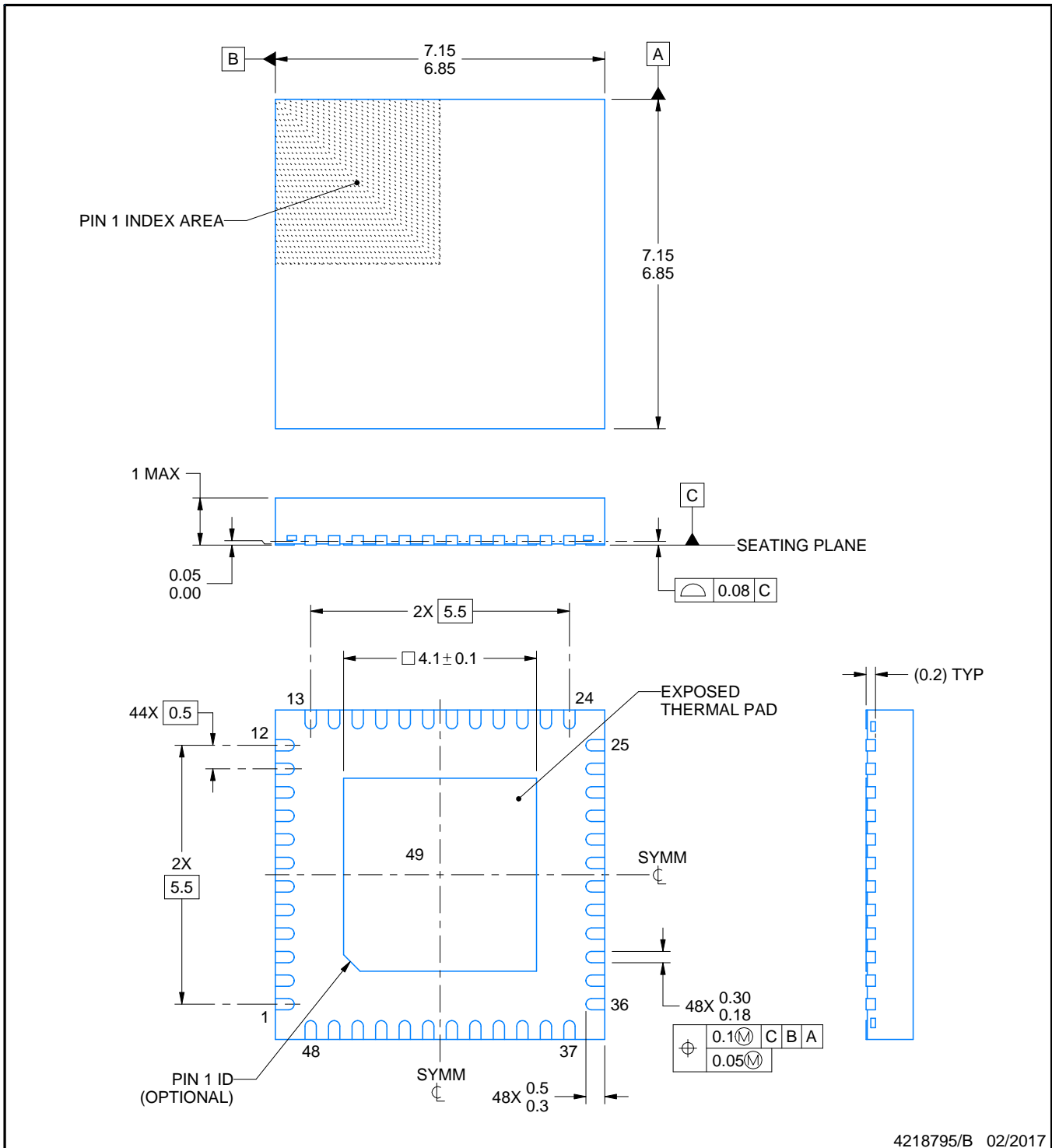
RGZ0048B



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4218795/B 02/2017

NOTES:

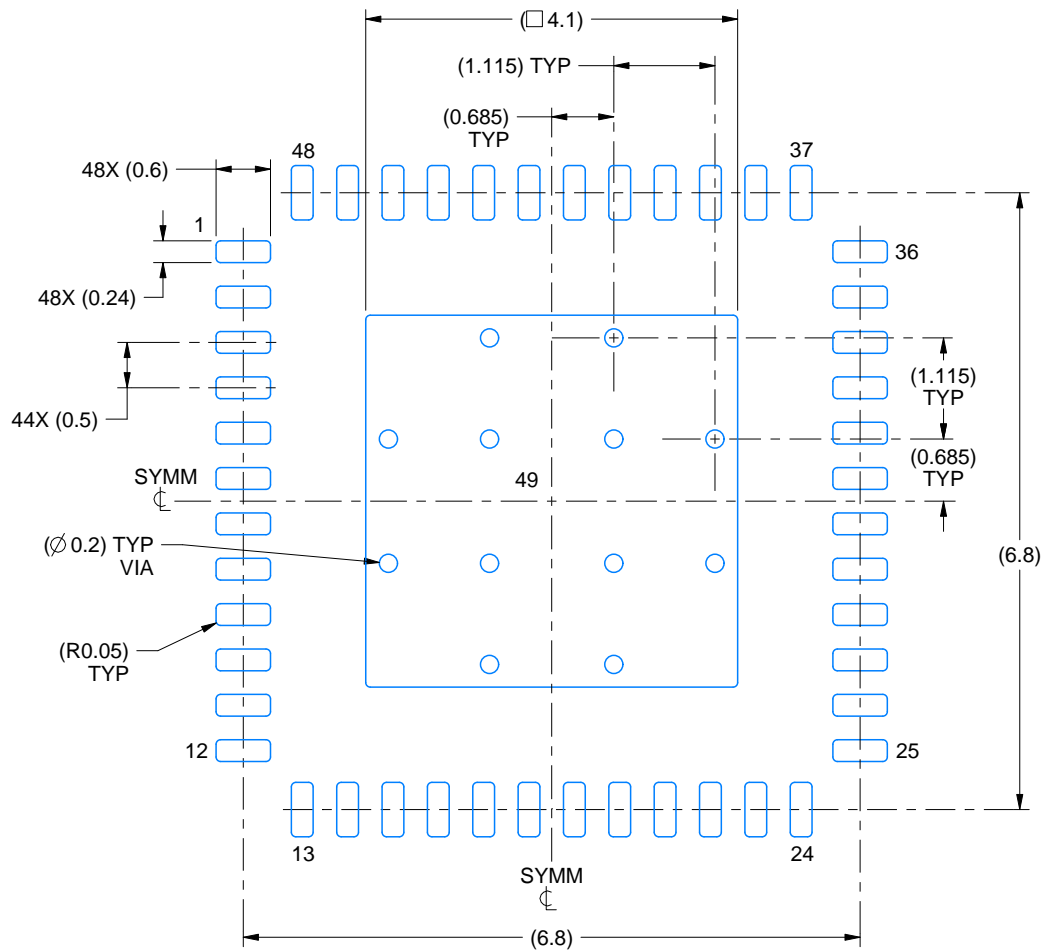
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

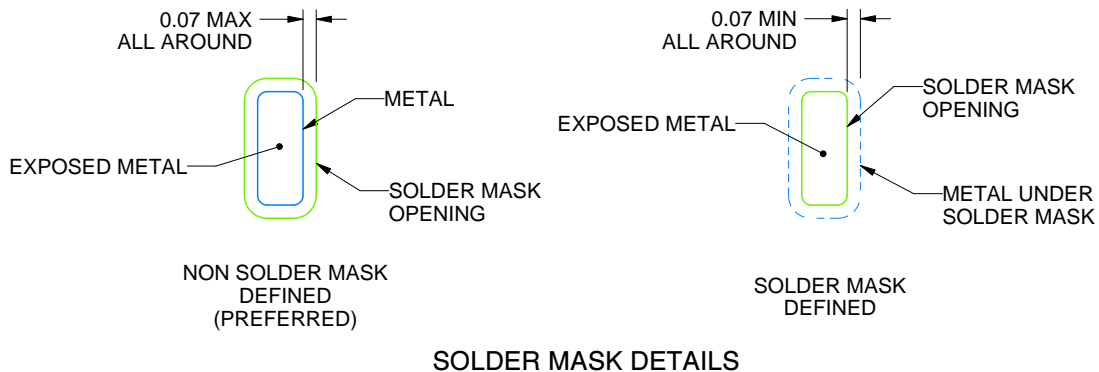
RGZ0048B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:12X



SOLDER MASK DETAILS

4218795/B 02/2017

NOTES: (continued)

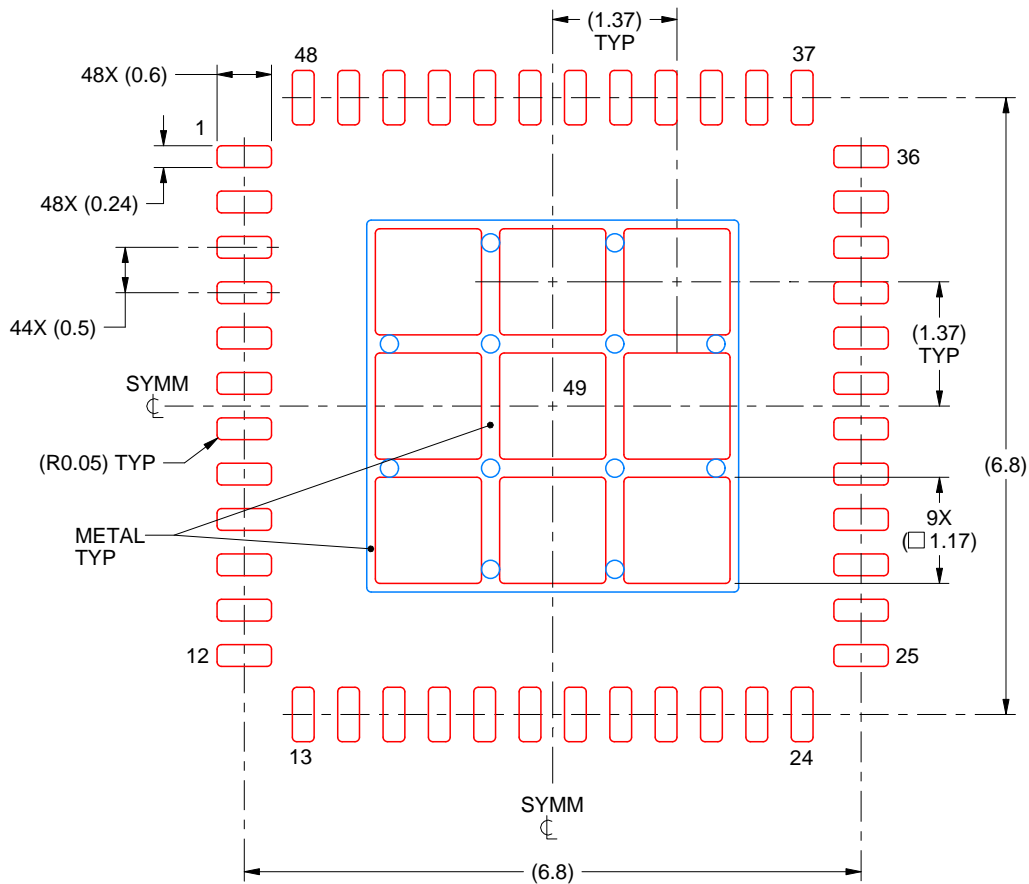
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGZ0048B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 49
73% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:12X

4218795/B 02/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月