

DP83TC812x-Q1 TC-10 準拠、100BASE-T1 車載用イーサネット PHY

1 特長

- Open Alliance および IEEE 802.3bw 100BASE-T1 準拠
 - 内蔵 LPF によりレベル IV 放射に合格
 - 20 μ A 未満のスリープ電流で TC-10 準拠
- SAE J2962-3 EMC 準拠
- 設定可能な I/O 電圧: 3.3V、2.5V、1.8V
- MAC インターフェイス: MII、RMII、RGMII、SGMII
- MAC インターフェイスピンに対して独立した電圧レベル (3.3V、2.5V、1.8V) を選択可能
- 車載アプリケーション用に AEC-Q100 認定済み:
 - 温度グレード 1: -40°C ~ +125°C の動作時周囲温度
 - ピン 12 および 13 に対して ± 8 kV HBM ESD
 - ピン 12 および 13 に対して IEC61000-4-2 ESD 分類レベル 4: ± 8 kV 接触放電
- IEEE 1588 SFD のサポート
- 802.3br フレームプリエンブション サポート準拠の TSN
- 低い動作時消費電力: 230mW 未満
- 診断ツールキット
 - 信号品質表示 (SQI)
 - 時間領域反射計測 (TDR)
 - 静電放電センサ
 - 電圧センサ
 - PRBS 内蔵セルフテスト
 - ループバック
- VQFN、ウェットパブル フランク パッケージ
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能

2 アプリケーション

- 先進運転支援システム (ADAS)
- ゲートウェイおよび車体制御
- テレマティクス

3 説明

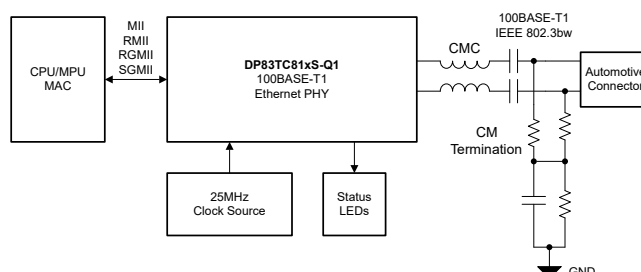
DP83TC812-Q1 デバイスは、IEEE 802.3bw 準拠の車載用 PHYTER™ イーサネット物理層トランシーバで、シールドなしツイストペア ケーブルを使って動作します。この PHY は、TC10 スリープおよびウェイク機能をサポートしています。PHY には、シールドなしの単一ツイストペアケーブルでデータを送受信するために必要なすべての物理層機能が搭載されています。このデバイスは xMII の柔軟性があり、標準の MII、RMII、RGMII、SGMII MAC インターフェイスをサポートします。また、PHY の MDI 側にローパスフィルタが内蔵されており、放射を低減します。

このデバイスには診断ツールキットが含まれており、広範なリアルタイム監視ツール、デバッグ ツール、テスト モードが用意されています。ツールキットには、初めて内蔵された静電放電 (ESD) 監視ツールが含まれています。このデバイスは MDI 上の ESD イベントをカウントでき、プログラム可能な割り込みを使用してリアルタイム監視も行えます。さらに、DP83TC812-Q1 には、疑似ランダム バイナリ シーケンス (PRBS) フレーム生成ツールが含まれており、内部ループバックと完全に互換性があり、MAC を使用せずデータを送受信します。本デバイスは、6.00mm × 6.00mm、36 ピンの VQFN ウェットパブル フランク パッケージに収容されています。このデバイスは DP83TG720 (100BASE-T1) とピン互換で、DP83TC811 とフォームファクタ互換です。したがって、DP83TC811、DP83TC812、DP83TC814、DP83TG720 に対して単一の PCB レイアウトを使用できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
DP83TC812S-Q1	VQFN (36)	6.00mm × 6.00mm
DP83TC812R-Q1	VQFN (36)	6.00mm × 6.00mm

- (1) 詳細については、[セクション 12](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図



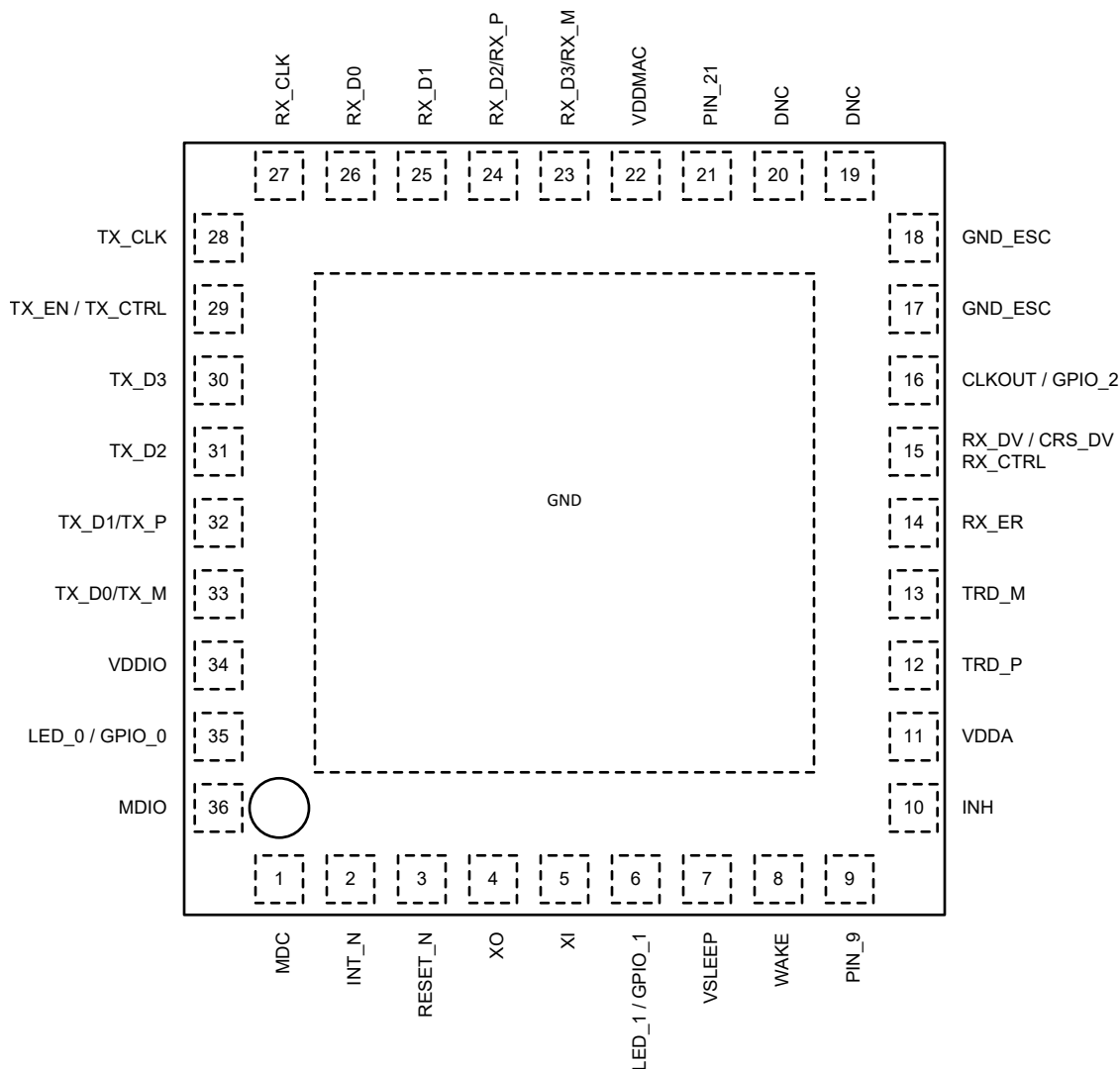
目次

1 特長	1	7.5 プログラミング	55
2 アプリケーション	1	8 レジスタ マップ	60
3 説明	1	8.1 レジスタ アクセスの概要.....	60
4 デバイス比較表	3	8.2 DP83TC812 のレジスタ.....	61
5 ピン構成および機能	4	9 アプリケーションと実装	163
6 仕様	16	9.1 アプリケーション情報.....	163
6.1 絶対最大定格.....	16	9.2 代表的なアプリケーション.....	163
6.2 ESD 定格.....	16	9.3 電源に関する推奨事項.....	167
6.3 推奨動作条件.....	16	9.4 レイアウト.....	168
6.4 熱に関する情報.....	17	10 デバイスおよびドキュメントのサポート	172
6.5 電気的特性.....	17	10.1 ドキュメントの更新通知を受け取る方法.....	172
6.6 タイミング要件.....	21	10.2 サポート・リソース.....	172
6.7 タイミング図.....	24	10.3 コミュニティ リソース.....	172
6.8 代表的特性.....	30	10.4 商標.....	172
7 詳細説明	31	10.5 静電気放電に関する注意事項.....	172
7.1 概要.....	31	10.6 用語集.....	172
7.2 機能ブロック図.....	32	11 改訂履歴	172
7.3 機能説明.....	33	12 メカニカル、パッケージ、および注文情報	173
7.4 デバイスの機能モード.....	43		

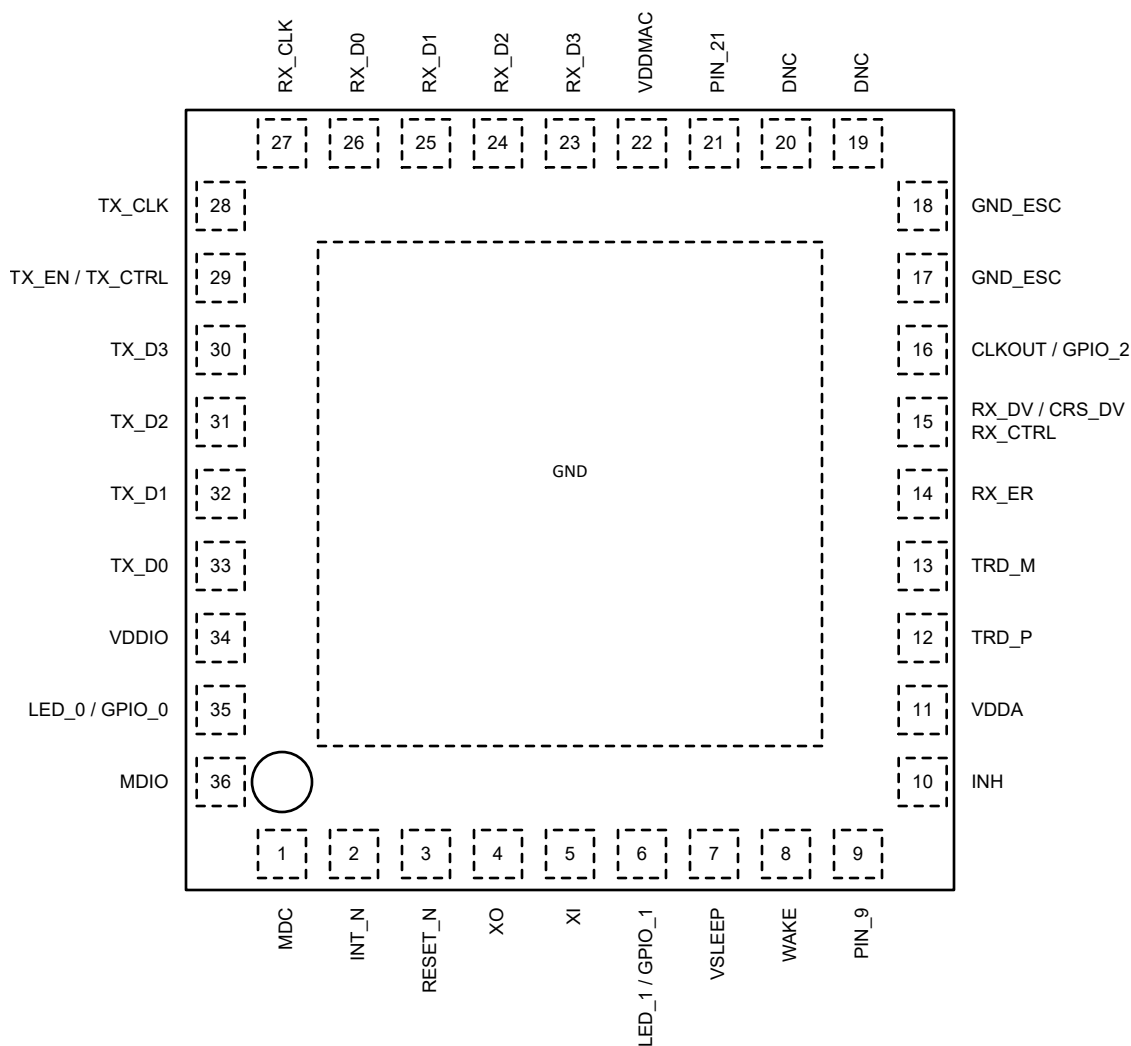
4 デバイス比較表

部品 番号	SGMII のサポート	動作 温度
DP83TC812R-Q1	なし	-40°C ~ 125°C
DP83TC812S-Q1	あり	-40°C ~ 125°C

5 ピン構成および機能



**図 5-1. DP83TC812S-Q1 RHA パッケージ
 36 ピン VQFN
 上面図**



**図 5-2. DP83TC812R-Q1 RHA パッケージ
36 ピン VQFN
上面図**

表 5-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称 ⁽²⁾	番号		
MAC インターフェイス			

表 5-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称 ⁽²⁾	番号		
RX_D3 RX_M	23	S、PD、O	受信データ: ケーブルで受信されたシンボルはデコードされ、RX_CLK の立ち上がりエッジに同期してこれらのピンから送信されます。RX_DV がアサートされているとき、データは有効と見なされます。MII および RGMII モードでは、データ ニブル RX_D[3:0] を出力します。RMII モードでは 2 ビット RX_D[1:0] を出力します。RMII フォロワー モードでは、RX_D[3:2] は使用されません。 PHY が RMII リーダー モードにブートストラップされている場合、50MHz クロック基準が RX_D3 に自動的に出力されます。このクロックは MAC に入力する必要があります。 RX_M/RX_P: 差動 SGMII データ出力。これらのピンは PHY から MAC にデータを送信します。SGMII モードでは、RX_D3 ピンのストラップ抵抗を使用します。
RX_D2 RX_P	24		
RX_D1	25		
RX_D0	26		
RX_CLK	27	PD、O	受信クロック: MII および RGMII モードでは、受信クロックから 25MHz 基準クロックが供給されます。 RMII および SGMII モードでは未使用
RX_ER	14	S、PD、O	受信エラー: MII および RMII モードでは、このピンは受信パケット内で受信エラー シンボルが検出されたことを示します。MII モードでは、RX_CLK の立ち上がりエッジに同期して、RX_ER が High にアサートされます。RMII モードでは、基準クロックの立ち上がりエッジに同期して、RX_ER が High にアサートされます。受信エラー時には PHY が自動的にデータを破損させるため、このピンは MII や RMII モードでは MAC が使用する必要はありません。 RGMII および SGMII モードでは未使用
RX_DV CRS_DV RX_CTRL	15	S、PD、O	受信データ有効: MII モードでは、このピンは RX_D[3:0] 上に有効なデータが出力されていることを示します。 キャリア センス データ有効: このピンは、キャリア検出とデータ有効を 1 本の非同期信号にまとめて示します。RMII モードでは、CRS_DV がアサートされているときに RX_D[1:0] にデータが出力されます。ピン 15 を CRS_DV に設定するには、0x0551 = 0x0010 (デフォルト) に設定します。 RGMII 受信制御: 受信制御は、受信データ有効表示と受信エラー表示を 1 つの信号に統合したものです。RX_DV は RX_CLK の立ち上がりエッジに示され、RX_ER は RX_CLK の立ち下がりエッジに示されます。ピン 15 を RX_DV に設定するには、0x0551 = 0x0000 に設定します。 SGMII モードでは未使用
TX_CLK	28	PD、I、O	送信クロック: MII モードでは、送信クロックは 25MHz 出力 (50Ω ドライバ) で、基準クロックを基準とする位相は一定です。RGMII モードでは、このクロックが MAC 層から PHY へ入力されます。25MHz のクロックを供給する必要があります (同期 RGMII が有効になっていないかぎり、リファレンス クロックに対して位相を一定に保つ必要はありません) RMII および SGMII モードでは未使用
TX_EN TX_CTRL	29	PD、I	送信イネーブル: MII モードでは、送信イネーブルは送信クロックの立ち上がりエッジより前に提示されます。TX_EN は、TX_D[3:0] に有効なデータ入力が存在することを示します。RMII モードでは、送信イネーブルはリファレンス クロックの立ち上がりエッジより前に提示されます。TX_EN は、TX_D[1:0] に有効なデータ入力が存在することを示します。 RGMII 送信制御: 送信制御は、送信イネーブルと送信エラー表示を 1 つの信号に統合したものです。TX_EN は TX_CLK の立ち上がりエッジの前に示され、TX_ER は TX_CLK の立ち下がりエッジの前に示されます。 SGMII モードでは未使用
TX_D3	30	PD、I	送信データ: MII および RGMII モードでは、送信データ ニブル TX_D[3:0] を、TX_CLK の立ち上がりエッジより前に MAC から受信します。RMII モードでは、TX_D[1:0] を基準クロックの立ち上がりエッジより前に MAC から受信します。RMII モードでは TX_D[3:2] は使用しません。 TX_M/TX_P: 差動 SGMII データ入力。これらのピンは、MAC から PHY に送信されたデータを受信します。
TX_D2	31		
TX_D1 TX_P	32		
TX_D0 TX_M	33		
シリアル マネージメント インターフェイス			

表 5-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称 ⁽²⁾	番号		
MDC	1	I	管理データ クロック: MDIO シリアル マネージメント入力および出力データに同期したクロック。このクロックは、MAC の送信クロックおよび受信クロックと非同期にすることができます。最大クロック レートは 20MHz です。最小クロック レートはありません。
MDIO	36	OD、IO	管理データ入出力 (Management Data Input/Output): 管理ステーションまたは PHY から出力される可能性がある双方向管理データ信号。このピンはプルアップ抵抗を必要とします。同一の MDIO-MDC バスを複数の PHY で共有するシステムでは、MDIO ラインに 1 本だけ VDDIO へのプルアップ抵抗を使用する必要があります。 2.2kΩ ~ 9kΩ の抵抗を使用することを推奨します。 Open Alliance 準拠に合格するには MDIO/MDC へのアクセスが必要です。 セクション 7.3.2 を参照してください。
制御インターフェイス			
INT	2	PU、OD、IO	割り込み: アクティブ Low 出力。割り込み条件が発生すると、Low にアサートされます。このピンは弱いプルアップを内蔵しています。各種割り込みトリガを有効化するには、レジスタ アクセスが必要です。割り込みイベントフラグが一度セットされると、その割り込みイベントをクリアするためにもレジスタ アクセスが必要になります。このピンは、レジスタ 0x0011 を用いてアクティブ High 出力として構成することもできます。 レジスタ 12 ~ 13 の割り込みステータスは、INT_N が LOW のときにのみ読み取ることを推奨します。また、このピンをパワーダウン制御ピンとして動作させることもでき、その場合は本ピンを low にアサートすると PHY をパワーダウン モードにし、high にアサートすると PHY を通常モードに戻します。この機能は、レジスタ 0x0011 によって有効化できます。
RESET	3	PU、I	リセット: アクティブ LOW 入力で、PHY を初期化または再初期化します。このピンを 1μs 以上 Low にアサートすると、リセット プロセスが強制的に開始されます。すべての内部レジスタは、「レジスタ マップ」セクションで各ビットに対して指定されたデフォルト状態に再初期化されます。リセットのデアサート時に、すべてのブートストラップ ピンが再サンプリングされます。
WAKE	8	PD、I/O	WAKE: デフォルトではアクティブ HIGH の入出力ピンとして動作します。入力として、このピンは PHY を TC-10 スリープからウェークアップします。電源投入時にこのピンを High にアサートすると、PHY をスリープ状態から復帰させます。TC-10 回路を実装する際、誤ってウェークアップしてしまうのを防ぐために、外付けの 10kΩ のプルダウン抵抗を使用できます。このピンは、デバイスをウェークアップするために VSLEEP に直接接続するか、抵抗を介して VSLEEP にプルアップすることもできます。 このピンは、PHY によって生成された WAKE プルパルスを使用して、同じシステム内の他の PHY をウェークアップするウェークアップ転送機能もサポートしています。
INH	10	O、OD	INH: アクティブ HIGH 出力です。PHY が TC-10 スリープのとき、このピンは ハイ インピーダンスになります。このピンは、その他のすべての PHY 状態では HIGH になります。TC-10 回路を実装する場合は、2kΩ ~ 10kΩ の外付けプルダウン抵抗を使用する必要があります。複数のデバイスが INH ピンを共有している場合は、プルダウン抵抗を 1 本使用する必要があります。
クロック インターフェイス			
XI	5	I	基準クロック入力 (RMII): RMII フォロウ モードでは、50MHz CMOS レベル発振器を基準クロックとして入力します。RMII リーダー モードは、25MHz の水晶または発振器を基準クロックとして入力します。 基準クロック入力 (その他の MAC インターフェイス): 25MHz の水晶または発振器を基準クロック入力として使用します。本デバイスは、外付け水晶振動子 (ピン XI とピン XO の間に接続) と外付け CMOS レベル発振器 (ピン XI のみに接続、XO は浮動) のどちらにも対応しています。このピンは、イーサネット MAC や別のイーサネット PHY など、他のデバイスからのクロック入力も受け付け、デジタイゼーション構成で使用することができます。 水晶を使用する場合は、XI ピンに 100Ω の直列抵抗を接続してください
XO	4	O	基準クロック出力: XO ピンは水晶振動子の場合にのみ使用されます。CMOS レベル発振器を XI に接続する場合、このピンを浮動にする必要があります。

表 5-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称 ⁽²⁾	番号		
LED/GPIO インターフェイス			
LED_0 / GPIO_0	35	S、PD、IO	LED_0: リンク ステータス LED です。このピンは、レジスタ設定により LED またはクロック出力ピンとしても使用できます。
LED_1 / GPIO_1	6	S、PD、IO	LED_1: リンクステータスの表示と、TX/RX (送受信) アクティビティ時の BLINK (点滅) に使用します。このピンは、ストラップレジスタ設定により、LED ピンまたは クロック出力ピンとしても使用できます。
CLKOUT/ GPIO_2	16	IO	クロック出力: 50MHz である RMII フォロワを除くすべてのモードでの 25MHz 基準クロック。このピンは、ストラップレジスタ設定により、LED ピンまたは GPIO ピンとして使用することもできます。CLKOUT ピンでのスイッチングを無効にするには、レジスタ <0x045F>=0x000F およびレジスタ <0x0453>=0x0003 をプログラムします
メディア依存インターフェイス			
TRD_M	13	IO	差動送信および受信:100BASE-T1 動作用に構成された双方向差動信号。IEEE 802.3bw 準拠。
TRD_P	12		
グラウンド エスケープ			
GND_ESC	17		グラウンド エスケープ: オプションのグラウンド エスケープ ピン。これらのピンをグラウンドに接続することで、PCB レイアウトを最適化できます。これらのピンは、DAP への電源グラウンド接続の代わりにはなりません。DAP は、常に電源グラウンドに接続する必要があります。 このピンは、使用しない場合は未接続のままにしておくことができます。
GND_ESC	18		グラウンド エスケープ: オプションのグラウンド エスケープ ピン。これらのピンをグラウンドに接続することで、PCB レイアウトを最適化できます。これらのピンは、DAP への電源グラウンド接続の代わりにはなりません。DAP は、常に電源グラウンドに接続する必要があります。 このピンは、使用しない場合は未接続のままにしておくことができます。
電源接続			
VDDA	11	電源	コア電源: 3.3V 0.47μF および 0.01μF セラミック デカップリング コンデンサの使用を推奨します。オプションとしてフェライト ビーズを使用できます。
VDDIO	34	電源	IO 電源: 1.8V、2.5V、または 3.3V フェライト ビーズ、0.47μF および 0.01μF セラミック デカップリング コンデンサの使用を推奨します。
VDDMAC	22	電源	オプションの MAC インターフェイス電源: 1.8V、2.5V、または 3.3V MAC インターフェイス ピン向けのオプションの独立電源です。このピンは MAC インターフェイス ピンに電源を供給し、他の IO ピンとは異なる電圧レベルに設定できます。0.47μF および 0.01μF セラミック デカップリング コンデンサ、フェライト ビーズの使用を推奨します。システムで個別の VDDMAC を必要としない場合は、VDDIO に接続しなければなりません。VDDIO に接続する場合、VDDIO 側の 0.47μF コンデンサは取り外すことができます。0.47μF コンデンサは VDDMAC 近傍には引き続き接続しておく必要があります。この場合、VDDIO と VDDMAC の間に共通のフェライト ビーズを 1 つ使用できます。
VSLEEP	7	電源	VSLEEP 電源: 3.3V 0.1μF セラミック デカップリング コンデンサの使用を推奨します。
グラウンド	DAP	グラウンド	グラウンド: これは、常に電源グラウンドに接続する必要があります。
接続禁止			
DNC	19		DNC: 接続せず、フローティングのままにします
DNC	20		DNC: 接続せず、フローティングのままにします
DP83TC815 に対応するための推奨事項			
ピン 9	9		ピン 21 に接続

表 5-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称 ⁽²⁾	番号		
ピン 21	21		2.2μF および 0.1μF セラミック コンデンサをピン 21 と GND の間に接続します

- (1) ピンの種類:
I = 入力
O = 出力
IO = 入出力
OD = オープンドレイン
PD = 内部プルダウン
PU = 内部プルアップ
S = ブートストラップ構成ピン (すべての設定ピンには弱い内部プルアップまたはプルダウンが入っています)
- (2) ピンを使用しない場合は、上記の表に示す推奨接続要件に従ってください。必要な終端がないピンは、フローティングのままとしてかまいません。

表 5-2. ピン ドメイン

外付けプルアップ抵抗付きの入力ピンは、表に示すドメインにプルする必要があります

ピン番号	ピン名	電圧ドメイン
1	MDC	VDDIO
2	INT_N	VDDIO
3	RESET_N	VDDIO
4	XO	VDDIO
5	XI	VDDIO
6	LED_1/GPIO_1	VDDIO
8	WAKE	VSLEEP
10	INH	VSLEEP
12	TRD_P	VDDA
13	TRD_M	VDDA
14	RX_ER	VDDMAC
15	RX_DV/CRS_DV/RX_CTRL	VDDMAC
16	CLKOUT/GPIO_2	VDDMAC
23	RX_D3/RX_M	VDDMAC
24	RX_D2/RX_P	VDDMAC
25	RX_D1	VDDMAC
26	RX_D0	VDDMAC
27	RX_CLK	VDDMAC
28	TX_CLK	VDDMAC
29	TX_EN/TX_CTRL	VDDMAC
30	TX_D3	VDDMAC
31	TX_D2	VDDMAC
32	TX_D1/TX_P	VDDMAC
33	TX_D0/TX_M	VDDMAC
35	LED_0/GPIO_0	VDDIO
36	MDIO	VDDIO

表 5-3. ピンの状態 - 電源投入 / リセット

ピン		起動 / リセット		
番号	名称	タイプ ⁽¹⁾	プルタイプ	プル値 (kΩ)
1	MDC	I	なし	なし

表 5-3. ピンの状態 - 電源投入 / リセット (続き)

ピン		起動 / リセット		
番号	名称	タイプ ⁽¹⁾	プル タイプ	プル値 (kΩ)
2	INT	I	PU	9
3	RESET	I	PU	9
4	XO	O	なし	なし
5	XI	I	なし	なし
6	LED_1	I	PD	9
7	VSLEEP	電源	なし	なし
8	WAKE	I/O	PD	455
9	NC	フローティング	なし	なし
10	INH	OD、O	なし	なし
11	VDDA	電源	なし	なし
12	TRD_P	IO	なし	なし
13	TRD_M	IO	なし	なし
14	RX_ER	I	PD	6
15	RX_DV	I	PD	6
16	CLKOUT	O	なし	なし
17	GND_ESC	フローティング	なし	なし
18	GND_ESC	I	PD	50
19	DNC	フローティング	なし	なし
20	DNC	フローティング	なし	なし
21	NC	フローティング	なし	なし
22	VDDMAC	電源	なし	なし
23	RX_D3	I	PD	9
24	RX_D2	I	PD	9
25	RX_D1	I	PD	9
26	RX_D0	I	PD	9
27	RX_CLK	I	PD	9
28	TX_CLK	I	なし	なし
29	TX_EN	I	なし	なし
30	TX_D3	I	なし	なし
31	TX_D2	I	なし	なし
32	TX_D1	I	なし	なし
33	TX_D0	I	なし	なし
34	VDDIO	電源	なし	なし
35	LED_0	I	PD	9
36	MDIO	OD、IO	なし	なし

表 5-4. ピンの状態 - TC10 スリープ

ピン		TC10 スリープ (すべての電源がオン)		
番号	名称	タイプ ⁽¹⁾	プル タイプ	プル値 (kΩ)
1	MDC	I	なし	なし
2	INT	I	PU	9
3	RESET	I	PU	9

表 5-4. ピンの状態 - TC10 スリープ (続き)

ピン		TC10 スリープ (すべての電源がオン)		
番号	名称	タイプ ⁽¹⁾	プル タイプ	プル値 (kΩ)
4	XO	O	なし	なし
5	XI	I	なし	なし
6	LED_1 ⁽¹⁾	I	PD	9
7	VSLEEP	電源	なし	なし
8	WAKE	I/O	PD	455
9	DNC	フローティング	なし	なし
10	INH	OD、O	なし	なし
11	VDDA	電源	なし	なし
12	TRD_P	IO	なし	なし
13	TRD_M	IO	なし	なし
14	RX_ER	I	PD	6
15	RX_DV	I	PD	6
16	CLKOUT ⁽²⁾	O	なし	なし
17	GND_ESC	フローティング	なし	なし
18	GND_ESC	I	PD	50
19	DNC	フローティング	なし	なし
20	DNC	フローティング	なし	なし
21	DNC	フローティング	なし	なし
22	VDDMAC	電源	なし	なし
23	RX_D3	I	PD	9
24	RX_D2	I	PD	9
25	RX_D1	I	PD	9
26	RX_D0	I	PD	9
27	RX_CLK	I	PD	9
28	TX_CLK	I	なし	なし
29	TX_EN	I	なし	なし
30	TX_D3	I	なし	なし
31	TX_D2	I	なし	なし
32	TX_D1	I	なし	なし
33	TX_D0	I	なし	なし
34	VDDIO	電源	なし	なし
35	LED_0	I	PD	9
36	MDIO	OD、IO	なし	なし

(1) LED_1 が CLKOUT として構成されている場合、TC10 のスリープ IO 状態は次のようになります: 出力にプル抵抗を使用しない場合

(2) CLKOUT が LED_1 に構成されている場合、TC10 のスリープ IO 状態は次のようになります: 入力、9kΩ プルダウン

表 5-5. ピンの状態 - MAC 分離および IEEE PWDN

ピン		MAC 分離			IEEE PWDN		
番号	名称	タイプ ⁽¹⁾	プル タイプ	プル値 (kΩ)	タイプ ⁽¹⁾	プル タイプ	プル値 (kΩ)
1	MDC	I	なし	なし	I	なし	なし
2	INT	OD、O	PU	9	OD、O	PU	9
3	RESET	I	PU	9	I	PU	9
4	XO	O	なし	なし	O	なし	なし

表 5-5. ピンの状態 - MAC 分離および IEEE PWDN (続き)

ピン		MAC 分離			IEEE PWDN		
番号	名称	タイプ ⁽¹⁾	プルタイプ	プル値 (kΩ)	タイプ ⁽¹⁾	プルタイプ	プル値 (kΩ)
5	XI	I	なし	なし	I	なし	なし
6	LED_1	O	なし	なし	O	なし	なし
7	VSLEEP	電源	なし	なし	電源	なし	なし
8	WAKE	IO	PD	455	IO	PD	455
9	NC	フローティング	なし	なし	フローティング	なし	なし
10	INH	OD、O	なし	なし	OD、O	なし	なし
11	VDDA	電源	なし	なし	電源	なし	なし
12	TRD_P	IO	なし	なし	IO	なし	なし
13	TRD_M	IO	なし	なし	IO	なし	なし
14	RX_ER	I	PD	6	I	PD	6
15	RX_DV	I	PD	6	O	なし	なし
16	CLKOUT	O	なし	なし	O	なし	なし
17	GND_ESC	フローティング	なし	なし	フローティング	なし	なし
18	GND_ESC	フローティング	なし	なし	フローティング	なし	なし
19	DNC	フローティング	なし	なし	フローティング	なし	なし
20	DNC	フローティング	なし	なし	フローティング	なし	なし
21	DNC	フローティング	なし	なし	フローティング	なし	なし
22	VDDMAC	電源	なし	なし	電源	なし	なし
23	RX_D3	I	PD	9	O	なし	なし
24	RX_D2	I	PD	9	O	なし	なし
25	RX_D1	I	PD	9	O	なし	なし
26	RX_D0	I	PD	9	O	なし	なし
27	RX_CLK	I	PD	9	O	なし	なし
28	TX_CLK	I	PD	9	I	なし	なし
29	TX_EN	I	PD	9	I	なし	なし
30	TX_D3	I	PD	9	I	なし	なし
31	TX_D2	I	PD	9	I	なし	なし
32	TX_D1	I	PD	9	I	なし	なし
33	TX_D0	I	PD	9	I	なし	なし
34	VDDIO	電源	なし	なし	電源	なし	なし
35	LED_0	O	なし	なし	O	なし	なし
36	MDIO	OD、IO	なし	なし	OD、IO	なし	なし

表 5-6. ピンの状態 - MII および RGMII

ピン		MII			RGMII		
番号	名称	タイプ ⁽¹⁾	プルタイプ	プル値 (kΩ)	タイプ ⁽¹⁾	プルタイプ	プル値 (kΩ)
1	MDC	I	なし	なし	I	なし	なし
2	INT	OD、O	PU	9	OD、O	PU	9
3	RESET	I	PU	9	I	PU	9
4	XO	O	なし	なし	O	なし	なし
5	XI	I	なし	なし	I	なし	なし
6	LED_1	O	なし	なし	O	なし	なし

表 5-6. ピンの状態 - MII および RGMII (続き)

ピン		MII			RGMII		
番号	名称	タイプ ⁽¹⁾	プルタイプ	プル値 (kΩ)	タイプ ⁽¹⁾	プルタイプ	プル値 (kΩ)
7	VSLEEP	電源	なし	なし	電源	なし	なし
8	WAKE	IO	PD	455	IO	PD	455
9	NC	フローティング	なし	なし	フローティング	なし	なし
10	INH	OD、O	なし	なし	OD、O	なし	なし
11	VDDA	電源	なし	なし	電源	なし	なし
12	TRD_P	IO	なし	なし	IO	なし	なし
13	TRD_M	IO	なし	なし	IO	なし	なし
14	RX_ER	O	なし	なし	I	PD	6
15	RX_DV	O	なし	なし	O	なし	なし
16	CLKOUT	O	なし	なし	O	なし	なし
17	GND_ESC	フローティング	なし	なし	フローティング	なし	なし
18	GND_ESC	フローティング	なし	なし	フローティング	なし	なし
19	DNC	フローティング	なし	なし	フローティング	なし	なし
20	DNC	フローティング	なし	なし	フローティング	なし	なし
21	DNC	フローティング	なし	なし	フローティング	なし	なし
22	VDDMAC	電源	なし	なし	電源	なし	なし
23	RX_D3	O	なし	なし	O	なし	なし
24	RX_D2	O	なし	なし	O	なし	なし
25	RX_D1	O	なし	なし	O	なし	なし
26	RX_D0	O	なし	なし	O	なし	なし
27	RX_CLK	O	なし	なし	O	なし	なし
28	TX_CLK	O	なし	なし	I	なし	なし
29	TX_EN	I	なし	なし	I	なし	なし
30	TX_D3	I	なし	なし	I	なし	なし
31	TX_D2	I	なし	なし	I	なし	なし
32	TX_D1	I	なし	なし	I	なし	なし
33	TX_D0	I	なし	なし	I	なし	なし
34	VDDIO	電源	なし	なし	電源	なし	なし
35	LED_0	O	なし	なし	O	なし	なし
36	MDIO	OD、IO	なし	なし	OD、IO	なし	なし

表 5-7. ピンの状態 — RMII リーダーと RMII フォロワー

ピン		RMII リーダー			RMII フォロワー		
番号	名称	タイプ ⁽¹⁾	プルタイプ	プル値 (kΩ)	タイプ ⁽¹⁾	プルタイプ	プル値 (kΩ)
1	MDC	I	なし	なし	I	なし	なし
2	INT	OD、O	PU	9	OD、O	PU	9
3	RESET	I	PU	9	I	PU	9
4	XO	O	なし	なし	O	なし	なし
5	XI	I	なし	なし	I	なし	なし
6	LED_1	O	なし	なし	O	なし	なし
7	VSLEEP	電源	なし	なし	電源	なし	なし
8	WAKE	IO	PD	455	IO	PD	455

表 5-7. ピンの状態 — RMII リーダーと RMII フォロワー (続き)

ピン		RMII リーダー			RMII フォロワー		
番号	名称	タイプ ⁽¹⁾	プル タイプ	プル値 (kΩ)	タイプ ⁽¹⁾	プル タイプ	プル値 (kΩ)
9	NC	フローティング	なし	なし	フローティング	なし	なし
10	INH	OD、O	なし	なし	OD、O	なし	なし
11	VDDA	電源	なし	なし	電源	なし	なし
12	TRD_P	IO	なし	なし	IO	なし	なし
13	TRD_M	IO	なし	なし	IO	なし	なし
14	RX_ER	O	なし	なし	O	なし	なし
15	RX_DV	O	なし	なし	O	なし	なし
16	CLKOUT	O	なし	なし	O	なし	なし
17	GND_ESC	フローティング	なし	なし	フローティング	なし	なし
18	GND_ESC	フローティング	なし	なし	フローティング	なし	なし
19	DNC	フローティング	なし	なし	フローティング	なし	なし
20	DNC	フローティング	なし	なし	フローティング	なし	なし
21	DNC	フローティング	なし	なし	フローティング	なし	なし
22	VDDMAC	電源	なし	なし	電源	なし	なし
23	RX_D3	O、50MHz	なし	なし	I	PD	9
24	RX_D2	I	PD	9	I	PD	9
25	RX_D1	O	なし	なし	O	なし	なし
26	RX_D0	O	なし	なし	O	なし	なし
27	RX_CLK	I	PD	9	I	PD	9
28	TX_CLK	I	なし	なし	I	なし	なし
29	TX_EN	I	なし	なし	I	なし	なし
30	TX_D3	I	なし	なし	I	なし	なし
31	TX_D2	I	なし	なし	I	なし	なし
32	TX_D1	I	なし	なし	I	なし	なし
33	TX_D0	I	なし	なし	I	なし	なし
34	VDDIO	電源	なし	なし	電源	なし	なし
35	LED_0	O	なし	なし	O	なし	なし
36	MDIO	OD、IO	なし	なし	OD、IO	なし	なし

表 5-8. ピンの状態 - SGMII

ピン		SGMII		
なし	名称	タイプ ⁽¹⁾	プル タイプ	プル値 (kΩ)
1	MDC	I	なし	なし
2	INT	OD、O	PU	9
3	RESET	I	PU	9
4	XO	O	なし	なし
5	XI	I	なし	なし
6	LED_1	O	なし	なし
7	VSLEEP	電源	なし	なし
8	WAKE	IO	PD	455
9	NC	フローティング	なし	なし
10	INH	OD、O	なし	なし

表 5-8. ピンの状態 - SGMII (続き)

ピン		SGMII		
なし	名称	タイプ ⁽¹⁾	プルタイプ	プル値 (kΩ)
11	VDDA	電源	なし	なし
12	TRD_P	IO	なし	なし
13	TRD_M	IO	なし	なし
14	RX_ER	I	PD	6
15	RX_DV	I	PD	6
16	CLKOUT	O	なし	なし
17	GND_ESC	フローティング	なし	なし
18	GND_ESC	フローティング	なし	なし
19	DNC	フローティング	なし	なし
20	DNC	フローティング	なし	なし
21	DNC	フローティング	なし	なし
22	VDDMAC	電源	なし	なし
23	RX_D3	O	なし	なし
24	RX_D2	O	なし	なし
25	RX_D1	I	PD	9
26	RX_D0	I	PD	9
27	RX_CLK	I	PD	9
28	TX_CLK	I	なし	なし
29	TX_EN	I	なし	なし
30	TX_D3	I	なし	なし
31	TX_D2	I	なし	なし
32	TX_D1	I	なし	なし
33	TX_D0	I	なし	なし
34	VDDIO	電源	なし	なし
35	LED_0	O	なし	なし
36	MDIO	OD、IO	なし	なし

- (1) 種類: I = 入力
O = 出力
IO = 入出力
OD = オープンドレイン
PD = 内部プルダウン
PU = 内部プルアップ

6 仕様

6.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	標準値	最大値	単位
入力電圧	VDDA	-0.3		4	V
入力電圧	VDDIO/VDDMAC (3.3V)	-0.3		4	V
入力電圧	VDDIO/VDDMAC (2.5V)	-0.3		4	V
入力電圧	VDDIO/VDDMAC (1.8V)	-0.3		4	V
入力電圧	VSLEEP	-0.3		4	V
ピン	MDI	-0.3		4	V
ピン	MAC インターフェイス	-0.3		VDDMAC + 0.3	V
ピン	MDIO, MDC, GPIO, XI, XO, INT, RESET, CLKOUT	-0.3		VDDIO + 0.3	V
ピン	WAKE, INH	-0.3		VSLEEP + 0.3	V
DC の出力電圧	すべてのピン	-0.3		4	V
T _J	接合部温度			150	°C
T _{stg}	保存温度	-65		150	°C

(1) 「絶対最大定格」に記載の値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて言及して、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾	すべてのピン	±2000
			TRD_N、TRD_P ピン	±8000
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	角のピン	±750
			その他のピン	±750
		IEC 61000-4-2 接触放電	TRD_N、TRD_P ピン	±8000

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VDDIO/ VDDMAC	IO 電源電圧、1.8V 動作	1.62	1.8	1.98	V
	IO 電源電圧、2.5V 動作	2.25	2.5	2.75	
	IO 電源電圧、3.3V 動作	2.97	3.3	3.63	
VDDA	コア電源電圧、3.3V	2.97	3.3	3.63	V
VSLEEP	スリープ電源電圧、3.3V	2.97	3.3	3.63	V
T _A	周辺温度	-40		125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		DP83TC812	単位
		RHA (VQFN)	
		36 ピン	
R _{θJA}	接合部から周囲への熱抵抗	36.7	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	27.0	°C/W
R _{θJB}	接合部から基板への熱抵抗	17.5	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.7	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	17.5	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	6.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
100BASE-T1 PMA 準拠						
V _{OD-MDI}	出力差動電圧	R _{L(diff)} = 100Ω			2.2	V
R _{MDI-Diff}	内蔵差動出力終端	TRD_P と TRD_M		100		Ω
ブートストラップ DC 特性 (2 レベル)						
V _{MODE1}	モード 1 ストラップ電圧 範囲	VDDIO = 3.3V±10%、2 レベルストラップ	0		0.8	V
V _{MODE2}	モード 2 ストラップ電圧 範囲	VDDIO = 3.3V±10%、2 レベルストラップ	2		VDDIO	V
V _{MODE1}	モード 1 ストラップ電圧 範囲	VDDIO = 2.5V±10%、2 レベルストラップ	0		0.7	V
V _{MODE2}	モード 2 ストラップ電圧 範囲	VDDIO = 2.5V±10%、2 レベルストラップ	1.5		VDDIO	V
V _{MODE1}	モード 1 ストラップ電圧 範囲	VDDIO = 1.8V±10%、2 レベルストラップ	0		0.35 x VDDIO	V
V _{MODE2}	モード 2 ストラップ電圧 範囲	VDDIO = 1.8V±10%、2 レベルストラップ	0.65 x VDDIO		VDDIO	V
ブートストラップ DC 特性 (3 レベル)						
V _{MODE1}	モード 1 ストラップ電圧 範囲	VDDIO = 3.3V±10%、3 レベルストラップ	0		0.18 x VDDIO	V
V _{MODE2}	モード 2 ストラップ電圧 範囲	VDDIO = 3.3V±10%、3 レベルストラップ	0.22 x VDDIO		0.42 x VDDIO	V
V _{MODE3}	モード 3 ストラップ電圧 範囲	VDDIO = 3.3V±10%、3 レベルストラップ	0.46 x VDDIO		VDDIO	V
V _{MODE1}	モード 1 ストラップ電圧 範囲	VDDIO = 2.5V±10%、3 レベルストラップ	0		0.19 x VDDIO	V
V _{MODE2}	モード 2 ストラップ電圧 範囲	VDDIO = 2.5V±10%、3 レベルストラップ	0.27 x VDDIO		0.41 x VDDIO	V
V _{MODE3}	モード 3 ストラップ電圧 範囲	VDDIO = 2.5V±10%、3 レベルストラップ	0.58 x VDDIO		VDDIO	V
V _{MODE1}	モード 1 ストラップ電圧 範囲	VDDIO = 1.8V±10%、3 レベルストラップ	0		0.35 x VDDIO	V
V _{MODE2}	モード 2 ストラップ電圧 範囲	VDDIO = 1.8V±10%、3 レベルストラップ	0.40 x VDDIO		0.75 x VDDIO	V

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{MODE3}	モード 3 ストラップ電圧範囲	VDDIO = 1.8V±10%、3 レベルストラップ	0.84 x VDDIO		VDDIO	V
IO 特性						
V _{IH}	High レベル入力電圧	VDDIO = 3.3V ±10%	2			V
V _{IL}	Low レベル入力電圧	VDDIO = 3.3V ±10%			0.8	V
V _{OH}	High レベル出力電圧	I _{OH} = -2mA、VDDIO = 3.3V ±10%	2.4			V
V _{OL}	Low レベル出力電圧	I _{OL} = 2mA、VDDIO = 3.3V ±10%			0.4	V
V _{IH}	High レベル入力電圧	VDDIO = 2.5V ±10%	1.7			V
V _{IL}	Low レベル入力電圧	VDDIO = 2.5V ±10%			0.7	V
V _{OH}	High レベル出力電圧	I _{OH} = -2mA、VDDIO = 2.5V ±10%	2			V
V _{OL}	Low レベル出力電圧	I _{OL} = 2mA、VDDIO = 2.5V ±10%			0.4	V
V _{IH}	High レベル入力電圧	VDDIO = 1.8V ±10%	0.65*VDDIO			V
V _{IL}	Low レベル入力電圧	VDDIO = 1.8V ±10%			0.35*VDDIO	V
V _{OH}	High レベル出力電圧	I _{OH} = -2mA、VDDIO = 1.8V ±10%	VDDIO-0.45			V
V _{OL}	Low レベル出力電圧	I _{OL} = 2mA、VDDIO = 1.8V ±10%			0.45	V
I _{IH}	入力 High 電流 ⁽¹⁾	T _A = -40°C ~ 125°C、VIN=VDDIO、XI と WAKE を除くすべてのピン	-10		10	μA
I _{IH-XI}	入力 High 電流 ⁽¹⁾	T _A = -40°C ~ 125°C、VIN=VDDIO、XI ピン	-15		15	μA
I _{IL-XI}	入力 Low 電流 ⁽¹⁾	T _A = -40°C ~ 125°C、VIN=GND、XI ピン	-15		15	μA
I _{IL}	入力 Low 電流 ⁽¹⁾	T _A = -40°C ~ 125°C、VIN=GND、XI ピンを除くすべてのピン	-10		10	μA
I _{ozh}	トライステート出力高電流	T _A = -40°C ~ 125°C、VIN=VDDIO、RX_D[3:0]、RX_CLK、MDIO、INT_N および XO ピン	-10		10	μA
I _{ozh}	トライステート出力高電流	T _A = -40°C ~ 125°C、VIN=VDDIO、RX_CTRL および RX_ER ピン	-52		52	μA
I _{ozl}	トライステート出力低電流 ⁽²⁾	T _A = -40°C ~ 125°C、VOUT=GND	-10		10	μA
R _{pulldn}	内蔵プルダウン抵抗	RX_D[3:0]、RX_CLK、LED_0、LED_1	6.2	8.4	10.7	kΩ
R _{pulldn}	内蔵プルダウン抵抗	RX_CTRL、RX_ER	4.725	5.8	7.2	kΩ
R _{pulldn}	内蔵プルダウン抵抗	WAKE		455		kΩ
R _{pullup}	内蔵プルアップ抵抗	INT、RESET	6.3	9	11.2	kΩ
XI V _{IH}	High レベル入力電圧		1.3		VDDIO	V
XI V _{IL}	Low レベル入力電圧				0.5	V
C _{IN}	XI の入力容量			1		pF
C _{IN}	入力ピンの入力容量			5		pF
C _{OUT}	XO の出力容量			1		pF
C _{OUT}	出力ピンの出力容量			5		pF
R _{series}	内蔵 MAC 直列終端抵抗	RX_D[3:0]、RX_ER、RX_DV、RX_CLK	35	50	65	Ω
消費電力						
I(3V3)	MII	-40°C ~ 125°C		57	63	mA
I(3V3)	RMII	-40°C ~ 125°C		57	63	mA

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I(3V3)	RGMII	–40°C ~ 125°C		57	63	mA
I(3V3)	SGMII	–40°C ~ 125°C		81	95	mA
I(VDDIO=3.3V)	MII	–40°C ~ 125°C, VDDIO = VDDMAC		19	24	mA
I(VDDIO=3.3V)	RMII	–40°C ~ 125°C, VDDIO = VDDMAC		18	23	mA
I(VDDIO=3.3V)	RGMII	–40°C ~ 125°C, VDDIO = VDDMAC		13	21	mA
I(VDDIO=3.3V)	SGMII	–40°C ~ 125°C, VDDIO = VDDMAC		7	12	mA
I(VDDIO=2.5V)	MII	–40°C ~ 125°C, VDDIO = VDDMAC		12	18	mA
I(VDDIO=2.5V)	RMII	–40°C ~ 125°C, VDDIO = VDDMAC		12	17	mA
I(VDDIO=2.5V)	RGMII	–40°C ~ 125°C, VDDIO = VDDMAC		12	16	mA
I(VDDIO=2.5V)	SGMII	–40°C ~ 125°C, VDDIO = VDDMAC		6	9	mA
I(VDDIO=1.8V)	MII	–40°C ~ 125°C, VDDIO = VDDMAC		9	13	mA
I(VDDIO=1.8V)	RMII	–40°C ~ 125°C, VDDIO = VDDMAC		9	13	mA
I(VDDIO=1.8V)	RGMII	–40°C ~ 125°C, VDDIO = VDDMAC		9	12	mA
I(VDDIO=1.8V)	SGMII	–40°C ~ 125°C, VDDIO = VDDMAC		4	6	mA
消費電力 (低消費電力モード)						
I(VDDA3V3)	IEEE パワーダウン	–40°C ~ 125°C, 全インターフェース		8	22	mA
I(VDDA3V3)	TC-10 スリープ	–40°C ~ 125°C, 全インターフェース		30	50	mA
I(VDDA3V3)	リセット	–40°C ~ 125°C, 全インターフェース		9	23	mA
I(VDDA3V3)	STANDBY	–40°C ~ 125°C, MII		15	33	mA
I(VDDA3V3)	STANDBY	–40°C ~ 125°C, RMII		15	30	mA
I(VDDA3V3)	STANDBY	–40°C ~ 125°C, RGMII		15	30	mA
I(VDDA3V3)	STANDBY	–40°C ~ 125°C, SGMII		15	30	mA
I(VDDIO=3.3V)	IEEE パワーダウン	–40°C ~ 125°C, 全インターフェース、 VDDIO=VDDMAC		15	23	mA
I(VDDIO=3.3V)	TC-10 スリープ	–40°C ~ 125°C, 全インターフェース、 VDDIO=VDDMAC		15	23	mA
I(VDDIO=3.3V)	リセット	–40°C ~ 125°C, 全インターフェース、 VDDIO=VDDMAC		15	23	mA
I(VDDIO=3.3V)	STANDBY	–40°C ~ 125°C, MII, VDDIO=VDDMAC		19	25	mA
I(VDDIO=3.3V)	STANDBY	–40°C ~ 125°C, RMII, VDDIO=VDDMAC		16	20	mA
I(VDDIO=3.3V)	STANDBY	–40°C ~ 125°C, RGMII, VDDIO=VDDMAC		14	20	mA
I(VDDIO=3.3V)	STANDBY	–40°C ~ 125°C, SGMII, VDDIO=VDDMAC		14	16	mA
I(VDDIO=2.5V)	IEEE パワーダウン	–40°C ~ 125°C, 全インターフェース、 VDDIO=VDDMAC		10	16	mA
I(VDDIO=2.5V)	TC-10 スリープ	–40°C ~ 125°C, 全インターフェース、 VDDIO=VDDMAC		10	16	mA
I(VDDIO=2.5V)	リセット	–40°C ~ 125°C, 全インターフェース、 VDDIO=VDDMAC		10	16	mA
I(VDDIO=2.5V)	STANDBY	–40°C ~ 125°C, MII, VDDIO=VDDMAC		14	18	mA
I(VDDIO=2.5V)	STANDBY	–40°C ~ 125°C, RMII, VDDIO=VDDMAC		11	14	mA
I(VDDIO=2.5V)	STANDBY	–40°C ~ 125°C, RGMII, VDDIO=VDDMAC		9	14	mA
I(VDDIO=2.5V)	STANDBY	–40°C ~ 125°C, SGMII, VDDIO=VDDMAC		9	14	mA
I(VDDIO=1.8V)	IEEE パワーダウン	–40°C ~ 125°C, 全インターフェース、 VDDIO=VDDMAC		7	11	mA

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I(VDDIO=1.8V)	TC-10 スリープ	−40°C ~ 125°C、全インターフェース、VDDIO=VDDMAC		7	11	mA
I(VDDIO=1.8V)	リセット	−40°C ~ 125°C、全インターフェース、VDDIO=VDDMAC		7	11	mA
I(VDDIO=1.8V)	STANDBY	−40°C ~ 125°C、MII、VDDIO=VDDMAC		10	12	mA
I(VDDIO=1.8V)	STANDBY	−40°C ~ 125°C、RMII、VDDIO=VDDMAC		7	11	mA
I(VDDIO=1.8V)	STANDBY	−40°C ~ 125°C、RGMII、VDDIO=VDDMAC		6	11	mA
I(VDDIO=1.8V)	STANDBY	−40°C ~ 125°C、SGMII、VDDIO=VDDMAC		6	11	mA
I(VSLEEP)	TC-10 スリープ	−40°C ~ 125°C、全インターフェイス、他のすべての電源オフ		7	18	μA
SGMII 入力						
V _{IDTH}	入力差動電圧許容値	SI_P および SI_N、AC 結合	0.1			V
R _{IN-DIFF}	受信差動入力インピーダンス (DC)		80		120	Ω
SGMII 出力						
	クロック信号デューティサイクル	SO_P および SO_N、AC 結合、0101010101 パターン	48		52	%
	出力差動電圧	SO_P および SO_N、AC 結合	150		400	mV
電圧センサ						
VDDA	VDDA センサの範囲	−40°C ~ +125°C	2.7	3.3	4	V
	VDDA センサの分解能 (LSB)	−40°C ~ +125°C		8.8		mV
	VDDA センサの精度 (1 つの部品での電圧と温度による変動)	−40°C ~ +125°C	-120		120	mV
	VDDA センサの精度 (部品間のばらつき)	−40°C ~ +125°C	-50		50	mV
VDDIO/VDDMAC	VDDIO/VDDMAC センサの範囲	−40°C ~ +125°C	1.44		3.9	V
	VDDIO/VDDMAC センサの分解能 (LSB)	−40°C ~ +125°C		16		mV
	VDDIO/VDDMAC センサの精度 (1 つの部品での電圧と温度による変動)	−40°C ~ +125°C	-144		144	mV
	VDDIO/VDDMAC センサの精度 (部品間のばらつき)	−40°C ~ +125°C	-85		85	mV
VSLEEP	VSLEEP センサの範囲	−40°C ~ +125°C	2.7	3.3	4	V
	VSLEEP センサの分解能 (LSB)	−40°C ~ +125°C		8.8		mV
	VSLEEP センサの精度 (1 つの部品での電圧と温度による変動)	−40°C ~ +125°C	-120		120	mV
	VSLEEP センサの精度 (部品間のばらつき)	−40°C ~ +125°C	-50		50	mV

- (1) 対象ピン: MDC、TX_CLK、TX_CTRL、TX_D[3:0]、RESET_N
 (2) 対象ピン: RX_D[3:0]、RX_CLK、RX_CTRL、MDIO、INT_N、XO。

6.6 タイミング要件

パラメータ		テスト条件	最小値	公称値	最大値	単位
MII タイミング						
T1.1	TX_CLK High / Low 時間		16	20	24	ns
T1.2	TX_CLK までの TX_D[3:0]、TX_ER、TX_EN のセットアップ		10			ns
T1.3	TX_CLK からの TX_D[3:0]、TX_ER、TX_EN のホールド		0			ns
T2.1	RX_CLK High / Low 時間		16	20	24	ns
T2.2	RX_CLK 立ち上がりからの RX_D[3:0]、RX_ER、RX_DV の遅延		10		30	ns
RMII リーダー タイミング						
T3.1	RMII リーダー クロック周期			20		ns
	RMII リーダー クロック デューティ サイクル		35		65	%
T3.2	TX_D[1:0]、TX_ER、TX_EN の RMII リーダ クロックに対するセットアップ		4			ns
T3.3	TX_D[1:0]、TX_ER、TX_EN の RMII リーダ クロックからのホールド		2			ns
T3.4	RX_D[1:0]、RX_ER、CRS_DV の RMII リーダ クロック立ち上がりエッジからの遅延		4	10	14	ns
RMII フォロワ タイミング						
T3.1	入力基準クロック周期			20		ns
	入力クロック デューティ サイクル		35		65	%
T3.2	XI クロックの立ち上がりまでの TX_D[1:0]、TX_ER、TX_EN のセットアップ		4			ns
T3.3	XI クロックの立ち上がりからの TX_D[1:0]、TX_ER、TX_EN のホールド		2			ns
T3.4	XI クロックの立ち上がりからの RX_D[1:0]、RX_ER、CRS_DV の遅延		4		14	ns
RGMII 入力タイミング						
T _{cyc}	クロック周期	TX_CLK	36	40	44	ns
T _{setup(alig n)}	TX_D[3:0]、TX_CLK までの TX_CTRL のセットアップ時間 (整列モード)		1	2		ns
T _{hold(alig n)}	TX_D[3:0]、TX_CLK からの TX_CTRL のホールド時間 (整列モード)		1	2		ns
RGMII 出力タイミング						
T _{skew(alig n)}	RX_D[3:0]、RX_CLK からの RX_CTRL の遅延時間 (整列モード有効)	PHY ピン上	-750		750	ps
T _{skew(shift)}	RX_D[3:0]、RX_CLK からの RX_CTRL の遅延時間 (シフトモード有効デフォルト)	PHY ピン上	2			ns
T _{cyc}	クロック周期	RX_CLK	36	40	44	ns
Duty_G	デューティ サイクル	RX_CLK	45	50	55	%
Tr/Tf	立ち上がり / 立ち下がり時間 (20% ~ 80%)	C _{LOAD} = 5pF			1.2	ns
SMI タイミング						
T4.1	MDC から MDIO (出力) までの遅延時間	25pF の負荷容量	0		40	ns
T4.2	MDC に対する MDIO (入力) のセットアップ時間		10			ns
T4.3	MDC に対する MDIO (入力) のホールド時間		10			ns
	MDC 周波数			2.5	20	MHz
電源投入のタイミング						
T5.1	電源ランプ時間: すべての電源について ⁽¹⁾		0.2		8	ms

パラメータ		テスト条件	最小値	公称値	最大値	単位
T5.3	XTAL の起動 / セットリング: 電源投入から XI 正常 / 安定化まで			0.35		ms
T5.4	電源投入からの発振器の安定化時間				10	ms
T5.5	電源投入後、SMI 準備完了まで: 電源投入後、レジスタ アクセスのために MDC プリアンブルを送信できるようになるまでに必要な待ち時間		10			ms
T5.6	電源オンからストラップ ラッチインまで				10	ms
T5.7	CLKOUT の起動 / セットリング: 電源投入から CLKOUT 正常 / 安定化まで				10	ms
T5.8	電源投入からアイドル ストリーム出力まで				10	ms
リセット タイミング (RESET_N)						
T6.1	リセット パルス幅: リセット可能な最小リセット パルス幅		720			ns
T6.2	リセットから SMI レディまで: リセット後、レジスタ アクセスのために MDC プリアンブルを送信できるようになるまでに必要な待ち時間		1			ms
T6.3	リセットからストラップ値ラッチインまで: ハードウェア構成のピンの遷移から出力ドライバまで			40		μs
T6.4	リセットからアイドル ストリーム出力まで				1800	μs
ウェーク要求とウェーク パルスのタイミング						
T7.1	ローカル ウェークアップ パルス幅		40			μs
T7.2	ローカル ウェークアップから INH 遷移まで				40	μs
T7.3	エナジー検出に基づくウェークアップ パルス幅				0.7	ms
T7.4	エナジー検出に基づくウェークアップから INH 遷移まで				0.7	ms
T7.5	エナジー検出に基づくウェークアップから WAKE 転送パルスまで				1.4	ms
送信レイテンシ タイミング						
	MII の TX_CLK の立ち上がりエッジ (TX_EN アサート時) から MDI の SSD シンボルまで		205		233	ns
	RMII フォロワの XI クロックの立ち上がりエッジ (TX_EN アサート時) から MDI の SSD シンボルまで		374		409	ns
	RMII リーダーのクロックの立ち上がりエッジ (TX_EN アサート時) から MDI の SSD シンボルまで		382		408	ns
	RGMII の TX_CLK の立ち上がりエッジ (TX_CTRL アサート時) から MDI の SSD シンボルまで		370		390	ns
	SGMII の最初のシンボルから MDI の SSD シンボルまで		420		456	ns
受信レイテンシ タイミング						
	MDI の SSD シンボルから MII の RX_CLK の立ち上がりエッジ (RX_DV アサート時) まで		467		491	ns
	MDI の SSD シンボルからフォロワ RMII の XI クロックの立ち上がりエッジ (CRS_DV アサート時) まで		527		574	ns
	MDI の SSD シンボルから RMII リーダーのリーダー クロックの立ち上がりエッジ (CRS_DV アサート時) まで		521		557	ns
	MDI の SSD シンボルから RGMII の RX_CLK の立ち上がりエッジ (RX_CTRL アサート時) まで		484		511	ns
	MDI の SSD シンボルから SGMII の最初のシンボルまで		708		788	ns
25MHz 発振器の要件						
	周波数の許容誤差		-100		+100	ppm
	立ち上がり / 立ち下がり時間 (10% ~ 90%)				8	ns
	ジッター耐性 (RMS)				25	ps
	外部クロック モードでの XI デューティ サイクル		40		60	%

パラメータ		テスト条件	最小値	公称値	最大値	単位
50MHz 発振器の要件						
	周波数			50		MHz
	温度と経時変化に対する周波数の許容誤差と安定性		-100		100	ppm
	立ち上がり / 立ち下がり時間 (10% - 90%)				4	ns
	デューティ サイクル		35		65	%
25MHz 水晶振動子の要件						
	周波数			25		MHz
	温度と経時変化に対する周波数の許容誤差と安定性		-100		100	ppm
	等価直列抵抗				100	Ω
出力クロック タイミング (25MHz)						
	周波数 (PPM)		-100		100	-
	デューティ サイクル		40		60	%
	立ち上がり時間				5000	ps
	立ち下がり時間				5000	ps
	ジッタ (短期)				1000	ps
	周波数			25		MHz

(1) ランプレートが 8ms より長い電源では、最後の電源が安定した後にリセット パルスが必要です。

6.7 タイミング図

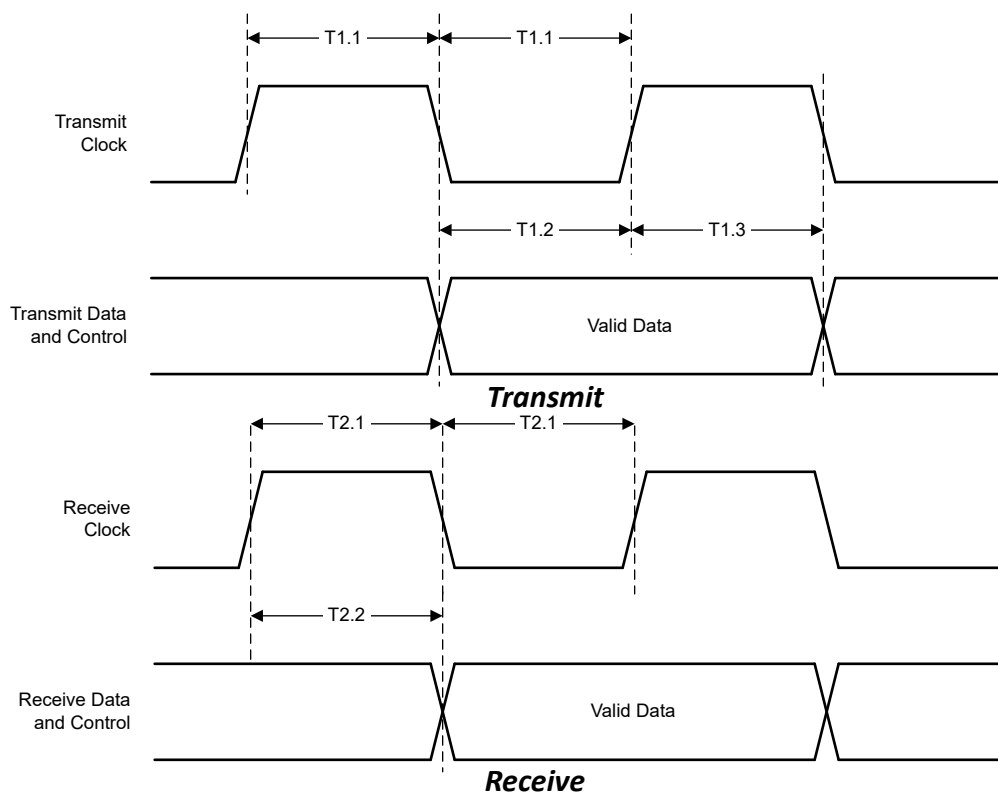


図 6-1. MII のタイミング

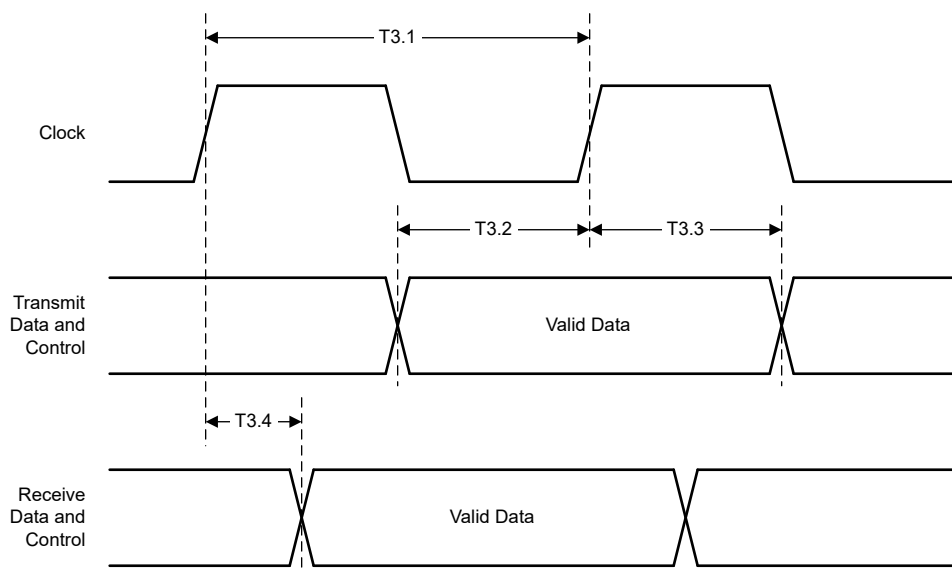


図 6-2. RMII の送信および受信タイミング

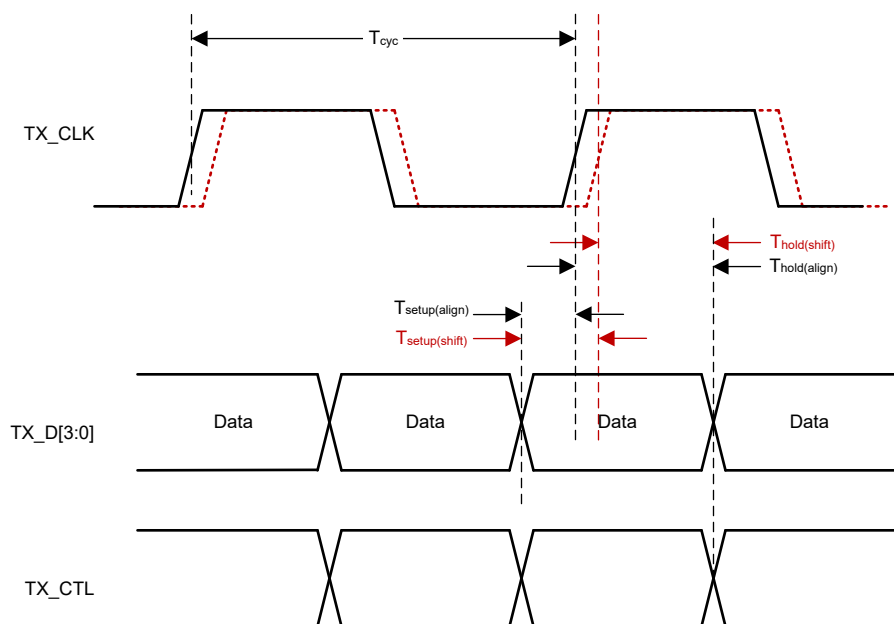


図 6-3. RGMII 送信タイミング

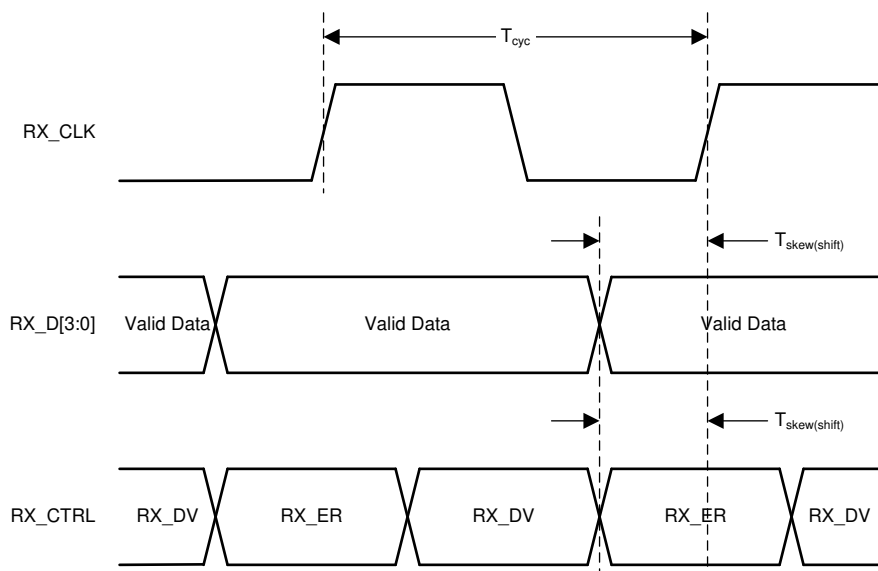


図 6-4. RGMII の受信タイミング (内部遅延有効化)

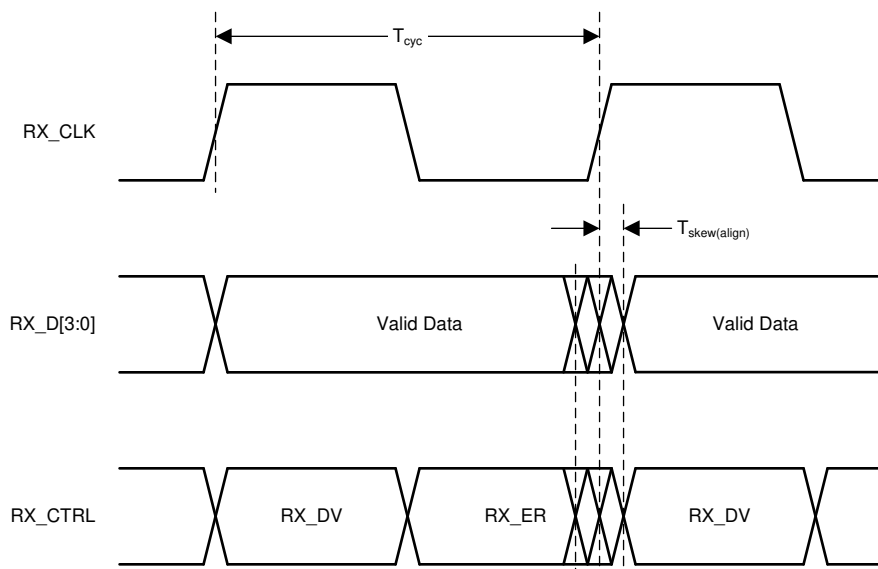


図 6-5. RGMII の受信タイミング (内部遅延無効化)

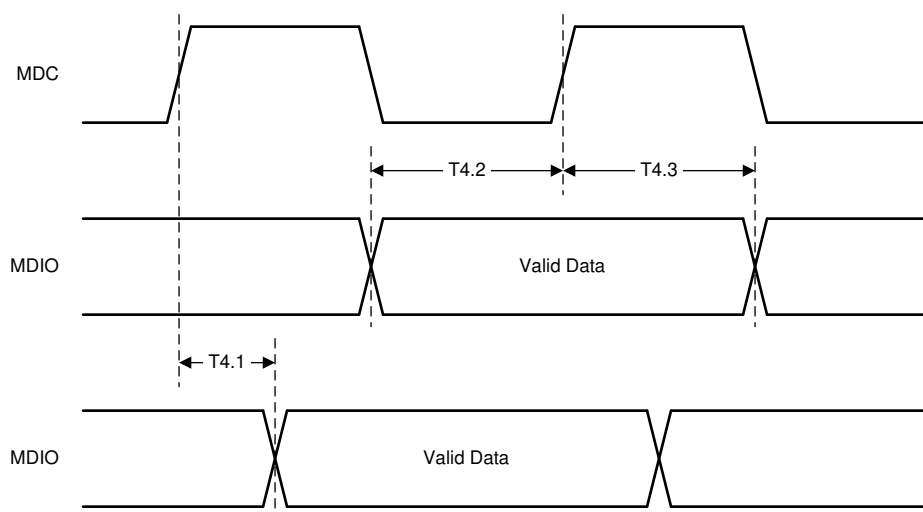


図 6-6. シリアル マネージメントのタイミング

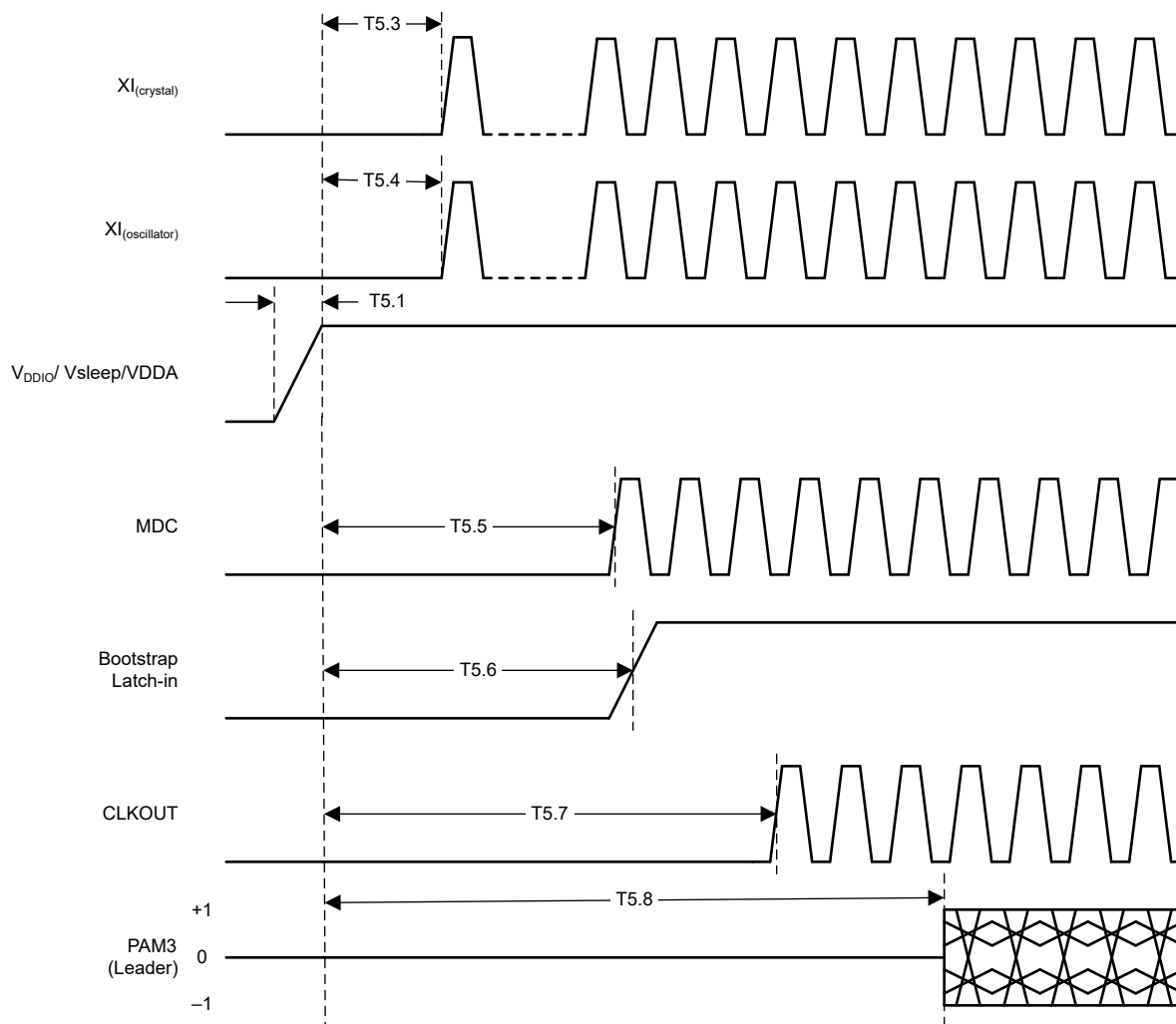


図 6-7. パワーアップのタイミング

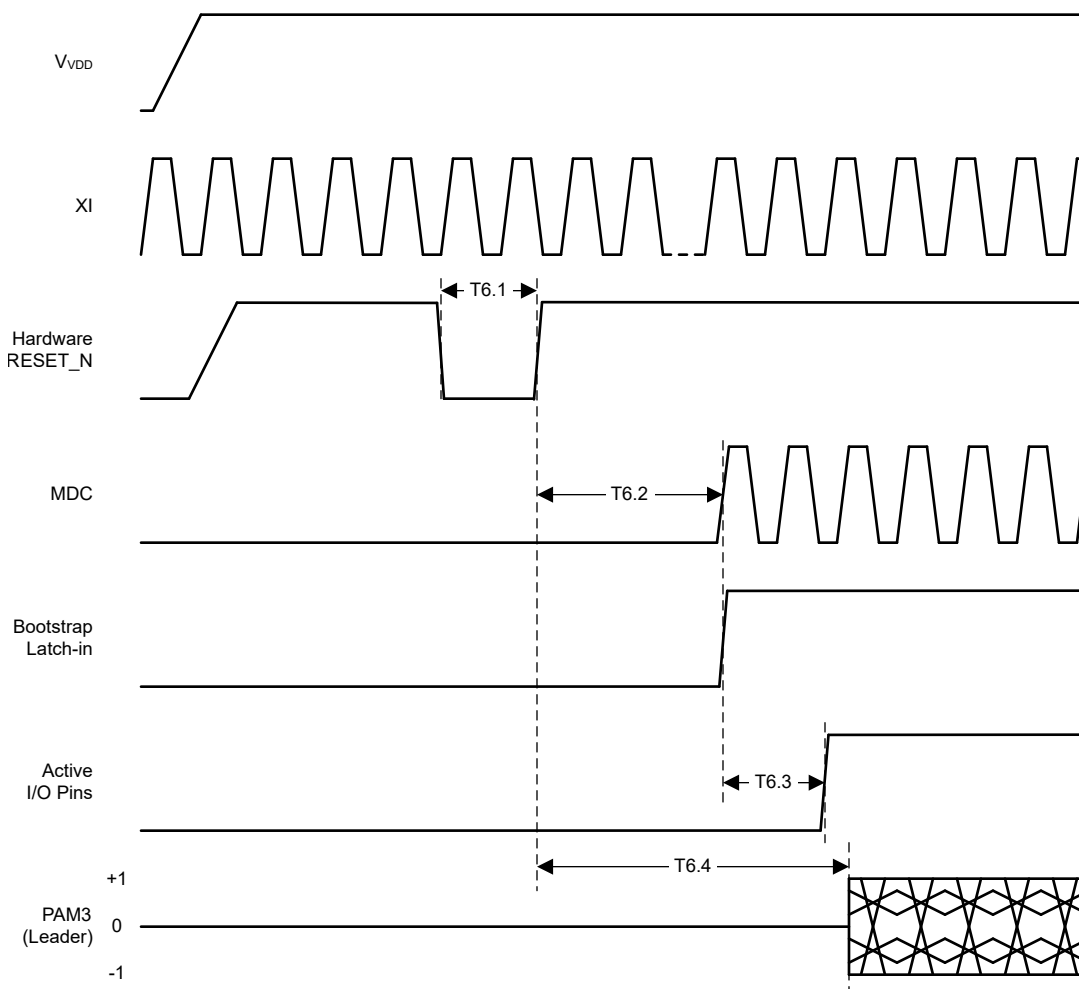


図 6-8. リセット タイミング

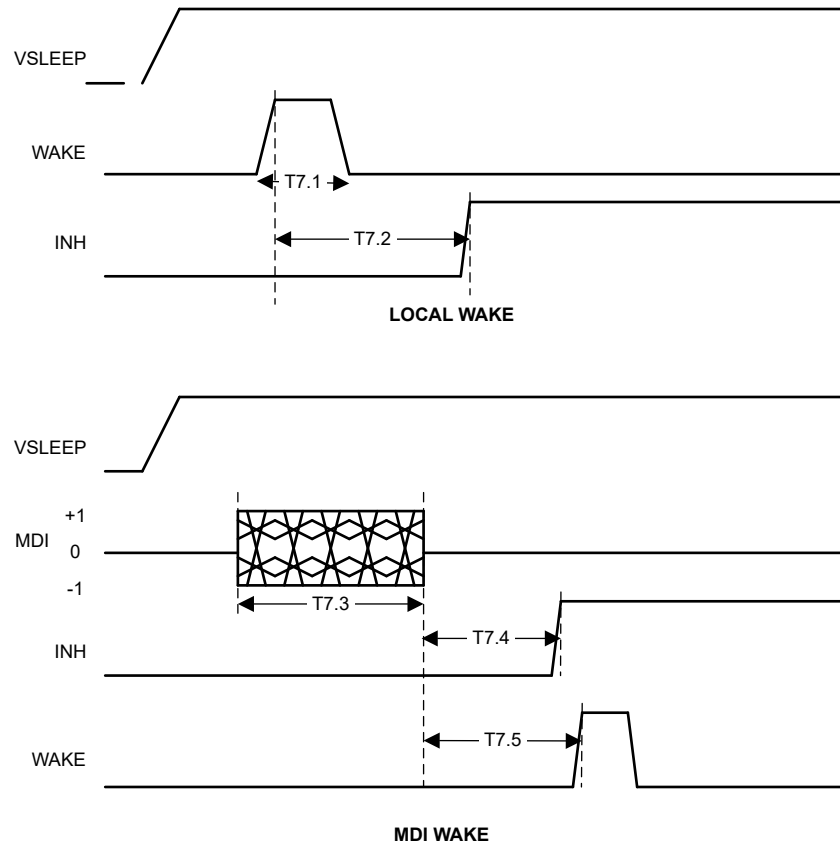


図 6-9. WAKE のタイミング

6.8 代表的特性

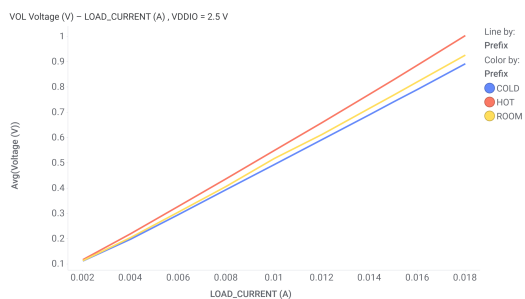


図 6-10. LED ピン VOL (2.5V)

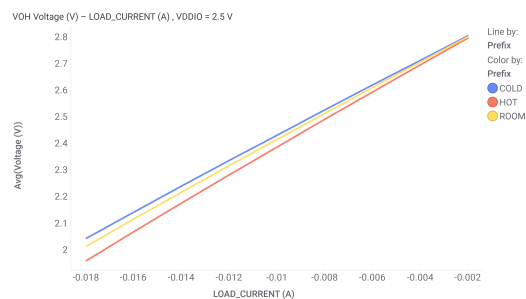


図 6-11. LED ピン VOH (2.5V)

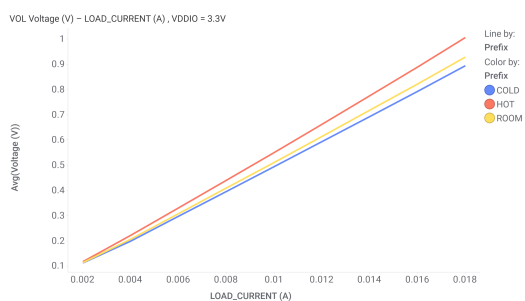


図 6-12. LED ピン VOL (3.3V)

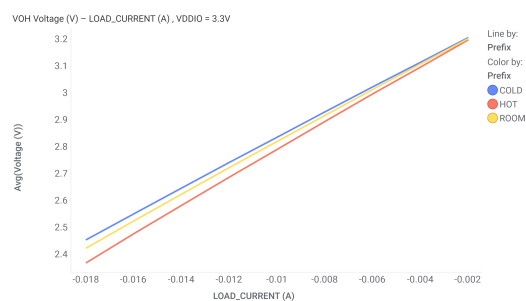


図 6-13. LED ピン VOH (3.3V)

7 詳細説明

7.1 概要

DP83TC812S-Q1 は 100BASE-T1 の車載用イーサネット物理層トランシーバです。本デバイスは IEEE 802.3bw に準拠しており 車載アプリケーション向けに AEC-Q100 認定済みです。DP83TC812S-Q1 は、BroadR-Reach PHY および 100BASE-T1 PHY の両方と相互運用可能です。

DP83TC812S-Q1 は Open Alliance TC-10 低消費電力モードもサポートして、さらに消費電力を削減できます。この PHY は、WAKE および INH ピンをサポートしているため、システムに TC-10 機能を実装できます。

このデバイスは、自動車用 EMC の厳しい制限を満たしながら、100Mbps の速度で動作するように特別に設計されています。DP83TC812S-Q1 は、シールドなしシングル ツイストペア ケーブルを介して 66.667MHz で PAM3 三元記号を送信します。このデバイスはアプリケーションの柔軟性が高く 36 ピン VQFN ウェットアブル フランク パッケージで MII、RMII、RGMII、SGMII をサポートしています。

DP83TC812S-Q1 には、システム内での使用に加え、デバッグ、準拠、システム プロトタイプリングの両方を目的とする広範な診断ツール キットがあります。DP83TC812S-Q1 は IEC61000-4-2 レベル 4 の静電放電制限を満たすことができ、ESD イベントをリアルタイムで検出するためのオンチップ ESD センサも搭載しています。

7.2 機能ブロック図

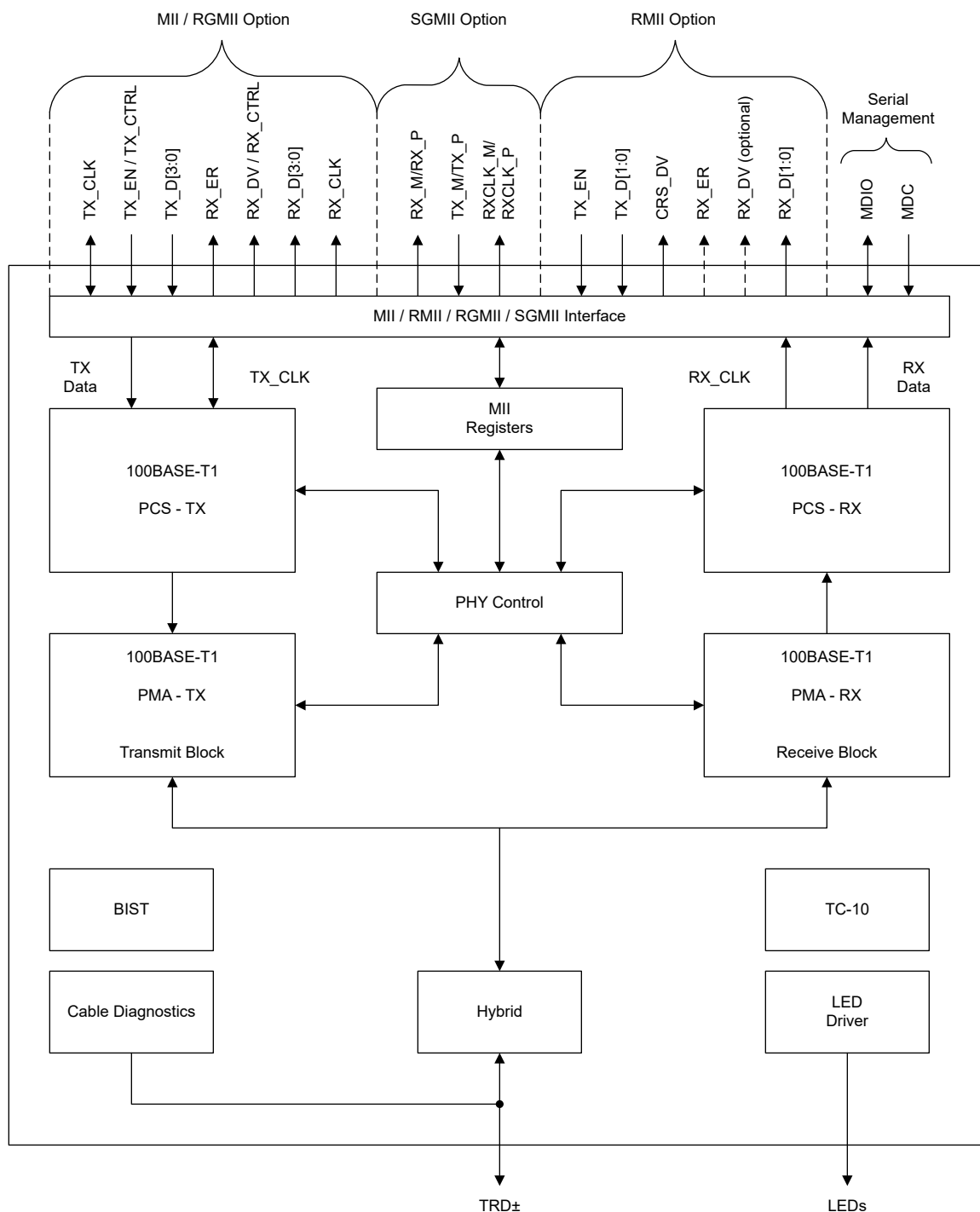


図 7-1. DP83TC812S-Q1

7.3 機能説明

注

準拠性テストに使用されるレジスタ設定の詳細については、『[DP83TC812, DP83TC813, DP83TC814: Open Alliance 仕様準拠のための構成](#)』アプリケーション ノートも参照してください。準拠性テスト時と同じ性能を得るには、これらのレジスタ設定を使用する必要があります。

7.3.1 診断ツール キット

DP83TC812 の診断ツール キットは、通常動作の監視、デバイス レベル デバッグ、システム レベル デバッグ、フォルト検出、準拠性テストのための機能を備えています。このツール キットには、PRBS データによる内蔵セルフ テスト、各種ループバック モード、信号品質インジケータ (SQI)、時間領域反射計測 (TDR)、温度モニタ、静電放電モニタ、IEEE 802.3bw テスト モードが含まれています。

7.3.1.1 信号品質インジケータ

DP83TC812-Q1 が動作している場合、信号品質インジケータを使用して、本デバイスによる SNR 測定値に基づいてリンクの品質を判定します。SQI は 8 レベルの表示として示されています。信号品質表示は、レジスタ 0x871 からアクセスできます。リアルタイムのリンク信号品質ステータスを得るため、PHY は SQI PHY を継続的に監視します。

レジスタ 0x871 のビット [3:1] には現在の SQI 値が格納され、ビット [7:5] には前回の読み取り以降で観測された最悪の SQI 値が格納されます。レジスタ 0x871[SQI] で報告される値は、3:1 アライアンスで必要とされる SQI レベルに直接マップされます。

最も正確な SQI レポートを得るには、TI の『[DP83TC812, DP83TC813, DP83TC814: Open Alliance 仕様準拠のための構成](#)』アプリケーション ノートで説明されている初期化ルーチンを仕様します。

表 7-1. 信号品質インジケータ

REG 0x871[3:1]	OPEN ALLIANCE SQI レベル	リンクの品質
0x0	0 (最悪)	弱い / リンクなし
0x1	1	
0x2	2	
0x3	3	
0x4	4	良好 / 優れたリンク
0x5	5	
0x6	6	
0x7	7 (最高)	

7.3.1.2 静電気放電 (ESD) 検出

静電気放電は電子回路にとって重要な問題であり、適切に緩和しない場合、短期的な問題 (シグナル インテグリティ、リンク ドロップ、パケット喪失) だけでなく、長期的な信頼性に関する不具合を引き起こす可能性があります。DP83TC812 は堅牢な ESD 保護回路を内蔵して、ESD 検出アーキテクチャを備えています。さらに分析とデバッグを実行するため、ESD イベントを MDI ピンで独立して検出できます。

さらに、DP83TC812 には割り込みステータス フラグがあり、ESD イベントがログに記録されるとレジスタ 0x12[11] が設定されます。この割り込みを、同じレジスタのビット [3] を使用して INT_N ピンに接続します。レジスタ 0x442[14:9] には、電源投入以降に発生した ESD イベントの回数が格納されます。ESDS レジスタは、保証されていないクリア動作を防止するために、ハードウェアおよびソフトウェアリセットを無視します。

7.3.1.3 時間領域反射計測

時間領域反射計測は、ケーブル上の開放および短絡故障の推定に加えて、ケーブル、コネクタ、終端の品質の判定に役立ちます。DP83TC812-Q1 は、接続されたツイストペアケーブルをテスト パルスを送信します。送信されたパルスはケーブルを伝わり、欠陥や故障などの不完全な箇所でも反射します。これにより、デバイスは反射が戻ってくるまでの時間と、す

すべての反射の強度 (振幅) を測定できます。この手法により、DP83TC812-Q1 を使用してケーブルの開放および短絡を識別できます。

レジスタ 0x1E の bit[15] を設定すると TDR が有効化されます。手順は以下の通りです。

- TI の『[DP83TC812, DP83TC813, DP83TC814: Open Alliance 仕様準拠のための構成](#)』アプリケーション ノートの初期化設定に従って、DP83TC812-Q1 を構成します
- PHY に接続されているリンク パートナーはサイレントである必要があります。TDR 実行中、リンクはダウンしています。
- TI の『[DP83TC812, DP83TC813, DP83TC814: Open Alliance 仕様準拠のための構成](#)』アプリケーション ノートの一覧にあるように、TDR の事前構成の設定を実行します。
- レジスタ 0x1E[15] を「1」に設定して、TDR を開始します。
- 100ms 待機、レジスタ 0x1E[1:0] を読み出します
 - レジスタが 0b10 を読み出すと、TDR は正常に実行されました。
- TDR が正常に実行された場合、レジスタ 0x310 を読み取って TDR 結果を取得します。
 - 0x310[7]:0 = ケーブル フォルトが検出されない、または 1 = ケーブル フォルトが検出されました
 - 0x310[6]:0 = ケーブル フォルトが短絡、または 1 = ケーブル フォルトがオープン
 - 有効なケーブル フォルトが検出された場合、0x310[5:0] に位置の値がメートル単位で格納されます。

7.3.1.4 電圧検出

DP83TC812 には、電源ピンで電圧を監視するためのセンサを提供します。低電圧監視は、DP83TC812 では、デフォルトで常にアクティブです。低電圧状態が検出された場合、レジスタ 0x0013 に割り込みステータス フラグがセットされます。これらの割り込みは、同じレジスタを使用して INT ピンに配線することもできます。

各センサを読み取るには、次の手順を実行します。

1. レジスタ 0x0467 = 0x6004 をプログラムします。モニタの初期構成を実行します
2. レジスタ 0x046A = 0x00A3 をプログラムします; モニタを有効化します
3. 必要なセンサを選択するため、レジスタ 0x0468 を対応する設定で構成します。
 - VDDA センサ: 0x0468 = 0x0920 使用
 - VSLEEP センサ: 0x0468 = 0x1920 使用
 - VDDMAC センサ: 0x0468 = 0x2920 使用
 - VDDIO センサ: 0x0468 = 0x3920 使用
4. レジスタ 0x047B[14:7] を読み取り、その出力コードを 10 進数に変換します。
5. 次の式にこの出力コードを代入して、センサの絶対値を求めます。対応するセンサの定数値については、表 7-2 表を参照してください。
 - $vdda_value = 3.3 + (vdda_output_code - vdda_output_mean_code) \times slope_vdda_sensor$
 - $vsleep_value = 3.3 + (vsleep_output_code - vsleep_output_mean_code) \times slope_vsleep_sensor$
 - $vddmac_value = 3.3 + (vddmac_output_code - vddmac_output_mean_code) \times slope_vddmac_sensor$
 - $vddio_value = 3.3 + (vddio_output_code - vddio_output_mean_code) \times slope_vddio_sensor$

表 7-2. センサの定数値

センサ	定数	値
VDDA	vdda_output_mean_code	126
	slope_vdda_sensor	0.0088
VSLEEP	vsleep_output_mean_code	134
	slope_vsleep_sensor	0.0088
VDDMAC	vddmac_output_mean_code	205
	slope_vddmac_sensor	0.016
VDDIO	vddio_output_mean_code	205
	slope_vddio_sensor	0.016

7.3.1.5 BIST およびループバック モード

DP83TC812 は、PHY レベルとシステム レベルのデータ パスをチェックするため、データ パスのビルトイン セルフ テスト (BIST) を内蔵しています。BIST は、MAC にも外部データ ジェネレータ ハードウェア/ソフトウェアにも頼らずに、システム レベルのデータ転送テスト (スループットなど) と診断を可能にする以下の内蔵機能を備えています。

評価を容易にするため、DP83TC812 には以下の機能が用意されています：

1. ループバック モード
2. データ ジェネレータ
 - a. カスタマイズ可能な MAC パケット ジェネレータ
 - b. 送信済みパケット カウンタ
 - c. PRBS ストリーム ジェネレータ
3. データ チェッカ
 - a. 受信済み MAC パケット エラー チェッカ
 - b. 受信パケットカウンタ: 受信済みパケットの総数とエラーが含まれる受信済みパケット数をカウントします
 - c. PRBS ロックおよび PRBS エラー チェッカ

7.3.1.5.1 データ ジェネレータおよびチェッカ

DP83TC812 は、ループバック モードと組み合わせてデータ パスを検証できる内蔵の疑似ランダム データ ジェネレータ およびチェッカをサポートしています。ユーザー定義の MAC パケットと PRBS ストリームのどちらかを生成するようにデータ ジェネレータをプログラムします。

生成される MAC パケットの以下のパラメータを構成できます (必要な構成については、レジスタ <0x061B>、レジスタ <0x061A>、レジスタ <0x0624> を参照)：

- パケットの長さ
- パケット間隔
- 定義済みの送信パケット数または連続送信
- パケットのデータ タイプ: インクリメンタル/固定/PRBS
- パケットあたりの有効バイト数

7.3.1.5.2 xMII ループバック

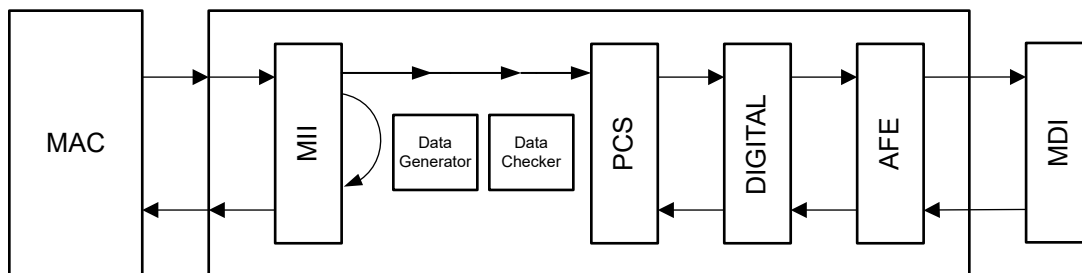


図 7-2. データ ジェネレータなしの xMII ループバック

xMII ループバックは、PHY を通る最も浅いループです。xMII ループバックは、MAC と PHY 間の通信を検証するために有用なテスト モードです。xMII ループバックでは、TX パス上の接続された MAC から送信されたデータが DP83TC812 内部でループバックされて RX ピンに戻され、MAC によってデバイスをチェックできます。xMII ループバックでは、リンク 表示は行われません。

ループバックをイネーブル

レジスタ 0x0000 = 0x6100 を書き込みます

MAC 側のデータ ジェネレータ/チェッカをイネーブル

データは MAC の TX ピン上で外部的に生成されます。

MAC インターフェイス モードに応じてチェッカを有効にするには、次のレジスタ設定を使用します。

- RGMII の場合、レジスタ 0x0619 = 0x1004 を書き込みます
- SGMII の場合、レジスタ 0x0619 = 0x1114 を書き込みます
- RMII の場合、レジスタ 0x0619 = 0x1224 を書き込みます
- MII の場合、レジスタ 0x0619 = 0x1334 を書き込みます

MAC 側からの受信データを確認

データは MAC インターフェイスの RX ピンで確認できます。

データは、レジスタ 0x063C、0x063D、0x063E を読み取ることで内部的にも確認できます。これらのレジスタは、同時に、この順序で読み取る必要があります。

ケーブル側のデータ ジェネレータ/チェッカをイネーブル

該当しません。データは MAC インターフェイスの TX ピン上で外部的に生成されるため、この項目は適用されません。

ケーブル側のデータを確認

該当しません。PRBS ストリーム チェッカは内部 PRBS ジェネレータでのみ動作します。

その他のシステム要件

生成されたデータはケーブル側に送られます。

7.3.1.5.3 PCS のループバック

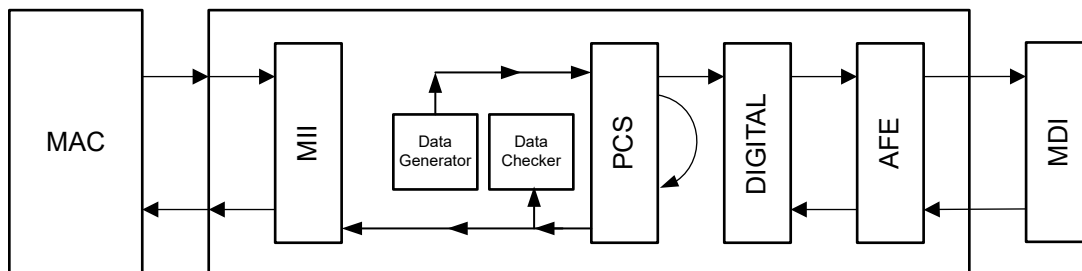


図 7-3. データ ジェネレータありの PCS ループバック

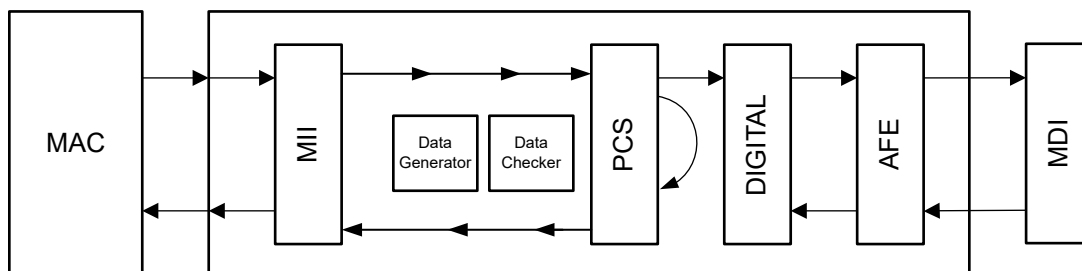


図 7-4. データ ジェネレータなしの PCS ループバック

PCS ループバックは、データが PCS から出て PMA に入る前に、データをループバックします。送信パスで MAC から受信したデータは、PHY 内のデジタル ブロックを通過し、その後受信パスを介して再び MAC へ戻されます。DP83TC812 受信 PMA 回路は、競合を防止するために絶縁を行うように構成されています。

ループバックをイネーブル

レジスタ 0x0016 = 0x0102 を書き込みます

MAC 側のデータ ジェネレータ/チェッカをイネーブル

レジスタ 0x0624 = 0x55BF を書き込みます

レジスタ 0x0619 = 0x1555 を書き込みます

MAC 側からの受信データを確認

レジスタ 0x063C、0x063D、0x063E を読み出してデータを内部的にチェックします。これらのレジスタは、同時に、この順序で読み取る必要があります。

ケーブル側のデータ ジェネレータ/チェッカをイネーブル

レジスタ 0x0624 = 0x55BF を書き込みます

レジスタ 0x0619 = 0x0557 を書き込みます

ケーブル側のデータを確認

1. レジスタ 0x0620[1] = 1'b1 を書き込み
2. レジスタ 0x620 を読み出す
 - a. ビット [7:0] = 受信したエラー バイト数
 - b. ビット [8] = 受信データに対する PRBS チェッカのロック状態 (1'b1 はロック状態を示します)

受信データ ストリームのエラー ステータスを継続的にチェックするには、手順 1 と 2 を繰り返します。

その他のシステム要件

内部 PRBS によって生成されたデータは、MDI および MAC インターフェイスを介して送信されます。

7.3.1.5.4 デジタル ループバック

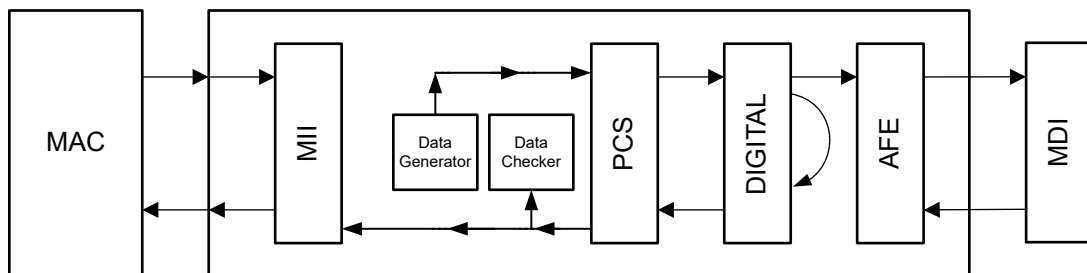


図 7-5. データ ジェネレータありのデジタル ループバック

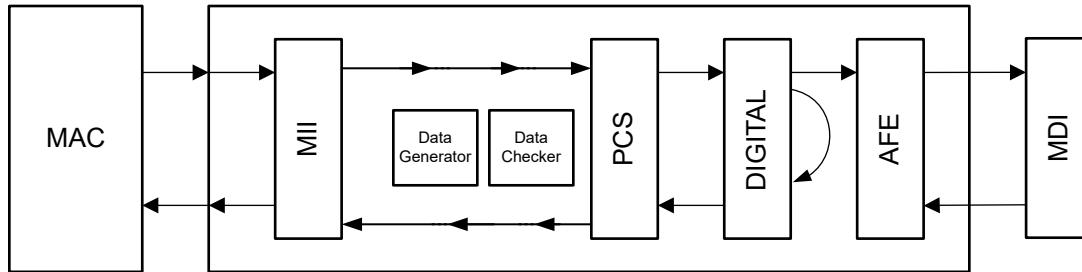


図 7-6. データ ジェネレータなしのデジタル ループバック

デジタル ループバックは、デジタル部を出て AFE に入る前の段階でデータをループバックします。送信パスで MAC から受信したデータは、PHY 内のデジタル ブロックを通過し、その後受信パスを介して再び MAC へ戻されます。DP83TC812 受信アナログ回路は、競合を防止するために絶縁を行うように構成されています。

ループバックをイネーブル

レジスタ 0x0016 = 0x0104 を書き込みます

MAC 側のデータ ジェネレータ/チェッカをイネーブル

レジスタ 0x0624 = 0x55BF を書き込みます

レジスタ 0x0619 = 0x1555 を書き込みます

MAC 側からの受信データを確認

データは、レジスタ 0x063C、0x063D、0x063E を読み取ることで内部的にも確認できます。これらのレジスタは、同時に、この順序で読み取る必要があります。

ケーブル側のデータ ジェネレータ/チェッカをイネーブル

レジスタ 0x0624 = 0x55BF を書き込みます

レジスタ 0x0619 = 0x0557 を書き込みます

ケーブル側のデータを確認

1. レジスタ 0x0620[1] = 1'b1 を書き込み
2. レジスタ 0x620 を読み出す
 - a. ビット [7:0] = 受信したエラー バイト数
 - b. ビット [8] = 受信データに対する PRBS チェッカのロック状態 (1'b1 はロック状態を示します)

受信データ ストリームのエラー ステータスを継続的にチェックするには、手順 1 と 2 を繰り返します。

その他のシステム要件

内部 PRBS によって生成されたデータは、MDI および MAC インターフェイスを介して送信されます。

7.3.1.5.5 アナログループバック

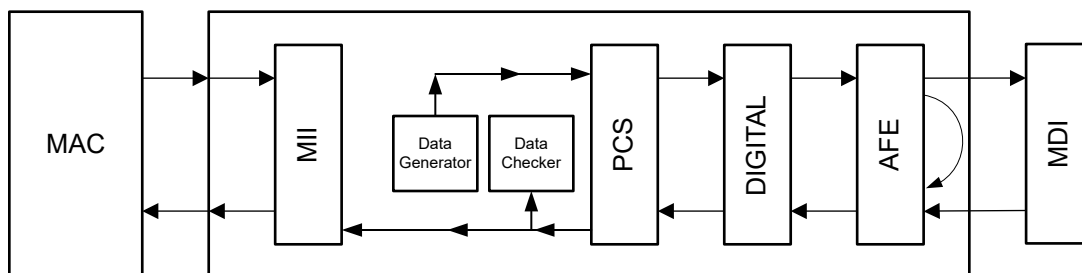


図 7-7. データ ジェネレータによるアナログ ループバック

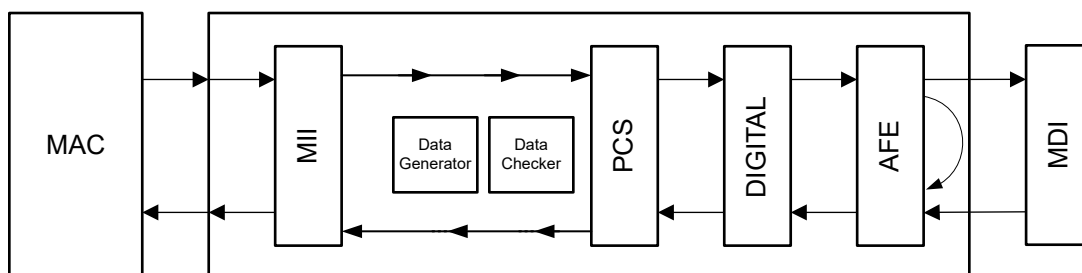


図 7-8. データ ジェネレータなしのアナログ ループバック

アナログ ループバックは、終端されていない MDI から反射された信号を利用し、ハイブリッド回路でそれらの信号をデコードしてデータを MAC に戻します。

ループバックをイネーブル

レジスタ 0x0016 = 0x0108 を書き込みます

MAC 側のデータ ジェネレータ/チェッカをイネーブル

レジスタ 0x0624 = 0x55BF を書き込みます

レジスタ 0x0619 = 0x1555 を書き込みます

MAC 側からの受信データを確認

データは、レジスタ 0x063C、0x063D、0x063E を読み取ることで内部的にも確認できます。これらのレジスタは、同時に、この順序で読み取る必要があります。

ケーブル側のデータ ジェネレータ/チェッカをイネーブル

レジスタ 0x0624 = 0x55BF を書き込みます

レジスタ 0x0619 = 0x0557 を書き込みます

ケーブル側のデータを確認

1. レジスタ 0x0620[1] = 1'b1 を書き込み
2. レジスタ 0x620 を読み出す
 - a. ビット [7:0] = 受信したエラー バイト数

- b. ビット [8] = 受信データに対する PRBS チェッカのロック状態 (1'b1 はロック状態を示します)

受信データ ストリームのエラー ステータスを継続的にチェックするには、手順 1 と 2 を繰り返します。

その他のシステム要件

内部 PRBS によって生成されたデータは、MDI および MAC インターフェイスを介して送信されます。

7.3.1.5.6 リバース ループバック

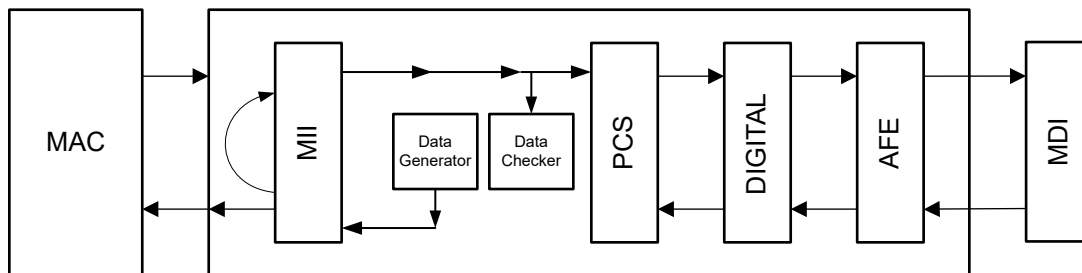


図 7-9. データ ジェネレータありのリバース ループバック

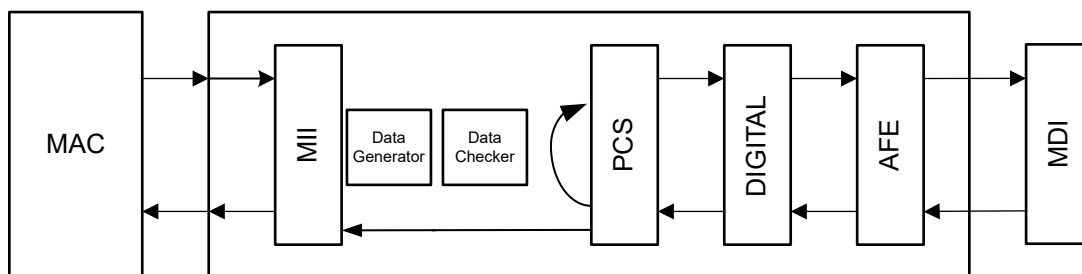


図 7-10. データ ジェネレータなしのリバース ループバック

リバース ループバックは、MDI でデータを受信し、受信ブロック全体を通過させた後、PCS レイヤー内で送信ブロックにループバックします。データは MDI 経由で接続されたリンク パートナーに送信されます。競合を回避するために、MAC 送信パスは分離されます。

ループバックをイネーブル

レジスタ 0x0016 = 0x0110 を書き込みます

MAC 側のデータ ジェネレータ/チェッカをイネーブル

レジスタ 0x0624 = 0x55BF を書き込みます

MAC インターフェイス モードに応じてチェッカを有効にするには、次のレジスタ設定を使用します。

- RGMII の場合、レジスタ 0x0619 = 0x1004 を書き込みます
- SGMII の場合、レジスタ 0x0619 = 0x1114 を書き込みます
- RMII の場合、レジスタ 0x0619 = 0x1224 を書き込みます
- MII の場合、レジスタ 0x0619 = 0x1334 を書き込みます

MAC 側からの受信データを確認

データは、レジスタ 0x063C、0x063D、0x063E を読み取ることで内部的にも確認できます。これらのレジスタは、同時に、この順序で読み取る必要があります。

ケーブル側のデータ ジェネレータ/チェッカをイネーブル

レジスタ 0x0624 = 0x55BF を書き込みます

レジスタ 0x0619 = 0x0557 を書き込みます

ケーブル側のデータを確認

1. レジスタ 0x0620[1] = 1'b1 を書き込み
2. レジスタ 0x620 を読み出す
 - a. ビット [7:0] = 受信したエラー バイト数
 - b. ビット [8] = 受信データに対する PRBS チェッカのロック状態 (1'b1 はロック状態を示します)

受信データ ストリームのエラー ステータスを継続的にチェックするには、手順 1 と 2 を繰り返します。

その他のシステム要件

内部 PRBS によって生成されたデータは、MDI および MAC インターフェイスを介して送信されます。

7.3.2 準拠性テスト モード

注

準拠性テストに使用されるレジスタ設定の詳細については、『[DP83TC812](#)、[DP83TC813](#)、[DP83TC814](#)：Open Alliance 仕様準拠のための構成』アプリケーション ノートも参照してください。準拠性テスト時と同じ性能を得るには、これらのレジスタ設定を使用する必要があります。

DP83TC812-Q1 は、IEEE 802.3bw、96.5.2 項で要求される 4 つの PMA 準拠テスト モードすべてをサポートしています。これらのコンプライアンス テスト・モードには以下の内容が含まれます：

- トランスミッタ波形電力スペクトル密度 (PSD) マスク
- 振幅
- 歪み
- 100BASE-T1 リーダー ジッタ
- 100BASE-T1 フォロワー ジッタ
- ドループ
- トランスミッタ周波数
- 周波数の許容誤差
- リターン ロス
- モード変換

3 つの GPIO のいずれかを使用して、100BASE-T1 フォロワー ジッタ測定のための TX_TCLK を出力します。100BASE-T1 フォロワー ジッタ測定のために TX_TCLK を CLKOUT ピンに配線するには、レジスタ 0x045F = 0x000D に書き込みます。デバイスをフォロワー モードで構成します。

7.3.2.1 テスト モード 1

テスト モード 1 は、トランスミッタのドループを評価します。テストモード 1 では、DP83TC812-Q1 は最小 600ns の間「+1」シンボルを送信し、その後「-1」シンボルが最低 600ns 送信されます。このパターンは、テスト モードが無効になるまで連続的に繰り返されます。

テスト モード 1 は、MMD1_PMA_TEST_MODE_CTRL レジスタ (0x1836) のビット [15:13] を 0b001 に設定することで有効になります。

7.3.2.2 テスト モード 2

テスト モード 2 は、トランスミッタの 100BASE-T1 リーダー モードにおけるジッタを評価します。テストモード 2 では、DP83TC812-Q1 は {+1, -1} データシンボルシーケンスを送信します。トランスミッタは、ローカル基準クロックから送信されたシンボルを同期します。

テスト モード 2 は、MMD1_PMA_TEST_MODE_CTRL レジスタ (0x1836) のビット [15:13] を 0b010 に設定することで有効になります。

7.3.2.3 テスト モード 4

テスト モード 4 は、トランスミッタの歪みを評価します。テストモード 4 では、DP83TC812-Q1 は、式 1 によって生成されたシンボルシーケンスを送信します。

$$g(x) = 1 + x^9 + x^{11} \quad (1)$$

ビット列 $x0_n$ および $x1_n$ は、スクランブラの組み合わせに基づき、式 2 および 式 3 に従って生成されます：

$$x0_n = \text{Scr}_n[0] \quad (2)$$

$$x1_n = \text{Scr}_n[1]^{\text{Scr}_n[4]} \quad (3)$$

表 7-3 は 3 ビット ニブルのストリーム例を示します。

表 7-3. トランスミッタのテスト モード 4 のシンボルの割り当て

$x1_n$	$x0_n$	PAM3 SYMBOL
0	0	0
0	1	+1
1	0	0
1	1	-1

テスト モード 4 は、MMD1_PMA_TEST_MODE_CTRL レジスタ (0x1836) のビット [15:13] を 0b100 に設定することで有効になります。

7.3.2.4 テスト モード 5

テスト モード 5 では、トランスミッタの PSD マスクを評価します。テストモード 5 では、DP83TC812-Q1 は、PAM3 シンボルの疑似ランダムシーケンスを送信します。

テスト モード 5 は、MMD1_PMA_TEST_MODE_CTRL レジスタ (0x1836) のビット [15:13] を 0b101 に設定することで有効になります。

7.4 デバイスの機能モード

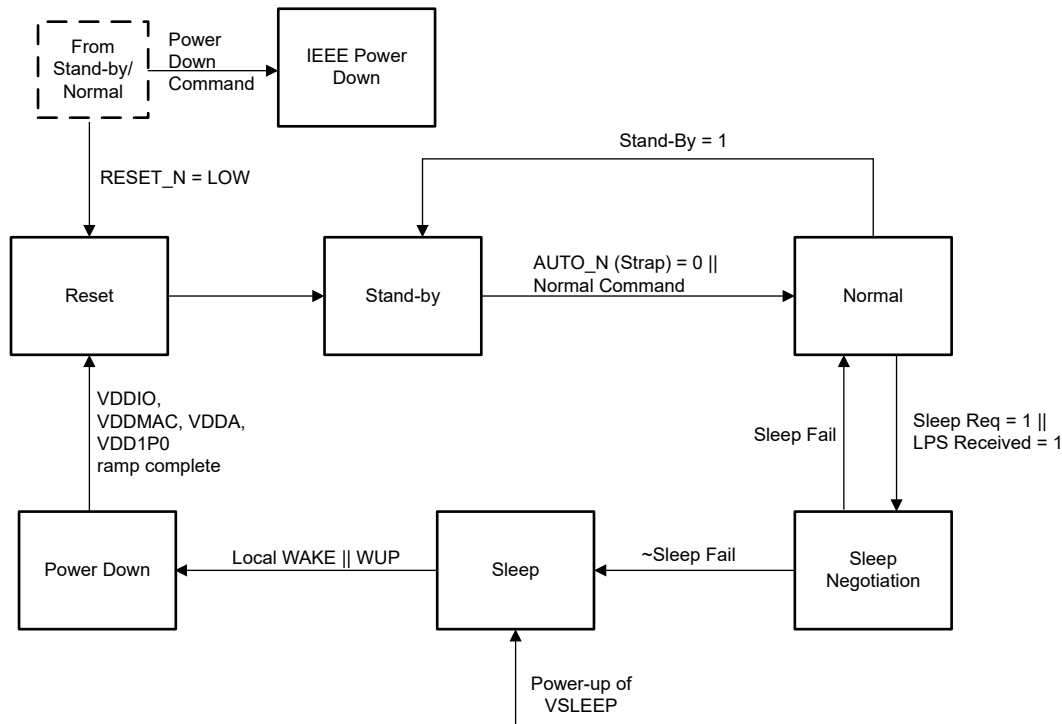


図 7-11. 電源状態図

7.4.1 パワーダウン

いずれかの電源レールが POR スレッショルド ($\approx 0.6V$) を下回ると、PHY はパワーダウン状態になります。すべてのデジタル IO は高インピーダンス状態に維持され、アナログ ブロックは無効化されます。パワーダウン時には、PMA 終端は存在しません。

7.4.2 リセット

リセットは、電源投入時、 $\overline{RESET}$ が LOW にプルされたとき (最小リセット パルス時間以上)、またはレジスタ 0x1F のビット [15] を設定してハードウェア リセットが開始された場合にアクティブになります。すべてのデジタル回路は、リセット時にレジスタ設定とともにクリアされます。リセットが完了すると、デバイスのブートストラップが再サンプリングされ、それに応じて関連するブートストラップ レジスタが設定されます。リセット中は PMA 終端が有効になっていません。

7.4.3 スタンバイ

このデバイス (100BASE-T1 リーダー モード時のみ) は、すべての電源 (VSLEEP を含む) が供給され、かつマネージド 動作用にブートストラップ設定されている場合、電源投入およびリセット後に自動的にスタンバイ モードに入ります。

スタンバイでは、PCS および PMA ブロックを除くすべての PHY 機能が動作します。PMA 終端も存在しません。スタンバイではリンクの確立は不可能であり、データは送信も受信もできません。SMI 機能は使用可能であり、レジスタ設定は維持されています。

デバイスがブートストラップ設定によって自動動作に構成されている場合、PHY は POR 完了後に自動的に通常動作モードへ移行します。

7.4.4 通常

自律動作または管理動作のいずれかから通常モードに移行します。自動動作モードでは、PHY は電源投入リセット (POR) 完了後、自動的に有効なリンク パートナーとのリンク確立を試みます。

管理動作では、本デバイスがスタンバイを終了するのに SMI アクセスが必要です (100BASE-T1 リーダー モードのみ)。SMI によって発行されたコマンドにより、本デバイスはスタンバイを終了し PCS ブロックと PMA ブロックの両方を有効化できます。通常モードでは、すべてのデバイス機能が利用できます。

自動動作は、レジスタ 0x18B[6] を「1」に設定することで、SMI アクセス経由で有効化します。このビットは、リンクアップ後に自動的にクリアされることに注意してください。

7.4.5 スリープ確認

PHY がリンク パートナーから低消費電力スリープ リクエストを受信すると、PHY はスリープ アクノリッジ モードに移行します。このモードでは、PHY は 8ms で、TC-10 スリープ モードを有効化する必要があるかどうかを MAC が判断できます。MAC が TC-10 を許可すると決定した場合、PHY は TC-10 ステート マシンの次のステップに進みます。ただし、MAC は TC-10 を中止することを決定し、PHY は通常モードに戻ります。TC10 を無効化するか GPIO を使用するとレジスタ設定を使用して TC10 を中止できます。TC10 機能を無効化して TC10 を中断した場合、スリープ リクエストが中断されたら TC10 機能を再度有効化します。

7.4.6 スリープ要求

通常モードからスリープ モードに切り替えると、スリープ リクエストに移行します。これは中間状態であり、スリープ モードへのスムーズな移行に使用されます。スリープ リクエスト モードでは、PHY は LPS コード グループを送信し、リンク パートナーにスリープがリクエストされたことを通知します。

PHY がスリープ リクエスト モードに移行すると、PHY sleep_rqst_timer (デフォルト = 16ms) が開始されます。リンク パートナーで LPS をデコードすると、LPS 受信割り込みがトリガーされます。スリープ リクエスト状態で、デバイスはリンク パートナーが LPS シンボルを送信するのを待機します。デバイスが LPS シンボルを受信すると、デバイスは SLEEP_SILENT 状態に遷移します。デバイスが LPS コードを受信する前に sleep_rqst_timer が経過すると、デバイスはスリープ フェイル状態に移行します。

7.4.7 スリープ失敗

sleep_request 状態または sleep_silent 状態で Sleep_rqst_timer が満了すると、PHY はスリープ フェイル モードに移行します。これは、リンク パートナーがスリープ モードに移行していないことを示します。スリープ フェイル モードに移行した後、PHY は通常モードに遷移します。

7.4.8 スリープ

スリープ イネーブルが設定されている場合、sleep_silent 状態で MDI ラインがサイレントになった後、PHY はスリープ モードに遷移します。ただし、スリープ イネーブルが設定されていない場合、MDI ラインがサイレントになった後、デバイスはスタンバイに遷移します。デフォルトでは、スリープ イネーブルが設定されています。一度スリープ モードに入ると、MDI 上のエネルギー検出を除くすべての PHY ブロックが無効化されます。スリープ モードでは、すべてのレジスタ設定は失われます。スリープ モードでは、リンクは確立できず、データは送信も受信もできず、SMI アクセスは利用できません。

注

PHY がスリープ モードの場合、MAC インターフェイスはイーサネット MAC によって駆動してはなりません。

7.4.9 ウェークアップ

ユーザーは、MDI でのエネルギー検出を通して、または WAKE ピンを使用して、DP83TC812S-Q1 をリモートでウェークアップできます。ローカル ウェイクを実行するには、WAKE ピンを HIGH にする必要があります。WAKE ピンが LOW に接続されている場合、MDI でエネルギーが検出される場合のみ PHY はスリープを終了します。

7.4.10 TC10 システム例

以下のブロック図では、システムにおける TC10 スリープおよびウェーク機能の動作について説明しています。

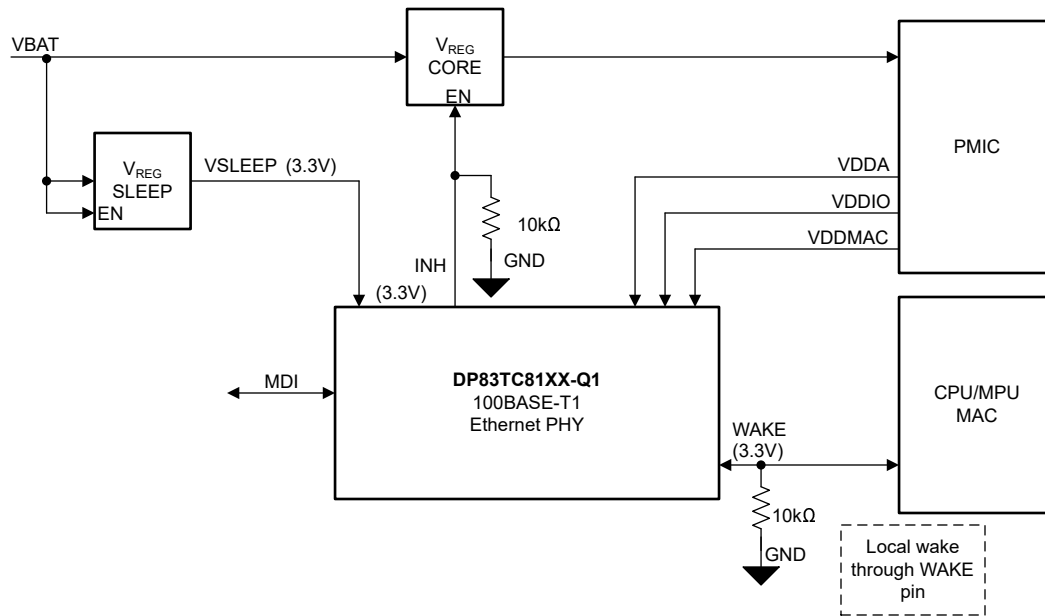


図 7-12. TC10 システム例 — リモート ウェイク

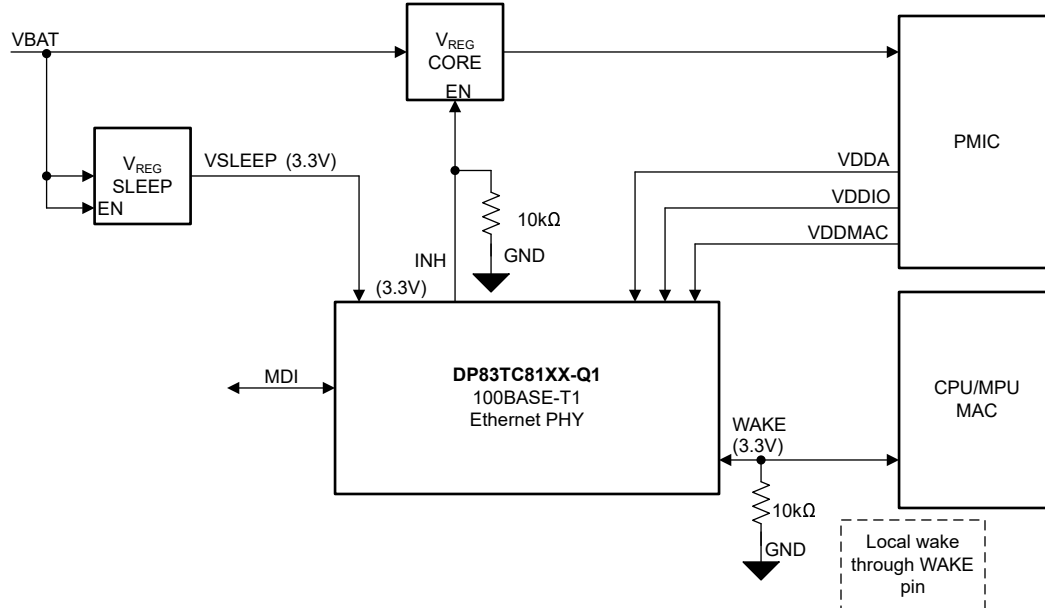


図 7-13. TC10 システム例 — ローカル ウェーク

リモート ウェイクアップ

リモート ウェイクアップの場合、システムの初期状態は TC10 スリープです。PHY および MAC へのコア電圧はオフになりますが、PHY の VSLEEP が存在します。一部の時点で、ウェイクアップ パルス (WUP) が MDI ラインで受信されます。PHY はこのメッセージを受信し、シーケンスが有効な場合、PHY はウェイクアップして INH ピンを HIGH に駆動します。INH ピンは、電圧レギュレータ (つまり、LDO) へのイネーブル入力として使用します。電圧レギュレータはオンになり、パワー マネージメント デバイスに電力を供給します。次に、パワー マネージメント デバイスは、PHY、MAC、およびシステム上のその他のデバイスに電力を供給します。システム全体の電源が投入され、動作可能になります。

ウェーク転送

DP83TC812-Q1

ウェークアップ転送機能をサポートします。デバイスが MDI でウェークアップ リクエスト (WUR) またはウェークアップパルス (MDI) を受信すると、PHY は WAKE ピンに 40µs high パルスを送信します。これを使用して、TC-10 スリープ状態にあるシステム上の他の PHY をウェークアップできます。

ローカル ウェークアップ

ローカルウェークの場合、システムの一部はすでにアクティブであるとみなされ、PHY は TC10 スリープ状態にあります。たとえば、システムには、PHY の WAKE ピンを制御するためにアクティブ モードのマイコンを搭載できます。マイコンが TC10 スリープから PHY をウェークアップする場合、マイコンは WAKE ピンを 3.3V に上げてウェーク パルス (最小 40µs) を送信します。PHY はウェークアップし、INH ピンを HIGH に駆動します。INH ピンは、電圧レギュレータ (つまり、LDO) へのイネーブル入力として使用します。電圧レギュレータはオンになり、パワー マネージメントデバイスに電力を供給します。その後、パワー マネージメント デバイスは PHY に電力を供給します。PHY のウェークアップに依存するシステム上の他のデバイスに電力を供給できるようになり、システムが動作するようになります。

ローカル スリープ

PHY が通常動作モードにあり、MAC が PHY を TC10 スリープにする必要がある場合、MAC は PHY 上の SMI を使用して TC10 スリープ プロセスを開始します。その後、DP83TC812-Q1 は MDI の LPS 信号をリンク パートナーに送信します。リンク パートナーも TC10 スリープに移行することに同意すると、ホスト PHY は TC10 スリープに移行します。その後、リンク パートナーは INH ピンを解放し、リンク パートナーは外部のプルダウン抵抗を介して Low にプルダウンされます。イネーブル入力として INH ピンを使用する電圧レギュレータがオフになります。PHY、MAC、および電圧レギュレータに依存するその他のデバイスはオフになります。PHY にはまだ VSLEEP 電圧が印加されており、TC10 スリープを維持し続けます。

7.4.11 MDI (Media Dependent Interface)

7.4.11.1 100BASE-T1 リーダーおよび 100BASE-T1 フォロワ構成

100BASE-T1 リーダーおよび 100BASE-T1 フォロワは、ハードウェア ブートストラップまたはレジスタ アクセスのいずれかによって設定されます。

LED_0 は、100BASE-T1 リーダーおよび 100BASE-T1 フォロワーのブートストラップ構成を制御します。LED_0 ピンに内部プルダウン抵抗があるため、デフォルトでは 100BASE-T1 フォロワー モードに設定されています。ハードウェア ブートストラップによって 100BASE-T1 リーダー モードを構成する場合は、外部プルアップ抵抗が必要です。

また、MMD1_PMA_CTRL_2 レジスタ (アドレス 0x1834) のビット [14] は、100BASE-T1 リーダーと 100BASE-T1 フォロワーの構成を制御します。このビットを設定すると、100BASE-T1 リーダー モードが有効になります。

7.4.11.2 自動極性検出および訂正

リンクトレーニング処理中、DP83TC812-Q1 100BASE-T1 フォロワー デバイスは極性反転を検出し、自動的に誤りを補正できます。極性反転が検出されると、100BASE-T1 フォロワーは自らの送信信号を反転させ、誤りを補正して 100BASE-T1 リーダーとの互換性を確保します。極性の検出と補正はすべて 100BASE-T1 フォロワ側で処理されるため、100BASE-T1 リーダー側では常に極性が正しい状態として認識されます。

訂正が不要な場合は、自動極性訂正を無効にしてください。自動極性訂正を無効化するには、レジスタ 0x0553 を使用します。

7.4.11.3 ジャバール検出

ジャバール機能は、rcv_max_timer 以内にエンド オブ ストリーム デリミタ (ESD1、ESD2) が検出 (受信) されない場合に PCS 受信ステート マシンが DATA 状態に閉じ込められないようにします。最大受信 DATA 状態タイマが満了すると、PCS 受信ステート マシンはリセットされ、IDLE 状態に移移します。IEEE 802.3bw は、ジャバール タイムアウトを 1.08ms ±54µs に設定することを規定しています。デフォルトでは、DP83TC812 のジャバールのタイムアウトは 1.1ms に設定されています。このタイマは、レジスタ 0x496[10:0] で設定可能です。

7.4.11.4 インターリーブ検出

インターリーブ機能により、DP83TC812-Q1 は接続されたリンク パートナーからのシリアル ストリームを検出し、デインターリーブすることができます。三元記号のインターリーブ シーケンスには、次の 2 つのものが 있습니다: (TA_n, TB_n) または (TB_n, TA_n)。

7.4.12 MAC インターフェイス

7.4.12.1 メディア独立インターフェイス

メディア独立インターフェイス (MII) は、PHY を MAC に接続する同期 4 ビット幅ニブル データ インターフェイスです。MII は IEEE 802.3-2015 条項 22 に完全準拠しています。PHY が MII モードで動作している場合、TX_CLK 出力を含む MII 出力ピンには、PHY 内部に直列終端抵抗が組み込まれています。このモードでは、MII-TX ピンをフローティングまたはハイインピーダンスのままにしないことを推奨します。

表 7-4 に、MII 信号の概要を示します。

表 7-4. MII の信号

FUNCTION	ピン
データ信号	TX_D[3:0]
	RX_D[3:0]
制御信号	TX_EN, TX_ER
	RX_DV, RX_ER
クロック信号	TX_CLK
	RX_CLK

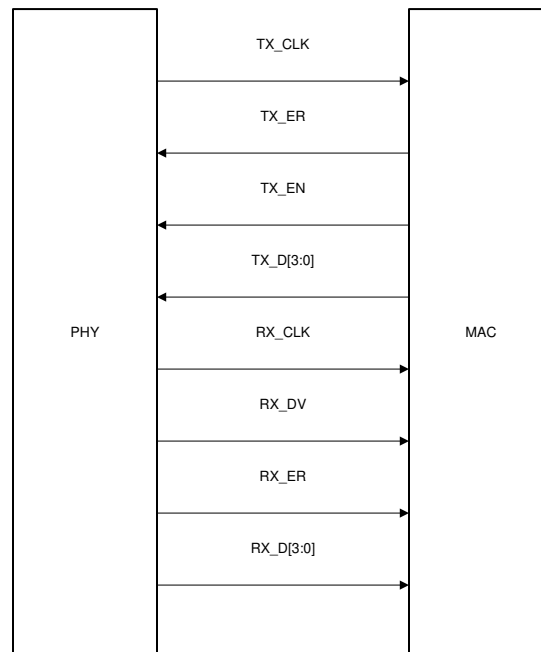


図 7-14. MII シグナリング

表 7-5. MII の送信エンコード

TX_EN	TX_ER	TX_D[3:0]	説明
0	0	0000 ~ 1111	通常のフレーム間
0	1	0000 ~ 1111	予約済み
1	0	0000 ~ 1111	通常のデータの送信

表 7-5. MII の送信エンコード (続き)

TX_EN	TX_ER	TX_D[3:0]	説明
1	1	0000～1111	送信エラーの伝搬

表 7-6. MII の受信エンコード

RX_DV	RX_ER	RX_D[3:0]	説明
0	0	0000～1111	通常のフレーム間
0	1	0000	通常のフレーム間
0	1	0001～1101	予約済み
0	1	1110	誤キャリアの表示
0	1	1111	予約済み
1	0	0000～1111	通常のデータの受信
1	1	0000～1111	エラーを含むデータの受信

7.4.12.2 簡易メディア独立インターフェイス

DP83TC812-Q1 は RMII コンソーシアムの RMII リビジョン 1.2 および 1.0 で定義された簡易メディア独立インターフェイス (RMII) を実装しています。このインターフェイスの目的は、条項 22 で規定されている IEEE 802.3u の MII の代替として、ピン数を削減することです。アーキテクチャとしては、RMII 仕様は MII の両側に追加の整合レイヤを提供しますが、MII がない場合に実装できます。

DP83TC812-Q1 には、次の 2 種類の RMII 動作があります: RMII フォロワ と RMII リーダー。RMII フォロワ モードでは、DP83TC812-Q1 は 50MHz CMOS レベル発振器で動作し、MAC から供給されるか、MAC 基準クロックと同期します。RMII リーダー動作では、DP83TC812-Q1 は XI ピンに接続された 25MHz CMOS レベル発振器、または XI ピンと XO ピン間に接続された 25MHz 水晶振動子のいずれかで動作します。RMII リーダー モードにブートストラップすると、RX_D3 で 50MHz 出力クロックが自動的に有効化されます。この 50MHz 出力クロックは、MAC に配線します。

RMII 仕様には、次の特性があります。

- MAC と PHY の間で共有される単一のクロック基準
- 独立した 2 ビット幅の送受信データ パスを提供

このモードでは、送信パスと受信パスの両方に 50MHz リファレンス クロックを使用して、クロック サイクルごとに 2 ビットのデータ転送が行われます。

表 7-7 に、RMII 信号のまとめを示します。

表 7-7. RMII の信号

FUNCTION	ピン
データ信号	TX_D[1:0]
	RX_D[1:0]
制御信号	TX_EN
	CRS_DV

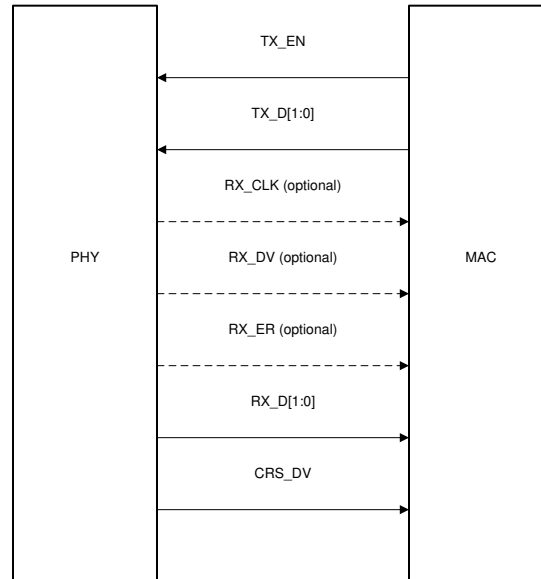


図 7-15. RMII シグナリング

表 7-8. RMII の送信エンコード

TX_EN	TX_D[1:0]	説明
0	00～11	通常のフレーム間
1	00～11	通常のデータの送信

表 7-9. RMII の受信エンコード

CRS_DV	RX_ER	RX_D[1:0]	説明
0	0	00～11	通常のフレーム間
0	1	00	通常のフレーム間
0	1	01～11	予約済み
1	0	00～11	通常のデータの受信
1	1	00～11	エラーを含むデータの受信

RMII フォロワー: TX_D[1:0] のデータは、XI ピンのリファレンス クロック立ち上がりエッジを基準として PHY 内でラッチされます。データは、XI ピンでの同じ立ち上がりクロック エッジを基準として、RX_D[1:0] に示されます。

RMII リーダー: TX_D[1:0] のデータは、RX_D3 ピンのリファレンスクロックの立ち上がりエッジを基準として PHY 内でラッチされます。RX_D[1:0] のデータは、RX_D3 ピンにおける同じ立ち上がりクロック エッジを基準に出力されます。

DP83TC812-Q1 RMII は RX_DV 信号を供給するため、CRS_DV 通知から RX_DV を分離する必要なく、受信データを回復するより簡単な方法を提供します。RMII 仕様で RX_ER を必要としない場合も、RX_ER はサポートされます。

RMII には、リファレンス クロックと回復クロックの周波数差を補正するためのプログラマブル FIFO が組み込まれています。プログラマブル FIFO はレジスタ 0x0011[9:8] および 0x0648[9:7] にあり、想定される最大パケット サイズとクロック精度に基づいて内部伝搬遅延を最小化します。

表 7-10. XI クロック PPM = ±100ppm

Reg 0x0011 <9:8>	Reg 0x0648 <9:7>	PHY レイテンシの増加	エラーなしの最大パケット長
01	010	デフォルト	2250
10	100	80ns	7250

7.4.12.3 RGMII (Reduced Gigabit Media Independent Interface)

DP83TC812-Q1 は、LVCMOS による RGMII バージョン 2.0 で規定された簡略型ギガビット メディア非依存インターフェイス (RGMII) にも対応しています。RGMII は、MAC と PHY の接続に必要なピン数が少なくなるように設計されています。この目標を達成するため、制御信号が多重化されています。送信パスと受信パスの制御信号ピンをサンプリングするためにクロックの立ち上がりエッジと立ち下がりエッジの両方が使用されます。データはクロックの立ち上がりエッジでのみサンプリングされます。100Mbps 動作の場合、RX_CLK と TX_CLK は 25MHz で動作します。

表 7-11 に、RGMII 信号のまとめを示します。

表 7-11. RGMII 信号

FUNCTION	ピン
データ信号	TX_D[3:0]
	RX_D[3:0]
制御信号	TX_CTRL
	RX_CTRL
クロック信号	TX_CLK
	RX_CLK

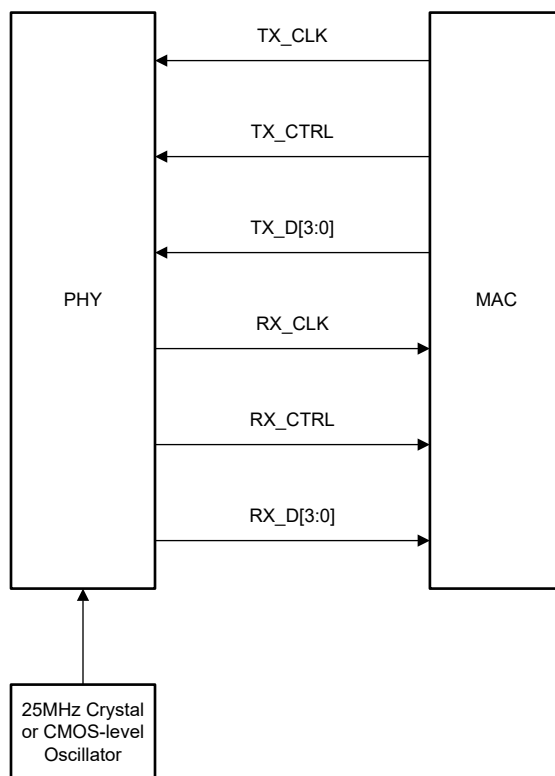


図 7-16. RGMII の接続

表 7-12. RGMII の送信エンコード

TX_CTRL (立ち上がりエッジ)	TX_CTRL (立ち下がりエッジ)	TX_D[3:0]	説明
0	0	0000 ~ 1111	通常のフレーム間
0	1	0000 ~ 1111	予約済み
1	0	0000 ~ 1111	送信エラーの伝搬

表 7-12. RGMII の送信エンコード (続き)

TX_CTRL (立ち上がりエッジ)	TX_CTRL (立ち下がりエッジ)	TX_D[3:0]	説明
1	1	0000～1111	通常のデータの送信

表 7-13. RGMII の受信エンコード

RX_CTRL (立ち上がりエッジ)	RX_CTRL (立ち下がりエッジ)	RX_D[3:0]	説明
0	0	0000～1111	通常のフレーム間
0	1	0000～1101	予約済み
0	1	1110	誤キャリアの表示
0	1	1111	予約済み
1	0	0000～1111	エラーを含むデータの受信
1	1	0000～1111	通常のデータの受信

パケット受信時、内部のフリーラン クロックから復元クロック (データ同期クロック) への切り替えを行うために、RX_CLK は正パルスまたは負パルスのいずれかでストレッチされる場合があります。ダブル データレート (DDR) は 1Gbps 動作でのみ必要であり、DP83TC812-Q1 ではサポートされていないため、データはクロックの立ち下がりエッジで複製できます。

DP83TC812-Q1 は、リンク状態の検出を簡素化するために、インバンド ステータス表示機能をサポートしています。表 7-14 に、RX_D[3:0] ピンのインターフレーム信号を示します。

表 7-14. RGMII インバンド ステータス

RX_CTRL	RX_D3	RX_D[2:1]	RX_D0
00 注: インバンド ステータスは、RX_CTRL が Low のときのみ有効です。	二重モードのステータス: 0 = 半二重 1 = 全二重	RX_CLK クロック速度: 00 = 2.5MHz 01 = 25MHz 10 = 125MHz 11 = 予約済み	リンク ステータス: 0 = リンクが確立されていない 1 = 有効なリンクが確立されている

7.4.12.4 SGMII (Serial Gigabit Media Independent Interface)

シリアル ギガビット メディア独立インターフェイス (SGMII) は、MII (14 ピン)、RMII (7 ピン)、RGMII (12 ピン) に比べて大幅に少ない 4 本の信号ピンで MAC と PHY 間のデータ転送を可能にします。SGMII は、放射を低減し、信号品質を向上させるため、LVDS (低電圧差動信号) を使用しています。

DP83TC812 SGMII は 4 線式で動作できます。SGMII は、ハードウェア ブートストラップによって構成できます。4 線式動作では、データの送受信に 2 つの差動ペアを使います。クロック / データリカバリは、MAC と PHY で実行されます。

DP83TC812 は 100Mbps で動作するため、SGMII の 1.25Gbps のレートが過剰です。SGMII 仕様では、1 フレーム内で各バイトを 10 回複製することで、100Mbps の動作が可能になっています。フレームの伸長は IEEE 802.3 PCS 層の上で行われ、フレームの開始区切り文字が複数回表示されないようにします。

DP83TC812 は 100Mbps 速度のみをサポートするため、「レジスタ 0x608」の bit[0] = 0b0 を設定することで、SGMII 自動ネゴシエーションを無効化できます。

表 7-15 に、SGMII 信号のまとめを示します。

表 7-15. SGMII 信号

FUNCTION	ピン
データ信号	TX_M, TX_P
	RX_M, RX_P

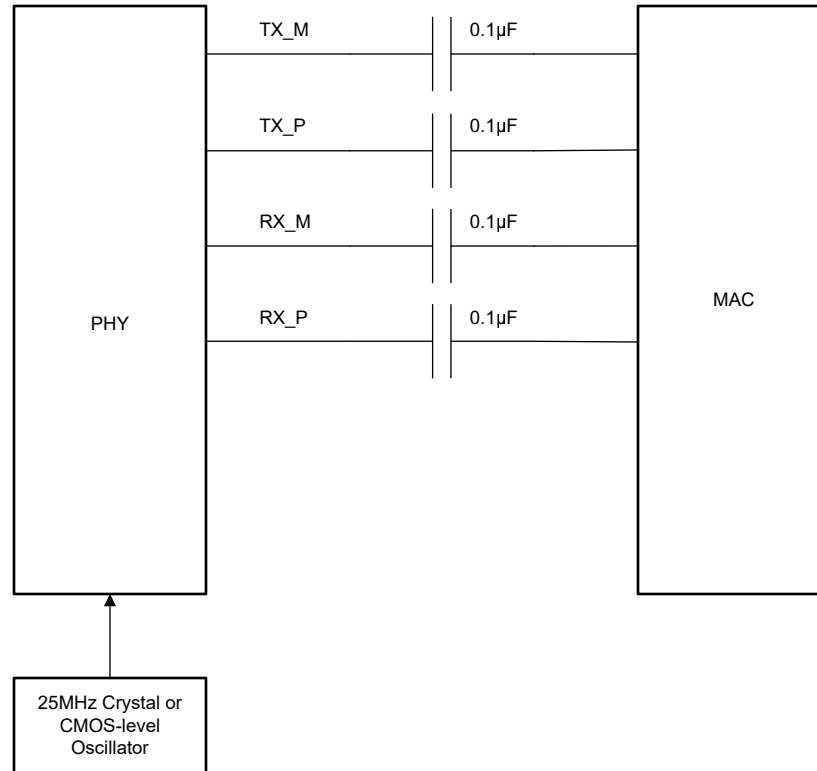


図 7-17. SGMII の接続

7.4.13 シリアル マネージメント インターフェイス

シリアル マネージメント インターフェイス (SMI) は、ステータス情報および設定のための DP83TC812S-Q1 内部レジスタ空間へのアクセスを提供します。SMI フレームおよびベース レジスタは、IEEE 802.3 22 項に準拠しています。実装されているレジスタ セットは、IEEE 802.3 に必要なレジスタと、DP83TC812S-Q1 の可視性と制御性を高めるためのその他のレジスタで構成されています。さらに、DP83TC812S-Q1 には、IEEE 802.3bw で定義されている 45 項に追加された制御およびステータスレジスタが含まれています。45 項のレジスタ フィールドへのアクセスは、22 項のアクセスを使用し行われます。

SMI には、管理クロック (MDC) と、管理入力および出力データ ピン (MDIO) が含まれます。MDC は、ステーション (STA) と呼ばれる外部管理エンティティから供給され、最大 24MHz のクロック レートで実行できます。MDC は連続的である必要はなく、バスがアイドル状態の場合、外部管理エンティティにより MDC をオフにできます。

外部管理エンティティと PHY から MDIO ソースが供給されます。MDIO ピンのデータは、MDC の立ち上がりエッジでラッチされます。MDIO ピンには VDDIO に接続するプルアップ抵抗 (2.2KΩ) が必要であり、それによってアイドル時およびターンアラウンド時に MDIO が High にプルされます。

最大 9 つの DP83TC812S-Q1 PHY が共通の SMI バスを共有できます。PHY を区別するため、4 ビット アドレスを使います。電源投入時のリセット中、DP83TC812S-Q1 は、PHYAD[3:0] 構成ピンをラッチしてアドレスを決定します。

管理エンティティは、電源投入時のリセットの後の最初のサイクルで SMI トランザクションを開始してはなりません。有効な動作を維持するため、ハード リセットがデアサートされた後、少なくとも 1 MDC サイクルの間、SMI バスは非アクティブのままである必要があります。通常の MDIO トランザクションでは、管理フレームのレジスタ アドレス フィールドからレジスタ アドレスが直接取り込まれるため、32 の 16 ビット レジスタ (IEEE 802.3 で定義されたレジスタとベンダ固有のレジスタを含む) に直接アクセスできます。データ フィールドは、読み出しと書き込みの両方に使用されます。スタート コードは <01> パターンで示されます。このパターンにより、MDIO ラインはデフォルトのアイドル ライン状態から必ず遷移します。ターンアラウンドは、レジスタ アドレス フィールドとデータ フィールドの間に挿入されたアイドル ビット期間として定義されます。読み出しトランザクション中の競合を避けるため、ターンアラウンドの先頭ビットの間、デバイスは MDIO 信号をアク

タイプに駆動できません。アドレス指定された DP83TC812S-Q1 は、2 番目のビットのターンアラウンドの間 MDIO を 0 で駆動し、その後に必要なデータを送信します。

書き込みトランザクションの場合、ステーション管理エンティティはアドレス指定された DP83TC812S-Q1 にデータを書き込みます。そのため、MDIO ターンアラウンドは不要です。ターンアラウンド期間には、管理エンティティによって <10> が挿入されます。

表 7-16. SMI プロトコルの構成

SMI プロトコル	<アイドル> <スタート> <オペコード> <デバイス アドレス> <レジスタ アドレス> <ターンアラウンド> <データ> <アイドル>
読み出し動作	<アイドル><01><10><AAAA><RRRR><Z0><XXXX XXXX XXXX XXXX><アイドル>
書き込み動作	<アイドル><01><01><AAAA><RRRR><10><XXXX XXXX XXXX XXXX><アイドル>

7.4.13.1 ダイレクト レジスタ アクセス

ダイレクト レジスタ アクセスは先頭の 31 のレジスタ (0x0~0x1F) に対して使えます。

7.4.13.2 拡張レジスタ スペース アクセス

DP83TC812S-Q1 の SMI 機能は、レジスタ REGCR (0x0D) および ADDAR (0x0E) と、45 項の拡張レジスタ セットにアクセスするための 22 項に関する IEEE 802.3ah ドラフトで定義された MDIO 管理可能デバイス (MMD) 間接方式を使用した、拡張レジスタ セットへの読み出しまたは書き込みアクセスをサポートしています。

注

0x001F を超えるアドレスのレジスタは、間接アクセスを必要とします。間接アクセスの場合、レジスタ書き込みのシーケンスに従う必要があります。MMD 値は、レジスタ セットのデバイス アドレス (DEVAD) を定義します。間接アクセスのためには、DEVAD をレジスタ 0x000D (REGCR) ビット[4:0] に設定する必要があります

DP83TC812S-Q1 は 3 つの MMD デバイスアドレスをサポートしています:

1. MMD1F (ベンダ固有のレジスタ): DEVAD [4:0] = '11111'
2. MMD1 (IEEE 802.3az 定義レジスタ): DEVAD [4:0] = '00001'
3. MMD3 (IEEE 802.3az 定義レジスタ): DEVAD [4:0] = '00011'

表 7-17. MMD レジスタ空間の区分

MMD レジスタ空間	レジスタ アドレス範囲
MMD1F	0x0000~0x0FFF
MMD1	0x1000~0x1FFF
MMD3	0x3000~0x3FFF

以下のセクションでは、レジスタ REGCR および ADDAR を使って拡張レジスタ セットを操作する方法について説明します。これらの説明は、MMD1F レジスタ アクセス (DEVAD[4:0] = 11111) のデバイス アドレスを使用します。

7.4.13.3 書き込み動作 (ポスト インクリメントなし)

拡張レジスタ セット内のレジスタを書き込むには、次の手順に従います。

手順	例: レジスタ 0x0170 = 0C50 に設定する
1. レジスタ REGCR (0x0D) に値 0x001F (アドレス機能フィールド= 00、DEVAD = 31) を書き込む。	値 0x001F にレジスタ 0x0D を書き込む
2. レジスタ ADDAR (0x0E) に目的のレジスタ アドレスを書き込む。	値 0x0170 にレジスタ 0x0E を書き込む
3. レジスタ REGCR に値 0x401F (データ、ポスト インクリメントなし機能フィールド = 01、DEVAD = 31) を書き込む。	値 0x401F にレジスタ 0x0D を書き込む

手順	例:レジスタ 0x0170 = 0C50 に設定する
4.レジスタ ADDAR に目的の拡張レジスタ セットレジスタの内容を書き込む。	値 0x0C50 にレジスタ 0x0E を書き込む

それ以降、レジスタ ADDAR (ステップ 4) に書き込むと、そのアドレス レジスタの値によって選択されたレジスタが引き続き書き換えられます。

注

アドレス レジスタが前もって設定されている場合、ステップ (1) および (2) を飛ばすことができます。

7.4.13.4 読み出し動作 (ポスト インクリメントなし)

拡張レジスタ セットのレジスタを読み出すには、次の手順に従います。

手順	例:0x0170 を読み出します
1.レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。	値 0x001F にレジスタ 0x0D を書き込む
2.レジスタ ADDAR に目的のレジスタ アドレスを書き込む。	値 0x0170 にレジスタ 0x0E を書き込む
3.レジスタ REGCR に値 0x401F (データ、ポスト インクリメントなし機能フィールド = 01、DEVAD = 31) を書き込む。	値 0x401F にレジスタ 0x0D を書き込む
4.レジスタ ADDAR に目的の拡張レジスタ セットレジスタの内容を読み出します。	レジスタ 0x0E を読み出す

それ以降、レジスタ ADDAR (ステップ 4) から読み出すと、アドレス レジスタの値によって選択されたレジスタが引き続き読み出されます。

注

アドレス レジスタが前もって設定されている場合、ステップ (1) および (2) を飛ばすことができます。

7.4.13.5 書き込み動作 (ポスト インクリメントあり)

拡張レジスタ セットのレジスタを書き込み、書き込み動作後にアドレス レジスタをすぐ上の値に自動的にインクリメントするには、次の手順に従います。

手順	例:レジスタ 0x0170 = 0C50 かつレジスタ 0x0171 = 0x0011 を設定する
1.レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。	値 0x001F にレジスタ 0x0D を書き込む
2.レジスタ ADDAR からレジスタ アドレスを書き込む。	値 0x0170 にレジスタ 0x0E を書き込む
3.値 0x801F (データ、読み取りおよび書き込み機能フィールドのポスト インクリメント = 10、DEVAD = 31) または値 0xC01F (データ、書き込み機能フィールドのポスト インクリメント = 11、DEVAD = 31) をレジスタ REGCR に書き込む。	値 0x801F にレジスタ 0x0D を書き込む
4.レジスタ ADDAR に目的の拡張レジスタ セットレジスタの内容を書き込む。	値 0x0C50 にレジスタ 0x0E を書き込む
5.それ以降、レジスタ ADDAR (ステップ 4) に書き込むと、アドレス レジスタの値によって選択されたすぐ上のアドレスのデータ レジスタが引き続き書き込まれます (アドレス レジスタは各アクセスの後にインクリメントされます)。	値 0x0011 にレジスタ 0x0E を書き込む

ステップ 4 ではレジスタ 0x0170 を 0x0C50 に書き込み、ポスト インクリメントが有効になっているため、ステップ 5 ではレジスタ 0x0171 を 0x0011 に書き込みます。

7.4.13.6 読み出し動作 (ポスト インクリメントあり)

拡張レジスタ セットのレジスタを読み出し、読み取り動作後にアドレス レジスタをすぐ上の値に自動的にインクリメントするには、次の手順に従います。

手順	例: 読み取りレジスタ 0x0170 および 0x0171
1. レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。	値 0x001F にレジスタ 0x0D を書き込む
2. レジスタ ADDAR に目的のレジスタ アドレスを書き込む。	値 0x0170 にレジスタ 0x0E を書き込む
3. 値 0x801F (データ、読み取りおよび書き込み時の増分後機能フィールド = 10、DEVAD = 31) をレジスタ REGCR に書き込む。	値 0x801F にレジスタ 0x0D を書き込む
4. レジスタ ADDAR に目的の拡張レジスタ セットレジスタの内容を読み出す。	レジスタ 0x0E を読み出す
5. それ以降、レジスタ ADDAR (ステップ 4) を読み出すと、アドレス レジスタの値によって選択されたすぐ上のアドレスのデータレジスタが引き続き読み出されます (アドレス レジスタは各アクセスの後にインクリメントされます)。	レジスタ 0x0E を読み出す

ステップ 4 ではレジスタ 0x0170 を読み出し、ポスト インクリメントが有効になっているため、ステップ 5 ではレジスタ 0x0171 を読み出します。

7.5 プログラミング

7.5.1 ストラップ構成

DP83TC812S-Q1 は、デバイスを特定の動作モードに配置するために、機能ピンをストラップ オプションとして使用します。これらのピンの値は、電源投入およびハードウェア リセット時に (**RESET** ピンまたはレジスタ アクセスのどちらかによって) サンプルングされます。一部のストラップ ピンは 3 段階のレベルを、また一部のストラップ ピンは 2 段階のレベルをサポートしており、その詳細は以下で説明します。PHY アドレス ストラップである **RX_DV/RX_CTRL** および **RX_ER** は 3 段階ストラップであり、その他のストラップはすべて 2 段階ストラップです。デバイスの設定は、ストラップ設定またはシリアル管理インターフェイスを介して行うことができます。

注

ストラップ ピンは、リセットが解除された後は機能ピンであるため、VDDIO、VDDMAC、または GND に直接接続してはなりません。適切に動作させるには、プルアップ抵抗、プルダウン抵抗のいずれか、または両方が必要です。

注

VDDMAC と VDDIO を個別に使用する場合は、ストラップ抵抗を適切な電圧レールに接続します。各ピンの電圧ドメインを、表 7-20 に示します。

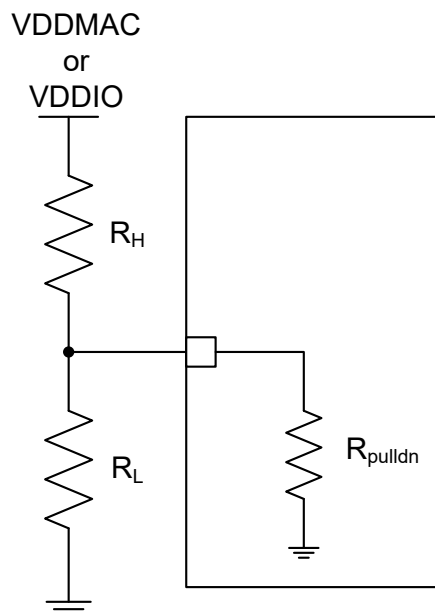


図 7-18. ストラップ回路

R_{pullDn} の値は、データシートの「電気的特性」表に記載されています。

表 7-18. PHY アドレスの推奨 3 レベルストラップ抵抗比

MODE3	理想的な R_H (k Ω) (VDDIO = 3.3V) ⁽¹⁾	理想的な R_H (k Ω) (VDDIO = 2.5V) ⁽²⁾	理想的な R_H (k Ω) (VDDIO = 1.8V) ⁽¹⁾
1	オープン	オープン	オープン
2	13	12	4
3	4.5	2	0.8

(1) 許容誤差 10% のストラップ抵抗。

(2) 許容誤差 1% のストラップ抵抗。

表 7-19. 2 レベル ストラップの推奨抵抗

モード	理想的な R_H (k Ω) ⁽¹⁾
1	オープン
2	2.49

(1) 許容誤差が最大 10% のストラップ抵抗を使用できます。

次の表に、PHY 構成ブートストラップを示します：

表 7-20. ブートストラップ

ピン名	ピン番号	ドメイン	デフォルトモード	ストラップ機能			説明
RX_DV/ RX_CTRL	15	VDDMAC	1	モード	PHY_AD[0]	PHY_AD[2]	PHY_AD:PHY アドレス ID
				1	0	0	
				2	0	1	
				3	1	1	
RX_ER	14	VDDMAC	1	モード	PHY_AD[1]	PHY_AD[3]	PHY_AD:PHY アドレス ID
				1	0	0	
				2	0	1	
				3	1	1	

表 7-20. ブートストラップ (続き)

ピン名	ピン番号	ドメイン	デフォルトモード	ストラップ機能			説明
CLKOUT	16	VDDMAC	1	モード	AUTO		AUTO: 自動動作無効化。 これは LED_1 の重複ストラップです。 CLKOUT ピンが LED_1 ピンとして構成されている場合、AUTO ストラップ機能は CLKOUT ピンにも移行します。
				1	0		
				2	1		
RX_D0	26	VDDMAC	1	モード	MAC[0]		MAC: MAC インターフェイスの選択
				1	0		
				2	1		
RX_D1	25	VDDMAC	1	モード	MAC[1]		MAC: MAC インターフェイスの選択
				1	0		
				2	1		
RX_D2	24	VDDMAC	1	モード	MAC[2]		MAC: MAC インターフェイスの選択
				1	0		
				2	1		
RX_D3	23	VDDMAC	1	モード	CLKOUT_PIN		CLKOUT_PIN: このストラップによって、出力クロックにどのピンを使用するかが決定されます。
				1	0		
				2	1		
LED_0	35	VDDIO	1	モード	MS		MS: 100BASE-T1 リーダー/100BASE-T1 フォロワー選択
				1	0		
				2	1		
LED_1	6	VDDIO	1	モード	AUTO		AUTO: 自動動作無効化 AUTO 機能を制御するデフォルトのストラップピンです。このピンが CLKOUT として構成されている場合、AUTO 機能はピン 16 に移行します。
				1	0		
				2	1		

注

DP83TC812、DP83TC813、DP83TC814: 準拠性テストに使用されるレジスタ設定の詳細については、[Open Alliance 仕様準拠のための構成アプリケーション ノート](#)を参照してください。準拠性テスト時と同じ性能を得るには、これらのレジスタ設定を使用する必要があります。前述のアプリケーション ノートのソフトウェア構成の実行中にリンク アップ プロセスが開始されるのを防ぐため、マネージド モード ストラップ オプションを推奨します。ソフトウェア構成が完了したら、ビット 0x018B[6] を 1 に設定して、PHY を管理モードから削除します。このビットは、リンクアップ後に自動的にクリアされます

RX_D3 ストラップ ピンには、CLKOUT (ピン 16) および LED_1 (ピン 6) の出力ステータスを制御する特別な機能があります。以下の [表 7-21](#) 表は、RX_D3 ストラップの状態によってピン 16 およびピン 6 がどのように影響を受けるかを示しています。RX_D3 オプションはピンの機能のみを変更し、電圧ドメインは変更しないことに注意してください。ピン 16 は常に VDDMAC ドメインにあり、ピン 6 は常に VDDIO ドメインにあります。VDDIO と VDDMAC が別々の電圧レベルの場合、ピン 16 とピン 6 がそれぞれの電圧ドメインにストラップされるようにする必要があります。

クロック出力デジタイゼーションアプリケーションでは、VDDMAC と VDDIO の電圧が異なる場合、クロック出力はピン 6 にルーティングする必要があります。DP83TC812 の内部発振器は VDDIO ドメインで動作するため、VDDIO ドメインのピン、つまりピン 6 にもクロック出力を使用する必要があります。VDDMAC と VDDIO が同じクロック出力デジタイゼーションアプリケーションでは、この要件は無視してください。クロック出力を使用しないアプリケーションでは、この要件は無視してください。

表 7-21. クロック出力ピンの選択

CLKOUT_PIN	説明
0	ピン 16 はクロック出力、ピン 6 は LED_1 ピンです。ピン 6 のストラップにより <u>AUTO</u> 制御されます。
1	ピン 6 はクロック出力、ピン 16 は LED_1 ピンです。ピン 16 のストラップにより <u>AUTO</u> 制御されます。

表 7-22. 100BASE-T1 リーダー / 100BASE-T1 フォロワー選択ブートストラップ

MS	説明
0	100BASE-T1 フォロワーの構成
1	100BASE-T1 リーダー構成

表 7-23. 自動動作モードのブートストラップ

AUTO	説明
0	自動動作モード、起動後に PHY がリンクを確立可能
1	管理モード。レジスタ書き込みに基づいて、電源投入後に PHY がリンクを確立できる必要があります

表 7-24. MAC インターフェイス選択ブートストラップ

MAC[2]	MAC[1]	MAC[0]	説明
0	0	0	SGMII (4 線式) ⁽¹⁾
0	0	1	MII
0	1	0	RMII 電圧フォロワ
0	1	1	RMII リーダー
1	0	0	RGMII (整列モード)
1	0	1	RGMII (TX 内部遅延モード)
1	1	0	RGMII (TX および RX 内部遅延モード)
1	1	1	RGMII (RX 内部遅延モード)

(1) SGMII ストラップモードは、「S」タイプのデバイスバリエーションでのみ利用可能です。「R」タイプのデバイスバリエーションでは、このストラップモードは予約されています

表 7-25. PHY アドレスのブートストラップ

PHY_AD[3:0]	RX_CTRL ストラップモード	RX_ER ストラップモード	説明 セクション 7.5.1
0000	1	1	PHY アドレス: 0b00000 (0x0)
0001	-	-	該当なし
0010	-	-	該当なし
0011	-	-	該当なし
0100	2	1	PHY アドレス: 0b00100 (0x4)
0101	3	1	PHY アドレス: 0b00101 (0x5)
0110	-	-	該当なし
0111	-	-	該当なし
1000	1	2	PHY アドレス: 0b01000 (0x8)
1001	-	-	該当なし
1010	1	3	PHY アドレス: 0b01010 (0xA)
1011	-	-	該当なし
1100	2	2	PHY アドレス: 0b01100 (0xC)
1101	3	2	PHY アドレス: 0b01101 (0xD)
1110	2	3	PHY アドレス: 0b01110 (0xE)

表 7-25. PHY アドレスのブートストラップ (続き)

PHY_AD[3:0]	RX_CTRL ストラップ モード	RX_ER ストラップモード	説明 セクション 7.5.1
1111	3	3	PHY アドレス: 0b01111 (0xF)

7.5.2 LED の構成

DP83TC812S-Q1 は、最大 3 つの構成可能な発光ダイオード (LED) ピン: LED_0、LED_1、LED_2 (CLKOUT)。各種動作モードのために複数の機能を LED に多重化できます。LED の動作は、レジスタ 0x0450 を使用して選択します。デフォルトでは、DP83TC813 のピン 14 は CLKOUT 信号を出力します。代わりにピン 14 に LED1 信号を書き込むには、次のレジスタを書き込みます:

レジスタ 0x045F = 0x000F を書き込みます

レジスタ 0x0452 = 0x0000 を書き込みます

レジスタ 0x0451 = 0x0009 を書き込みます

LED 出力ピンはストラップピンとしても使用されるため、ストラップに必要な外付け部品と、競合を避けるための LED の使い方とを考慮する必要があります。特に、LED 出力を使って LED を直接駆動する場合、各出力ドライバのアクティブ状態は、電源投入時またはハードウェアリセット時に、対応する入力によってサンプリングされたロジックレベルで決まります。

[図 7-19](#) に、LED を DP83TC812S-Q1 に直接接続する 2 つの適切な方法を示します

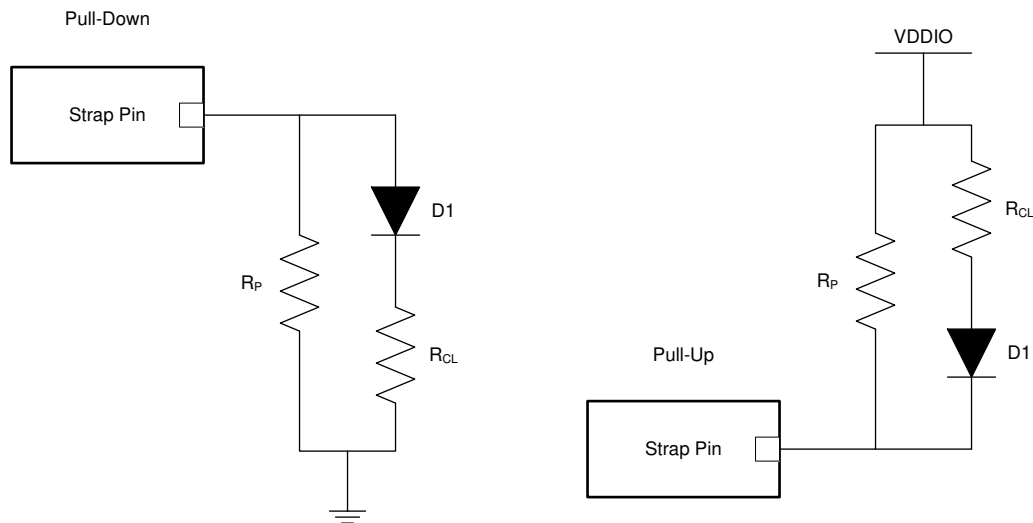


図 7-19. ストラップ接続の例

7.5.3 PHY アドレスの設定

DP83TC812S-Q1 は、9 つの可能な PHY アドレスのいずれかにブートストラップピンを介して応答するように設定できます。PHY アドレスは、電源投入時またはハードウェアリセット時に本デバイスにラッチされます。システム内のシリアル マネージメントバス上の各 PHY は一意の PHY アドレスを持っている必要があります。

デフォルトでは DP83TC812S-Q1 は PHY アドレス 0 (<0b000000>) にラッチします。[セクション 7.5.3](#) に記載のブートストラップピンにプルアップ抵抗を追加して、このアドレスを変更します。

8 レジスタ マップ

8.1 レジスタ アクセスの概要

フィールド内のレジスタにアクセスする方法は 2 つあります。直接アクセス方式は、最初の 31 のレジスタ (0x0 ~ 0x1F) に対してのみ許可されます。0x1F を超えるレジスタは、[セクション 7.4.13.2](#) で説明されている間接方式 (拡張レジスタ空間) を使用してアクセスする必要があります。

表 8-1. MMD レジスタ空間の区分

MMD レジスタ空間	レジスタ アドレス範囲
MMD1F	0x0000~0x0FFF
MMD1	0x1000~0x1FFF
MMD3	0x3000~0x3FFF

注

MMD1 と MMD3 では、レジスタ アドレスの最上位ニブルは、それぞれの MMD 空間を示すために使用されます。実際のレジスタ アクセス動作中は、このニブルは無視する必要があります。たとえば、レジスタ 0x1836 にアクセスするには、MMD インジケータとして 0x1 を用い、レジスタ アドレスは 0x0836 を使用します。

表 8-2. レジスタ アクセスの概要

レジスタ フィールド	レジスタ アクセス方式
0x0~0x1F	直接アクセス
	間接アクセス、MMD1F = '11111' 例:MMD1F フィールドのレジスタ 0x17 をポスト インクリメントなしで読み出すには、 ステップ 1) レジスタ 0xD に 0x1F を書き込む ステップ 2) レジスタ 0xE に 0x17 を書き込む ステップ 3) レジスタ 0xD に 0x401F を書き込む ステップ 4) レジスタ 0xE を読み出す
MMD1F フィールド 0x20~0xFFFF	間接アクセス、MMD1F = '11111' 例:MMD1F フィールドのレジスタ 0x462 をポスト インクリメントなしで読み出すには、 ステップ 1) レジスタ 0xD に 0x1F を書き込む ステップ 2) レジスタ 0xE に 0x462 を書き込む ステップ 3) レジスタ 0xD に 0x401F を書き込む ステップ 4) レジスタ 0xE を読み出す
MMD1 フィールド 0x0~0xFFFF	間接アクセス、MMD1 = '00001' 例:MMD1 フィールド (レジスタ 0x1007) のレジスタ 0x7 をポスト インクリメントなしで読み出すには、 ステップ 1) レジスタ 0xD に 0x1 を書き込む ステップ 2) レジスタ 0xE に 0x7 を書き込む ステップ 3) レジスタ 0xD に 0x4001 を書き込む ステップ 4) レジスタ 0xE を読み出す

8.2 DP83TC812 のレジスタ

DP83TC812 レジスタのメモリマップされたレジスタを、表 8-3 に示します。表 8-3 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-3. DP83TC812 のレジスタ

オフセット	略称	レジスタ名	セクション
0h	BMCR		セクション 8.2.1
1h	BMSR		セクション 8.2.2
2h	PHYIDR1		セクション 8.2.3
3h	PHYIDR2		セクション 8.2.4
10h	PHYSTS		セクション 8.2.5
11h	PHYSCR		セクション 8.2.6
12h	MISR1		セクション 8.2.7
13h	MISR2		セクション 8.2.8
15h	RECR		セクション 8.2.9
16h	BISCR		セクション 8.2.10
18h	MISR3		セクション 8.2.11
19h	REG_19		セクション 8.2.12
1Bh	TC10 アポートレジスタ		セクション 8.2.13
1Eh	CDCR		セクション 8.2.14
1Fh	PHYRCR		セクション 8.2.15
133h	Register_133		セクション 8.2.16
17Fh	Register_17F		セクション 8.2.17
180h	Register_180		セクション 8.2.18
181h	Register_181		セクション 8.2.19
182h	Register_182		セクション 8.2.20
183h	LPS_CFG4		セクション 8.2.21
184h	LPS_CFG		セクション 8.2.22
185h	LPS_CFG5		セクション 8.2.23
187h	LPS_CFG7		セクション 8.2.24
188h	LPS_CFG8		セクション 8.2.25
189h	LPS_CFG9		セクション 8.2.26
18Ah	LPS_CFG10		セクション 8.2.27
18Bh	LPS_CFG2		セクション 8.2.28
18Ch	LPS_CFG3		セクション 8.2.29
18Eh	LPS_STATUS		セクション 8.2.30
300h	TDR_TX_CFG		セクション 8.2.31
301h	TAP_PROCESS_CFG		セクション 8.2.32
302h	TDR_CFG1		セクション 8.2.33
303h	TDR_CFG2		セクション 8.2.34
304h	TDR_CFG3		セクション 8.2.35
305h	TDR_CFG4		セクション 8.2.36
306h	TDR_CFG5		セクション 8.2.37
310h	TDR_TC1		セクション 8.2.38
430h	A2D_REG_48		セクション 8.2.39

表 8-3. DP83TC812 のレジスタ (続き)

オフセット	略称	レジスタ名	セクション
442h	A2D_REG_66		セクション 8.2.40
444h	A2D_REG_68		セクション 8.2.41
450h	LEDS_CFG_1		セクション 8.2.42
451h	LEDS_CFG_2		セクション 8.2.43
452h	IO_MUX_CFG_1		セクション 8.2.44
453h	IO_MUX_CFG_2		セクション 8.2.45
456h	IO_MUX_CFG		セクション 8.2.46
45Dh	CHIP_SOR_1		セクション 8.2.47
45Fh	LED1_CLKOUT_ANA_CTRL		セクション 8.2.48
489h	TX_INTER_CFG		セクション 8.2.49
496h	JABBER_CFG		セクション 8.2.50
497h	TEST_MODE_CTRL		セクション 8.2.51
553h	PG_REG_4		セクション 8.2.52
560h	TC1_CFG_RW		セクション 8.2.53
561h	TC1_LINK_FAIL_LOSS		セクション 8.2.54
562h	TC1_LINK_TRAINING_TIME		セクション 8.2.55
563h	NO_LINK_TH		セクション 8.2.56
600h	RGMI_CTRL		セクション 8.2.57
601h	RGMI_FIFO_STATUS		セクション 8.2.58
602h	RGMI_CLK_SHIFT_CTRL		セクション 8.2.59
608h	SGMI_CTRL_1		セクション 8.2.60
60Ah	SGMI_STATUS		セクション 8.2.61
60Ch	SGMI_CTRL_2		セクション 8.2.62
60Dh	SGMI_FIFO_STATUS		セクション 8.2.63
618h	PRBS_STATUS_1		セクション 8.2.64
619h	PRBS_CTRL_1		セクション 8.2.65
61Ah	PRBS_CTRL_2		セクション 8.2.66
61Bh	PRBS_CTRL_3		セクション 8.2.67
61Ch	PRBS_STATUS_2		セクション 8.2.68
61Dh	PRBS_STATUS_3		セクション 8.2.69
61Eh	PRBS_STATUS_4		セクション 8.2.70
620h	PRBS_STATUS_5		セクション 8.2.71
622h	PRBS_STATUS_6		セクション 8.2.72
623h	PRBS_STATUS_7		セクション 8.2.73
624h	PRBS_CTRL_4		セクション 8.2.74
625h	PATTERN_CTRL_1		セクション 8.2.75
626h	PATTERN_CTRL_2		セクション 8.2.76
627h	PATTERN_CTRL_3		セクション 8.2.77
628h	PMATCH_CTRL_1		セクション 8.2.78
629h	PMATCH_CTRL_2		セクション 8.2.79
62Ah	PMATCH_CTRL_3		セクション 8.2.80
639h	TX_PKT_CNT_1		セクション 8.2.81

表 8-3. DP83TC812 のレジスタ (続き)

オフセット	略称	レジスタ名	セクション
63Ah	TX_PKT_CNT_2		セクション 8.2.82
63Bh	TX_PKT_CNT_3		セクション 8.2.83
63Ch	RX_PKT_CNT_1		セクション 8.2.84
63Dh	RX_PKT_CNT_2		セクション 8.2.85
63Eh	RX_PKT_CNT_3		セクション 8.2.86
648h	RMII_CTRL_1		セクション 8.2.87
649h	RMII_STATUS_1		セクション 8.2.88
871h	dsp_reg_71		セクション 8.2.89
1000h	MMD1_PMA_CTRL_1		セクション 8.2.90
1001h	MMD1_PMA_STATUS_1		セクション 8.2.91
1007h	MMD1_PMA_STAUS_2		セクション 8.2.92
100Bh	MMD1_PMA_EXT_ABILITY_1		セクション 8.2.93
1012h	MMD1_PMA_EXT_ABILITY_2		セクション 8.2.94
1834h	MMD1_PMA_CTRL_2		セクション 8.2.95
1836h	MMD1_PMA_TEST_MODE_CTRL		セクション 8.2.96
3000h	MMD3_PCS_CTRL_1		セクション 8.2.97
3001h	MMD3_PCS_Status_1		セクション 8.2.98

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-4 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-4. DP83TC812 のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
H	H	ハードウェアによってセットまたはクリア
R	R	読み出し
RC	R C	読み出し後 クリア
RH	R H	ハードウェアによってセットまたはクリアされる の読み取り
書き込みタイプ		
W	W	書き込み
W0S	W 0S	0 を書き込むことで セット
W1S	W 1S	1 を書き込むことで セット
WSC	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.2.1 BMCR レジスタ (オフセット = 0h) [リセット = 2100h]

BMCR を表 8-5 に示します。

概略表に戻ります。

表 8-5. BMCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	MII のリセット	RH/W1S	0h	ビットは自動クリアされます 0h = リセットしない 1h = デジタル入力をリセット、全 MII レジスタ (0x0 ~ 0xF) をデフォルト値にリセット
14	xMII ループバック	R/W	0h	1b = MII ループバック有効化 0b = MII ループバック無効化 xMII ループバック モードが有効な場合、xMII TXD に示される送信データは内部的に xMII RXD にループバックされます。xMII ループバックを有効にしている間は、LINK インジケータは生成されません。
13	速度選択	R	1h	速度選択: 常に 100Mbps 速度
12	オートネゴシエーション イネーブル	R	0h	オートネゴシエーション: 本デバイスは非対応
11	パワーダウン	R/W	0h	このビットは、IEEE パワーダウン モードへの移行および終了を行うようにプログラムできます このビットは、INT_N をパワーダウン ピンとして使用する場合のステータスを提供します 0h = 通常モード 1h = IEEE パワーダウン
10	絶縁	R/W	0h	分離: ポートを xMII から分離 (シリアル マネージメント インターフェイスを除く) 0h = 通常モード 1h = 分離モードを有効化
9	予約済み	R	0h	予約済み
8	二重モード	R	1h	0h = 半二重 1h = 全二重
7	予約済み	R	0h	予約済み
6-0	予約済み	R	0h	予約済み

8.2.2 BMSR レジスタ (オフセット = 1h) [リセット = 0061h]

BMSR を表 8-6 に示します。

概略表に戻ります。

表 8-6. BMSR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	100Base-T4	R	0h	常に 0 - PHY は 100Base-T4 を実行できない
14	100Base-X 全二重	R	0h	0h = PHY は全二重 100Base-X を実行不可 1h = PHY は全二重 100Base-X を実行可能
13	100Base-X 半二重	R	0h	0h = PHY は半二重 100Base-X を実行不可 1h = PHY は半二重 100Base-X を実行可能
12	10 Mbps 全二重	R	0h	0h = PHY は全二重 10Mbps で動作不可 1h = PHY は全二重 10Mbps で動作可能
11	10 Mbps 半二重	R	0h	0h = PHY は半二重 10Mbps で動作不可 1h = PHY は半二重 10Mbps で動作可能
10-7	予約済み	R	0h	予約済み
6	MF プリアンブル抑制	R	1h	0h = プリアンブルが抑制された管理フレームを PHY は受信しない 1h = プリアンブルが抑制された管理フレームを PHY は受信する
5	オートネゴシエーション完了	R	1h	0h = オートネゴシエーション プロセスが未完了 (まだ処理中、ディスエーブル、リセット中) 1h = オートネゴシエーション プロセスが完了
4	リモートフォルト	H	0h	0h = リモート障害状態は未検出 1h = リモート障害状態を検出済み
3	オートネゴシエーション機能	R	0h	0h = PHY は自動ネゴシエーションを実行不可 1h = PHY は自動ネゴシエーションを実行可能
2	リンク ステータス (ラッチ Low)	0h	0h = リンクは少なくとも 1 回はダウンしています 1h = リンクは確立	
1	ジャババー検出	H	0h	0h = ジャババー状態は未検出 1h = ジャババー状態を検出済み
0	拡張機能	R	1h	0h = 基本レジスタ設定機能のみ 1h = 拡張レジスタ機能

8.2.3 PHYIDR1 レジスタ (オフセット = 2h) [リセット = 2000h]

PHYIDR1 を表 8-7 に示します。

[概略表](#)に戻ります。

表 8-7. PHYIDR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	組織固有識別子 1	R	2000h	部品固有識別子

8.2.4 PHYIDR2 レジスタ (オフセット = 3h) [リセット = A271h]

PHYIDR2 を表 8-8 に示します。

[概略表](#)に戻ります。

表 8-8. PHYIDR2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	組織固有識別子 2	R	28h	部品固有識別子
9-4	モデル番号	R	27h	部品固有識別子
3-0	リビジョン番号	R	1h	部品固有識別子 0h = シリコン リビジョン 1.0 1h = シリコン リビジョン 2.0

8.2.5 PHYSTS レジスタ (オフセット = 10h) [リセット = 0004h]

PHYSTS を表 8-9 に示します。

概略表に戻ります。

表 8-9. PHYSTS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	receive_error_latch	H	0h	最後の読み取り以降のレシーバー エラー カウンタ。読み出すとクリア
12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	信号検出	R/W0S	0h	チャンネル OK ラッチ Low 0h = チャンネル OK がリセットされた 1h = チャンネル OK がセットされている
9	デスクランブラ ロックのステータス (ラッチ Low)	R/W0S	0h	デスクランブラ ロック ラッチ Low 0h = デスクランブラは少なくとも 1 回はロック解除されています 1h = デスクランブラはロックされている
8	予約済み	R	0h	予約済み
7	割り込みピン ステータス	H	0h	割り込みピンのステータス、レジスタ 0x12 の読み出し時にクリア 0h = 割り込みピンがセットされています 1h = 割り込みピンがセットされていません
6	予約済み	R	0h	予約済み
5	jabber_dtct	R	0h	reg.0x1.1 と重複
4	予約済み	R	0h	予約済み
3	MII ループバック ステータス	R	0h	MII ループバックのステータス 0h = MII ループバックなし 1h = MII ループバックあり
2	二重モード ステータス	R	1h	二重モードのステータス 0h = 半二重 1h = 全二重
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

8.2.6 PHYSCR レジスタ (オフセット = 11h) [リセット = 010Bh]

PHYSCR を表 8-10 に示します。

[概略表](#)に戻ります。

表 8-10. PHYSCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	無効化 CLK125	R/W	0h	1h = CLK125 を無効化 (CLK125 ポートから供給)
14	パワー セーブ モード イネーブル	R/W	0h	レジスタからのパワー セーブ モードの設定の有効化
13-12	パワー セーブ モード	R/W	0h	0h = 通常モード 1h = IEEE モード: ビット [11] が 0 にセットされた場合、すべてのデジタルおよびアナログ ブロックをパワーダウン PLL もパワーダウン 0b10 = 予約済み 0b11 = 予約済み
11	SGMII ソフトリセット	R/WSC	0h	SGMII デジタル リセット このビットは自動クリアされます
10	PHY_ADDR 0x00 の MAC 分離	R/W	0h	MAC 分離は、PHY アドレスが 0x00 の場合にのみ有効になります。 Reg0x0[10] は、0x00 を含むすべての PHY アドレスで動作します 0h = 通常モード 1h = 分離モード (PHY から MAC への出力なし)
9-8	RMII TX FIFO 深さ	R/W	1h	0h = 4 ニブル 1h = 5 ニブル 2h = 6 ニブル
7	予約済み	R	0h	予約済み
6-4	予約済み	R	0h	予約済み
3	割り込み極性	R/W	1h	0h = アクティブ High 1h = アクティブ Low
2	強制割り込み	R/W	0h	1h = 割り込みピンを強制する
1	割り込み有効	R/W	1h	0h = 割り込みを無効化する 1h = 割り込みを有効化する
0	割り込みピン構成	R/W	1h	0h = INT_N ピンをパワーダウン入力ピンとして構成します 1h = INT_N ピンを割り込み出力ピンとして構成します

8.2.7 MISR1 レジスタ (オフセット = 12h) [リセット = 0000h]

MISR1 を表 8-11 に示します。

[概略表](#)に戻ります。

表 8-11. MISR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	エネルギー検出変化ステータス	H	0h	MDI エネルギー検出出力に変化があると、ステータスは 1 に変化します このレジスタの読み取りでステータスはクリアされます
13	リンク ステータス変化ステータス	H	0h	リンク ステータスに変化があると、ステータスは 1 に変化します このレジスタの読み取りでステータスはクリアされます
12	ウェーク オン LAN ステータス	H	0h	WOL を受信するとステータスは 1 に変化します このレジスタの読み取りでステータスはクリアされます
11	ESD フォルト検出ステータス	H	0h	ESD フォルトが検出されるとステータスは 1 に変化します このレジスタの読み取りでステータスはクリアされます
10	トレーニング完了ステータス	H	0h	トレーニングが完了するとステータスは 1 に変化します このレジスタの読み取りでステータスはクリアされます
9	誤搬送波カウンタ ハーフ フル ステータス	H	0h	偽キャリア カウンタが半分まで満たされるとステータスは 1 に変化します このレジスタの読み取りでステータスはクリアされます
8	RX エラーカウンタ半分到達ステータス	H	0h	0x15 の RX エラー カウンタが半分まで満たされるとステータスは 1 に変化します このレジスタの読み取りでステータスはクリアされます
7	リンク品質変化通知	R/W	0h	リンク品質ステータス時の割り込みを有効化。 0h = 通知は無効です 1h = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします
6	エネルギー検出変化通知	R/W	0h	エネルギー検出履歴の変化時の割り込みを有効化。ステータス 0h = 通知は無効です 1h = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします
5	リンク ステータス変化通知	R/W	0h	リンク ステータス変化時の割り込みを有効化 0h = 通知は無効です 1h = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします
4	ウェーク オン LAN 通知	R/W	0h	WoL 検出イベント時の割り込みを有効化 0h = 通知は無効です 1h = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします
3	ESD フォルト検出通知	R/W	0h	ESD 検出イベント時の割り込みを有効化 0h = 通知は無効です 1h = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします
2	リンクトレーニング完了通知	R/W	0h	M/S リンクトレーニング完了イベント時の割り込みを有効化 0h = 通知は無効です 1h = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします
1	誤搬送波カウンタ ハーフ フル 表示	R/W	0h	誤搬送波カウンタレジスタ ハーフフル イベント時の割り込みを有効化 0h = 通知は無効です 1h = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします
0	RX エラーカウンタ半分到達通知	R/W	0h	受信エラー カウンタレジスタ ハーフフル イベント時の割り込みを有効化 0h = 通知は無効です 1h = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします

8.2.8 MISR2 レジスタ (オフセット = 13h) [リセット = 0000h]

MISR2 を表 8-12 に示します。

[概略表](#)に戻ります。

表 8-12. MISR2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	低電圧ステータス	H	0h	低電圧が検出されると、ステータスは 1 に変化します このレジスタの読み取りでステータスはクリアされます
14	過電圧ステータス	H	0h	過電圧が検出されると、ステータスは 1 に遷移します このレジスタの読み取りでステータスはクリアされます
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	スリープ モード ステータス	H	0h	スリープ モードが変化すると、ステータスは 1 に変化します このレジスタの読み取りでステータスはクリアされます
9	データ極性変化ステータス	H	0h	MDI ラインの極性変化を検出すると、ステータスは 1 に変化します このレジスタの読み取りでステータスはクリアされます
8	ジャババー検出ステータス	H	0h	ジャババーが検出されると、ステータスは 1 に変化します このレジスタの読み取りでステータスはクリアされます
7	低電圧通知	R/W	0h	0h = 通知は無効です 1h = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします
6	過電圧通知	R/W	0h	0h = 通知は無効です 1h = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1	データ極性変化通知	R/W	0h	0h = 通知は無効です 1h = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします
0	ジャババー検出通知	R/W	0h	0h = 通知は無効です 1h = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします

8.2.9 RECR レジスタ (オフセット = 15h) [リセット = 0000h]

RECR を表 8-13 に示します。

[概略表](#)に戻ります。

表 8-13. RECR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	RX エラー カウント	RC	0h	RX_ER カウンタ:有効なキャリアが存在し (RX_DV が設定されている間のみ)、無効なデータ シンボルが少なくとも 1 回発生すると、この 16 ビット カウンタは、検出された受信エラーごとにインクリメントします。xMII ループ バック モードでは、RX_ER カウンタはカウントされません。カウンタは最大 カウント値 (0xFFFF) に達すると停止します。カウンタがハーフフル (0x7FFF) を超えると、割り込みが生成されます。このレジスタは、読み取り時にクリアされます。

8.2.10 BISCR レジスタ (オフセット = 16h) [リセット = 0100h]

BISCR を表 8-14 に示します。

[概略表](#)に戻ります。

表 8-14. BISCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	0h	予約済み
10	PRBS ロック喪失ラッチ ステータス	H	0h	
9	予約済み	R	0h	予約済み
8	コア電力モード	R	1h	0h = コアはパワーダウンまたはスリープ モード 1h = コアは通常電力モード
7	予約済み	R	0h	予約済み
6	xMII ループバックにおける MDI へのデータ転送	R/W	0h	xMII ループバック中の送信データ制御 0h = xMII ループバック中のデータを抑制 1h = xMII ループバック中に MDI でデータを送信
5-2	ループバック モード	R/W	0h	PCS ループバック以外のループバックを有効化します。0x16[1] は 0 でなければなりません 1h = デジタル ループバック 2h = アナログ ループバック 4h = 逆ループバック 8h = 外部ループバック
1	PCS ループバック有効化	R/W	0h	0h = PCS ループバックを無効化 1h = PCS ループバックを有効化
0	予約済み	R	0h	予約済み

8.2.11 MISR3 レジスタ (オフセット = 18h) [リセット = 00X5h]

MISR3 を表 8-15 に示します。

概略表に戻ります。

表 8-15. MISR3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	リンク未確立ステータス	H	0h	トレーニング開始後、0x563 に設定した時間内にリンクが観測されないと、ステータスは 1 に変化します このレジスタの読み取りでステータスはクリアされます
13	スリープ失敗ステータス	H	0h	スリープ ネゴシエーションが失敗すると、ステータスは 1 に遷移します このレジスタの読み取りでステータスはクリアされます
12	パワーオンリセット完了ステータス	H	0h	電源立ち上がり後にパワーオンリセットが完了すると、ステータスは 1 に変化します このレジスタの読み取りでステータスはクリアされます
11	フレーム未検出ステータス	H	0h	フレームが検出されないと、ステータスは 1 に変化します このレジスタの読み取りでステータスはクリアされます
10	WUR 受信ステータス	H	0h	リンク相手から WUR コマンドを受信すると、ステータスは 1 に遷移します このレジスタの読み取りでステータスはクリアされます
9	リモートウェークアップステータス	H	0h	電源投入後、デバイスがリモートでウェークアップされている場合、このステータスは 1 になります このレジスタの読み取りでステータスはクリアされます
8	LPS 受信ステータス	H	0h	リンク相手から LPS コマンドを受信すると、ステータスは 1 に遷移します このレジスタの読み取りでステータスはクリアされます
7	予約済み	R	0h	予約済み
6	リンク未確立通知	R/W	0h	0h = 通知は無効です 1h = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします
5	スリープ失敗通知	R/W	1h	0h = 通知は無効です 1h = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします
4	パワーオンリセット完了通知	R/W	0h	0h = 通知は無効です 1h = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします
3	フレーム未検出通知	R/W	0h	0h = 通知は無効です 1h = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします
2	WUR 受信通知	R/W	1h	0h = 通知は無効です 1h = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします
1	リモートウェークアップ通知	R/W	0h	0h = 通知は無効です 1h = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします
0	LPS 受信通知	R/W	1h	0h = 通知は無効です 1h = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします

8.2.12 REG_19 レジスタ (オフセット = 19h) [リセット = 0800h]

REG_19 を表 8-16 に示します。

[概略表](#)に戻ります。

表 8-16. REG_19 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	DSP エネルギー検出	R	0h	DSP エネルギー検出ステータス
9-5	予約済み	R	0h	予約済み
4-0	PHY アドレス	R	0h	ストラップからラッチされた PHY アドレス

8.2.13 TC10 アボート レジスタ (オフセット = 1Bh) [リセット = 0000h]

表 8-17 に、TC10 アボート レジスタを示します。

概略表に戻ります。

表 8-17. TC10 アボート レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-2	予約済み	R	0h	予約済み
1	GPIO によるスリープ中止	R/W	0h	GPIO を使用した TC10 の中止を有効化します。LED として使用されている CLKOUT/LED_1 ピンの一つは、中止に使用 0h = GPIO を使用した TC10 中止をディスエーブル 1h = GPIO を使用して TC10 中止をイネーブル
0	スリープ中止	R/W	0h	TC10 規格で定義されている loc_sleep_abprt。SLEEP_ACK 状態の間、スリープ ネゴシエーションを中止し 0h = TC10 スリープ ネゴシエーションを許可 1h = TC10 スリープ ネゴシエーションを中止

8.2.14 CDCR レジスタ (オフセット = 1Eh) [リセット = 0000h]

CDCR を表 8-18 に示します。

[概略表](#)に戻ります。

表 8-18. CDCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	TDR 開始	RH/W1S	0h	このビットは TDR の実行完了後にクリアされます 1h = TDR を開始
14	TDR 自動実行有効化	R/W	0h	0h = 0x1E[15] を使用して TDR を手動で開始 1h = リンク ダウン時に TDR を自動的に開始
13-2	予約済み	R	0h	予約済み
1	TDR 完了ステータス	R	0h	0h = TDR 実行中または未開始 1h = TDR が完了
0	TDR フェイル ステータス	R	0h	0h = TDR が正常に実行されました 1h = TDR の実行に失敗しました

8.2.15 PHYRCR レジスタ (オフセット = 1Fh) [リセット = 0000h]

PHYRCR を表 8-19 に示します。

[概略表](#)に戻ります。

表 8-19. PHYRCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	ハードリセット	RH/W1S	0h	ハードウェアリセット (デジタル回路 + レジスタファイルのリセット) このビットはセルフクリアします 0H = 通常動作 1h = PHY をリセットし、レジスタをクリアします。ストラップを再サンプリングしません。
14	ソフトリセット	RH/W1S	0h	0H = 通常動作 1h = PHY を再起動。PHY をリセットしますが、レジスタはクリアしません。ストラップを再サンプリングしません。このビットは自動クリアされます。
13	予約済み	R	0h	予約済み
12-8	予約済み	R	0h	予約済み
7	スタンバイモード	R/W	0h	0h = 通常動作 1h = スタンバイモードが有効
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4-0	予約済み	R	0h	予約済み

8.2.16 レジスタ_133 (オフセット = 133h) [リセット = 0000h]

Register_133 を表 8-20 に示します。

[概略表](#)に戻ります。

表 8-20. Register_133 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	リンクアップ ステータス	R	0h	C&S で定義されたリンク アップ ステータス
13	送信データ モードの PHY 制御	R	0h	送信データ ステータスの PHY 制御
12	リンク ステータス	R	0h	リンク モニタによって設定されたリンク ステータス
11-8	予約済み	R	0h	予約済み
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	デスクランブラ ロックのステータス	R	0h	デスクランブラのステータス 0h = ス克蘭ブラがロックされていない 1h = ス克蘭ブラがロックされている
1	ローカル レシーバのステータス	R	0h	ローカル レシーバのステータス 0h = ローカル PHY が無効なリンクを受信した 1h = ローカル PHY が有効なリンクを受信した
0	リモート レシーバ ステータス	R	0h	リモート レシーバのステータス 0h = リモート PHY が無効なリンクを受信した 1h = リモート PHY が有効なリンクを受信した

8.2.17 レジスタ_17F (オフセット = 17Fh) [リセット = 4028h]

Register_17F を表 8-21 に示します。

[概略表](#)に戻ります。

表 8-21. Register_17F のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15	WAKE ピンからの WUR	R/W	0h	WAKE ピンにパルスが送信されたときに WUR 送信を有効化します 送信を有効化 WAKE パルス幅スレッショルドは、0x17F[7:0] で設定可能 1h = WUR の送信を有効化
14	WUP イネーブル	R/W	1h	ローカル ウェークアップ後の WUP 送信の有効化 このオプションは、ストラップによってスタンバイ モードで PHY が起動した 際に効果的に使用できます 0h = WUP 送信は無効です 1h = WUP 送信は有効です
13-8	予約済み	R	0h	予約済み
7-0	Wake パルス スレッショルド	R/W	28h	アクティブリンク中に WUR を開始するために必要な WAKE パルス幅 (マ イクロ秒)

8.2.18 Register_180 (オフセット = 180h) [リセット = 0000h]

Register_180 を表 8-22 に示します。

[概略表](#)に戻ります。

表 8-22. Register_180 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-5	予約済み	R	0h	予約済み
4-3	スリープ要求タイマ構成	R/W	0h	0h = 16ms 1h = 4ms 2h = 32ms 3h = 40ms
2	予約済み	R	0h	予約済み
1-0	スリープ アクノリッジ タイマ 構成	R/W	0h	0h = 8ms 1h = 6ms 2h = 24ms 3h = 32ms

8.2.19 レジスタ_181 (オフセット = 181h) [リセット = 0000h]

Register_181 を表 8-23 に示します。

[概略表](#)に戻ります。

表 8-23. Register_181 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み
9-0	RX LPS カウント	R	0h	受信した LPS コード数を示します

8.2.20 レジスタ_182 (オフセット = 182h) [リセット = 0000h]

Register_182 を表 8-24 に示します。

[概略表](#)に戻ります。

表 8-24. Register_182 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み
9-0	RX WUR カウント	R	0h	受信した WUR コード数を示します

8.2.21 LPS_CFG4 レジスタ (オフセット = 183h) [リセット = 0000h]

LPS_CFG4 を表 8-25 に示します。

概略表に戻ります。

表 8-25. LPS_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	送信状態無効で WUP を送信	R/W	0h	PHY 制御が DISABLE_TRANSMIT 状態のときに WUP を送信するために、このビットに 1 を書き込む
14	LPS スリープ強制有効化	R/W	0h	LPS SM から PHY 制御 SM へのスリープの強制制御有効化
13	LPS スリープを強制	R/W	0h	LPS SM から PHY コントロール SM へスリープ用の値を強制
12	TX LPS の強制の有効化	R/W	0h	TX_LPS の強制の有効化
11	TX LPS の強制	R/W	0h	TX_LPS の値の強制
10	LPS リンク制御強制の有効化	R/W	0h	LPS ステートマシンへのリンク制御強制の有効化
9	LPS リンク制御強制	R/W	0h	LPS ステートマシンからのリンク制御値の強制
8	LPS ステートマシンの強制有効化	R/W	0h	LPS ステートマシンの強制有効化
7	予約済み	R	0h	予約済み
6-0	LPS ステートマシン値の強制	R/W	0h	LPS ステートマシン値の強制し

8.2.22 LPS_CFG レジスタ (オフセット = 184h) [リセット = 0223h]

表 8-26 に、LPS_CFG を示します。

概略表に戻ります。

表 8-26. LPS_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	cfg_reset_wur_cnt_rx_data	R/W	0h	セットされた場合、データ受信時に WUR 受信シンボル カウンタをリセット
14-13	予約済み	R	0h	予約済み
12	cfg_reset_lps_cnt_rx_data	R/W	0h	セットされた場合、データ受信時に LPS 受信シンボル カウンタをリセット
11-10	予約済み	R	0h	予約済み
9	cfg_reset_wur_cnt_tx_data	R/W	1h	セットされた場合、データ送信時に送信される WUR シンボル カウントをリセット
8-7	予約済み	R	0h	予約済み
6	cfg_reset_lps_cnt_tx_data	R/W	0h	セットされた場合、データ送信時に送信される LPS シンボル カウントをリセット
5	cfg_wake_fwd_en_wup_psv_link	R/W	1h	PASSIVE_LINK モードで WUP を受信したとき、WAKE ピンでのウェーク転送を有効 / 無効にするための制御 0h = ウェークアップ転送をディスエーブル 1h = ウェークアップ転送をイネーブル
4	ウェーク フォワード強制	R/W	0h	1b = WAKE ピンにパルスを強制出力パルス幅は [3:2] ビットで構成可能 このビットはセルフクリアです
3-2	ウェーク フォワード パルス幅	R/W	0h	ウェークアップ転送のため WAKE ピンのパルス幅を設定 00b:50µs 01b:500µs 10b:2ms 11b:20ms
1	ウェーク フォワード有効化	R/W	1h	WUR コマンド受信時の WAKE ピンでのウェーク転送をイネーブル 0h = ウェークアップ転送をイネーブル 1h = ウェークアップ転送をディスエーブル
0	cfg_wake_fwd_en_wup	R/W	1h	設定されている場合、WUP シンボルを受信したときにウェークアップ転送を有効にします 0h = WAKE ピンでウェークアップ転送を実行しない 1h = WAKE ピンでウェークアップ転送を実行

8.2.23 LPS_CFG5 レジスタ (オフセット = 185h) [リセット = 0000h]

LPS_CFG5 を表 8-27 に示します。

[概略表](#)に戻ります。

表 8-27. LPS_CFG5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	WUP タイマ	R/W	0h	PHY コントロール SM が WAKE_TRANSMIT に留まる時間 0h = 1ms 1h = 0.7ms 2h = 1.3ms 3h = 0.85ms 4h = 1.5ms 5h = 2ms 6h = 2.5ms 7h = 3ms
12-4	予約済み	R	0h	予約済み
3-2	WUR シンボル ギャップ	R/W	0h	WUR をアクノリッジとみなすために、2 つの WUR シンボル間で許容される最大ギャップ
1-0	LPS シンボル ギャップ	R/W	0h	LPS をアクノリッジとみなすために、2 つの LPS シンボル間で許容される最大ギャップ

8.2.24 LPS_CFG7 レジスタ (オフセット = 187h) [リセット = 0000h]

LPS_CFG7 を表 8-28 に示します。

[概略表](#)に戻ります。

表 8-28. LPS_CFG7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	LPS リミットで停止	R/W	0h	0x1879:0 で設定されたコード数の送信が完了したら、LPS コードの送信を停止するようデバイスを設定します 0h = 制限値に達しても継続 1h = 制限値に達した後に停止
14-8	予約済み	R	0h	予約済み
9-0	LPS 制限選択	R/W	0h	tx_LPS_DONE が TRUE になる前に送信される LPS シンボルの数を示す

8.2.25 LPS_CFG8 レジスタ (オフセット = 188h) [リセット = 0080h]

LPS_CFG8 を表 8-29 に示します。

[概略表](#)に戻ります。

表 8-29. LPS_CFG8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み
9-0	WUR シンボル番号	R/W	80h	送信する WUR シンボルの数を示す

8.2.26 LPS_CFG9 レジスタ (オフセット = 189h) [リセット = 0040h]

LPS_CFG9 を表 8-30 に示します。

[概略表](#)に戻ります。

表 8-30. LPS_CFG9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み
9-0	cfg_rx_lps_sel	R/W	40h	LPS_recv を設定するために受信する LPS シンボルの数を示す

8.2.27 LPS_CFG10 レジスタ (オフセット = 18Ah) [リセット = 0040h]

LPS_CFG10 を表 8-31 に示します。

[概略表](#)に戻ります。

表 8-31. LPS_CFG10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み
9-0	cfg_rx_wur_sel	R/W	40h	WUR を確認し、ウェイク転送を行うために受信すべき WUR シンボル数 を示します

8.2.28 LPS_CFG2 レジスタ (オフセット = 18Bh) [リセット = 1C4Bh]

LPS_CFG2 を表 8-32 に示します。

概略表に戻ります。

表 8-32. LPS_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み
12	cfg_stop_sleep_neg_on_n o_send_n	R/W	1h	このビットがセットされている場合、リンクがドロップされたときに TC10 ステートマシンは SLEEP_ACK 状態または SLEEP_REQ 状態から NORMAL 状態に戻る
11	cfg_stop_sleep_neg_on_a ctivity	R/W	1h	PHY がパケットを送信または受信しているときにこのビットをセットすると、スリープ ネゴシエーションを停止し、スリープ ネゴシエーション中に SLEEP_ACK または SLEEP_REQ 状態にある場合、TC10 ステートマシンは NORMAL 状態に戻ります
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	cfg_tc10_dis_bond_pad_b ypass	R/W	0h	TC10 対応 0h = TC10 機能を有効化します 1h = TC10 機能を無効化します
7	予約済み	R	0h	読み取り時は無視
6	cfg_auto_mode_en	R/W	1h	LPS 自律モードが有効 if(RX_D3_strap == 1) reset_val = ~CLKOUT_strap else reset_val = ~LED_1_strap リンクアップ後にこのビットは自動クリア 0h = AUTO モードは無効です 1h = AUTO モードは有効です
5	cfg_lps_mon_en	R/W	0h	通常動作からスタンバイへの遷移有効化 0h = 過熱 / 低電圧での通常からスタンバイへの遷移を無効化 1h = 過熱 / 低電圧での通常のスタンバイ遷移を有効化
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1	cfg_lps_sleep_en	R/W	1h	スリープネゴシエーションが成功した後、スリープモードではなく、スタンバイモードへの遷移を有効化します (TC10_SBY と呼ばれます) 0h = ネゴシエーションされた LPS 後にスタンバイに移行 1h = ネゴシエーションされた LPS 後にスリープに移行
0	予約済み	R	0h	予約済み

8.2.29 LPS_CFG3 レジスタ (オフセット = 18Ch) [リセット = 0000h]

LPS_CFG3 を表 8-33 に示します。

[概略表](#)に戻ります。

表 8-33. LPS_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	予約済み	R	0h	予約済み
8-0	cfg_lps_pwr_mode	RH/W1S	0h	001h = 通常コマンド 002h = スリープ要求 010h = スタンバイ コマンド 080h = WUR コマンド

8.2.30 LPS_STATUS レジスタ (オフセット = 18Eh) [リセット = 0000h]

表 8-34 に、LPS_STATUS を示します。

概略表に戻ります。

表 8-34. LPS_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-7	予約済み	R	0h	予約済み
6-0	status_lps_st	R	0h	LPS SM ステート 01h = SLEEP 02h = スタンバイ 04h = NORMAL 08h = SLEEP_ACK 10h = SLEEP_REQ 20h = SLEEP_FAIL 40h = SLEEP_SILENT 41h = PASSIVE_LINK

8.2.31 TDR_TX_CFG レジスタ (オフセット = 300h) [リセット = 2710h]

TDR_TX_CFG を [表 8-35](#) に示します。

[概略表](#)に戻ります。

表 8-35. TDR_TX_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	cfg_tdr_tx_duration	R/W	2710h	TDR 送信時間 (usec)、デフォルト: 10000usec

8.2.32 TAP_PROCESS_CFG レジスタ (オフセット = 301h) [リセット = 1703h]

TAP_PROCESS_CFG を [表 8-36](#) に示します。

[概略表](#)に戻ります。

表 8-36. TAP_PROCESS_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み
12-8	cfg_end_tap_index	R/W	17h	TDR 中のピーク検出スイープにおいて終端となるエコー係数インデックス
7-5	予約済み	R	0h	予約済み
4-0	cfg_start_tap_index	R/W	3h	TDR 中のピーク検出スイープにおいて開始となるエコー係数インデックス

8.2.33 TDR_CFG1 レジスタ (オフセット = 302h) [リセット = 0045h]

TDR_CFG1 を表 8-37 に示します。

[概略表](#)に戻ります。

表 8-37. TDR_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0h	予約済み
7-4	cfg_forward_shadow	R/W	4h	ローカル最大値を計算するために考慮される隣接エコー係数タップ数
3-2	cfg_post_silence_time	R/W	1h	サイレント後状態タイマ (ms) 0x00:0ms 0x01: 10ms 0x10: 100ms 0x11: 1000ms
1-0	cfg_pre_silence_time	R/W	1h	サイレント前状態タイマ (ms) 0x00:0ms 0x01: 10ms 0x10: 100ms 0x11: 1000ms

8.2.34 TDR_CFG2 レジスタ (オフセット = 303h) [リセット = 0419h]

TDR_CFG2 を表 8-38 に示します。

[概略表](#)に戻ります。

表 8-38. TDR_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み
12-8	cfg_tdr_filt_loc_offset	R/W	4h	動的ピーク方程式のタップ インデックス オフセット、cfg_start_tap_index + 1'b1
7-0	cfg_tdr_filt_init	R/W	19h	x = 動的ピーク スレッショルド式の start_tap_index での peak_th の値

8.2.35 TDR_CFG3 レジスタ (オフセット = 304h) [リセット = 0030h]

TDR_CFG3 を表 8-39 に示します。

[概略表](#)に戻ります。

表 8-39. TDR_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0h	予約済み
7-0	cfg_tdr_filt_slope	R/W	30h	動的ピーク スレッショルド式の勾配 (0.4)

8.2.36 TDR_CFG4 レジスタ (オフセット = 305h) [リセット = 0004h]

TDR_CFG4 を表 8-40 に示します。

[概略表](#)に戻ります。

表 8-40. TDR_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8-7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5-4	hpf_gain_tdr	R/W	0h	TDR 中の HPF ゲイン コード
3-0	pga_gain_tdr	R/W	4h	TDR 中の PGA ゲイン コード

8.2.37 TDR_CFG5 レジスタ (オフセット = 306h) [リセット = 000Ah]

TDR_CFG5 を表 8-41 に示します。

[概略表](#)に戻ります。

表 8-41. TDR_CFG5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3-0	cfg_cable_delay_num	R/W	Ah	ケーブルのメートルあたりの伝搬遅延をナノ秒単位で設定。これは、フォルト位置の推定に使用されます。有効値は次のとおりです: 4 'd0 to 4 'd11 - [4.5:0.1:5.6]ns デフォルト: 4 'd10 (5.5ns)

8.2.38 TDR_TC1 レジスタ (オフセット = 310h) [リセット = 0000h]

TDR_TC1 を表 8-42 に示します。

[概略表](#)に戻ります。

表 8-42. TDR_TC1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7	peak_detect	R	0h	ケーブルで障害が検出された場合にセット 0h = ケーブルでフォルトの検出なし 1h = ケーブルでフォルトを検出
6	peak_sign	R	0h	不連続性の性質。peak_detect がセットされている場合にのみ有効 0h = GND、電源、または MDI ピン間へ短絡 1h = オープン。1 線式と 2 線式の両方のオープン フォルトに適用されます
5-0	peak_loc_in_meters	R	0h	フォルト位置をメートル単位で示す (peak_detect がセットされている場合のみ有効)

8.2.39 A2D_REG_48 レジスタ (オフセット = 430h) [リセット = 0770h]

A2D_REG_48 を表 8-43 に示します。

[概略表](#)に戻ります。

表 8-43. A2D_REG_48 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11-8	dll_tx_delay_ctrl_rgmii_sl	R/W	7h	RGMII モードで、312.5ps ステップ単位で TX DLL を制御し、CLK_90 出力に影響します。 遅延 = ((Bit[11:8] + 1)*312.5 ps、10 進表記で
7-4	dll_rx_delay_ctrl_rgmii_sl	R/W	7h	RGMII モードの RX DLL を 312.5ps 単位で制御し、CLK_90 出力に影響する。 遅延 = ((Bit[7:4] + 1)*312.5 ps、10 進表記で
3-0	予約済み	R	0h	予約済み

8.2.40 A2D_REG_66 レジスタ (オフセット = 442h) [リセット = 0000h]

A2D_REG_66 を表 8-44 に示します。

[概略表](#)に戻ります。

表 8-44. A2D_REG_66 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14-9	ESD イベント カウント	R	0h	銅線チャネル上で発生した ESD イベントの回数を示します
8	予約済み	R	0h	予約済み
7-5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3-0	予約済み	R	0h	予約済み

8.2.41 A2D_REG_68 レジスタ (オフセット = 444h) [リセット = 0000h]

A2D_REG_68 を表 8-45 に示します。

[概略表](#)に戻ります。

表 8-45. A2D_REG_68 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	予約済み	R	0h	予約済み
3	goto_sleep_force_val	R/W	0h	スリープ モード強制値 :
2	goto_sleep_force_control	R/W	0h	スリープ モード強制制御:
1	wake_fwd_force_val	R/W	0h	WAKE 出力強制値:
0	wake_fwd_force_control	R/W	0h	WAKE 出力値の強制制御: 1h = 強制制御を有効化。出力値を 0x0444[1] によって設定

8.2.42 LEDS_CFG_1 レジスタ (オフセット = 450h) [リセット = 2610h]

LEDS_CFG_1 を表 8-46 に示します。

[概略表](#)に戻ります。

表 8-46. LEDS_CFG_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	LED ストレッチ無効	R/W	0h	0h = 「LED 点滅レート」フィールドの点滅レートに従って LED パルスをストレッチします 1h = LED パルスは、RX_DV (RX 動作の場合) と TX_CTRL (TX 動作の場合) に直接接続されます
13-12	LED の点滅レート	R/W	2h	0h = 20Hz (50ms) 1h = 10Hz (100ms) 2h = 5Hz (200ms) 3h = 2Hz (500ms)
11-8	LED_2 オプション	R/W	6h	0h = リンク OK 1h = リンク OK + TX/RX 動作時に点滅 2h = リンク OK + TX 動作時に点滅 3h = リンク OK + RX 動作時に点滅 4h = リンク OK + 100Base-T1 リーダー 5h = リンク OK + 100Base-T1 フォロワー 6h = ストレッチ オプション付き TX/RX アクティビティ 7h = 予約済み 8h = 予約済み 9h = リンク損失 (レジスタ 0x1 が読み取られるまでオンに維持) Ah = PRBS エラー (エラー時にトグル) Bh = ストレッチオプション付き XMII TX/RX エラー
7-4	LED_1 オプション	R/W	1h	0h = リンク OK 1h = リンク OK + TX/RX 動作時に点滅 2h = リンク OK + TX 動作時に点滅 3h = リンク OK + RX 動作時に点滅 4h = リンク OK + 100Base-T1 リーダー 5h = リンク OK + 100Base-T1 フォロワー 6h = ストレッチ オプション付き TX/RX アクティビティ 7h = 予約済み 8h = 予約済み 9h = リンク損失 (レジスタ 0x1 が読み取られるまでオンに維持) Ah = PRBS エラー (エラー時にトグル) Bh = ストレッチオプション付き XMII TX/RX エラー
3-0	LED_0 オプション	R/W	0h	0h = リンク OK 1h = リンク OK + TX/RX 動作時に点滅 2h = リンク OK + TX 動作時に点滅 3h = リンク OK + RX 動作時に点滅 4h = リンク OK + 100Base-T1 リーダー 5h = リンク OK + 100Base-T1 フォロワー 6h = ストレッチ オプション付き TX/RX アクティビティ 7h = 予約済み 8h = 予約済み 9h = リンク損失 (レジスタ 0x1 が読み取られるまでオンに維持) Ah = PRBS エラー (エラー時にトグル) Bh = ストレッチオプション付き XMII TX/RX エラー

8.2.43 LEDS_CFG_2 レジスタ (オフセット = 451h) [リセット = 0049h]

LEDS_CFG_2 を表 8-47 に示します。

[概略表](#)に戻ります。

表 8-47. LEDS_CFG_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	clk_o_gpio_ctrl_3	R/W	0h	CLKOUT GPIO 制御の MSB。このビットは、CLKOUT を構成するための追加オプションを提供します 1 にセットすると、このビットにより 0x453 の clk_o_gpio_ctrl ビットの影響が変化します レジスタ 0x453[2:0] が CLKOUT を次のように制御します 0h = pwr_seq_done 1h = アナログの loc_wake_req 2h = loc_wake_req を PHY 制御へ 3h = tx_lps_done 4h = tx_lps_done_64 5h = tx_lps 6h = pcs rx sm - receiving 7h = pcs tx sm - tx_enable
14	led_1_gpio_ctrl_3	R/W	0h	LED_1 GPIO 制御の MSB。このビットは、LED_0 を構成するための追加オプションを提供します 1 にセットすると、このビットにより 0x452 の led_1_gpio_ctrl ビットの影響が変化します レジスタ 0x452[10:8] は LED_1 を次のように制御します 0h = pwr_seq_done 1h = アナログの loc_wake_req 2h = loc_wake_req を PHY 制御へ 3h = tx_lps_done 4h = tx_lps_done_64 5h = tx_lps 6h = pcs rx sm - receiving 7h = pcs tx sm - tx_enable
13	led_0_gpio_ctrl_3	R/W	0h	LED_0 GPIO 制御の MSB。このビットは、LED_0 を構成するための追加オプションを提供します 1 にセットすると、このビットにより 0x452 の led_0_gpio_ctrl ビットの影響が変化します レジスタ 0x452[2:0] は LED_0 を次のように制御します 0h = pwr_seq_done 1h = アナログの loc_wake_req 2h = loc_wake_req を PHY 制御へ 3h = tx_lps_done 4h = tx_lps_done_64 5h = tx_lps 6h = pcs rx sm - receiving 7h = pcs tx sm - tx_enable
12-9	予約済み	R	0h	予約済み
8	led_2_drv_en	R/W	0h	0h = LED_2 は通常動作モード 1h = LED_2 の値を駆動 (駆動値はビット 7)
7	led_2_drv_val	R/W	0h	ビット #8 がセットされている場合、これは LED_2 の値 注記 LED_2 なし、CLK_OUT が LED_2 として構成されている場合のみ
6	led_2_polarity	R/W	1h	LED_2 の極性。注: LED_2 なし、CLK_OUT が LED_2 として構成されている場合のみ 0h = アクティブ Low 1h = アクティブ High
5	led_1_drv_en	R/W	0h	注: LED_2 なし、CLK_OUT が LED_2 として構成されている場合のみ 0h = LED_1 は通常動作モード 1h = LED_1 の値を駆動 (駆動値はビット #4)
4	led_1_drv_val	R/W	0h	ビット #5 がセットされている場合、これは LED_1 の値になる

表 8-47. LEDS_CFG_2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	led_1_polarity	R/W	1h	LED_1 の極性: if(RX_D3_strap == 1) reset_val = ~CLKOUT_strap else reset_val = ~LED_1_strap 0h = アクティブ Low 1h = アクティブ High
2	led_0_drv_en	R/W	0h	0 - LED_0 は通常動作モード 1 - LED_0 の値を駆動 (駆動値はビット #1)
1	led_0_drv_val	R/W	0h	ビット #2 がセットされている場合、これは LED_1 の値になる
0	led_0_polarity	R/W	1h	LED_0 極性: reset_val = ~LED_0_strap 0h = アクティブ Low 1h = アクティブ High

8.2.44 IO_MUX_CFG_1 レジスタ (オフセット = 452h) [リセット = 0000h]

IO_MUX_CFG_1 を表 8-48 に示します。

概略表に戻ります。

表 8-48. IO_MUX_CFG_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	led_1_clk_div_2_en	R/W	0h	led_1_gpio が led_1_clk_source に構成されている場合、 led_1_clk_source でクロックの 2 分周を選択
14-12	led_1_clk_source	R/W	0h	clk_out が LED_1 IO と多重化されている場合、このフィールドは clk_out ソースを制御: 000b - XI クロック 001b-200m PLL クロック 010b-67MHz ADC クロック (復元) 011b - フリーの 200MHz クロック 100b-25M MII クロック 200m LD クロック 101b-25MHz クロックから PLL (XI または XI/2) または POR クロックに供給する 110b - コア 100MHz クロック 111b - 67MHz DSP クロック (復元、1/3 デューティ サイクル)
11	led_1_clk_inv_en	R/W	0h	led_1_gpio が led_1_clk_source に構成されている場合、 led_1_clk_source でクロックの反転を選択
10-8	led_1_gpio_ctrl	R/W	0h	LED_1 IO の出力を制御: 000b - LED_1 (デフォルト: LINK + ACT) 001b-LED_1 クロック マルチプレクサ OUT 010b-WoL 011b- 低電圧表示 100b-1588 TX 101b-1588 RX 110b-ESD 111b - 割り込み if(RX_D3_strap ==1) reset_val = 3'b001 else reset_val = 3'b000
7	led_0_clk_div_2_en	R/W	0h	led_0_gpio が led_0_clk_source に構成されている場合、 led_0_clk_source でクロックの 2 分周を選択
6-4	led_0_clk_source	R/W	0h	clk_out が LED_0 IO に多重化されている場合、このフィールドは clk_out ソースを制御: 0h = XI クロック 1h = 200M PLL クロック 2h = 67MHz ADC クロック (復元) 3h = フリー 200MHz クロック 4h = 25M MII クロック、200M LD クロックから生成 5h = 25MHz クロックから PLL (XI または XI/2) または POR クロックに供給 6h = コア 100MHz クロック 7h = 67MHz DSP クロック (復元、1/3 デューティ サイクル)
3	led_0_clk_inv_en	R/W	0h	led_0_gpio が led_0_clk_source に構成されている場合、 led_0_clk_source でクロックの反転を選択
2-0	led_0_gpio_ctrl	R/W	0h	LED_0 IO の出力を制御: 0h = LED_0 (デフォルト: LINK) 001b = LED_0 クロック マルチプレクサ 出力 010b = WoL 011b = 低電圧表示 100b = 1588 TX 101b = 1588 RX 110b = ESD 111b = 割り込み

8.2.45 IO_MUX_CFG_2 レジスタ (オフセット = 453h) [リセット = 0001h]

IO_MUX_CFG_2 を表 8-49 に示します。

[概略表](#)に戻ります。

表 8-49. IO_MUX_CFG_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	cfg_tx_er_on_led1	R/W	0h	led_1 ピンを tx_er ピンに構成し、LED_1 ピンを入力に構成
14-9	予約済み	R	0h	予約済み
8	clk_o_clk_div_2_en	R/W	0h	clk_out が clk_o_clk_source を出力するように構成されている場合は、clk_o_clk_source でクロックの 2 分周を選択
7-4	clk_o_clk_source	R/W	0h	clk_out が CLK_O IO に多重化されている場合、このフィールドは clk_out ソースを制御: 0000b = XI クロック 0001b = 200M PLL クロック 0010b = 67MHz ADC クロック (復元) 0011b = フリー 200MHz クロック 0100b = 200M LD クロックから生成される 25M MII クロック 0101b = 25MHz クロックから PLL (XI または Xi/2) または POR クロックに供給する 0110b = コア 100MHz クロック 0111b = 67MHz DSP クロック (復元、1/3 デューティ サイクル) 1000b = CLK25_50 (RMII では 50MHz、その他では 25MHz) 1001b = 50M RMII RX クロック 1010b = SGMII ser1z クロック 1011b = SGMII deser1z クロック 1100b = 30ns ティック 1101b = 40ns ティック 1110b = DLL TX CLK 1111b = DLL RX CLK
3	clk_o_clk_inv_en	R/W	0h	clk_out が clk_o_clk_source を出力するように構成されている場合、clk_o_clk_source でクロックの反転を選択
2-0	clk_o_gpio_ctrl	R/W	1h	CLK_O IO の出力を制御: 000b - LED_1 001b - CLKOUT クロック マルチプレクサ出力 010b - WoL 011b - 低電圧表示 100b - 1588 TX 101b - 1588 RX 110b - ESD 111b - 割り込み pin6(LED_1) がデイジーチェーン CLKOUT にストラップされている場合、 3'h0 に自動的に構成 if(RX_D3_strap == 1) reset_val = 3'b000 else reset_val = 3'b001

8.2.46 IO_MUX_CFG レジスタ (オフセット = 456h) [リセット = 0000h]

表 8-50 に、IO_MUX_CFG を示します。

概略表に戻ります。

表 8-50. IO_MUX_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	rx_pins_pupd_value	R/W	0h	RX ピンの PUPD 強制制御が有効な場合、PUPD はこのレジスタによって制御される 0h = プルなし 1h = プルアップ 2h = プルダウン 3h = 予約済み
13	rx_pins_pupd_force_control	R/W	0h	RX MAC ピンでの PUPD 強制制御を有効化 0h = 強制制御なし 1h = 強制制御を有効化
12-11	tx_pins_pupd_value	R/W	0h	TX ピンの PUPD 強制制御が有効な場合、PUPD はこのレジスタによって制御される 0h = プルなし 1h = プルアップ 2h = プルダウン 3h = 予約済み
10	tx_pins_pupd_force_control	R/W	0h	TX MAC ピンでの PUPD 強制制御を有効化 0h = 強制制御なし 1h = 強制制御を有効化
9-5	mac_rx_impedance_ctrl	R/W	0h	RX MAC インターフェイスの PAD インピーダンス制御
4-0	mac_tx_impedance_ctrl	R/W	0h	TX MAC インターフェイスの PAD インピーダンス制御

8.2.47 CHIP_SOR_1 レジスタ (オフセット = 45Dh) [リセット = 0000h]

CHIP_SOR_1 を表 8-51 に示します。

[概略表](#)に戻ります。

表 8-51. CHIP_SOR_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	
14	予約済み	R	0h	予約済み
13	LED1_POR	R	0h	LED_1 ストラップは電源投入時にサンプリングされます
12	RX_D3_POR	R	0h	RX_D3 ストラップは電源投入時にサンプリングされます
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9	LED0_STRAP	R	0h	LED_0 ストラップは電源投入時またはリセット時にサンプリングされます
8	RXD3_STRAP	R	0h	RX_D3 ストラップはリセット時にサンプリングされます
7	RXD2_STRAP	R	0h	RX_D2 ストラップは電源投入時またはリセット時にサンプリングされます
6	RXD1_STRAP	R	0h	RX_D1 ストラップは電源投入時またはリセット時にサンプリングされます
5	RXD0_STRAP	R	0h	RX_D0 ストラップは電源投入時またはリセット時にサンプリングされます
4	RXCLK_STRAP	R	0h	RX_CLK ストラップは電源投入時またはリセット時にサンプリングされます
3-2	RXER_STRAP	R	0h	RX_ER ストラップは電源投入時またはリセット時にサンプリングされます
1-0	RXDV_STRAP	R	0h	RX_DV ストラップは電源投入時またはリセット時にサンプリングされます

8.2.48 LED1_CLKOUT_ANA_CTRL レジスタ (オフセット = 45Fh) [リセット = 000Ch]

LED1_CLKOUT_ANA_CTRL を表 8-52 に示します。

概略表に戻ります。

表 8-52. LED1_CLKOUT_ANA_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13-5	予約済み	R	0h	予約済み
4	clkout_ana_sel_1p0v_sl	R/W	0h	アナログ テスト クロックの間のテスト ラインを選択するため
3-2	led_1_ana_mux_ctrl	R/W	3h	LED_1 ピンに出力する信号を選択します。Pin6(LED_1) がストラップされている場合は、デジタル側からの出力が自動的に選択されます。デイジーチェーン CLKOUT として動作します。if(RX_D3_strap == 1) reset_val = 2'b00 else reset_val = 2'b11 0h = デイジー チェーン クロック 1h = テスト モード用の TX_TCLK 2h = ANA テスト クロック 3h = デジタルからの clkout_out_1p0v_sl
1-0	clkout_ana_mux_ctrl	R/W	0h	CLKOUT ピンに出力する信号を選択します。Pin6 (LED_1) がストラップされている場合は、デジタル側からの出力が自動的に選択されます。デイジーチェーン CLKOUT として動作します。if(RX_D3_strap == 1) reset_val = 2'b11 else reset_val = 2'b00 0h = デイジー チェーン クロック 1h = テスト モード用の TX_TCLK 2h = ANA テスト クロック 3h = デジタルからの clkout_out_1p0v_sl

8.2.49 TX_INTER_CFG レジスタ (オフセット = 489h) [リセット = 0001h]

TX_INTER_CFG を [表 8-53](#) に示します。

[概略表](#)に戻ります。

表 8-53. TX_INTER_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-3	予約済み	R	0h	予約済み
2	cfg_force_tx_interleave	R/W	0h	Tx にインターリーブを強制します。
1	cfg_tx_interleave_en	R/W	0h	Rx でインターリーブが検出された場合、Tx でインターリーブを有効化 0h = Tx のインターリーブが無効 1h = Rx でインターリーブが検出された場合、Tx のインターリーブが有効
0	cfg_interleave_det_en	R/W	1h	インターリーブ検出を有効化 0h = インターリーブ検出を無効化 1h = インターリーブ検出を有効化

8.2.50 JABBER_CFG レジスタ (オフセット = 496h) [リセット = 044Ch]

JABBER_CFG を [表 8-54](#) に示します。

[概略表](#)に戻ります。

表 8-54. JABBER_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	0h	予約済み
10-0	cfg_rcv_jab_timer_val	R/W	44Ch	usec での Jabber タイムアウト カウント

8.2.51 TEST_MODE_CTRL レジスタ (オフセット = 497h) [リセット = 01C0h]

TEST_MODE_CTRL を [表 8-55](#) に示します。

[概略表](#)に戻ります。

表 8-55. TEST_MODE_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み
9-4	cfg_test_mode1_symbol_count	R/W	1Ch	test_mode_1 で送信する +1/-1 シンボルの数 $N = 2 + 2 * \text{CFG_TEST_MODE1_SYMBOL_CNT}$
3-0	予約済み	R	0h	予約済み

8.2.52 PG_REG_4 レジスタ (オフセット = 553h) [リセット = 0000h]

PG_REG_4 を表 8-56 に示します。

[概略表](#)に戻ります。

表 8-56. PG_REG_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0h	予約済み
13	force_pol_en	R/W	0h	極性の強制設定を有効化 0h = MDI での自動極性 1h = MDI に強制的に極性を印加
12	force_pol_val	R/W	0h	極性強制値。ビット [13] が 1 の場合のみ有効。 0h = 強制通常極性 1h = 強制反転極性
11-0	予約済み	R	0h	予約済み

8.2.53 TC1_CFG_RW レジスタ (オフセット = 560h) [リセット = 07E4h]

TC1_CFG_RW を表 8-57 に示します。

[概略表](#)に戻ります。

表 8-57. TC1_CFG_RW レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12-11	cfg_link_status_metric	R/W	0h	C&S で定義されている次のリンクアップ信号を選択 0h = link_up_c_and_s 1h = link_monitor_status 2h = (phy_control = SEND_DATA) 3h = TC1 仕様の comm_ready
10-5	cfg_link_failure_multihot	R/W	3Fh	各ビットは、特定のシナリオでのリンク障害のロギングを有効化: bit[5] - SQI がレジスタ cfg_bad_sqi_thrs で構成されたスレッショルドよりも大きい bit[6] - RCV_JABBER_DET5 - BAD_SSD bit[7] - LINK_FAILED bit[8] - RX_ERROR bit[9] - BAD_END bit[10] - 予約済み
4-3	cfg_comm_timer_thrs	R/W	0h	TC1 通信準備完了 (TC1 comm ready) のヒステリシスタイム値を選択 0h = 2ms 1h = 500us 2h = 1ms 3h = 4ms
2-0	cfg_bad_sqi_thrs	R/W	4h	TC1 によって定義されたリンク障害カウントを増加させるために使用される SQI しきい値。SQI がスレッショルドを下回ると、TC1 で定義されたリンク障害カウント (レジスタ 0x0561 の bit[9:0]) がインクリメントされます

8.2.54 TC1_LINK_FAIL_LOSS レジスタ (オフセット = 561h) [リセット = 0000h]

TC1_LINK_FAIL_LOSS を表 8-58 に示します。

[概略表](#)に戻ります。

表 8-58. TC1_LINK_FAIL_LOSS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	link_losses	R	0h	最後の電源サイクル以降に発生したリンク損失の数 (TC1 仕様に従う)
9-0	link_failures	R	0h	最後の電源サイクル以降に、リンク損失には至らなかったリンク障害の回数 (TC1 仕様による)

8.2.55 TC1_LINK_TRAINING_TIME レジスタ (オフセット = 562h) [リセット = 0000h]

TC1_LINK_TRAINING_TIME を表 8-59 に示します。

[概略表](#)に戻ります。

表 8-59. TC1_LINK_TRAINING_TIME レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	comm_ready	R	0h	TC1 COMM READY 信号 (リンクを介した通信が可能かどうかを示す上位層の最適化されたリンク ステータス表示) 0h = 通信が不可能 1h = 通信が可能
14-8	予約済み	R	0h	予約済み
7-0	lq_ltt	R	0h	最後のリンクトレーニングのリンクトレーニング時間 (TC1 仕様に準拠)

8.2.56 NO_LINK_TH レジスタ (オフセット = 563h) [リセット = 0096h]

表 8-60 に、NO_LINK_TH を示します。

概略表に戻ります。

表 8-60. NO_LINK_TH レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0h	予約済み
7-0	cfg_no_link_timer_th	R/W	96h	この時間 (ミリ秒単位) 内にリンクが取得されない場合は、有効時に割り込みが提供されます

8.2.57 RGMII_CTRL レジスタ (オフセット = 600h) [リセット = 0030h]

表 8-61 に、RGMII_CTRL を示します。

概略表に戻ります。

表 8-61. RGMII_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-7	予約済み	R	0h	予約済み
6-4	rgmii_tx_half_full_th	R/W	3h	RGMII TX 同期 FIFO のハーフフル スレッショルド (ニブル数)
3	cfg_rgmii_en	R/W	0h	RGMII イネーブル ビット (デフォルト値はストラップから取得) if(RX_D2_strap == 1) reset_val = 1 else reset_val = 0 0h = RGMII 無効 1h = RGMII 有効
2	inv_rgmii_txd	R/W	0h	RGMII Tx 配線順序を反転 - [3:0] と [0:3] をフルスワップ
1	inv_rgmii_rxd	R/W	0h	RGMII Rx 配線順序を反転 - [3:0] と [0:3] をフルスワップ
0	sup_tx_err_fd_rgmii	R/W	0h	このビットは、TX_ERR 表示入力を無効化可能

8.2.58 RGMII_FIFO_STATUS レジスタ (オフセット = 601h) [リセット = 0000h]

表 8-62 に、RGMII_FIFO_STATUS を示します。

[概略表](#)に戻ります。

表 8-62. RGMII_FIFO_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-2	予約済み	R	0h	予約済み
1	rgmii_tx_af_full_err	R	0h	RGMII Tx fifo のフル エラー
0	rgmii_tx_af_empty_err	R	0h	RGMII Tx fifo のエンプティ エラー

8.2.59 RGMII_CLK_SHIFT_CTRL レジスタ (オフセット = 602h) [リセット = 0000h]

表 8-63 に、RGMII_CLK_SHIFT_CTRL を示します。

概略表に戻ります。

表 8-63. RGMII_CLK_SHIFT_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-2	予約済み	R	0h	予約済み
1	cfg_rgmii_rx_clk_shift_sel	R/W	0h	0: クロックとデータが整列 1: PIN のクロックは RGMII_RX データに対して 90 度遅延 if({RX_D2_strap, RX_D1_strap} == 2'b11) reset_val = 1 else reset_val = 0 0h = クロックとデータが整列 1h = PIN のクロックが RGMII_RX データに対して 90 度遅延
0	cfg_rgmii_tx_clk_shift_sel	R/W	0h	このモードは、RGMII_TX_CLK & RGMII_TXD が整列する場合に使用 if({RX_D2_strap, RX_D1_strap, RX_D0_strap} == 3'b101) reset_val = 1 else if({RX_D2_strap, RX_D1_strap, RX_D0_strap} == 3'b110) reset_val = 1 else reset_val = 0

8.2.60 SGMII_CTRL_1 レジスタ (オフセット = 608h) [リセット = 007Bh]

SGMII_CTRL_1 を表 8-64 に示します。

概略表に戻ります。

表 8-64. SGMII_CTRL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	sgmii_tx_err_dis	R/W	0h	SGMII TX エラー無効化ビット
14	cfg_align_idx_force_en	R/W	0h	ワード境界インデックスの選択を強制する
13-10	cfg_align_idx_value	R/W	0h	cfg_align_idx_force がセットされている場合、この値で iword 境界インデックスを設定する
9	cfg_sgmii_en	R/W	0h	SGMII イネーブル ビット (デフォルト値はストラップから取得) if({RX_D2_strap, RX_D1_strap, RX_D0_strap} == 3'b000) reset_val = 1 else reset_val = 0 0h = SGMII MAC I/f が無効化 1h = SGMII MAC I/f が有効化
8	cfg_sgmii_rx_pol_invert	R/W	0h	SGMII RX バスの反転極性
7	cfg_sgmii_tx_pol_invert	R/W	0h	SGMII TX バスの反転極性
6-5	serdes_tx_bits_order	R/W	3h	SERDES TX ビットの順序 (デジタル コアへの入力)
4	serdes_rx_bits_order	R/W	1h	SERDES RX ビットの順序 (デジタル コアの出力): 0 - MSB ファースト (デフォルト) 1 - LSB ファースト (反転順序)
3	cfg_sgmii_align_pkt_en	R/W	1h	TX パケットの読み出し開始 (シリアライザに向けた) を tx_even パルスと整列させるため。Code_Group/OSET FSM コード スロットと同期するため。デフォルトは '1' です。'0' を使用すると、Gemini コードに戻ります
2-1	sgmii_autoneg_timer	R/W	1h	SGMII 自動ネゴシエーション タイマの持続時間を選択 0h = 1.6ms 1h = 2us 2h = 800us 3h = 11ms
0	sgmii_autoneg_en	R/W	1h	SGMII 自動ネゴシエーションの有効化 0h = SGMII 自動ネゴシエーションが無効化 1h = SGMII 自動ネゴシエーションが有効

8.2.61 SGMII_STATUS レジスタ (オフセット = 60Ah) [リセット = 0000h]

表 8-65 に、SGMII_STATUS を示します。

概略表に戻ります。

表 8-65. SGMII_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み
12	sgmii_page_received	R	0h	Clear on Read ビット。新しい自動ネゴシエーション ページが受信されたことを示します
11	SGMII リンク ステータス	R	0h	0h = SGMII リンクがダウン 1h = SGMII リンクがアップ
10	sgmii_autoneg_complete	R	0h	SGMII 自動ネゴシエーション完了を示す 0h = SGMII 自動ネゴシエーションが未完了 1h = SGMII 自動ネゴシエーション完了
9	cfg_align_en	R	0h	ワード境界 FSM - 整列表示
8	cfg_sync_status	R	0h	ワード境界 FSM - 同期ステータス表示
7-4	cfg_align_idx	R	0h	ワード境界インデックスの選択
3-0	予約済み	R	0h	予約済み

8.2.62 SGMII_CTRL_2 レジスタ (オフセット = 60Ch) [リセット = 0024h]

SGMII_CTRL_2 を表 8-66 に示します。

[概略表](#)に戻ります。

表 8-66. SGMII_CTRL_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	予約済み	R	0h	予約済み
8	sgmii_cdr_lock_force_val	R/W	0h	SGMII CDR ロック強制の値
7	sgmii_cdr_lock_force_ctrl	R/W	0h	SGMII CDR ロック強制の有効化
6	sgmii_mr_restart_an	RH/W1S	0h	SGMII 自動ネゴシエーションを再開
5-3	tx_half_full_th	R/W	4h	SGMII TX 同期 FIFO ハーフ フル スレッショルド
2-0	rx_half_full_th	R/W	4h	SGMII RX 同期 FIFO ハーフ フル スレッショルド

8.2.63 SGMII_FIFO_STATUS レジスタ (オフセット = 60Dh) [リセット = 0000h]

表 8-67 に、SGMII_FIFO_STATUS を示します。

概略表に戻ります。

表 8-67. SGMII_FIFO_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	予約済み	R	0h	予約済み
3	sgmii_rx_af_full_err	H	0h	SGMII RX FIFO のフル エラー 0h = エラー表示なし 1h = SGMII RX FIFO フル エラーが表示された
2	sgmii_rx_af_empty_err	H	0h	SGMII RX FIFO のエンプティ エラー 0h = エラー表示なし 1h = SGMII RX FIFO エンプティ エラーが表示された
1	sgmii_tx_af_full_err	H	0h	SGMII TX FIFO のフル エラー 0h = エラー表示なし 1h = SGMII TX FIFO フル エラーが表示された
0	sgmii_tx_af_empty_err	H	0h	SGMII TX fifr エンプティ エラー 0h = エラー表示なし 1h = SGMII TX FIFO エンプティ エラーが表示された

8.2.64 PRBS_STATUS_1 レジスタ (オフセット = 618h) [リセット = 0000h]

PRBS_STATUS_1 を表 8-68 に示します。

[概略表](#)に戻ります。

表 8-68. PRBS_STATUS_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0h	予約済み
7-0	prbs_err_ov_cnt	R	0h	PRBS チェッカが受信したエラー カウンタ オーバーフロー カウンタを保持します。レジスタ 0x001B の bit[0] または bit[1] に書き込みが行われると、このレジスタの値はロックされます。カウンタは 0xFF で停止します。注記: PRBS カウンタがシングルモードで動作している場合、オーバーフロー カウンタはアクティブではありません。

8.2.65 PRBS_CTRL_1 レジスタ (オフセット = 619h) [リセット = 0574h]

PRBS_CTRL_1 を表 8-69 に示します。

[概略表](#)に戻ります。

表 8-69. PRBS_CTRL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0h	予約済み
13	cfg_pkt_gen_64	R/W	0h	0h = パケット生成モードで 1518 バイトのパケットを送信する 1h = パケット生成モードで 64 バイトのパケットを送信する
12	send_pkt	RH/W1S	0h	CRC 付きの固定 / 増分データを含む MAC パケットの生成を有効化 (pkt_gen_en をセットし、cfg_pkt_gen_prbs をクリアする必要がある) pkt_done がセットされると自動的にクリアされる
11	予約済み	R	0h	予約済み
10-8	cfg_prbs_chk_sel	R/W	5h	000: チェッカは RGMII TX から受信 001: チェッカは SGMII TX から受信 010: チェッカは RMII RX から受信 011: チェッカは MII から受信 101: チェッカーが Cu RX から受信 110: 予約済み 111: 予約済み
7	予約済み	R	0h	予約済み
6-4	cfg_prbs_gen_sel	R/W	7h	000: PRBS が RGMII RX に送信 001: PRBS が SGMII RX に送信 010: PRBS が RMII RX に送信 011: PRBS が MII RX に送信 101: PRBS が Cu TX に送信 110: 予約済み 111: 予約済み
3	cfg_prbs_cnt_mode	R/W	0h	0h = シングル モード、PRBS カウンタのいずれかが最大値に達すると、PRBS チェッカはカウントを停止。 1h = 連続モード、PRBS カウンタのいずれかが最大値に達すると、パルスが生成され、カウンタは再度ゼロからカウントを開始
2	cfg_prbs_chk_enable	R/W	1h	PRBS チェッカの有効化
1	cfg_pkt_gen_prbs	R/W	0h	セットされている場合: (1) pkt_gen_en がセットされている場合、PRBS パケットを連続的に生成 (3) pkt_gen_en がクリアされている場合、次のようにクリアされていれば PRBS RX チェッカは有効のまま: (1) pkt_gen_en が設定されている場合、非 PRBS パケットが生成されます (3) pkt_gen_en がクリアされると、PRBS RX チェッカも無効になります
0	pkt_gen_en	R/W	0h	PRBS / パケット ジェネレータの有効 / 無効の切り替え 0h = PRBS / パケット ジェネレータを無効化 1h = PRBS / パケット ジェネレータを有効化

8.2.66 PRBS_CTRL_2 レジスタ (オフセット = 61Ah) [リセット = 05DCh]

PRBS_CTRL_2 を表 8-70 に示します。

[概略表](#)に戻ります。

表 8-70. PRBS_CTRL_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	パケット長	R/W	5DCh	生成される PRBS パケットまたは非 PRBS パケットのパケット長 (バイト単位) を設定します

8.2.67 PRBS_CTRL_3 レジスタ (オフセット = 61Bh) [リセット = 007Dh]

PRBS_CTRL_3 を表 8-71 に示します。

[概略表](#)に戻ります。

表 8-71. PRBS_CTRL_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0h	予約済み
7-0	PRBS IPG	R/W	7Dh	生成される PRBS パケットまたは非 PRBS パケット間の IPG (バイト単位) を設定します

8.2.68 PRBS_STATUS_2 レジスタ (オフセット = 61Ch) [リセット = 0000h]

PRBS_STATUS_2 を表 8-72 に示します。

[概略表](#)に戻ります。

表 8-72. PRBS_STATUS_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PRBS チェッカ バイト カウン ト	R	0h	PRBS チェッカが受信した全バイトを保持します。 レジスタの値は、0x620[0] または 0x620[1] が書き込みされるとロックされ ます PRBS カウントモードが 0 に設定されている場合、カウントは 0xFFFF で 停止します このカウンタは、0x620[1] = 1 を設定した後、このカウンタを読み取るとクリ アされます

8.2.69 PRBS_STATUS_3 レジスタ (オフセット = 61Dh) [リセット = 0000h]

PRBS_STATUS_3 を表 8-73 に示します。

[概略表](#)に戻ります。

表 8-73. PRBS_STATUS_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PRBS チェッカ パケット カウント -1	R	0h	PRBS チェッカが受信した総パケット数のビット [15:0] を保持します レジスタの値は 0x620[0] または 0x620[1] が書き込みされるとロックされます PRBS カウントモードが 0 に設定されている場合、カウントは 0xFFFFFFFF で停止します このカウンタは、0x620[1]=1 を設定した後、0x61D、0x61E を同じ順序で読み取るとクリアされます

8.2.70 PRBS_STATUS_4 レジスタ (オフセット = 61Eh) [リセット = 0000h]

PRBS_STATUS_4 を表 8-74 に示します。

[概略表](#)に戻ります。

表 8-74. PRBS_STATUS_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PRBS チェッカ パケット カウント-2	R	0h	PRBS チェッカが受信した総パケット数のビット [31:16] を保持します レジスタの値は 0x620[0] または 0x620[1] が書き込みされるとロックされます PRBS カウントモードが 0 に設定されている場合、カウントは 0xFFFFFFFF で停止します このカウンタは、0x620[1]=1 を設定した後、0x61D、0x61E を同じ順序で 読み取るとクリアされます

8.2.71 PRBS_STATUS_5 レジスタ (オフセット = 620h) [リセット = 0000h]

PRBS_STATUS_5 を表 8-75 に示します。

[概略表](#)に戻ります。

表 8-75. PRBS_STATUS_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み
12	MAC パケット生成完了	R	0h	すべての CRC 付き MAC パケットが送信されるときに設定されます 0h = MAC パケットを送信中 1h = MAC パケット送信完了
11	MAC パケット生成動作中	R	0h	0h = パケット ジェネレータは処理中ではありません 1h = パケット ジェネレータは処理中です
10	PRBS チェッカ パケット カウントオーバーフロー ステータス	R	0h	PRBS チェッカ パケット カウントがオーバーフローした場合、このステータス ビットが 1 にセットされます このオーバーフロー ステータスは、0x620[1] を使用して PRBS バイト カウンタをクリアするとクリアされます
9	PRBS チェッカ バイト カウントオーバーフロー ステータス	R	0h	PRBS チェッカ バイト カウントがオーバーフローした場合、このステータス ビットが 1 にセットされます このオーバーフローステータスは、0x620[1] を使用して PRBS バイト カウンタをクリアするとクリアされます
8	PRBS ロック	R	0h	1h = PRBS チェッカが受信ストリームにロックし、同期しています
7-0	PRBS エラー カウント	R	0h	ビット 0 に 1 を書き込むと、すべての PRBS カウンタがロックされます ビット 1 に 1 を書き込むと、すべての PRBS カウンタがロックされ、さらに該当するレジスタを読み取ったときにカウンタがクリアされます ビット [1:0] は書き込み後に自動的にクリアされます ビット 0 またはビット 1 に書き込んだ後にビット [7:0] を読み取ると、PRBS チェッカが受信したエラー ビット数が読み出されます PRBS カウント モードが 0 に設定されている場合、カウンタは 0xFF で停止します

8.2.72 PRBS_STATUS_6 レジスタ (オフセット = 622h) [リセット = 0000h]

PRBS_STATUS_6 を表 8-76 に示します。

[概略表](#)に戻ります。

表 8-76. PRBS_STATUS_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PRBS パケット エラー カウント-1	R	0h	PRBS チェッカがエラー付きで受信した総パケット数のビット [15:0] を保持します レジスタの値は 0x620[0] または 0x620[1] が書き込みされるとロックされます PRBS カウント モードが 0 に設定されている場合、カウントは 0xFFFFFFFF で停止します このカウンタは、0x620[1]=1 を設定した後、0x622、0x623 を同じ順序で読み取るとクリアされます

8.2.73 PRBS_STATUS_7 レジスタ (オフセット = 623h) [リセット = 0000h]

PRBS_STATUS_7 を表 8-77 に示します。

[概略表](#)に戻ります。

表 8-77. PRBS_STATUS_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PRBS パケット エラー カウント-2	R	0h	PRBS チェッカがエラー付きで受信した総パケット数のビット [31:16] を保持します レジスタの値は、0x620[0] または 0x620[1] が書き込みされるとロックされます PRBS カウントモードが 0 に設定されている場合、カウントは 0xFFFFFFFF で停止します このカウンタは、0x620[1] =1 を設定した後、0x622、0x623 を同じ順序で読み取るとクリアされます

8.2.74 PRBS_CTRL_4 レジスタ (オフセット = 624h) [リセット = 5511h]

PRBS_CTRL_4 を表 8-78 に示します。

[概略表](#)に戻ります。

表 8-78. PRBS_CTRL_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	MAC パケット データ	R/W	55h	MAC パケットモードが 固定モードに設定された場合に送信される固定データです
7-6	MAC パケット モード	R/W	0h	0h = インクリメント 1h = 固定 2h = PRBS 3h = PRBS
5-3	MAC パケット内パターン長	R/W	2h	パケット内の有効なパターンのバイト数 (最大 6)
2-0	MAC パケット モードのパケット カウント	R/W	1h	0h = 1 パケット 1h = 10 パケット 2h = 100 パケット 3h = 1000 パケット 4h = 10000 パケット 5h = 100000 パケット 6h = 1000000 パケット 7h = 連続パケット

8.2.75 PATTERN_CTRL_1 レジスタ (オフセット = 625h) [リセット = 0000h]

PATTERN_CTRL_1 を表 8-79 に示します。

[概略表](#)に戻ります。

表 8-79. PATTERN_CTRL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	MAC パケット内パターン [15:0]	R/W	0h	MAC パケット内のプログラマブル パターンのバイト 0、1

8.2.76 PATTERN_CTRL_2 レジスタ (オフセット = 626h) [リセット = 0000h]

PATTERN_CTRL_2 を表 8-80 に示します。

[概略表](#)に戻ります。

表 8-80. PATTERN_CTRL_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	MAC パケット内パターン [31:16]	R/W	0h	MAC パケット内のプログラマブル パターンのバイト 2、3

8.2.77 PATTERN_CTRL_3 レジスタ (オフセット = 627h) [リセット = 0000h]

PATTERN_CTRL_3 を表 8-81 に示します。

[概略表](#)に戻ります。

表 8-81. PATTERN_CTRL_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	MAC パケット内パターン [47:32]	R/W	0h	MAC パケット内のプログラマブル パターンのバイト 4、5

8.2.78 PMATCH_CTRL_1 レジスタ (オフセット = 628h) [リセット = 0000h]

PMATCH_CTRL_1 を表 8-82 に示します。

[概略表](#)に戻ります。

表 8-82. PMATCH_CTRL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	MAC パケット宛先アドレス [15:0]	R/W	0h	生成される MAC パケットの宛先アドレス フィールドです

8.2.79 PMATCH_CTRL_2 レジスタ (オフセット = 629h) [リセット = 0000h]

PMATCH_CTRL_2 を表 8-83 に示します。

[概略表](#)に戻ります。

表 8-83. PMATCH_CTRL_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	MAC パケット宛先アドレス [31:16]	R/W	0h	生成される MAC パケットの宛先アドレス フィールドです

8.2.80 PMATCH_CTRL_3 レジスタ (オフセット = 62Ah) [リセット = 0000h]

PMATCH_CTRL_3 を表 8-84 に示します。

[概略表](#)に戻ります。

表 8-84. PMATCH_CTRL_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	MAC パケット宛先アドレス [47:32]	R/W	0h	生成される MAC パケットの宛先アドレス フィールドです

8.2.81 TX_PKT_CNT_1 レジスタ (オフセット = 639h) [リセット = 0000h]

TX_PKT_CNT_1 を表 8-85 に示します。

[概略表](#)に戻ります。

表 8-85. TX_PKT_CNT_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	TX パケット カウント [15:0]	RC	0h	TX パケット MAC カウンタの下位 16 ビット 注: 0x639、0x63A、0x63B を順に読み出すと、レジスタはクリアされます

8.2.82 TX_PKT_CNT_2 レジスタ (オフセット = 63Ah) [リセット = 0000h]

TX_PKT_CNT_2 を表 8-86 に示します。

[概略表](#)に戻ります。

表 8-86. TX_PKT_CNT_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	TX パケット カウント [31:16]	RC	0h	TX パケット MAC カウンタの上位 16 ビット 注: 0x639、0x63A、0x63B を順に読み出すと、レジスタはクリアされます

8.2.83 TX_PKT_CNT_3 レジスタ (オフセット = 63Bh) [リセット = 0000h]

TX_PKT_CNT_3 を表 8-87 に示します。

[概略表](#)に戻ります。

表 8-87. TX_PKT_CNT_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	TX エラー パケット カウント	RC	0h	CRC エラーのある MAC からの TX パケットカウンタ 注: 0x639、0x63A、0x63B を順に読み出すと、レジスタはクリアされます

8.2.84 RX_PKT_CNT_1 レジスタ (オフセット = 63Ch) [リセット = 0000h]

RX_PKT_CNT_1 を表 8-88 に示します。

[概略表](#)に戻ります。

表 8-88. RX_PKT_CNT_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	RX パケット カウント [15:0]	RC	0h	MDI から受信した RX パケットの下位 16 ビット 注: 0x63C、0x63D、0x63E を順に読み出すと、レジスタはクリアされます

8.2.85 RX_PKT_CNT_2 レジスタ (オフセット = 63Dh) [リセット = 0000h]

RX_PKT_CNT_2 を表 8-89 に示します。

[概略表](#)に戻ります。

表 8-89. RX_PKT_CNT_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	RX パケット カウント [31:16]	RC	0h	MDI から受信した RX パケットの上位 16 ビット 注: 0x63C、0x63D、0x63E を順に読み出すと、レジスタはクリアされます

8.2.86 RX_PKT_CNT_3 レジスタ (オフセット = 63Eh) [リセット = 0000h]

RX_PKT_CNT_3 を表 8-90 に示します。

[概略表](#)に戻ります。

表 8-90. RX_PKT_CNT_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	RX エラー パケット カウント	RC	0h	エラーあり Rx パケット (CRC エラー) カウンタ 注: 0x63C、0x63D、0x63E を順に読み出すと、レジスタはクリアされます

8.2.87 RMII_CTRL_1 レジスタ (オフセット = 648h) [リセット = 0120h]

RMII_CTRL_1 を表 8-91 に示します。

[概略表](#)に戻ります。

表 8-91. RMII_CTRL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	0h	予約済み
10	RMII TXD 遅延無効	R/W	0h	このビットをセットすると、RMII モードでの TXD の遅延が無効化される。
9-7	RMII ハーフ フル スレッショルド	R/W	2h	RMII Rx FIFO の FIFO ハーフ フル スレッショルドをニブル単位で設定します
6	RMII イネーブル	R/W	0h	1h = RMII を有効化
5	cfg_rmii_bypass_afifo_en	R/W	1h	0h = RMII 非同期 FIFO のバイパスなし 1h = RMII 非同期 FIFO のバイパスが有効
4	RMII フォロワ有効	R/W	0h	このビットの構成は推奨しません。ステータス ビットとして使用できます 1h = RMII フォロワー モードを有効化します
3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1	RMII Rev1.0 有効	R/W	0h	1h = RMII rev1.0 を有効にします
0	RMII 拡張モード有効	R/W	0h	1h = RMII 拡張モードを有効にします

8.2.88 RMII_STATUS_1 レジスタ (オフセット = 649h) [リセット = 0000h]

RMII_STATUS_1 を表 8-92 に示します。

[概略表](#)に戻ります。

表 8-92. RMII_STATUS_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-2	予約済み	R	0h	予約済み
1	RMII FIFO エンプティ エラー	R	0h	読み取りでクリアされるビット RMII FIFO アンダーフロー エラー ステータスを示します
0	RMII FIFO フル エラー	R	0h	読み取りでクリアされるビット RMII FIFO オーバーフロー ステータスを示します

8.2.89 dsp_reg_71 レジスタ (オフセット = 871h) [リセット = 0000h]

dsp_reg_71 を表 8-93 に示します。

[概略表](#)に戻ります。

表 8-93. dsp_reg_71 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0h	予約済み
7-5	最悪の SQI です	0h	最後の読み取り以降の最悪 SQI 値	
4	予約済み	R	0h	予約済み
3-1	SQI 値	R	0h	SQI 値
0	予約済み	R	0h	予約済み

8.2.90 MMD1_PMA_CTRL_1 レジスタ (オフセット = 1000h) [リセット = 0000h]

MMD1_PMA_CTRL_1 を表 8-94 に示します。

[概略表](#)に戻ります。

表 8-94. MMD1_PMA_CTRL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PMA のリセット	R/W	0h	1h = PMA をリセット
14-1	予約済み	R	0h	予約済み
0	PMA のループバック	R/W	0h	1h = PMA ループバック設定

8.2.91 MMD1_PMA_STATUS_1 レジスタ (オフセット = 1001h) [リセット = 0000h]

MMD1_PMA_STATUS_1 を表 8-95 に示します。

[概略表](#)に戻ります。

表 8-95. MMD1_PMA_STATUS_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-3	予約済み	R	0h	予約済み
2	リンク ステータス	R	0h	リンク モニタ ステート マシンからのリンク ステータス 1h = リンクは確立
1-0	予約済み	R	0h	予約済み

8.2.92 MMD1_PMA_STAUS_2 レジスタ (オフセット = 1007h) [リセット = 003Dh]

MMD1_PMA_STAUS_2 を表 8-96 に示します。

[概略表](#)に戻ります。

表 8-96. MMD1_PMA_STAUS_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-6	予約済み	R	0h	予約済み
5-0	PMA PMD タイプ選択	R	3Dh	PMA または PMD タイプ選択フィールド 111101b = 100BASE-T1 PMA または PMD

8.2.93 MMD1_PMA_EXT_ABILITY_1 レジスタ (オフセット = 100Bh) [リセット = 0800h]

MMD1_PMA_EXT_ABILITY_1 を表 8-97 に示します。

[概略表](#)に戻ります。

表 8-97. MMD1_PMA_EXT_ABILITY_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0h	予約済み
11	拡張機能	R	1h	0h = PMA/PMD は拡張機能を備えていません 1h = PMA/PMD は BASE-T1 拡張機能を備えています
10-0	予約済み	R	0h	予約済み

8.2.94 MMD1_PMA_EXT_ABILITY_2 レジスタ (オフセット = 1012h) [リセット = 0001h]

MMD1_PMA_EXT_ABILITY_2 を表 8-98 に示します。

[概略表](#)に戻ります。

表 8-98. MMD1_PMA_EXT_ABILITY_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-1	予約済み	R	0h	予約済み
0	100BASE-T1 機能:	R	1h	0h = PMA/PMD は 100BASE-T1 をサポートしていません 1h = PMA/PMD は 100BASE-T1 をサポートしています

8.2.95 MMD1_PMA_CTRL_2 レジスタ (オフセット = 1834h) [リセット = 8000h]

MMD1_PMA_CTRL_2 を表 8-99 に示します。

[概略表](#)に戻ります。

表 8-99. MMD1_PMA_CTRL_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	リーダーフォロー構成	R/W	0h	0h = PHY をフォロワーとして構成します 1h = PHY をリーダーとして構成します
13-4	予約済み	R	0h	予約済み
3-0	タイプ選択	R	0h	タイプ選択フィールド 0h = 100BASE-T1

8.2.96 MMD1_PMA_TEST_MODE_CTRL レジスタ (オフセット = 1836h) [リセット = 0000h]

MMD1_PMA_TEST_MODE_CTRL を表 8-100 に示します。

[概略表](#)に戻ります。

表 8-100. MMD1_PMA_TEST_MODE_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	コンプライアンス テスト モード	R/W	0h	100BASE-T1 テスト モード制御 000b = 通常モード動作 001b = テスト モード 1 010b = テスト モード 2 011b = 予約済み 100b = テスト モード 4 101b = テスト モード 5 110b = 予約済み 111b = 予約済み
12-0	予約済み	R	0h	予約済み

8.2.97 MMD3_PCS_CTRL_1 レジスタ (オフセット = 3000h) [リセット = 0000h]

MMD3_PCS_CTRL_1 を表 8-101 に示します。

[概略表](#)に戻ります。

表 8-101. MMD3_PCS_CTRL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PCS のリセット	R/W	0h	リセット ビット、自動クリア。 このビットに 1 を書き込むと以下をリセットします: 1.MMD3/MMD7 のレジスタ (ベンダー固有でないもの) をリセットします。 2.brk_top をリセットします 注記:このレジスタは WSC (書き込み自動クリア) で、読み取り専用ではありません
14	PCS_loopback	R/W	0h	PCS_Reset によってクリアされます
13-11	予約済み	R	0h	予約済み
10	RX クロック停止可能	R/W	0h	RW リセット値は 1。 1= PHY は LPI 中にクロックを停止できます 0 = クロックは停止できません 注:このフロップはグルー ロジックで実装されています
9-0	予約済み	R	0h	予約済み

8.2.98 MMD3_PCS_Status_1 レジスタ (オフセット = 3001h) [リセット = 0000h]

MMD3_PCS_Status_1 を表 8-102 に示します。

[概略表](#)に戻ります。

表 8-102. MMD3_PCS_Status_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0h	予約済み
11	TX LPI 受信済み	R	0h	0h = LPI の受信なし 1h = Tx PCS HS が LPI を受信
10	RX LPI 受信済み	R	0h	0h = LPI の受信なし 1h = Rx PCS HS が LPI を受信
9	TX LPI インジケーション	R	0h	0h = PCS が現在 LPI を受信中ではない 1h = TX PCS が現在 LPI を受信
8	RX LPI インジケーション	R	0h	0h = PCS が現在 LPI を受信中ではない 1h = RX PCS が現在 LPI を受信
7	予約済み	R	0h	予約済み
6	TX クロック停止可能	R	0h	0h = クロックを停止できない 1h = LPI 中に MAC はクロックを停止できます
5-0	予約済み	R	0h	予約済み

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

DP83TC812 はシングル ポートの 100Mbps 車載イーサネット PHY です。本デバイスは IEEE 802.3bw をサポートしており、MII、RMII、RGMII または SGMII を使ってイーサネット MAC に接続できます。イーサネット アプリケーションで本デバイスを使用する場合、通常動作のための一定の要件を満たす必要があります。以下のサブセクションは、適切な部品選択と必要な接続に役立つことを目的としています。

注

準拠性試験に使用されるレジスタ設定の詳細については、SNLA389 アプリケーション ノートを参照してください。準拠性試験時と同じ性能を得るには、これらのレジスタ設定を使用する必要があります。

9.2 代表的なアプリケーション

図 9-2 から 図 9-6 に、DP83TC812x-Q1 の代表的なアプリケーションをいくつか示します。

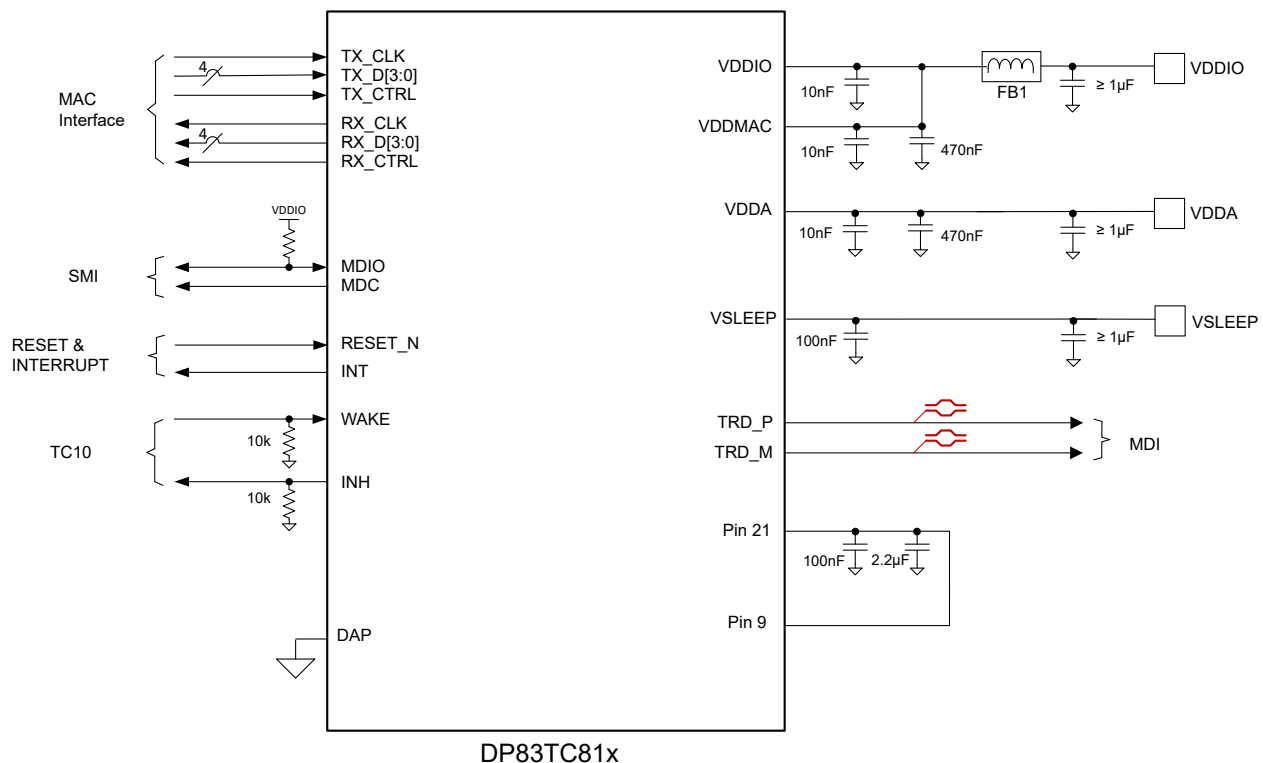


図 9-1. 代表的なアプリケーション (一般)

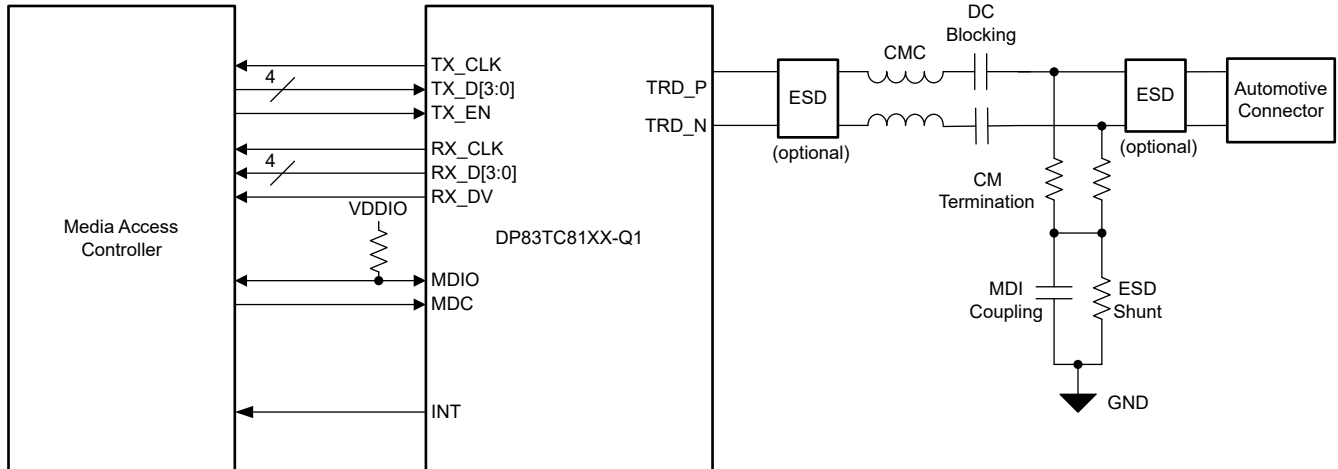


図 9-2. 代表的なアプリケーション (MII)

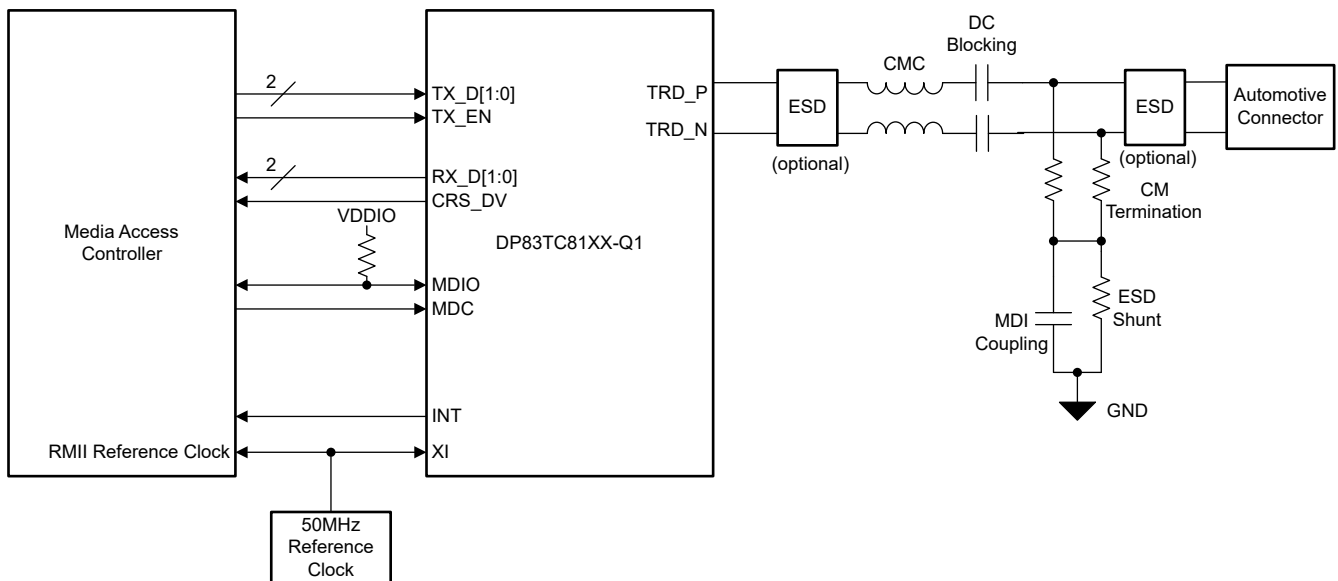


図 9-3. 代表的なアプリケーション (RMII フォロワ)

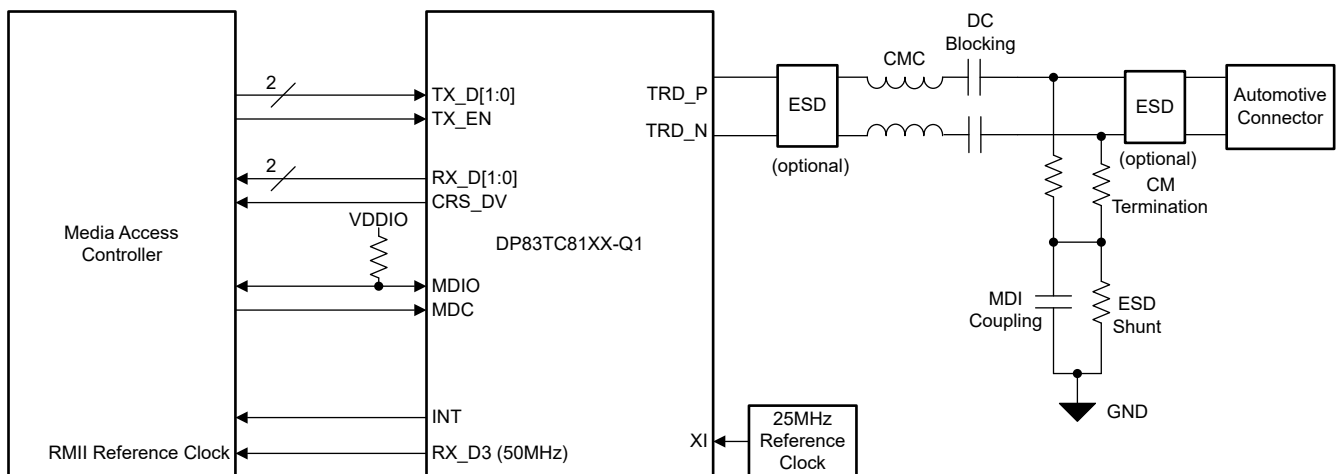


図 9-4. 代表的なアプリケーション (RMII リーダー)

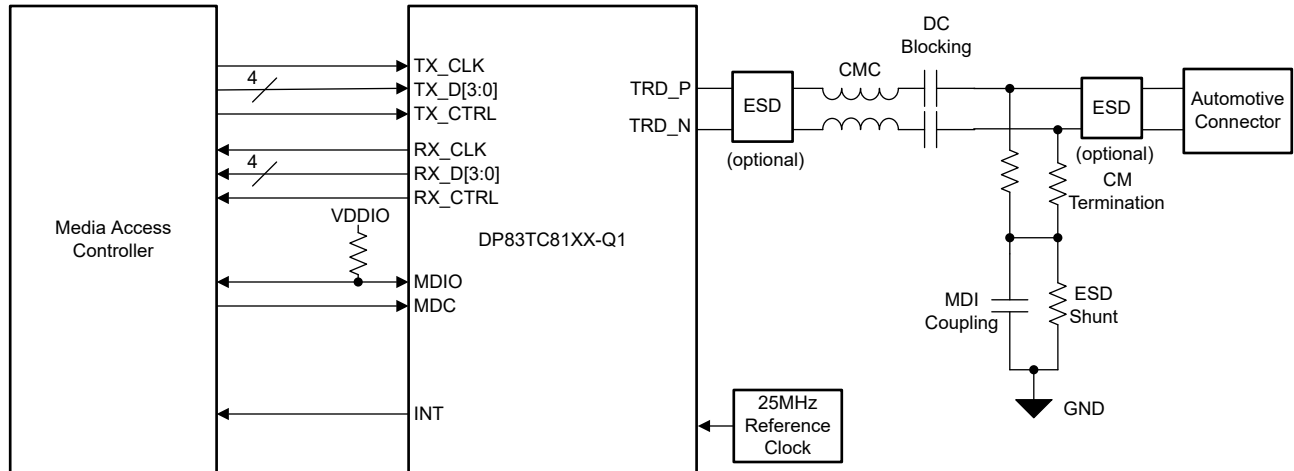


図 9-5. 代表的なアプリケーション (RGMII)

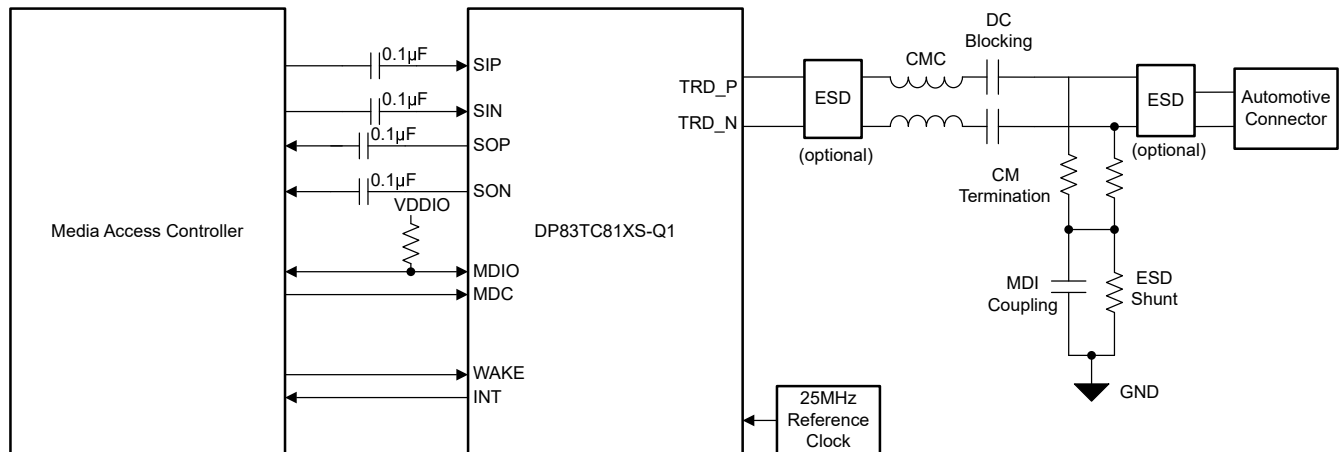


図 9-6. 代表的なアプリケーション (SGMII)

9.2.1 設計要件

これらの一般的なアプリケーションでは、以下の表に示す値を設計パラメータとして使用してください。詳細な接続図については、「[セクション 9.3](#)」を参照してください。

表 9-1. 設計パラメータ

設計パラメータ	数値の例
V_{DDIO}	1.8V、2.5V、または 3.3V
V_{DDMAC}	1.8V、2.5V、または 3.3V
V_{DDA}	3.3V
V_{SLEEP}	3.3V
デカップリング コンデンサ V_{DDIO} ^{(1) (2)}	0.01µF
(オプション) V_{DDIO} 用フェライト ビーズ ⁽²⁾	100MHz で 1kΩ (BLM18KG601SH1D)
デカップリング コンデンサ V_{DDMAC} ⁽¹⁾	0.01µF、0.47µF
V_{DDMAC} 用フェライト ビーズ	100MHz で 1kΩ (BLM18KG601SH1D)
デカップリング コンデンサ V_{DDA} ⁽¹⁾	0.01µF、0.47µF
(オプション) V_{DDA} 用フェライト ビーズ	100MHz で 1kΩ (BLM18KG601SH1D)

表 9-1. 設計パラメータ (続き)

設計パラメータ	数値の例
複数のデカップリング コンデンサ V_{SLEEP}	0.1 μ F
DC ブロッキング コンデンサ (1)	0.1 μ F
コモン モード チョーク	200 μ H
コモン モード 終端抵抗 (3)	1k Ω
MDI カップリング コンデンサ (1)	4.7nF
ESD シャント (1)	100k Ω
基準クロック	25MHz

(1) 許容誤差 10% の部品を推奨します。

(2) VDDIO が VDDMAC と分離している場合 VDDIO には追加でフェライト ビーズと 0.47 μ F のコンデンサが必要です。

(3) 許容誤差 1% の部品を推奨します。

9.2.1.1 物理メディアの接続

コモン モード チョークの下には金属を配置できません。CMC はその下にある金属にノイズを注入する可能性があり、システムの放射と耐性の性能に影響を及ぼす可能性があります。DP83TC812S-Q1 は電圧モードのライン ドライバであるため、外付けの終端抵抗は不要です。グラウンドに対して ESD シャントと MDI カップリング コンデンサを接続する必要があります。差動カップリングを改善するため、コモン モード 終端抵抗の許容誤差は 1% 以下とします。

9.2.1.1.1 コモン モード チョークに関する推奨事項

DP83TC812S-Q1 と組み合わせて使用するには以下の CMC を推奨します：

表 9-2. 推奨 CMC

製造元	部品番号
Pulse Electronics	AE2002
Murata	DLW43MH201XK2L
Murata	DLW32MH201XK2
TDK	ACT1210L-201

表 9-3. CMC の電氣的仕様

パラメータ	標準値	単位	条件
挿入損失	-0.5	dB	1 ~ 30MHz
	-1.0	dB	30 ~ 60MHz
リターン ロス	-26	dB	1 ~ 30MHz
	-20	dB	30 ~ 60MHz
同相信号除去	-24	dB	1MHz
	-42	dB	10 ~ 100MHz
	-25	dB	400MHz
差動同相信号除去	-70	dB	1 ~ 10MHz
	-50	dB	100MHz
	-24	dB	1000MHz

9.2.2 詳細な設計手順

イーサネット PHY を使って新しくシステムを設計する場合、この図に示す手順に従います。

1. 回路図チェックリストの「トラップツール」タブを使用して、適切な外付けブートストラップ抵抗を選択します。
2. セクション 7.5.1 で、目的の PHY ハードウェア構成を選択します。

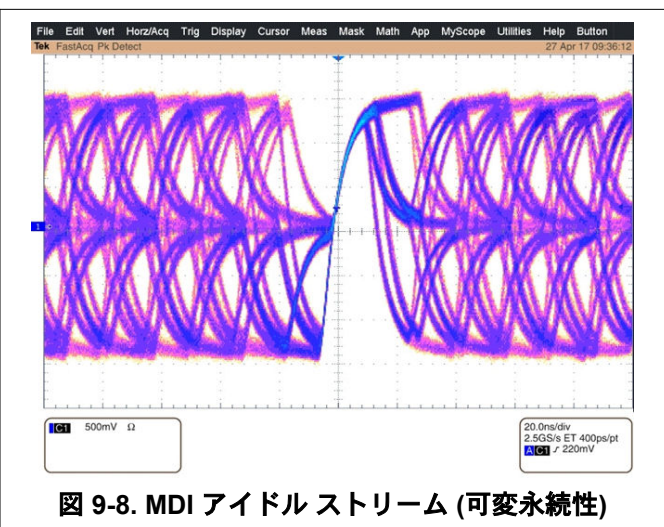
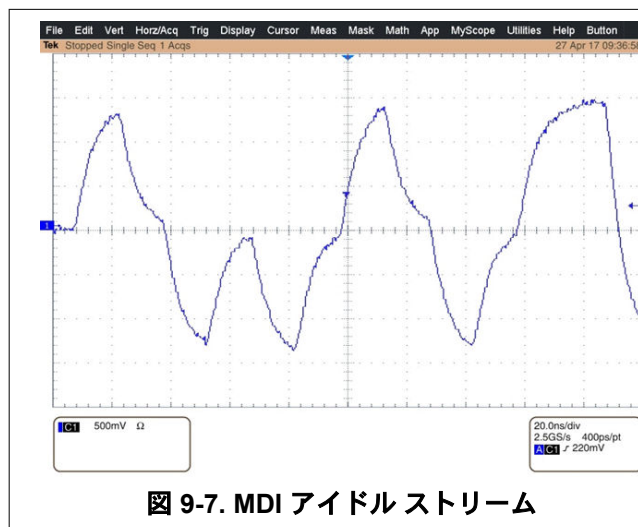
- 「ピンワイズチェックリスト」タブの回路図チェックリストを参照して、回路図設計のガイドとして使用してください。
- DP83TC812、DP83TC813、および DP83TC814 を使用します: TRD_M および TRD_P ピンに接続された MDI 回路の部品を選択するためのガイドとしてオープンアライアンス仕様準拠のための構成を使用します。

以下のレイアウト手順に従います:

- 短い MDI トレースを目的のコネクタに配線できるように、基板の端の近くに PHY を配置します。
- MDI の外付け部品 (CMC、DC ブロッキング コンデンサ、CM 終端、MDI カップリング コンデンサ、ESD シャント) を配置します。
- トップ層およびその直下の少なくとも 1 層において、CMC の下にはメタル ポア禁止エリアを設けます。
- MDI TRD_M および TRD_P トレースは、100Ω 差動で配線されます。
- クロック源を XI および XO ピンの近くに配置します。
- MII、RMII、RGMII モードでは xMII ピンを 50Ω で配線し グランドを基準としたシングルエンドとします。
- セットアップおよびホールド タイミングが PHY 要件に違反しないように、送信パスの xMII ピンを配線します。
- セットアップおよびホールド タイミングが MAC 要件に違反しないように、受信パスの xMII ピンを配線します。
- SGMII モードでは xMII RX_P、RX_M、TX_P、TX_M ピンを 100Ω 差動で配線します。
- PHY の近くに MDIO プルアップを配置します。
- 回路図チェックリストの「レイアウト チェックリスト」タブにアクセスし、設計をガイドします。

9.2.3 アプリケーション曲線

以下の特性曲線は、標準条件下で PHY 評価基板を使用して取得したものです。



9.3 電源に関する推奨事項

DP83TC812S-Q1 は、広い IO 電源電圧範囲 (3.3V、2.5V、1.8V) で動作できます。電源シーケンス制御は不要です。VDDA と VDDIO が安定するまで、入力ピンを駆動しないでください。推奨される電源デカップリング ネットワークを以下の図に示します。伝導型電磁波を改善するため、電源と PHY デカップリング ネットワークの間にオプションのフェライト ビーズを配置することもできます。

代表的な TC -10 アプリケーションのブロック図と、電源およびペリフェラルを以下に示します。TPS7B81-Q1 は、VSLEEP レールの 3.3V LDO として使用することを推奨される部品番号です。この LDO の低静止電流は、TC-10 アプリケーション向けに LDO 設計をされています。

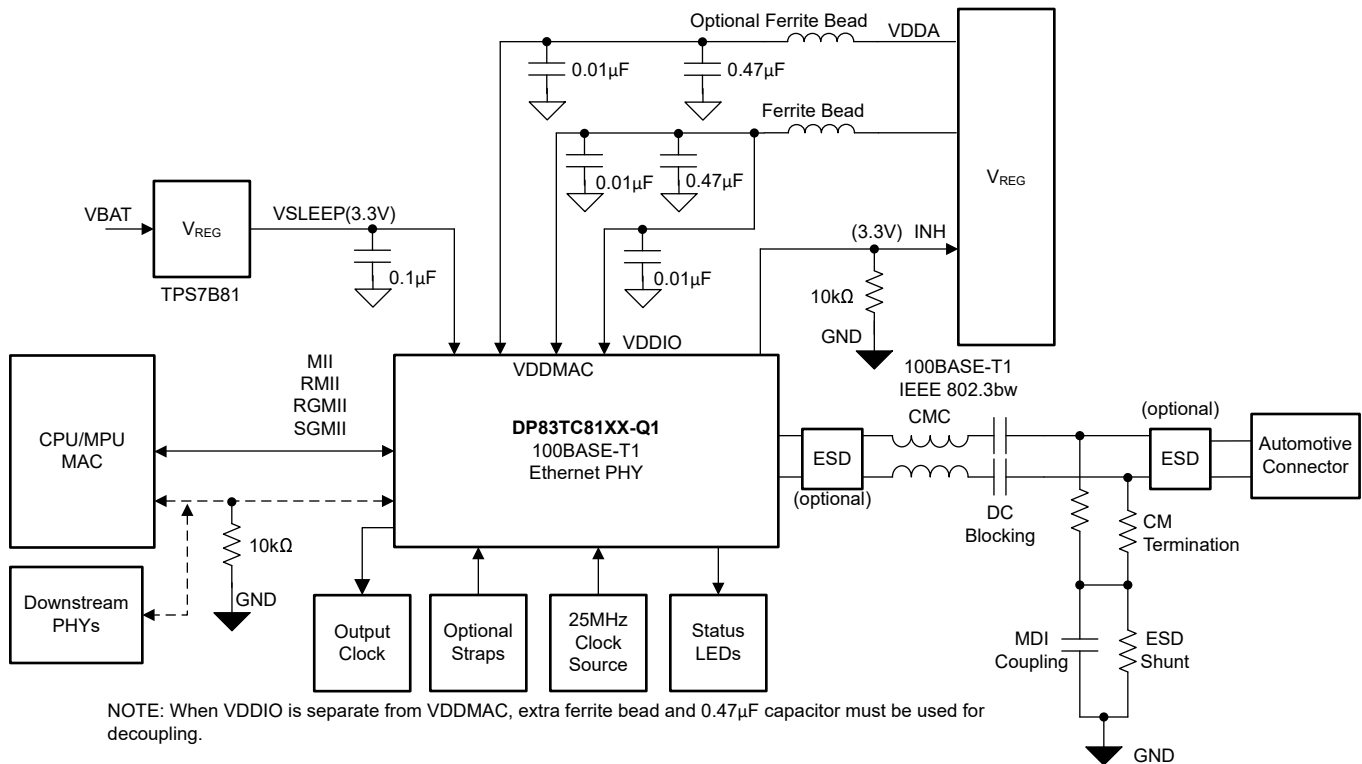


図 9-9. ペリフェラルを使用した代表的な TC-10 アプリケーション

VDDIO と VDDMAC が分離している場合、両方の電圧レールにフェライト ビーズ、0.47µF、0.01µF コンデンサの専用ネットワークを配置する必要があります。VSLEEP を VDDA に接続することもでき、この構成では 0.1µF コンデンサを保持する必要があります。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

9.4.1.1 信号トレース

PCB トレースは損失が大きいため、長いトレースが信号品質を低下させる可能性があります。トレースはできるだけ短くする必要があります。特に記述のない限り、すべての信号トレースは 50Ω のシングルエンド インピーダンスでなくてはなりません。差動トレースは、50Ω シングルエンドおよび 100Ω 差動でなくてはなりません。全体を通してインピーダンスが制御されていることを確認します。インピーダンスの不連続性は反射を引き起こし、放射とシグナル インテグリティの問題につながります。スタブは、すべての信号トレース (特に差動信号ペア) で回避しなければなりません。

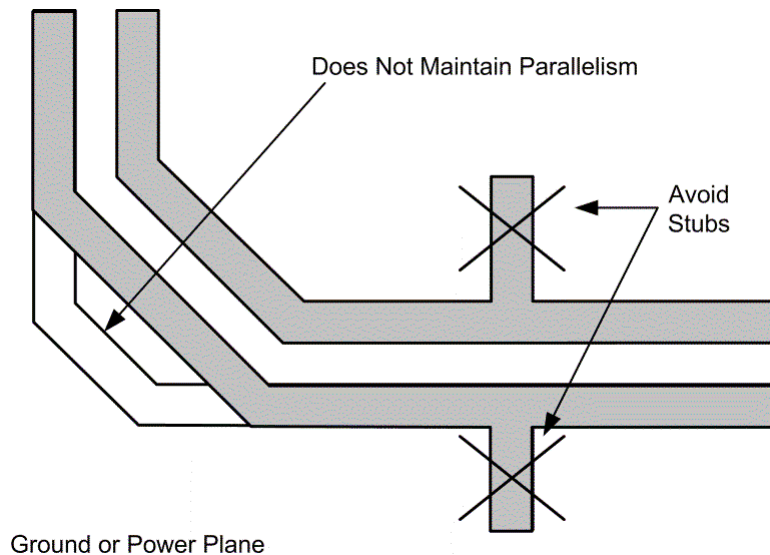


図 9-10. 差動信号トレースの配線

差動ペア内では、トレースを互いに並行させ、長さを一致させる必要があります。長さを一致させることで遅延の差が最小化され、同相ノイズと放射の増加を防止できます。MAC インターフェイス接続でも、長さを一致させることは重要です。すべての送信信号トレースは互いに同じ長さ、すべての受信信号トレースは互いに同じ長さでなくてはなりません。SGMII 差動トレースの場合、スキュー ミスマッチを 20ps 未満に保つことを推奨します。

理想的には、信号路のトレースでクロスオーバを生じさせないようにします。高速信号トレースは内部層で配線し、EMC 特性の向上を図ります。ビアにはインピーダンスの不連続性を生じさせるため、できるだけ少なくする必要があります。トレース ペアは同じ層に配線します。異なる層の信号は、それらの間に少なくとも 1 つの復帰パス プレーンがない限り、互いに交差させてはなりません。差動ペアは、それらの間の結合距離を常に一定に保つ必要があります。利便性と効率性を高めるため、重要な信号 (例:MDI 差動ペア、基準クロック、MAC IF トレース) を最初に配線することを推奨します。

9.4.1.2 復帰パス

一般に最も良い方法は、すべての信号トレースの下にベタの復帰パスを設けることです。この復帰パスは、連続的なグラウンドまたは DC 電源プレーンであってもかまいません。復帰パスの幅を狭くすると、信号トレースのインピーダンスに影響を及ぼす可能性があります。この影響は、復帰パスの幅が信号トレースの幅と同等である場合、より顕著になります。信号トレースの間の復帰パスの断線は、絶対に避ける必要があります。分割されたプレーンをまたぐ信号は、予測不可能な復帰パス電流を引き起こし、信号の品質に影響を及ぼし、放射の問題を引き起こす可能性があります。

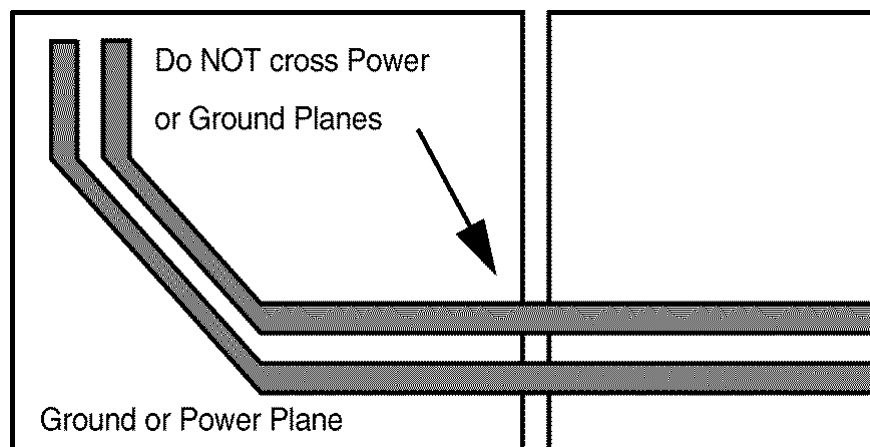


図 9-11. 電源およびグランド プレーンの割れ目

9.4.1.3 金属注入

信号でも電源でもないすべての金属注入領域は、グランドに接続する必要があります。システム内に浮動の金属が存在していないことと、差動パターン間に金属が存在していないことが必要です。

9.4.1.4 PCB 層スタッキング

シグナル インテグリティと性能の要件を満たすには、4 層以上の PCB を推奨します。しかし、可能であれば 6 層以上の PCB を使うべきです。

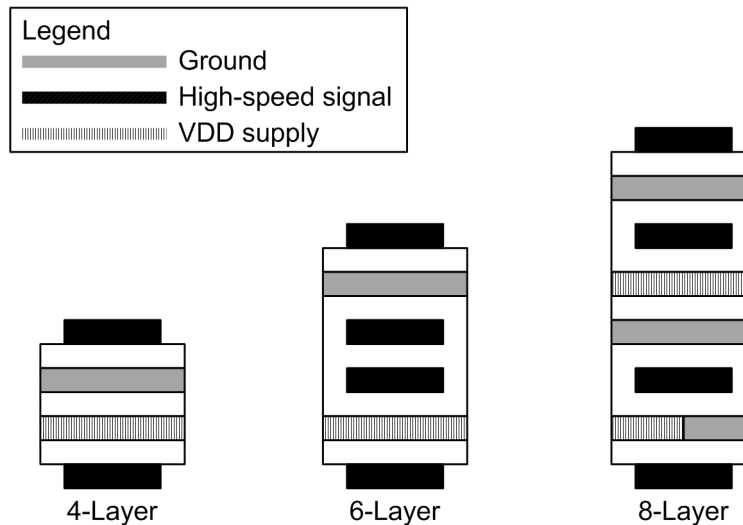


図 9-12. 推奨される PCB 層構成

9.4.2 レイアウト例

DP83TC812-Q1 に関する評価ボード リファレンスがあります。DP83TC812EVM-MC は、相互運用性とビット エラー レートのテストに使用できるメディア コンバータ ボードです。

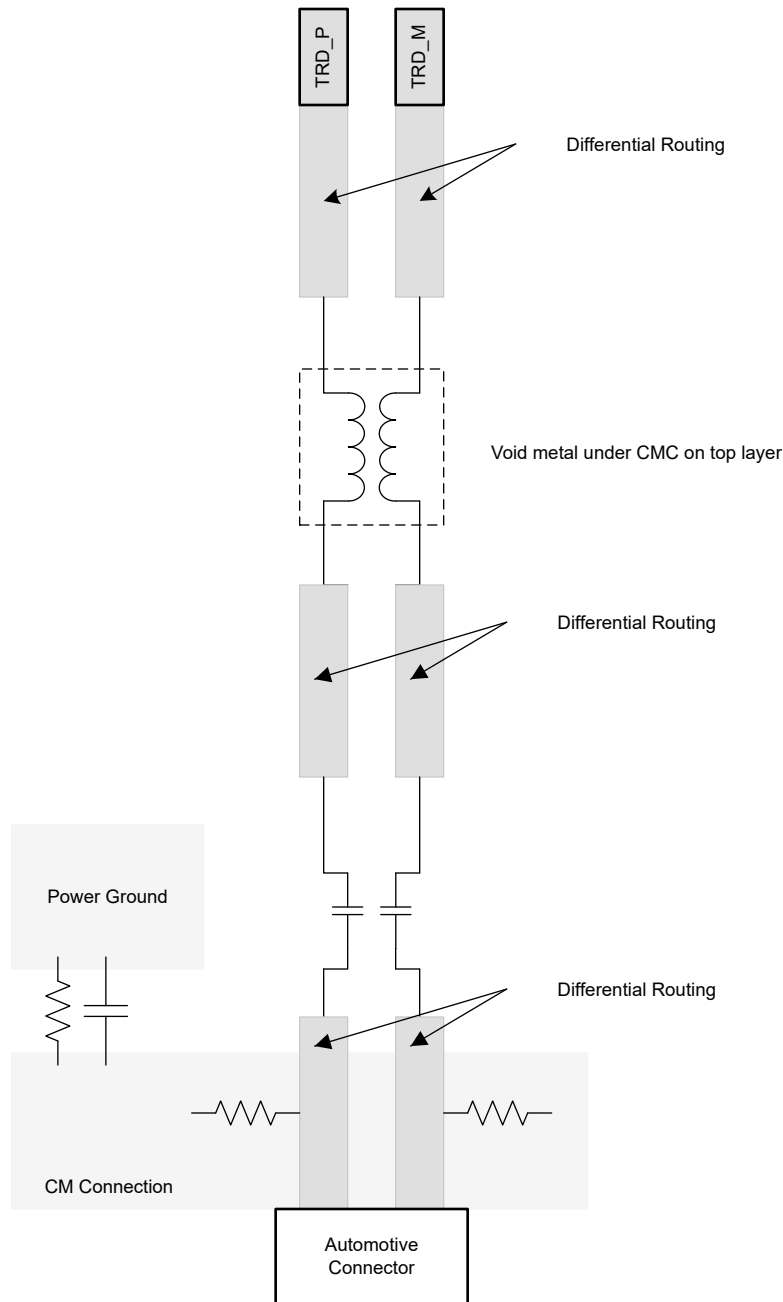


図 9-13. MDI ローパス フィルタのレイアウトに関する推奨事項

10 デバイスおよびドキュメントのサポート

注

テキサス・インスツルメンツでは、より包括的な用語を使用するように移行を進めています。一部の言語は、特定のテクノロジー分野で期待される言語とは異なる場合があります。

10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上のアラートを受け取るをクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.3 コミュニティ リソース

10.4 商標

PHYTER™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (November 2024) to Revision D (July 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• ピン機能の表を更新し、ルール プルアップ抵抗の母集団を明確化.....	4
• ピンドメインの表を更新.....	4
• パワーアップのタイミング図を更新.....	24
• レジスタ 0x063C、0x063D、および 0x063E はまとめて読み出す必要があることを明確にする情報を追加.....	35
• RGMII 送信エンコードのエンコード ケースの順序を更新.....	50
• RGMII 受信エンコードのエンコード ケースの順序を更新.....	50
• レジスタ空間分割のアドレス範囲を更新.....	52
• レジスタ アドレス範囲を更新.....	53
• MMD レジスタ空間分割のレジスタ アドレス範囲を更新.....	60

• 代表的なアプリケーションの (一般的な) 図を更新.....	163
----------------------------------	-----

Changes from Revision B (January 2023) to Revision C (November 2024)

Page

• ピン 9 およびピン 21 のピンの説明とパッケージのラベルを更新しました.....	4
• 表 5-1 ピンの機能: 準拠テストモードセクションへのリンクを追加するように、MDIO ピンの説明を更新しました.....	4
• 表 6-1 ピンの機能: SGMII モードの RX_D3 の説明を更新しました.....	4
• 表 6-1 ピンの機能: ピン 15 を RX_DV および CRS_DV としてプログラミングするためのレジスタ書き込みを追加する ように、ピン 15 の説明を更新しました.....	4
• 表 6-1 ピンの機能: RMII スレーブ モードでは、RX_D3 と RX_D2 が使用されないことを明確化しました	4
• 内部遅延イネーブルおよび内部遅延ディセーブルモードの RGMII タイミング図を削除し、明確化のため新しい RGMII 送信タイミング図を作成しました.....	24
• レジスタ 0x310 のビット 6 の説明を訂正しました.....	33
• データジェネレータ/チェッカをイネーブルするため、レジスタ書き込みの順序を訂正しました.....	36
• シリアル マネージメント インターフェイス セクションをより適切な表現と明確化を更新しました.....	52
• 表 7-25. PHY アドレスのブートストラップ: PHY アドレス 0xC および 0xD のバイナリ表現を訂正しました.....	55
• レジスタ 0x18、ビット 15、レジスタ 0x60B、レジスタ 0x609、レジスタ 0x603? レジスタ 0x12、ビット 7 を削除.....	61
• レジスタ 0x456 ビットの説明を更新.....	61
• レジスタ 0x1F ビット 15 とビット 14 の説明を更新.....	61
• 一般的な代表的なアプリケーションの図を追加しました.....	163
• 25MHz 入力を追加するように、RGMII 代表的なアプリケーションの図を更新しました.....	163
• 詳細な設計手順を簡略化して更新し、回路図チェックリストへのリンクを追加しました.....	166

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DP83TC812RRHARQ1	Active	Production	VQFN (RHA) 36	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	812R
DP83TC812RRHARQ1.A	Active	Production	VQFN (RHA) 36	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	812R
DP83TC812RRHATQ1	Active	Production	VQFN (RHA) 36	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	812R
DP83TC812RRHATQ1.A	Active	Production	VQFN (RHA) 36	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	812R
DP83TC812SRHARQ1	Active	Production	VQFN (RHA) 36	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	812S
DP83TC812SRHARQ1.A	Active	Production	VQFN (RHA) 36	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	812S
DP83TC812SRHATQ1	Active	Production	VQFN (RHA) 36	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	812S
DP83TC812SRHATQ1.A	Active	Production	VQFN (RHA) 36	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	812S

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

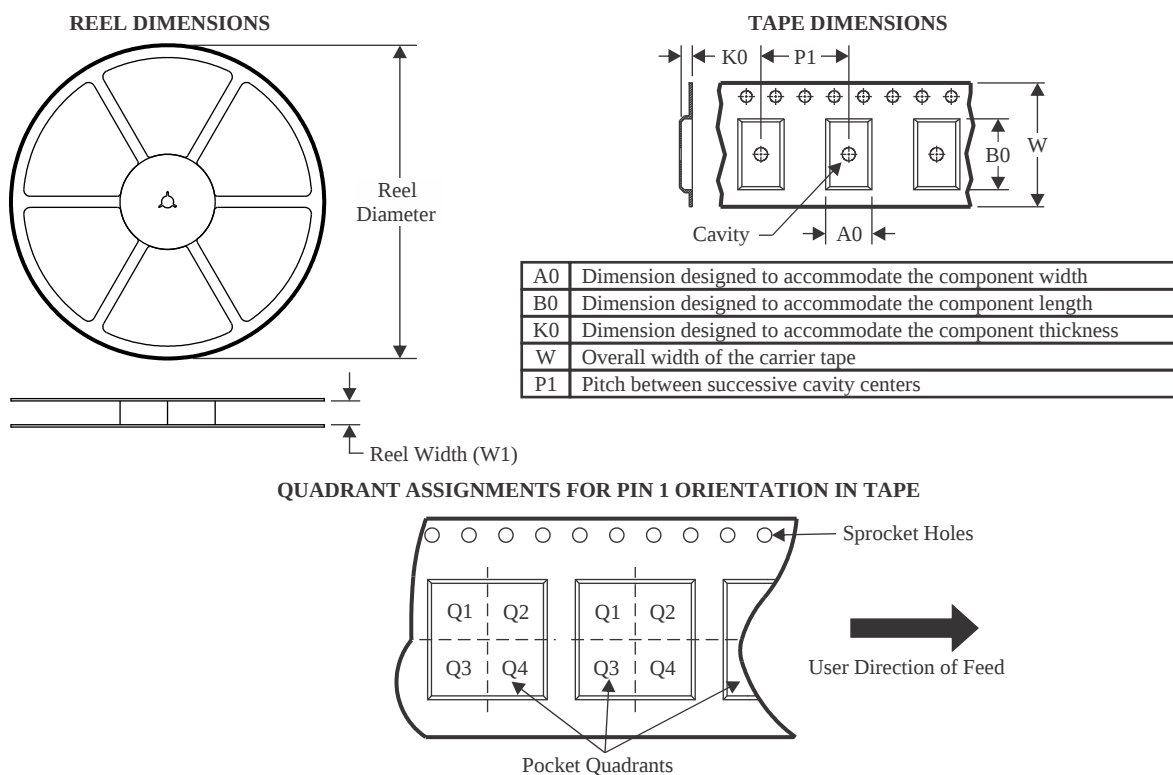
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

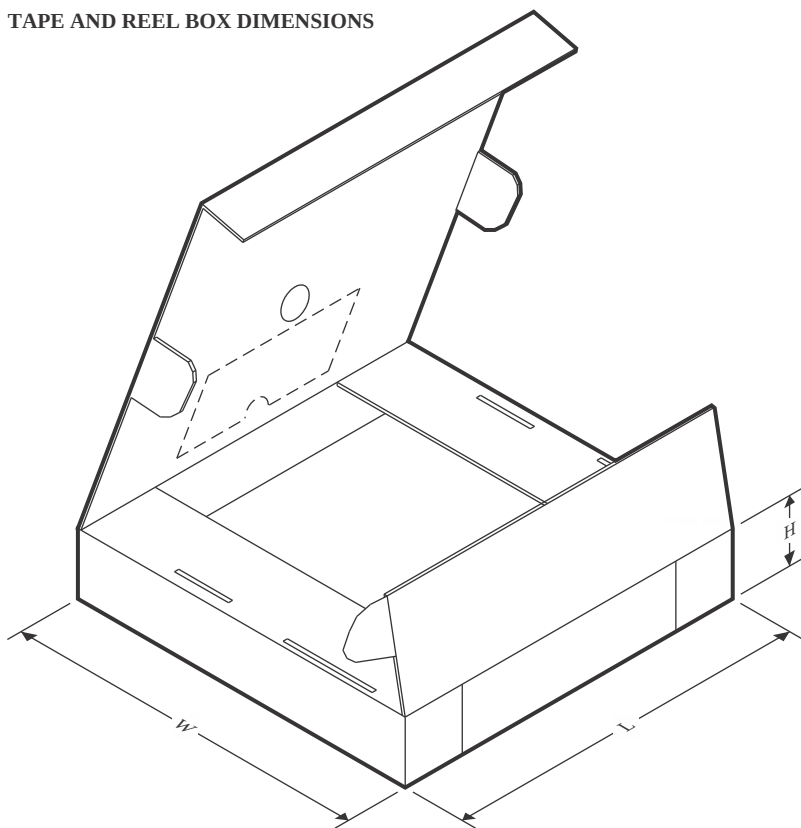
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DP83TC812RRHARQ1	VQFN	RHA	36	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DP83TC812RRHARQ1	VQFN	RHA	36	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DP83TC812RRHATQ1	VQFN	RHA	36	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DP83TC812RRHATQ1	VQFN	RHA	36	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DP83TC812SRHARQ1	VQFN	RHA	36	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DP83TC812SRHARQ1	VQFN	RHA	36	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DP83TC812SRHATQ1	VQFN	RHA	36	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DP83TC812SRHATQ1	VQFN	RHA	36	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DP83TC812RRHARQ1	VQFN	RHA	36	2500	367.0	367.0	35.0
DP83TC812RRHARQ1	VQFN	RHA	36	2500	367.0	367.0	38.0
DP83TC812RRHATQ1	VQFN	RHA	36	250	210.0	185.0	35.0
DP83TC812RRHATQ1	VQFN	RHA	36	250	210.0	185.0	35.0
DP83TC812SRHARQ1	VQFN	RHA	36	2500	367.0	367.0	35.0
DP83TC812SRHARQ1	VQFN	RHA	36	2500	367.0	367.0	38.0
DP83TC812SRHATQ1	VQFN	RHA	36	250	210.0	185.0	35.0
DP83TC812SRHATQ1	VQFN	RHA	36	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

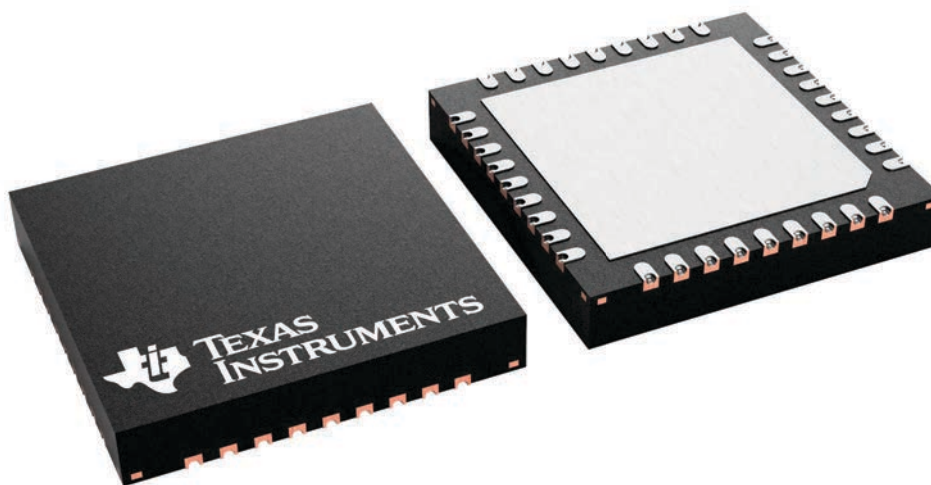
RHA 36

VQFN - 1 mm max height

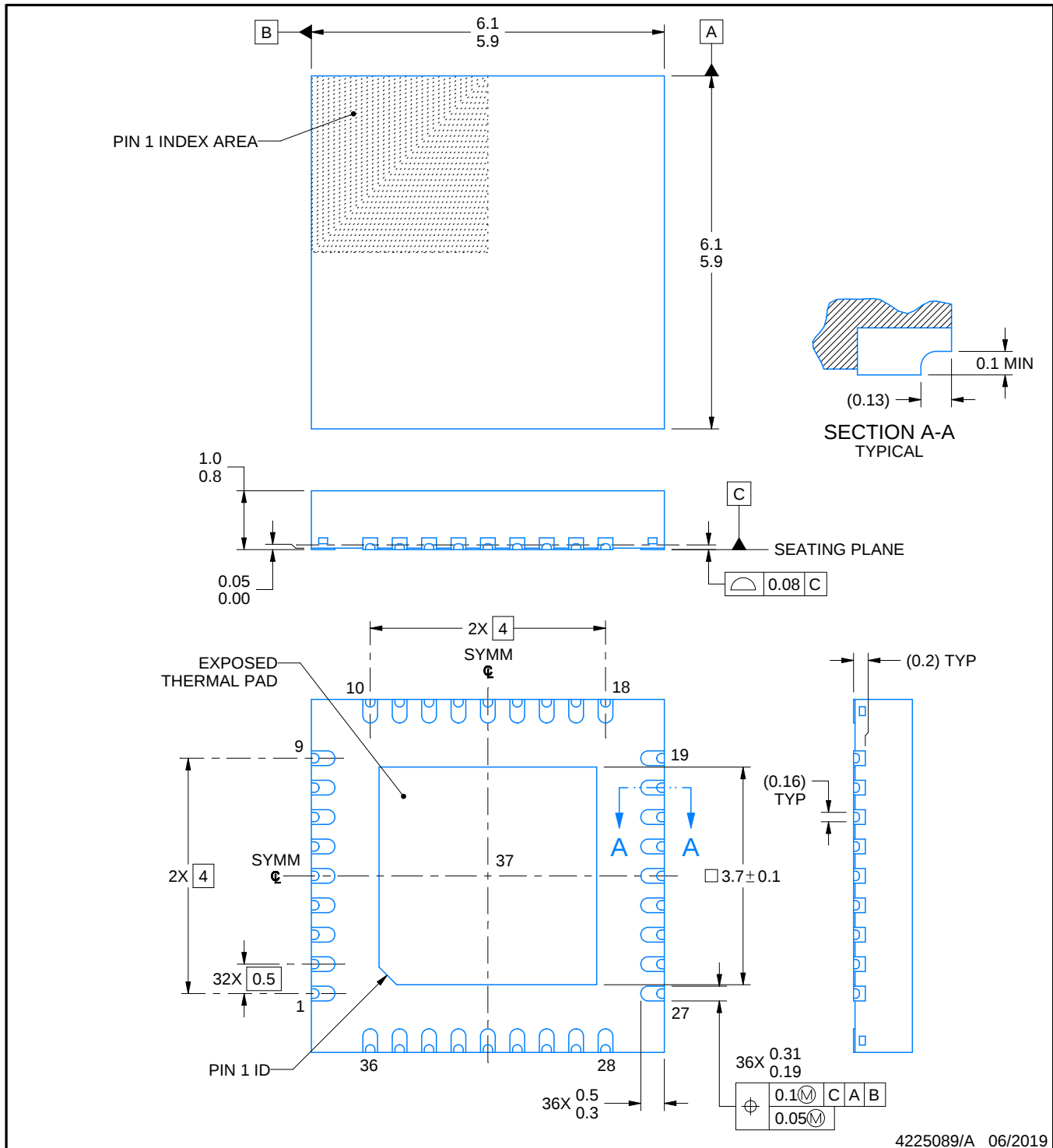
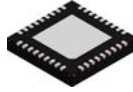
6 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4228438/A



4225089/A 06/2019

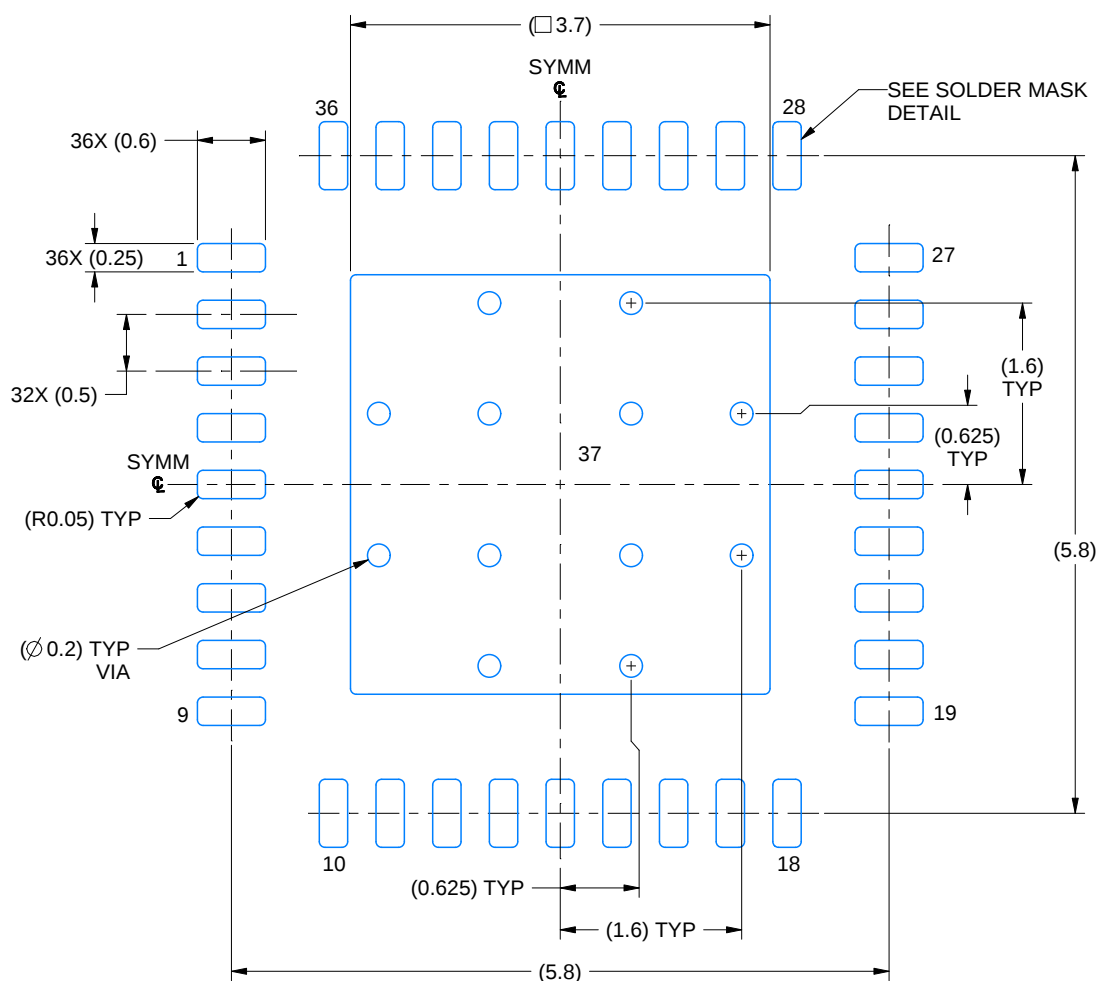
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

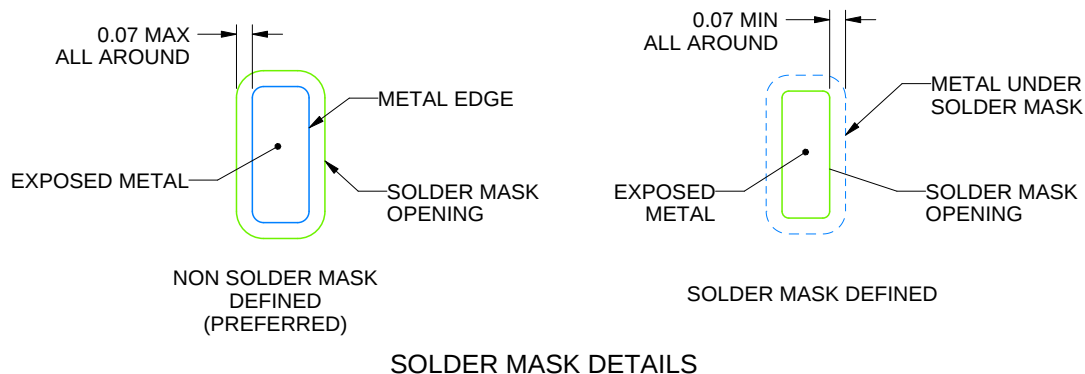
RHA0036A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



4225089/A 06/2019

NOTES: (continued)

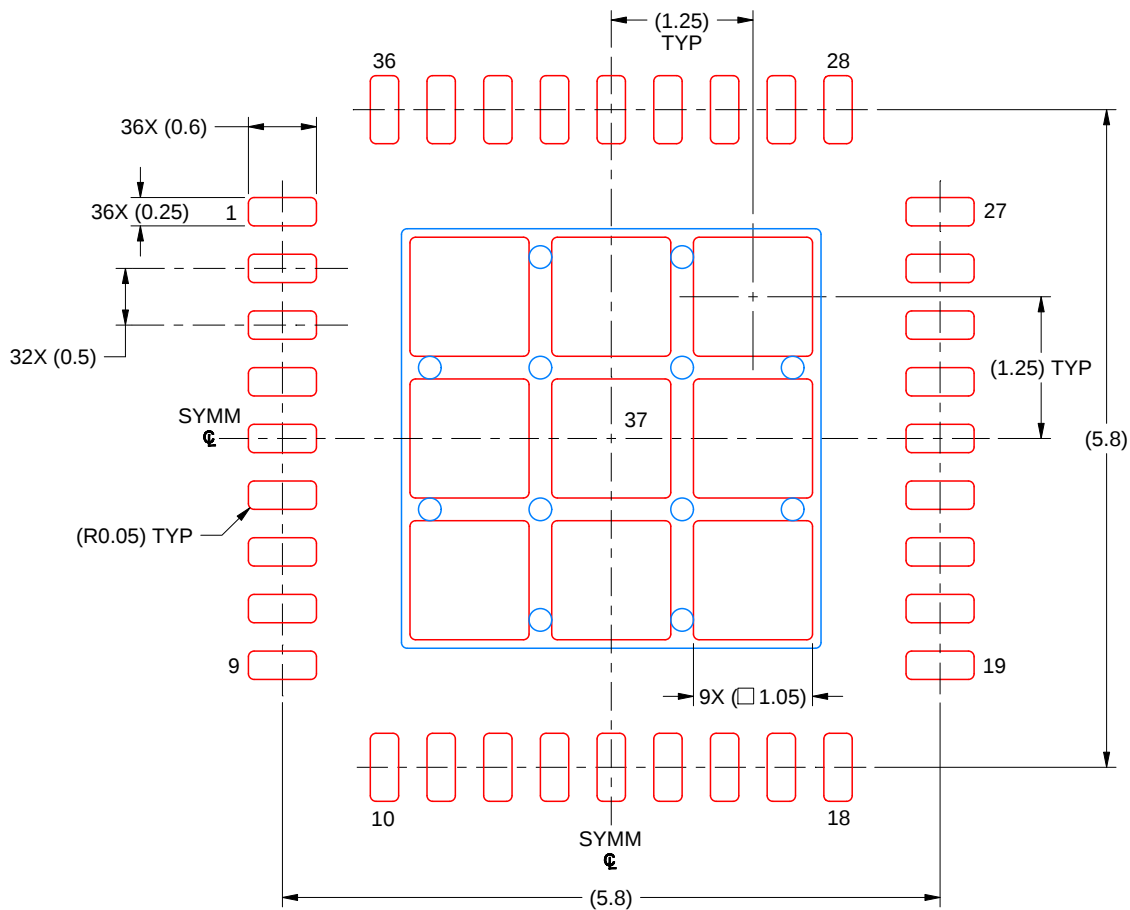
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHA0036A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 37
72% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225089/A 06/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月