DRA821 Jacinto™ プロセッサ

1 特長

プロセッサ コア:

- デュアル 64 ビット Arm® Cortex®-A72 マイクロプロセッサ サブシステム、最大 2.0GHz
  - デュアル コア Cortex®-A72 クラスタごとに 1MB L2 共有キャッシュ
  - A72 ごとに 32KB L1 D キャッシュと 48KB L1 I キャッシュ
- 4 つの Arm® Cortex®-R5F マイコン、最大 1.0GHz で動作、オプションのロックステップ動作
  - 32K I キャッシュ、32K D キャッシュ、64K L2 TCM
  - 分離マイコン サブシステムに 2 つの Arm® Cortex®-R5F マイコン
  - 汎用コンピューティング パーティションに 2 つの Arm® Cortex®-R5F マイコン

メモリ サブシステム:

- 1MB のオンチップ L3 RAM、ECC およびコヒーレンシ機能付き
  - ECC エラー保護
  - 共有コヒーレント キャッシュ
  - 内部 DMA エンジンをサポート
- ECC 付きの外部メモリ インターフェイス (EMIF) モジュール
  - JESD209-4B 仕様に準拠した LPDDR4 メモリ タイプをサポートしています。(バイト モード LPDDR4 メモリ、または 17 行を超えるアドレス ビットを持つメモリはサポートしていません)
  - 最高 3200MT/s の速度をサポート
  - インライン ECC 付きで最高 12.8GB/s の 32 ビットおよび 16 ビット データ バス
- 汎用メモリ コントローラ (GPMC)
- メイン ドメインの 512KB のオンチップ SRAM、ECC 保護付き

仮想化:

- Arm® Cortex®-A72 のハイパーバイザ サポート
- 独立した処理サブシステム、Arm® Cortex®-A72、Arm® Cortex®-R5F、分離セーフティ マイコン アイランド付き
- IO 仮想化のサポート
  - 低レイテンシ広帯域幅ペリフェラル トラフィック用のペリフェラル仮想化ユニット (PVU)
- メモリとペリフェラルの分離を目的としたマルチ領域ファイアウォールのサポート
- イーサネット、PCIe、DMA による仮想化サポート
- **デバイスのセキュリティ (一部の部品番号のみ):**
- セキュアなランタイム サポートによるセキュア ブート
- お客様がプログラム可能なルート キー (RSA-4K または ECC-512 まで)
- 組み込みハードウェア セキュリティ モジュール

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

- 暗号化ハードウェア アクセラレータ – ECC 付き PKA、AES、SHA、RNG、DES、3DES

機能安全:

- 機能安全準拠製品向け (一部の部品番号でのみ対応)
  - 機能安全アプリケーション向けに開発
  - ASIL-D/SIL-3 までを対象とした ISO 26262 および IEC 61508 機能安全システム設計を支援するための資料を提供予定
  - 決定論的対応能力、ASIL-D/SIL-3 までを対象
  - ハードウェア整合性、MCU ドメイン向け ASIL-D/SIL-3 までを対象
  - ハードウェア整合性、メイン ドメインの拡張 MCU (EMCU) 部分向け ASIL-D/SIL-3 までを対象
  - ハードウェア整合性、メイン ドメインの残りの部分向け ASIL-B/SIL-2 までを対象
  - メイン ドメインの残りの部分と EMCU との間に設けられた FFI 分離
  - 安全関連の認証
    - による ISO 26262 および IEC 61508 認証を計画中
- 部品番号の末尾が Q1 のバリアントについては AEC-Q100 認定済み
- **高速インターフェイス:**
  - 最大 4 つ (DRA821U4) または 2 つ (DRA821U2) の外部ポートをサポートする統合型イーサネット TSN/AVB スイッチ:
    - 1 つのポートが 5Gb、10Gb USXGMII/XFI をサポート
    - すべてのポートが 2.5Gb SGMII をサポート
    - すべてのポートが 1Gb SGMII/RGMII をサポート
    - DRA821U4:任意のシングル ポートが QSGMII をサポート可能 (4 つの内部ポートのすべてを使用)
    - ノン ブロッキング ワイヤ レート ストア アンド フォワード スイッチ
    - VLAN 間 (レイヤ 3) ルーティングのサポート
    - IEEE 1588 による時間同期のサポート (Annex D、E、F)
    - トラフィック スケジューリングおよびシェーピング用の TSN/AVB サポート
    - デバッグおよび診断用のポート ミラーリング機能
    - ポリシングおよびレート制限のサポート
  - セーフティ マイコン アイランドに 1 つの RGMII/RMII ポート
- 1 つの PCI-Express® Gen3 コントローラ
  - オートネゴシエーションを使用した Gen 1、Gen 2、Gen 3 の動作
  - 4 レーン
- 1 つの USB 3.1 Gen1 デュアルロール デバイス サブシステム
  - Type-C スイッチングをサポート
  - 個別に USB ホスト、USB ペリフェラル、USB デュアルロール デバイスとして構成可能

車載インターフェイス:

- 20 個の CAN-FD ポート
- 12 個の UART (Universal Asynchronous Receivers/Transmitter)
- 11 個のシリアル ペリフェラル インターフェイス (SPI)
- 1 つの 8 チャネル ADC
- 10 個の I2C™ (Inter-Integrated Circuit)
- 2 つの I3C® (Improved Inter-Integrated Circuit)

オーディオ インターフェイス:

- 3 つのマルチチャネル オーディオ シリアル ポート (McASP) モジュール

フラッシュ メモリ インターフェイス:

- eMMC™ 5.1 (Embedded Multi-Media Card) インターフェイス
  - 最大 HS400 の速度をサポート
- 1 つの Secure Digital® 3.0/Secure Digital Input Output 3.0 (SD3.0/SDIO3.0) インターフェイス
- 1 つの Octal SPI/Xccela™/HyperBus™ メモリ コントローラ (HBMC) インターフェイス
- 16nm FinFET テクノロジ
- 17.2mm × 17.2mm、0.8mm ピッチ、IPC Class 3 PCB

2 アプリケーション

- 車載ゲートウェイ
- 車載コンピューティング
- 車体制御モジュール
- テレマティクス制御ユニット
- V2x/V2V
- ファクトリ・オートメーション・ゲートウェイ
- 通信機器
- 産業用輸送
- ビル・オートメーション・システム

3 説明

Jacinto™ DRA821x プロセッサは、Armv8 64 ビット アーキテクチャをベースとし、クラウド接続を使用するゲートウェイ システム向けに最適化されています。システム オン チップ (SoC) 設計により、特にシステム マイコン、機能安全とセキュリテ

Copyright © 2026 Texas Instruments Incorporated

ィ機能、高速通信用のイーサネット スイッチなどの統合によって、システム レベルのコストと複雑さを低減できます。統合型の診断機能と安全機能は、ASIL-D および SIL3 認証要件を対象としています。PCIe コントローラと TSN 対応のギガビット イーサネット スイッチにより、リアルタイム制御と低レイテンシ通信が可能になります。

最大 4 つの汎用 Arm® Cortex®-R5F サブシステムにより、ローレベルのタイミング重視の処理タスクを処理でき、Arm® Cortex®-A72 コアを高度なクラウド ベースのアプリケーションに使用できます。

Jacinto DRA821x プロセッサは、拡張 MCU (eMCU) ドメインのコンセプトも採用しています。このドメインは、ASIL-D/SIL-3 などの高度な機能安全性の実現を目的としたメイン ドメインのプロセッサとペリフェラルのサブセットです。機能ブロック図では、eMCU に属する IP を強調して示しています。eMCU と機能安全性の詳細については、『**テキサス・インスツルメンツ Jacinto™ 7 製品ファミリの DRA821 安全マニュアル (SPRUIX4)**』を参照してください。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
DRA821U4-Q1 DRA821U4	ALM (FCBGA、433)	17.2mm × 17.2mm
DRA821U2-Q1 DRA821U2	ALM (FCBGA、433)	17.2mm × 17.2mm
XJ7200GB	ALM (FCBGA、433)	17.2mm × 17.2mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

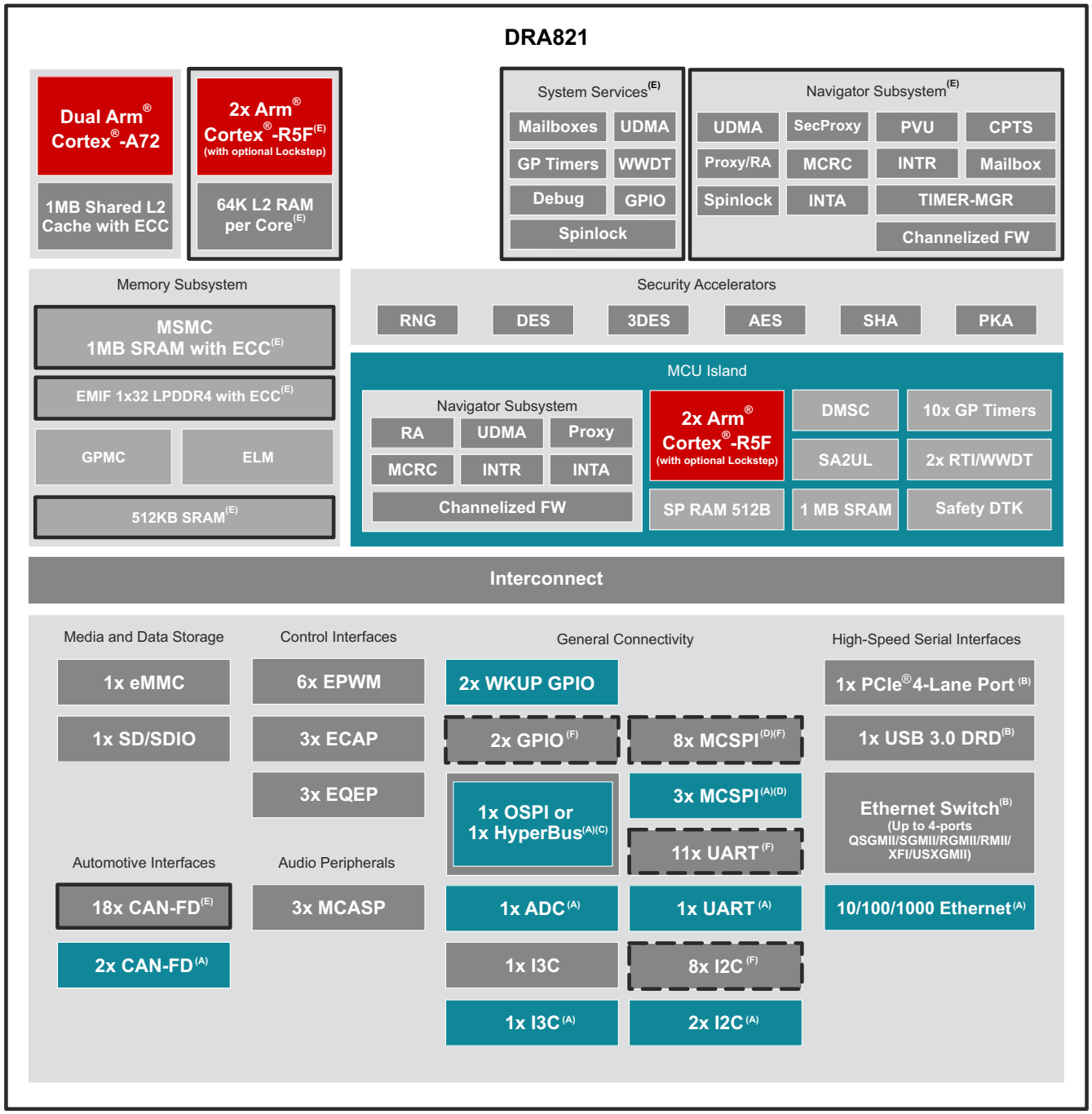
3.1 機能ブロック図

図 3-1 は、このデバイスの機能ブロック図です。

注

TI のソフトウェア開発キット (SDK) が現在サポートしているデバイス機能の詳細については、DRA821 ソフトウェア ビルド シート (**PROCESSOR-SDK-J7200**) を参照してください。

Copyright © 2026 Texas Instruments Incorporated



A. WKUP と MCU の両方のドメイン インスタンスは MCU アイランドに配置されています。しかし、システム全体がこれらをアクセスできます。
B. SGMII、USB3.0、PCIE で合計 4 つの SerDes レーンを共有しています。3 つの IP の内の最大 2 つ (例:SGMII と USB) を同時に使用できます。
C. フラッシュ インターフェイスは OSPI0 または HyperBus として構成できます。
D. 1 つのポートは内部でのみ接続されています。どのピンにも接続されていません。
E. 黒の実線の箱は、IP が拡張 MCU (eMCU) の一部であることを示します。
F. 黒の破線の箱は、IP の一部のインスタンスが eMCU 内に存在し、一部のインスタンスがメイン ドメインの非 eMCU 部分に存在することを示します。

図 3-1. 機能ブロック図

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長 1
2 アプリケーション 2
3 説明 2
3.1 機能ブロック図 3
4 デバイスの比較 6
4.1 関連製品 7
5 端子構成および機能 9
5.1 ピン配置図 9
5.2 ピン属性 10
5.3 信号の説明 49
5.4 ピン多重化 85
5.5 未使用ピンの接続 94
6 仕様 97
6.1 絶対最大定格 97
6.2 ESD 定格 99
6.3 推奨動作条件 99
6.4 電源投入時間 (POH) 101
6.5 動作性能ポイント 102
6.6 電気的特性 103
6.7 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様 111
6.8 熱抵抗特性 112
6.9 温度センサの特性 113
6.10 タイミングおよびスイッチング特性 114
7 詳細説明 235
7.1 概要 235
7.2 プロセッサ サブシステム 236
7.3 その他のサブシステム 236
8 アプリケーション、実装、およびレイアウト 244
8.1 電源マッピング 244
8.2 デバイスの接続およびレイアウトの基礎 248
8.3 ペリフェラルおよびインターフェイス固有の設計情報 248
9 デバイスおよびドキュメントのサポート 255
9.1 デバイスの命名規則 255
9.2 ツールとソフトウェア 259
9.3 ドキュメントのサポート 260
9.4 サポート・リソース 260
9.5 商標 260
9.6 静電気放電に関する注意事項 260
9.7 用語集 260
10 改訂履歴 261
11 メカニカル、パッケージ、および注文情報 263
11.1 パッケージ情報 263

Copyright © 2026 Texas Instruments Incorporated

4 デバイスの比較

表 4-1 は SoC の機能を示しており、それぞれの違いを強調しています。

注

TI のソフトウェア開発キット (SDK) が現在サポートしているデバイス機能の詳細については、DRA821 ソフトウェア ビルド シート (**PROCESSOR-SDK-J7200**) を参照してください。

表 4-1. デバイスの比較

非表示の表と同じ内容です。列 A4 および A2 を削除しました

特長(9)	参照名	DRA821U4	DRA821U2
特長			
CTRLMMR_WKUP_JTAG_USER_ID[31:16]DEVICE_ID レジスタのビット フィールド値(8) (9)		0x1B90	0x1B91
プロセッサおよびアクセラレータ			
速度グレード (表 6-1 を参照)		T、L、E	E、C
Arm Cortex-A72 マイクロプロセッサ サブシステム	Arm A72	デュアル コア	デュアル コア
ARM Cortex-R5F	Arm R5F	クワッド コア	クワッド コア
	ロックステップ	オプション (5)	オプション (5)
デバイス管理セキュリティ コントローラ	DMSC	あり	あり
セキュリティ アクセラレータ	SA	あり	あり
安全およびセキュリティ			
安全を対象	安全	オプション (5)	オプション (5)
デバイスのセキュリティ	セキュリティ	オプション (6)	オプション (6)
AEC-Q100 認定済み	Q1	オプション (7)	オプション (7)
プログラムおよびデータ ストレージ			
MAIN ドメインのオンチップ共有メモリ (RAM)	OCSRAM	512KB SRAM	512KB SRAM
MCU ドメインのオンチップ共有メモリ (RAM)	MCU_MSRAM	1MB SRAM	1MB SRAM
マルチコア共有メモリ コントローラ	MSMC	1MB (ECC 付きのオンチップ SRAM)	1MB (ECC 付きのオンチップ SRAM)
LPDDR4 DDR サブシステム	DDRSS	最大 8GB (16/32 ビット データ)、インライン ECC 付き	最大 8GB (16/32 ビット データ)、インライン ECC 付き
	SECDED	7 ビット	7 ビット
汎用メモリ コントローラ	GPMC	最大 1GB、ECC 付き	最大 1GB、ECC 付き
ペリフェラル			
モジュール式コントローラ エリア ネットワーク インターフェイス、CAN-FD フル サポート	MCAN	20	20
ナビゲータ サブシステム	NAVSS	2	2
汎用 I/O	GPIO	最大 141	最大 141
集積回路間インターフェイス	I2C	10	10
改良版集積回路間インターフェイス	I3C	2	2
A/D コンバータ	ADC	1	1
マルチチャネル シリアル ペリフェラル インターフェイス	MCSPI	11 (10)	11 (10)
マルチチャネル オーディオ シリアル ポート	MCASP0	16 個のシリアライザ	16 個のシリアライザ
	MCASP1	12 個のシリアライザ	12 個のシリアライザ
	MCASP2	6 個のシリアライザ	6 個のシリアライザ

Copyright © 2026 Texas Instruments Incorporated

表 4-1. デバイスの比較 (続き)

非表示の表と同じ内容です。列 A4 および A2 を削除しました

特長(9)	参照名	DRA821U4	DRA821U2
マルチメディア カード / セキュア デジタル インターフェイス	MMCSD0	eMMC (8 ビット)	eMMC (8 ビット)
	MMCSD1	SD/SDIO (4 ビット)	SD/SDIO (4 ビット)
フラッシュ サブシステム (FSS)	OSPI	8 ビット (4)	8 ビット (4)
	HyperBus	あり(4)	あり(4)
PHY 内蔵 PCI Express ポート	PCIE	最大 4 レーン(1)	最大 4 レーン(1)
イーサネット インターフェイス	CPSW2G	1 ポート(3)	1 ポート(3)
	CPSW5G	4 ポート(1) (2)	2 ポート(1) (2)
汎用タイマー	TIMER	30	30
拡張パルス幅変調器モジュール	EPWM	6	6
拡張キャプチャ モジュール	ECAP	3	3
拡張直交エンコーダ パルス モジュール	EQEP	3	3
汎用非同期レシーバ / トランスミッタ	UART	12	12
ユニバーサル シリアル バス (USB3.1) SuperSpeed デュアル ロール デバイス (DRD) ポート、SS PHY 付き	USB	あり(1)	あり(1)

(1) SGMII、USB3.0、PCIE で合計 4 つの SerDes レーンを共有しています。
(2) DRA821U4 CPSW5G は、以下のインスタンス、信号、および動作モードをサポートしています:
- ポート 1 **信号**:RMII1/RGMII1/SGMII1、**モード**:5Gb、10Gb USXGMII/XFI、2.5Gb SGMII/XAUI、1Gb SGMII、1Gb RGMII、100Mb RMII、5Gb QSGMII のいずれか
- ポート 2 **信号**:RMII2/RGMII2/SGMII2、**モード**:2.5Gb SGMII/XAUI、1Gb SGMII、1Gb RGMII、100Mb RMII、5Gb QSGMII のいずれか
- PORT3 **信号**:RMII3/RGMII3/SGMII3、**モード**:2.5Gb SGMII/XAUI、1Gb SGMII、1Gb RGMII、100Mb RMII、5Gb QSGMII のいずれか
- PORT4 **信号**:RMII4/RGMII4/SGMII4、**モード**:2.5Gb SGMII/XAUI、1Gb SGMII、1Gb RGMII、100Mb RMII、5Gb QSGMII のいずれか
- QSGMII モードでは、CPSW の 4 つの内部ポートすべてが 1 つの SERDES レーンに統合されます。このモードでは、各ポートは 1 Gb フル デュプレックスで動作します
  - この SERDES 接続には、ポート信号 SGMII1:4 のいずれか 1 つを選択することができ、選択されなかった信号は CPSW によって使用されません

DRA821U2 CPSW5G は、システム内で最大 2 つの RMIIn/RGMIIn/SGMIIn ポートの使用をサポートしています。システム設計では、PORT1、PORT2、PORT3、または PORT4 の利用可能なポートの中から任意の 2 つを選択できます。QSGMII は、CPSW の 4 つの内部ポートすべてを 1 つの SERDES レーンに統合するため、サポートされていません。
(3) CPSW2G は、以下のインスタンス、信号、および動作モードをサポートしています:
- ポート 1 **信号**:MCU_RMII1/MCU_RGMII1、**モード**:1Gb RGMII または 100Mb RMII のいずれか

(4) フラッシュ インターフェイスは OSPI0 または HyperBus として構成できます。
(5) R5F ロックステップおよび SIL/ASIL 定格などの安全機能は、命名規則の説明の表、セクション 9.1.2 デバイス タイプ (Y) 識別子で示されている型番バリアントを選択する場合にのみ適用されます。
(6) セキュア ブートや顧客がプログラム可能なキーなどのデバイス セキュリティ機能は、セクション 9.1.2、「項目名の説明」の表のデバイス タイプ (Y) 識別子で示されている型番バリアントを選択する場合にのみ適用されます。
(7) AEC-Q100 認定は、命名規則の説明の表、セクション 9.1.2 の車載識別記号 (Q1) 識別子で示されている型番バリアントを選択する場合にのみ適用されます。
(8) CTRLMMR_WKUP_JTAG_USER_ID レジスタおよび DEVICE_ID ビット フィールドの詳細については、デバイスの TRM を参照してください。
(9) J7200 はスーパーセット デバイスのベース品番です。ソフトウェアは、目的の量産デバイスに合わせて、使用する機能に制約を加える必要があります。(CTRLMMR_WKUP_JTAG_USER_ID[31:16]「**DEVICE_ID**」レジスタのビット フィールド値:**0x1B1D**。)
(10) 2 つのポートは内部でのみ接続されています。どのピンにも接続されていません。

4.1 関連製品

DRA821U の関連製品この製品と組み合わせて購入または使用されることが多い製品をご確認ください。

DRA821 Jacinto™ 用ソフトウェア開発キットプロセッサ SDK RTOS (PSDK RTOS) は、プロセッサ SDK Linux (PSDK Linux) またはプロセッサ SDK QNX (PSDK QNX) と組み合わせて使用することができます。これにより、TI の Jacinto

Copyright © 2026 Texas Instruments Incorporated

™ プロセッサプラットフォーム内の DRA821 SoC に向けのマルチプロセッサソフトウェア開発プラットフォームを構築できます。この SDK は、各種ソフトウェア ツールとコンポーネントで構成された包括的なセットを提供し、アプリケーションの開発と、サポート対象の J7 SoC への導入を支援します。PSDK RTOS と、PSDK Linux または PSDK QNX のどちらかを組み合わせて使用すると、ファクトリオートメーション、ビルオートメーション、ゲートウェイの各システムで、さまざまな使用事例を実装できます。

DRA821 評価基板 J700XSOMXEVM と J721EXCP01EVM 共通プロセッサボードとの組み合わせは、車載および産業機器の市場におけるネットワーキングアプリケーションの開発作業の迅速化と開発期間の短縮を実現する評価プラットフォームです。

この EVM は、プロセッサ SDK によってサポートされており、これには基盤となるドライバ、演算カーネルとビジョンカーネル、そして Jacinto 7 プロセッサの強力な異種アーキテクチャを活用する方法を示すサンプルアプリケーションフレームワークとデモが含まれています。

アプリケーションノートおよびホワイトペーパー統合システムマイコンを内蔵したゲートウェイアプリケーションプロセッサ。

Copyright © 2026 Texas Instruments Incorporated

5 端子構成および機能

5.1 ピン配置図

注

「ボール」、「ピン」、「端子」という用語は、ドキュメント全体で同じ意味で使用されています。物理的なパッケージに言及する場合にのみ「ボール」が使用されています。

図 5-1 に、433 ボール フリップ チップ ボール グリッド アレイ (FCBGA) パッケージのボールの位置を示します。これは、表 5-1 ～ 表 5-107 と組み合わせて、信号名およびボール グリッド番号を探すために使用します。

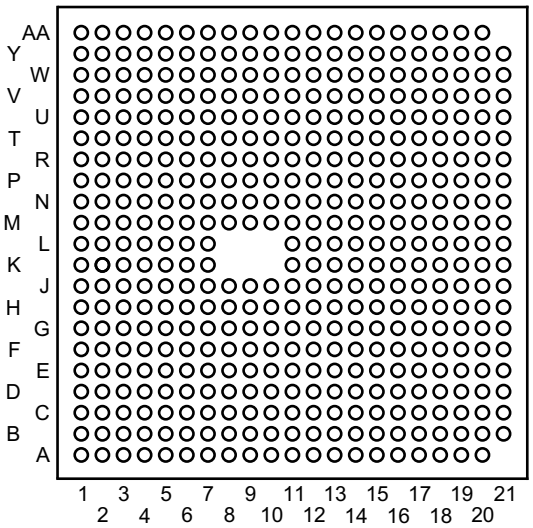


図 5-1. ALM FCBGA-N433 のピン配置図 (底面図)

5.2 ピン属性

表 5-1. ピン属性

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
M7	CAP_VDDS0	CAP_VDDS0		PWR										
G14	CAP_VDDS0_MCU	CAP_VDDS0_MCU		PWR										
F9	CAP_VDDS1_MCU	CAP_VDDS1_MCU		PWR										
T12	CAP_VDDS2	CAP_VDDS2		PWR										
F10	CAP_VDDS2_MCU	CAP_VDDS2_MCU		PWR										
L15	CAP_VDDS5	CAP_VDDS5		PWR										
H1	DDR0_CKN	DDR0_CKN		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
G1	DDR0_CKP	DDR0_CKP		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
J5	DDR0_RESETn	DDR0_RESETn		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
G4	DDR0_CA0	DDR0_CA0		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
H3	DDR0_CA1	DDR0_CA1		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
J4	DDR0_CA2	DDR0_CA2		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
K1	DDR0_CA3	DDR0_CA3		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
J2	DDR0_CA4	DDR0_CA4		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
H5	DDR0_CA5	DDR0_CA5		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
K5	DDR0_CAL0	DDR0_CAL0		A			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDRCALR				
G2	DDR0_CKE0	DDR0_CKE0		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
H2	DDR0_CKE1	DDR0_CKE1		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
G3	DDR0_CSn0_0	DDR0_CSn0_0		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
K2	DDR0_CSn0_1	DDR0_CSn0_1		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
G5	DDR0_CSn1_0	DDR0_CSn1_0		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
J3	DDR0_CSn1_1	DDR0_CSn1_1		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
A3	DDR0_DM0	DDR0_DM0		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
E4	DDR0_DM1	DDR0_DM1		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
N1	DDR0_DM2	DDR0_DM2		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
R4	DDR0_DM3	DDR0_DM3		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
B4	DDR0_DQ0	DDR0_DQ0		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
A4	DDR0_DQ1	DDR0_DQ1		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
C4	DDR0_DQ2	DDR0_DQ2		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
C1	DDR0_DQ3	DDR0_DQ3		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
C3	DDR0_DQ4	DDR0_DQ4		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
C2	DDR0_DQ5	DDR0_DQ5		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
A2	DDR0_DQ6	DDR0_DQ6		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
B3	DDR0_DQ7	DDR0_DQ7		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
D1	DDR0_DQ8	DDR0_DQ8		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
D2	DDR0_DQ9	DDR0_DQ9		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
F2	DDR0_DQ10	DDR0_DQ10		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
E3	DDR0_DQ11	DDR0_DQ11		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
F3	DDR0_DQ12	DDR0_DQ12		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
F4	DDR0_DQ13	DDR0_DQ13		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
D4	DDR0_DQ14	DDR0_DQ14		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
F5	DDR0_DQ15	DDR0_DQ15		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
K4	DDR0_DQ16	DDR0_DQ16		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
L4	DDR0_DQ17	DDR0_DQ17		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
M4	DDR0_DQ18	DDR0_DQ18		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
L3	DDR0_DQ19	DDR0_DQ19		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
L2	DDR0_DQ20	DDR0_DQ20		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
L1	DDR0_DQ21	DDR0_DQ21		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
M3	DDR0_DQ22	DDR0_DQ22		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
N2	DDR0_DQ23	DDR0_DQ23		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
R3	DDR0_DQ24	DDR0_DQ24		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
T1	DDR0_DQ25	DDR0_DQ25		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
P1	DDR0_DQ26	DDR0_DQ26		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
P2	DDR0_DQ27	DDR0_DQ27		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
N4	DDR0_DQ28	DDR0_DQ28		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
P3	DDR0_DQ29	DDR0_DQ29		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
P4	DDR0_DQ30	DDR0_DQ30		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
N5	DDR0_DQ31	DDR0_DQ31		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
B1	DDR0_DQS0N	DDR0_DQS0N		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
B2	DDR0_DQS0P	DDR0_DQS0P		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
E1	DDR0_DQS1N	DDR0_DQS1N		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
E2	DDR0_DQS1P	DDR0_DQS1P		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
M1	DDR0_DQS2N	DDR0_DQS2N		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
M2	DDR0_DQS2P	DDR0_DQS2P		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
R1	DDR0_DQS3N	DDR0_DQS3N		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
R2	DDR0_DQS3P	DDR0_DQS3P		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
R5	DDR_RET	DDR_RET		I			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
U3	ECAP0_IN_APWM_OUT	ECAP0_IN_APWM_OUT	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	0		
		SYNC0_OUT	1	O										
		CPTS0_RFT_CLK	2	I								I		
		I2C1_SCL	3	IOD								1		
		CPTS0_HW1TSPUSH	4	I								0		
		UART3_RXD	5	I								1		
		SPI7_CS0	6	IO								1		
		GPIO0_58	7	IO								パッド		
A13	EMU0	EMU0	0	IO	OFF	0	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD		0/0	
D12	EMU1	EMU1	0	IO	OFF	0	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD		0/0	
U6	EXTINTn	EXTINTn	0	I	OFF	7	1.8V/3.3V	VDDSHV0	あり	I2C OD FS		1		
		GPIO0_0	7	IO								パッド		
T3	EXT_REFCLK1	EXT_REFCLK1	0	I	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	0		
		SYNC1_OUT	1	O										
		I2C1_SDA	3	IOD								1		
		CPTS0_HW2TSPUSH	4	I								0		
		UART3_TXD	5	O										
		SPI7_CLK	6	IO								0		
		GPIO0_59	7	IO								パッド		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
U12	GPIO0_41	RGMII2_TX_CTL	4	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD			あり
		RMII2_TXD0	5	O										
		GPIO0_41	7	IO								パッド		
		SPI6_D1	8	IO								0		
		UART4_RXD	11	I								1		
		MCASP2_ACLKX	12	IO								0		
		GPMC0_A13	13	OZ										
U13	GPMC0_CLK	GPMC0_CLK	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0		あり
		USB0_DRVVBUS	1	O										
		RGMII4_RD3	4	I								0		
		GPIO0_44	7	IO								パッド		
		SPI0_CS3	10	IO								1		
		UART9_RXD	11	I								1		
V3	I2C0_SCL	I2C0_SCL	0	IOD	OFF	7	1.8V/3.3V	VDDSHV0	あり	I2C OD FS		1		
		GPIO0_56	7	IO								パッド		
W2	I2C0_SDA	I2C0_SDA	0	IOD	OFF	7	1.8V/3.3V	VDDSHV0	あり	I2C OD FS		1		
		GPIO0_57	7	IO								パッド		
V20	MCAN0_RX	MCAN0_RX	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	1	1/0	あり
		RGMII4_RD1	4	I								0		
		MCAN0_RX	6	I								1		
		GPIO0_10	7	IO								パッド		
		EQEP2_S	9	IO								0		
		GPMC0_A2	11	OZ										
		MCASP0_AXR10	12	IO								0		
V18	MCAN0_TX	MCAN0_TX	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD		1/0	あり
		RGMII4_RD0	4	I								0		
		MCAN0_TX	6	O										
		GPIO0_9	7	IO								パッド		
		EQEP2_B	9	I								0		
		GPMC0_A1	11	OZ										
		MCASP0_AXR9	12	IO								0		
		AUDIO_EXT_REFCLK0	14	IO								0		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
V16	MCAN1_RX	MCAN1_RX	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	1	1/0	あり
		RGMII4_RD2	4	I								0		
		RMII2_TXD1	5	O										
		MCAN1_RX	6	I								1		
		GPIO0_12	7	IO								パッド		
		SPI6_CS1	8	IO								1		
		EQEP2_I	9	IO								0		
		GPMC0_AD7	10	IO								0		
		UART6_CTSn	11	I								1		
		MCASP0_AXR12	12	IO								0		
		OBSCLK1	14	O										
W21	MCAN1_TX	MCAN1_TX	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD		1/0	あり
		RGMII2_TXC	4	O										
		RMII2_TX_EN	5	O										
		MCAN1_TX	6	O										
		GPIO0_11	7	IO								パッド		
		SPI6_CS0	8	IO								1		
		EHRPWM_SOCA	9	O										
		GPMC0_A3	11	OZ										
		MCASP0_AXR11	12	IO								0		
Y19	MCAN2_RX	MCAN2_RX	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	1	1/0	あり
		RGMII1_TD1	4	O										
		RMII4_RXD1	5	I								0		
		MCAN2_RX	6	I								1		
		GPIO0_14	7	IO								パッド		
		SPI5_CS2	8	IO								1		
		EHRPWM0_B	9	IO								0		
		TRC_DATA2	10	O										
		UART3_TXD	11	O										
		MCASP1_ACLKX	12	IO								0		
		UART9_RTSn	13	O										
		GPMC0_AD9	14	IO								0		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
Y18	MCAN2_TX	MCAN2_TX	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD		1/0	あり
		RGMII1_TD0	4	O										
		RMII4_RXD0	5	I								0		
		MCAN2_TX	6	O										
		GPIO0_13	7	IO								パッド		
		SPI5_CS3	8	IO								1		
		EHRPWM1_A	9	IO								1		
		TRC_DATA3	10	O										
		UART3_RXD	11	I								1		
		MCASP1_AFSX	12	IO								0		
		UART9_CTSn	13	I								1		
		GPMC0_AD8	14	IO								0		
W16	MCAN3_RX	MCAN3_RX	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	1	1/0	あり
		RGMII1_TD3	4	O										
		RMII4_RX_ER	5	I								0		
		MCAN3_RX	6	I								1		
		GPIO0_16	7	IO								パッド		
		SPI5_CS0	8	IO								1		
		EHRPWM_TZn_IN0	9	I								0		
		TRC_DATA0	10	O										
		GPMC0_A4	11	OZ										
		MCASP0_AXR0	12	IO								0		
		SYNC2_OUT	14	O										
Y21	MCAN3_TX	MCAN3_TX	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD		1/0	あり
		RGMII1_TD2	4	O										
		RMII4_CRS_DV	5	I								0		
		MCAN3_TX	6	O										
		GPIO0_15	7	IO								パッド		
		SPI5_D0	8	IO								0		
		EHRPWM0_A	9	IO								0		
		TRC_DATA1	10	O										
		MCASP0_AXR1	12	IO								0		
		GPMC0_AD10	14	IO								0		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
Y20	MCAN4_RX	MCAN4_RX	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	1	1/0	あり
		RGMII1_TXC	4	O										
		RMII4_TX_EN	5	O										
		MCAN4_RX	6	I								1		
		GPIO0_18	7	IO								パッド		
		SPI5_D1	8	IO								0		
		EHRPWM1_B	9	IO								0		
		TRC_DATA4	10	O										
		I2C2_SDA	11	IOD								1		
		MCASP0_AXR2	12	IO								0		
		GPMC0_AD12	14	IO								0		
W15	MCAN4_TX	MCAN4_TX	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD		1/0	あり
		RGMII1_TX_CTL	4	O										
		RMII4_TXD0	5	O										
		MCAN4_TX	6	O										
		GPIO0_17	7	IO								パッド		
		SPI5_CLK	8	IO								0		
		EHRPWM0_SYNCI	9	I								0		
		TRC_CLK	10	O										
		I2C2_SCL	11	IOD								1		
		MCASP0_ACLKX	12	IO								0		
		GPMC0_AD11	14	IO								0		
V19	MCAN5_RX	MCAN5_RX	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	1	1/0	あり
		RGMII3_RD0	4	I								0		
		RMII3_RXD0	5	I								0		
		MCAN5_RX	6	I								1		
		GPIO0_20	7	IO								パッド		
		I2C3_SCL	8	IOD								1		
		EHRPWM_TZn_IN5	9	I								0		
		TRC_DATA21	10	O										
		GPMC0_A5	11	OZ										
		MCASP1_AXR7	12	IO								0		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
V21	MCAN5_TX	MCAN5_TX	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD		1/0	あり
		RGMII3_RXC	4	I								0		
		RMII4_TXD1	5	O										
		MCAN5_TX	6	O										
		GPIO0_19	7	IO								パッド		
		SPI5_CS1	8	IO								1		
		EHRPWM4_B	9	IO								0		
		TRC_DATA17	10	O										
		UART6_RTSn	11	O										
		MCASP0_AXR7	12	IO								0		
		GPMC0_DIR	13	O										
		SYNC3_OUT	14	O										
U14	MCAN6_RX	MCAN6_RX	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	1	1/0	あり
		RGMII3_RD2	4	I								0		
		RMII3_CRS_DV	5	I								0		
		MCAN6_RX	6	I								1		
		GPIO0_22	7	IO								パッド		
		EHRPWM5_A	9	IO								0		
		TRC_DATA19	10	O										
		MCASP1_AXR5	12	IO								0		
		GPMC0_AD13	14	IO								0		
T13	MCAN6_TX	MCAN6_TX	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD		1/0	あり
		RGMII3_RD1	4	I								0		
		RMII3_RXD1	5	I								0		
		MCAN6_TX	6	O										
		GPIO0_21	7	IO								パッド		
		I2C3_SDA	8	IOD								1		
		EHRPWM5_B	9	IO								0		
		TRC_DATA20	10	O										
		GPMC0_A6	11	OZ										
		MCASP1_AXR6	12	IO								0		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
U15	MCAN7_RX	MCAN7_RX	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	1	1/0	あり
		RGMII3_RX_CTL	4	I								0		
		RMII3_TXD0	5	O										
		MCAN7_RX	6	I								1		
		GPIO0_24	7	IO								パッド		
		SPI3_CS1	8	IO								1		
		EHRPWM3_A	9	IO								0		
		TRC_DATA11	10	O										
		MCASP0_AFSR	12	IO								0		
		GPMC0_AD15	14	IO								0		
U16	MCAN7_TX	MCAN7_TX	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD		1/0	あり
		RGMII3_RD3	4	I								0		
		RMII3_RX_ER	5	I								0		
		MCAN7_TX	6	O										
		GPIO0_23	7	IO								パッド		
		SPI3_CS0	8	IO								1		
		EHRPWM_TZn_IN4	9	I								0		
		TRC_DATA18	10	O										
		MCASP1_AXR4	12	IO								0		
		GPMC0_AD14	14	IO								0		
U19	MCAN8_RX	MCAN8_RX	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	1	1/0	あり
		RGMII3_TD1	4	O										
		RMII3_TXD1	5	O										
		MCAN8_RX	6	I								1		
		GPIO0_26	7	IO								パッド		
		SPI3_CS3	8	IO								1		
		EHRPWM3_SYNCO	9	O										
		TRC_DATA14	10	O										
		UART3_RTSn	11	O										
		MCASP0_AXR4	12	IO								0		
		GPMC0_A8	13	OZ										
		UART0_DSRn	14	I								1		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
T15	MCAN8_TX	MCAN8_TX	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD		1/0	あり
		GPMC0_A7	3	OZ										
		RGMII3_TD0	4	O										
		RMII3_TX_EN	5	O										
		MCAN8_TX	6	O										
		GPIO0_25	7	IO								パッド		
		SPI3_CS2	8	IO								1		
		EHRPWM_TZn_IN3	9	I								0		
		TRC_DATA15	10	O										
		UART3_CTSn	11	I								1		
		MCASP0_AXR5	12	IO								0		
		UART0_DCDn	14	I								1		
U18	MCAN9_RX	MCAN9_RX	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	1	1/0	あり
		RGMII3_TD3	4	O										
		MCAN9_RX	6	I								1		
		GPIO0_28	7	IO								パッド		
		SPI3_D0	8	IO								0		
		EHRPWM3_B	9	IO								0		
		TRC_DATA12	10	O										
		MCASP1_ACLKR	12	IO								0		
		GPMC0_A10	13	OZ										
		MCASP1_AXR11	14	IO								0		
T14	MCAN9_TX	MCAN9_TX	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD		1/0	あり
		RGMII3_TD2	4	O										
		MCAN9_TX	6	O										
		GPIO0_27	7	IO								パッド		
		SPI3_CLK	8	IO								0		
		EHRPWM3_SYNCI	9	I								0		
		TRC_DATA13	10	O										
		MCASP1_AFSR	12	IO								0		
		GPMC0_A9	13	OZ										
		MCASP1_AXR10	14	IO								0		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
U20	MCAN10_RX	MCAN10_RX	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	1	1/0	あり
		RGMII3_TXC	4	O										
		MCAN10_RX	6	I								1		
		GPIO0_30	7	IO								パッド		
		SPI2_CLK	8	IO								1		
		EHRPWM4_A	9	IO								0		
		TRC_DATA16	10	O										
		UART2_RTSn	11	O										
		MCASP0_AXR6	12	IO								0		
		GPMC0_BE0n_CLE	13	O										
		GPMC0_A16	14	OZ										
U17	MCAN10_TX	MCAN10_TX	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD		1/0	あり
		RGMII3_TX_CTL	4	O										
		MCAN10_TX	6	O										
		GPIO0_29	7	IO								パッド		
		SPI3_D1	8	IO								0		
		EHRPWM_SOCB	9	O										
		TRC_DATA10	10	O										
		UART2_CTSn	11	I								1		
		MCASP0_ACLKR	12	IO								0		
		GPMC0_WAIT1	13	I								0		
		GPMC0_A22	14	OZ										
Y13	MCAN11_RX	MCAN11_RX	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	1	1/0	あり
		RGMII2_RD0	4	I								0		
		MCAN11_RX	6	I								1		
		GPIO0_32	7	IO								パッド		
		SPI2_CS1	8	IO								1		
		EQEP0_B	9	I								0		
		UART3_TXD	11	O										
		MCASP0_AXR14	12	IO								0		
		GPMC0_A12	13	OZ										
		UART0_RIn	14	I								1		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
Y14	MCAN11_TX	MCAN11_TX	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD		1/0	あり
		RGMII2_RXC	4	I								0		
		MCAN11_TX	6	O										
		GPIO0_31	7	IO								パッド		
		SPI2_CS0	8	IO								1		
		EQEP0_A	9	I								0		
		SPI0_CS2	10	IO								1		
		UART3_RXD	11	I								1		
		MCASP0_AXR13	12	IO								0		
		GPMC0_A11	13	OZ										
		UART0_DTRn	14	O										
AA14	MCAN12_RX	MCAN12_RX	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	1	1/0	あり
		RGMII2_RD2	4	I								0		
		MCAN12_RX	6	I								1		
		GPIO0_34	7	IO								パッド		
		SPI2_CS3	8	IO								1		
		EQEP1_B	9	I								0		
		I2C6_SDA	10	IOD								1		
		UART2_TXD	11	O										
		MCASP1_AXR8	12	IO								0		
		I3C0_SDAPULLEN	13	OD										
		GPMC0_A18	14	OZ										
AA15	MCAN12_TX	MCAN12_TX	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD		1/0	あり
		RGMII2_RD1	4	I								0		
		MCAN12_TX	6	O										
		GPIO0_33	7	IO								パッド		
		SPI2_CS2	8	IO								1		
		EQEP1_A	9	I								0		
		I2C6_SCL	10	IOD								1		
		UART2_RXD	11	I								1		
		MCASP0_AXR15	12	IO								0		
		GPMC0_BE1n	13	O										
		GPMC0_A17	14	OZ										

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
AA16	MCAN13_RX	MCAN13_RX	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	1	1/0	あり
		RGMII2_RX_CTL	4	I								0		
		GPMC0_CSn3	5	O										
		MCAN13_RX	6	I								1		
		GPIO0_36	7	IO								パッド		
		SPI2_D1	8	IO								0		
		EQEP0_I	9	IO								0		
		I2C5_SDA	10	IOD								1		
		UART8_RTSn	11	O										
		MCASP2_AXR0	12	IO								0		
		I3C0_SDA	13	IO								1		
		GPMC0_A20	14	OZ										
AA18	MCAN13_TX	MCAN13_TX	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD		1/0	あり
		RGMII2_RD3	4	I								0		
		GPMC0_WPn	5	O										
		MCAN13_TX	6	O										
		GPIO0_35	7	IO								パッド		
		SPI2_D0	8	IO								0		
		EQEP0_S	9	IO								0		
		I2C5_SCL	10	IOD								1		
		UART8_CTSn	11	I								1		
		MCASP1_AXR9	12	IO								0		
		I3C0_SCL	13	IO								1		
		GPMC0_A19	14	OZ										
W20	MCAN15_RX	MCAN15_RX	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	1	1/0	あり
		RGMII2_TD1	4	O										
		RMII2_RXD1	5	I								0		
		GPIO0_38	7	IO								パッド		
		SPI6_CS3	8	IO								1		
		EQEP1_I	9	IO								0		
		MCAN15_RX	10	I								1		
		MCASP2_AXR2	12	IO								0		
		GPMC0_A15	13	OZ										
		GPMC0_ADVn_ALE	14	O										

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
W17	MCAN15_TX	MCAN15_TX	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD		1/0	あり
		RGMII2_TD0	4	O										
		RMII2_RXD0	5	I								0		
		GPIO0_37	7	IO								パッド		
		SPI6_CS2	8	IO								1		
		EQEP1_S	9	IO								0		
		MCAN15_TX	10	O										
		GPMC0_CSn2	11	O										
		MCASP2_AXR1	12	IO								0		
		GPMC0_A0	13	OZ										
		GPMC0_A21	14	OZ										
U21	MCAN16_RX	MCAN16_RX	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	1	1/0	あり
		CLKOUT	1	OZ										
		RGMII4_TD0	4	O										
		GPIO0_46	7	IO								パッド		
		UART7_RXD	12	I								1		
		GPMC0_CSn1	13	O										
		AUDIO_EXT_REFCLK1	14	IO								0		
V15	MCAN16_TX	MCAN16_TX	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD		1/0	あり
		RMII_REF_CLK	1	I								0		
		RGMII4_RX_CTL	4	I								0		
		GPIO0_45	7	IO								パッド		
		UART7_TXD	12	O										
		GPMC0_A14	13	OZ										
H17	MCU_ADC0_AIN0	MCU_ADC0_AIN0	0	A		0	1.8V	VDDA_ADC_MCU		ADC12BT				
K18	MCU_ADC0_AIN1	MCU_ADC0_AIN1	0	A		0	1.8V	VDDA_ADC_MCU		ADC12BT				
M17	MCU_ADC0_AIN2	MCU_ADC0_AIN2	0	A		0	1.8V	VDDA_ADC_MCU		ADC12BT				
L18	MCU_ADC0_AIN3	MCU_ADC0_AIN3	0	A		0	1.8V	VDDA_ADC_MCU		ADC12BT				
J18	MCU_ADC0_AIN4	MCU_ADC0_AIN4	0	A		0	1.8V	VDDA_ADC_MCU		ADC12BT				
J17	MCU_ADC0_AIN5	MCU_ADC0_AIN5	0	A		0	1.8V	VDDA_ADC_MCU		ADC12BT				
K17	MCU_ADC0_AIN6	MCU_ADC0_AIN6	0	A		0	1.8V	VDDA_ADC_MCU		ADC12BT				
L17	MCU_ADC0_AIN7	MCU_ADC0_AIN7	0	A		0	1.8V	VDDA_ADC_MCU		ADC12BT				
G21	MCU_I2C0_SCL	MCU_I2C0_SCL	0	IOD	OFF	0	1.8V/3.3V	VDDSHV0_MCU	あり	I2C OD FS		1		あり
		WKUP_GPIO0_66	7	IO								パッド		
G20	MCU_I2C0_SDA	MCU_I2C0_SDA	0	IOD	OFF	0	1.8V/3.3V	VDDSHV0_MCU	あり	I2C OD FS		1		あり
		WKUP_GPIO0_67	7	IO								パッド		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
A17	MCU_MCAN0_RX	MCU_MCAN0_RX	0	I	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	0	1/0	あり
		WKUP_GPIO0_63	7	IO								パッド		
A16	MCU_MCAN0_TX	MCU_MCAN0_TX	0	O	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD		1/0	あり
		WKUP_GPIO0_62	7	IO								パッド		
D9	MCU_MDIO0_MDC	MCU_MDIO0_MDC	0	O	OFF	7	1.8V/3.3V	VDDSHV2_MCU	あり	LVCMOS	PU/PD		1/0	
		WKUP_GPIO0_55	7	IO								パッド		
C9	MCU_MDIO0_MDIO	MCU_MDIO0_MDIO	0	IO	OFF	7	1.8V/3.3V	VDDSHV2_MCU	あり	LVCMOS	PU/PD	0	1/0	
		WKUP_GPIO0_54	7	IO								パッド		
B6	MCU_OSPI0_CLK	MCU_OSPI0_CLK	0	O	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD			
		MCU_HYPERBUS0_CK	1	O										
		WKUP_GPIO0_16	7	IO								パッド		
B7	MCU_OSPI0_DQS	MCU_OSPI0_DQS	0	I	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0		
		MCU_HYPERBUS0_RWDS	1	IO								0		
		WKUP_GPIO0_18	7	IO								パッド		
C8	MCU_OSPI0_LBCLKO	MCU_OSPI0_LBCLKO	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0		
		MCU_HYPERBUS0_CKn	1	O										
		WKUP_GPIO0_17	7	IO								パッド		
D6	MCU_OSPI0_CSn0	MCU_OSPI0_CSn0	0	O	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD		1/0	
		MCU_HYPERBUS0_CSn0	1	O										
		WKUP_GPIO0_27	7	IO								パッド		
D7	MCU_OSPI0_CSn1	MCU_OSPI0_CSn1	0	O	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD		1/0	
		MCU_HYPERBUS0_RESETn	1	O										
		WKUP_GPIO0_28	7	IO								パッド		
C6	MCU_OSPI0_CSn2	MCU_OSPI0_CSn2	0	O	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD			
		MCU_OSPI0_CSn2	1	O										
		MCU_HYPERBUS0_RESETOn	2	I								I		
		MCU_HYPERBUS0_WPn	3	O										
		MCU_HYPERBUS0_CSn1	4	O										
		MCU_OSPI0_RESET_OUT0	6	O										
		WKUP_GPIO0_30	7	IO								パッド		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
D5	MCU_OSPI0_CSn3	MCU_OSPI0_CSn3	0	O	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD			
		MCU_OSPI0_CSn3	1	O										
		MCU_HYPERBUS0_INTn	2	I								I		
		MCU_HYPERBUS0_WPn	3	O										
		MCU_OSPI0_RESET_OUT1	5	O										
		MCU_OSPI0_ECC_FAIL	6	I								1		
		WKUP_GPIO0_31	7	IO								パッド		
D8	MCU_OSPI0_D0	MCU_OSPI0_D0	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	1/0	
		MCU_HYPERBUS0_DQ0	1	IO								0		
		WKUP_GPIO0_19	7	IO								パッド		
		BOOTMODE00	ブートストラップ	I										
C7	MCU_OSPI0_D1	MCU_OSPI0_D1	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	1/0	
		MCU_HYPERBUS0_DQ1	1	IO								0		
		WKUP_GPIO0_20	7	IO								パッド		
		BOOTMODE01	ブートストラップ	I										
C5	MCU_OSPI0_D2	MCU_OSPI0_D2	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	1/0	
		MCU_HYPERBUS0_DQ2	1	IO								0		
		WKUP_GPIO0_21	7	IO								パッド		
A5	MCU_OSPI0_D3	MCU_OSPI0_D3	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	1/0	
		MCU_HYPERBUS0_DQ3	1	IO								0		
		WKUP_GPIO0_22	7	IO								パッド		
A6	MCU_OSPI0_D4	MCU_OSPI0_D4	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	1/0	
		MCU_HYPERBUS0_DQ4	1	IO								0		
		WKUP_GPIO0_23	7	IO								パッド		
		BOOTMODE02	ブートストラップ	I										
B8	MCU_OSPI0_D5	MCU_OSPI0_D5	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	1/0	
		MCU_HYPERBUS0_DQ5	1	IO								0		
		WKUP_GPIO0_24	7	IO								パッド		
		BOOTMODE03	ブートストラップ	I										
A8	MCU_OSPI0_D6	MCU_OSPI0_D6	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	1/0	
		MCU_HYPERBUS0_DQ6	1	IO								0		
		WKUP_GPIO0_25	7	IO								パッド		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RX アクティブ / TX 無効 [14]	IO RET [15]
A7	MCU_OSPI0_D7	MCU_OSPI0_D7	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	1/0	
		MCU_HYPERBUS0_DQ7	1	IO								0		
		WKUP_GPIO0_26	7	IO								パッド		
G19	MCU_PORz	MCU_PORz		I			1.8V	VDDA_WKUP、VDDA_POR_WKUP	あり	FS RESET				
B13	MCU_RESETSTATz	MCU_RESETSTATz	0	O	PD	0	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD			
		WKUP_GPIO0_79	7	IO								パッド		
A18	MCU_RESETz	MCU_RESETz	0	I		0	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD			
B10	MCU_RGMII1_RXC	MCU_RGMII1_RXC	0	I	OFF	7	1.8V/3.3V	VDDSHV2_MCU	あり	LVCMOS	PU/PD	0	1/0	
		MCU_RMII1_REF_CLK	1	I								0		
		WKUP_GPIO0_49	7	IO								パッド		
A11	MCU_RGMII1_RX_CTL	MCU_RGMII1_RX_CTL	0	I	OFF	7	1.8V/3.3V	VDDSHV2_MCU	あり	LVCMOS	PU/PD	0	1/0	
		MCU_RMII1_RX_ER	1	I								0		
		WKUP_GPIO0_43	7	IO								パッド		
A12	MCU_RGMII1_TXC	MCU_RGMII1_TXC	0	O	OFF	7	1.8V/3.3V	VDDSHV2_MCU	あり	LVCMOS	PU/PD		1/0	
		MCU_RMII1_TX_EN	1	O										
		WKUP_GPIO0_48	7	IO								パッド		
D11	MCU_RGMII1_TX_CTL	MCU_RGMII1_TX_CTL	0	O	OFF	7	1.8V/3.3V	VDDSHV2_MCU	あり	LVCMOS	PU/PD		1/0	
		MCU_RMII1_CRS_DV	1	I								0		
		WKUP_GPIO0_29	7	IO								パッド		
A9	MCU_RGMII1_RD0	MCU_RGMII1_RD0	0	I	OFF	7	1.8V/3.3V	VDDSHV2_MCU	あり	LVCMOS	PU/PD	0	1/0	
		MCU_RMII1_RXD0	1	I								0		
		WKUP_GPIO0_53	7	IO								パッド		
B9	MCU_RGMII1_RD1	MCU_RGMII1_RD1	0	I	OFF	7	1.8V/3.3V	VDDSHV2_MCU	あり	LVCMOS	PU/PD	0	1/0	
		MCU_RMII1_RXD1	1	I								0		
		WKUP_GPIO0_52	7	IO								パッド		
A10	MCU_RGMII1_RD2	MCU_RGMII1_RD2	0	I	OFF	7	1.8V/3.3V	VDDSHV2_MCU	あり	LVCMOS	PU/PD	0	1/0	
		MCU_TIMER_IO5	1	IO								0		
		WKUP_GPIO0_51	7	IO								パッド		
C10	MCU_RGMII1_RD3	MCU_RGMII1_RD3	0	I	OFF	7	1.8V/3.3V	VDDSHV2_MCU	あり	LVCMOS	PU/PD	0	1/0	
		MCU_TIMER_IO4	1	IO								0		
		WKUP_GPIO0_50	7	IO								パッド		
D10	MCU_RGMII1_TD0	MCU_RGMII1_TD0	0	O	OFF	7	1.8V/3.3V	VDDSHV2_MCU	あり	LVCMOS	PU/PD		1/0	
		MCU_RMII1_TXD0	1	O										
		WKUP_GPIO0_47	7	IO								パッド		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
B11	MCU_RGMII1_TD1	MCU_RGMII1_TD1	0	O	OFF	7	1.8V/3.3V	VDDSHV2_MCU	あり	LVCMOS	PU/PD		1/0	
		MCU_RMII1_TXD1	1	O										
		WKUP_GPIO0_46	7	IO								パッド		
B12	MCU_RGMII1_TD2	MCU_RGMII1_TD2	0	O	OFF	7	1.8V/3.3V	VDDSHV2_MCU	あり	LVCMOS	PU/PD		1/0	
		MCU_TIMER_IO3	1	IO								0		
		MCU_ADC_EXT_TRIGGER1	3	I								0		
		WKUP_GPIO0_45	7	IO								パッド		
C12	MCU_RGMII1_TD3	MCU_RGMII1_TD3	0	O	OFF	7	1.8V/3.3V	VDDSHV2_MCU	あり	LVCMOS	PU/PD		1/0	
		MCU_TIMER_IO2	1	IO								0		
		MCU_ADC_EXT_TRIGGER0	3	I								0		
		WKUP_GPIO0_44	7	IO								パッド		
G18	MCU_SAFETY_ERRORn	MCU_SAFETY_ERRORn	0	IO	OFF	0	1.8V	VDDA_WKUP、VDDA_POR_WKUP	あり	LVCMOS	PU/PD			
C13	MCU_SPI0_CLK	MCU_SPI0_CLK	0	IO	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	0	1/0	あり
		WKUP_GPIO0_56	7	IO								パッド		
		MCU_BOOTMODE00	ブートストラップ	I										
A19	MCU_SPI0_CS0	MCU_SPI0_CS0	0	IO	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	1	1/0	あり
		MCU_TIMER_IO1	4	IO								0		
		WKUP_GPIO0_59	7	IO								パッド		
A20	MCU_SPI0_D0	MCU_SPI0_D0	0	IO	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	0	1/0	あり
		WKUP_GPIO0_57	7	IO								パッド		
		MCU_BOOTMODE01	ブートストラップ	I										
B17	MCU_SPI0_D1	MCU_SPI0_D1	0	IO	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	0	1/0	あり
		MCU_TIMER_IO0	4	IO								0		
		WKUP_GPIO0_58	7	IO								パッド		
		MCU_BOOTMODE02	ブートストラップ	I										
P20	MMC0_CALPAD	MMC0_CALPAD		A			1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD			
P18	MMC0_CLK	MMC0_CLK		O	ドライブ 0 (オフ)		1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD			
R17	MMC0_CMD	MMC0_CMD		IO	ドライブ 1 (オフ)		1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD	1		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
P19	MMC0_DS	MMC0_DS		IO	PD		1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD	1		
P21	MMC1_CLK	MMC1_CLK	0	IO	OFF	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD	0		
		UART8_RXD	1	I								1		
		TIMER_IO4	3	IO								0		
		UART4_CTSn	5	I								1		
		GPIO0_66	7	IO								パッド		
		SPI1_CLK	8	IO								0		
		UART0_RTSn	9	O										
		I2C6_SDA	10	IOD								1		
M20	MMC1_CMD	MMC1_CMD	0	IO	OFF	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD	1		
		UART8_TXD	1	O										
		TIMER_IO5	3	IO								0		
		UART4_RTSn	5	O										
		GPIO0_67	7	IO								パッド		
		SPI1_D1	8	IO								0		
		I2C6_SCL	10	IOD								1		
R16	MMC0_DAT0	MMC0_DAT0		IO	PU		1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD	1		
P17	MMC0_DAT1	MMC0_DAT1		IO	PU		1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD	1		
R18	MMC0_DAT2	MMC0_DAT2		IO	PU		1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD	1		
R20	MMC0_DAT3	MMC0_DAT3		IO	PU		1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD	1		
R19	MMC0_DAT4	MMC0_DAT4		IO	PU		1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD	1		
P16	MMC0_DAT5	MMC0_DAT5		IO	PU		1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD	1		
R21	MMC0_DAT6	MMC0_DAT6		IO	PU		1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD	1		
T21	MMC0_DAT7	MMC0_DAT7		IO	PU		1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD	1		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
M19	MMC1_DAT0	MMC1_DAT0	0	IO	OFF	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD	1		
		UART7_RTSn	1	O										
		ECAP1_IN_APWM_OUT	2	IO								IO		
		TIMER_IO3	3	IO								0		
		UART4_TXD	5	O										
		GPIO0_65	7	IO								パッド		
		SPI1_D0	8	IO								0		
		UART5_RTSn	9	O										
		I2C4_SCL	10	IOD								1		
		UART2_TXD	11	O										
N21	MMC1_DAT1	MMC1_DAT1	0	IO	OFF	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD	1		
		UART7_CTSn	1	I								1		
		ECAP0_IN_APWM_OUT	2	IO								IO		
		TIMER_IO2	3	IO								0		
		UART4_RXD	5	I								1		
		GPIO0_64	7	IO								パッド		
		SPI1_CS2	8	IO								1		
		UART5_CTSn	9	I								1		
		I2C4_SDA	10	IOD								1		
		UART2_RXD	11	I								1		
N20	MMC1_DAT2	MMC1_DAT2	0	IO	OFF	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD	1		
		UART7_TXD	1	O										
		TIMER_IO1	3	IO								0		
		GPIO0_63	7	IO								パッド		
		SPI1_CS1	8	IO								1		
		CPTS0_TS_SYNC	9	O										
		I2C3_SDA	10	IOD								1		
		UART5_TXD	11	O										

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
N19	MMC1_DAT3	MMC1_DAT3	0	IO	OFF	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD	1		
		UART7_RXD	1	I								1		
		PCIE1_CLKREQn	2	IO								IO		
		TIMER_IO0	3	IO								0		
		GPIO0_62	7	IO								パッド		
		SPI1_CS0	8	IO								1		
		UART0_CTSn	9	I								1		
		I2C3_SCL	10	IOD								1		
		UART5_RXD	11	I								1		
K19	OSC1_XI	OSC1_XI		I			1.8V	VDDA_OSC1	あり	HFOSC				
J19	OSC1_XO	OSC1_XO		O			1.8V	VDDA_OSC1	あり	HFOSC				
C15	PMIC_POWER_EN1	PMIC_POWER_EN1	0	O	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD			あり
		MCU_I3C0_SDAPULLEN	5	OD										
		WKUP_GPIO0_68	7	IO								パッド		
T19	PMIC_WAKE0n	PMIC_WAKE0n	0	OD	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD			
		RGMII4_TD1	4	O										
		GPIO0_1	7	IO								パッド		
H20	PORz	PORz	0	I		0	1.8V	VDDA_WKUP、VDDA_POR_WKUP	あり	FS RESET				
U2	RESETSTATz	RESETSTATz	0	O	PD	0	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD			
A15	RESET_REQz	RESET_REQz	0	I	OFF	0	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD			
AA20	RMII1_CRS_DV	RMII1_CRS_DV	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	1/0	あり
		RGMII1_RD2	4	I								0		
		RMII1_CRS_DV	5	I								0		
		GPIO0_4	7	IO								パッド		
		EHRPWM2_B	9	IO								0		
		TRC_DATA7	10	O										
		UART4_TXD	11	O										
		MCASP1_AXR1	12	IO								0		
		GPMC0_AD2	14	IO								0		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
Y17	RMII1_RX_ER	RMII1_RX_ER	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	1/0	あり
		RGMII1_RD3	4	I								0		
		RMII1_RX_ER	5	I								0		
		GPIO0_5	7	IO								パッド		
		EHRPWM2_A	9	IO								0		
		TRC_DATA6	10	O										
		UART6_TXD	11	O										
		MCASP1_AXR0	12	IO								0		
		GPMC0_AD3	14	IO								0		
V17	RMII1_TX_EN	RMII1_TX_EN	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD		1/0	あり
		RGMII4_RXC	4	I								0		
		RMII1_TX_EN	5	O										
		GPIO0_7	7	IO								パッド		
		EQEP2_A	9	I								0		
		UART9_TXD	11	O										
		MCASP0_AXR8	12	IO								0		
		I2C1_SCL	13	IOD								1		
		GPMC0_AD5	14	IO								0		
AA17	RMII1_RXD0	RMII1_RXD0	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	1/0	あり
		RGMII1_RD0	4	I								0		
		RMII1_RXD0	5	I								0		
		MCAN14_TX	6	O										
		GPIO0_2	7	IO								パッド		
		TRC_DATA9	10	O										
		UART5_TXD	11	O										
		MCASP1_AXR3	12	IO								0		
		GPMC0_AD0	14	IO								0		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
Y15	RMII1_RXD1	RMII1_RXD1	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	1/0	あり
		RGMII1_RD1	4	I								0		
		RMII1_RXD1	5	I								0		
		MCAN14_RX	6	I								1		
		GPIO0_3	7	IO								パッド		
		EHRPWM_TZn_IN2	9	I								0		
		TRC_DATA8	10	O										
		UART5_RXD	11	I								1		
		MCASP1_AXR2	12	IO								0		
		GPMC0_AD1	14	IO								0		
Y16	RMII1_TXD0	RMII1_TXD0	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD		1/0	あり
		RGMII1_RX_CTL	4	I								0		
		RMII1_TXD0	5	O										
		GPIO0_6	7	IO								パッド		
		EHRPWM0_SYNCO	9	O										
		TRC_CTL	10	O										
		UART6_RXD	11	I								1		
		MCASP0_AFSX	12	IO								0		
		GPMC0_AD4	14	IO								0		
AA19	RMII1_TXD1	RMII1_TXD1	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD		1/0	あり
		RGMII1_RXC	4	I								0		
		RMII1_TXD1	5	O										
		GPIO0_8	7	IO								パッド		
		EHRPWM_TZn_IN1	9	I								0		
		TRC_DATA5	10	O										
		UART9_RXD	11	I								1		
		MCASP0_AXR3	12	IO								0		
		I2C1_SDA	13	IOD								1		
		GPMC0_AD6	14	IO								0		
V7	SERDES0_REXT	SERDES0_REXT		A			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
AA8	SERDES0_REFCLK_N	SERDES0_REFCLK_N		IO			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
AA9	SERDES0_REFCLK_P	SERDES0_REFCLK_P		IO			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
AA11	SERDES0_RX0_N	SERDES0_RX0_N		I			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII3_RX0_N		I										
		PCIE1_RX0_N		I										
		USB0_SSRX1N		I										
AA12	SERDES0_RX0_P	SERDES0_RX0_P		I			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII3_RX0_P		I										
		PCIE1_RX0_P		I										
		USB0_SSRX1P		I										
W8	SERDES0_RX1_N	SERDES0_RX1_N		I			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII4_RX0_N		I										
		PCIE1_RX1_N		I										
		USB0_SSRX2N		I										
W9	SERDES0_RX1_P	SERDES0_RX1_P		I			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII4_RX0_P		I										
		PCIE1_RX1_P		I										
		USB0_SSRX2P		I										
Y7	SERDES0_RX2_N	SERDES0_RX2_N		I			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII1_RX0_N		I										
		PCIE1_RX2_N		I										
		USB0_SSRX1N		I										
Y8	SERDES0_RX2_P	SERDES0_RX2_P		I			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII1_RX0_P		I										
		PCIE1_RX2_P		I										
		USB0_SSRX1P		I										

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
W5	SERDES0_RX3_N	SERDES0_RX3_N		I			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII2_RX0_N		I										
		PCIE1_RX3_N		I										
		USB0_SSRX2N		I										
W6	SERDES0_RX3_P	SERDES0_RX3_P		I			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII2_RX0_P		I										
		PCIE1_RX3_P		I										
		USB0_SSRX2P		I										
W11	SERDES0_TX0_N	SERDES0_TX0_N		O			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII3_TX0_N		O										
		PCIE1_TX0_N		O										
		USB0_SSTX1N		O										
W12	SERDES0_TX0_P	SERDES0_TX0_P		O			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII3_TX0_P		O										
		PCIE1_TX0_P		O										
		USB0_SSTX1P		O										
Y10	SERDES0_TX1_N	SERDES0_TX1_N		O			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII4_TX0_N		O										
		PCIE1_TX1_N		O										
		USB0_SSTX2N		O										
Y11	SERDES0_TX1_P	SERDES0_TX1_P		O			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII4_TX0_P		O										
		PCIE1_TX1_P		O										
		USB0_SSTX2P		O										
AA5	SERDES0_TX2_N	SERDES0_TX2_N		O			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII1_TX0_N		O										
		PCIE1_TX2_N		O										
		USB0_SSTX1N		O										
AA6	SERDES0_TX2_P	SERDES0_TX2_P		O			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII1_TX0_P		O										
		PCIE1_TX2_P		O										
		USB0_SSTX1P		O										

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
Y4	SERDES0_TX3_N	SERDES0_TX3_N		O			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII2_TX0_N		O										
		PCIE1_TX3_N		O										
		USB0_SSTX2N		O										
Y5	SERDES0_TX3_P	SERDES0_TX3_P		O			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII2_TX0_P		O										
		PCIE1_TX3_P		O										
		USB0_SSTX2P		O										
V2	SOC_SAFETY_ERRORn	SOC_SAFETY_ERRORn	0	IO	OFF	0	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD			
Y1	SPI0_CLK	SPI0_CLK	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	0		
		UART1_CTSn	1	I								1		
		I2C2_SCL	2	IOD								IOD		
		GPIO0_53	7	IO								パッド		
W3	SPI0_CS0	SPI0_CS0	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	1		
		UART0_CTSn	2	I								I		
		GPIO0_51	7	IO								パッド		
U5	SPI0_CS1	SPI0_CS1	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	1		
		CPTS0_TS_COMP	1	O										
		UART0_RTSn	2	O								O		
		GPIO0_52	7	IO								パッド		
V4	SPI0_D0	SPI0_D0	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	0		
		UART1_RTSn	1	O										
		I2C2_SDA	2	IOD								IOD		
		GPIO0_54	7	IO								パッド		
T5	SPI0_D1	SPI0_D1	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	0		
		GPIO0_55	7	IO								パッド		
B15	TCK	TCK	0	I		0	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD			
F19	TDI	TDI	0	I	OFF	0	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD			
F21	TDO	TDO	0	OZ	OFF	0	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD			

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
V1	TIMER_IO0	TIMER_IO0	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	0		
		ECAP1_IN_APWM_OUT	1	IO								0		
		SYSCLKOUT0	2	O								O		
		UART3_CTSn	5	I								1		
		SPI7_D0	6	IO								0		
		GPIO0_60	7	IO								パッド		
		MMC1_SDCD	8	I								1		
W1	TIMER_IO1	TIMER_IO1	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	0	0/0	
		ECAP2_IN_APWM_OUT	1	IO								0		
		OBSCLK0	2	O								O		
		UART3_RTSn	5	O										
		SPI7_D1	6	IO								0		
		GPIO0_61	7	IO								パッド		
		MMC1_SDWP	8	I								1		
		PCIE1_CLKREQn	9	IO								0		
U4	TMS	TMS	0	I	OFF	0	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD			
B20	TRSTn	TRSTn	0	I		0	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD			
T16	UART0_RXD	UART0_RXD	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	1	0/0	あり
		RGMII4_TXC	4	O										
		GPIO0_47	7	IO								パッド		
		GPMC0_WAIT0	14	I								0		
T17	UART0_TXD	UART0_TXD	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD			あり
		RGMII4_TD2	4	O										
		GPIO0_48	7	IO								パッド		
		GPMC0_WEn	14	O										
T18	UART1_RXD	UART1_RXD	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	1		あり
		MCAN17_TX	1	O										
		TIMER_IO6	3	IO								0		
		RGMII4_TD3	4	O										
		GPIO0_49	7	IO								パッド		
		GPMC0_OEn_REn	14	O										

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
T20	UART1_TXD	UART1_TXD	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD			あり
		MCAN17_RX	1	I								1		
		TIMER_IO7	3	IO								0		
		RGMII4_TX_CTL	4	O										
		GPIO0_50	7	IO								パッド		
		GPMC0_CSn0	14	O										
V14	UART2_RXD	UART2_RXD	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	1	0/0	あり
		RGMII2_TD2	4	O										
		RMII2_CRS_DV	5	I								0		
		GPIO0_39	7	IO								パッド		
		SPI6_CLK	8	IO								0		
		GPMC0_CLKOUT	9	O										
		GPMC0_FCLK_MUX	10	O										
		UART2_RXD	11	I								1		
		MCASP2_AXR3	12	IO								0		
		OBSCLK2	14	O										
V13	UART2_TXD	UART2_TXD	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD			あり
		RGMII2_TD3	4	O										
		RMII2_RX_ER	5	I								0		
		GPIO0_40	7	IO								パッド		
		SPI6_D0	8	IO								0		
		UART2_TXD	11	O										
		MCASP2_AFSX	12	IO								0		
W14	UART8_RXD	UART8_RXD	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	1		あり
		I2C4_SCL	2	IOD								IOD		
		MDIO0_MDIO	5	IO								0		
		GPIO0_42	7	IO								パッド		
		TRC_DATA22	10	O										
		UART8_RXD	11	I								1		
		MCASP2_AFSR	12	IO								0		
		MCASP2_AXR4	13	IO								0		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
W19	UART8_TXD	UART8_TXD	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD			あり
		SPI1_CS3	1	IO								1		
		I2C4_SDA	2	IOD								IOD		
		MDIO0_MDC	5	O										
		GPIO0_43	7	IO								パッド		
		TRC_DATA23	10	O										
		UART8_TXD	11	O										
		MCASP2_ACLKR	12	IO								0		
		MCASP2_AXR5	13	IO								0		
AA3	USB0_DM	USB0_DM		IO			3.3V	VDDA_0P8_USB、VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY				
AA2	USB0_DP	USB0_DP		IO			3.3V	VDDA_0P8_USB、VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY				
T4	USB0_DRVVBUS	USB0_DRVVBUS	0	O	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD			
		GPIO0_68	7	IO								パッド		
V6	USB0_ID	USB0_ID		A			3.3V	VDDA_0P8_USB、VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY				
V5	USB0_RCALIB	USB0_RCALIB		IO			3.3V	VDDA_0P8_USB、VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY				
Y2	USB0_VBUS	USB0_VBUS		A			5.0V	VDDA_0P8_USB、VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY				
K14、P14	VDDAR_CORE	VDDAR_CORE		PWR										
J11、M10	VDDAR_CPU	VDDAR_CPU		PWR										
H12、J14	VDDAR_MCU	VDDAR_MCU		PWR										
K7	VDDA_0P8_PLL_DDR	VDDA_0P8_PLL_DDR		PWR										
P7	VDDA_0P8_USB	VDDA_0P8_USB		PWR										
M18	VDDA_0P8_DLL_MMC0	VDDA_0P8_DLL_MMC0		PWR										
R8、T7、U8	VDDA_0P8_SERDES0	VDDA_0P8_SERDES0		PWR										
R9	VDDA_0P8_SERDES0_C	VDDA_0P8_SERDES0_C		PWR										
R6	VDDA_1P8_USB	VDDA_1P8_USB		PWR										
P8	VDDA_1P8_SERDES0	VDDA_1P8_SERDES0		PWR										
R7	VDDA_3P3_USB	VDDA_3P3_USB		PWR										
J16	VDDA_ADC_MCU	VDDA_ADC_MCU		PWR										
F15	VDDA_MCU_PLLGRP0	VDDA_MCU_PLLGRP0		PWR										

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
F16	VDDA_MCU_TEMP	VDDA_MCU_TEMP		PWR										
G17	VDDA_OSC1	VDDA_OSC1		PWR										
N14	VDDA_PLLGRP0	VDDA_PLLGRP0		PWR										
N9	VDDA_PLLGRP4	VDDA_PLLGRP4		PWR										
J9	VDDA_PLLGRP6	VDDA_PLLGRP6		PWR										
L7	VDDA_PLLGRP8	VDDA_PLLGRP8		PWR										
J15	VDDA_POR_WKUP	VDDA_POR_WKUP		PWR										
J8	VDDA_TEMP0	VDDA_TEMP0		PWR										
P15	VDDA_TEMP1	VDDA_TEMP1		PWR										
H16	VDDA_WKUP	VDDA_WKUP		PWR										
N6、P6	VDDSHV0	VDDSHV0		PWR										
E13、E14、F13、F14	VDDSHV0_MCU	VDDSHV0_MCU		PWR										
E7、E8、F8	VDDSHV1_MCU	VDDSHV1_MCU		PWR										
T10、U11、U9	VDDSHV2	VDDSHV2		PWR										
F11、F12、G11	VDDSHV2_MCU	VDDSHV2_MCU		PWR										
K16、L16	VDDSHV5	VDDSHV5		PWR										
A1、G7、H6、J7、K6、M5、U1	VDDS_DDR	VDDS_DDR		PWR										
F7、L6	VDDS_DDR_BIAS	VDDS_DDR_BIAS		PWR										
J6	VDDS_DDR_C	VDDS_DDR_C		PWR										
M16、N16	VDDS_MMC0	VDDS_MMC0		PWR										
H8、K12、L13、M12、M14、N13、N15、N7、P10、P12、R11、R13、R15	VDD_CORE	VDD_CORE		PWR										
J10、L11、M9、N11、N8	VDD_CPU	VDD_CPU		PWR										
G9、H10、H14、J13、K15	VDD_MCU	VDD_MCU		PWR										
G13	VDD_MCU_WAKE1	VDD_MCU_WAKE1		PWR										
P11	VDD_WAKE0	VDD_WAKE0		PWR										
G15	VMON1_ER_VSYS	VMON1_ER_VSYS		PWR										
D16	VMON2_IR_VCPU	VMON2_IR_VCPU		PWR										
E17	VMON3_IR_VEXT1P8	VMON3_IR_VEXT1P8		PWR										
F17	VMON4_IR_VEXT1P8	VMON4_IR_VEXT1P8		PWR										

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
L14	VMON5_IR_VEXT3P3	VMON5_IR_VEXT3P3		PWR										
N17	VPP_CORE	VPP_CORE		PWR										
E11	VPP_MCU	VPP_MCU		PWR										
B5、AA1、AA10、AA13、AA4、AA7、C11、D15、D17、D3、E10、E12、E15、E16、E6、E9、F1、G10、G12、G16、G6、G8、H11、H13、H15、H19、H4、H7、H9、J1、J12、J21、K11、K13、K3、L12、L19、L5、M11、M13、M15、M21、M6、M8、N10、N12、N3、P13、P5、P9、R10、R12、R14、T11、T2、T6、T8、T9、U10、U7、V11、V12、V9、W10、W13、W18、W4、W7、Y12、Y3、Y6、Y9	VSS	VSS		GND										
B18	WKUP_GPIO0_0	MCU_SPI1_CLK	0	IO	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	0		あり
		MCU_SPI1_CLK	1	IO								0		
		WKUP_GPIO0_0	7	IO								パッド		
		MCU_BOOTMODE03	ブートストラップ	I										
B19	WKUP_GPIO0_1	MCU_SPI1_D0	0	IO	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	0	1/0	あり
		MCU_SPI1_D0	1	IO								0		
		WKUP_GPIO0_1	7	IO								パッド		
		MCU_BOOTMODE04	ブートストラップ	I										

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
D14	WKUP_GPIO0_2	MCU_SPI1_D1	0	IO	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	0	1/0	あり
		MCU_SPI1_D1	1	IO								0		
		WKUP_GPIO0_2	7	IO								パッド		
		MCU_BOOTMODE05	ブートストラップ	I										
B21	WKUP_GPIO0_3	MCU_SPI1_CS0	0	IO	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	1		あり
		MCU_SPI1_CS0	1	IO								1		
		WKUP_GPIO0_3	7	IO								パッド		
D13	WKUP_GPIO0_4	MCU_MCAN1_TX	0	O	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD			あり
		MCU_MCAN1_TX	1	O										
		MCU_SPI0_CS3	2	IO								IO		
		MCU_ADC_EXT_TRIGGER0	3	I								パッド		
		WKUP_GPIO0_4	7	IO								パッド		
B16	WKUP_GPIO0_5	MCU_MCAN1_RX	0	I	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	1		あり
		MCU_MCAN1_RX	1	I								1		
		MCU_SPI1_CS3	2	IO								IO		
		MCU_ADC_EXT_TRIGGER1	3	I								パッド		
		WKUP_GPIO0_5	7	IO								パッド		
C14	WKUP_GPIO0_6	WKUP_UART0_CTSn	0	I	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	1		あり
		WKUP_UART0_CTSn	1	I								1		
		MCU_CPTS0_HW1TSPUSH	2	I								I		
		MCU_I2C1_SCL	3	IOD								1		
		WKUP_GPIO0_6	7	IO								パッド		
C18	WKUP_GPIO0_7	WKUP_UART0_RTSn	0	O	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD			あり
		WKUP_UART0_RTSn	1	O										
		MCU_CPTS0_HW2TSPUSH	2	I								I		
		MCU_I2C1_SDA	3	IOD								1		
		WKUP_GPIO0_7	7	IO								パッド		
C21	WKUP_GPIO0_8	MCU_I2C1_SCL	0	IOD	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	1		あり
		MCU_I2C1_SCL	1	IOD								1		
		MCU_CPTS0_TS_SYNC	2	O								O		
		MCU_I3C0_SCL	3	IO								1		
		MCU_TIMER_IO6	4	IO								0		
		WKUP_GPIO0_8	7	IO								パッド		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
C19	WKUP_GPIO0_9	MCU_I2C1_SDA	0	IOD	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	1		あり
		MCU_I2C1_SDA	1	IOD								1		
		MCU_CPTS0_TS_COMP	2	O								O		
		MCU_I3C0_SDA	3	IO								1		
		MCU_TIMER_IO7	4	IO								0		
		WKUP_GPIO0_9	7	IO								パッド		
C20	WKUP_GPIO0_10	MCU_EXT_REFCLK0	0	I	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	0		あり
		MCU_EXT_REFCLK0	1	I								0		
		MCU_UART0_TXD	2	O								O		
		MCU_ADC_EXT_TRIGGER0	3	I								0		
		MCU_CPTS0_RFT_CLK	4	I								0		
		MCU_SYSCLKOUT0	5	O										
		WKUP_GPIO0_10	7	IO								パッド		
C16	WKUP_GPIO0_11	MCU_OBSCLK0	0	O	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD			あり
		MCU_OBSCLK0	1	O										
		MCU_UART0_RXD	2	I								I		
		MCU_ADC_EXT_TRIGGER1	3	I								0		
		MCU_TIMER_IO1	4	IO								0		
		MCU_I3C0_SDAPULLEN	5	OD										
		MCU_CLKOUT0	6	OZ										
		WKUP_GPIO0_11	7	IO								パッド		
D19	WKUP_GPIO0_12	MCU_UART0_TXD	0	O	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD			あり
		MCU_SPI0_CS1	1	IO										
		WKUP_GPIO0_12	7	IO								パッド		
		MCU_BOOTMODE08	ブートストラップ	I										
D20	WKUP_GPIO0_13	MCU_UART0_RXD	0	I	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	1		あり
		MCU_SPI1_CS1	1	IO										
		WKUP_GPIO0_13	7	IO								パッド		
		MCU_BOOTMODE09	ブートストラップ	I										
E20	WKUP_GPIO0_14	MCU_UART0_CTSn	0	I	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	1		あり
		MCU_SPI0_CS2	1	IO										
		MCU_TIMER_IO8	4	IO								0		
		WKUP_GPIO0_14	7	IO								パッド		
		MCU_BOOTMODE06	ブートストラップ	I										

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

ボール番号 [1]	ボール名 [2]	信号名 [3]	多重化モード [4]	TYPE [5]	ボールリセット状態 [6]	BALL RESET REL.多重化モード [7]	I/O電圧値 [8]	POWER [9]	HYS [10]	バッファタイプ [11]	プルアップ / ダウンタイプ [12]	DSIS [13]	RXアクティブ / TX無効 [14]	IO RET [15]
E21	WKUP_GPIO0_15	MCU_UART0_RTSn	0	O	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD			あり
		MCU_SPI1_CS2	1	IO										
		MCU_TIMER_IO9	4	IO								0		
		WKUP_GPIO0_15	7	IO								パッド		
		MCU_BOOTMODE07	ブートストラップ	I										
D21	WKUP_GPIO0_77	MCU_TIMER_IO6	4	IO	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	0		あり
		WKUP_GPIO0_77	7	IO								パッド		
		BOOTMODE04	ブートストラップ	I										
E19	WKUP_GPIO0_78	MCU_TIMER_IO7	4	IO	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	0		あり
		WKUP_GPIO0_78	7	IO								パッド		
		BOOTMODE05	ブートストラップ	I										
D18	WKUP_GPIO0_80	WKUP_GPIO0_80	7	IO	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	パッド		あり
		BOOTMODE06	ブートストラップ	I										
C17	WKUP_GPIO0_81	WKUP_LF_CLKIN	1	I	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	パッド		あり
		WKUP_GPIO0_81	7	IO								パッド		
		BOOTMODE07	ブートストラップ	I										
E18	WKUP_GPIO0_84	PMIC_WAKE1n	0	OD	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD			
		MCU_EXT_REFCLK0	1	I								0		
		MCU_CPTS0_RFT_CLK	2	I								I		
		WKUP_GPIO0_84	7	IO								パッド		
F20	WKUP_I2C0_SCL	WKUP_I2C0_SCL	0	IOD	OFF	0	1.8V/3.3V	VDDSHV0_MCU	あり	I2C OD FS		1		あり
		WKUP_GPIO0_64	7	IO								パッド		
H21	WKUP_I2C0_SDA	WKUP_I2C0_SDA	0	IOD	OFF	0	1.8V/3.3V	VDDSHV0_MCU	あり	I2C OD FS		1		あり
		WKUP_GPIO0_65	7	IO								パッド		
K21	WKUP_OSC0_XI	WKUP_OSC0_XI		I			1.8V	VDDA_WKUP、VDDA_POR_WKUP	あり	HFOSC				
L21	WKUP_OSC0_XO	WKUP_OSC0_XO		O			1.8V	VDDA_WKUP、VDDA_POR_WKUP	あり	HFOSC				
B14	WKUP_UART0_RXD	WKUP_UART0_RXD	0	I	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	1	1/0	あり
		WKUP_GPIO0_60	7	IO								パッド		
A14	WKUP_UART0_TXD	WKUP_UART0_TXD	0	O	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD		1/0	あり
		WKUP_GPIO0_61	7	IO								パッド		

Copyright © 2026 Texas Instruments Incorporated

以下は、表の列ヘッダーについて説明しています。

1. **ボール番号:** 底面の各信号に関連付けられた底面側のボール番号。
2. **ボール名:** パッケージ デバイスのメカニカル名 (名前は muxmode 0 に由来します)。
3. **信号名:** 各ボールで多重化された信号の名前 (ボールの名前は muxmode 0 での信号名であることにも注意)。

注

表 5-1、「ピン属性」では、サブシステム マルチプレクシング信号は考慮されていません。サブシステム マルチプレクシング信号については、セクション 5.3、「信号の説明」を参照してください。

---

4. **MUXMODE:** マルチプレクシング モード番号:
   a. MUXMODE 0 はプライマリ多重化モードです。プライマリ muxmode が必ずしもデフォルトの muxmode であるとは限りません。

   注

   デフォルトの muxmode は、リセット解除時のモードです。BALL RESET REL も参照してください。MUXMODE 列。

   ---

   b. MUXMODE 1 ～ 7 は、代替機能のための muxmode を使用できます。各ピンで、一部の muxmode が代替機能のために効果的に使用されますが、一部の muxmode は使用されません。定義された関数に対応する MUXMODE 値のみを使用する必要があります。
   c. 空欄は該当しないことを意味します。
5. **タイプ:** 信号の種類と方向:
   - I = 入力
   - O = 出力
   - OD = オープンドレイン端子 – 出力
   - IO = 入出力
   - IOD = オープン ドレイン端子 - 入力または出力
   - IOZ = 入力、出力、またはスリー ステート端子
   - OZ = 出力またはスリー ステート端子
   - A = アナログ
   - PWR = 電源
   - GND = グランド
   - CAP = LDO コンデンサ。
6. **ボール リセット状態:** パワーオン リセット時の端子の状態:
   - ドライブ 0 (オフ): バッファは V_{OL} (プルダウンまたはプルアップ抵抗がアクティブではない) を駆動します。
   - ドライブ 1 (オフ): バッファは V_{OH} (プルダウンまたはプルアップ抵抗がアクティブではない) を駆動します。
   - OFF: ハイ インピーダンス
   - PD: アクティブ プルダウン抵抗によるハイ インピーダンス
   - PU: アクティブ プルアップ抵抗によるハイ インピーダンス

Copyright © 2026 Texas Instruments Incorporated

- 空欄は該当しないことを意味します。

7. **BALL RESET REL.MUXMODE:** この多重化モードは、RESETSTATz 信号と MCU_RESETSTATz 信号の解放時に自動的に設定されます。
   空欄は該当しないことを意味します。
8. **I/O 電圧値:** この列は、IO 電圧値 (対応する電源) を示します。
   空欄は該当しないことを意味します。
9. **電源:** 端子 IO バッファに電力を供給する電圧電源。
   空欄は該当しないことを意味します。
10. **HYS:** 入力バッファにヒステリシスがあるかどうかを示します。
    - あり:ヒステリシス付き
    - なし:ヒステリシスなし

    空欄は「なし」を意味します。

    詳細については、セクション 6.6「電気的特性」のヒステリシスの値を参照してください。
11. **バッファのタイプ:** この列は、関連する出力バッファ タイプを示します

    空欄は該当しないことを意味します。

    関連する出力バッファの駆動強度についてはセクション 6.6、「電気的特性」を参照してください。
12. **プルアップ / ダウン タイプ:** 内部プルアップまたはプルダウン抵抗が存在することを示します。プルアップおよびプルダウン抵抗は、ソフトウェアによって有効化または無効化できます。
    - PU:内部プルアップ
    - PD:内部プルダウン
    - PU/PD:内部プルアップおよびプルダウン
    - 空欄はプルアップ / ダウンがないことを意味します。
13. **DSIS:** 選択解除時入力状態 (DSIS) は、いずれの PINCNTLx レジスタによってもそのペリフェラルピン機能が選択されていない場合に、ペリフェラル入力に駆動される状態 (ロジック「0」、ロジック「1」、または「パッド」レベル) を示します。
    - 0:ロジック 0 がペリフェラルの入力信号ポートで駆動されます。
    - 1:ロジック 1 がペリフェラルの入力信号ポートで駆動されます。
    - パッド:パッドのロジック状態がペリフェラルの入力信号ポートで駆動されます。
    - 空欄は該当しないことを意味します。
14. **RXACTIVE/TXDISABLE:** この列は、PADCONFIG レジスタの RXACTIVE/TXDISABLE ビットのデフォルト値を示しています。
    - RXACTIVE:0 = レシーバがディスエーブル、1 = レシーバがイネーブル。
    - TXDISABLE:0 = ドライバがイネーブル、1 = ドライバがディスエーブル。
    - 空欄は該当しないことを意味します。

Copyright © 2026 Texas Instruments Incorporated

注

2 つのピンを同一の入力信号に設定すると予期しない結果を引き起こす可能性があるため、この設定はサポートされていません。これは、正しいソフトウェア設定を使用することでと、簡単に防止できます (HiZ モードは入力信号ではない)。

注

ピン多重化で定義されない多重化モードにパッドが設定されたとき、そのパッドの挙動は未定義になります。これは避けるべきです。

15. **IO RET:** ウェークアップと IO 保持がサポートされているかどうかを示します。

Copyright © 2026 Texas Instruments Incorporated

5.3 信号の説明

ピン多重化オプションのソフトウェア構成に応じて、複数のピンで多くの信号が利用可能です。

次に列ヘッダーについて説明します。

1. **信号名:**ピンを通過する信号の名前。

   注

   各「信号の説明」表に記載されている信号名 (表 5-1 ～ 表 5-106) は、PADCONFIG レジスタで選択されるピン層の多重化信号機能を表しています。デバイス サブシステムは、信号多重化の追加層を備えている場合があります。これは、これらの表に記載されている信号名に、追加の信号機能があることを意味します。詳細については、デバイスのテクニカル リファレンス マニュアルで該当するペリフェラルの章を参照してください。

2. **説明:**信号の説明
3. **ピンの種類:**信号の方向と種類:
   - I = 入力
   - O = 出力
   - OD = オープン ドレイン端子 - 出力
   - IO = 入出力
   - IOD = オープン ドレイン端子 - 入力または出力
   - IOZ = 入力、出力、またはスリー ステート端子
   - OZ = 出力またはスリー ステート端子
   - A = アナログ
   - PWR = 電源
   - GND = グランド
   - CAP = LDO コンデンサ
4. **ボール:**関連するボールの下部

   I/O セル構成の詳細については、デバイスのテクニカル リファレンス マニュアルの「デバイス構成」章にある「パッド構成レジスタ」セクションを参照してください。

5.3.1 ADC

注

この ADC は、GPI として使用するように構成できます。詳細については、デバイスのテクニカル リファレンス マニュアルで「*ペリフェラル*」の章にある「*A/D コンバータ (ADC)*」セクションを参照してください。

5.3.1.1 MCU ドメイン

表 5-2. ADC0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_ADC0_AIN0	ADC アナログ入力 0	A	H17
MCU_ADC0_AIN1	ADC アナログ入力 1	A	K18
MCU_ADC0_AIN2	ADC アナログ入力 2	A	M17
MCU_ADC0_AIN3	ADC アナログ入力 3	A	L18
MCU_ADC0_AIN4	ADC アナログ入力 4	A	J18
MCU_ADC0_AIN5	ADC アナログ入力 5	A	J17
MCU_ADC0_AIN6	ADC アナログ入力 6	A	K17
MCU_ADC0_AIN7	ADC アナログ入力 7	A	L17
MCU_ADC_EXT_TRIGGER0	ADC トリガ入力	I	C12、C20、D13

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ADC0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_ADC_EXT_TRIGGER1	ADC トリガ入力	I	B12、B16、C16

5.3.2 DDRSS

5.3.2.1 メイン ドメイン

表 5-3. DDRSS0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
DDR_RET	外部 IO 保持イネーブル	I	R5
DDR0_CKN	DDRSS 差動クロック (負)	IO	H1
DDR0_CKP	DDRSS 差動クロック (正)	IO	G1
DDR0_RESETn	DDRSS のリセット	IO	J5
DDR0_CA0	DDRSS コマンド アドレス	IO	G4
DDR0_CA1	DDRSS コマンド アドレス	IO	H3
DDR0_CA2	DDRSS コマンド アドレス	IO	J4
DDR0_CA3	DDRSS コマンド アドレス	IO	K1
DDR0_CA4	DDRSS コマンド アドレス	IO	J2
DDR0_CA5	DDRSS コマンド アドレス	IO	H5
DDR0_CAL0 (1)	IO パッド較正抵抗	A	K5
DDR0_CKE0	DDRSS クロック イネーブル	IO	G2
DDR0_CKE1	DDRSS クロック イネーブル	IO	H2
DDR0_CSn0_0	DDRSS チップ セレクト	IO	G3
DDR0_CSn0_1	DDRSS チップ セレクト	IO	K2
DDR0_CSn1_0	DDRSS チップ セレクト	IO	G5
DDR0_CSn1_1	DDRSS チップ セレクト	IO	J3
DDR0_DM0	DDRSS データ マスク	IO	A3
DDR0_DM1	DDRSS データ マスク	IO	E4
DDR0_DM2	DDRSS データ マスク	IO	N1
DDR0_DM3	DDRSS データ マスク	IO	R4
DDR0_DQ0	DDRSS データ	IO	B4
DDR0_DQ1	DDRSS データ	IO	A4
DDR0_DQ2	DDRSS データ	IO	C4
DDR0_DQ3	DDRSS データ	IO	C1
DDR0_DQ4	DDRSS データ	IO	C3
DDR0_DQ5	DDRSS データ	IO	C2
DDR0_DQ6	DDRSS データ	IO	A2
DDR0_DQ7	DDRSS データ	IO	B3
DDR0_DQ8	DDRSS データ	IO	D1
DDR0_DQ9	DDRSS データ	IO	D2
DDR0_DQ10	DDRSS データ	IO	F2
DDR0_DQ11	DDRSS データ	IO	E3
DDR0_DQ12	DDRSS データ	IO	F3
DDR0_DQ13	DDRSS データ	IO	F4

Copyright © 2026 Texas Instruments Incorporated

表 5-3. DDRSS0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
DDR0_DQ14	DDRSS データ	IO	D4
DDR0_DQ15	DDRSS データ	IO	F5
DDR0_DQ16	DDRSS データ	IO	K4
DDR0_DQ17	DDRSS データ	IO	L4
DDR0_DQ18	DDRSS データ	IO	M4
DDR0_DQ19	DDRSS データ	IO	L3
DDR0_DQ20	DDRSS データ	IO	L2
DDR0_DQ21	DDRSS データ	IO	L1
DDR0_DQ22	DDRSS データ	IO	M3
DDR0_DQ23	DDRSS データ	IO	N2
DDR0_DQ24	DDRSS データ	IO	R3
DDR0_DQ25	DDRSS データ	IO	T1
DDR0_DQ26	DDRSS データ	IO	P1
DDR0_DQ27	DDRSS データ	IO	P2
DDR0_DQ28	DDRSS データ	IO	N4
DDR0_DQ29	DDRSS データ	IO	P3
DDR0_DQ30	DDRSS データ	IO	P4
DDR0_DQ31	DDRSS データ	IO	N5
DDR0_DQS0N	DDRSS 相補データ ストローブ	IO	B1
DDR0_DQS0P	DDRSS データ ストローブ	IO	B2
DDR0_DQS1N	DDRSS 相補データ ストローブ	IO	E1
DDR0_DQS1P	DDRSS データ ストローブ	IO	E2
DDR0_DQS2N	DDRSS 相補データ ストローブ	IO	M1
DDR0_DQS2P	DDRSS データ ストローブ	IO	M2
DDR0_DQS3N	DDRSS 相補データ ストローブ	IO	R1
DDR0_DQS3P	DDRSS データ ストローブ	IO	R2

(1) このピンと VSS の間に 240Ω ±1% の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

5.3.2.2 DDRSS へのマッピング

表 5-4 に、DDRSS インターフェイスの信号マッピングを示します。

表 5-4. DDRSS 信号マッピング

信号名 [1]	メモリ タイプ	ピンの種類 [3]	BALL [4]
	LPDDR4		
DDR0_CA0	CA0_A	IO	G4
DDR0_CA1	CA1_A	IO	H3
DDR0_CA2	CA2_A	IO	J4
DDR0_CA3	CA3_A	IO	K1
DDR0_CA4	CA4_A	IO	J2
DDR0_CA5	CA5_A	IO	H5
DDR0_CKP	CK_t_A	IO	H1
DDR0_CKN	CK_c_A	IO	G1
DDR0_DQ0	DQ0	IO	B4

Copyright © 2026 Texas Instruments Incorporated

表 5-4. DDRSS 信号マッピング (続き)

信号名 [1]	メモリ タイプ	ピンの種類 [3]	BALL [4]
	LPDDR4		
DDR0_DQ1	DQ1	IO	A4
DDR0_DQ2	DQ2	IO	C4
DDR0_DQ3	DQ3	IO	C1
DDR0_DQ4	DQ4	IO	C3
DDR0_DQ5	DQ5	IO	C2
DDR0_DQ6	DQ6	IO	A2
DDR0_DQ7	DQ7	IO	B3
DDR0_DQ8	DQ8	IO	D1
DDR0_DQ9	DQ9	IO	D2
DDR0_DQ10	DQ10	IO	F2
DDR0_DQ11	DQ11	IO	E3
DDR0_DQ12	DQ12	IO	F3
DDR0_DQ13	DQ13	IO	F4
DDR0_DQ14	DQ14	IO	D4
DDR0_DQ15	DQ15	IO	F5
DDR0_DQ16	DQ16	IO	K4
DDR0_DQ17	DQ17	IO	L4
DDR0_DQ18	DQ18	IO	M4
DDR0_DQ19	DQ19	IO	L3
DDR0_DQ20	DQ20	IO	L2
DDR0_DQ21	DQ21	IO	L1
DDR0_DQ22	DQ22	IO	M3
DDR0_DQ23	DQ23	IO	N2
DDR0_DQ24	DQ24	IO	R3
DDR0_DQ25	DQ25	IO	T1
DDR0_DQ26	DQ26	IO	P1
DDR0_DQ27	DQ27	IO	P2
DDR0_DQ28	DQ28	IO	N4
DDR0_DQ29	DQ29	IO	P3
DDR0_DQ30	DQ30	IO	P4
DDR0_DQ31	DQ31	IO	N5
DDR0_DM0	DMI0	IO	A3
DDR0_DM1	DMI1	IO	E4
DDR0_DM2	DMI2	IO	N1
DDR0_DM3	DMI3	IO	R4
DDR0_DQS0N	DQS0	IO	B1
DDR0_DQS0P	DQS0_n	IO	B2
DDR0_DQS1N	DQS1	IO	E1
DDR0_DQS1P	DQS1_n	IO	E2
DDR0_DQS2N	DQS2	IO	M1
DDR0_DQS2P	DQS2_n	IO	M2
DDR0_DQS3N	DQS3	IO	R1
DDR0_DQS3P	DQS3_n	IO	R2
DDR0_RESETn	RESET_n	IO	J5

Copyright © 2026 Texas Instruments Incorporated

表 5-4. DDRSS 信号マッピング (続き)

信号名 [1]	メモリ タイプ	ピンの種類 [3]	BALL [4]
	LPDDR4		
DDR0_CAL0	VTP	A	K5
DDR0_CKE0		IO	G2
DDR0_CKE1		IO	H2
DDR0_CSn0_0		IO	G3
DDR0_CSn0_1		IO	K2
DDR0_CSn1_0		IO	G5
DDR0_CSn1_1		IO	J3

5.3.3 GPIO

5.3.3.1 メイン ドメイン

表 5-5. GPIO0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
GPIO0_0	汎用入出力	IO	U6
GPIO0_1	汎用入出力	IO	T19
GPIO0_2	汎用入出力	IO	AA17
GPIO0_3	汎用入出力	IO	Y15
GPIO0_4	汎用入出力	IO	AA20
GPIO0_5	汎用入出力	IO	Y17
GPIO0_6	汎用入出力	IO	Y16
GPIO0_7	汎用入出力	IO	V17
GPIO0_8	汎用入出力	IO	AA19
GPIO0_9	汎用入出力	IO	V18
GPIO0_10	汎用入出力	IO	V20
GPIO0_11	汎用入出力	IO	W21
GPIO0_12	汎用入出力	IO	V16
GPIO0_13	汎用入出力	IO	Y18
GPIO0_14	汎用入出力	IO	Y19
GPIO0_15	汎用入出力	IO	Y21
GPIO0_16	汎用入出力	IO	W16
GPIO0_17	汎用入出力	IO	W15
GPIO0_18	汎用入出力	IO	Y20
GPIO0_19	汎用入出力	IO	V21
GPIO0_20	汎用入出力	IO	V19
GPIO0_21	汎用入出力	IO	T13
GPIO0_22	汎用入出力	IO	U14
GPIO0_23	汎用入出力	IO	U16
GPIO0_24	汎用入出力	IO	U15
GPIO0_25	汎用入出力	IO	T15
GPIO0_26	汎用入出力	IO	U19
GPIO0_27	汎用入出力	IO	T14
GPIO0_28	汎用入出力	IO	U18
GPIO0_29	汎用入出力	IO	U17
GPIO0_30	汎用入出力	IO	U20

Copyright © 2026 Texas Instruments Incorporated

表 5-5. GPIO0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
GPIO0_31	汎用入出力	IO	Y14
GPIO0_32	汎用入出力	IO	Y13
GPIO0_33	汎用入出力	IO	AA15
GPIO0_34	汎用入出力	IO	AA14
GPIO0_35	汎用入出力	IO	AA18
GPIO0_36	汎用入出力	IO	AA16
GPIO0_37	汎用入出力	IO	W17
GPIO0_38	汎用入出力	IO	W20
GPIO0_39	汎用入出力	IO	V14
GPIO0_40	汎用入出力	IO	V13
GPIO0_41	汎用入出力	IO	U12
GPIO0_42	汎用入出力	IO	W14
GPIO0_43	汎用入出力	IO	W19
GPIO0_44	汎用入出力	IO	U13
GPIO0_45	汎用入出力	IO	V15
GPIO0_46	汎用入出力	IO	U21
GPIO0_47	汎用入出力	IO	T16
GPIO0_48	汎用入出力	IO	T17
GPIO0_49	汎用入出力	IO	T18
GPIO0_50	汎用入出力	IO	T20
GPIO0_51	汎用入出力	IO	W3
GPIO0_52	汎用入出力	IO	U5
GPIO0_53	汎用入出力	IO	Y1
GPIO0_54	汎用入出力	IO	V4
GPIO0_55	汎用入出力	IO	T5
GPIO0_56	汎用入出力	IO	V3
GPIO0_57	汎用入出力	IO	W2
GPIO0_58	汎用入出力	IO	U3
GPIO0_59	汎用入出力	IO	T3
GPIO0_60	汎用入出力	IO	V1
GPIO0_61	汎用入出力	IO	W1
GPIO0_62	汎用入出力	IO	N19
GPIO0_63	汎用入出力	IO	N20
GPIO0_64	汎用入出力	IO	N21
GPIO0_65	汎用入出力	IO	M19
GPIO0_66	汎用入出力	IO	P21
GPIO0_67	汎用入出力	IO	M20
GPIO0_68	汎用入出力	IO	T4

5.3.3.2 WKUP ドメイン

表 5-6. GPIO0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	ALF [4]
WKUP_GPIO0_0	汎用入出力	IO	B18

Copyright © 2026 Texas Instruments Incorporated

表 5-6. GPIO0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	ALF [4]
WKUP_GPIO0_1	汎用入出力	IO	B19
WKUP_GPIO0_2	汎用入出力	IO	D14
WKUP_GPIO0_3	汎用入出力	IO	B21
WKUP_GPIO0_4	汎用入出力	IO	D13
WKUP_GPIO0_5	汎用入出力	IO	B16
WKUP_GPIO0_6	汎用入出力	IO	C14
WKUP_GPIO0_7	汎用入出力	IO	C18
WKUP_GPIO0_8	汎用入出力	IO	C21
WKUP_GPIO0_9	汎用入出力	IO	C19
WKUP_GPIO0_10	汎用入出力	IO	C20
WKUP_GPIO0_11	汎用入出力	IO	C16
WKUP_GPIO0_12	汎用入出力	IO	D19
WKUP_GPIO0_13	汎用入出力	IO	D20
WKUP_GPIO0_14	汎用入出力	IO	E20
WKUP_GPIO0_15	汎用入出力	IO	E21
WKUP_GPIO0_16	汎用入出力	IO	B6
WKUP_GPIO0_17	汎用入出力	IO	C8
WKUP_GPIO0_18	汎用入出力	IO	B7
WKUP_GPIO0_19	汎用入出力	IO	D8
WKUP_GPIO0_20	汎用入出力	IO	C7
WKUP_GPIO0_21	汎用入出力	IO	C5
WKUP_GPIO0_22	汎用入出力	IO	A5
WKUP_GPIO0_23	汎用入出力	IO	A6
WKUP_GPIO0_24	汎用入出力	IO	B8
WKUP_GPIO0_25	汎用入出力	IO	A8
WKUP_GPIO0_26	汎用入出力	IO	A7
WKUP_GPIO0_27	汎用入出力	IO	D6
WKUP_GPIO0_28	汎用入出力	IO	D7
WKUP_GPIO0_29	汎用入出力	IO	D11
WKUP_GPIO0_30	汎用入出力	IO	C6
WKUP_GPIO0_31	汎用入出力	IO	D5
WKUP_GPIO0_43	汎用入出力	IO	A11
WKUP_GPIO0_44	汎用入出力	IO	C12
WKUP_GPIO0_45	汎用入出力	IO	B12
WKUP_GPIO0_46	汎用入出力	IO	B11
WKUP_GPIO0_47	汎用入出力	IO	D10
WKUP_GPIO0_48	汎用入出力	IO	A12
WKUP_GPIO0_49	汎用入出力	IO	B10
WKUP_GPIO0_50	汎用入出力	IO	C10
WKUP_GPIO0_51	汎用入出力	IO	A10
WKUP_GPIO0_52	汎用入出力	IO	B9
WKUP_GPIO0_53	汎用入出力	IO	A9
WKUP_GPIO0_54	汎用入出力	IO	C9
WKUP_GPIO0_55	汎用入出力	IO	D9

Copyright © 2026 Texas Instruments Incorporated

表 5-6. GPIO0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	ALF [4]
WKUP_GPIO0_56	汎用入出力	IO	C13
WKUP_GPIO0_57	汎用入出力	IO	A20
WKUP_GPIO0_58	汎用入出力	IO	B17
WKUP_GPIO0_59	汎用入出力	IO	A19
WKUP_GPIO0_60	汎用入出力	IO	B14
WKUP_GPIO0_61	汎用入出力	IO	A14
WKUP_GPIO0_62	汎用入出力	IO	A16
WKUP_GPIO0_63	汎用入出力	IO	A17
WKUP_GPIO0_64	汎用入出力	IO	F20
WKUP_GPIO0_65	汎用入出力	IO	H21
WKUP_GPIO0_66	汎用入出力	IO	G21
WKUP_GPIO0_67	汎用入出力	IO	G20
WKUP_GPIO0_68	汎用入出力	IO	C15
WKUP_GPIO0_77	汎用入出力	IO	D21
WKUP_GPIO0_78	汎用入出力	IO	E19
WKUP_GPIO0_79	汎用入出力	IO	B13
WKUP_GPIO0_80	汎用入出力	IO	D18
WKUP_GPIO0_81	汎用入出力	IO	C17
WKUP_GPIO0_84	汎用入出力	IO	E18

5.3.4 I2C

5.3.4.1 メイン ドメイン

表 5-7. I2C0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
I2C0_SCL	I2C クロック	IOD	V3
I2C0_SDA	I2C データ	IOD	W2

表 5-8. I2C1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
I2C1_SCL	I2C クロック	IOD	U3、V17
I2C1_SDA	I2C データ	IOD	AA19、T3

表 5-9. I2C2 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
I2C2_SCL	I2C クロック	IOD	W15、Y1
I2C2_SDA	I2C データ	IOD	V4、Y20

表 5-10. I2C3 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
I2C3_SCL	I2C クロック	IOD	N19、V19
I2C3_SDA	I2C データ	IOD	N20、T13

Copyright © 2026 Texas Instruments Incorporated

表 5-11. I2C4 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
I2C4_SCL	I2C クロック	IOD	M19、W14
I2C4_SDA	I2C データ	IOD	N21、W19

表 5-12. I2C5 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
I2C5_SCL	I2C クロック	IOD	AA18
I2C5_SDA	I2C データ	IOD	AA16

表 5-13. I2C6 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
I2C6_SCL	I2C クロック	IOD	AA15、M20
I2C6_SDA	I2C データ	IOD	AA14、P21

5.3.4.2 MCU ドメイン

表 5-14. I2C0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_I2C0_SCL	I2C クロック	IOD	G21
MCU_I2C0_SDA	I2C データ	IOD	G20

表 5-15. I2C1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_I2C1_SCL	I2C クロック	IOD	C14、C21
MCU_I2C1_SDA	I2C データ	IOD	C18、C19

5.3.4.3 WKUP ドメイン

表 5-16. I2C0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
WKUP_I2C0_SCL	I2C クロック	IOD	F20
WKUP_I2C0_SDA	I2C データ	IOD	H21

5.3.5 I3C

5.3.5.1 メイン ドメイン

表 5-17. I3C0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
I3C0_SCL	I3C クロック	IO	AA18
I3C0_SDA	I3C データ	IO	AA16
I3C0_SDAPULLEN	メイン ドメイン I3C データ プル イネーブル	O	AA14

Copyright © 2026 Texas Instruments Incorporated

5.3.5.2 MCU ドメイン

表 5-18. I3C0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_I3C0_SCL	I3C クロック	IO	C21
MCU_I3C0_SDA	I3C データ	IO	C19
MCU_I3C0_SDAPULLEN	マイコンドメイン I3C データ プル イネーブル	O	C15、C16

5.3.6 MCAN

5.3.6.1 メイン ドメイン

表 5-19. MCAN0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCAN0_RX	MCAN 受信データ	I	V20
MCAN0_TX	MCAN 送信データ	O	V18

表 5-20. MCAN1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCAN1_RX	MCAN 受信データ	I	V16
MCAN1_TX	MCAN 送信データ	O	W21

表 5-21. MCAN2 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCAN2_RX	MCAN 受信データ	I	Y19
MCAN2_TX	MCAN 送信データ	O	Y18

表 5-22. MCAN3 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCAN3_RX	MCAN 受信データ	I	W16
MCAN3_TX	MCAN 送信データ	O	Y21

表 5-23. MCAN4 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCAN4_RX	MCAN 受信データ	I	Y20
MCAN4_TX	MCAN 送信データ	O	W15

表 5-24. MCAN5 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCAN5_RX	MCAN 受信データ	I	V19
MCAN5_TX	MCAN 送信データ	O	V21

Copyright © 2026 Texas Instruments Incorporated

表 5-25. MCAN6 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCAN6_RX	MCAN 受信データ	I	U14
MCAN6_TX	MCAN 送信データ	O	T13

表 5-26. MCAN7 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCAN7_RX	MCAN 受信データ	I	U15
MCAN7_TX	MCAN 送信データ	O	U16

表 5-27. MCAN8 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCAN8_RX	MCAN 受信データ	I	U19
MCAN8_TX	MCAN 送信データ	O	T15

表 5-28. MCAN9 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCAN9_RX	MCAN 受信データ	I	U18
MCAN9_TX	MCAN 送信データ	O	T14

表 5-29. MCAN10 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCAN10_RX	MCAN 受信データ	I	U20
MCAN10_TX	MCAN 送信データ	O	U17

表 5-30. MCAN11 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCAN11_RX	MCAN 受信データ	I	Y13
MCAN11_TX	MCAN 送信データ	O	Y14

表 5-31. MCAN12 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCAN12_RX	MCAN 受信データ	I	AA14
MCAN12_TX	MCAN 送信データ	O	AA15

表 5-32. MCAN13 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCAN13_RX	MCAN 受信データ	I	AA16
MCAN13_TX	MCAN 送信データ	O	AA18

Copyright © 2026 Texas Instruments Incorporated

表 5-33. MCAN14 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCAN14_RX	MCAN 受信データ	I	Y15
MCAN14_TX	MCAN 送信データ	O	AA17

表 5-34. MCAN15 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCAN15_RX	MCAN 受信データ	I	W20
MCAN15_TX	MCAN 送信データ	O	W17

表 5-35. MCAN16 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCAN16_RX	MCAN 受信データ	I	U21
MCAN16_TX	MCAN 送信データ	O	V15

表 5-36. MCAN17 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCAN17_RX	MCAN 受信データ	I	T20
MCAN17_TX	MCAN 送信データ	O	T18

5.3.6.2 マイコン ドメイン

表 5-37. MCAN0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_MCAN0_RX	MCAN 受信データ	I	A17
MCU_MCAN0_TX	MCAN 送信データ	O	A16

表 5-38. MCAN1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_MCAN1_RX	MCAN 受信データ	I	B16
MCU_MCAN1_TX	MCAN 送信データ	O	D13

5.3.7 MCSPI

5.3.7.1 メイン ドメイン

表 5-39. MCSPI0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
SPI0_CLK	SPI クロック	IO	Y1
SPI0_CS0	SPI チップ セレクト 0	IO	W3
SPI0_CS1	SPI チップ セレクト 1	IO	U5
SPI0_CS2	SPI チップ セレクト 2	IO	Y14
SPI0_CS3	SPI チップ セレクト 3	IO	U13
SPI0_D0	SPI データ 0	IO	V4

Copyright © 2026 Texas Instruments Incorporated

表 5-39. MCSPI0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
SPI0_D1	SPI データ 1	IO	T5

表 5-40. MCSPI1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
SPI1_CLK	SPI クロック	IO	P21
SPI1_CS0	SPI チップ セレクト 0	IO	N19
SPI1_CS1	SPI チップ セレクト 1	IO	N20
SPI1_CS2	SPI チップ セレクト 2	IO	N21
SPI1_CS3	SPI チップ セレクト 3	IO	W19
SPI1_D0	SPI データ 0	IO	M19
SPI1_D1	SPI データ 1	IO	M20

表 5-41. MCSPI2 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
SPI2_CLK	SPI クロック	IO	U20
SPI2_CS0	SPI チップ セレクト 0	IO	Y14
SPI2_CS1	SPI チップ セレクト 1	IO	Y13
SPI2_CS2	SPI チップ セレクト 2	IO	AA15
SPI2_CS3	SPI チップ セレクト 3	IO	AA14
SPI2_D0	SPI データ 0	IO	AA18
SPI2_D1	SPI データ 1	IO	AA16

表 5-42. MCSPI3 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
SPI3_CLK	SPI クロック	IO	T14
SPI3_CS0	SPI チップ セレクト 0	IO	U16
SPI3_CS1	SPI チップ セレクト 1	IO	U15
SPI3_CS2	SPI チップ セレクト 2	IO	T15
SPI3_CS3	SPI チップ セレクト 3	IO	U19
SPI3_D0	SPI データ 0	IO	U18
SPI3_D1	SPI データ 1	IO	U17

表 5-43. MCSPI5 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
SPI5_CLK	SPI クロック	IO	W15
SPI5_CS0	SPI チップ セレクト 0	IO	W16
SPI5_CS1	SPI チップ セレクト 1	IO	V21
SPI5_CS2	SPI チップ セレクト 2	IO	Y19
SPI5_CS3	SPI チップ セレクト 3	IO	Y18
SPI5_D0	SPI データ 0	IO	Y21

Copyright © 2026 Texas Instruments Incorporated

表 5-43. MCSPI5 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
SPI5_D1	SPI データ 1	IO	Y20

表 5-44. MCSPI6 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
SPI6_CLK	SPI クロック	IO	V14
SPI6_CS0	SPI チップ セレクト 0	IO	W21
SPI6_CS1	SPI チップ セレクト 1	IO	V16
SPI6_CS2	SPI チップ セレクト 2	IO	W17
SPI6_CS3	SPI チップ セレクト 3	IO	W20
SPI6_D0	SPI データ 0	IO	V13
SPI6_D1	SPI データ 1	IO	U12

表 5-45. MCSPI7 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
SPI7_CLK	SPI クロック	IO	T3
SPI7_CS0	SPI チップ セレクト 0	IO	U3
SPI7_D0	SPI データ 0	IO	V1
SPI7_D1	SPI データ 1	IO	W1

5.3.7.2 MCU ドメイン

表 5-46. MCSPI0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_SPI0_CLK	SPI クロック	IO	C13
MCU_SPI0_CS0	SPI チップ セレクト 0	IO	A19
MCU_SPI0_CS1	SPI チップ セレクト 1	IO	D19
MCU_SPI0_CS2	SPI チップ セレクト 2	IO	E20
MCU_SPI0_CS3	SPI チップ セレクト 3	IO	D13
MCU_SPI0_D0	SPI データ 0	IO	A20
MCU_SPI0_D1	SPI データ 1	IO	B17

表 5-47. MCSPI1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_SPI1_CLK	SPI クロック	IO	B18
MCU_SPI1_CS0	SPI チップ セレクト 0	IO	B21
MCU_SPI1_CS1	SPI チップ セレクト 1	IO	D20
MCU_SPI1_CS2	SPI チップ セレクト 2	IO	E21
MCU_SPI1_CS3	SPI チップ セレクト 3	IO	B16
MCU_SPI1_D0	SPI データ 0	IO	B19
MCU_SPI1_D1	SPI データ 1	IO	D14

Copyright © 2026 Texas Instruments Incorporated

5.3.8 UART

5.3.8.1 メイン ドメイン

表 5-48. UART0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
UART0_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	N19、W3
UART0_DCDn	UART DCD (Data Carrier Detect) (アクティブ Low)	I	T15
UART0_DSRn	UART DSR (Data Set Ready) (アクティブ Low)	I	U19
UART0_DTRn	UART DTR (Data Terminal Ready) (アクティブ Low)	O	Y14
UART0_RIn	UART リング インジケータ	I	Y13
UART0_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	P21、U5
UART0_RXD	UART 受信データ	I	T16
UART0_TXD	UART 送信データ	O	T17

表 5-49. UART1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
UART1_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	Y1
UART1_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	V4
UART1_RXD	UART 受信データ	I	T18
UART1_TXD	UART 送信データ	O	T20

表 5-50. UART2 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
UART2_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	U17
UART2_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	U20
UART2_RXD	UART 受信データ	I	AA15、N21、V14
UART2_TXD	UART 送信データ	O	AA14、M19、V13

表 5-51. UART3 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
UART3_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	T15、V1
UART3_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	U19、W1
UART3_RXD	UART 受信データ	I	U3、Y14、Y18
UART3_TXD	UART 送信データ	O	T3、Y13、Y19

表 5-52. UART4 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
UART4_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	P21
UART4_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	M20
UART4_RXD	UART 受信データ	I	N21、U12
UART4_TXD	UART 送信データ	O	AA20、M19

Copyright © 2026 Texas Instruments Incorporated

表 5-53. UART5 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
UART5_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	N21
UART5_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	M19
UART5_RXD	UART 受信データ	I	N19、Y15
UART5_TXD	UART 送信データ	O	AA17、N20

表 5-54. UART6 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
UART6_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	V16
UART6_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	V21
UART6_RXD	UART 受信データ	I	Y16
UART6_TXD	UART 送信データ	O	Y17

表 5-55. UART7 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
UART7_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	N21
UART7_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	M19
UART7_RXD	UART 受信データ	I	N19、U21
UART7_TXD	UART 送信データ	O	N20、V15

表 5-56. UART8 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
UART8_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	AA18
UART8_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	AA16
UART8_RXD	UART 受信データ	I	P21、W14
UART8_TXD	UART 送信データ	O	M20、W19

表 5-57. UART9 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
UART9_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	Y18
UART9_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	Y19
UART9_RXD	UART 受信データ	I	AA19、U13
UART9_TXD	UART 送信データ	O	V17

5.3.8.2 MCU ドメイン

表 5-58. UART0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_UART0_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	E20
MCU_UART0_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	E21
MCU_UART0_RXD	UART 受信データ	I	C16、D20
MCU_UART0_TXD	UART 送信データ	O	C20、D19

Copyright © 2026 Texas Instruments Incorporated

5.3.8.3 WKUP ドメイン

表 5-59. UART0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
WKUP_UART0_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	C14
WKUP_UART0_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	C18
WKUP_UART0_RXD	UART 受信データ	I	B14
WKUP_UART0_TXD	UART 送信データ	O	A14

5.3.9 MDIO

5.3.9.1 マイコン ドメイン

表 5-60. MDIO0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_MDIO0_MDC	MDIO クロック	O	D9
MCU_MDIO0_MDIO	MDIO データ	IO	C9

5.3.9.2 メイン ドメイン

表 5-61. MDIO0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MDIO0_MDC	MDIO クロック	O	W19
MDIO0_MDIO	MDIO データ	IO	W14

5.3.10 CPSW2G

5.3.10.1 MCU ドメイン

表 5-62. CPSW2G0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_RGMII1_RXC	RGMII 受信クロック	I	B10
MCU_RGMII1_TXC	RGMII 送信クロック	O	A12
MCU_RGMII1_RX_CTL	RGMII 受信制御	I	A11
MCU_RGMII1_TX_CTL	RGMII 送信制御	O	D11
MCU_RGMII1_RD0	RGMII 受信データ 0	I	A9
MCU_RGMII1_RD1	RGMII 受信データ 1	I	B9
MCU_RGMII1_RD2	RGMII 受信データ 2	I	A10
MCU_RGMII1_RD3	RGMII 受信データ 3	I	C10
MCU_RGMII1_TD0	RGMII 送信データ 0	O	D10
MCU_RGMII1_TD1	RGMII 送信データ 1	O	B11
MCU_RGMII1_TD2	RGMII 送信データ 2	O	B12
MCU_RGMII1_TD3	RGMII 送信データ 3	O	C12
MCU_RMII1_CRS_DV	RMII キャリア センス / データ有効	I	D11
MCU_RMII1_REF_CLK	RMII 基準クロック	I	B10
MCU_RMII1_RX_ER	RMII 受信データ エラー	I	A11
MCU_RMII1_TX_EN	RMII 送信イネーブル	O	A12

Copyright © 2026 Texas Instruments Incorporated

表 5-62. CPSW2G0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_RMII1_RXD0	RMII 受信データ 0	I	A9
MCU_RMII1_RXD1	RMII 受信データ 1	I	B9
MCU_RMII1_TXD0	RMII 送信データ 0	O	D10
MCU_RMII1_TXD1	RMII 送信データ 1	O	B11

5.3.11 CPSW5G

5.3.11.1 メイン ドメイン

表 5-63. CPSW5G0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
CLKOUT	RMII クロック出力 (50MHz)。このピンは外部 PHY へのクロック源に使われ、本デバイスを適切に動作させるには、RMII_REF_CLK ピンに接続する必要があります。	OZ	U21
RGMII1_RXC	RGMII 受信クロック	I	AA19
RGMII1_TXC	RGMII 送信クロック	O	Y20
RGMII1_RX_CTL	RGMII 受信制御	I	Y16
RGMII1_TX_CTL	RGMII 送信制御	O	W15
RGMII1_RD0	RGMII 受信データ 0	I	AA17
RGMII1_RD1	RGMII 受信データ 1	I	Y15
RGMII1_RD2	RGMII 受信データ 2	I	AA20
RGMII1_RD3	RGMII 受信データ 3	I	Y17
RGMII1_TD0	RGMII 送信データ 0	O	Y18
RGMII1_TD1	RGMII 送信データ 1	O	Y19
RGMII1_TD2	RGMII 送信データ 2	O	Y21
RGMII1_TD3	RGMII 送信データ 3	O	W16
RGMII2_RXC	RGMII 受信クロック	I	Y14
RGMII2_TXC	RGMII 送信クロック	O	W21
RGMII2_RX_CTL	RGMII 受信制御	I	AA16
RGMII2_TX_CTL	RGMII 送信制御	O	U12
RGMII2_RD0	RGMII 受信データ 0	I	Y13
RGMII2_RD1	RGMII 受信データ 1	I	AA15
RGMII2_RD2	RGMII 受信データ 2	I	AA14
RGMII2_RD3	RGMII 受信データ 3	I	AA18
RGMII2_TD0	RGMII 送信データ 0	O	W17
RGMII2_TD1	RGMII 送信データ 1	O	W20
RGMII2_TD2	RGMII 送信データ 2	O	V14
RGMII2_TD3	RGMII 送信データ 3	O	V13
RGMII3_RXC	RGMII 受信クロック	I	V21
RGMII3_TXC	RGMII 送信クロック	O	U20
RGMII3_RX_CTL	RGMII 受信制御	I	U15
RGMII3_TX_CTL	RGMII 送信制御	O	U17
RGMII3_RD0	RGMII 受信データ 0	I	V19
RGMII3_RD1	RGMII 受信データ 1	I	T13

Copyright © 2026 Texas Instruments Incorporated

表 5-63. CPSW5G0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
RGMII3_RD2	RGMII 受信データ 2	I	U14
RGMII3_RD3	RGMII 受信データ 3	I	U16
RGMII3_TD0	RGMII 送信データ 0	O	T15
RGMII3_TD1	RGMII 送信データ 1	O	U19
RGMII3_TD2	RGMII 送信データ 2	O	T14
RGMII3_TD3	RGMII 送信データ 3	O	U18
RGMII4_RXC	RGMII 受信クロック	I	V17
RGMII4_TXC	RGMII 送信クロック	O	T16
RGMII4_RX_CTL	RGMII 受信制御	I	V15
RGMII4_TX_CTL	RGMII 送信制御	O	T20
RGMII4_RD0	RGMII 受信データ 0	I	V18
RGMII4_RD1	RGMII 受信データ 1	I	V20
RGMII4_RD2	RGMII 受信データ 2	I	V16
RGMII4_RD3	RGMII 受信データ 3	I	U13
RGMII4_TD0	RGMII 送信データ 0	O	U21
RGMII4_TD1	RGMII 送信データ 1	O	T19
RGMII4_TD2	RGMII 送信データ 2	O	T17
RGMII4_TD3	RGMII 送信データ 3	O	T18
RMII1_CRS_DV	RMII キャリア センス / データ有効	I	AA20
RMII1_RX_ER	RMII 受信データ エラー	I	Y17
RMII1_TX_EN	RMII 送信イネーブル	O	V17
RMII1_RXD0	RMII 受信データ 0	I	AA17
RMII1_RXD1	RMII 受信データ 1	I	Y15
RMII1_TXD0	RMII 送信データ 0	O	Y16
RMII1_TXD1	RMII 送信データ 1	O	AA19
RMII2_CRS_DV	RMII キャリア センス / データ有効	I	V14
RMII2_RX_ER	RMII 受信データ エラー	I	V13
RMII2_TX_EN	RMII 送信イネーブル	O	W21
RMII2_RXD0	RMII 受信データ 0	I	W17
RMII2_RXD1	RMII 受信データ 1	I	W20
RMII2_TXD0	RMII 送信データ 0	O	U12
RMII2_TXD1	RMII 送信データ 1	O	V16
RMII3_CRS_DV	RMII キャリア センス / データ有効	I	U14
RMII3_RX_ER	RMII 受信データ エラー	I	U16
RMII3_TX_EN	RMII 送信イネーブル	O	T15
RMII3_RXD0	RMII 受信データ 0	I	V19
RMII3_RXD1	RMII 受信データ 1	I	T13
RMII3_TXD0	RMII 送信データ 0	O	U15
RMII3_TXD1	RMII 送信データ 1	O	U19
RMII4_CRS_DV	RMII キャリア センス / データ有効	I	Y21
RMII4_RX_ER	RMII 受信データ エラー	I	W16
RMII4_TX_EN	RMII 送信イネーブル	O	Y20

Copyright © 2026 Texas Instruments Incorporated

表 5-63. CPSW5G0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
RMII4_RXD0	RMII 受信データ 0	I	Y18
RMII4_RXD1	RMII 受信データ 1	I	Y19
RMII4_TXD0	RMII 送信データ 0	O	W15
RMII4_TXD1	RMII 送信データ 1	O	V21
RMII_REF_CLK	RMII 基準クロック	I	V15

5.3.12 ECAP

5.3.12.1 メイン ドメイン

表 5-64. ECAP0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
ECAP0_IN_APWM_OUT	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	IO	N21、U3

表 5-65. ECAP1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
ECAP1_IN_APWM_OUT	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	IO	M19、V1

表 5-66. ECAP2 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
ECAP2_IN_APWM_OUT	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	IO	W1

5.3.13 EQEP

5.3.13.1 メイン ドメイン

表 5-67. EQEP0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
EQEP0_A	EQEP 直交入力 A	I	Y14
EQEP0_B	EQEP 直交入力 B	I	Y13
EQEP0_I	EQEP インデックス	IO	AA16
EQEP0_S	EQEP ストローブ	IO	AA18

表 5-68. EQEP1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
EQEP1_A	EQEP 直交入力 A	I	AA15
EQEP1_B	EQEP 直交入力 B	I	AA14
EQEP1_I	EQEP インデックス	IO	W20
EQEP1_S	EQEP ストローブ	IO	W17

Copyright © 2026 Texas Instruments Incorporated

表 5-69. EQEP2 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
EQEP2_A	EQEP 直交入力 A	I	V17
EQEP2_B	EQEP 直交入力 B	I	V18
EQEP2_I	EQEP インデックス	IO	V16
EQEP2_S	EQEP ストローブ	IO	V20

5.3.14 EPWM

5.3.14.1 メイン ドメイン

表 5-70. EPWM 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
EHRPWM_SOCA	EHRPWM 変換開始 A	O	W21
EHRPWM_SOCB	EHRPWM 変換開始 B	O	U17

表 5-71. EPWM0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
EHRPWM0_A	EHRPWM 出力 A	IO	Y21
EHRPWM0_B	EHRPWM 出力 B	IO	Y19
EHRPWM0_SYNCI	外部ピンから EHRPWM モジュールへの同期入力	I	W15
EHRPWM0_SYNCO	EHRPWM モジュールから外部ピンへの同期出力	O	Y16
EHRPWM_TZn_IN0	EHRPWM トリップ ゾーン入力 0 (アクティブ Low)	I	W16

表 5-72. EPWM1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
EHRPWM1_A	EHRPWM 出力 A	IO	Y18
EHRPWM1_B	EHRPWM 出力 B	IO	Y20
EHRPWM_TZn_IN1	EHRPWM トリップ ゾーン入力 1 (アクティブ Low)	I	AA19

表 5-73. EPWM2 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
EHRPWM2_A	EHRPWM 出力 A	IO	Y17
EHRPWM2_B	EHRPWM 出力 B	IO	AA20
EHRPWM_TZn_IN2	EHRPWM トリップ ゾーン入力 2 (アクティブ Low)	I	Y15

表 5-74. EPWM3 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
EHRPWM3_A	EHRPWM 出力 A	IO	U15
EHRPWM3_B	EHRPWM 出力 B	IO	U18
EHRPWM3_SYNCI	外部ピンから EHRPWM モジュールへの同期入力	I	T14
EHRPWM3_SYNCO	EHRPWM モジュールから外部ピンへの同期出力	O	U19
EHRPWM_TZn_IN3	EHRPWM トリップ ゾーン入力 3 (アクティブ Low)	I	T15

Copyright © 2026 Texas Instruments Incorporated

表 5-75. EPWM4 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
EHRPWM4_A	EHRPWM 出力 A	IO	U20
EHRPWM4_B	EHRPWM 出力 B	IO	V21
EHRPWM_TZn_IN4	EHRPWM トリップ ゾーン入力 4 (アクティブ Low)	I	U16

表 5-76. EPWM5 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
EHRPWM5_A	EHRPWM 出力 A	IO	U14
EHRPWM5_B	EHRPWM 出力 B	IO	T13
EHRPWM_TZn_IN5	EHRPWM トリップ ゾーン入力 5 (アクティブ Low)	I	V19

5.3.15 USB

5.3.15.1 メイン ドメイン

注

USB3 機能は、SERDES ピンで利用できます。詳細については、セクション 5.3.16、「SERDES」を参照してください。

表 5-77. USB0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
USB0_DM	USB 2.0 差動データ (負)	IO	AA3
USB0_DP	USB 2.0 差動データ (正)	IO	AA2
USB0_DRVVBUS	USB VBUS 制御出力 (アクティブ High)	O	T4、U13
USB0_ID	USB 2.0 デュアルロール デバイス ロール選択	A	V6
USB0_RCALIB (2)	キャリブレーション抵抗に接続するピン	IO	V5
USB0_VBUS (1)	USB レベル シフト VBUS 入力	A	Y2

(1) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、「*USB 設計ガイドライン*」セクション 8.3.3 を参照してください。
(2) このピンを使用しない場合でも、このピンと VSS との間に 500Ω ±1% の外部抵抗を接続する必要があります。

5.3.16 SERDES

注

これらのピンの機能は、SERDES0_LN[4:0]_CTRL の LANE_FUNC_SEL によって制御されます。

5.3.16.1 メイン ドメイン

表 5-78. SERDES0 Lane0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
SERDES0_RX0_N	SERDES 差動受信データ (負)	I	AA11
SERDES0_RX0_P	SERDES 差動受信データ (正)	I	AA12
SERDES0_TX0_N	SERDES 差動送信データ (負)	O	W11
SERDES0_TX0_P	SERDES 差動送信データ (正)	O	W12

Copyright © 2026 Texas Instruments Incorporated

表 5-79. SERDES0 Lane1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
SERDES0_RX1_N	SERDES 差動受信データ (負)	I	W8
SERDES0_RX1_P	SERDES 差動受信データ (正)	I	W9
SERDES0_TX1_N	SERDES 差動送信データ (負)	O	Y10
SERDES0_TX1_P	SERDES 差動送信データ (正)	O	Y11

表 5-80. SERDES0 Lane2 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
SERDES0_RX2_N	SERDES 差動受信データ (負)	I	Y7
SERDES0_RX2_P	SERDES 差動受信データ (正)	I	Y8
SERDES0_TX2_N	SERDES 差動送信データ (負)	O	AA5
SERDES0_TX2_P	SERDES 差動送信データ (正)	O	AA6

表 5-81. SERDES0 Lane3 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
SERDES0_RX3_N	SERDES 差動受信データ (負)	I	W5
SERDES0_RX3_P	SERDES 差動受信データ (正)	I	W6
SERDES0_TX3_N	SERDES 差動送信データ (負)	O	Y4
SERDES0_TX3_P	SERDES 差動送信データ (正)	O	Y5

表 5-82. SERDES0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
PCIE1_CLKREQn	PCIE クロック要求信号	IO	N19、W1
SERDES0_REXT(1)	外付け較正抵抗	A	V7
SERDES0_REFCLK_N	Serdes 基準クロック入出力 (負)	IO	AA8
SERDES0_REFCLK_P	Serdes 基準クロック入出力 (正)	IO	AA9

(1) このピンと VSS との間に 3.01kΩ ±1% の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

5.3.17 OSPI

5.3.17.1 マイコン ドメイン

表 5-83. OSPI0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_OSPI0_CLK	OSPI クロック	O	B6
MCU_OSPI0_DQS	OSPI データ ストローブ (DQS) またはループバック クロック入力	I	B7
MCU_OSPI0_ECC_FAIL	OSPI ECC ステータス	I	D5
MCU_OSPI0_LBCLKO	OSPI ループバック クロック出力	IO	C8
MCU_OSPI0_CSn0	OSPI チップ セレクト 0 (アクティブ Low)	O	D6
MCU_OSPI0_CSn1	OSPI チップ セレクト 1 (アクティブ Low)	O	D7
MCU_OSPI0_CSn2	OSPI チップ セレクト 2 (アクティブ Low)	O	C6
MCU_OSPI0_CSn3	OSPI チップ セレクト 3 (アクティブ Low)	O	D5
MCU_OSPI0_D0	OSPI データ 0	IO	D8

Copyright © 2026 Texas Instruments Incorporated

表 5-83. OSPI0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_OSPI0_D1	OSPI データ 1	IO	C7
MCU_OSPI0_D2	OSPI データ 2	IO	C5
MCU_OSPI0_D3	OSPI データ 3	IO	A5
MCU_OSPI0_D4	OSPI データ 4	IO	A6
MCU_OSPI0_D5	OSPI データ 5	IO	B8
MCU_OSPI0_D6	OSPI データ 6	IO	A8
MCU_OSPI0_D7	OSPI データ 7	IO	A7
MCU_OSPI0_RESET_OUT0	OSPI のリセット	O	C6
MCU_OSPI0_RESET_OUT1	OSPI のリセット	O	D5

5.3.18 Hyperbus

5.3.18.1 MCU ドメイン

表 5-84. HYPERBUS0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_HYPERBUS0_CK	Hyperbus 差動クロック (正)	O	B6
MCU_HYPERBUS0_CKn	Hyperbus 差動クロック (負)	O	C8
MCU_HYPERBUS0_INTn	Hyperbus 割り込み (アクティブ Low)	I	D5
MCU_HYPERBUS0_RESETn	Hyperbus リセット (アクティブ Low) 出力	O	D7
MCU_HYPERBUS0_RESETOn	Hyperbus メモリからの Hyperbus リセット ステータス インジケータ (アクティブ Low)	I	C6
MCU_HYPERBUS0_RWDS	Hyperbus 読み取り / 書き込みデータ ストローブ	IO	B7
MCU_HYPERBUS0_WPn	Hyperbus 書き込み保護 (未使用)	O	C6、D5
MCU_HYPERBUS0_CSn0	Hyperbus チップ セレクト 0	O	D6
MCU_HYPERBUS0_CSn1	Hyperbus チップ セレクト 1	O	C6
MCU_HYPERBUS0_DQ0	Hyperbus データ 0	IO	D8
MCU_HYPERBUS0_DQ1	Hyperbus データ 1	IO	C7
MCU_HYPERBUS0_DQ2	Hyperbus データ 2	IO	C5
MCU_HYPERBUS0_DQ3	Hyperbus データ 3	IO	A5
MCU_HYPERBUS0_DQ4	Hyperbus データ 4	IO	A6
MCU_HYPERBUS0_DQ5	Hyperbus データ 5	IO	B8
MCU_HYPERBUS0_DQ6	Hyperbus データ 6	IO	A8
MCU_HYPERBUS0_DQ7	Hyperbus データ 7	IO	A7

5.3.19 GPMC

5.3.19.1 メイン ドメイン

表 5-85. GPMC0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
GPMC0_CLK	GPMC クロック	IO	U13
GPMC0_ADVn_ALE	GPMC アドレス有効 (アクティブ Low) またはアドレス ラッチ イネーブル	O	W20
GPMC0_CLKOUT	外部同期用に生成された GPMC クロック	O	V14

Copyright © 2026 Texas Instruments Incorporated

表 5-85. GPMC0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
GPMC0_DIR	GPMC データ バス信号方向制御	O	V21
GPMC0_OEn_REn	GPMC 出力イネーブル (アクティブ Low) または読み出しイネーブル (アクティブ Low)	O	T18
GPMC0_WEn	GPMC 書き込みイネーブル (アクティブ Low)	O	T17
GPMC0_WPn	GPMC フラッシュ書き込み保護 (アクティブ Low)	O	AA18
GPMC0_A0	GPMC アドレス 0 出力。8 ビット データ非多重化メモリを効果的にアドレス指定するためにのみ使用されます。	OZ	W17
GPMC0_A1	GPMC アドレス 1 (A/D 非多重化モード) およびアドレス 17 (A/D 多重化モード) 出力	OZ	V18
GPMC0_A2	GPMC アドレス 2 (A/D 非多重化モード) およびアドレス 18 (A/D 多重化モード) 出力	OZ	V20
GPMC0_A3	GPMC アドレス 3 (A/D 非多重化モード) およびアドレス 19 (A/D 多重化モード) 出力	OZ	W21
GPMC0_A4	GPMC アドレス 4 (A/D 非多重化モード) およびアドレス 20 (A/D 多重化モード) 出力	OZ	W16
GPMC0_A5	GPMC アドレス 5 (A/D 非多重化モード) およびアドレス 21 (A/D 多重化モード) 出力	OZ	V19
GPMC0_A6	GPMC アドレス 6 (A/D 非多重化モード) およびアドレス 22 (A/D 多重化モード) 出力	OZ	T13
GPMC0_A7	GPMC アドレス 7 (A/D 非多重化モード) およびアドレス 23 (A/D 多重化モード) 出力	OZ	T15
GPMC0_A8	GPMC アドレス 8 (A/D 非多重化モード) およびアドレス 24 (A/D 多重化モード) 出力	OZ	U19
GPMC0_A9	GPMC アドレス 9 (A/D 非多重化モード) およびアドレス 25 (A/D 多重化モード) 出力	OZ	T14
GPMC0_A10	GPMC アドレス 10 (A/D 非多重化モード) およびアドレス 26 (A/D 多重化モード) 出力	OZ	U18
GPMC0_A11	GPMC アドレス 11 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	Y14
GPMC0_A12	GPMC アドレス 12 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	Y13
GPMC0_A13	GPMC アドレス 13 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	U12
GPMC0_A14	GPMC アドレス 14 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	V15
GPMC0_A15	GPMC アドレス 15 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	W20
GPMC0_A16	GPMC アドレス 16 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	U20
GPMC0_A17	GPMC アドレス 17 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	AA15
GPMC0_A18	GPMC アドレス 18 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	AA14
GPMC0_A19	GPMC アドレス 19 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	AA18
GPMC0_A20	GPMC アドレス 20 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	AA16

Copyright © 2026 Texas Instruments Incorporated

表 5-85. GPMC0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
GPMC0_A21	GPMC アドレス 21 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	W17
GPMC0_A22	GPMC アドレス 22 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	U17
GPMC0_AD0	GPMC データ 0 入出力 (A/D 非多重化モード) および追加アドレス 1 出力 (A/D 多重化モード)	IO	AA17
GPMC0_AD1	GPMC データ 1 入出力 (A/D 非多重化モード) および追加アドレス 2 出力 (A/D 多重化モード)	IO	Y15
GPMC0_AD2	GPMC データ 2 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	IO	AA20
GPMC0_AD3	GPMC データ 3 入出力 (A/D 非多重化モード) および追加アドレス 4 出力 (A/D 多重化モード)	IO	Y17
GPMC0_AD4	GPMC データ 4 入出力 (A/D 非多重化モード) および追加アドレス 5 出力 (A/D 多重化モード)	IO	Y16
GPMC0_AD5	GPMC データ 5 入出力 (A/D 非多重化モード) および追加アドレス 6 出力 (A/D 多重化モード)	IO	V17
GPMC0_AD6	GPMC データ 6 入出力 (A/D 非多重化モード) および追加アドレス 7 出力 (A/D 多重化モード)	IO	AA19
GPMC0_AD7	GPMC データ 7 入出力 (A/D 非多重化モード) および追加アドレス 8 出力 (A/D 多重化モード)	IO	V16
GPMC0_AD8	GPMC データ 8 入出力 (A/D 非多重化モード) および追加アドレス 9 出力 (A/D 多重化モード)	IO	Y18
GPMC0_AD9	GPMC データ 9 入出力 (A/D 非多重化モード) および追加アドレス 10 出力 (A/D 多重化モード)	IO	Y19
GPMC0_AD10	GPMC データ 10 入出力 (A/D 非多重化モード) および追加アドレス 11 出力 (A/D 多重化モード)	IO	Y21
GPMC0_AD11	GPMC データ 11 入出力 (A/D 非多重化モード) および追加アドレス 12 出力 (A/D 多重化モード)	IO	W15
GPMC0_AD12	GPMC データ 12 入出力 (A/D 非多重化モード) および追加アドレス 13 出力 (A/D 多重化モード)	IO	Y20
GPMC0_AD13	GPMC データ 13 入出力 (A/D 非多重化モード) および追加アドレス 14 出力 (A/D 多重化モード)	IO	U14
GPMC0_AD14	GPMC データ 14 入出力 (A/D 非多重化モード) および追加アドレス 15 出力 (A/D 多重化モード)	IO	U16
GPMC0_AD15	GPMC データ 15 入出力 (A/D 非多重化モード) および追加アドレス 16 出力 (A/D 多重化モード)	IO	U15
GPMC0_BE0n_CLE	GPMC 下位バイト イネーブル (アクティブ Low) またはコマンド ラッチ イネーブル	O	U20
GPMC0_BE1n	GPMC 上位バイト イネーブル (アクティブ Low)	O	AA15
GPMC0_CSn0	GPMC チップ セレクト 0 (アクティブ Low)	O	T20
GPMC0_CSn1	GPMC チップ セレクト 1 (アクティブ Low)	O	U21
GPMC0_CSn2	GPMC チップ セレクト 2 (アクティブ Low)	O	W17
GPMC0_CSn3	GPMC チップ セレクト 3 (アクティブ Low)	O	AA16
GPMC0_WAIT0	GPMC ウェイト外部表示	I	T16
GPMC0_WAIT1	GPMC ウェイト外部表示	I	U17

Copyright © 2026 Texas Instruments Incorporated

5.3.20 MMC

5.3.20.1 メイン ドメイン

表 5-86. MMC0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MMC0_CALPAD(1)	MMC/SD/SDIO 較正抵抗	A	P20
MMC0_CLK	MMC/SD/SDIO クロック	O	P18
MMC0_CMD	MMC/SD/SDIO コマンド	IO	R17
MMC0_DS	MMC データ ストローブ	IO	P19
MMC0_DAT0	MMC/SD/SDIO データ	IO	R16
MMC0_DAT1	MMC/SD/SDIO データ	IO	P17
MMC0_DAT2	MMC/SD/SDIO データ	IO	R18
MMC0_DAT3	MMC/SD/SDIO データ	IO	R20
MMC0_DAT4	MMC/SD/SDIO データ	IO	R19
MMC0_DAT5	MMC/SD/SDIO データ	IO	P16
MMC0_DAT6	MMC/SD/SDIO データ	IO	R21
MMC0_DAT7	MMC/SD/SDIO データ	IO	T21

(1) このピンと VSS との間に 10kΩ ±1% の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

表 5-87. MMC1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MMC1_CLK (1)	MMC/SD/SDIO クロック	IO	P21
MMC1_CMD	MMC/SD/SDIO コマンド	IO	M20
MMC1_SDCD(2)	SD カード検出	I	V1
MMC1_SDWP	SD 書き込み保護	I	W1
MMC1_DAT0	MMC/SD/SDIO データ	IO	M19
MMC1_DAT1	MMC/SD/SDIO データ	IO	N21
MMC1_DAT2	MMC/SD/SDIO データ	IO	N20
MMC1_DAT3	MMC/SD/SDIO データ	IO	N19

(1) MMC1_CLK 信号を正常に動作させるには、リタイミング目的のため、CTRLMMR_PADCONFIG63 レジスタの RXACTIVE ビットを 0x1 に設定する必要があります。
(2) ROM ブートを正常に動作させるには、抵抗で MMC1_SDCD ピンを外部からに Low にプルする必要があります。

5.3.21 CPTS

5.3.21.1 メイン ドメイン

表 5-88. CPTS0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
CPTS0_RFT_CLK	CPTS 基準クロック	I	U3
CPTS0_TS_COMP	CPTS タイム スタンプ カウンタ比較	O	U5
CPTS0_TS_SYNC	CPTS タイム スタンプ カウンタ ビット	O	N20
CPTS0_HW1TSPUSH	CPTS ハードウェア タイム スタンプ プッシュ 1	I	U3
CPTS0_HW2TSPUSH	CPTS ハードウェア タイム スタンプ プッシュ 2	I	T3

Copyright © 2026 Texas Instruments Incorporated

5.3.21.2 MCU ドメイン

表 5-89. CPTS0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_CPTS0_RFT_CLK	CPTS 基準クロック	I	C20、E18
MCU_CPTS0_TS_COMP	CPTS タイム スタンプ カウンタ比較	O	C19
MCU_CPTS0_TS_SYNC	CPTS タイム スタンプ カウンタ ビット	O	C21
MCU_CPTS0_HW1TSPUSH	CPTS ハードウェア タイム スタンプ プッシュ 1	I	C14
MCU_CPTS0_HW2TSPUSH	CPTS ハードウェア タイム スタンプ プッシュ 2	I	C18

5.3.22 MCASP

5.3.22.1 メイン ドメイン

表 5-90. MCASP0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCASP0_ACLKR	MCASP 受信ビット クロック	IO	U17
MCASP0_ACLKX	MCASP 送信ビット クロック	IO	W15
MCASP0_AFSR	MCASP 受信フレーム同期	IO	U15
MCASP0_AFSX	MCASP 送信フレーム同期	IO	Y16
MCASP0_AXR0	MCASP シリアル データ (入力 / 出力)	IO	W16
MCASP0_AXR1	MCASP シリアル データ (入力 / 出力)	IO	Y21
MCASP0_AXR2	MCASP シリアル データ (入力 / 出力)	IO	Y20
MCASP0_AXR3	MCASP シリアル データ (入力 / 出力)	IO	AA19
MCASP0_AXR4	MCASP シリアル データ (入力 / 出力)	IO	U19
MCASP0_AXR5	MCASP シリアル データ (入力 / 出力)	IO	T15
MCASP0_AXR6	MCASP シリアル データ (入力 / 出力)	IO	U20
MCASP0_AXR7	MCASP シリアル データ (入力 / 出力)	IO	V21
MCASP0_AXR8	MCASP シリアル データ (入力 / 出力)	IO	V17
MCASP0_AXR9	MCASP シリアル データ (入力 / 出力)	IO	V18
MCASP0_AXR10	MCASP シリアル データ (入力 / 出力)	IO	V20
MCASP0_AXR11	MCASP シリアル データ (入力 / 出力)	IO	W21
MCASP0_AXR12	MCASP シリアル データ (入力 / 出力)	IO	V16
MCASP0_AXR13	MCASP シリアル データ (入力 / 出力)	IO	Y14
MCASP0_AXR14	MCASP シリアル データ (入力 / 出力)	IO	Y13
MCASP0_AXR15	MCASP シリアル データ (入力 / 出力)	IO	AA15

表 5-91. MCASP1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCASP1_ACLKR	MCASP 受信ビット クロック	IO	U18
MCASP1_ACLKX	MCASP 送信ビット クロック	IO	Y19
MCASP1_AFSR	MCASP 受信フレーム同期	IO	T14
MCASP1_AFSX	MCASP 送信フレーム同期	IO	Y18
MCASP1_AXR0	MCASP シリアル データ (入力 / 出力)	IO	Y17
MCASP1_AXR1	MCASP シリアル データ (入力 / 出力)	IO	AA20

Copyright © 2026 Texas Instruments Incorporated

表 5-91. MCASP1 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCASP1_AXR2	MCASP シリアル データ (入力 / 出力)	IO	Y15
MCASP1_AXR3	MCASP シリアル データ (入力 / 出力)	IO	AA17
MCASP1_AXR4	MCASP シリアル データ (入力 / 出力)	IO	U16
MCASP1_AXR5	MCASP シリアル データ (入力 / 出力)	IO	U14
MCASP1_AXR6	MCASP シリアル データ (入力 / 出力)	IO	T13
MCASP1_AXR7	MCASP シリアル データ (入力 / 出力)	IO	V19
MCASP1_AXR8	MCASP シリアル データ (入力 / 出力)	IO	AA14
MCASP1_AXR9	MCASP シリアル データ (入力 / 出力)	IO	AA18
MCASP1_AXR10	MCASP シリアル データ (入力 / 出力)	IO	T14
MCASP1_AXR11	MCASP シリアル データ (入力 / 出力)	IO	U18

表 5-92. MCASP2 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCASP2_ACLKR	MCASP 受信ビット クロック	IO	W19
MCASP2_ACLKX	MCASP 送信ビット クロック	IO	U12
MCASP2_AFSR	MCASP 受信フレーム同期	IO	W14
MCASP2_AFSX	MCASP 送信フレーム同期	IO	V13
MCASP2_AXR0	MCASP シリアル データ (入力 / 出力)	IO	AA16
MCASP2_AXR1	MCASP シリアル データ (入力 / 出力)	IO	W17
MCASP2_AXR2	MCASP シリアル データ (入力 / 出力)	IO	W20
MCASP2_AXR3	MCASP シリアル データ (入力 / 出力)	IO	V14
MCASP2_AXR4	MCASP シリアル データ (入力 / 出力)	IO	W14
MCASP2_AXR5	MCASP シリアル データ (入力 / 出力)	IO	W19

5.3.23 DMTIMER

5.3.23.1 メイン ドメイン

表 5-93. DMTIMER 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
TIMER_IO0	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	N19、V1
TIMER_IO1	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	N20、W1
TIMER_IO2	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	N21
TIMER_IO3	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	M19
TIMER_IO4	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	P21
TIMER_IO5	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	M20
TIMER_IO6	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	T18

Copyright © 2026 Texas Instruments Incorporated

表 5-93. DMTIMER 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
TIMER_IO7	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	T20

5.3.23.2 MCU ドメイン

表 5-94. DMTIMER 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_TIMER_IO0	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	B17
MCU_TIMER_IO1	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	A19、C16
MCU_TIMER_IO2	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	C12
MCU_TIMER_IO3	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	B12
MCU_TIMER_IO4	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	C10
MCU_TIMER_IO5	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	A10
MCU_TIMER_IO6	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	C21、D21
MCU_TIMER_IO7	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	C19、E19
MCU_TIMER_IO8	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	E20
MCU_TIMER_IO9	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	E21

5.3.24 エミュレーションおよびデバッグ

5.3.24.1 メイン ドメイン

表 5-95. JTAG 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
EMU0	エミュレーション制御 0	IO	A13
EMU1	エミュレーション制御 1	IO	D12
TCK	JTAG テスト クロック入力	I	B15
TDI	JTAG テスト データ入力	I	F19
TDO	JTAG テスト データ出力	OZ	F21
TMS	JTAG テスト モード選択入力	I	U4
TRSTn	JTAG のリセット	I	B20

表 5-96. トレース信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
TRC_CLK	トレース クロック	O	W15
TRC_CTL	トレース制御	O	Y16

Copyright © 2026 Texas Instruments Incorporated

表 5-96. トレース信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
TRC_DATA0	トレース データ 0	O	W16
TRC_DATA1	トレース データ 1	O	Y21
TRC_DATA2	トレース データ 2	O	Y19
TRC_DATA3	トレース データ 3	O	Y18
TRC_DATA4	トレース データ 4	O	Y20
TRC_DATA5	トレース データ 5	O	AA19
TRC_DATA6	トレース データ 6	O	Y17
TRC_DATA7	トレース データ 7	O	AA20
TRC_DATA8	トレース データ 8	O	Y15
TRC_DATA9	トレース データ 9	O	AA17
TRC_DATA10	トレース データ 10	O	U17
TRC_DATA11	トレース データ 11	O	U15
TRC_DATA12	トレース データ 12	O	U18
TRC_DATA13	トレース データ 13	O	T14
TRC_DATA14	トレース データ 14	O	U19
TRC_DATA15	トレース データ 15	O	T15
TRC_DATA16	トレース データ 16	O	U20
TRC_DATA17	トレース データ 17	O	V21
TRC_DATA18	トレース データ 18	O	U16
TRC_DATA19	トレース データ 19	O	U14
TRC_DATA20	トレース データ 20	O	T13
TRC_DATA21	トレース データ 21	O	V19
TRC_DATA22	トレース データ 22	O	W14
TRC_DATA23	トレース データ 23	O	W19

5.3.25 システム、その他

5.3.25.1 ブート モードの構成

5.3.25.1.1 メイン ドメイン

表 5-97. Sysboot 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
BOOTMODE00	ブートモード ピン 0	I	D8
BOOTMODE01	ブートモード ピン 1	I	C7
BOOTMODE02	ブートモード ピン 2	I	A6
BOOTMODE03	ブートモード ピン 3	I	B8
BOOTMODE04	ブートモード ピン 4	I	D21
BOOTMODE05	ブートモード ピン 5	I	E19
BOOTMODE06	ブートモード ピン 6	I	D18
BOOTMODE07	ブートモード ピン 7	I	C17

Copyright © 2026 Texas Instruments Incorporated

5.3.25.1.2 MCU ドメイン

表 5-98. Sysboot 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_BOOTMODE00	ブートモード ピン 00	I	C13
MCU_BOOTMODE01	ブートモード ピン 01	I	A20
MCU_BOOTMODE02	ブートモード ピン 02	I	B17
MCU_BOOTMODE03	ブートモード ピン 03	I	B18
MCU_BOOTMODE04	ブートモード ピン 04	I	B19
MCU_BOOTMODE05	ブートモード ピン 05	I	D14
MCU_BOOTMODE06	ブートモード ピン 06	I	E20
MCU_BOOTMODE07	ブートモード ピン 07	I	E21
MCU_BOOTMODE08	ブートモード ピン 08	I	D19
MCU_BOOTMODE09	ブートモード ピン 09	I	D20

5.3.25.2 クロック

5.3.25.2.1 メイン ドメイン

表 5-99. Clock1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
OSC1_XI	高周波数発振器入力	I	K19
OSC1_XO	高周波数発振器出力	O	J19

5.3.25.2.2 WKUP ドメイン

表 5-100. Clock0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
WKUP_LF_CLKIN	低周波 (32.768 KHz) 発振器入力	I	C17
WKUP_OSC0_XI	高周波数発振器入力	I	K21
WKUP_OSC0_XO	高周波数発振器出力	O	L21

5.3.25.3 システム

5.3.25.3.1 メイン ドメイン

表 5-101. System0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
AUDIO_EXT_REFCLK0	選択可能な入力クロック ソースの 1 つとして、または ATL または McASP の出力クロック出力として、ATL または McASP に配線される外部クロック	IO	V18
AUDIO_EXT_REFCLK1	選択可能な入力クロック ソースの 1 つとして、または ATL または McASP の出力クロック出力として、ATL または McASP に配線される外部クロック	IO	U21
EXTINTn	外部割り込み	I	U6
EXT_REFCLK1	メイン ドメインへの外部クロック入力。タイマ / WDT モジュールのための選択可能な入力クロック源の 1 つとして、または MAIN_PLL2 (PER1 PLL) への基準クロックとして、タイマ クロック マルチプレクサに配線します。	I	T3
GPMC0_FCLK_MUX	MUX ロジックで選択された GPMC 機能クロック出力	O	V14

Copyright © 2026 Texas Instruments Incorporated

表 5-101. System0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
OBSCLK0	監視クロック出力は、テストとデバッグを目的としています	O	W1
OBSCLK1	監視クロック出力は、テストとデバッグを目的としています	O	V16
OBSCLK2	監視クロック出力は、テストとデバッグを目的としています	O	V14
RESETSTATz	メイン ドメインのウォーム リセット ステータス出力	O	U2
SOC_SAFETY_ERRORn	メイン ドメイン ESM からのエラー信号出力	IO	V2
SYNC0_OUT	CPTS タイム スタンプ ジェネレータのビット 0	O	U3
SYNC1_OUT	CPTS タイム スタンプ ジェネレータのビット 1	O	T3
SYNC2_OUT	CPTS タイム スタンプ ジェネレータのビット 2	O	W16
SYNC3_OUT	CPTS タイム スタンプ ジェネレータのビット 3	O	V21
SYSCLKOUT0	メイン PLL コントローラからの SYSCLK0 出力 (6 分周、テストおよびデバッグ専用)	O	V1

5.3.25.3.2 WKUP ドメイン

表 5-102. System0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_CLKOUT0	イーサネット PHY の基準クロック出力 (50MHz または 25MHz)	OZ	C16
MCU_EXT_REFCLK0	外部システム クロック入力	I	C20、E18
MCU_OBSCLK0	監視クロック出力は、テストとデバッグを目的としています	O	C16
MCU_PORz	MCU ドメイン コールド リセット	I	G19
MCU_RESETSTATz	MCU ドメイン ウォーム リセット ステータス出力	O	B13
MCU_RESETz	MCU ドメイン ウォーム リセット	I	A18
MCU_SAFETY_ERRORn	MCU ドメイン ESM からのエラー信号出力	IO	G18
MCU_SYSCLKOUT0	テストおよびデバッグ専用 MCU ドメイン システム クロック出力	O	C20
PMIC_POWER_EN1	メイン ドメイン電源用のパワー イネーブル出力	O	C15
PMIC_WAKE0	PMIC ウェークアップ (アクティブ Low)	O	T19
PMIC_WAKE1	PMIC ウェークアップ (アクティブ Low)	O	E18
PORz	メイン ドメインのコールド リセット	I	H20
RESET_REQz	メイン ドメインの外部ウォーム リセット要求入力	I	A15

5.3.25.3.3 VMON

表 5-103. VMON 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
VMON1_ER_VSYS	電圧モニタ、固定 0.45V (±3%) スレッショルド。PMIC 入力電源などのより高い電圧レールを監視するには、外付けの高精度分圧器と組み合わせて使用します。	PWR	G15
VMON2_IR_VCPU	VDD_CPU に外部で直接接続することを推奨します。	PWR	D16
VMON3_IR_VEXT1P8	外部電源向けの汎用電圧モニタ、1.8V スレッショルド。抵抗デバイダ内蔵。	PWR	E17
VMON4_IR_VEXT1P8	外部電源向けの汎用電圧モニタ、1.8V スレッショルド。抵抗デバイダ内蔵。	PWR	F17

Copyright © 2026 Texas Instruments Incorporated

表 5-103. VMON 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
VMON5_IR_VEXT3P3	外部電源向けの汎用電圧モニタ、3.3V スレッショルド。抵抗デバイダ内蔵。	PWR	L14

5.3.25.4 EFUSE

表 5-104. EFUSE 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
VPP_CORE (1)	メインドメイン efuse のプログラミング電圧	PWR	N17
VPP_MCU (1)	マイコンドメイン efuse のプログラミング電圧	PWR	E11

(1) この信号は、高セキュリティ デバイスに対してのみ有効です。詳細については、セクション 6.7「ワンタイム プログラマブル (OTP) eFUSE の VPP 仕様」を参照してください。汎用デバイスの場合は、信号、テスト ポイント、基板トレースをこの信号に接続しないでください。

5.3.26 電源

注

セクション 5.3「信号の説明」に特に記述のない限り、すべての電源ボールには、セクション 6.3「推奨動作条件」で規定されている電圧を供給する必要があります。

表 5-105. 電源信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
CAP_VDDS0 (1)	メインドメインの全般 IO グループ 0 の外部コンデンサ接続	PWR	M7
CAP_VDDS0_MCU (1)	MCUSS IO グループ 0 の外部コンデンサ接続	PWR	G14
CAP_VDDS1_MCU (1)	MCUSS IO グループ 1 の外部コンデンサ接続	PWR	F9
CAP_VDDS2 (1)	メインドメインの CANUART IO グループ 2 の外部コンデンサ接続	PWR	T12
CAP_VDDS2_MCU (1)	MCUSS IO グループ 2 の外部コンデンサ接続	PWR	F10
CAP_VDDS5 (1)	メインドメインの MMC1 IO グループ 5 の外部コンデンサ接続	PWR	L15
VDDAR_CORE	メインドメイン RAM 電源	PWR	K14、P14
VDDAR_CPU	CPU RAM 電源	PWR	J11、M10
VDDAR_MCU	MCUSS RAM 電源	PWR	H12、J14
VDDA_0P8_PLL_DDR	DDR PLL アナログ電源	PWR	K7
VDDA_0P8_USB	USB0 0.8V アナログ電源	PWR	P7
VDDA_0P8_DLL_MMC0	MMC0 DLL アナログ電源	PWR	M18
VDDA_0P8_SERDES0	SERDES0 アナログ電源 LOW	PWR	R8、T7、U8
VDDA_0P8_SERDES0_C	SERDES0 クロック電源	PWR	R9
VDDA_1P8_USB	USB0 1.8V アナログ電源	PWR	R6
VDDA_1P8_SERDES0	SERDES0 アナログ電源 HIGH	PWR	P8
VDDA_3P3_USB	USB0 3.3V アナログ電源	PWR	R7
VDDA_ADC_MCU	ADC アナログ電源と高電圧リファレンス (VREFP)	PWR	J16
VDDA_MCU_PLLGRP0	マイコン PLL グループ 0 のアナログ電源	PWR	F15
VDDA_MCU_TEMP	MCU ドメインの温度センサ 0 のアナログ電源	PWR	F16
VDDA_PLLGRP0	メイン PLL グループ 0 のアナログ電源	PWR	N14

Copyright © 2026 Texas Instruments Incorporated

表 5-105. 電源信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
VDDA_PLLGRP4	メイン PLL グループ 4 のアナログ電源	PWR	N9
VDDA_PLLGRP6	メイン PLL グループ 6 のアナログ電源	PWR	J9
VDDA_PLLGRP8	メイン PLL グループ 8 のアナログ電源	PWR	L7
VDDA_POR_WKUP	WKUP ドメイン アナログ電源	PWR	J15
VDDA_TEMP0	メインドメインの TEMP センサ 0 のアナログ電源	PWR	J8
VDDA_TEMP1	メインドメインの TEMP センサ 1 のアナログ電源	PWR	P15
VDDA_WKUP	WKUP ドメインの発振器電源	PWR	H16
VDDSHV0	メインドメインの全般 IO グループの IO 電源	PWR	N6、P6
VDDSHV0_MCU	IO 電源の MCUSS 汎用 IO グループ、MCU およびメインドメインのウォーム リセット ピン	PWR	E13、E14、F13、F14
VDDSHV1_MCU	MCUSS IO グループ 1 の IO 電源	PWR	E7、E8、F8
VDDSHV2	メインドメインの CANUART IO グループ 2 の IO 電源	PWR	T10、U11、U9
VDDSHV2_MCU	MCUSS IO グループ 2 の IO 電源	PWR	F11、F12、G11
VDDSHV5	メインドメイン MMC1 IO グループ 5 の IO 電源	PWR	K16、L16
VDDS_DDR	DDR インターフェイス電源	PWR	A1、G7、H6、J7、K6、M5、U1
VDDS_DDR_BIAS	LPDDR4 のバイアス電源	PWR	F7、L6
VDDS_DDR_C	DDR メモリ クロック ビット (MCB) マクロの IO 電源	PWR	J6
VDDS_MMC0	MMC0 IO 電源	PWR	M16、N16
VDDA_OSC1	HFOSC1 電源	PWR	G17
VDD_CORE	メイン ドメイン コア電源	PWR	H8、K12、L13、M12、M14、N13、N15、N7、P10、P12、R11、R13、R15
VDD_CPU	CPU コア電源	PWR	J10、L11、M9、N11、N8
VDD_MCU	MCUSS コア電源	PWR	G9、H10、H14、J13、K15
VDD_MCU_WAKE1	MCU WAKE 機能のコア電源	PWR	G13
VDD_WAKE0	すべての「CANUART」IO を含むメインドメインの WAKE 機能のコア電源。	PWR	P11

Copyright © 2026 Texas Instruments Incorporated

表 5-105. 電源信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
VSS	グランド	GND	B5、AA1、AA10、AA13、AA4、AA7、C11、D15、D17、D3、E10、E12、E15、E16、E6、E9、F1、G10、G12、G16、G6、G8、H11、H13、H15、H19、H4、H7、H9、J1、J12、J21、K11、K13、K3、L12、L19、L5、M11、M13、M15、M21、M6、M8、N10、N12、N3、P13、P5、P9、R10、R12、R14、T11、T2、T6、T8、T9、U10、U7、V11、V12、V9、W10、W13、W18、W4、W7、Y12、Y3、Y6、Y9

(1) このピンは、常に 1µF ± 10% のコンデンサを介して VSS に接続する必要があります。

Copyright © 2026 Texas Instruments Incorporated

5.4 ピン多重化

注

多くのデバイス ピンは複数の信号機能をサポートしています。一部の信号機能は、ピンに関連付けられた単一層のマルチプレクサで選択されます。他の信号機能は 2 層以上のマルチプレクサで選択され、ある層はピンに関連付けられ、他の層はペリフェラル ロジック機能に関連付けられます。

表 5-106「ピン属性」では、ピンにおける信号多重化しか説明していません。ピンでの信号多重化の詳細については、デバイスのテクニカル リファレンス マニュアルの「デバイス構成」の章にある「パッド構成レジスタ」セクションを参照してください。 ペリフェラル信号の多重化に関する情報については、デバイスのテクニカル リファレンス マニュアルで該当するペリフェラルの章を参照してください。

注

定義されていないピン多重化モードにパッドが設定されると、そのパッドの挙動は未定義になります。これは避けるべきです。

注

表 5-106「ピン マルチプレクシング」には SerDes 信号機能は含まれていません。詳細については、デバイスのテクニカル リファレンス マニュアルの「シリアライザ / デシリアライザ (SerDes)」の章を参照してください。

注

PRU には、第 2 層の多重化機構が含まれており、PRU の GPO および GPI 信号に機能を追加できます。この内部ラッパー多重化については、デバイス テクニカル リファレンス マニュアルの「PRU」の章に記載されています。

I/O セル構成の詳細については、デバイスのテクニカル リファレンス マニュアルの「デバイス構成」の章にある「パッド構成レジスタ」セクションを参照してください。

表 5-106. ピン多重化

アドレス オフセット	レジスタ名	ボール番号	MUXMODE[15:0] 設定															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	ブートストラップ
0x1C000	WKUP_PADCONFIG_0	B6	MCU_OSPI0_CLK	MCU_HYPERBUS0_CK						WKUP_GPIO0_16								
0x1C000	PADCONFIG_0	U6	EXTINTn							GPIO0_0								
0x1C004	WKUP_PADCONFIG_1	C8	MCU_OSPI0_LBCLKO	MCU_HYPERBUS0_CKn						WKUP_GPIO0_17								
0x1C004	PADCONFIG_1	AA17	RMII1_RXD0				RGMII1_RD0	RMII1_RXD0	MCAN14_TX	GPIO0_2			TRC_DATA9	UART5_TXD	MCASP1_AXR3		GPMC0_AD0	

Copyright © 2026 Texas Instruments Incorporated

表 5-106. ピン多重化 (続き)

アドレスオフセット	レジスタ名	ボール番号	MUXMODE[15:0] 設定															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	ブートストラップ
0x1C008	PADCONFIG_2	Y15	RMII1_RXD1				RGMII1_RD1	RMII1_RXD1	MCAN14_RX	GPIO0_3		EHRPWM_TZn_IN2	TRC_DATA8	UART5_RXD	MCASP1_AXR2		GPMC0_AD1	
0x1C008	WKUP_PADCONFIG_2	B7	MCU_OSPI0_DQS	MCU_HYPERBUS0_RWDS						WKUP_GPIO0_18								
0x1C00C	PADCONFIG_3	AA20	RMII1_CRS_DV				RGMII1_RD2	RMII1_CRS_DV		GPIO0_4		EHRPWM2_B	TRC_DATA7	UART4_TXD	MCASP1_AXR1		GPMC0_AD2	
0x1C00C	WKUP_PADCONFIG_3	D8	MCU_OSPI0_D0	MCU_HYPERBUS0_DQ0						WKUP_GPIO0_19								BOOTMODE00
0x1C010	PADCONFIG_4	Y17	RMII1_RX_ER				RGMII1_RD3	RMII1_RX_ER		GPIO0_5		EHRPWM2_A	TRC_DATA6	UART6_TXD	MCASP1_AXR0		GPMC0_AD3	
0x1C010	WKUP_PADCONFIG_4	C7	MCU_OSPI0_D1	MCU_HYPERBUS0_DQ1						WKUP_GPIO0_20								BOOTMODE01
0x1C014	WKUP_PADCONFIG_5	C5	MCU_OSPI0_D2	MCU_HYPERBUS0_DQ2						WKUP_GPIO0_21								
0x1C014	PADCONFIG_5	Y16	RMII1_TXD0				RGMII1_RX_CTL	RMII1_TXD0		GPIO0_6		EHRPWM0_SYNCO	TRC_CTL	UART6_RXD	MCASP0_AFSX		GPMC0_AD4	
0x1C018	WKUP_PADCONFIG_6	A5	MCU_OSPI0_D3	MCU_HYPERBUS0_DQ3						WKUP_GPIO0_22								
0x1C018	PADCONFIG_6	V17	RMII1_TX_EN				RGMII4_RXC	RMII1_TX_EN		GPIO0_7		EQEP2_A		UART9_TXD	MCASP0_AXR8	I2C1_SCL	GPMC0_AD5	
0x1C01C	PADCONFIG_7	AA19	RMII1_TXD1				RGMII1_RXC	RMII1_TXD1		GPIO0_8		EHRPWM_TZn_IN1	TRC_DATA5	UART9_RXD	MCASP0_AXR3	I2C1_SDA	GPMC0_AD6	
0x1C01C	WKUP_PADCONFIG_7	A6	MCU_OSPI0_D4	MCU_HYPERBUS0_DQ4						WKUP_GPIO0_23								BOOTMODE02
0x1C020	WKUP_PADCONFIG_8	B8	MCU_OSPI0_D5	MCU_HYPERBUS0_DQ5						WKUP_GPIO0_24								BOOTMODE03
0x1C020	PADCONFIG_8	V18	MCAN0_TX				RGMII4_RD0		MCAN0_TX	GPIO0_9		EQEP2_B		GPMC0_A1	MCASP0_AXR9		AUDIO_EXT_REFCLK0	
0x1C024	PADCONFIG_9	V20	MCAN0_RX				RGMII4_RD1		MCAN0_RX	GPIO0_10		EQEP2_S		GPMC0_A2	MCASP0_AXR10			
0x1C024	WKUP_PADCONFIG_9	A8	MCU_OSPI0_D6	MCU_HYPERBUS0_DQ6						WKUP_GPIO0_25								
0x1C028	PADCONFIG_10	W21	MCAN1_TX				RGMII2_TXC	RMII2_TX_EN	MCAN1_TX	GPIO0_11	SPI6_CS0	EHRPWM_SOCA		GPMC0_A3	MCASP0_AXR11			
0x1C028	WKUP_PADCONFIG_10	A7	MCU_OSPI0_D7	MCU_HYPERBUS0_DQ7						WKUP_GPIO0_26								
0x1C02C	PADCONFIG_11	V16	MCAN1_RX				RGMII4_RD2	RMII2_TXD1	MCAN1_RX	GPIO0_12	SPI6_CS1	EQEP2_I	GPMC0_AD7	UART6_CTSn	MCASP0_AXR12		OBSCLK1	

Copyright © 2026 Texas Instruments Incorporated

表 5-106. ピン多重化 (続き)

アドレスオフセット	レジスタ名	ボール番号	MUXMODE[15:0] 設定															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	ブートストラップ
0x1C02C	WKUP_PADCONFIG_11	D6	MCU_OSPI0_CSn0	MCU_HYPERBUS0_CSn0						WKUP_GPIO0_27								
0x1C030	WKUP_PADCONFIG_12	D7	MCU_OSPI0_CSn1	MCU_HYPERBUS0_RESETn						WKUP_GPIO0_28								
0x1C030	PADCONFIG_12	Y18	MCAN2_TX				RGMII1_TD0	RMII4_RXD0	MCAN2_TX	GPIO0_13	SPI5_CS3	EHRPWM1_A	TRC_DATA3	UART3_RXD	MCASP1_AFSX	UART9_CTSn	GPMC0_AD8	
0x1C034	PADCONFIG_13	Y19	MCAN2_RX				RGMII1_TD1	RMII4_RXD1	MCAN2_RX	GPIO0_14	SPI5_CS2	EHRPWM0_B	TRC_DATA2	UART3_TXD	MCASP1_ACLKX	UART9_RTSn	GPMC0_AD9	
0x1C038	PADCONFIG_14	Y21	MCAN3_TX				RGMII1_TD2	RMII4_CRS_DV	MCAN3_TX	GPIO0_15	SPI5_D0	EHRPWM0_A	TRC_DATA1		MCASP0_AXR1		GPMC0_AD10	
0x1C038	WKUP_PADCONFIG_14	C6	MCU_OSPI0_CSn2	MCU_OSPI0_CSn2	MCU_HYPERBUS0_RESETOn	MCU_HYPERBUS0_WPn	MCU_HYPERBUS0_CSn1		MCU_OSPI0_RESET_OUT0	WKUP_GPIO0_30								
0x1C03C	WKUP_PADCONFIG_15	D5	MCU_OSPI0_CSn3	MCU_OSPI0_CSn3	MCU_HYPERBUS0_INTn	MCU_HYPERBUS0_WPn		MCU_OSPI0_RESET_OUT1	MCU_OSPI0_ECC_FAIL	WKUP_GPIO0_31								
0x1C03C	PADCONFIG_15	W16	MCAN3_RX				RGMII1_TD3	RMII4_RX_ER	MCAN3_RX	GPIO0_16	SPI5_CS0	EHRPWM_TZn_IN0	TRC_DATA0	GPMC0_A4	MCASP0_AXR0		SYNC2_OUT	
0x1C040	PADCONFIG_16	W15	MCAN4_TX				RGMII1_TX_CTL	RMII4_TXD0	MCAN4_TX	GPIO0_17	SPI5_CLK	EHRPWM0_SYNCI	TRC_CLK	I2C2_SCL	MCASP0_ACLKX		GPMC0_AD11	
0x1C044	PADCONFIG_17	Y20	MCAN4_RX				RGMII1_TXC	RMII4_TX_EN	MCAN4_RX	GPIO0_18	SPI5_D1	EHRPWM1_B	TRC_DATA4	I2C2_SDA	MCASP0_AXR2		GPMC0_AD12	
0x1C048	PADCONFIG_18	V21	MCAN5_TX				RGMII3_RXC	RMII4_TXD1	MCAN5_TX	GPIO0_19	SPI5_CS1	EHRPWM4_B	TRC_DATA17	UART6_RTSn	MCASP0_AXR7	GPMC0_DIR	SYNC3_OUT	
0x1C04C	PADCONFIG_19	V19	MCAN5_RX				RGMII3_RD0	RMII3_RXD0	MCAN5_RX	GPIO0_20	I2C3_SCL	EHRPWM_TZn_IN5	TRC_DATA21	GPMC0_A5	MCASP1_AXR7			
0x1C050	PADCONFIG_20	T13	MCAN6_TX				RGMII3_RD1	RMII3_RXD1	MCAN6_TX	GPIO0_21	I2C3_SDA	EHRPWM5_B	TRC_DATA20	GPMC0_A6	MCASP1_AXR6			
0x1C054	PADCONFIG_21	U14	MCAN6_RX				RGMII3_RD2	RMII3_CRS_DV	MCAN6_RX	GPIO0_22		EHRPWM5_A	TRC_DATA19		MCASP1_AXR5		GPMC0_AD13	
0x1C058	PADCONFIG_22	U16	MCAN7_TX				RGMII3_RD3	RMII3_RX_ER	MCAN7_TX	GPIO0_23	SPI3_CS0	EHRPWM_TZn_IN4	TRC_DATA18		MCASP1_AXR4		GPMC0_AD14	
0x1C05C	PADCONFIG_23	U15	MCAN7_RX				RGMII3_RX_CTL	RMII3_TXD0	MCAN7_RX	GPIO0_24	SPI3_CS1	EHRPWM3_A	TRC_DATA11		MCASP0_AFSR		GPMC0_AD15	
0x1C060	PADCONFIG_24	T15	MCAN8_TX			GPMC0_A7	RGMII3_TD0	RMII3_TX_EN	MCAN8_TX	GPIO0_25	SPI3_CS2	EHRPWM_TZn_IN3	TRC_DATA15	UART3_CTSn	MCASP0_AXR5		UART0_DCDn	
0x1C064	PADCONFIG_25	U19	MCAN8_RX				RGMII3_TD1	RMII3_TXD1	MCAN8_RX	GPIO0_26	SPI3_CS3	EHRPWM3_SYNCO	TRC_DATA14	UART3_RTSn	MCASP0_AXR4	GPMC0_A8	UART0_DSRn	
0x1C068	WKUP_PADCONFIG_26	D11	MCU_RGMII1_TX_CTL	MCU_RMII1_CRS_DV						WKUP_GPIO0_29								
0x1C068	PADCONFIG_26	T14	MCAN9_TX				RGMII3_TD2		MCAN9_TX	GPIO0_27	SPI3_CLK	EHRPWM3_SYNCI	TRC_DATA13		MCASP1_AFSR	GPMC0_A9	MCASP1_AXR10	

Copyright © 2026 Texas Instruments Incorporated

表 5-106. ピン多重化 (続き)

アドレスオフセット	レジスタ名	ボール番号	MUXMODE[15:0] 設定															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	ブートストラップ
0x1C06C	WKUP_PADCONFIG_27	A11	MCU_RGMII1_RX_CTL	MCU_RMII1_RX_ER						WKUP_GPIO0_43								
0x1C06C	PADCONFIG_27	U18	MCAN9_RX				RGMII3_TD3		MCAN9_RX	GPIO0_28	SPI3_D0	EHRPWM3_B	TRC_DATA12		MCASP1_ACLKR	GPMC0_A10	MCASP1_AXR11	
0x1C070	WKUP_PADCONFIG_28	C12	MCU_RGMII1_TD3	MCU_TIMER_IO2		MCU_ADC_EXT_TRIGGER0				WKUP_GPIO0_44								
0x1C070	PADCONFIG_28	U17	MCAN10_TX				RGMII3_TX_CTL		MCAN10_TX	GPIO0_29	SPI3_D1	EHRPWM_SOCB	TRC_DATA10	UART2_CTSn	MCASP0_ACLKR	GPMC0_WAIT1	GPMC0_A22	
0x1C074	PADCONFIG_29	U20	MCAN10_RX				RGMII3_TXC		MCAN10_RX	GPIO0_30	SPI2_CLK	EHRPWM4_A	TRC_DATA16	UART2_RTSn	MCASP0_AXR6	GPMC0_BE0n_CLE	GPMC0_A16	
0x1C074	WKUP_PADCONFIG_29	B12	MCU_RGMII1_TD2	MCU_TIMER_IO3		MCU_ADC_EXT_TRIGGER1				WKUP_GPIO0_45								
0x1C078	WKUP_PADCONFIG_30	B11	MCU_RGMII1_TD1	MCU_RMII1_TXD1						WKUP_GPIO0_46								
0x1C078	PADCONFIG_30	Y14	MCAN11_TX				RGMII2_RXC		MCAN11_TX	GPIO0_31	SPI2_CS0	EQEP0_A	SPI0_CS2	UART3_RXD	MCASP0_AXR13	GPMC0_A11	UART0_DTRn	
0x1C07C	PADCONFIG_31	Y13	MCAN11_RX				RGMII2_RD0		MCAN11_RX	GPIO0_32	SPI2_CS1	EQEP0_B		UART3_TXD	MCASP0_AXR14	GPMC0_A12	UART0_RIn	
0x1C07C	WKUP_PADCONFIG_31	D10	MCU_RGMII1_TD0	MCU_RMII1_TXD0						WKUP_GPIO0_47								
0x1C080	PADCONFIG_32	AA15	MCAN12_TX				RGMII2_RD1		MCAN12_TX	GPIO0_33	SPI2_CS2	EQEP1_A	I2C6_SCL	UART2_RXD	MCASP0_AXR15	GPMC0_BE1n	GPMC0_A17	
0x1C080	WKUP_PADCONFIG_32	A12	MCU_RGMII1_TXC	MCU_RMII1_TX_EN						WKUP_GPIO0_48								
0x1C084	WKUP_PADCONFIG_33	B10	MCU_RGMII1_RXC	MCU_RMII1_REF_CLK						WKUP_GPIO0_49								
0x1C084	PADCONFIG_33	AA14	MCAN12_RX				RGMII2_RD2		MCAN12_RX	GPIO0_34	SPI2_CS3	EQEP1_B	I2C6_SDA	UART2_TXD	MCASP1_AXR8	I3C0_SDAPULLEN	GPMC0_A18	
0x1C088	PADCONFIG_34	AA18	MCAN13_TX				RGMII2_RD3	GPMC0_WPn	MCAN13_TX	GPIO0_35	SPI2_D0	EQEP0_S	I2C5_SCL	UART8_CTSn	MCASP1_AXR9	I3C0_SCL	GPMC0_A19	
0x1C088	WKUP_PADCONFIG_34	C10	MCU_RGMII1_RD3	MCU_TIMER_IO4						WKUP_GPIO0_50								
0x1C08C	PADCONFIG_35	AA16	MCAN13_RX				RGMII2_RX_CTL	GPMC0_CSn3	MCAN13_RX	GPIO0_36	SPI2_D1	EQEP0_I	I2C5_SDA	UART8_RTSn	MCASP2_AXR0	I3C0_SDA	GPMC0_A20	
0x1C08C	WKUP_PADCONFIG_35	A10	MCU_RGMII1_RD2	MCU_TIMER_IO5						WKUP_GPIO0_51								
0x1C090	WKUP_PADCONFIG_36	B9	MCU_RGMII1_RD1	MCU_RMII1_RXD1						WKUP_GPIO0_52								
0x1C090	PADCONFIG_36	W17	MCAN15_TX				RGMII2_TD0	RMII2_RXD0		GPIO0_37	SPI6_CS2	EQEP1_S	MCAN15_TX	GPMC0_CSn2	MCASP2_AXR1	GPMC0_A0	GPMC0_A21	
0x1C094	PADCONFIG_37	W20	MCAN15_RX				RGMII2_TD1	RMII2_RXD1		GPIO0_38	SPI6_CS3	EQEP1_I	MCAN15_RX		MCASP2_AXR2	GPMC0_A15	GPMC0_ADVn_ALE	

Copyright © 2026 Texas Instruments Incorporated

表 5-106. ピン多重化 (続き)

アドレスオフセット	レジスタ名	ボール番号	MUXMODE[15:0] 設定															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	ブートストラップ
0x1C094	WKUP_PADCONFIG_37	A9	MCU_RGMII1_RD0	MCU_RMII1_RXD0						WKUP_GPIO0_53								
0x1C098	PADCONFIG_38	V14	UART2_RXD				RGMII2_TD2	RMII2_CRS_DV		GPIO0_39	SPI6_CLK	GPMC0_CLKOUT	GPMC0_FCLK_MUX	UART2_RXD	MCASP2_AXR3		OBSCLK2	
0x1C098	WKUP_PADCONFIG_38	C9	MCU_MDIO0_MDIO							WKUP_GPIO0_54								
0x1C09C	PADCONFIG_39	V13	UART2_TXD				RGMII2_TD3	RMII2_RX_ER		GPIO0_40	SPI6_D0			UART2_TXD	MCASP2_AFSX			
0x1C09C	WKUP_PADCONFIG_39	D9	MCU_MDIO0_MDC							WKUP_GPIO0_55								
0x1C0A0	WKUP_PADCONFIG_40	C13	MCU_SPI0_CLK							WKUP_GPIO0_56								MCU_BOOTMODE00
0x1C0A0	PADCONFIG_40	U12					RGMII2_TX_CTL	RMII2_TXD0		GPIO0_41	SPI6_D1			UART4_RXD	MCASP2_ACLKX	GPMC0_A13		
0x1C0A4	WKUP_PADCONFIG_41	A20	MCU_SPI0_D0							WKUP_GPIO0_57								MCU_BOOTMODE01
0x1C0A4	PADCONFIG_41	W14	UART8_RXD		I2C4_SCL			MDIO0_MDIO		GPIO0_42			TRC_DATA22	UART8_RXD	MCASP2_AFSR	MCASP2_AXR4		
0x1C0A8	WKUP_PADCONFIG_42	B17	MCU_SPI0_D1				MCU_TIMER_IO0			WKUP_GPIO0_58								MCU_BOOTMODE02
0x1C0A8	PADCONFIG_42	W19	UART8_TXD	SPI1_CS3	I2C4_SDA			MDIO0_MDC		GPIO0_43			TRC_DATA23	UART8_TXD	MCASP2_ACLKR	MCASP2_AXR5		
0x1C0AC	WKUP_PADCONFIG_43	A19	MCU_SPI0_CS0				MCU_TIMER_IO1			WKUP_GPIO0_59								
0x1C0AC	PADCONFIG_43	U13	GPMC0_CLK	USB0_DRVVBUS			RGMII4_RD3			GPIO0_44			SPI0_CS3	UART9_RXD				
0x1C0B0	WKUP_PADCONFIG_44	B14	WKUP_UART0_RXD							WKUP_GPIO0_60								
0x1C0B0	PADCONFIG_44	T16	UART0_RXD				RGMII4_TXC			GPIO0_47							GPMC0_WAIT0	
0x1C0B4	PADCONFIG_45	T17	UART0_TXD				RGMII4_TD2			GPIO0_48							GPMC0_WEn	
0x1C0B4	WKUP_PADCONFIG_45	A14	WKUP_UART0_TXD							WKUP_GPIO0_61								
0x1C0B8	PADCONFIG_46	T18	UART1_RXD	MCAN17_TX		TIMER_IO6	RGMII4_TD3			GPIO0_49							GPMC0_OEn_REn	
0x1C0B8	WKUP_PADCONFIG_46	A16	MCU_MCAN0_TX							WKUP_GPIO0_62								
0x1C0BC	PADCONFIG_47	T20	UART1_TXD	MCAN17_RX		TIMER_IO7	RGMII4_TX_CTL			GPIO0_50							GPMC0_CSn0	
0x1C0BC	WKUP_PADCONFIG_47	A17	MCU_MCAN0_RX							WKUP_GPIO0_63								
0x1C0C0	PADCONFIG_48	W3	SPI0_CS0		UART0_CTSn					GPIO0_51								
0x1C0C0	WKUP_PADCONFIG_48	B18	MCU_SPI1_CLK	MCU_SPI1_CLK						WKUP_GPIO0_0								MCU_BOOTMODE03

Copyright © 2026 Texas Instruments Incorporated

表 5-106. ピン多重化 (続き)

アドレスオフセット	レジスタ名	ボール番号	MUXMODE[15:0] 設定															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	ブートストラップ
0x1C0C4	PADCONFIG_49	U5	SPI0_CS1	CPTS0_TS_COMP	UART0_RTSn					GPIO0_52								
0x1C0C4	WKUP_PADCONFIG_49	B19	MCU_SPI1_D0	MCU_SPI1_D0						WKUP_GPIO0_1								MCU_BOOTMODE04
0x1C0C8	PADCONFIG_50	Y1	SPI0_CLK	UART1_CTSn	I2C2_SCL					GPIO0_53								
0x1C0C8	WKUP_PADCONFIG_50	D14	MCU_SPI1_D1	MCU_SPI1_D1						WKUP_GPIO0_2								MCU_BOOTMODE05
0x1C0CC	WKUP_PADCONFIG_51	B21	MCU_SPI1_CS0	MCU_SPI1_CS0						WKUP_GPIO0_3								
0x1C0CC	PADCONFIG_51	V4	SPI0_D0	UART1_RTSn	I2C2_SDA					GPIO0_54								
0x1C0D0	WKUP_PADCONFIG_52	D13	MCU_MCAN1_TX	MCU_MCAN1_TX	MCU_SPI0_CS3	MCU_ADC_EXT_TRIGGER0				WKUP_GPIO0_4								
0x1C0D0	PADCONFIG_52	T5	SPI0_D1							GPIO0_55								
0x1C0D4	PADCONFIG_53	V3	I2C0_SCL							GPIO0_56								
0x1C0D4	WKUP_PADCONFIG_53	B16	MCU_MCAN1_RX	MCU_MCAN1_RX	MCU_SPI1_CS3	MCU_ADC_EXT_TRIGGER1				WKUP_GPIO0_5								
0x1C0D8	PADCONFIG_54	W2	I2C0_SDA							GPIO0_57								
0x1C0D8	WKUP_PADCONFIG_54	C14	WKUP_UART0_CTSn	WKUP_UART0_CTSn	MCU_CPTS0_HW1TSPUSH	MCU_I2C1_SCL				WKUP_GPIO0_6								
0x1C0DC	PADCONFIG_55	U3	ECAP0_IN_APWM_OUT	SYNC0_OUT	CPTS0_RFT_CLK	I2C1_SCL	CPTS0_HW1TSPUSH	UART3_RXD	SPI7_CS0	GPIO0_58								
0x1C0DC	WKUP_PADCONFIG_55	C18	WKUP_UART0_RTSn	WKUP_UART0_RTSn	MCU_CPTS0_HW2TSPUSH	MCU_I2C1_SDA				WKUP_GPIO0_7								
0x1C0E0	PADCONFIG_56	T3	EXT_REFCLK1	SYNC1_OUT		I2C1_SDA	CPTS0_HW2TSPUSH	UART3_TXD	SPI7_CLK	GPIO0_59								
0x1C0E0	WKUP_PADCONFIG_56	C21	MCU_I2C1_SCL	MCU_I2C1_SCL	MCU_CPTS0_TS_SYNC	MCU_I3C0_SCL	MCU_TIMER_IO6			WKUP_GPIO0_8								
0x1C0E4	PADCONFIG_57	V1	TIMER_IO0	ECAP1_IN_APWM_OUT	SYSCLKOUT0			UART3_CTSn	SPI7_D0	GPIO0_60	MMC1_SDCD							
0x1C0E4	WKUP_PADCONFIG_57	C19	MCU_I2C1_SDA	MCU_I2C1_SDA	MCU_CPTS0_TS_COMP	MCU_I3C0_SDA	MCU_TIMER_IO7			WKUP_GPIO0_9								
0x1C0E8	PADCONFIG_58	W1	TIMER_IO1	ECAP2_IN_APWM_OUT	OBSCLK0			UART3_RTSn	SPI7_D1	GPIO0_61	MMC1_SDWP	PCIE1_CLKREQn						

Copyright © 2026 Texas Instruments Incorporated

表 5-106. ピン多重化 (続き)

アドレスオフセット	レジスタ名	ボール番号	MUXMODE[15:0] 設定															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	ブートストラップ
0x1C0E8	WKUP_PADCONFIG_58	C20	MCU_EXT_REFCLK0	MCU_EXT_REFCLK0	MCU_UART0_TXD	MCU_ADC_EXT_TRIGGER0	MCU_CPTS0_RFT_CLK	MCU_SYSCLKOUT0		WKUP_GPIO0_10								
0x1C0EC	WKUP_PADCONFIG_59	C16	MCU_OBSCLK0	MCU_OBSCLK0	MCU_UART0_RXD	MCU_ADC_EXT_TRIGGER1	MCU_TIMER_IO1	MCU_I3C0_SDAPULLEN	MCU_CLKOUT0	WKUP_GPIO0_11								
0x1C0EC	PADCONFIG_59	N19	MMC1_DAT3	UART7_RXD	PCIE1_CLKREQn	TIMER_IO0				GPIO0_62	SPI1_CS0	UART0_CTSn	I2C3_SCL	UART5_RXD				
0x1C0F0	WKUP_PADCONFIG_60	D19	MCU_UART0_TXD	MCU_SPI0_CS1						WKUP_GPIO0_12								MCU_BOOTMODE08
0x1C0F0	PADCONFIG_60	N20	MMC1_DAT2	UART7_TXD		TIMER_IO1				GPIO0_63	SPI1_CS1	CPTS0_TS_SYNC	I2C3_SDA	UART5_TXD				
0x1C0F4	PADCONFIG_61	N21	MMC1_DAT1	UART7_CTSn	ECAP0_IN_APWM_OUT	TIMER_IO2		UART4_RXD		GPIO0_64	SPI1_CS2	UART5_CTSn	I2C4_SDA	UART2_RXD				
0x1C0F4	WKUP_PADCONFIG_61	D20	MCU_UART0_RXD	MCU_SPI1_CS1						WKUP_GPIO0_13								MCU_BOOTMODE09
0x1C0F8	PADCONFIG_62	M19	MMC1_DAT0	UART7_RTSn	ECAP1_IN_APWM_OUT	TIMER_IO3		UART4_TXD		GPIO0_65	SPI1_D0	UART5_RTSn	I2C4_SCL	UART2_TXD				
0x1C0F8	WKUP_PADCONFIG_62	E20	MCU_UART0_CTSn	MCU_SPI0_CS2			MCU_TIMER_IO8			WKUP_GPIO0_14								MCU_BOOTMODE06
0x1C0FC	WKUP_PADCONFIG_63	E21	MCU_UART0_RTSn	MCU_SPI1_CS2			MCU_TIMER_IO9			WKUP_GPIO0_15								MCU_BOOTMODE07
0x1C100	PADCONFIG_64	P21	MMC1_CLK	UART8_RXD		TIMER_IO4		UART4_CTSn		GPIO0_66	SPI1_CLK	UART0_RTSn	I2C6_SDA					
0x1C100	WKUP_PADCONFIG_64	F20	WKUP_I2C0_SCL							WKUP_GPIO0_64								
0x1C104	PADCONFIG_65	M20	MMC1_CMD	UART8_TXD		TIMER_IO5		UART4_RTSn		GPIO0_67	SPI1_D1		I2C6_SCL					
0x1C104	WKUP_PADCONFIG_65	H21	WKUP_I2C0_SDA							WKUP_GPIO0_65								
0x1C108	WKUP_PADCONFIG_66	G21	MCU_I2C0_SCL							WKUP_GPIO0_66								
0x1C108	PADCONFIG_66	U2	RESETSTATz															
0x1C10C	WKUP_PADCONFIG_67	G20	MCU_I2C0_SDA							WKUP_GPIO0_67								
0x1C110	WKUP_PADCONFIG_68	C15	PMIC_POWER_EN1					MCU_I3C0_SDAPULLEN		WKUP_GPIO0_68								
0x1C110	PADCONFIG_68	V2	SOC_SAFETY_ERRORn															
0x1C114	WKUP_PADCONFIG_69	G18	MCU_SAFETY_ERRORn															

Copyright © 2026 Texas Instruments Incorporated

表 5-106. ピン多重化 (続き)

アドレスオフセット	レジスタ名	ボール番号	MUXMODE[15:0] 設定															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	ブートストラップ
0x1C118	WKUP_PADCONFIG_70	A18	MCU_RESETz															
0x1C11C	PADCONFIG_71	U4	TMS															
0x1C11C	WKUP_PADCONFIG_71	B13	MCU_RESETSTATz							WKUP_GPIO0_79								
0x1C120	WKUP_PADCONFIG_72	D21					MCU_TIMER_IO6			WKUP_GPIO0_77								BOOTMODE04
0x1C120	PADCONFIG_72	T4	USB0_DRVVBUS							GPIO0_68								
0x1C124	WKUP_PADCONFIG_73	B15	TCK															
0x1C124	PADCONFIG_73	T19	PMIC_WAKE0n				RGMII4_TD1			GPIO0_1								
0x1C128	WKUP_PADCONFIG_74	B20	TRSTn															
0x1C12C	WKUP_PADCONFIG_75	A13	EMU0															
0x1C130	WKUP_PADCONFIG_76	D12	EMU1															
0x1C134	WKUP_PADCONFIG_77	H17	MCU_ADC0_AIN0															
0x1C138	WKUP_PADCONFIG_78	K18	MCU_ADC0_AIN1															
0x1C13C	WKUP_PADCONFIG_79	M17	MCU_ADC0_AIN2															
0x1C140	WKUP_PADCONFIG_80	L18	MCU_ADC0_AIN3															
0x1C144	WKUP_PADCONFIG_81	J18	MCU_ADC0_AIN4															
0x1C148	WKUP_PADCONFIG_82	J17	MCU_ADC0_AIN5															
0x1C14C	WKUP_PADCONFIG_83	K17	MCU_ADC0_AIN6															
0x1C150	WKUP_PADCONFIG_84	L17	MCU_ADC0_AIN7															
0x1C164	PADCONFIG_89	V15	MCAN16_TX	RMII_REF_CLK			RGMII4_RX_CTL			GPIO0_45					UART7_TXD	GPMC0_A14		
0x1C168	PADCONFIG_90	U21	MCAN16_RX	CLKOUT			RGMII4_TD0			GPIO0_46					UART7_RXD	GPMC0_CSn1	AUDIO_EXT_REFCLK1	
0x1C174	WKUP_PADCONFIG_93	A15	RESET_REQz															
0x1C178	WKUP_PADCONFIG_94	H20	PORz															

Copyright © 2026 Texas Instruments Incorporated

表 5-106. ピン多重化 (続き)

アドレスオフセット	レジスタ名	ボール番号	MUXMODE[15:0] 設定															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	ブートストラップ
0x1C17C	WKUP_PADCONFIG_95	E19					MCU_TIMER_IO7			WKUP_GPIO0_78								BOOTMODE05
0x1C180	WKUP_PADCONFIG_96	D18								WKUP_GPIO0_80								BOOTMODE06
0x1C184	WKUP_PADCONFIG_97	C17		WKUP_LF_CLKIN						WKUP_GPIO0_81								BOOTMODE07
0x1C188	WKUP_PADCONFIG_98	F19	TDI															
0x1C18C	WKUP_PADCONFIG_99	F21	TDO															
0x1C190	WKUP_PADCONFIG_100	E18	PMIC_WAKE1n	MCU_EXT_REFCLK0	MCU_CPTS0_RFT_CLK					WKUP_GPIO0_84								

Copyright © 2026 Texas Instruments Incorporated

5.5 未使用ピンの接続

このセクションでは、未使用/予備ボールの接続要件について説明します。

注

セクション 5.3「信号の説明」に特に記述のない限り、すべての電源ボールには、セクション 6.3「推奨動作条件」で規定されている電圧を供給する必要があります。

表 5-107. 未使用ボールの固有の接続要件

ボール番号	ボール名	接続要件
V7	SERDES0_REXT	これらの各ボールは、使用しない場合、有効なロジック Low レベルに保持されるように、個別の外部プル抵抗を介して VSS に接続する必要があります。
V5	USB0_RCALIB	
K19	OSC1_XI	
B20	TRSTN	
H17	MCU_ADC0_AIN0	
K18	MCU_ADC0_AIN1	
M17	MCU_ADC0_AIN2	
L18	MCU_ADC0_AIN3	
J18	MCU_ADC0_AIN4	
J17	MCU_ADC0_AIN5	
K17	MCU_ADC0_AIN6	
L17	MCU_ADC0_AIN7	
B2	DDR0_DQS0P	
E2	DDR0_DQS1P	
M2	DDR0_DQS2P	
R2	DDR0_DQS3P	
V1	MMC1_SDCD	
G15	VMON1_ER_VSYS	
D16	VMON2_IR_VCPU	
E17	VMON3_IR_VEXT1P8	
F17	VMON4_IR_VEXT1P8	
L14	VMON5_IR_VEXT3P3	

Copyright © 2026 Texas Instruments Incorporated

表 5-107. 未使用ボールの固有の接続要件 (続き)

ボール番号	ボール名	接続要件
A18	MCU_RESETZ	これらの各ボールは、使用しない場合、有効なロジック High レベルに保持されるように、個別の外部プル抵抗を介して対応する電源に接続する必要があります。(1)
G19	MCU_PORZ	
H20	PORZ	
B15	TCK	
U4	TMS	
F20	WKUP_I2C0_SCL	
H21	WKUP_I2C0_SDA	
G20	MCU_I2C0_SDA	
G21	MCU_I2C0_SCL	
W2	I2C0_SDA	
V3	I2C0_SCL	
U6	EXTINTN	
F19	TDI	
F21	TDO	
D12	EMU1	
A13	EMU0	
B1	DDR0_DQS0N	
E1	DDR0_DQS1N	
M1	DDR0_DQS2N	
R1	DDR0_DQS3N	
N17	VPP_CORE	これらの各ボールは、使用しない場合は未接続のままにしておく必要があります。
E11	VPP_MCU	
P20	MMC0_CALPAD	
AA8	SERDES0_REFCLK_N	
AA9	SERDES0_REFCLK_P	
AA11	SERDES0_RX0_N	
AA12	SERDES0_RX0_P	
W11	SERDES0_TX0_N	
W12	SERDES0_TX0_P	
W8	SERDES0_RX1_N	
W9	SERDES0_RX1_P	
Y10	SERDES0_TX1_N	
Y11	SERDES0_TX1_P	
Y7	SERDES0_RX2_N	
Y8	SERDES0_RX2_P	
AA5	SERDES0_TX2_N	
AA6	SERDES0_TX2_P	
W5	SERDES0_RX3_N	
W6	SERDES0_RX3_P	
Y4	SERDES0_TX3_N	
Y5	SERDES0_TX3_P	

(1) IO にどの電源が関連付けられているかを確認するには、表 5-1「ピン属性」を参照してください。

Copyright © 2026 Texas Instruments Incorporated

表 5-108. 予備ボールの固有の接続要件

ボール	接続要件
A21 / AA21 / K8 / K9 / K10 / L8 / L9 / L10	これらのボールはパッケージに存在しません。
H18 / F18 / N18 / L20 / K20 / J20 / V8 / V10 / E5 / F6	これらのボールは未接続のままにしておくする必要があります。

注

パッド構成レジスタを**備えていない**他の未使用の信号ボールはすべて、未接続のままにできます。

注

パッド構成レジスタを**備えた**他の未使用の信号ボールはすべて、マルチプレクシング モードを GPIO 入力に設定し、内部プルダウン抵抗を有効にすることで、未接続のままにできます。

未使用のボールは、PCB の半田パッドにのみ接続するボールとして定義されます。有効なロジック レベルを保持するための唯一のソース / シンクとして、内部プル抵抗を使用できるのは、このユース ケースのみです。

ビア、テストポイント、PCB パターンに接続されたボールは、すべて使用されているものと見なされ、有効なロジック レベルの保持を内部プル抵抗に依存してはなりません。

内部プル抵抗は駆動力が弱いため、動作条件によっては有効なロジック レベルを維持するのに十分な電流を供給できない場合があります。この状況は、逆のロジック レベルへのリークがある部品に接続されている場合や、内部抵抗によって有効なロジック レベルにプルされているだけのボールに接続された信号トレースに外部ノイズ源が結合した場合に発生することがあります。そのため、外部接続のあるボール上で有効なロジック レベルを保持するには、外部プル抵抗が必要になる場合があります。

有効なロジックレベルの間でボールがフローティングになると、入力バッファが大電流状態に移行し、IO セルに損傷を与える可能性があります。

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)[(1) (2)]

パラメータ		最小値	最大値	単位
VDD_CORE	メインドメイン コア電源	-0.3	1.05	V
VDD_MCU	MCUSS コア電源	-0.3	1.05	V
VDD_CPU	CPU コア電源	-0.3	1.05	V
VDD_MCU_WAKE1	MCU WAKE 機能のコア電源	-0.3	1.05	V
VDD_WAKE0	すべての「CANUART」IO を含むメインドメインのウェークアップ機能用コア電源。	-0.3	1.05	V
VDDA_0P8_DLL_MMC0	MMC0 DLL アナログ電源	-0.3	1.05	V
VDDAR_CORE	メインドメイン RAM 電源	-0.3	1.05	V
VDDAR_MCU	MCUSS RAM 電源	-0.3	1.05	V
VDDAR_CPU	CPU RAM 電源	-0.3	1.05	V
VDDA_0P8_SERDES0	SERDES0 アナログ電源 LOW	-0.3	1.05	V
VDDA_0P8_SERDES0_C	SERDES0 クロック電源	-0.3	1.05	V
VDDA_0P8_USB	USB0 0.8V アナログ電源	-0.3	1.05	V
VDDA_0P8_PLL_DDR	DDR PLL アナログ電源	-0.3	1.05	V
VDDA_1P8_USB	USB0 1.8V アナログ電源	-0.3	2.2	V
VDDA_1P8_SERDES0	SERDES0 アナログ電源 HIGH	-0.3	2.2	V
VDDA_3P3_USB	USB0 3.3V アナログ電源	-0.3	3.8	V
VDDA_MCU_PLLGRP0	マイコン PLL グループ 0 のアナログ電源	-0.3	2.2	V
VDDA_PLLGRP0	メイン PLL グループ 0 のアナログ電源	-0.3	2.2	V
VDDA_PLLGRP4	メイン PLL グループ 4 のアナログ電源	-0.3	2.2	V
VDDA_PLLGRP6	メイン PLL グループ 6 のアナログ電源	-0.3	2.2	V
VDDA_PLLGRP8	メイン PLL グループ 8 のアナログ電源	-0.3	2.2	V
VDDA_WKUP	WKUP ドメインの発振器電源	-0.3	2.2	V
VDDA_ADC_MCU	ADC アナログ電源	-0.3	2.2	V
VDDA_MCU_TEMP	MCU ドメインの温度センサ 0 のアナログ電源	-0.3	2.2	V
VDDA_POR_WKUP	WKUP ドメイン アナログ電源	-0.3	2.2	V
VDDA_TEMP0	温度センサ 0 のアナログ電源	-0.3	2.2	V
VDDA_TEMP1	温度センサ 1 のアナログ電源	-0.3	2.2	V
VDDS_DDR[(10)]	DDR インターフェイス電源	-0.3	1.2	V
VDDS_DDR_BIAS[(10)]	LPDDR4 のバイアス電源	-0.3	1.2	V
VDDS_DDR_C[(10)]	DDR メモリ クロック ビット (MCB) マクロの IO 電源	-0.3	1.2	V
VDDS_MMC0	MMC0 IO 電源	-0.3	2.2	V
VDDA_OSC1	HFOSC1 電源	-0.3	2.2	V
VDDSHV0_MCU	IO 電源の MCUSS 汎用 IO グループ、MCU およびメインドメインのウォーム リセット ピン	-0.3	3.8	V
VDDSHV0	メインドメイン全般の IO 電源	-0.3	3.8	V
VDDSHV1_MCU	MCUSS IO グループ 1 の IO 電源	-0.3	3.8	V
VDDSHV2_MCU	MCUSS IO グループ 2 の IO 電源	-0.3	3.8	V
VDDSHV2	メインドメイン IO グループ 2 の IO 電源	-0.3	3.8	V
VDDSHV5	メインドメイン IO グループ 5 の IO 電源	-0.3	3.8	V

Copyright © 2026 Texas Instruments Incorporated

6.1 絶対最大定格 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)(1) (2)

パラメータ		最小値	最大値	単位
VPP_CORE	コア eFuse ドメインの電源電圧範囲	-0.3	1.89	V
VPP_MCU	MCU eFuse ドメインの電源電圧範囲	-0.3	1.89	V
USB0_VBUS(9)	USB VBUS コンパレータ入力の電圧範囲	-0.3	3.6	V
すべてのフェイルセーフ IO ピンの定常状態の最大電圧	I2C0_SCL、I2C0_SDA、WKUP_I2C0_SCL、WKUP_I2C0_SDA、MCU_I2C0_SCL、MCU_I2C0_SDA、EXTINTn	-0.3	3.8	V
	MCU_PORz、PORz	-0.3	3.8	V
	VMON2_IR_VCPU	-0.3	1.05	V
	VMON3_IR_VEXT1P8、VMON4_IR_VEXT1P8、VMON1_ER_VSYS(8)	-0.3	2.2	V
	VMON5_IR_VEXT3P3	-0.3	3.8	V
他のすべての IO ピンの定常状態の最大電圧(3)	その他のすべての IO ピン	-0.3	IO 電源電圧 + 0.3	V
IO ピンの過渡オーバーシュートおよびアンダーシュートの仕様	信号周期の最大 20% にわたって IO 電源電圧の 20% (図 6-1、「IO 過渡電圧範囲」を参照)		0.2 × VDD(6)	V
ラッチアップ性能、Class II (125°C)(4)	I 試験	-100	100	mA
	過電圧 (OV) 試験	該当なし	1.5 × VDD(7)	V
T_{STG} (5)	保存温度	-55	+150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても セクション 6.3「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

(2) すべての電圧値は、特に記述のない限り、関連付けられた VSS または VSSA_x を基準とします。

(3) このパラメータはフェイルセーフでないすべての IO ピンに適用され、IO 電源電圧のすべての値に要件が適用されます。たとえば、特定の IO 電源に印加される電圧が 0V の場合、その電源から供給される IO の有効な入力電圧範囲は -0.3V～+0.3V になります。ペリフェラル デバイスに電力を供給する電源がそれぞれの IO 電源に電力を供給する電源と同じでない場合は、特別な注意が必要です。接続されているペリフェラルにおいて、電源のランプアップやランプダウンのシーケンスなど、有効な入力電圧範囲外の電圧を供給しないことが重要になります。

(4) 電流パルス注入:
JEDEC JESD78E (Class II) に従ってピンにストレスを加え、規定の I/O ピン注入電流と最大推奨 I/O 電圧の +1.5 倍および -0.5 倍のクランプ電圧で合格しました。
過電圧性能:
JEDEC JESD78E (Class II) に従って電源にストレスを加え、規定の電圧注入に合格しました。

(5) テープ アンド リールの保存温度範囲は [–10°C; +50°C]、最大相対湿度は 70% です。使用前に室温に戻すことをお勧めします。

(6) VDD は、IO の対応する電源ピンの電圧です。

(7) V_{SYS} レベルが最小許容スレッショルドに達したときに V_{TH} = 0.45 でトリガされる VMON 入力値を生成するには、外付けの分圧抵抗が必要です。電流を制限するため、10kΩ 以上の直列抵抗 R2 (VMON_ER_VSYS = V_{SYS} × R1 / (R1 + R2)) を使用することを推奨します。

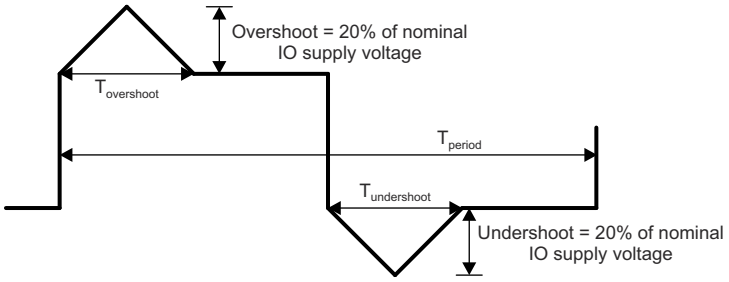
(8) VMON1_ER_VSYS ピンにより、システム電源を監視することができます。詳細については、セクション 8.3.4「システム電源監視設計ガイドライン」を参照してください。

(9) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、セクション 8.3.3「USB VBUS の設計ガイドライン」を参照してください。

(10) 単一の 1.1V ソースで、VDDS_DDR、VDDS_DDR_BIAS、VDDS_DDR_C 電源の 3 つをすべて駆動する必要があります。

Copyright © 2026 Texas Instruments Incorporated

フェイルセーフ IO 端子は、それぞれの IO 電源電圧に依存しないように設計されています。これにより、該当する IO 電源がオフのときに、これらの IO 端子に外部電圧源を接続できます。I2C0_SCL、I2C0_SDA、WKUP_I2C0_SCL、WKUP_I2C0_SDA、MCU_I2C0_SCL、MCU_I2C0_SDA、EXTINTn、MCU_PORz、PORz、VMON1_ER_VSYS、VMON2_IR_VCPU、VMON3_IR_VEXT1P8、VMON4_IR_VEXT1P8、VMON5_ER_VEXT3P3 のみがフェイルセーフ IO 端子です。それ以外の IO 端子はいずれもフェイルセーフではなく、それらに印加される電圧は、セクション 6.1 の「すべての IO ピンの定常状態の最大電圧」パラメータで定義されている値に制限する必要があります。



A. $T_{overshoot} + T_{undershoot} < T_{period}$ の 20%

図 6-1. IO 過渡電圧範囲

6.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 (1)		±1000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±250	
			コーナー ピン (A1、AJ29)	±750	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

電源名	説明	最小値(1)	公称値	最大値 (1)	単位
VDD_CORE(3)	MAIN ドメイン コア電源のブート / アクティブ電圧	0.76(1)	0.8	0.84(1)	V
VDD_MCU	MCUSS コア電源のブート / アクティブ電圧	0.76(1)	0.8	0.89(1)	V
VDD_CPU	コールド パワーアップ イベント時に印加される CPU コア電源のブート電圧	0.76(1)	0.8	0.84(1)	V
	ソフトウェアで AVS モードを有効にした後の CPU コア電源のアクティブ電圧	AVS(5)–5%(1)	AVS(5)	AVS(5)+5% (1)	V
VDD_CPU の AVS 範囲	VDD_CPU 電圧の Efuse 有効電圧範囲	0.6		0.9	V
VDD_MCU_WAKE1	MCU WAKE 機能のコア電源	0.76	0.8	0.89	V
VDD_WAKE0	すべての「CANUART」IO を含むメインドメインの WAKE 機能のコア電源。	0.76	0.8	0.89	V
VDDA_0P8_DLL_MMC0	MMC PLL アナログ電源	0.76	0.8	0.84	V
VDDAR_CORE	メイン ドメイン RAM 電源	0.81	0.85	0.89	V
VDDAR_MCU	MCUSS RAM 電源	0.81	0.85	0.89	V
VDDAR_CPU	CPU RAM 電源	0.81	0.85	0.89	V
VDDA_0P8_SERDES0(3)	SERDES0 アナログ電源 LOW	0.76	0.8	0.84	V
VDDA_0P8_SERDES0_C(3)	SERDES0-1 クロック電源	0.76	0.8	0.84	V
VDDA_0P8_USB(3)	USB 0.8V アナログ電源	0.76	0.8	0.84	V

Copyright © 2026 Texas Instruments Incorporated

6.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

電源名	説明		最小値(1)	公称値	最大値 (1)	単位
VDDA_1P8_USB	USB 1.8V アナログ電源		1.71	1.8	1.89	V
VDDA_1P8_SERDES0	SERDES0 アナログ電源 HIGH		1.71	1.8	1.89	V
VDDA_3P3_USB	USB 3.3V アナログ電源		3.14	3.3	3.46	V
VDDA_MCU_PLLGRP0	マイコン PLL グループ 0 のアナログ電源		1.71	1.8	1.89	V
VDDA_PLLGRP0	メイン PLL グループ 0 のアナログ電源		1.71	1.8	1.89	V
VDDA_PLLGRP4	メイン PLL グループ 4 のアナログ電源		1.71	1.8	1.89	V
VDDA_PLLGRP6	メイン PLL グループ 6 のアナログ電源		1.71	1.8	1.89	V
VDDA_PLLGRP8	メイン PLL グループ 8 のアナログ電源		1.71	1.8	1.89	V
VDDA_WKUP	WKUP ドメインの発振器電源		1.71	1.8	1.89	V
VDDA_ADC_MCU	ADC アナログ電源		1.71	1.8	1.89	V
VDDA_0P8_PLL_DDR	DDR PLL アナログ電源		0.76	0.8	0.84	V
VDDA_MCU_TEMP	MCU ドメインの温度センサ 0 のアナログ電源		1.71	1.8	1.89	V
VDDA_POR_WKUP	WKUP ドメイン アナログ電源		1.71	1.8	1.89	V
VDDA_TEMP0	温度センサ 0 のアナログ電源		1.71	1.8	1.89	V
VDDA_TEMP1	温度センサ 1 のアナログ電源		1.71	1.8	1.89	V
VDDS_DDR(2)	DDR インターフェイス電源		1.05	1.1	1.15	V
VDDS_DDR_BIAS(2)	LPDDR4 のバイアス電源		1.05	1.1	1.15	V
VDDS_DDR_C(2)	DDR メモリ クロック ビット (MCB) マクロの IO 電源		1.05	1.1	1.15	V
VDDS_MMC0	MMC0 IO 電源		1.71	1.8	1.89	V
VDDA_OSC1	HFOSC1 電源		1.71	1.8	1.89	V
VDDA_*	すべての VDDA 入力のピーク ツー ピーク ノイズ				25	mV
VDDSHV0	メイン ドメイン全般の IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.14	3.3	3.46	V
VDDSHV0_MCU	IO 電源の MCUSS 汎用 IO グループ、MCU およびメイン ドメインのウォーム リセット ピン	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.14	3.3	3.46	V
VDDSHV1_MCU	MCUSS IO グループ 1 の IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.14	3.3	3.46	V
VDDSHV2	メイン ドメイン IO グループ 2 の IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.14	3.3	3.46	V
VDDSHV2_MCU	MCUSS IO グループ 2 の IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.14	3.3	3.46	V
VDDSHV5	メイン ドメイン IO グループ 5 の IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.14	3.3	3.46	V
USB0_VBUS	USB VBUS コンパレータ入力の電圧範囲		0	(6) を参照	3.46	V
USB0_ID	USB ID 入力の電圧範囲			(4) を参照		V
VSS	グランド			0		V
T_J	動作ジャンクション温度範囲	車載	-40		125	°C
		拡張	-40		105	°C
		商用	0		90	°C

(1) すべての VDD* 電源入力について、デバイス ボールの電圧は、わずかな時間であっても、最小電圧を下回ったり、最大電圧を上回ったりしてはいけません。この要件には、AC リップル、電圧過渡、電圧ディップなどの動的な電圧イベントが含まれます。これはすべての電源入力に対して必

Copyright © 2026 Texas Instruments Incorporated

要ですが、他のレールに比べて過渡電流要求が大きい VDD_CORE、VDD_MCU、VDD_CPU ドメインについては特に注意する必要があります。

(2) 1 つの 1.1V ソースで、3 つの VDDS_DDR、VDDS_DDR_BIAS、VDDS_DDR_C 電源をすべて駆動する必要があります。これらの電源は、DDR インターフェイスを使用しない場合でも、LPDDR4 電圧範囲で電力を供給する必要があります。

(3) 1 つの 0.8V ソースで、VDD_CORE および VDDA_0P8_PHY 入力電源を駆動する必要があります。また、システムで使用されるインターフェイス用の個別の VDDA_0P8_PHY 入力電源にアナログフィルタ部品を含めます。

(4) この端子はそれぞれの USB PHY のアナログ回路に接続されています。この回路は、既知の電流を供給して電圧を測定することにより、端子が 10Ω 未満の抵抗または 100 kΩ を超える抵抗を経由して VSS に接続されているかどうかを判定します。この端子は、USB ホスト動作の場合はグランドに接続し、USB ペリフェラル動作の場合は開路とする必要があります。また、外部電圧源には絶対に接続しないでください。

(5) AVS 電圧は、デバイス依存、電圧ドメイン依存、OPP 依存です。この電圧は、VTM_DEVINFO_VDn から読み取る必要があります。VTM_DEVINFO_VDn レジスタのアドレスの詳細情報については、デバイスのテクニカル リファレンス マニュアルの「電圧およびサーマル マネージャー」セクションを参照してください。電源は、VDD_CPU の AVS 範囲の項目に示される範囲にわたって調整可能である必要があります。

(6) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、セクション 8.3.3、「USB VBUS の設計ガイドライン」を参照してください

6.4 電源投入時間 (POH)

IP1 2 3	電圧ドメイン	電圧 (V) (最大)	周波数 (MHz) (最大)	Tj (℃)	POH
すべて	100%	すべて	すべての対応 OPP	車載用 -40°C ～ 125℃	20000
すべて	100%	すべて	すべての対応 OPP	拡張 -40℃～105℃	100000
すべて	100%	すべて	すべての対応 OPP	商業用 0℃～90℃	100000

1. この情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。
2. 上記の表に記述されていない限り、すべての電圧ドメインと動作条件は、記載された温度において本デバイスでサポートされています。
3. POH は、電圧、温度、時間の関数です。より高い電圧および温度で使用すると POH が低減します。
4. 車載プロファイルは、以下のように接合部温度に応じて 20000 時間の電源オン時間として定義されます。5%@-40°C、65%@70°C、20%@110°C、10%@125°C。

Copyright © 2026 Texas Instruments Incorporated

6.5 動作性能ポイント

このセクションでは、表 6-1 のデバイスの最大動作条件について説明します。また、表 6-2 のプロセッサ クロックとデバイス コア クロックの各動作性能ポイント (OPP) についても説明します。

表 6-1. 速度グレードの最大周波数

デバイス	最大周波数 (MHz)					
	A72SS0	R5FSS0	MCU_R5FSS0	CBASS0	DMSC	LPDDR4 (1)
DRA821xT	2000	1000	1000	500	333	1600 (DDR-3200)
DRA821xL	1500	1000	1000	500	333	1600 (DDR-3200)
DRA821xE	1000	1000	1000	500	333	1600 (DDR-3200)
DRA821xC	750	500	1000	500	333	1600 (DDR-3200)

(1) 最大 DDR 周波数は、システムで使用されている特定のメモリ タイプ (ベンダ) と PCB 実装に基づいて制限されます。テキサス・インスツルメンツは、仕様のクロック周波数を完全に達成するために、同社の LPDDR4 EVM の PCB レイアウト (配線、間隔、ビア / バックドリル、PCB 材料など) をすべて正確に遵守することを強く推奨します。詳細については、「Jacinto 7 DDR ボードの設計およびレイアウトのガイドライン」を参照してください。

表 6-2. サポートされる OPP と最大周波数との関係

(1) (2)を参照

クロック	最大周波数 (MHz)	
	OPP_LOW(4)	OPP_NOM(3)
MPU_CLK (A72SS0)	1000	2000
MSMC_CLK	500	1000
DDRn_CLKP/DDRn_CKN	1066 (2133MT/s) または 1333 (2666MT/s)(5)	1600 (3200MT/s)

(1) OPP および VDD_CPU の電圧は、ブート時に選択 / 設定する必要があります。DVFS はサポートしていません。
(2) この表に示す低周波数制約と、「速度グレードの最大周波数」に基づいて周波数を制限する必要があります。たとえば、T 速度グレードは、2GHz/1GHz または 1GHz/500MHz で A72SS/MSMC を動作させることができます。2GHz/1GHz 動作の A72SS/MSMC では、OPP_NOM を使用する必要があります。1GHz/500MHz 動作の A72SS/MSMC では、OPP_NOM または OPP_LOW 電圧を使用できます。同様に、E 速度グレードは最大 1GHz/500MHz で A72SS/MSMC を動作させることができます。この場合、OPP_NOM または OPP_LOW 電圧が許容されます (ただし、消費電力を低減するために OPP_LOW 電圧が推奨されます)。
(3) VDD_CPU の OPP_NOM AVS 電圧は、OPP_1 レジスタ設定に基づいて設定する必要があります。
(4) OPP_0 が 0 と等しくない場合、VDD_CPU の OPP_LOW AVS 電圧は、OPP_0 レジスタ設定に基づいて設定する必要があります。OPP_0 が 0 の場合は、OPP_1 レジスタ設定を使用する必要があります。
(5) DDR は、OPP_LOW で最大 2666MT/s に構成できます。MPU_CLK のスケーリングにより適合し、2666MT/s よりも電力を節約できるため、OPP_LOW では 2132MT/s を推奨します。

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性

注

セクション 6.6.10～セクション 6.6.10 で説明されているインターフェイスまたは信号は、多重化モード 0 (プライマリ機能) で使用可能なインターフェイスまたは信号に対応しています。

これらの表に記載されているボール上で多重化されたすべてのインターフェイスまたは信号は、多重化に PHY と GPIO の組み合わせが含まれている場合を除き、DC 電気的特性はすべて同じです。PHY と GPIO の組み合わせが含まれている場合、異なる多重化モード (機能) に異なる DC 電気的特性が規定されます。

6.6.1 I2C オープン ドレイン フェイルセーフ (I2C OD FS) の電気的特性

推奨動作条件範囲内 (特に記述のない限り) (1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
モード 0 のボール名 : WKUP_I2C0_SDA、WKUP_I2C0_SCL、MCU_I2C0_SDA、MCU_I2C0_SCL、I2C0_SDA、I2C0_SCL、EXTINTN						
ボール番号 : H21 / F20 / G20 / G21 / W2 / V3 / U6						
1.8V モード						
V_{IL}	入力 Low 電圧				0.3 × VDDSHV (1)	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.3 × VDDSHV (1)	V
V_{IH}	入力 High 電圧		0.7 × VDDSHV (1)			V
V_{IHSS}	入力 High 電圧 (定常状態)		0.7 × VDDSHV (1)			V
V_{HYS}	入力ヒステリシス電圧		0.1 × VDDSHV (1)			mV
I_{IN}	入力リーク電流。	V_I = 1.8V または 0V			±10	µA
V_{OL}	出力 LOW 電圧				0.2 × VDDSHV (1)	V
I_{OL}	LOW レベル出力電流	$V_{OL(MAX)}$	10			mA
3.3V モード (2)						
V_{IL}	入力 Low 電圧				0.3 × VDDSHV (1)	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.25 × VDDSHV (1)	V
V_{IH}	入力 High 電圧		0.7 × VDDSHV (1)			V
V_{IHSS}	入力 High 電圧 (定常状態)		0.7 × VDDSHV (1)			V
V_{HYS}	入力ヒステリシス電圧		0.05 × VDDSHV (1)			mV
I_{IN}	入力リーク電流。	V_I = 3.3V または 0V			±10	µA
V_{OL}	出力 LOW 電圧				0.4	V
I_{OL}	LOW レベル出力電流	$V_{OL(MAX)}$	10			mA

(1) VDDSHV は、対応する電源を表します。電源名と対応するボールの詳細については、表 5-1、「電源」の列を参照してください。
(2) IO を 3.3V モードで動作させる場合、I2C HS モードはサポートされません。

6.6.2 フェイルセーフ リセット (FS Reset) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
モード 0 のボール名 : MCU_PORz、PORz						
ボール番号: G19 / H20						
V_{IL}	入力 Low レベル スレッショルド				0.3 × VDDSHV(1)	V
V_{ILSS}	入力 Low レベル スレッショルドの定常状態				0.3 × VDDSHV(1)	V
V_{IH}	入力 High レベル スレッショルド		0.7 × VDDSHV(1)			V
V_{IHSS}	入力 High レベル スレッショルドの定常状態		0.7 × VDDSHV(1)			V
V_{HYS}	入力ヒステリシス電圧		200			mV
I_{IN}	入力リーク電流	V_I = 1.8V または 0V			±10	µA

(1) VDDSHV は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」の「電源」の列を参照してください。

6.6.3 HFOSC の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
高周波数発振器						
ボール名 : OSC1_XI、WKUP_OSC0_XI						
ボール番号: K19/K21						
V_{IH}	High レベル入力電圧		0.65 × VDDSHV (1)			V
V_{IL}	Low レベル入力電圧				0.35 × VDDSHV (1)	V
V_{HYS}	入力ヒステリシス電圧			49		mV

(1) VDDSHV は、対応する電源を表します。電源名と対応するボールの詳細については、表 5-1、「電源」の列を参照してください。

6.6.4 eMMCPHY の電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
モード 0 のボール名 : MMC0_DAT[7:0]、MMC0_CALPAD、MMC0_CMD、MMC0_DS、MMC0_CLK						
ボール番号: R16 / P17 / R18 / R20 / R19 / P16 / R21 / T21 / P20 / R17 / P19 / P18						
V_{IL}	入力 Low 電圧				0.35 × VDDSHV(1)	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.20	V
V_{IH}	入力 High 電圧		0.65 × VDDSHV(1)			V
V_{IHSS}	入力 High 電圧 (定常状態)		1.4			V
I_{IN}	入力リーク電流。	V_I = 1.8V または 0V			±10	µA
I_{OZ}	トライステート出力リーク電流。	V_O = 1.8 V または 0 V			±10	µA
R_{PU}	プルアップ抵抗		15	20	25	kΩ
R_{PD}	プルダウン抵抗		15	20	25	kΩ
V_{OL}	出力 LOW 電圧				0.30	V

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OH}	出力 HIGH 電圧		VDDSHV(1)-0.30			V
I_{OL}	LOW レベル出力電流	$V_{OL(MAX)}$	2			mA
I_{OH}	High レベル出力電流	$V_{OH(MIN)}$	2			mA
SR_I	入力スルーレート		5E+8			V/s

(1) VDDSHV は、対応する電源を表します。電源名と対応するボールの詳細については、表 5-1、「電源」の列を参照してください。

6.6.5 SDIO の電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
モード 0 のボール名 : MMC1_CLK、MMC1_CMD、MMC1_DAT[3:0]						
ボール番号 : P21/M20/M19/N21/N20/N19						
1.8V モード						
V_{IL}	入力 Low 電圧				0.58	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.58	V
V_{IH}	入力 High 電圧		1.27			V
V_{IHSS}	入力 High 電圧 (定常状態)		1.7			V
V_{HYS}	入力ヒステリシス電圧		150			mV
I_{IN}	入力リーク電流。	V_I = 1.8V または 0V			±10	µA
R_{PU}	プルアップ抵抗		40	50	60	kΩ
R_{PD}	プルダウン抵抗		40	50	60	kΩ
V_{OL}	出力 LOW 電圧				0.45	V
V_{OH}	出力 HIGH 電圧		VDDSHV(1) - 0.45			V
I_{OL}	LOW レベル出力電流	$V_{OL(MAX)}$	4			mA
I_{OH}	High レベル出力電流	$V_{OH(MIN)}$	4			mA
3.3V モード						
V_{IL}	入力 Low 電圧				0.25 × VDDSHV(1)	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.15 × VDDSHV(1)	V
V_{IH}	入力 High 電圧		0.625 × VDDSHV(1)			V
V_{IHSS}	入力 High 電圧 (定常状態)		0.625 × VDDSHV(1)			V
V_{HYS}	入力ヒステリシス電圧		150			mV
I_{IN}	入力リーク電流。	V_I = 1.8V または 0V			±10	µA
R_{PU}	プルアップ抵抗		40	50	60	kΩ
R_{PD}	プルダウン抵抗		40	50	60	kΩ
V_{OL}	出力 LOW 電圧				0.125 × VDDSHV(1)	V
V_{OH}	出力 HIGH 電圧		0.75 × VDDSHV(1)			V
I_{OL}	LOW レベル出力電流	$V_{OL(MAX)}$	6			mA

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{OH}	High レベル出力電流	$V_{OH(MIN)}$	10			mA

(1) VDDSHV は、対応する電源を表します。電源名と対応するボールの詳細については、表 5-1、「電源」の列を参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.6.6 ADC12BT の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
モード 0 のボール名 : MCU_ADC0_AIN[7:0]						
ボール番号: J18/H17/K18/J17/M17/K17/L18/L17						
$V_{MCU_ADC0_AIN[7:0]}$	フルスケール入力レンジ		VSS		VDDA (2)	V
DNL	微分非直線性		-1	0.5	4	LSB
INL	積分非直線性			±1	±4	LSB
$LSB_{GAIN-ERROR}$	ゲイン誤差			±2		LSB
$LSB_{OFFSET-ERROR}$	オフセット誤差			±2		LSB
C_{IN}	入力サンプリング容量			5.5		pF
SNR	信号対雑音比	入力信号:200kHz 正弦波、-0.5dB フルスケール		70		dB
THD	全高調波歪み	入力信号:200kHz 正弦波、-0.5dB フルスケール		75		dB
SFDR	スプリアス フリー ダイナミック レンジ	入力信号:200kHz 正弦波、-0.5dB フルスケール		80		dB
$SNR_{(PLUS)}$	信号対雑音比 + 歪み	入力信号:200kHz 正弦波、-0.5dB フルスケール		69		dB
$R_{MCU_ADC0_AIN[0:7]}$	MCU_ADC0_AIN[7:0] の入力インピーダンス	f = 入力周波数		$[1/((65.97 \times 10^{-12}) \times f_{SMPL_CLK})]$		Ω
I_{IN}	入力リーケージ	MCU_ADC0_AIN[7:0] = VSS			5	µA
		MCU_ADC0_AIN[7:0] = VDDA_ADC_MCU			10	µA
サンプリング動特性						
F_{SMPL_CLK}	SMPL_CLK 周波数			60		MHz
t_C	変換時間			13		ADC0 SMPL_CLK サイクル
t_{ACQ}	アクイジション時間		2		257	ADC0 SMPL_CLK サイクル
T_R	サンプリング レート	ADC0 SMPL_CLK = 60MHz			4	MSPS
CCISO	チャネル間絶縁			100		dB
汎用入出力モード (1)						
V_{IL}	入力 Low 電圧				0.35 × VDDA (2)	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.35 × VDDA (2)	V

Copyright © 2026 Texas Instruments Incorporated

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IH}	入力 High 電圧		0.65 × VDDA (2)			V
V_{IHSS}	入力 High 電圧 (定常状態)		0.65 × VDDA (2)			V
V_{HYS}	入力ヒステリシス電圧		200			mV
I_I	入力リーク電流	V_I = 1.8V または 0V			2	µA

(1) MCU_ADC0 は汎用入力モードで動作するように構成できます。この場合、すべての MCU_ADC0_AIN[7:0] 入力は、デジタル入力として動作するように、ADC0_CTRL レジスタ (gpi_mode_en = 1) によってグローバルに有効化されます。
(2) VDDA は、対応する電源を表します。電源名と対応するボールの詳細については、表 5-1 の「電源」の欄を参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.6.7 LVCMOS の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ボール名: その他すべての IO						
ボール番号: その他すべての IO						
1.8V モード						
V_{IL}	入力 Low 電圧				0.35 × VDD(1)	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.3 × VDD(1)	V
V_{IH}	入力 High 電圧		0.65 × VDD(1)			V
V_{IHSS}	入力 High 電圧 (定常状態)		0.85 × VDD(1)			V
V_{HYS}	入力ヒステリシス電圧		150			mV
I_{IN}	入力リーク電流。	V_I = 1.8V または 0V			±10	µA
R_{PU}	プルアップ抵抗		15	22	30	kΩ
R_{PD}	プルダウン抵抗		15	22	30	kΩ
V_{OL}	出力 LOW 電圧				0.45	V
V_{OH}	出力 HIGH 電圧		VDD(1) - 0.45			V
I_{OL}	LOW レベル出力電流	$V_{OL(MAX)}$	3			mA
I_{OH}	High レベル出力電流	$V_{OH(MIN)}$	3			mA
3.3V モード						
V_{IL}	入力 Low 電圧				0.8	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.6	V
V_{IH}	入力 High 電圧		2.0			V
V_{IHSS}	入力 High 電圧 (定常状態)		2.0			V
V_{HYS}	入力ヒステリシス電圧		150			mV
I_{IN}	入力リーク電流。	V_I = 3.3V または 0V			±10	µA
R_{PD}	プルダウン抵抗		15	22	30	kΩ
V_{OL}	出力 LOW 電圧				0.4	V
V_{OH}	出力 HIGH 電圧		2.4			V
I_{OL}	LOW レベル出力電流	$V_{OL(MAX)}$	5			mA
I_{OH}	High レベル出力電流	$V_{OH(MIN)}$	6			mA

(1) VDDSHV は、対応する電源を表します。電源名と対応するボールの詳細については、表 5-1、「電源」の列を参照してください。

6.6.8 USB2PHY の電気的特性

注

USB0 の電気的特性は、2000 年 4 月 27 日付けの Universal Serial Bus Revision 2.0 仕様 (該当する ECN およびエラッタを含む) に準拠しています。

6.6.9 SERDES の電気的特性

注

PCIe インターフェイスは、『PCI Express® 基本仕様リビジョン 4.0』(2017 年 9 月 27 日) に規定された電気的パラメータに準拠しています。

このデバイスでは、表 6-3、「SERDES REFCLK の電気的特性」のパラメータ V_{REFCLK_TERM} に記載されているように、内部終端がイネーブルされた入力モードで使用する場合、SERDES REFCLK に追加の制限が課されます。 内部終端は、デフォルトでイネーブルになっており、V_{REFCLK_TERM} で定義された制限を超えるリファレンスクロック信号を印加する前にディセーブルする必要があります。外部終端は、ソース側で常にイネーブルにする必要があります。

表 6-3. SERDES REFCLK の電気的特性

内部終端がイネーブルの場合にのみ適用されます。推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
モード 0 のボール名:SERDES0_REFCLK_P、SERDES0_REFCLK_N					
ボール番号:AA9/AA8					
V_{REFCLK_TERM}	内部終端がイネーブルのときの基準クロック ピンのシングルエンド電圧スレッショルド			400	mV
R_{TERM}	内部終端	40	50	62.5	Ω

注

SerDes USB インターフェイスは、『ユニバーサル シリアル バス 3.1 仕様リビジョン 1.0』(2013 年 7 月 26 日) で定義された USB3.1 SuperSpeed トランスミッタおよびレシーバの標準電気的パラメータに準拠しています。

注

SGMII インターフェイスの電気的特性は、IEEE802.3 Clause 70 の 1000BASE-KX に準拠しています。

注

SGMII 2.5G/XAUI インターフェイスの電気的特性は、IEEE802.3 Clause 47 に準拠しています。

注

QSGMII インターフェイスの電気的特性は、QSGMII 仕様リビジョン 1.2 に準拠しています。

注

USXGMII は、72-7 項と附属書 69B の IEEE 802.3 TX および RX の電気的特性をサポートしています。10GBASE-KR オートネゴシエーション (73 項) およびリンクトレーニング (72 項) はサポートしていません。

IEEE 802.3 の表 72-7 および 72-8 は USXGMII の要件ではないトレーニング (72-6 項) に関連しているため、USXGMII では必要ありません。

pre、main、および post カーソルは、BER スイープを使用して設定する必要があります。

Copyright © 2026 Texas Instruments Incorporated

注

XFI インターフェイスの電気的特性は、INF-8077_XFP_XFI_10Gbps_1X 仕様のリビジョン 4.5 (2005 年 8 月 31 日) に準拠しています。

6.6.10 DDR の電気的特性

注

DDR インターフェイスは、JEDEC JESD209-4B 規格に準拠した LPDDR4 SDRAM デバイスと互換性があります。

6.7 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様

このセクションは、OTP eFuse のプログラミングに必要な動作条件を規定しており、高セキュリティ デバイスにのみ適用できます。

6.7.1 OTP eFuse プログラミングの推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	説明	最小値	公称値	最大値	単位
VDD_CORE	OTP 動作時のコア ドメイン電源電圧範囲	セクション 6.3 を参照			V
VDD_MCU	OTP 動作時のコア ドメイン電源電圧範囲	セクション 6.3 を参照			V
VPP_CORE	通常動作時の eFuse ROM ドメインの電源電圧範囲	該当なし			
	OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲 (1)	1.71	1.8	1.89	V
VPP_MCU	通常動作時の eFuse ROM ドメインの電源電圧範囲	該当なし			
	OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲 (1)	1.71	1.8	1.89	V
$SR_{(VPP)}$	VPP スルーレート			6E + 4	V/s

(1) 電源電圧範囲には、DC 誤差およびピーク ツー ピーク ノイズが含まれます。TLV707x ファミリの TI パワー マネージメント ソリューション TLV70718 は、VPP_CORE と VPP_MCU が必要とする電源電圧範囲に適合するデバイスの例です。

6.7.2 ハードウェア要件

OTP eFuse にキーをプログラムする場合、以下のハードウェア要件を満たす必要があります。

- OTP レジスタをプログラムしないときは、VPP_CORE および VPP_MCU 電源をディセーブルにする必要があります。
- VPP_CORE および VPP_MCU 電源は、適切なデバイス電源オン シーケンスの後にランプアップする必要があります (詳細については、セクション 6.10.2 を参照してください)。

6.7.3 プログラミング シーケンス

OTP eFuse のプログラミング シーケンス:

- パワーアップ シーケンシングに従ってボードに電源を投入します。パワーアップ時および通常動作中は、VPP_CORE および VPP_MCU 端子に電圧を印加しないでください。
- eFuse のプログラミングに必要な OTP 書き込みソフトウェアをロードします (OTP ソフトウェア パッケージについては、お近くの TI 代理店にお問い合わせください)。
- セクション 6.7.1 に示す仕様に従って、VPP_CORE および VPP_MCU 端子に電圧を印加します 。
- OTP レジスタをプログラムするソフトウェアを実行します。
- OTP レジスタの内容を検証した後、VPP_CORE 端子と VPP_MCU 端子から電圧を取り除きます。

Copyright © 2026 Texas Instruments Incorporated

6.7.4 ハードウェア保証への影響

お客様は、eFuse を使用すると テキサス・インスツルメンツのデバイスに対して永続的な変更が加えられることを、自己の責任において認識し、受け入れるものとします。お客様は、不適切な動作条件またはプログラミング シーケンスが原因で eFuse が故障する可能性があることを承諾するものとします。このような障害が発生すると、テキサス・インスツルメンツのデバイスが動作不能になることがあります。また、テキサス・インスツルメンツは eFuse の使用を試行する前に、テキサス・インスツルメンツのデバイスがテキサス・インスツルメンツのデバイスの仕様に準拠していることを確認できません。このため、お客様によって eFuse が誤って実行された TI のデバイスについて、TI は一切の責任 (*保証またはその他の責任*) を負いません。

6.8 熱抵抗特性

このセクションでは、このデバイスで使用される熱抵抗特性について説明します。

信頼性と動作性の懸念から、デバイスの最大接合部温度は、セクション 6.3「推奨動作条件」に示されている T_J 値以下にする必要があります。

6.8.1 熱抵抗特性

システム レベルの熱シミュレーションは、ワーストケースのデバイス消費電力を考慮して実行することを推奨します。

番号	パラメータ	説明	ALM パッケージ	
			℃/W (1) (3)	空気流 (m/s) (2)
T1	$R\Theta_{JC}$	接合部とケースとの間	0.54	該当なし
T2	$R\Theta_{JB}$	接合部と基板との間	2.9	該当なし
T3	$R\Theta_{JA}$	接合部と自由空気との間	12.8	0
T4		接合部と空気流との間	9.1	1
T5			8.1	2
T6			7.5	3
T7	Ψ_{JT}	接合部とパッケージ上面との間	0.5	0
T8			0.3	1
T9			0.3	2
T10			0.3	3
T11	Ψ_{JB}	接合部と基板との間	2.8	0
T12			2.8	1
T13			2.7	2
T14			2.7	3

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ JC [RΘJC] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。
- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-6、『IC の熱テスト手法の環境条件 - 自然対流 (空気流)』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

(2) m/s = メートル/秒。
(3) °C/W = 摂氏温度 / ワット。

Copyright © 2026 Texas Instruments Incorporated

6.9 温度センサの特性

このセクションでは、ダイ温度センサの特性に関する電圧および温度モジュール (VTM) について概要を説明します。

信頼性と動作性の懸念から、デバイスの最大接合部温度は、「推奨動作条件」に示されている T_J 値以下にする必要があります。

表 6-4. VTM ダイ温度センサの特性

パラメータ		テスト条件	最小値	標準値	最大値	単位
T_{acc}	VTM 温度センサ精度	-40～110 ℃	-5		5	℃
		110～125 ℃	-2		2	℃

6.10 タイミングおよびスイッチング特性

注

このセクションに示すタイミングは、関連する PADCONFIG レジスタの DRV_STR (駆動強度) 制御がデフォルトの「0h – 公称値 (推奨)」に設定されているときに有効です。

6.10.1 タイミング パラメータおよび情報

セクション 6.10 に使用されているタイミング パラメータの記号は、JEDEC 規格 100 に従って作成されています。記号を短縮するために、ピン名およびその他の関連用語の一部を 表 6-5 に示すように短縮しました。

表 6-5. タイミング パラメータの添え字

記号	パラメータ
c	サイクル時間 (周期)
d	遅延時間
dis	ディセーブル時間
en	イネーブル時間
h	ホールド時間
su	セットアップ時間
START	スタート ビット
t	遷移時間
v	有効時間
w	パルス幅
X	未知の、変化している、ドント ケアのレベル
F	立ち下がり時間
H	High
L	Low
R	立ち上がり時間
V	有効
IV	無効
AE	アクティブ エッジ
FE	最初のエッジ
LE	最後のエッジ
Z	高インピーダンス

Copyright © 2026 Texas Instruments Incorporated

6.10.2 電源シーケンス

このセクションでは、デバイスが適切に動作するために必要な電源シーケンスについて説明します。このセクションで説明する電源名は、互換性デバイス ファミリのスーパーセットとなっています。このファミリの製品の一部には、これらの電源および関連するデバイス モジュールのサブセットは含まれません。

6.10.2.1 電源スルーレートの要件

内部 ESD 保護デバイスの安全な動作範囲を維持するため、電源の最大スルーレートを 100 mV/µs 未満に制限することを推奨します。たとえば、図 6-2 に示すように、1.8V 電源については、ランプ スルーが 18µs を超えるものを使用することを推奨します。

図 6-2 に、デバイスの電源スルー レートの要件を示します。

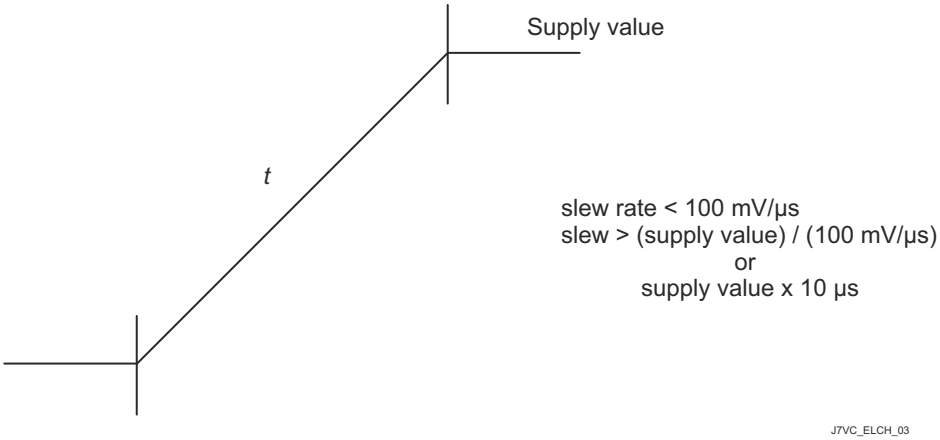
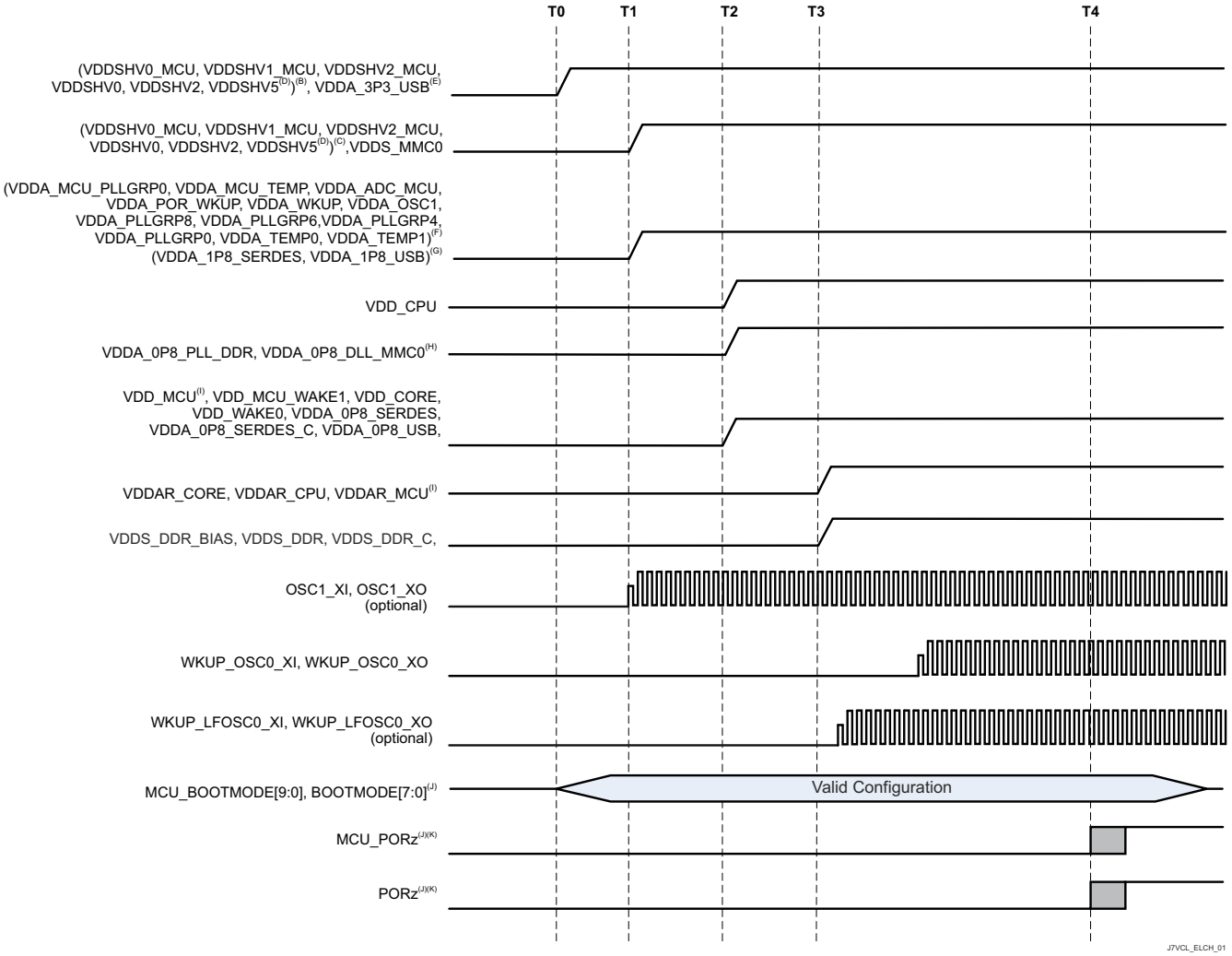


図 6-2. 電源のスルーおよびスルーレート

6.10.2.2 MCU およびメイン ドメインの結合パワーアップ シーケンシング

図 6-3 に、同様の MCU およびメイン電圧ドメインを共通の電源レールに結合したときの 1 次電源パワーアップ シーケンスを示します。MCU ドメインとメイン電圧ドメインの結合により、SoC の MCU とメイン プロセッサ サブシステムの動作は、共通の電源レールに依存するようになります。SoC の PDN 設計で、MCU ドメインとメイン電圧ドメインをグループ化する場合がある主な理由は、電源レールと電源の総数を減らし、PDN を簡素化することです。この簡素化された PDN は、MCU とメイン プロセッサ サブシステムを独立して動作させる必要のないシステムで使用されます。



A. 用語:

- プライマリ = すべての電圧ドメインをフル アクティブ状態に切り替えるための必須のパワーアップ起動シーケンス。
- $V_{OPR\ MIN}$ =「推奨動作条件」で規定された機能を保証する最小動作電圧レベル。
- ランプアップ = オフ状態から $V_{OPR\ MIN}$ への電圧供給移行時間
- Domain_"n" = 類似の電圧ドメインの複数のインスタンス (つまり、デュアル電圧 IO ドメイン、VDDSHVn = VDDSHV0、VDDSHV1、VDDSHV2…VDDSHV6)
- Domain_"xxx" = 同じ電圧電源タイプとレベルを使用する、異なる信号タイプ / プロトコル ドメイン (つまり、VDDA_1P8_xx = VDDA_1P8_DSITX、VDDA_1P8_USB、VDDA_0P8_DSITX、VDDA_0P8_USB など)

タイム スタンプ:

PDN 機能セット、部品選択、電源マッピングに依存する、おおよその経過時間を示すマーカー。ここに示す値は、MCU ドメインとメイン電圧ドメインを結合した PDN では典型的ですが、PDN 設計によって変わる可能性があります。

タイム スタンプの定義および (参照用の標準値):

T0 – すべての 3.3V 電源が、$V_{OPR\ MIN}$ までの電圧ランプアップを開始します。(0ms)

Copyright © 2026 Texas Instruments Incorporated

T1 – すべての 1.8V 電源が、$V_{OPR\ MIN}$ までの電圧ランプアップを開始します。(0.5ms)
T2 – すべてのコア電源が、$V_{OPR\ MIN}$ までの電圧ランプアップを開始します。(1.0ms)
T3 – すべての RAM アレイ電源が、$V_{OPR\ MIN}$ までの電圧ランプアップを開始します。(1.5ms)
T4 – OSC1 が安定し、PORz/MCU_PORz はデアサートされ、プロセッサがリセットから解放されます。(11ms)

B. 3.3V デジタル インターフェイスをサポートするために 3.3V が供給される、いずれかの MCU またはメイン デュアル電圧 IO ドメイン (VDDSHVn_MCU または VDDSHVn)。

C. 1.8V デジタル インターフェイスをサポートするために 1.8V が供給される、いずれかの MCU またはメイン デュアル電圧 IO ドメイン (VDDSHVn_MCU または VDDSHVn)。

D. VDDSHV5 は、SD メモリ カード用の MMC1 信号処理をサポートしています。規格準拠の高速 SD カード動作には、デュアル電圧 (3.3V/1.8V) の電源レールが必要です。SD カードが不要な場合や、3.3V 固定動作の標準データ レートが許容される場合は、このドメインをデジタル IO 3.3V 電源レールにグループ化できます。SD カードが固定 1.8V で動作できる場合は、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。

E. VDDA_3P3_USB は、USB 2.0 差動インターフェイス信号伝達に使用される 3.3V アナログ ドメインです。最良のシグナル インテグリティを実現して USB データ アイ マスクに準拠するために、低ノイズのアナログ電源を推奨します。USB インターフェイスが不要な場合や、データ ビット エラーが許容される場合は、直接または電源フィルタ経由で、このドメインを 3.3V デジタル IO 電源レールにグループ化できます。

F. VDDA_1P8_<clk/pll/ana> は、クロック発振器、PLL、およびアナログ回路をサポートする 1.8V アナログ ドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズがクロック、PLL、DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、デジタルの VDDSHVN_MCU と VDDSHVn IO ドメインを結合することは推奨しません。アナログ VDDA_1p8_<phy> ドメインの結合は避けるべきですが、グループ化する場合は、インライン フェライト ビーズで電源をフィルタリングする必要があります。

G. VDDA_1P8_<phy> は、複数のシリアル PHY インターフェイスをサポートする 1.8V アナログ ドメインです。最良のシグナル インテグリティ、インターフェイス性能、仕様準拠を実現するため、低ノイズのアナログ電源を推奨します。これらのインターフェイスのいずれかが不要であるか、またはデータ ビット エラーや非準拠動作が許容できる場合には、直接またはインライン電源フィルタ経由で、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。

H. VDDA_0P8_<dll/pll> は、PLL および DLL 回路をサポートする 0.8V アナログ ドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズが PLL および DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、これらのドメインを他の 0.8V ドメインと結合することは推奨しません。

I. VDD_MCU は、広い動作電圧範囲を持つデジタル電圧ドメインであり、VDDAR_MCU ドメインまたは VDD_CORE のいずれかとグループ化できます。「MCU およびメイン ドメインの結合パワーアップ シーケンス」では、VDD_MCU は VDD_CORE とグループ化できます。また、VDDAR_MCU は VDDAR_CPU および VDDAR_CORE とグループ化できます。VDD_MCU が VDD_CORE とグループ化されている場合、VDD_MCU は、T2 において 0.8V の VDD_CORE との共通電圧源からランプアップする必要があります。VDDAR_MCU が VDD_CORE とグループ化されていない場合、VDD_MCU は T2 よりも前にランプする必要があります。いずれの場合も、VDDAR 電源を T3 でランプする必要があります。

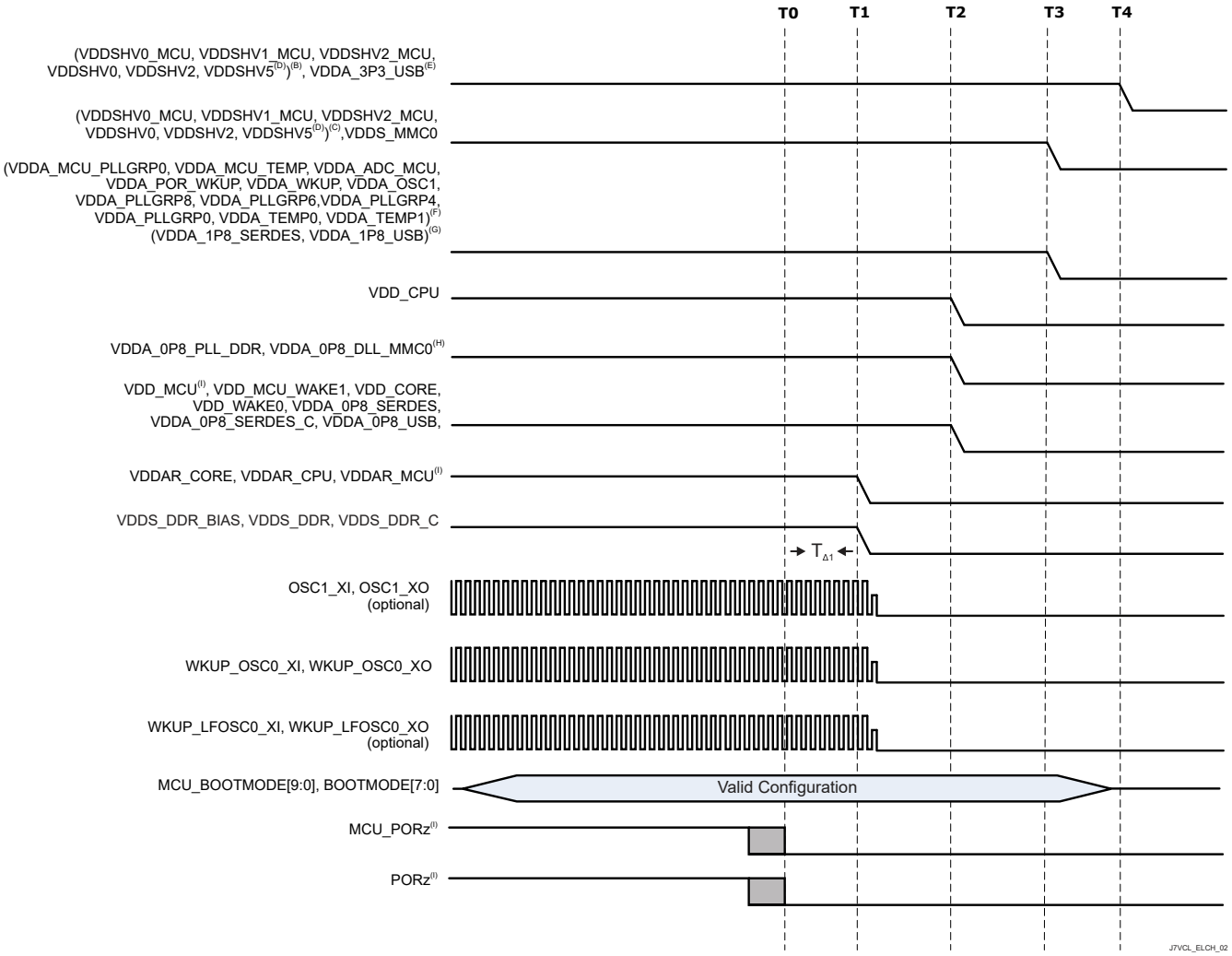
J. 最小セットアップおよびホールド時間は、パワーアップ シーケンス中に MCU_BOOTMODEn (MCU_VDDSHV0 基準) および BOOTMODEn (VDDSHV2 基準) 設定をレジスタにラッチするためのものであり、MCU_PORz および PORz が High へアサートするタイミングを基準として示されています。

K. 水晶発振器回路に電源が供給されたとき (T1 の VDDA_OSC1) から、安定したクロック周波数に達するまでの最小経過時間は、水晶発振器、コンデンサのパラメータ、および PCB 寄生値によって異なります。余裕を見た経過時間として、(T4 – T1) タイムスタンプで定義される 10ms を示します。お客様のクロック回路 (すなわち、水晶発振器またはクロック ジェネレータ) および PCB の設計によっては、この値を低減できる可能性があります。

図 6-3. MCU およびメイン ドメインの結合、1 次電源パワーアップ シーケンス

6.10.2.3 MCU とメイン ドメインの結合パワーダウン シーケンス - オプション 1

図 6-4 で、オプション 1 のデバイス パワーダウン シーケンスについて説明します。



A. 用語:

- プライマリ = オフ状態を完了するには、すべての電圧ドメインで必須の電源オフシーケンスが必要です。
- $V_{OPR\ MIN}$ =「推奨動作条件」に規定された機能を保証する最小動作電圧レベル。
- ランプダウン = $V_{OPR\ MIN}$ からオフ状態への電源電圧の遷移時間。
- Domain_"n" = 類似の電圧ドメインの複数のインスタンス (つまり、デュアル電圧 IO ドメイン、VDDSHVn = VDDSHV0、VDDSHV1、VDDSHV2…VDDSHV6)
- Domain_"xxx" = 同じ電圧電源タイプとレベルを使用する、異なる信号タイプ / プロトコル ドメイン (つまり、VDDA_1P8_xx = VDDA_1P8_DSITX、VDDA_1P8_USB、VDDA_0P8_DSITX、VDDA_0P8_USB など)

タイムスタンプ:

PDN 機能セットコンポーネント選択、電源マッピングに依存する、おおよその経過時間を示すマーカー。表示されている値は、マイコンとメイン電圧ドメインを組み合わせた PDN の典型的な値ですが、PDN 設計によって変わる可能性があります。

タイムスタンプの定義および (参照のみの標準値):

T0 – MCU_PORz および PORz を Low にアサートして、すべてのプロセッサリソースを安全な状態にします。(0ms)

T1 – メイン DDR、SRAM コア、および SRAM CPU の電源ドメインがランプダウンを開始します。(0.5ms)

T2 – すべてのコア電圧が電源ランプダウンを開始します。(2.5ms)

T3 – すべての 1.8V 電圧が電源ランプダウンを開始します。(3.0ms)

T4 – すべての 3.3V 電圧が電源ランプダウンを開始します。(3.5ms)

Copyright © 2026 Texas Instruments Incorporated

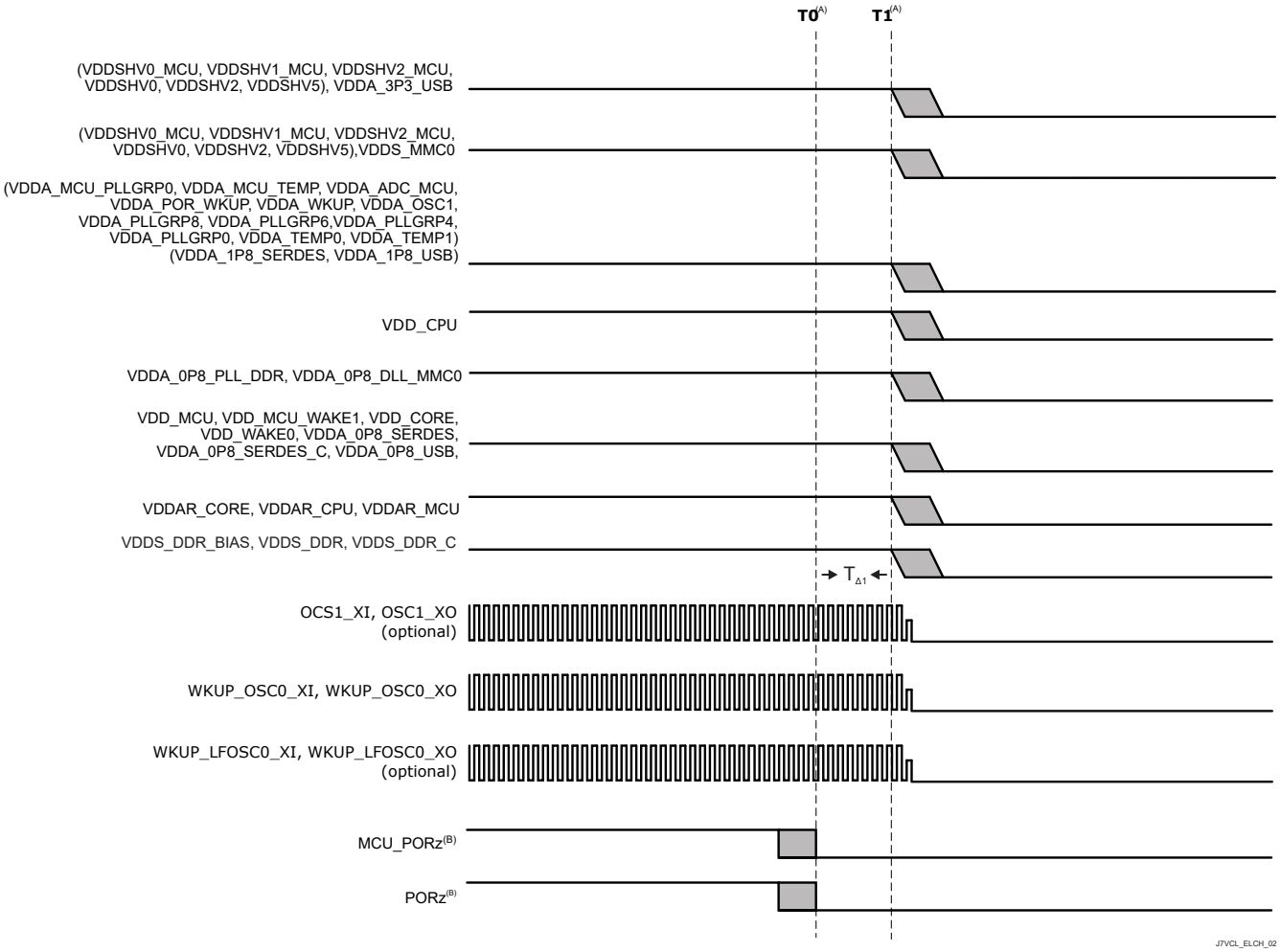
B. 3.3V デジタル インターフェイスをサポートするために 3.3V が供給される、いずれかの MCU またはメイン デュアル電圧 IO ドメイン (VDDSHVn_MCU または VDDSHVn)。
C. 1.8V デジタル インターフェイスをサポートするために 1.8V が供給される、いずれかの MCU またはメイン デュアル電圧 IO ドメイン (VDDSHVn_MCU または VDDSHVn)。
D. VDDSHV5 は、SD メモリ カード用の MMC1 信号処理をサポートしています。規格準拠の高速 SD カード動作には、デュアル電圧 (3.3V/1.8V) の電源レールが必要です。SD カードが不要な場合や、3.3V 固定動作の標準データ レートが許容される場合は、このドメインをデジタル IO 3.3V 電源レールにグループ化できます。SD カードが固定 1.8V で動作できる場合は、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
E. VDDA_3P3_USB は、USB 2.0 差動インターフェイス信号伝達に使用される 3.3V アナログ ドメインです。最良のシグナル インテグリティを実現して USB データ アイ マスクに準拠するために、低ノイズのアナログ電源を推奨します。USB インターフェイスが不要な場合や、データ ビット エラーが許容される場合は、直接または電源フィルタ経由で、このドメインを 3.3V デジタル IO 電源レールにグループ化できます。
F. VDDA_1P8_<clk/pll/ana> は、クロック発振器、PLL、およびアナログ回路をサポートする 1.8V アナログ ドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズがクロック、PLL、DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、デジタルの VDDSHVN_MCU と VDDSHVn IO ドメインを結合することは推奨しません。アナログ VDDA_1p8_<phy> ドメインの結合は避けるべきですが、グループ化する場合は、インライン フェライト ビーズで電源をフィルタリングする必要があります。
G. VDDA_1P8_PHY は、複数のシリアル <phy> インターフェイスをサポートする 1.8V アナログ ドメインです。最良のシグナル インテグリティ、インターフェイス性能、仕様準拠を実現するため、低ノイズのアナログ電源を推奨します。これらのインターフェイスのいずれかが不要であるか、またはデータ ビット エラーや非準拠動作が許容できる場合には、直接またはインライン電源フィルタ経由で、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
H. VDDA_0P8_<dll/pll> は、PLL および DLL 回路をサポートする 0.8V アナログ ドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズが PLL および DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、これらのドメインを他の 0.8V ドメインと結合することは推奨しません。
I. いずれかの電圧がランプダウンを開始する前に、SoC リソースが安全な状態に確実に移行できるようにするため、MCU_PORz および PORz を少なくとも TΔ1 = 200µs の間 Low にアサートする必要があります。

図 6-4. MCU とメイン ドメインの結合、プライマリ パワーダウン シーケンス - オプション 1

Copyright © 2026 Texas Instruments Incorporated

6.10.2.4 MCU とメイン ドメインの結合パワーダウン シーケンス - オプション 2

図 6-5 で、オプション 2 のデバイス パワーダウン シーケンスについて説明します。



A. タイムスタンプマーカー:
T0 – MCU_PORz および PORz を Low にアサートして、すべてのプロセッサリソースを安全な状態にします。(0ms)
T1 – すべての電源のランプダウンが開始されます。(1µs)

B. いずれかの電圧がランプダウンを開始する前に、SoC リソースが安全な状態に確実に移行できるようにするため、MCU_PORz および PORz を少なくとも TΔ1 = 200µs の間 Low にアサートする必要があります。

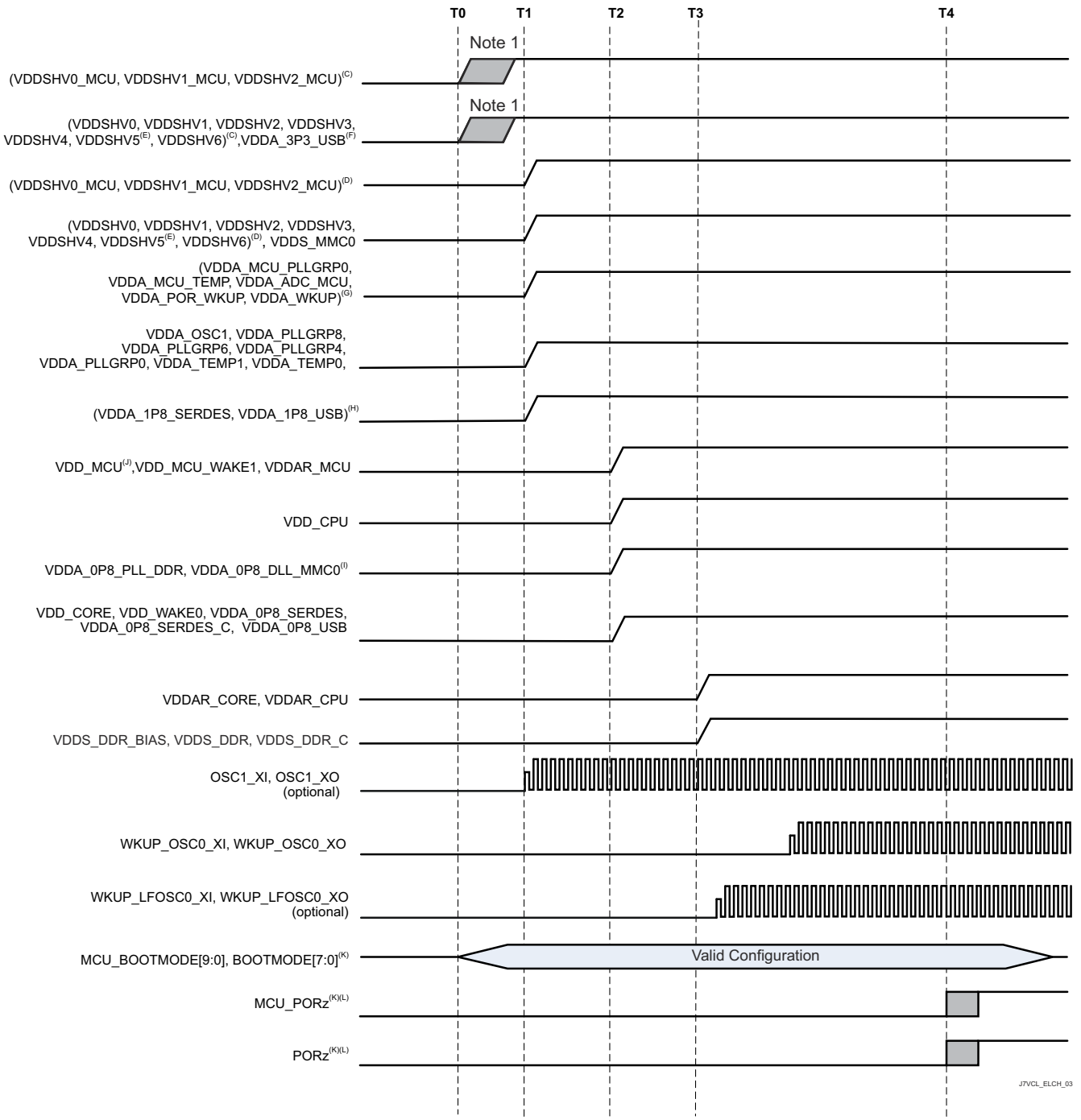
図 6-5. MCU とメイン ドメインの結合、プライマリ パワーダウン シーケンス - オプション 2

Copyright © 2026 Texas Instruments Incorporated

6.10.2.5 MCU およびメイン ドメインが独立している場合のパワーアップ シーケンシング

独立した MCU とメイン電圧ドメインにより、SoC の MCU とメイン プロセッサ サブシステムは独立して動作できます。SoC の PDN 設計において、MCU とメイン プロセッサの分離機能をサポートする必要がある理由は、2 つあります。第 1 には 、SoC の低消費電力モードを有効にするフレキシビリティを提供することです。このモードを使用すると、プロセッサの動作が不要なときに SoC の消費電力を大幅に低減できます。第 2 に、単一の障害が MCU およびメイン プロセッサ サブシステムの両方に影響を及ぼすという干渉を回避すること (FFI) により、堅牢性を実現できます。これは、SoC の MCU をシステムの安全監視プロセッサとして使用する場合に特に有益です。必要とされる追加の PDN 電源レールの数は、異なる MCU IO 信号電圧レベルの数によって異なります。1.8V IO 信号のみを使用する場合は、必要とされる追加の電源レールは 2 つです。1.8V および 3.3V の IO 信号が必要な場合は、4 つの追加電源レールが必要になります。

Copyright © 2026 Texas Instruments Incorporated



A. 用語:

- プライマリ = すべての電圧ドメインをフル アクティブ状態に切り替えるための必須のパワーアップ起動シーケンス。
- $V_{OPR\ MIN}$ =「推奨動作条件」で規定された機能を保証する最小動作電圧レベル。
- ランプアップ = オフ状態から $V_{OPR\ MIN}$ への電圧供給移行時間
- Domain_"n" = 類似の電圧ドメインの複数のインスタンス (つまり、デュアル電圧 IO ドメイン、VDDSHVn = VDDSHV0、VDDSHV1、VDDSHV2…VDDSHV6)
- Domain_"xxx" = 同じ電圧電源タイプとレベルを使用する、異なる信号タイプ / プロトコル ドメイン (つまり、VDDA_1P8_xx = VDDA_1P8_DSITX、VDDA_1P8_USB、VDDA_0P8_DSITX、VDDA_0P8_USB など)

タイム スタンプの記号は、PDN 機能セット、部品選択、電源マッピングに依存する、おおよその経過時間を示します。ここに示す値は、独立した MCU およびメイン電圧ドメインをサポートする PDN では典型的ですが、PDN 設計によって変わる可能性があります。

Copyright © 2026 Texas Instruments Incorporated

タイム スタンプの定義および (参照用の標準値):

T0 – すべての 3.3V 電源が、$V_{OPR\ MIN}$ までの電圧ランプアップを開始します。(0ms)

T1 – すべての 1.8V 電源が、$V_{OPR\ MIN}$ までの電圧ランプアップを開始します。(2ms)

T2 – すべてのコア電源が、$V_{OPR\ MIN}$ までの電圧ランプアップを開始します。(3ms)

T3 – すべての RAM アレイ電源が、$V_{OPR\ MIN}$ までの電圧ランプアップを開始します。(4ms)

T4 – OSC1 が安定し、PORz/MCU_PORz はデアサートされ、プロセッサがリセットから解放されます。(13ms)

B. VDDSHVx 3.3V IO ドメインでは、以下の要因により、追加のランプアップ遅延が発生する場合があります。
   1. 低消費電力モード時の PMIC 消費電力の最小化 (GPIO 出力バッファに対する PMIC の VIO_IN 電源を無効にすることを含む)。
   2. IO ドメインであるマイコンとメインの分離に必要な PDN コンポーネントのターンオン遅延とおよびランプアップ遅延

C. 3.3V デジタル インターフェイスをサポートするために 3.3V が供給される、いずれかの MCU またはメイン デュアル電圧 IO ドメイン (VDDSHVn_MCU または VDDSHVn)。

D. 1.8V デジタル インターフェイスをサポートするために 1.8V が供給される、いずれかの MCU またはメイン デュアル電圧 IO ドメイン (VDDSHVn_MCU または VDDSHVn)。

E. VDDSHV5 は、SD メモリ カード用の MMC1 信号処理をサポートしています。規格準拠の高速 SD カード動作には、デュアル電圧 (3.3V/1.8V) の電源レールが必要です。SD カードが不要な場合や、3.3 V 固定動作の標準データ レートが許容される場合は、このドメインをデジタル IO 3.3V 電源レールにグループ化できます。SD カードが固定 1.8V で動作できる場合は、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。

F. VDDA_3P3_USB は、USB 2.0 差動インターフェイス信号伝達に使用される 3.3V アナログ ドメインです。最良のシグナル インテグリティを実現して USB データ アイ マスクに準拠するために、低ノイズのアナログ電源を推奨します。USB インターフェイスが不要な場合や、データ ビット エラーが許容される場合は、直接または電源フィルタ経由で、このドメインを 3.3V デジタル IO 電源レールにグループ化できます。

G. VDDA_1P8_<clk/pll/ana> は、クロック発振器、PLL、およびアナログ回路をサポートする 1.8V アナログ ドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズがクロック、PLL、DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、デジタルの VDDSHVN_MCU と VDDSHVn IO ドメインを結合することは推奨しません。アナログ VDDA_1p8_<phy> ドメインの結合は避けるべきですが、グループ化する場合は、インライン フェライト ビーズで電源をフィルタリングする必要があります。

H. VDDA_1P8_<phy> は、複数のシリアル PHY インターフェイスをサポートする 1.8V アナログ ドメインです。最良のシグナル インテグリティ、インターフェイス性能、仕様準拠を実現するため、低ノイズのアナログ電源を推奨します。これらのインターフェイスのいずれかが不要であるか、またはデータ ビット エラーや非準拠動作が許容できる場合には、直接またはインライン電源フィルタ経由で、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。

I. VDDA_0P8_<dll/pll> は、PLL および DLL 回路をサポートする 0.8V アナログ ドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズが PLL および DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、これらのドメインを他の 0.8V ドメインと結合することは推奨しません。

J. VDD_MCU は、広い動作電圧範囲を持つデジタル電圧ドメインであり、VDDAR_MCU ドメインまたは VDD_CORE のいずれかとグループ化できます。「MCU およびメイン ドメインの分離パワーアップ シーケンス」では、VDD_MCU は VDDAR_MCU とグループ化できます。VDD_MCU は T2 よりも前にランプアップする必要があります。VDDAR_MCU が VDD_MCU とグループ化されていない場合、T3 でランプする必要があります。

K. パワーアップ シーケンス中に MCU_PORz および PORz が High にアサートされてから、MCU_BOOTMODEn (MCU_VDDSHV0 を基準とする) および BOOTMODEn (VDDSHV2 を基準とする) 設定をレジスタにラッチするまでの最小セットアップおよびホールド時間を表示。

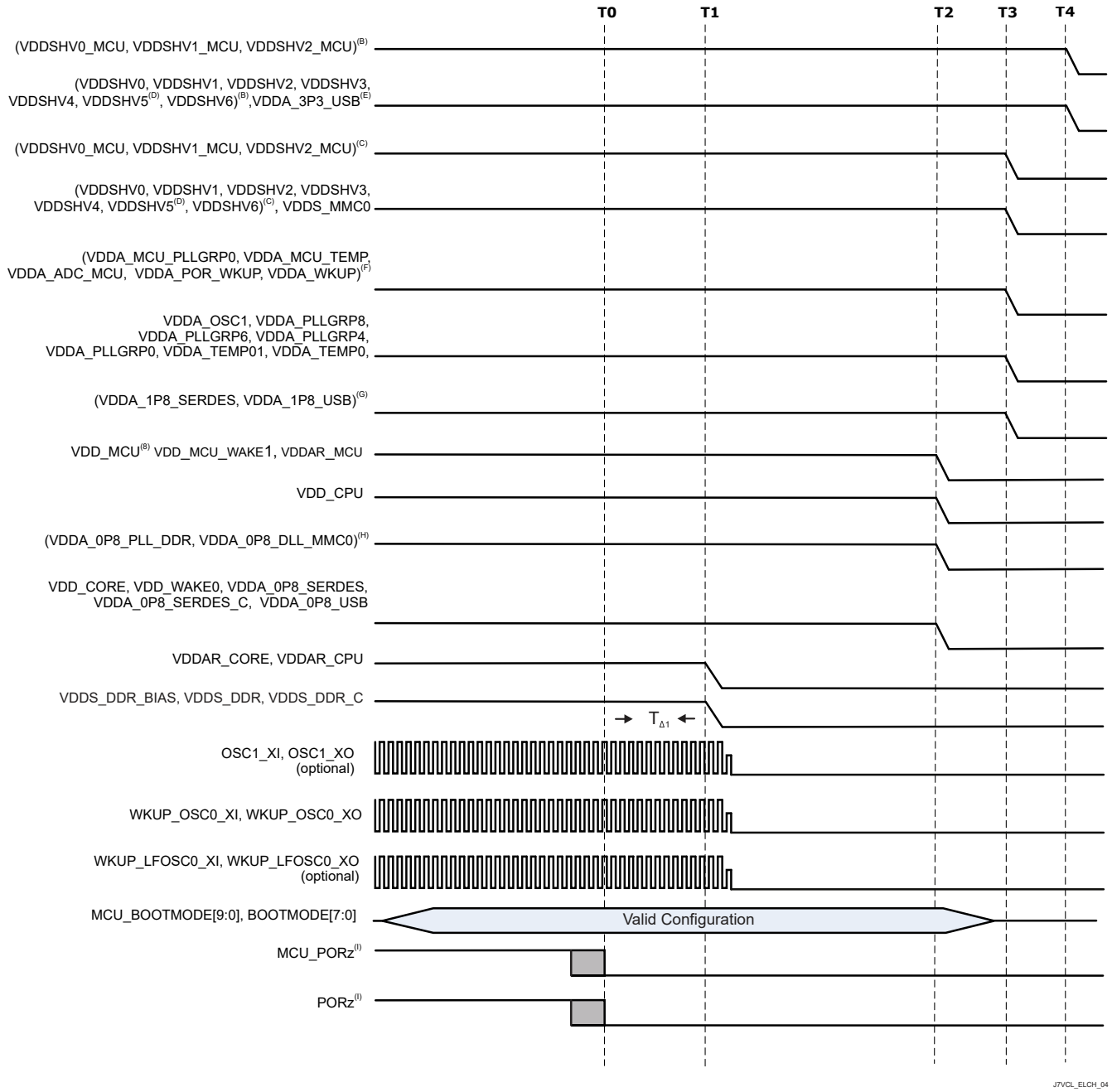
L. 水晶発振器回路に電源が供給されたとき (T1 の VDDA_OSC1) から、安定したクロック周波数に達するまでの最小経過時間は、水晶発振器、コンデンサのパラメータ、および PCB 寄生値によって異なります。余裕を見た経過時間として、(T4 – T1) タイム スタンプで定義される 10ms を示します。お客様のクロック回路 (すなわち、水晶発振器またはクロック ジェネレータ) および PCB の設計によっては、この値を低減できる可能性があります。

図 6-6. 独立した MCU およびメイン ドメイン、プライマリ パワーアップ シーケンス

Copyright © 2026 Texas Instruments Incorporated

6.10.2.6 MCU およびメイン ドメインが独立している場合のパワーダウン シーケンシング - オプション 1

図 6-7 で、オプション 1 のデバイス パワーダウン シーケンスについて説明します。



A. 用語:

- プライマリ = オフ状態を完了するには、すべての電圧ドメインで必須の電源オフシーケンスが必要です。
- $V_{OPR\ MIN}$ = 「推奨動作条件」で規定された機能を保証する最小動作電圧レベル。
- ランプダウン = $V_{OPR\ MIN}$ からオフ状態への電源電圧の遷移時間。
- Domain_"n" = 類似の電圧ドメインの複数のインスタンス (つまり、デュアル電圧 IO ドメイン、VDDSHVn = VDDSHV0、VDDSHV1、VDDSHV2…VDDSHV6)
- Domain_"xxx" = 同じ電圧電源タイプとレベルを使用する、異なる信号タイプ / プロトコル ドメイン (つまり、VDDA_1P8_xx = VDDA_1P8_DSITX、VDDA_1P8_USB、VDDA_0P8_DSITX、VDDA_0P8_USB など)

タイム スタンプ:

Copyright © 2026 Texas Instruments Incorporated

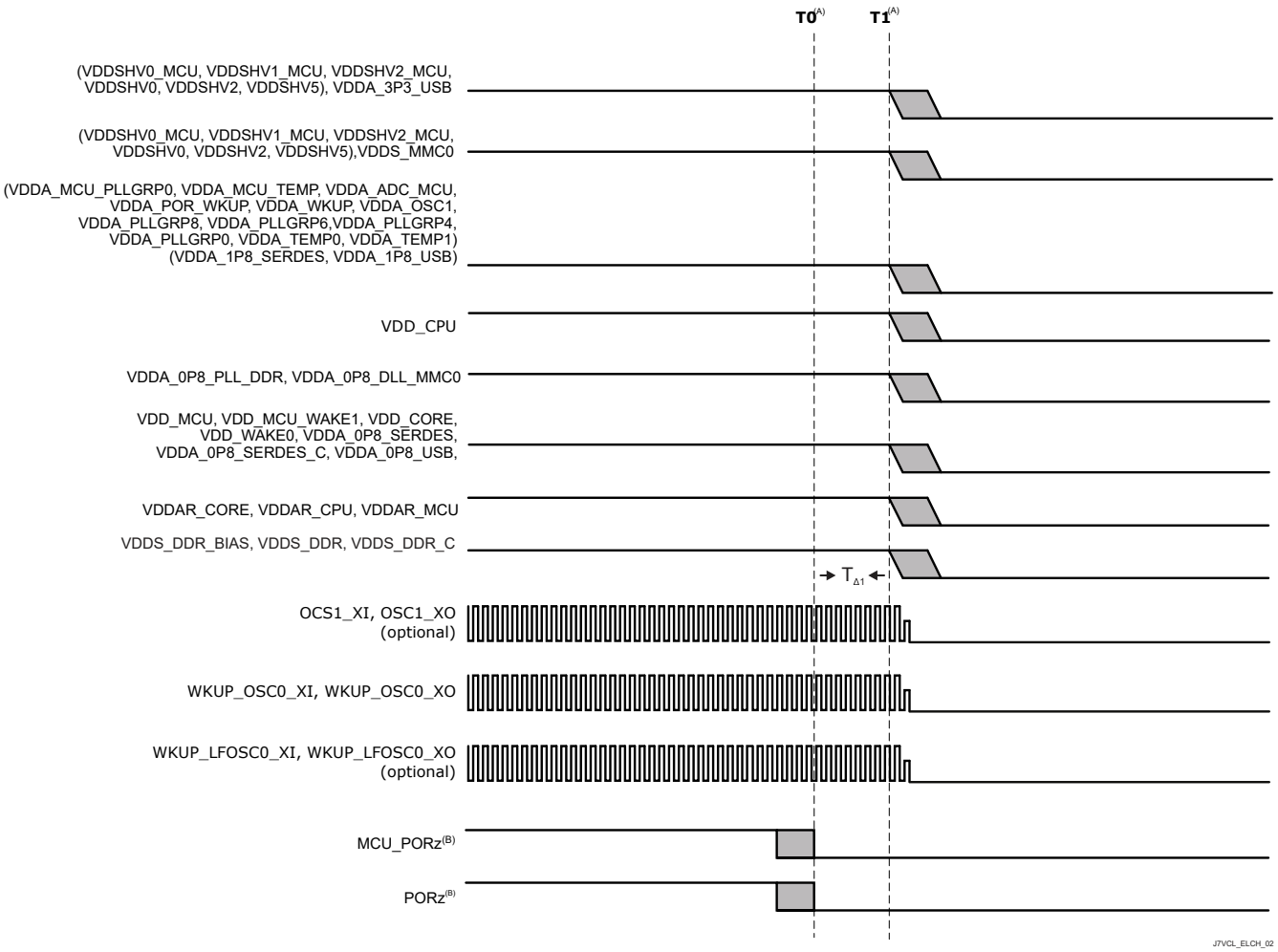
PDN 機能セット、部品選択、電源マッピングに依存する、おおよその経過時間を示すマーカー。表示されている値は、MCU とメイン電圧ドメインを組み合わせた PDN の典型的な値ですが、PDN 設計によって変わる可能性があります。
タイム スタンプの定義および (参照用の標準値):
T0 – MCU_PORz および PORz を Low にアサートして、すべてのプロセッサ リソースを安全な状態にします。(0ms)
T1 – メイン DDR、SRAM コア、および SRAM CPU の電源ドメインがランプダウンを開始します。(0.5ms)
T2 – すべてのコア電源が電圧のランプダウンを開始します。(2.5ms)
T3 – すべての 1.8V 電源が電圧のランプダウンを開始します。(3.0ms)
T4 - すべての 3.3V 電源が電圧のランプダウンを開始します。(3.5ms)

B. 3.3V デジタル インターフェイスをサポートするために 3.3V が供給される、いずれかの MCU またはメイン デュアル電圧 IO ドメイン (VDDSHVn_MCU または VDDSHVn)。
C. 1.8V デジタル インターフェイスをサポートするために 1.8V が供給される、いずれかの MCU またはメイン デュアル電圧 IO ドメイン (VDDSHVn_MCU または VDDSHVn)。
D. VDDSHV5 は、SD メモリ カード用の MMC1 信号処理をサポートしています。規格準拠の高速 SD カード動作には、デュアル電圧 (3.3V/1.8V) の電源レールが必要です。SD カードが不要な場合や、3.3V 固定動作の標準データ レートが許容される場合は、このドメインをデジタル IO 3.3V 電源レールにグループ化できます。SD カードが固定 1.8V で動作できる場合は、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
E. VDDA_3P3_USB は、USB 2.0 差動インターフェイス信号伝達に使用される 3.3V アナログ ドメインです。最良のシグナル インテグリティを実現して USB データ アイ マスクに準拠するために、低ノイズのアナログ電源を推奨します。USB インターフェイスが不要な場合や、データ ビット エラーが許容される場合は、直接または電源フィルタ経由で、このドメインを 3.3V デジタル IO 電源レールにグループ化できます。
F. VDDA_1P8_<clk/pll/ana> は、クロック発振器、PLL、およびアナログ回路をサポートする 1.8V アナログ ドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズがクロック、PLL、DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、デジタルの VDDSHVN_MCU と VDDSHVn IO ドメインを結合することは推奨しません。アナログ VDDA_1p8_<phy> ドメインの結合は避けるべきですが、グループ化する場合は、インライン フェライト ビーズで電源をフィルタリングする必要があります。
G. VDDA_1P8_PHY は、複数のシリアル <phy> インターフェイスをサポートする 1.8V アナログ ドメインです。最良のシグナル インテグリティ、インターフェイス性能、仕様準拠を実現するため、低ノイズのアナログ電源を推奨します。これらのインターフェイスのいずれかが不要であるか、またはデータ ビット エラーや非準拠動作が許容できる場合には、直接またはインライン電源フィルタ経由で、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
H. VDDA_0P8_<dll/pll> は、PLL および DLL 回路をサポートする 0.8V アナログ ドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズが PLL および DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、これらのドメインを他の 0.8V ドメインと結合することは推奨しません。
I. いずれかの電圧が降下を開始する前に、SoC リソースが安全な状態に確実に移行できるようにするため、MCU_PORz および PORz を少なくとも TΔ1 = 200µs の間 Low にアサートする必要があります。

図 6-7. 独立した MCU およびメイン ドメイン、プライマリ パワーダウン シーケンス - オプション 1

6.10.2.7 MCU およびメイン ドメインが独立している場合のパワーダウン シーケンシング - オプション 2

図 6-8 で、オプション 2 のデバイス パワーダウン シーケンスについて説明します。



A. タイムスタンプ マーカー:
T0 – MCU_PORz および PORz を Low にアサートして、すべてのプロセッサ リソースを安全な状態にします。(0ms)
T1 – すべての電源のランプダウンが開始されます。(1µs)

B. いずれかの電圧が降下を開始する前に、SoC リソースが安全な状態に確実に移行できるようにするため、MCU_PORz および PORz を少なくとも TΔ1 = 200µs の間 Low にアサートする必要があります。

図 6-8. 独立した MCU およびメイン ドメイン、プライマリ パワーダウン シーケンス - オプション 2

6.10.2.8 独立した MCU およびメイン ドメイン、MCU のみ状態への移行および復帰シーケンス

MCU のみ状態への移行は、電源が供給されたままの 4 つの MCU ドメインを除いて、パワーダウン シーケンスを実行することにより行われます。マイコンのみ状態からの復帰は、シーケンス全体にわたって 4 つのマイコンドメインに電源が供給されたままの状態で、パワーアップ シーケンスを実行することにより行われます。この図の例は、eMMC をサポートする分離されたマイコンおよびメイン PDN タイプを示しています。

Copyright © 2026 Texas Instruments Incorporated

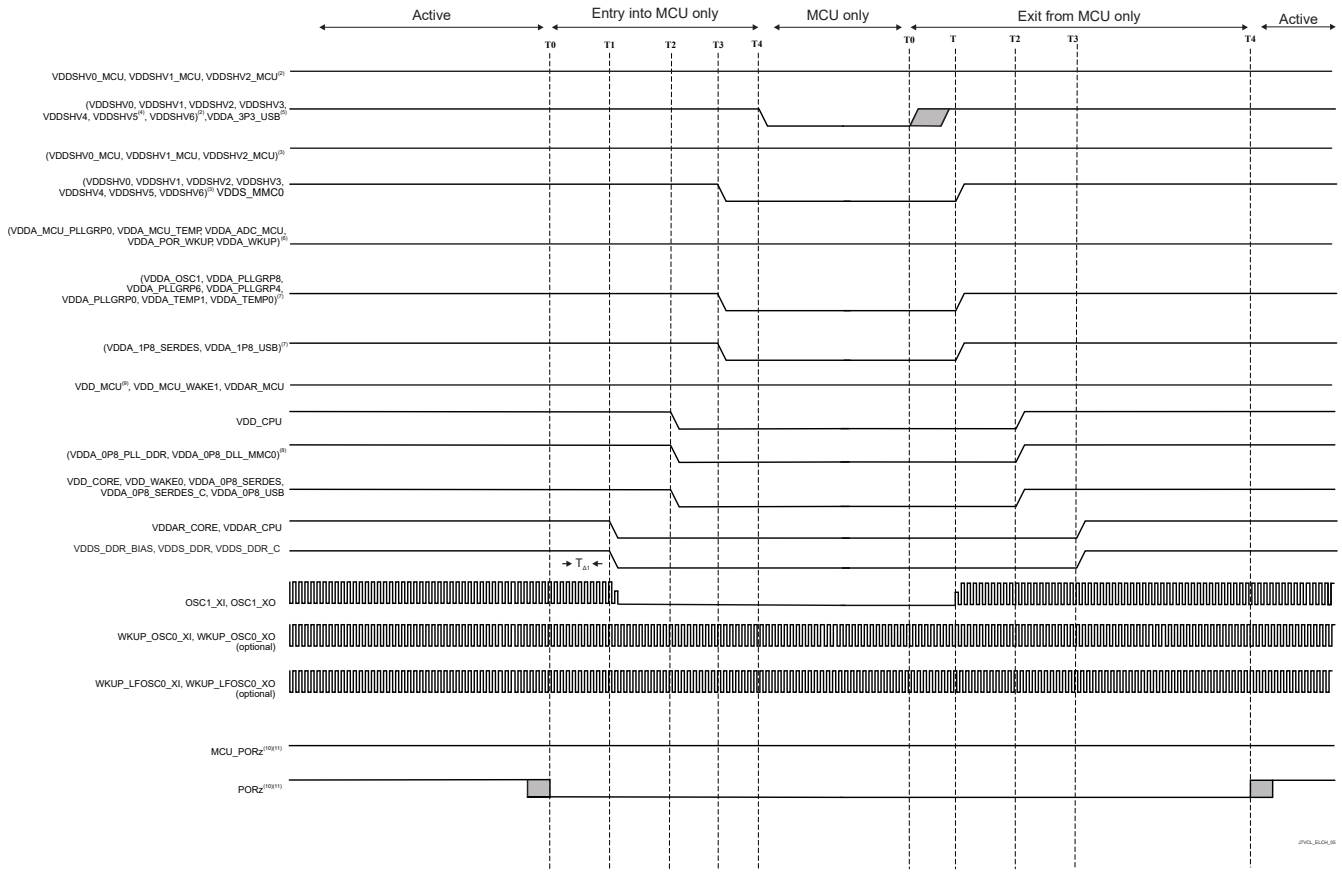


図 6-9. 独立した MCU およびメイン ドメイン、MCU のみ状態への移行および復帰シーケンス

6.10.2.9 独立した MCU およびメイン ドメイン、DDR 保持状態への移行および復帰

DDR 保持状態への移行は、電源が供給されたままの 4 つの DDR ドメインを除いて、パワーダウン シーケンスを実行することにより行われます。DDR 保持状態からの復帰は、3 つの DDR ドメインに電源が供給されたままの状態で、パワーアップ シーケンスを実行することにより行われます。

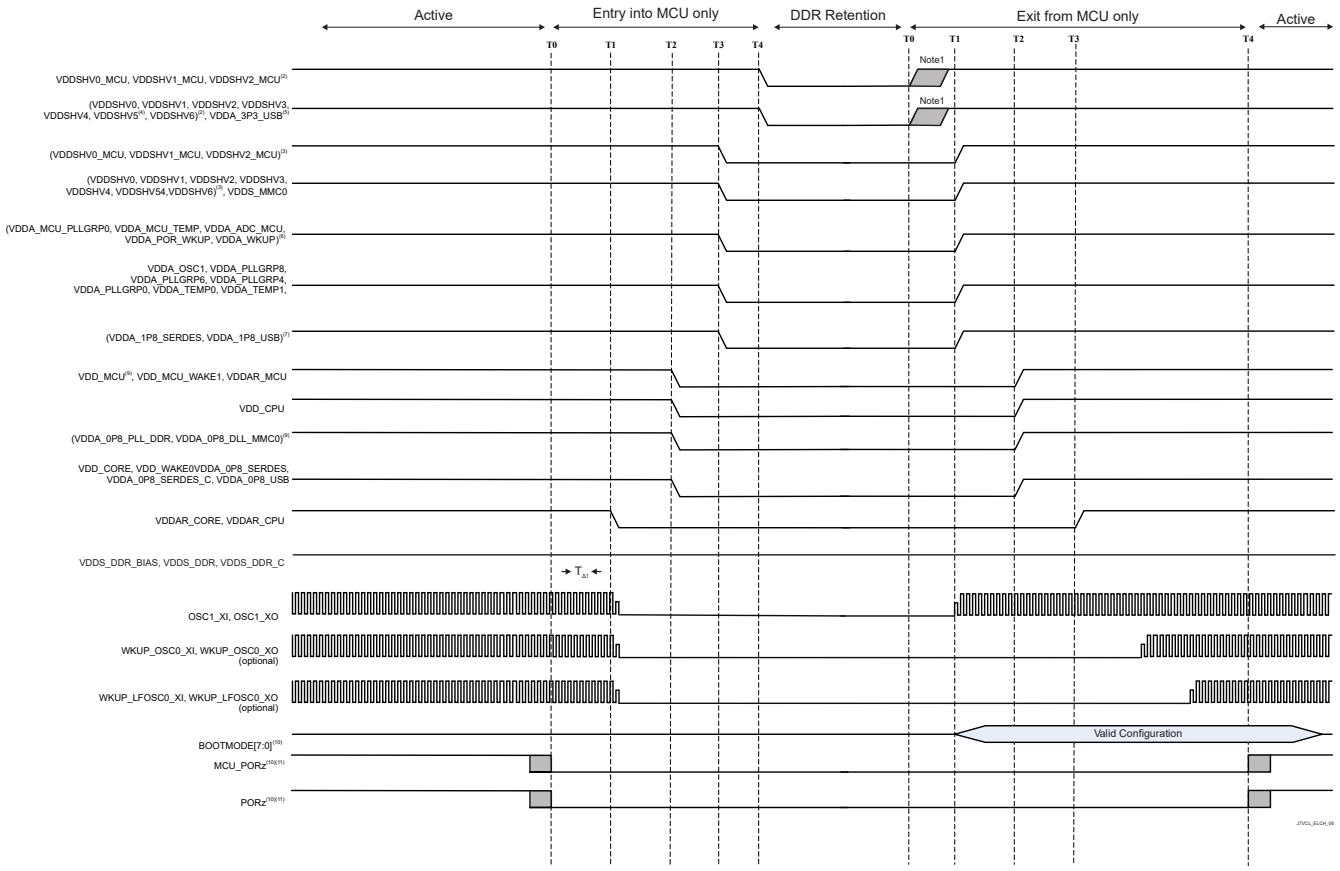


図 6-10. 独立した MCU およびメイン ドメイン、DDR 保持状態への移行および復帰

6.10.2.10 独立した MCU とメイン ドメイン、GPIO 保持への移行および復帰シーケンス

GPIO 保持状態への移行は、電源が供給されたままの 2 つまたは 4 つの ウェイクドメインを除いて、パワーダウン シーケンスを実行することにより行われます。GPIO 保持状態からの復帰は、2 つまたは 4 つの ウェイク DDR ドメインに電源が供給されたままの状態で、パワー アップ シーケンスを実行することにより行われます。

Copyright © 2026 Texas Instruments Incorporated

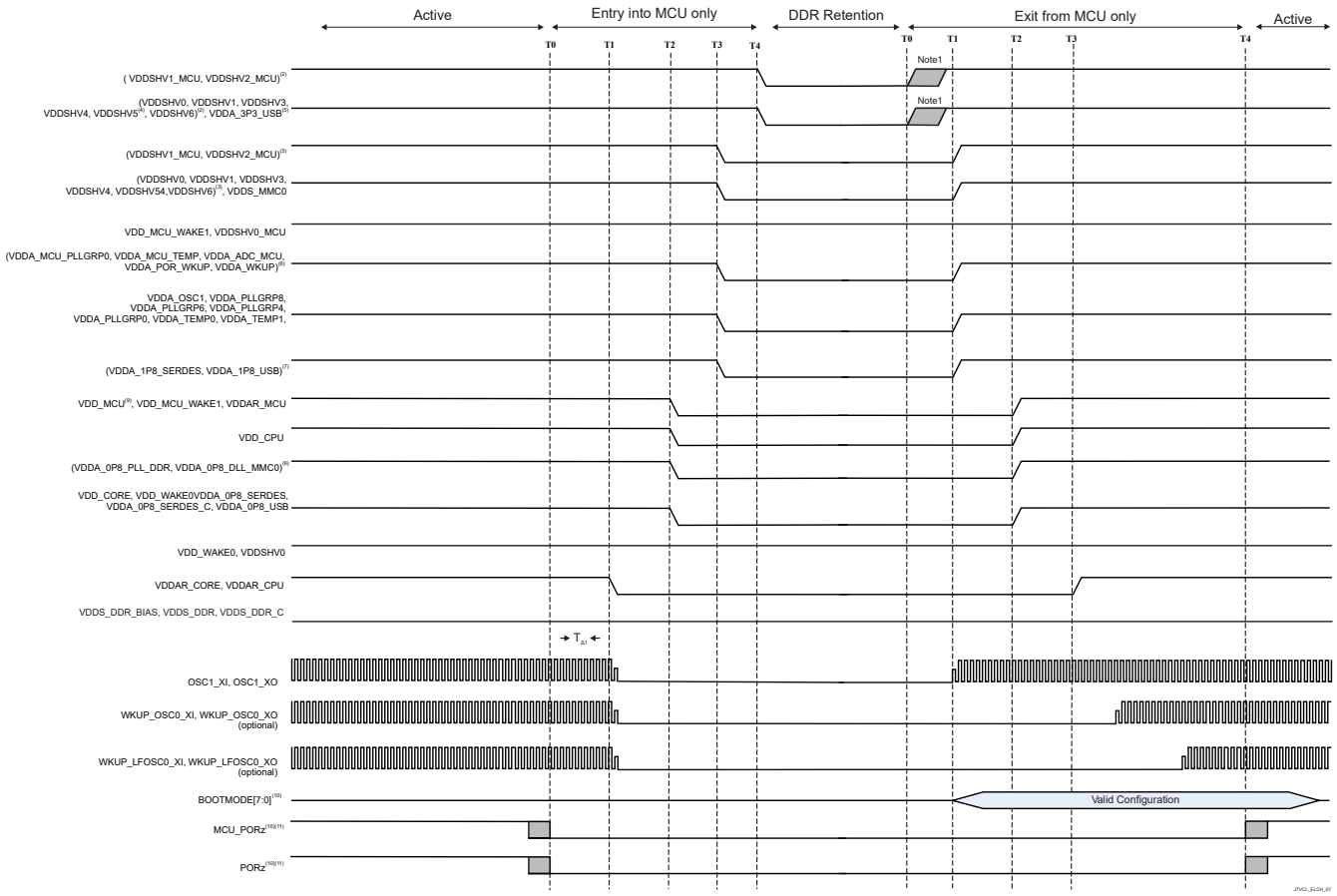


図 6-11. 独立した MCU とメイン ドメイン、GPIO 保持への移行および復帰シーケンス

6.10.3 システムのタイミング

サブシステム多重化信号の機能および追加の説明については、セクション 5.3「信号の説明」内の対応するセクションを参照してください。

6.10.3.1 リセット タイミング

このセクションの表と図では、リセット関連信号のタイミング条件、タイミング要件、スイッチング特性を定義します。

表 6-6. リセットのタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	VDD(1) = 1.8V	0.0018		V/ns
		VDD(1) = 3.3V	0.0033		V/ns
出力条件					
C_L	出力負荷容量		30		pF

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

表 6-7. MCU_PORz のタイミング要件

図 6-12 参照

番号			最小値	標準値	最大値	単位
RST1	$t_{h(MCUD_SUPPLIES_VALID - MCU_PORz)}$	ホールド時間、電源オン時に、すべての MCU ドメイン電源が有効 になった後、MCU_PORz アクティブ (Low) の間 (外付け水晶振動子使用の場合)	N + 1200(2)	9500000		ns
RST2		ホールド時間、電源オン時に、すべての MCU ドメインが(1)有効になり、さらに外部クロックが安定した後、MCU_PORz アクティブ (Low) の間 (外部 LVCMOS 発振器使用の場合)	1200			ns
RST3	$t_{w(MCU_PORzL)}$	最小パルス幅、電源投入後の MCU_PORz low (電源またはシステム基準クロック MCU_OSC0_XI/XO が維持されている場合)	1200			ns

(1) MCU ドメイン電源の定義については、MCU およびメイン ドメインの結合パワーアップ シーケンシングを参照してください。
(2) N = 発振器の起動時間

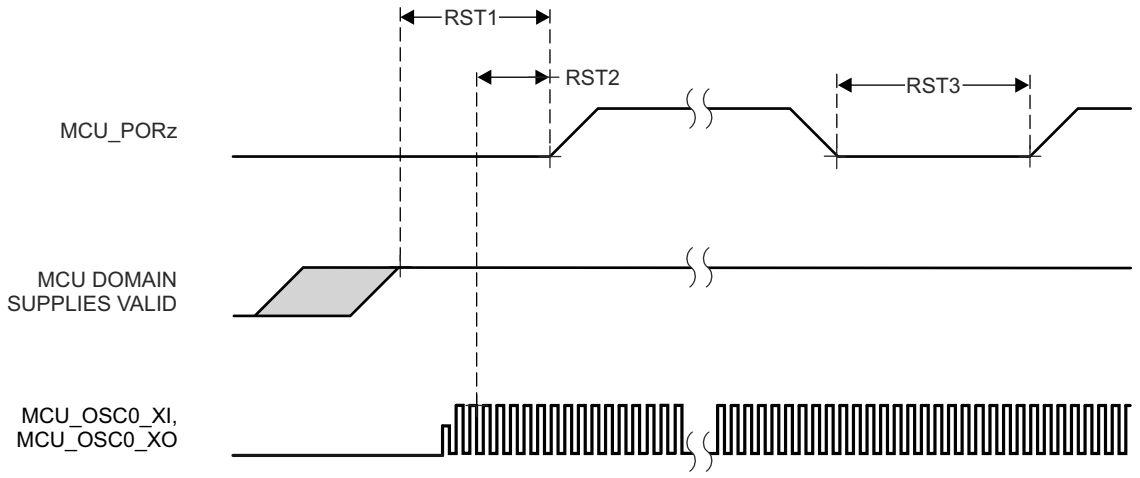


図 6-12. MCU_PORz のタイミング要件

Copyright © 2026 Texas Instruments Incorporated

表 6-8. PORz のタイミング要件

図 6-13 参照

番号			最小値	最大値	単位
RST4	$t_{h(MAIND_SUPPLIES_VALID - PORz)}$	ホールド時間、電源オン時に、すべての MAIN ドメイン電源が有効(1)になった後、PORz アクティブ(Low) の間	1200		ns
RST5	$t_{w(PORzL)}$	最小パルス幅、電源投入後の PORz low	1200		ns

(1) メイン ドメイン電源の定義については、MCU およびメイン ドメインの結合パワーアップ シーケンシングを参照してください。

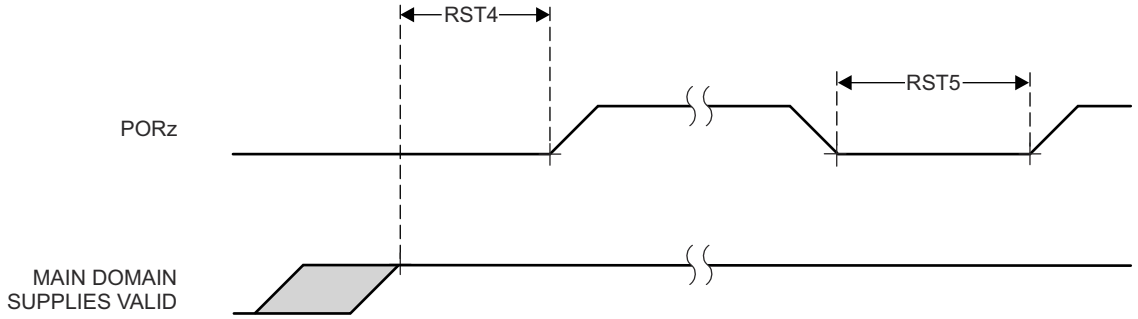


図 6-13. PORz のタイミング要件

表 6-9. MCU_PORz 開始、MCU_RESETSTATz、RESETSTATz のスイッチング特性

図 6-14 参照

番号	パラメータ		モード	最小値	最大値	単位
RST10	$t_{d(MCU_PORzL-MCU_RESETSTATzL)}$	遅延時間、MCU_PORz アクティブ (low) から MCU_RESETSTATz アクティブ (low) まで		0		ns
RST11	$t_{d(MCU_PORzH-MCU_RESETSTATzH)}$	遅延時間、MCU_PORz 非アクティブ (high) から MCU_RESETSTATz 非アクティブ (high) まで	POST バイパス	12000*S(1)		ns
RST12	$t_{d(MCU_PORzL-RESETSTATzL)}$	遅延時間、MCU_PORz アクティブ (low) から RESETSTATz アクティブ (low) まで		0		ns
RST13	$t_{d(MCU_PORzH-RESETSTATzH)}$	遅延時間、MCU_PORz 非アクティブ (high) から RESETSTATz 非アクティブ (high) まで		14500*S(1)		ns
RST16	$t_{w(MCU_RESETSTATzL)}$	最小パルス幅 MCU_RESETSTATz low		3900*S(1)		ns
RST17	$t_{w(RESETSTATzL)}$	最小パルス幅 RESETSTATz low		2650*S(1)		ns

(1) S = MCU_OSC0_XI/XO クロック周期。

Copyright © 2026 Texas Instruments Incorporated

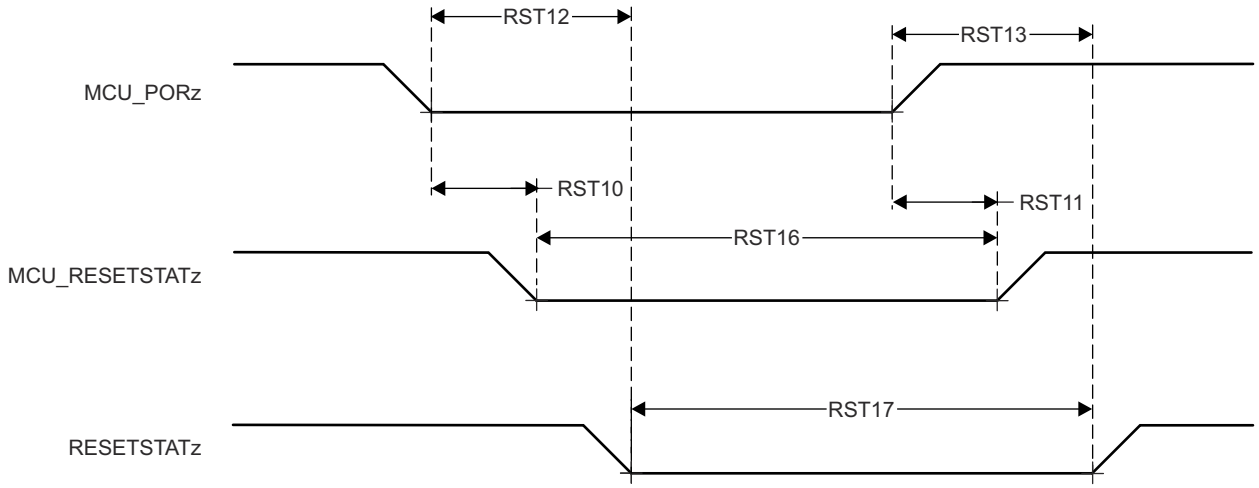


図 6-14. MCU_PORz 開始、MCU_RESETSTATz、RESETSTATz のスイッチング特性

Copyright © 2026 Texas Instruments Incorporated

表 6-10. PORz 開始、RESETSTATz のスイッチング特性

図 6-15 参照

番号	パラメータ		モード	最小値	最大値	単位
RST20	$t_{d(PORzL-RESETSTATzL)}$	遅延時間、PORz アクティブ (low) から RESETSTATz アクティブ (low) まで		T(1)		
			CTRLMMR_WKUP_POR_RST_CTRL[0].POR_RST_ISO_DONE_Z = 0	0		ns
RST21	$t_{d(PORzH-RESETSTATzH)}$	遅延時間、PORz アクティブ (high) から RESETSTATz アクティブ (high) まで		14500*S (2)		ns

(1) T = リセット分離時間 (ソフトウェアに依存)。
(2) S = MCU_OSC0_XI/XO クロック周期。

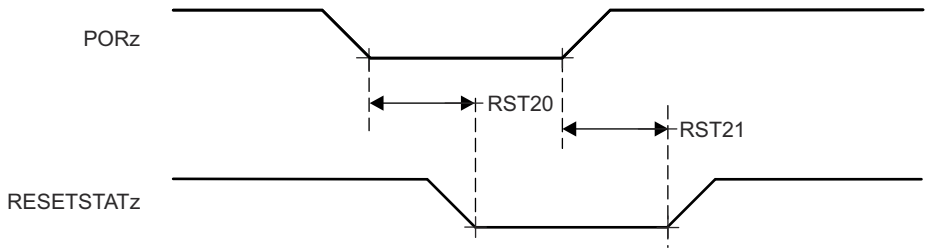


図 6-15. PORz 開始、RESETSTATz のスイッチング特性

表 6-11. MCU_RESETz のタイミング要件

図 6-16 参照

番号			最小値	最大値	単位
RST22	$t_{w(MCU_RESETzL)}$ (1)	最小パルス幅、MCU_RESETz アクティブ (low)	1200		ns

(1) MCU_RESETz のタイミングは、すべての電源が有効になり、MCU_PORz が指定された時間アサートされた後にのみ有効です。

表 6-12. MCU_RESETz 開始、MCU_RESETSTATz、RESETSTATz のスイッチング特性

図 6-16 参照

番号	パラメータ		最小値	最大値	単位
RST23	$t_{d(MCU_RESETzL-MCU_RESETSTATzL)}$	遅延時間、MCU_RESETz アクティブ (low) から MCU_RESETSTATz アクティブ (low) まで	800		ns
RST24	$t_{d(MCU_RESETzH-MCU_RESETSTATzH)}$	遅延時間、MCU_RESETz 非アクティブ (high) から MCU_RESETSTATz 非アクティブ (high) まで	3900*S(1)		ns
RST25	$t_{d(MCU_RESETzL-RESETSTATzL)}$	遅延時間、MCU_RESETz アクティブ (low) から RESETSTATz アクティブ (low) まで	800		ns
RST26	$t_{d(MCU_RESETzH-RESETSTATzH)}$	遅延時間、MCU_RESETz 非アクティブ (high) から RESETSTATz 非アクティブ (high) まで	3900*S(1)		ns

(1) S = MCU_OSC0_XI/XO クロック周期。

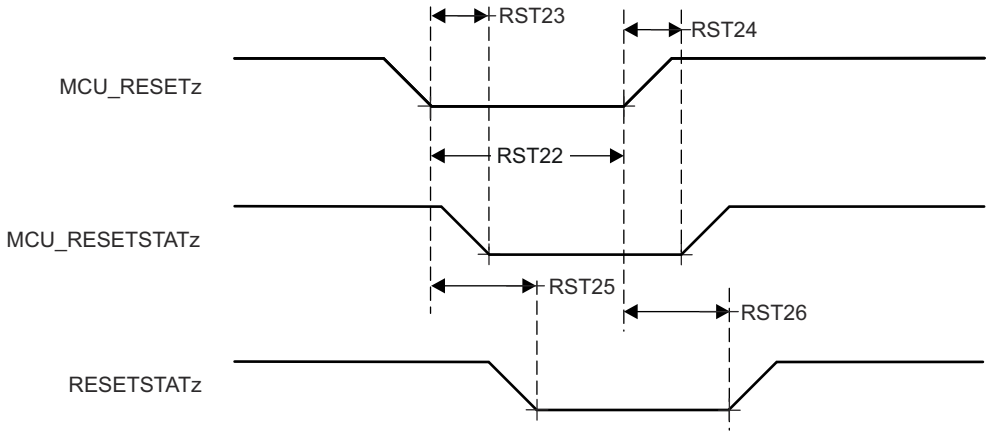


図 6-16. MCU_RESETz 開始、MCU_RESETSTATz、RESETSTATz のタイミング要件とスイッチング特性

Copyright © 2026 Texas Instruments Incorporated

表 6-13. RESET_REQz のタイミング要件

図 6-17 参照

番号			最小値	最大値	単位
RST27	$t_{w(RESET_REQzL)}$ (1)	最小パルス幅、RESET_REQz アクティブ (low)	1200		ns

(1) RESET_REQz のタイミングは、すべての電源が有効になり、MCU_PORz が指定された時間アサートされた後にのみ有効です。

表 6-14. RESET_REQz 開始、RESETSTATz のスイッチング特性

図 6-17 参照

番号	パラメータ		モード	最小値	最大値	単位
RST28	$t_{d(RESET_REQzL-RESETSTATzL)}$	遅延時間、RESET_REQz アクティブ (low) から RESETSTATz アクティブ (low) まで	SOC_WARMRST_ISO_DONE_Z のソフトウェア制御	T(1)		
			CTRLMMR_WKUP_MAIN_WARM_RST_CTRL[0].SOC_WARMRST_ISO_DONE_Z = 0	740		ns
RST29	$t_{d(RESET_REQzH-RESETSTATzH)}$	遅延時間、RESET_REQz 非アクティブ (high) から RESETSTATz 非アクティブ (high) まで		2650*S (2)		ns

(1) T = リセット分離時間 (ソフトウェアに依存)。
(2) S = MCU_OSC0_XI/XO クロック周期。

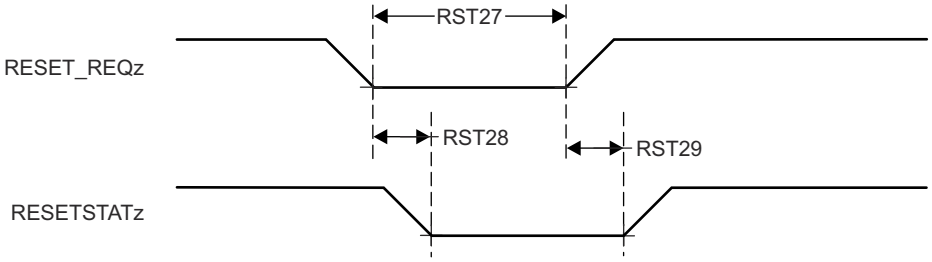


図 6-17. RESET_REQz 開始、RESETSTATz のタイミング要件とスイッチング特性

表 6-15. EMUx のタイミング要件

図 6-18 参照

番号			最小値	最大値	単位
RST30	$t_{su(EMUx-MCU_PORz)}$	セットアップ時間、EMU[1:0] から MCU_PORz 非アクティブ (high) まで	3*S(1)		ns
RST31	$t_{h(MCU_PORz - EMUx)}$	ホールド時間、MCU_PORz 非アクティブ (high) から EMU[1:0] 有効の間	10		ns

(1) S = MCU_OSC0_XI/XO クロック周期。

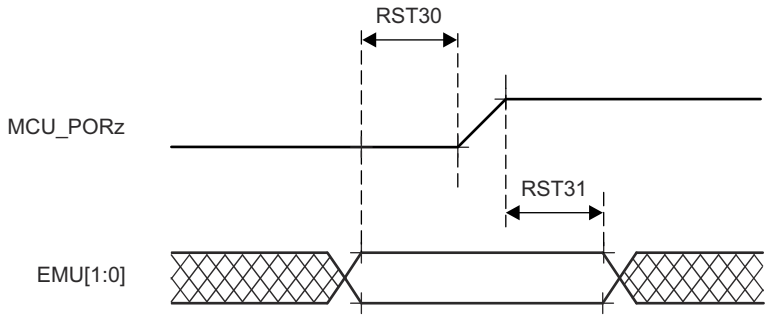


図 6-18. EMUx のタイミング要件

表 6-16. MCU_BOOTMODE のタイミング要件

図 6-19 参照

番号			最小値	最大値	単位
RST32	$t_{su(MCU_BOOTMODE-MCU_PORz)}$	セットアップ時間、MCU_PORz High の前に MCU_BOOTMODE[09:00] が確定しているべき時間	3*S(1)		ns
RST33	$t_{h(MCU_PORz - MCU_BOOTMODE)}$	ホールド時間、MCU_ PORz High の後に MCU_BOOTMODE[09:00] を保持するべき時間	0		ns

(1) S = MCU_OSC0_XI/XO クロック周期。

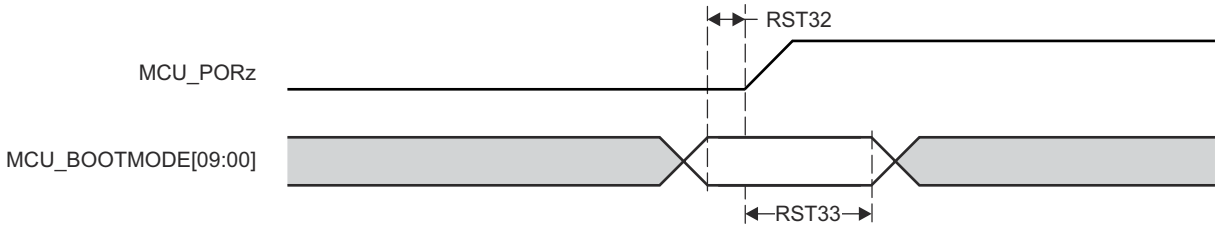


図 6-19. MCU_BOOTMODE のタイミング要件

Copyright © 2026 Texas Instruments Incorporated

表 6-17. BOOTMODE のタイミング要件

図 6-20 参照

番号			最小値	最大値	単位
RST34	$t_{su(BOOTMODE-PORz)}$	セットアップ時間、PORz High の前に BOOTMODE[7:0] が確定しているべき時間	3*S(1)		ns
RST35	$t_{h(PORz_BOOTMODE)}$	ホールド時間、PORz High の後に BOOTMODE[7:0] を保持するべき時間	0		ns

(1) S = MCU_OSC0_XI/XO クロック周期。

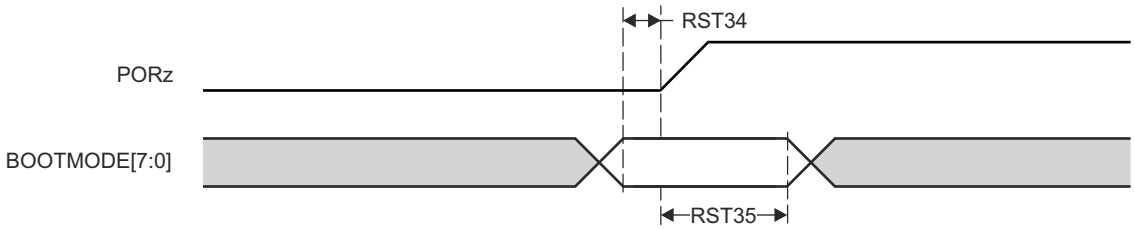


図 6-20. BOOTMODE のタイミング要件

6.10.3.2 安全信号タイミング

このセクションの表と図では、MCU_SAFETY_ERRORn および SOC_SAFETY_ERRORn のタイミング条件とスイッチング特性を定義します。

表 6-18. エラー信号のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.5	2	V/ns
出力条件				
C_L	出力負荷容量	3	30	pF

表 6-19. MCU_SAFETY_ERRORn のスイッチング特性

図 6-21 参照

番号	パラメータ		最小値 最大値	単位
SFTY1	$t_{w(MCU_SAFETY_ERRORn)}$	最小パルス幅、MCU_SAFETY_ERRORn アクティブ (PWM モード無効)	P*R(1) (2)	ns
SFTY2	$t_{d\ (ERROR_CONDITION-MCU_SAFETY_ERRORnL)}$	遅延時間、エラー状態から MCU_SAFETY_ERRORn アクティブまで	50*P(1)	ns

(1) P = ESM 機能クロック (MCU_SYSCLK0/6)。
(2) R = エラー ピン カウンタ プリロード レジスタ カウント値。

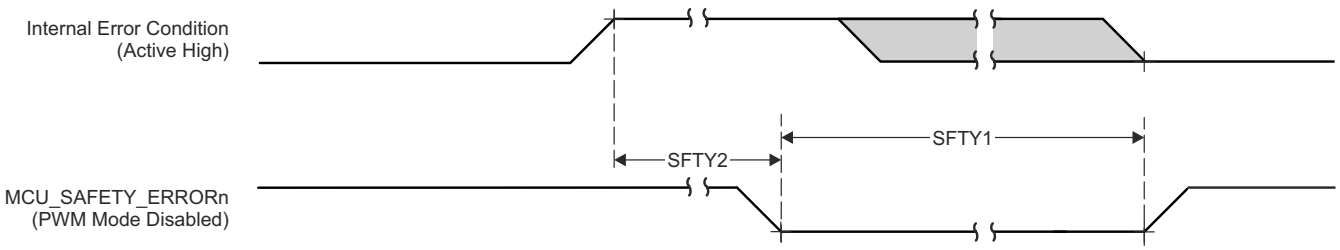


図 6-21. MCU_SAFETY_ERRORn のスイッチング特性

表 6-20. SOC_SAFETY_ERRORn のスイッチング特性

図 6-22 参照

番号	パラメータ		最小値 最大値	単位
SFTY3	$t_{w(SOC_SAFETY_ERRORn)}$	最小パルス幅、SOC_SAFETY_ERRORn アクティブ (PWM モード無効)	P*R(1) (2)	ns
SFTY4	$t_{d\ (ERROR_CONDITION-SOC_SAFETY_ERRORnL)}$	遅延時間、エラー状態から SOC_SAFETY_ERRORn アクティブまで	50*P(1)	ns

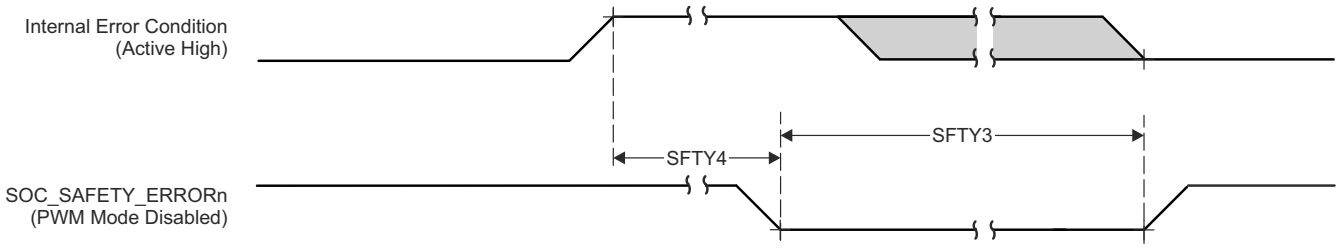


図 6-22. SOC_SAFETY_ERRORn のスイッチング特性

Copyright © 2026 Texas Instruments Incorporated

6.10.3.3 クロックのタイミング

このセクションの表と図では、クロック信号のタイミング条件、タイミング要件、スイッチング特性を定義します。

表 6-21. クロックのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.5	2	V/ns
出力条件				
C_L	出力負荷容量	3	30	pF

表 6-22. クロックのタイミング要件

図 6-23 参照

番号			最小値	最大値	単位
CLK1	$t_{c(EXT_REFCLK1)}$	最小サイクル時間、EXT_REFCLK1	10		ns
CLK2	$t_{w(EXT_REFCLK1H)}$	最小パルス幅、EXT_REFCLK1 High	E*0.45(1)	E*0.55(1)	ns
CLK3	$t_{w(EXT_REFCLK1L)}$	最小パルス幅、EXT_REFCLK1 Low	E*0.45(1)	E*0.55(1)	ns

(1) E = EXT_REFCLK1 サイクル時間

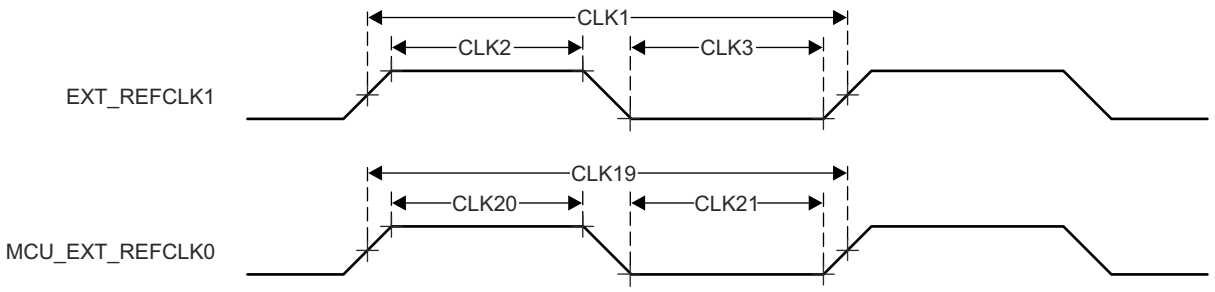


図 6-23. クロックのタイミング要件

表 6-23. クロックのスイッチング特性

図 6-24 参照

番号	パラメータ		最小値	最大値	単位
CLK4	$t_{c(SYSCLKOUT0)}$	最小サイクル時間、SYSCLKOUT0	8		ns
CLK5	$t_{w(SYSCLKOUT0H)}$	最小パルス幅、SYSCLKOUT0 High	A*0.4(1)	A*0.6(1)	ns
CLK6	$t_{w(SYSCLKOUT0L)}$	最小パルス幅、SYSCLKOUT0 Low	A*0.4(1)	A*0.6(1)	ns
CLK7	$t_{c(OBSCLK0)}$	最小サイクル時間、OBSCLK0	5		ns
CLK8	$t_{w(OBSCLK0H)}$	最小パルス幅、OBSCLK0 High	B*0.4(2)	B*0.6(2)	ns
CLK9	$t_{w(OBSCLK0L)}$	最小パルス幅、OBSCLK0 Low	B*0.4(2)	B*0.6(2)	ns
CLK10	$t_{c(CLKOUT0)}$	最小サイクル時間、CLKOUT0	20		ns
CLK11	$t_{w(CLKOUT0H)}$	最小パルス幅、CLKOUT0 High	C*0.4(3)	C*0.6(3)	ns
CLK12	$t_{w(CLKOUT0L)}$	最小パルス幅、CLKOUT0 Low	C*0.4(3)	C*0.6(3)	ns

(1) A = SYSCLKOUT0 サイクル時間
(2) B = OBSCLK0 サイクル時間
(3) C = CLKOUT0 サイクル時間

Copyright © 2026 Texas Instruments Incorporated

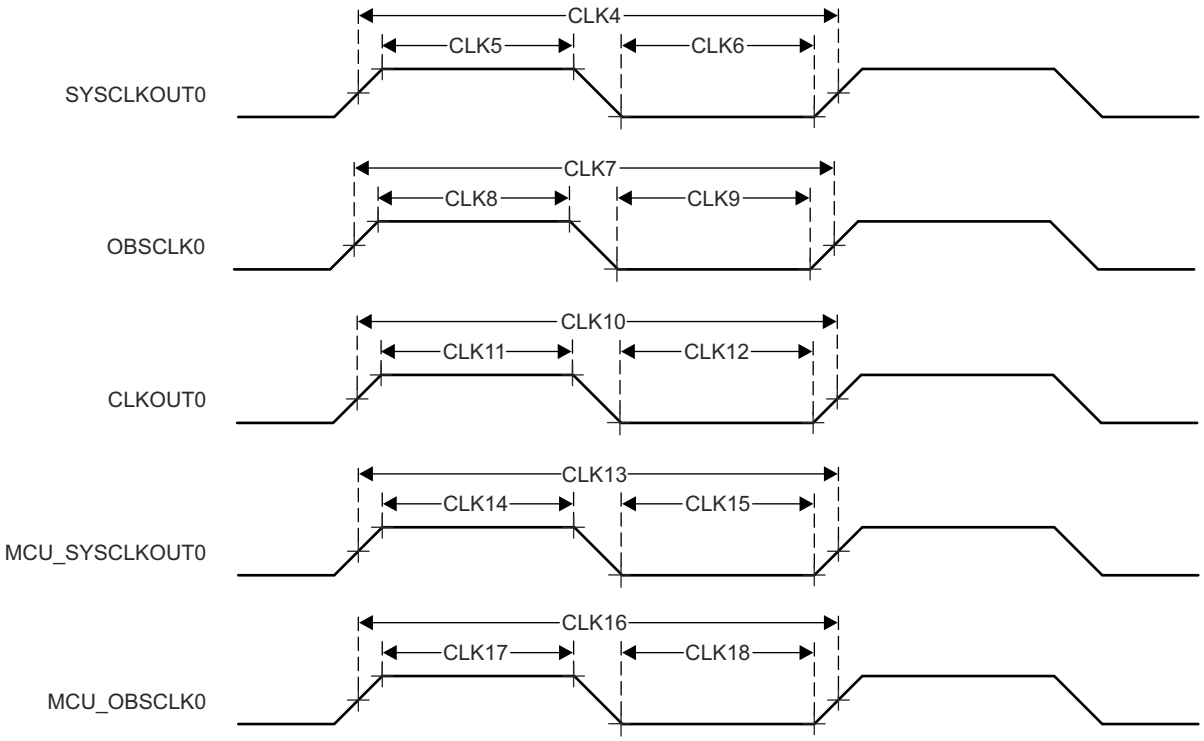


図 6-24. クロックのスイッチング特性

6.10.4 クロックの仕様

6.10.4.1 入力クロック / 発振器

本デバイスを駆動するには、各種の外部クロック入力 / 出力が必要です。これらの入力クロック信号の概要は、以下のとおりです。

- OSC1_XO/OSC1_XI — 外部メイン水晶振動子インターフェイス ピン。基準クロックを発生しメイン ドメイン内の PLL に基準クロックを供給する、内部発振器に接続されています。また、オーディオ アプリケーションでは、高周波数発振器 0 を使用してオーディオ クロック周波数を MCASP に供給します。
- 高周波数発振器入力
  - OSC1_XO/OSC1_XI — 外部メイン水晶振動子インターフェイス ピン。基準クロックを供給する内部発振器に接続されています。メイン ドメイン内の PLL に基準クロックを供給します。この高周波数発振器は、オーディオ クロック周波数を MCASP に供給するために使用されます。
  - WKUP_OSC0_XO/WKUP_OSC0_XI — 基準クロックを供給する内部発振器の外部メイン水晶振動子インターフェイス ピン。WKUP/MCU およびメイン ドメイン内の PLL に基準クロックを供給します。
- 低周波数発振器入力
  - WKUP_LF_CLKIN — 外部 32.768kHz クロック入力。
- 汎用クロック入力
  - MCU_EXT_REFCLK0 — オプションの外部。システム クロック入力 (マイコンドメイン) を供給します。
  - EXT_REFCLK1 — オプションの外部システム クロック入力 (メイン ドメイン)。オプションとして、PLL2 (PER1) および MCASP は EXT_REFCLK1 (外部から供給) から供給することもできます。
  - SERDES0_REFCLK_P/N — PCIe インターフェイス用の SerDes 基準クロック入力またはオプションの USB3 および SGMII インターフェイス。
- 外部 CPTS 基準クロック入力
  - MCU_CPTS0_RFT_CLK — MCU_CPTS_RFT_CLK の CPTS 基準クロック入力。
  - CPTS0_RFT_CLK — CPTS_RFT_CLK の CPTS 基準クロック入力。
- 外部オーディオ基準クロック入出力

Copyright © 2026 Texas Instruments Incorporated

- AUDIO_EXT_REFCLK0
- AUDIO_EXT_REFCLK1

図 6-25 に、外部入力クロック ソースとペリフェラルへの出力クロックを示します。

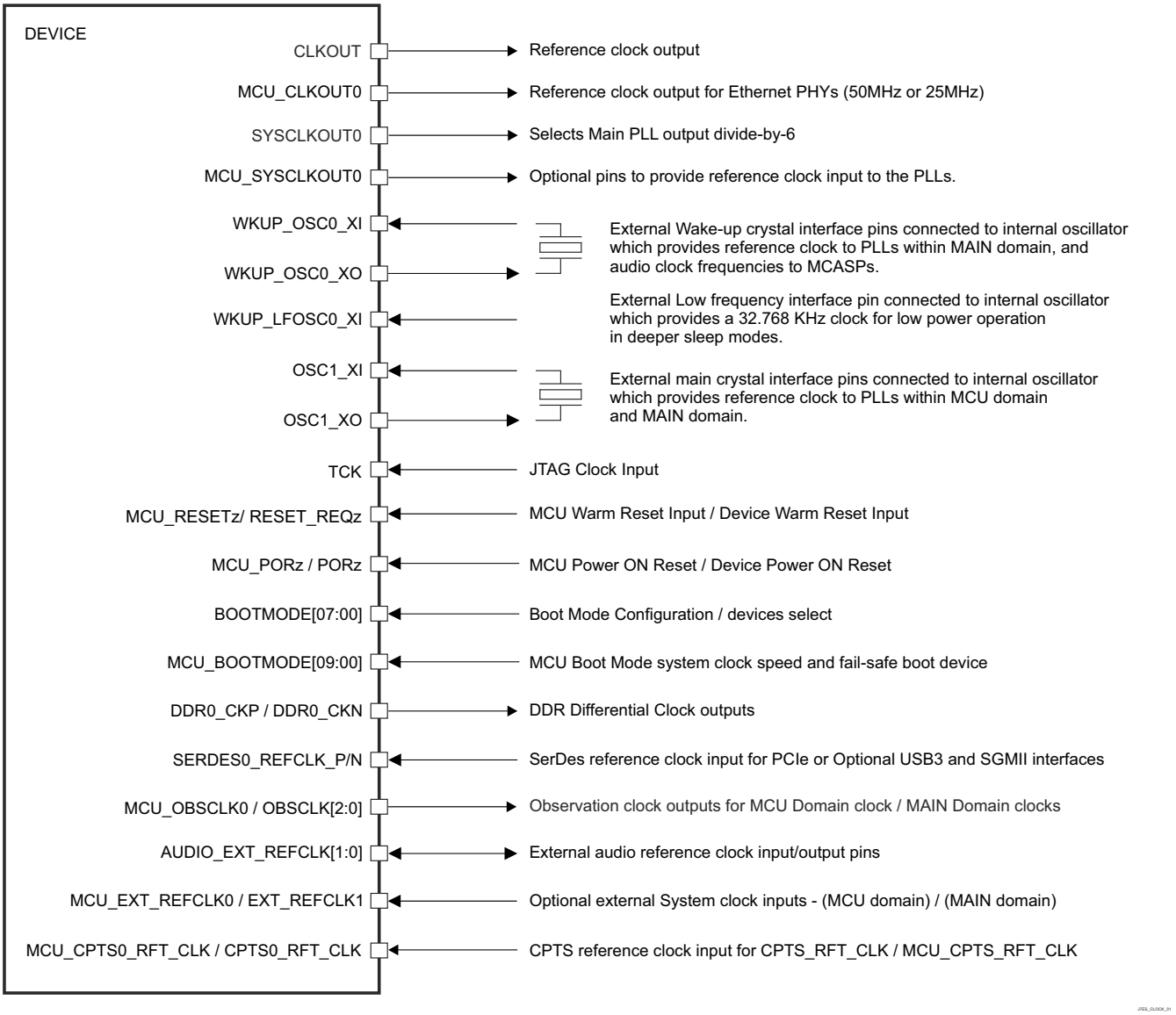


図 6-25. 入力クロック インターフェイス

入力クロック インターフェイスの詳細については、デバイス テクニカル リファレンス マニュアルの「デバイス構成」の章にある「クロック処理」のセクションを参照してください 。

6.10.4.1.1 WKUP_OSC0 内部発振器クロック ソース

図 6-26 に、水晶発振器の推奨回路を示します。発振回路の実装に使用されるすべてのディスクリート部品は、WKUP_OSC0_XI および WKUP_OSC0_XO ピンのできるだけ近くに配置する必要があります。

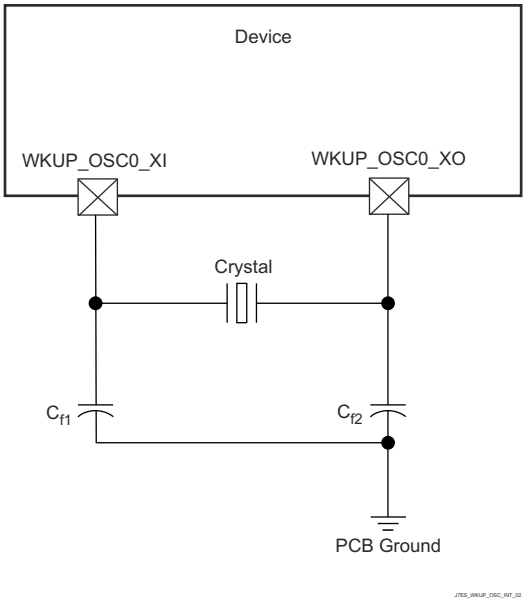


図 6-26. WKUP_OSC0 水晶振動子の実装

水晶振動子は、基本動作モード、並列共振である必要があります。表 6-24 に、必要な電気的制約事項を示します。

表 6-24. WKUP_OSC0 水晶振動子の電気的特性

パラメータ				最小値	標準値	最大値	単位
F_{xtal}	水晶振動子の並列共振周波数				19.2、20、24、25、26、27		MHz
F_{xtal}	水晶振動子の周波数安定性および許容誤差		イーサネット RGMII および RMII は未使用			±100	ppm
			派生クロックを使用するイーサネット RGMII と RMII			±50	
$C_{L1+PCBXI}$	C_{L1} + C_{PCBXI} の容量				12	24	pF
$C_{L2+PCBXO}$	C_{L2} + C_{PCBXO} の容量				12	24	pF
C_L	水晶振動子の負荷容量				6	12	pF
C_{shunt}	水晶発振回路のシャント容量	19.2MHz、20MHz	ESR_{xtal} ≤ 30Ω			7	pF
			30Ω < ESR_{xtal} ≤ 80Ω			5	pF
			80Ω < ESR_{xtal} ≤ 100Ω			3	pF
		24MHz	ESR_{xtal} ≤ 30Ω			7	pF
			30Ω < ESR_{xtal} ≤ 60Ω			5	pF
			60Ω < ESR_{xtal} ≤ 80Ω			3	pF
			サポート対象外：80Ω ≤ ESR_{xtal}			–	
		25MHz	ESR_{xtal} ≤ 30Ω			7	pF
			30Ω < ESR_{xtal} ≤ 50Ω			5	pF
			50Ω < ESR_{xtal} ≤ 80Ω			3	pF
			サポート対象外：80Ω ≤ ESR_{xtal}			–	
		26MHz、27MHz	ESR_{xtal} ≤ 30Ω			7	pF
			30Ω < ESR_{xtal} ≤ 50Ω			5	pF
			サポート対象外：50Ω ≤ ESR_{xtal}			–	

Copyright © 2026 Texas Instruments Incorporated

表 6-24. WKUP_OSC0 水晶振動子の電気的特性 (続き)

パラメータ		最小値	標準値	最大値	単位
ESR_{xtal}	水晶振動子の等価直列抵抗			(1)	Ω

(1) 水晶振動子の最大 ESR は、水晶振動子の周波数とシャント容量の関数です。C_{shunt} パラメータを参照してください。

システムの設計で水晶振動子を選択するときは、ワーストケースの環境やシステムの予測寿命に基づいて、水晶振動子の温度特性および経年変化特性を考慮する必要があります。

表 6-25 に、発振器のスイッチング特性の詳細を示します。

表 6-25. WKUP_OSC0 のスイッチング特性 – 水晶振動子モード

名称	説明	最小値	標準値	最大値	単位
C_{XI}	XI 容量			1.316	pF
C_{XO}	XO 容量			1.333	pF
C_{XIXO}	XI から XO への相互容量			0.01	pF
t_s	起動時間		9.5(1)		ms

(1) **それぞれのお客様が、検証のためにデバイスのサンプルを共振器 / 水晶振動子のベンダに提出することを強くお勧めします。ベンダは、温度 / 電圧の最大値や最小値においても最適な起動と動作を実現するために、共振器 / 水晶振動子をマイクロコントローラ デバイスに合わせて最適に調整する負荷コンデンサを決定するための手段を用意しています。**

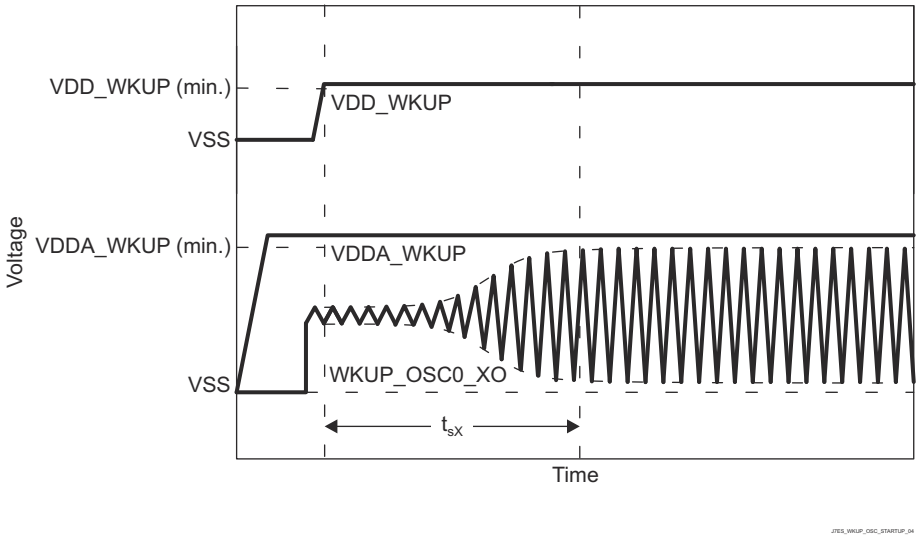


図 6-27. WKUP_OSC0 スタートアップ時間

6.10.4.1.1.1 負荷容量

水晶振動子回路は、水晶振動子メーカーの定義に従って、水晶振動子に適切な容量性負荷がかかるように設計する必要があります。この回路の容量性負荷 C_L は、ディスクリート コンデンサ C_{L1}、C_{L2}、およびいくつかの寄生成分から構成されています。水晶振動子回路の部品を WKUP_OSC0_XI および WKUP_OSC0_XO に接続する PCB 信号パターンには、グランド への寄生容量 C_{PCBXI} および C_{PCBXO} があり、PCB 設計者は各信号パターンの寄生容量を把握する必要があります。WKUP_OSC0 回路およびデバイス パッケージには、グランドへの寄生容量 C_{PCBXI} および C_{PCBXO} があります。ここで、これらの寄生容量の値は、表 6-25 で定義されています。

Copyright © 2026 Texas Instruments Incorporated

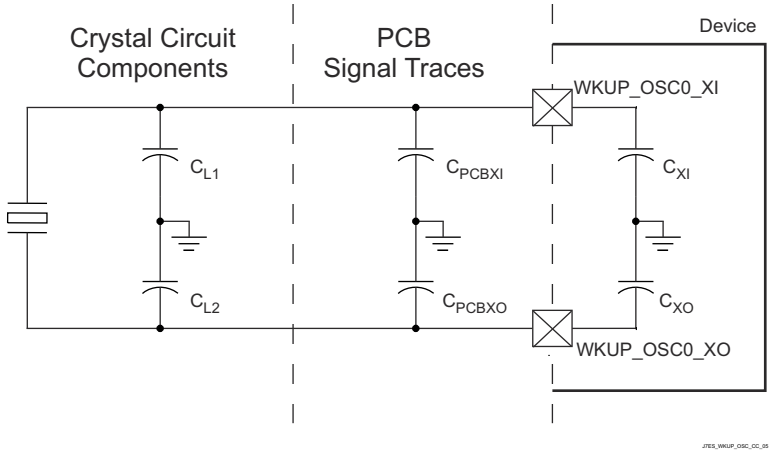


図 6-28. 負荷容量

図 6-26 の負荷コンデンサ C_{L1} および C_{L2} は 、次の式が満足されるように選択する必要があります。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。

$$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$$

C_{L1} と C_{L2} の値を決定するには、まず、容量性負荷の値 C_L に 2 を乗算します。この結果に対して、C_{PCBXI} + C_{XI} の合成値を減算すれば C_{L1} の値が得られます。また、C_{PCBXO} + C_{XO} の合成値 を減算すれば、C_{L2} の値が得られます。たとえば、C_L = 10pF、C_{PCBXI} = 2.9pF、C_{XI} = 0.5pF、C PCBXO = 3.7pF、C_{XO} = 0.5pF の場合、C_{L1} = [(2C_L) - (C_{PCBXI} + C_{XI})] = [(2 × 10pF) - 2.9pF - 0.5pF)] = 16.6pF および C_{L2} = [(2C_L) - (C_{PCBXO} + C_{XO})] = [(2 × 10pF) - 3.7pF - 0.5pF)] = 15.8pF となります。

6.10.4.1.1.2 シャント容量

また、水晶振動子回路は、表 6-24 に定義された WKUP_OSC0 動作条件の最大シャント容量を超えないように設計する必要があります 。水晶振動子回路のシャント容量 C_{shunt} は、水晶振動子のシャント容量と寄生成分の組み合わせです。水晶振動子回路の部品を WKUP_OSC0 に接続する PCB 信号パターンには、相互寄生容量 $C_{PCBXIXO}$ があります。PCB 設計者は、これらの信号パターン間の相互寄生容量を導出できる必要があります。デバイス パッケージには、相互寄生容量 C_{XIXO} もあります。ここで、この相互寄生容量の値は 表 6-25 で定義されています。

PCB 配線は、XI 信号パターンと XO 信号パターンの間の相互容量を最小限に抑えるよう設計する必要があります。これは通常、信号パターンを短くし、近接した場所に配線しないことで行われます。レイアウトで信号を互いに近接して配線する必要がある場合は、これらの信号の間にグランド パターンを配置することで、相互容量を最小化することもできます。水晶振動子を選択する際に、可能な限り大きなマージンを確保するために、PCB 上の相互容量を最小化することが重要です。

Copyright © 2026 Texas Instruments Incorporated

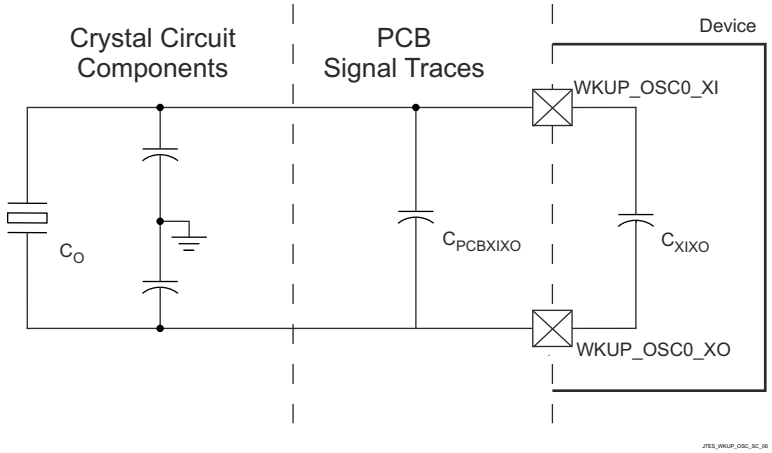


図 6-29. シャント容量

水晶振動子は、次の式が満たされるように選択する必要があります。この式の C_O は、水晶振動子のメーカーによって指定された最大シャント容量です。

$C_{shunt} \geq C_O + C_{PCBXIXO} + C_{XIXO}$

たとえば、使用する水晶振動子が ESR = 30Ω、$C_{PCBXIXO}$ = 0.04pF、C_{XIXO} = 0.01pF の 25MHz であり、水晶振動子のシャント容量が 6.95pF 以下の場合、この式が満たされます。

6.10.4.1.2 WKUP_OSC0 LVCMOS デジタル クロック ソース

図 6-30 に、WKUP_OSC0_XI を 1.8V LVCMOS 方形波デジタル クロック ソースに接続する場合に推奨される発振器接続を示します。

注

発振器が電源オンのとき、WKUP_OSC0_XI を DC 定常状態にすることは許容されません。WKUP_OSC0_XI は内部でコンパレータに AC 結合されているので、入力に DC が印加された場合、未知の状態になる可能性があり、これは許容されません。したがって、WKUP_OSC0_XI がロジック オン オフ状態をトグルしていないときは、必ず、アプリケーション ソフトウェアは WKUP_OSC0 の電源をオフにする必要があります。

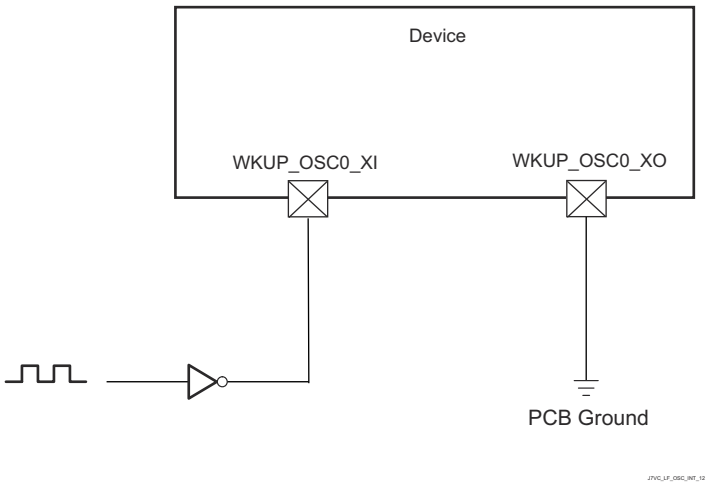


図 6-30. 1.8V LVCMOS 互換クロック入力

6.10.4.1.3 補助 OSC1 内部発振器クロック ソース

図 6-31 に、水晶発振器の推奨回路を示します。発振回路の実装に使用されるすべてのディスクリート部品は、OSC1_XI および OSC1_XO ピンのできるだけ近くに配置する必要があります。

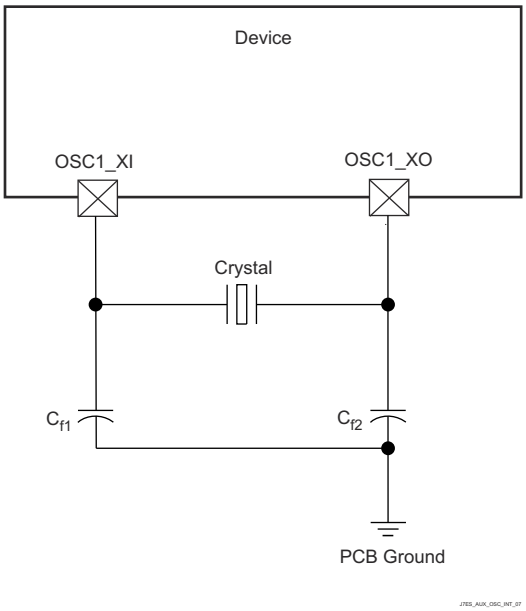


図 6-31. OSC1 水晶振動子の実装

水晶振動子は、基本動作モード、並列共振である必要があります。表 6-26 に、必要な電気的制約事項を示します。

表 6-26. OSC1 水晶振動子の電気的特性

パラメータ			最小値	標準値	最大値	単位
F_{xtal}	水晶振動子の並列共振周波数		19.2		27	MHz
F_{xtal}	水晶振動子の周波数安定性および許容誤差	イーサネット RGMII および RMII は未使用			±100	ppm
		派生クロックを使用するイーサネット RGMII と RMII			±50	
$C_{L1+PCBXI}$	C_{L1} + C_{PCBXI} の容量		12		24	pF
$C_{L2+PCBXO}$	C_{L2} + C_{PCBXO} の容量		12		24	pF
C_L	水晶振動子の負荷容量		6		12	pF

Copyright © 2026 Texas Instruments Incorporated

表 6-26. OSC1 水晶振動子の電気的特性 (続き)

パラメータ				最小値	標準値	最大値	単位
C_{shunt}	水晶発振回路のシャント容量	19.2MHz ≤ F_{xtal} ≤ 20MHz	ESR_{xtal} ≤ 30Ω			7	pF
			30Ω ≤ ESR_{xtal} ≤ 80Ω			5	pF
			80Ω ≤ ESR_{xtal} ≤ 100Ω			3	pF
		20MHz ≤ F_{xtal} ≤ 24.576MHz	ESR_{xtal} ≤ 30Ω			7	pF
			30Ω ≤ ESR_{xtal} ≤ 60Ω			5	pF
			60Ω ≤ ESR_{xtal} ≤ 80Ω			3	pF
			サポート対象外:80Ω ≤ ESR_{xtal}			–	
		24.576MHz ≤ F_{xtal} ≤ 25MHz	ESR_{xtal} ≤ 30Ω			7	pF
			30Ω ≤ ESR_{xtal} ≤ 50Ω			5	pF
			50Ω ≤ ESR_{xtal} ≤ 80Ω			3	pF
			サポート対象外:80Ω ≤ ESR_{xtal}			–	
		25MHz ≤ F_{xtal} ≤ 27MHz	ESR_{xtal} ≤ 30Ω			7	pF
			30Ω ≤ ESR_{xtal} ≤ 50Ω			5	pF
			サポート対象外:50Ω ≤ ESR_{xtal}			–	
ESR_{xtal}	水晶振動子の等価直列抵抗					100	Ω

水晶振動子を選択するとき、システム設計では、ワーストケースの環境とシステムの予測寿命に基づいて、温度と経年変化特性を考慮する必要があります。

表 6-27 に、発振器のスイッチング特性と入力クロックの要件を示します。

表 6-27. OSC1 のスイッチング特性 – 水晶振動子モード

パラメータ		最小値	標準値	最大値	単位
C_{XI}	XI 容量			1.139	pF
C_{XO}	XO 容量			1.106	pF
C_{XIXO}	XI から XO への相互容量			0.01	pF
t_s	起動時間		9.5(1)		ms

(1) それぞれのお客様が、検証のためにデバイスのサンプルを共振器 / 水晶振動子のベンダに提出することを強くお勧めします。ベンダは、温度 / 電圧の最大値や最小値においても最適な起動と動作を実現するために、共振器 / 水晶振動子をマイクロコントローラ デバイスに合わせて最適に調整する負荷コンデンサを決定するための手段を用意しています。

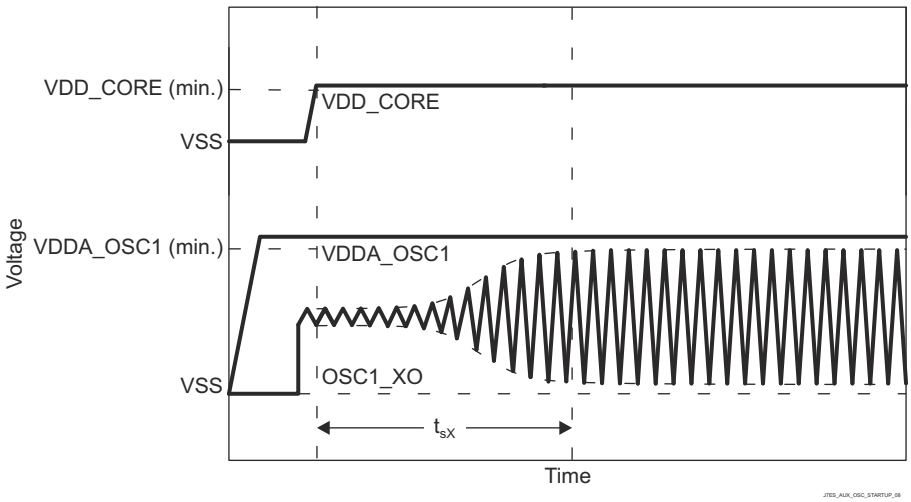


図 6-32. OSC1 スタートアップ時間

6.10.4.1.3.1 負荷容量

水晶振動子回路は、水晶振動子メーカーの定義に従って、水晶振動子に適切な容量性負荷がかかるように設計する必要があります。この回路の容量性負荷 C_L は、ディスクリート コンデンサ C_{L1}、C_{L2}、およびいくつかの寄生成分から構成されています。水晶振動子回路の部品を OSC1_XI および OSC1_XO に接続する PCB 信号パターンには、グランド への寄生容量 C_{PCBXI} および C_{PCBXO} があり、PCB 設計者は各信号パターンの寄生容量を把握する必要があります。OSC1 回路およびデバイス パッケージには、グランドへの寄生容量 C_{PCBXI} および C_{PCBXO} があります。ここで、これらの寄生容量の値は、表 6-25 で定義されています。

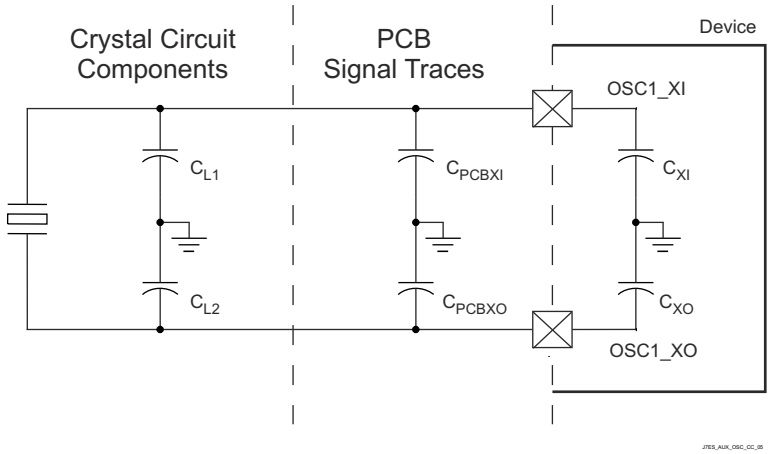


図 6-33. 負荷容量

図 6-26 の負荷コンデンサ C_{L1} および C_{L2} は 、次の式が満足されるように選択する必要があります。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。

$$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$$

C_{L1} と C_{L2} の値を決定するには、まず、容量性負荷の値 C_L に 2 を乗算します。この結果に対して、C_{PCBXI} + C_{XI} の合成値を減算すれば C_{L1} の値が得られます。また、C_{PCBXO} + C_{XO} の合成値 を減算すれば、C_{L2} の値が得られます。たとえば、C_L = 10pF、C_{PCBXI} = 2pF、C_{XI} = 1pF、C_{PCBXO} = 2pF、C_{XO} = 1pF の場合、C_{L1} = C_{L2} = $[(2C_L) – (C_{PCBXI} + C_{XI})]$ = $[(2C_L) – (C_{PCBXO} + C_{XO})]$ = [(2 × 10pF) – (2pF – 1pF)] = 17pF となります。

6.10.4.1.3.2 シャント容量

また、水晶振動子回路は、表 6-24 に定義された OSC1 動作条件の最大シャント容量を超えないように設計する必要があります 。水晶振動子回路のシャント容量 C_{shunt} は、水晶振動子のシャント容量と寄生成分の組み合わせです。水晶振動子回路の部品を OSC1 に接続する PCB 信号パターンには、相互寄生容量 $C_{PCBXIXO}$ があります。PCB 設計者は、これらの信号パターン間の相互寄生容量を導出できる必要があります。デバイス パッケージには、相互寄生容量 C_{XIXO} もあります。ここで、この相互寄生容量の値は 表 6-25 で定義されています。

PCB 配線は、XI 信号パターンと XO 信号パターンの間の相互容量を最小限に抑えるよう設計する必要があります。これは通常、信号パターンを短くし、近接した場所に配線しないことで行われます。レイアウトで信号を互いに近接して配線する必要がある場合は、これらの信号の間にグランド パターンを配置することで、相互容量を最小化することもできます。水晶振動子を選択する際に、可能な限り大きなマージンを確保するために、PCB 上の相互容量を最小化することが重要です。

Copyright © 2026 Texas Instruments Incorporated

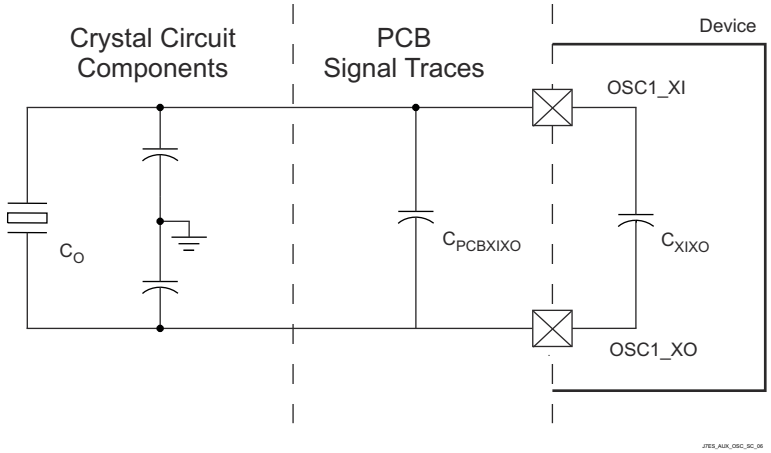


図 6-34. シャント容量

水晶振動子は、次の式が満たされるように選択する必要があります。この式の C_O は、水晶振動子のメーカーによって指定された最大シャント容量です。

$C_{shunt} \geq C_O + C_{PCBXIXO} + C_{XIXO}$

たとえば、使用する水晶振動子が 25MHz、ESR = 30Ω、$C_{PCBXIXO}$ = 0.7pF、C_{XIXO} = 0.01pF であり、水晶振動子のシャント容量が 6.29pF 以下の場合、この式は満たされます。

6.10.4.1.4 補助 OSC1 LVCMOS デジタル クロック ソース

図 6-35 に、OSC1_XI を 1.8V LVCMOS 方形波デジタル クロック ソースに接続する場合に推奨される発振器接続を示します。

注

発振器が電源オンのとき、OSC1_XI を DC 定常状態にすることは許容されません。OSC1_XI は内部でコンパレータに AC 結合されているので、入力に DC が印加された場合、未知の状態になる可能性があり、これは許容されません。したがって、OSC1_XI がロジック オン オフ状態をトグルしていないときは、必ず、アプリケーション ソフトウェアは OSC1 の電源をオフにする必要があります。

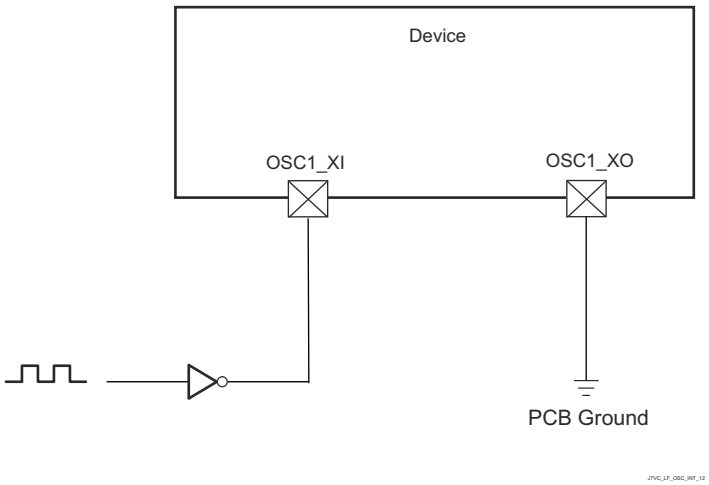


図 6-35. 1.8V LVCMOS 互換クロック入力

6.10.4.1.5 補助 OSC1 未使用

図 6-36 に、OSC1 を使用しない場合に推奨される発振器接続を示します。OSC1_XI は外付けプル抵抗 (R_{pd}) を介して VSS に接続する必要があります。これは、内部プルダウン抵抗がデフォルトで無効になっており、未使用時にこの入力を有効な Low レベルに保持するためです。

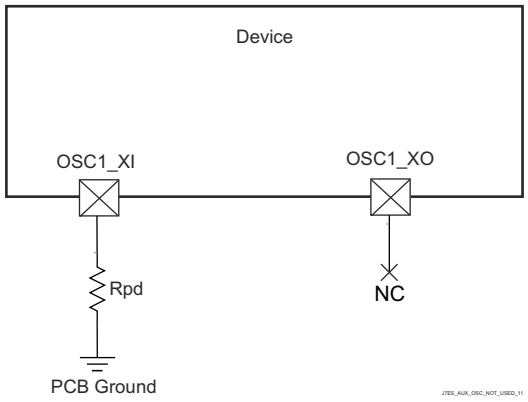


図 6-36. OSC1 を使用しない場合

6.10.4.1.6 WKUP_LF_CLKIN 内部発振器クロック ソース

図 6-37 に、WKUP_LF_CLKIN を LVCMOS 方形波デジタル クロック ソースに接続する場合に推奨される発振器接続を示します。

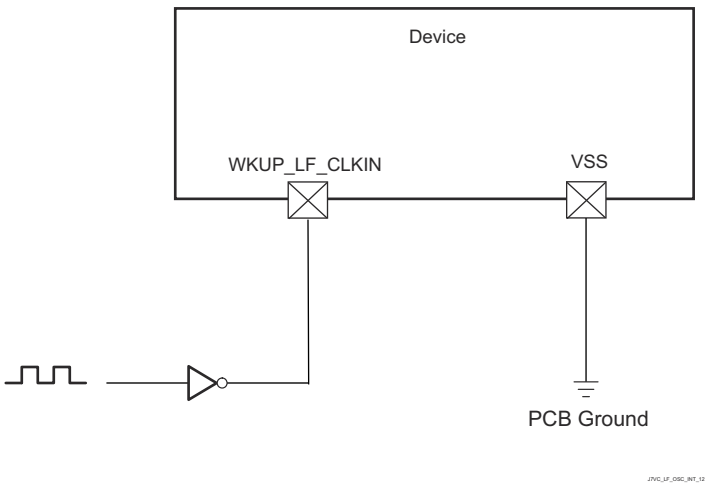


図 6-37. WKUP_LF_CLKIN 水晶発振器実装

表 6-28 に、WKUP_LF_CLKIN 入力クロックのタイミング要件を示します。

表 6-28. WKUP_LF_CLKIN 入力クロックのタイミング要件 (2)

名称	説明		最小値	標準値	最大値	単位
CK0	1/ $t_{c(WKUP_LF_CLKIN)}$	周波数、WKUP_LF_CLKIN		32768		Hz
CK1	$t_{w(WKUP_LF_CLKIN)}$	パルス幅、WKUP_LF_CLKIN Low または High	0.45*P(1)		0.55*P(1)	ns

(1) P は WKUP_LF_CLKIN サイクル時間 (ns 単位) です。
(2) 電圧およびスルーレート情報については、セクション 6.6.7、LVCMOS 電気的特性を参照してください。

Copyright © 2026 Texas Instruments Incorporated

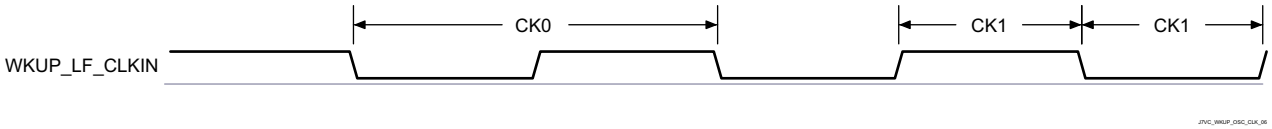


図 6-38. WKUP_LF_CLKIN スタートアップ時間

6.10.4.1.7 WKUP_LF_CLKIN を使用しない場合

図 6-39 は、WKUP_LF_CLKIN を使用しない場合に推奨される発振器接続を示します。内部プルダウン抵抗がデフォルトで有効であるため、発振器が無効になっている場合は、WKUP_LF_CLKIN は未接続でもかまいません。

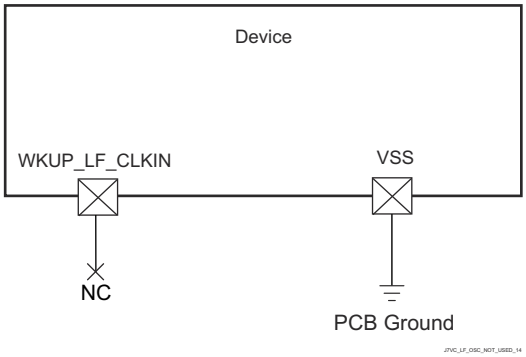


図 6-39. WKUP_LF_CLKIN を使用しない場合

6.10.4.2 出力クロック

このデバイスには、複数のシステム クロック出力があります。これらの出力クロックの概要は、以下のとおりです。

- **MCU_CLKOUT0**
  - イーサネット PHY の基準クロック出力 (50MHz または 25MHz)
- **MCU_SYSCLKOUT0**
  - WKUP_PLLCTRL0 の SYSCLK0 は 6 分周され、LVCMOS クロック信号 (MCU_SYSCLKOUT0) としてデバイスから出力されます。この信号を使って、メイン チップのクロックが機能しているかどうかをテストできます。
- **MCU_OBSCLK0**
  - クロック出力 MCU_OBSCLK0 では、テストおよびデバッグのために発振器と PLL クロックを監視できます。
- **SYSCLKOUT0**
  - MAIN_PLL コントローラの SYSCLK0 は 6 分周され、LVCMOS クロック信号 (SYSCLKOUT0) としてデバイスから出力されます。この信号を使って、メイン チップのクロックが機能しているかどうかをテストできます。
- **CLKOUT**
  - 基準クロック出力
- **OBSCLK[2:0]**
  - クロック出力 OBSCLK0 では、テストおよびデバッグのために発振器と PLL クロックを監視できます。

Copyright © 2026 Texas Instruments Incorporated

6.10.4.3 PLL

フェーズ ロック ループ回路 (PLL) の電力は、オフ チップ電源から電力を得る内部レギュレータによって供給されます。

このデバイスには、WKUP および MCU ドメインに合計 3 つの PLL があります。

- MCU_PLL0 (MCU R5FSS PLL)、WKUP_PLLCTRL0 付き
- MCU_PLL1 (MCU PERIPHERAL PLL)
- MCU_PLL2 (MCU CPSW PLL)

メイン ドメインには、合計 10 個の PLL があります。

- PLL0 (MAIN PLL)、PLLCTRL0 付き
- PLL1 (PER0 PLL)
- PLL2 (PER1 PLL)
- PLL3 (CPSW5X PLL)
- PLL4 (AUDIO0 PLL)
- PLL7 (MSMC PLL)
- PLL8 (ARM0 PLL)
- PLL12 (DDR PLL)
- PLL13 (C66 PLL)
- PLL14 (R5FSS PLL)

注

詳細については、以下を参照してください。

- デバイスのテクニカル リファレンス マニュアルの「デバイス構成」「クロッキング」「PLL」セクション
- デバイスのテクニカル リファレンス マニュアルの「プログラマブル リアルタイム ユニット サブシステムおよび産業用通信サブシステム - ギガビット (PRU)」セクション。

注

入力基準クロック (OSC1_XI/OSC1_XO) は、デバイスのテクニカル リファレンス マニュアルの「デバイス構成」の章に記載されているように規定されており、ロック時間は PLL コントローラによって保証されます。

6.10.4.4 クロックと制御信号の推奨遷移動作

すべてのクロック信号とストローブ信号は、V_{IH} と V_{IL} (または V_{IL} と V_{IH})の間で単調に遷移する必要があります。高速なスイッチング信号により、単調な遷移がより簡単に確保できます。入力遷移が遅いと、ノイズによるグリッチの影響を受けやすくなります。低速の入力クロックでは特に注意する必要があります。

6.10.4.5 インターフェイス クロックの仕様

6.10.4.5.1 インターフェイス クロックに関する用語

インターフェイス クロックは、システム レベルで使用されて、データのシーケンスを実行し、インターフェイス プロトコルによる転送を制御します。

6.10.4.5.2 インターフェイスクロック周波数

インターフェイスクロック特性は次の 2 つです。

- 最大クロック周波数
- 最大動作周波数

ここに記載されているインターフェイスクロック周波数は最大クロック周波数であり、この出力クロックでプログラム可能な最大周波数に対応しています。この周波数は、デバイス IC がサポートする最大制限を定義しており、システム上の考慮事項（PCB、ペリフェラル）は考慮されていません。

Copyright © 2026 Texas Instruments Incorporated

システム設計者は、これらのシステム上の考慮事項とデバイスの IC タイミング特性を考慮して、このインターフェイス上のデータ転送でサポートされる最大周波数に対応する最大動作周波数を適切に定義する必要があります。

Copyright © 2026 Texas Instruments Incorporated

6.10.5 ペリフェラル

6.10.5.1 ATL

このデバイスには、オーディオの非同期サンプル レート変換に使用できる ATL モジュールが搭載されています。ATL は、オーディオ同期などの 2 つの時間ベース間の誤差を計算します。また、ソフトウェアによるサイクル スチールを使って、平均化されたクロックを生成することもできます。

注

ATL の詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オーディオ トラッキング ロジック (ATL)」セクションを参照してください。

表 6-29 に、ATL のタイミング条件を示します。

表 6-29. ATL のタイミング条件

パラメータ		モード	最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	外部基準クロック	0.5	5	V/ns
出力条件					
C_L	出力負荷容量	内部基準クロック	1	10	pF

セクション 6.10.5.1.1、セクション 6.10.5.1.2、セクション 6.10.5.1.3、セクション 6.10.5.1.4 に、ATL のタイミング要件とスイッチング特性を示します。

6.10.5.1.1 ATL_PCLK のタイミング要件

番号	パラメータ		モード	最小値	最大値	単位
D1	$t_{c(pclk)}$	サイクル時間、ATL_PCLK	外部基準クロック	5		ns
D2	$t_{w(pclkL)}$	パルス幅、ATL_PCLK low	外部基準クロック	0.45 × M (1) + 2.5		ns
D3	$t_{w(pclkH)}$	パルス幅、ATL_PCLK high	外部基準クロック	0.45 × M (1) + 2.5		ns

(1) M = ATL_CLK[x] 周期

6.10.5.1.2 ATL_AWS[x] のタイミング要件

番号			モード	最小値	最大値	単位
D4	$t_{c(aws)}$	サイクル時間、ATL_AWS[x](3)	外部基準クロック	2 × M(1)		ns
D5	$t_{w(awsL)}$	パルス幅、ATL_AWS[x](3) Low	外部基準クロック	0.45 × A(2) + 2.5		ns
D6	$t_{w(awsH)}$	パルス幅、ATL_AWS[x](3) High	外部基準クロック	0.45 × A(2) + 2.5		ns

(1) M = ATL_CLK[x] 周期
(2) A = ATL_AWS[x] 周期
(3) x = 0～3

6.10.5.1.3 ATL_BWS[x] のタイミング要件

番号			モード	最小値	最大値	単位
D7	$t_{c(bws)}$	サイクル時間、ATL_BWS[x](3)	外部基準クロック	2 × M(1)		ns
D8	$t_{w(bwsL)}$	パルス幅、ATL_BWS[x] low(3)	外部基準クロック	0.45 × B(2) + 2.5		ns
D9	$t_{w(bwsH)}$	パルス幅、ATL_BWS[x] high(3)	外部基準クロック	0.45 × B(2) + 2.5		ns

(1) M = ATL_CLK[x] 周期
(2) B = ATL_BWS[x] 周期
(3) x = 0～3

Copyright © 2026 Texas Instruments Incorporated

6.10.5.1.4 ATCLK[x] のスイッチング特性

番号	パラメータ		モード	最小値	最大値	単位
D10	$t_{c(atclk)}$	サイクル時間、ATCLK[x](3)	内部基準クロック	20		ns
D11	$t_{w(atclkL)}$	パルス幅、ATCLK[x] low(3)	内部基準クロック	0.45 × P(2) - M(1) - 0.3		ns
D12	$t_{w(atclkH)}$	パルス幅、ATCLK[x] high(3)	内部基準クロック	0.45 × P(2) - M(1) - 0.3		ns

(1) M = ATL_CLK[x] 周期
(2) P = ATCLK[x] 周期
(3) x = 0～3

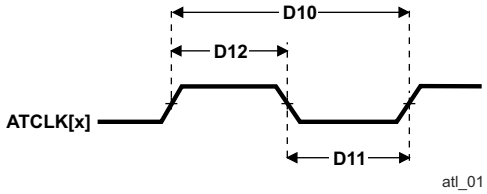


図 6-40. ATCLK[x] タイミング

6.10.5.2 CPSW2G

本デバイスのギガビット イーサネット MAC の機能の詳細と追加の説明情報については、セクション 5.3、信号の説明および セクション 7、詳細説明内の対応するセクションを参照してください。

表 6-30 に CPSW2G のタイミング条件を示します。

表 6-30. CPSW2G のタイミング条件

パラメータ	説明		最小値	最大値	単位
入力条件					
t_R	入力信号の立ち上がり時間		1	5	V/ns
t_F	入力信号の立ち下がり時間		1	5	V/ns
出力条件					
C_{LOAD}	出力負荷容量		2	20	pF
PCB 接続要件					
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬遅延の不整合	RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL		50	ps
		RGMII[x]_TXC、RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL		50	ps

6.10.5.2.1 CPSW2G RMII のタイミング

セクション 6.10.5.2.1.1、セクション 6.10.5.2.1.2、および図 6-41 に、CPSW2G RMII 受信のタイミング要件を示します。

6.10.5.2.1.1 RMII[x]_REFCLK のタイミング要件 – RMII モード

番号	パラメータ	説明	最小値	標準値	最大値	単位
RMII1	$t_{c(REF_CLK)}$	サイクル時間、REF_CLK	19.999		20.001	ns
RMII2	$t_{w(REF_CLKH)}$	パルス幅、REF_CLK High	7		13	ns
RMII3	$t_{w(REF_CLKL)}$	パルス幅、REF_CLK Low	7		13	ns

Copyright © 2026 Texas Instruments Incorporated

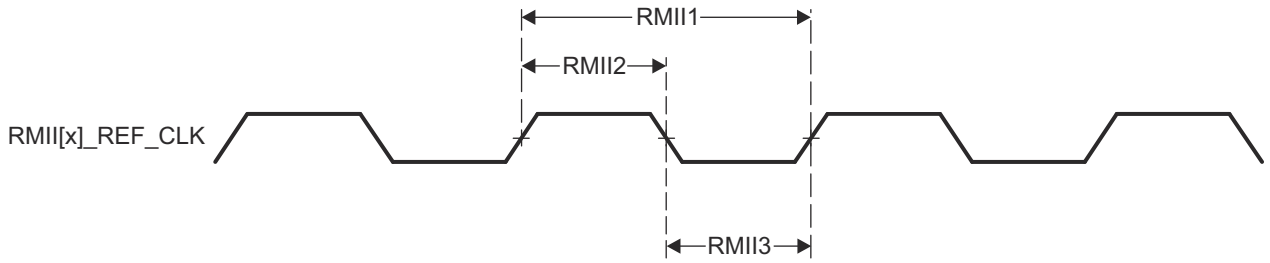


図 6-41. RMII[x]_REFCLK のタイミング – RMII モード

6.10.5.2.1.2 RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RXER のタイミング要件 - RMII モード

番号	パラメータ	説明	最小値	標準値	最大値	単位
RMII4	$t_{su(RXD-REF_CLK)}$	セットアップ時間、RX_CLK の前に RXD[1:0] が有効であるべき時間	4			ns
	$t_{su(CRS_DV-REF_CLK)}$	セットアップ時間、RX_CLK の前に CRS_DV が有効であるべき時間	4			ns
	$t_{su(RX_ER-REF_CLK)}$	セットアップ時間、RX_CLK の前に RX_ER が有効であるべき時間	4			ns
RMII5	$t_{h(REF_CLK-RXD)}$	ホールド時間、REF_CLK の後に RXD[1:0] を保持するべき時間	2			ns
	$t_{h(REF_CLK-CRS_DV)}$	ホールド時間、REF_CLK の後 CRS_DV を有効に保持すべき時間	2			ns
	$t_{h(REF_CLK-RX_ER)}$	ホールド時間、REF_CLK の後 RX_ER を有効に保持すべき時間	2			ns

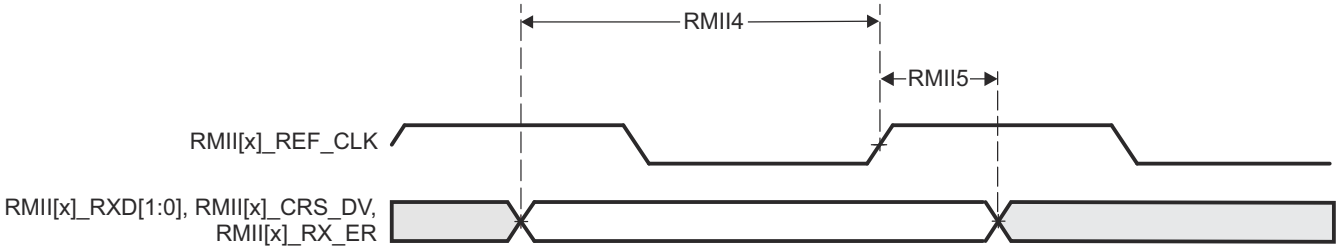


図 6-42. RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RXER のタイミング – RMII モード

セクション 6.10.5.2.1.3 およびセクション 6.10.5.2.1.3 は、CPSW2G の RMII 送信におけるスイッチング特性を示します。

6.10.5.2.1.3 RMII[x]_TXD[1:0] および RMII[x]_TXEN のスイッチング特性 – RMII モード

番号	パラメータ	説明	最小値	標準値	最大値	単位
RMII6	$t_{d(REF_CLK-TXD)}$	遅延時間、REF_CLK High から TXD[1:0] 有効まで	2		10	ns
	$t_{d(REF_CLK-TXEN)}$	遅延時間、REF_CLK から TXEN 有効まで	2		10	ns
RMII7	$t_{r(TXD)}$	立ち上がり時間、TXD 出力	1		5	ns
	$t_{r(TX_EN)}$	立ち上がり時間、TX_EN 出力	1		5	ns
RMII8	$t_{f(TXD)}$	立ち下がり時間、TXD 出力	1		5	ns
	$t_{f(TX_EN)}$	立ち下がり時間、TX_EN 出力	1		5	ns

Copyright © 2026 Texas Instruments Incorporated

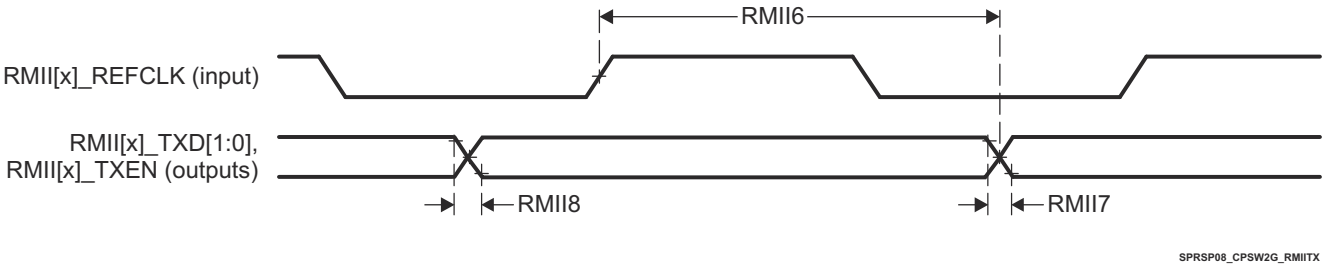


図 6-43. SPI マスタ モードの受信タイミング

6.10.5.2.2 CPSW2G RGMII のタイミング

セクション 6.10.5.2.2.1、セクション 6.10.5.2.2.2、および 図 6-44 に、受信 RGMII 動作のタイミング要件を示します。

6.10.5.2.2.1 RGMII[x]_RCLK のタイミング要件 - RGMII モード

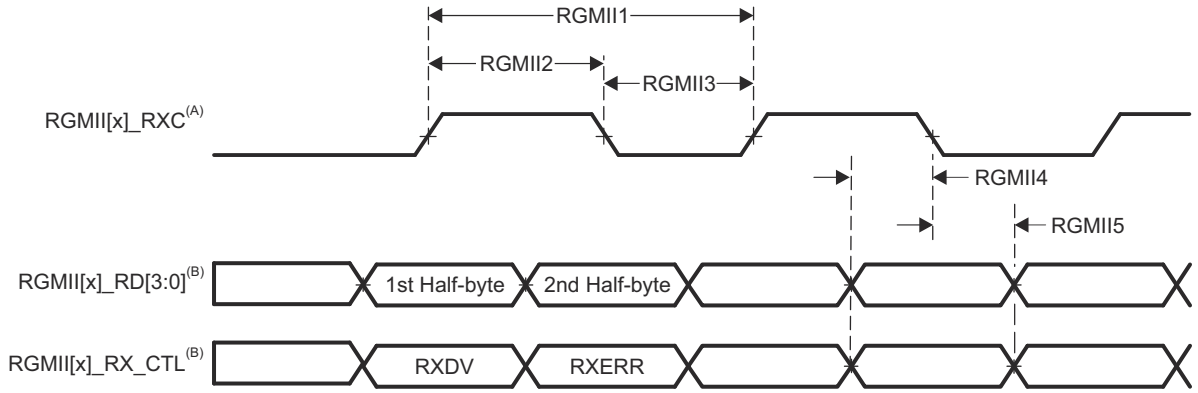
番号	パラメータ	説明	モード	最小値	標準値	最大値	単位
RGMII1	$t_{c(RXC)}$	サイクル時間、RXC	10Mbps	360		440	ns
			100Mbps	36		44	ns
			1000Mbps	7.2		8.8	ns
RGMII2	$t_{w(RXCH)}$	パルス幅、RXC high	10Mbps	160		240	ns
			100Mbps	16		24	ns
			1000Mbps	3.6		4.4	ns
RGMII3	$t_{w(RXCL)}$	パルス幅、RXC low	10Mbps	160		240	ns
			100Mbps	16		24	ns
			1000Mbps	3.6		4.4	ns
RGMII4	$t_{t(RXC)}$	遷移時間、RXC	10Mbps			0.75	ns
			100Mbps			0.75	ns
			1000Mbps			0.75	ns

6.10.5.2.2.2 RGMII[x]_RD[3:0]、RGMII[x]_RCTL のタイミング要件 – RGMII モード

番号	パラメータ	説明	モード	最小値	標準値	最大値	単位
RGMII5	$t_{su(RD-RXC)}$	セットアップ時間、RD[3:0] 有効から RXC High/Low まで	10Mbps	1			ns
			100Mbps	1			ns
			1000Mbps	1			ns
	$t_{su(RX_CTL-RXC)}$	セットアップ時間、RX_CTL 有効から RXC high/low まで	10Mbps	1			ns
			100Mbps	1			ns
			1000Mbps	1			ns
RGMII6	$t_{h(RXC-RD)}$	ホールド時間、RXC high/low から RD[3:0] 有効の間	10Mbps	1			ns
			100Mbps	1			ns
			1000Mbps	1			ns
	$t_{h(RXC-RX_CTL)}$	ホールド時間、RXC high/low から RX_CTL 有効の間	10Mbps	1			ns
			100Mbps	1			ns
			1000Mbps	1			ns

Copyright © 2026 Texas Instruments Incorporated

番号	パラメータ	説明	モード	最小値	標準値	最大値	単位
RGMII7	$t_{t(RD)}$	遷移時間、RD	10Mbps			0.75	ns
			100Mbps			0.75	ns
			1000Mbps			0.75	ns
	$t_{t(RX_CTL)}$	遷移時間、RX_CTL	10Mbps			0.75	ns
			100Mbps			0.75	ns
			1000Mbps			0.75	ns



A. RGMII_TXC は、DATA ピンおよび制御ピンに対して、外部で遅延させる必要があります。

B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII_RXD[3:0] は、RGMII_RXC の立ち上がりエッジでデータ ビット 3～0 を、RGMII_RXC の立ち下がりエッジでデータ ビット 7～4 を伝送します。同様に、RGMII_RXCTL は RGMII_RXC の立ち上がりエッジで RXDV を、RGMII_RXC の立ち下がりエッジで RXERR を伝送します。

図 6-44. CPSW2G 受信インターフェイスのタイミング、RGMII 動作

セクション 6.10.5.2.2.3、セクション 6.10.5.2.2.4、および 図 6-45 に、10 Mbps、100 Mbps、および 1000 Mbps の送信 RGMII のスイッチング特性を示します。

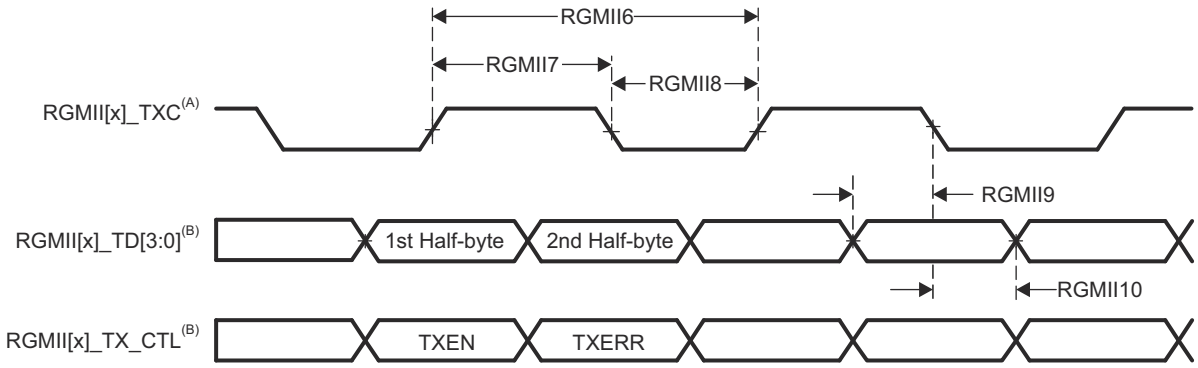
6.10.5.2.2.3 RGMII[x]_TCLK のスイッチング特性 – RGMII モード

番号	パラメータ	説明	モード	最小値	標準値	最大値	単位
RGMII1	$t_{c(TXC)}$	サイクル時間、TXC	10Mbps	360		440	ns
			100Mbps	36		44	ns
			1000Mbps	7.2		8.8	ns
RGMII2	$t_{w(TXCH)}$	パルス幅、TXC high	10Mbps	160		240	ns
			100Mbps	16		24	ns
			1000Mbps	3.6		4.4	ns
RGMII3	$t_{w(TXCL)}$	パルス幅、TXC low	10Mbps	160		240	ns
			100Mbps	16		24	ns
			1000Mbps	3.6		4.4	ns
RGMII4	$t_{t(TXC)}$	遷移時間、TXC	10Mbps			0.75	ns
			100Mbps			0.75	ns
			1000Mbps			0.75	ns

Copyright © 2026 Texas Instruments Incorporated

6.10.5.2.2.4 RGMII[x]_TD[3:0] および RGMII[x]_TCTL のスイッチング特性 – RGMII モード

番号	パラメータ	説明	モード	最小値	標準値	最大値	単位
RGMII5	$t_{osu(TD-TXC)}$	出力セットアップ時間、RGMII[x]_TD[3:0] 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2			ns
			100Mbps	1.2			ns
			1000Mbps	1.05			ns
	$t_{osu(TX_CTL-TXC)}$	出力セットアップ時間、RGMII[x]_TX_CTL 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2			ns
			100Mbps	1.2			ns
			1000Mbps	1.05			ns
RGMII6	$t_{oh(TD-TXC)}$	出力ホールド時間、RGMII[x]_TXC High/Low から RGMII[x]_TD[3:0] 有効の間	10Mbps	1.2			ns
			100Mbps	1.2			ns
			1000Mbps	1.0			ns
	$t_{oh(TX_CTL-TXC)}$	出力ホールド時間、RGMII[x]_TXC High/Low から RGMII[x]_TX_CTL 有効の間	10Mbps	1.2			ns
			100Mbps	1.2			ns
			1000Mbps	1.05			ns



A. TXC は内部で遅延されてから、RGMII[x]_TXC ピンを駆動します。この内部遅延は常にイネーブルになっています。

B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII_TD[3:0] は、RGMII_TXC の立ち上がりエッジでデータ ビット 3～0 を、RGMII_TXC の立ち下がりエッジでデータ ビット 7～4 を伝送します。同様に、RGMII_TX_CTL は RGMII_TXC の立ち上がりエッジで TXDV を、RGMII_TXC の立ち下がりエッジで RTXERR を伝送します。

図 6-45. CPSW2G 送信インターフェイスのタイミング RGMII モード

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ギガビット イーサネット MAC (MCU_CPSW0)」セクションを参照してください。

6.10.5.3 CPSW5G

ギガビット イーサネット MAC は、表 6-31 に示されている規格をサポートします。

表 6-31. CPSW5G がサポートする規格

業界標準	ボーレート(1)	リンク / データ レート(1)
USXGMII / XFI	5.15625GBaud 10.3125GBaud	5Gbps 10Gbps
QSGMII	5GBaud	4x 1Gbps
XAUI (2.5G SGMII)	3.125GBaud	2.5 Gbps
1G SGMII	1.25GBaud	1 Gbps

(1) レプリケーションによってデータ レートを下げることができます

本デバイスのギガビット イーサネット MAC の機能の詳細と追加の説明については、セクション 5.3「信号の説明」およびセクション 7「詳細説明」内の対応するセクションを参照してください。

表 6-32 に CPSW5G のタイミング条件を示します。

表 6-32. CPSW5G のタイミング条件

パラメータ	説明		最小値	最大値	単位
入力条件					
t_R	入力信号の立ち上がり時間		1	5	V/ns
t_F	入力信号の立ち下がり時間		1	5	V/ns
出力条件					
C_{LOAD}	出力負荷容量		2	20	pF
PCB 接続要件					
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬遅延の不整合	RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL		50	ps
		RGMII[x]_TXC、RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL		50	ps

6.10.5.3.1 CPSW5G MDIO インターフェイスのタイミング

表 6-33、表 6-34、表 6-35、および図 6-46 に、MDIO のタイミング要件を示します。

表 6-33. CPSW5G MDIO のタイミング条件

パラメータ	説明	最小値	最大値	単位
入力条件				
SR_I	入力信号スルーレート	0.9	3.6	V/ns
出力条件				
C_L	出力負荷容量	10	470	pF

表 6-34. MDIO 入力のタイミング要件

番号	パラメータ		最小値	最大値	単位
MDIO1	$t_{su(MDIO_MDC)}$	セットアップ時間、MDIO_CLK High の前に MDIO_DATA が有効であるべき時間	90		ns
MDIO2	$t_{h(MDIO_MDC)}$	ホールド時間、MDIO_CLK High 後に MDIO_DATA を有効に保持すべき時間	0		ns

表 6-35. MDIO 出力の推奨動作条件に対するスイッチング特性

番号	パラメータ		最小値	最大値	単位
MDIO3	$t_{c(MDC)}$	サイクル時間、MDIO_CLK	400		ns
MDIO4	$t_{w(MDCH)}$	パルス持続時間、MDIO_CLK High	160		ns
MDIO5	$t_{w(MDCL)}$	パルス持続時間、MDIO_CLK Low	160		ns
MDIO6	$t_{t(MDC)}$	遷移時間、MDIO_CLK		5	ns
MDIO7	$t_{d(MDC_MDIO)}$	遅延時間、MDIO_CLK High から MDIO_DATA 有効まで	-150	150	ns

Copyright © 2026 Texas Instruments Incorporated

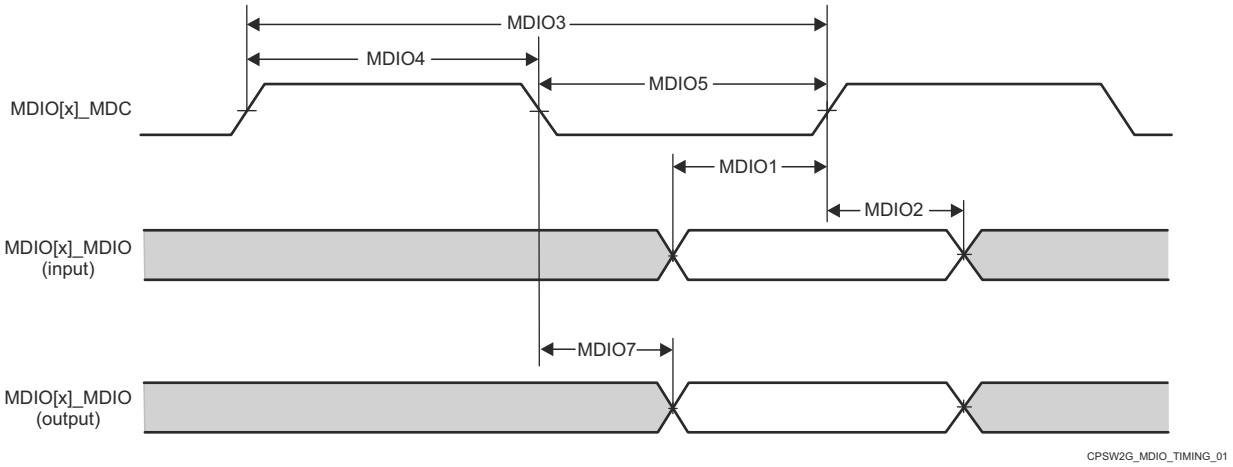


図 6-46. CPSW5G MDIO 図の受信および送信

6.10.5.3.2 CPSW5G RMII のタイミング

セクション 6.10.5.3.2.1、セクション 6.10.5.3.2.2、および図 6-47 に、CPSW5G RMII 受信動作のタイミング要件を示します。

6.10.5.3.2.1 RMII[x]_REFCLK のタイミング要件 – RMII モード

番号	パラメータ	説明	最小値	標準値	最大値	単位
RMII1	$t_{c(REF_CLK)}$	サイクル時間、REF_CLK	19.999		20.001	ns
RMII2	$t_{w(REF_CLKH)}$	パルス幅、REF_CLK High	7		13	ns
RMII3	$t_{w(REF_CLKL)}$	パルス幅、REF_CLK Low	7		13	ns

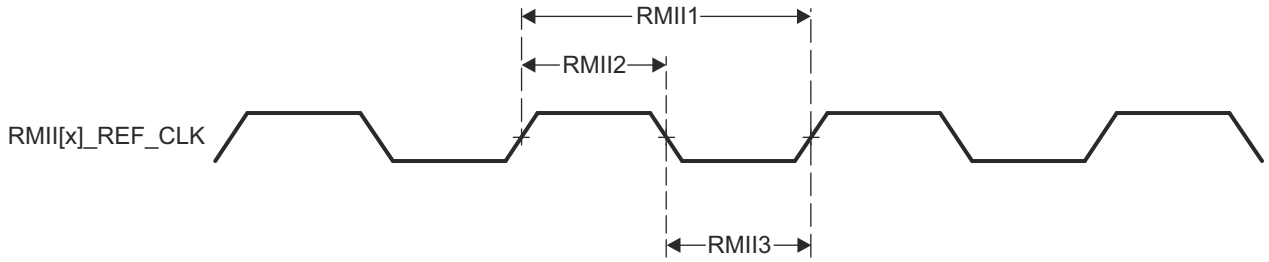


図 6-47. RMII[x]_REFCLK のタイミング – RMII モード

6.10.5.3.2.2 RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RXER のタイミング要件 - RMII モード

番号	パラメータ	説明	最小値	標準値	最大値	単位
RMII4	$t_{su(RXD-REF_CLK)}$	セットアップ時間、RX_CLK の前に RXD[1:0] が有効であるべき時間	4			ns
	$t_{su(CRS_DV-REF_CLK)}$	セットアップ時間、RX_CLK の前に CRS_DV が有効であるべき時間	4			ns
	$t_{su(RX_ER-REF_CLK)}$	セットアップ時間、RX_CLK の前に RX_ER が有効であるべき時間	4			ns
RMII5	$t_{h(REF_CLK-RXD)}$	ホールド時間、REF_CLK の後に RXD[1:0] を保持するべき時間	2			ns
	$t_{h(REF_CLK-CRS_DV)}$	ホールド時間、REF_CLK の後 CRS_DV を有効に保持すべき時間	2			ns
	$t_{h(REF_CLK-RX_ER)}$	ホールド時間、REF_CLK の後 RX_ER を有効に保持すべき時間	2			ns

Copyright © 2026 Texas Instruments Incorporated

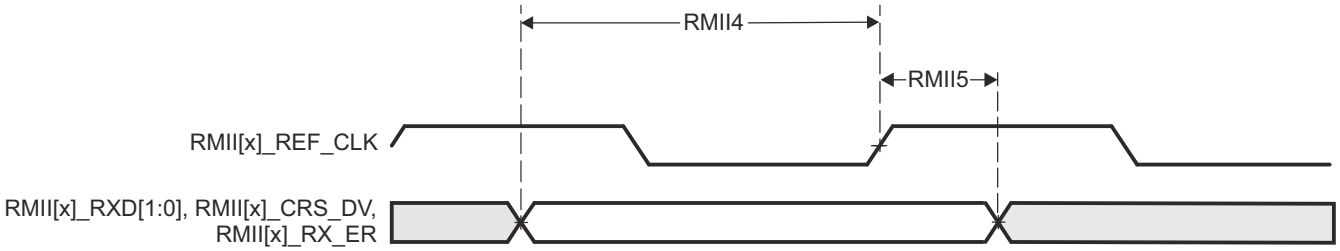


図 6-48. RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RXER のタイミング – RMII モード

セクション 6.10.5.3.2.3、セクション 6.10.5.2.1.3、は、CPSW5G の RMII 送信におけるスイッチング特性を示しています。

6.10.5.3.2.3 RMII[x]_TXD[1:0] および RMII[x]_TXEN のスイッチング特性 – RMII モード

番号	パラメータ	説明	最小値	標準値	最大値	単位
RMII6	$t_{d(REF_CLK-TXD)}$	遅延時間、REF_CLK High から TXD[1:0] 有効まで	2		10	ns
	$t_{d(REF_CLK-TXEN)}$	遅延時間、REF_CLK から TXEN 有効まで	2		10	ns
RMII7	$t_{r(TXD)}$	立ち上がり時間、TXD 出力	1		5	ns
	$t_{r(TX_EN)}$	立ち上がり時間、TX_EN 出力	1		5	ns
RMII8	$t_{f(TXD)}$	立ち下がり時間、TXD 出力	1		5	ns
	$t_{f(TX_EN)}$	立ち下がり時間、TX_EN 出力	1		5	ns

6.10.5.3.3 CPSW5G RGMII のタイミング

セクション 6.10.5.3.3.1、セクション 6.10.5.3.3.2、および 図 6-49 に、受信 RGMII 動作のタイミング要件を示します。

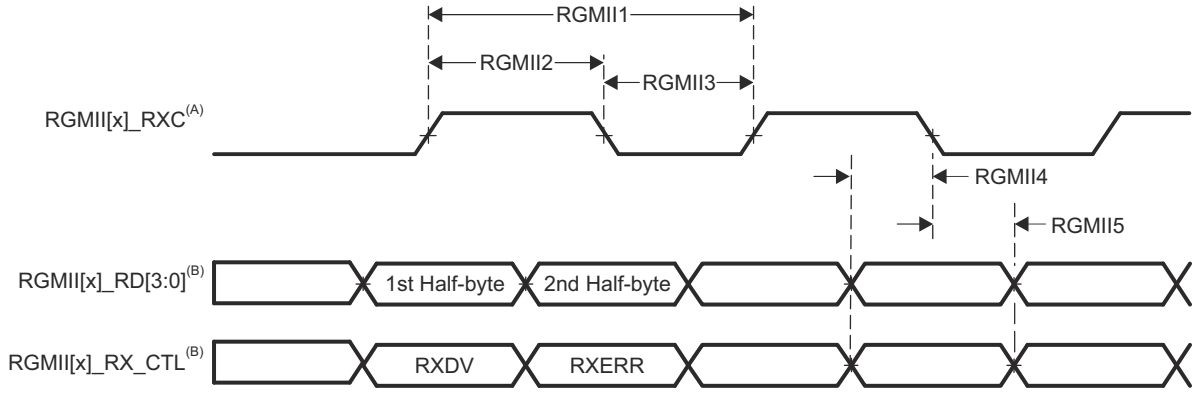
6.10.5.3.3.1 RGMII[x]_RCLK のタイミング要件 - RGMII モード

番号	パラメータ	説明	モード	最小値	標準値	最大値	単位
RGMII1	$t_{c(RXC)}$	サイクル時間、RXC	10Mbps	360		440	ns
			100Mbps	36		44	ns
			1000Mbps	7.2		8.8	ns
RGMII2	$t_{w(RXCH)}$	パルス幅、RXC high	10Mbps	160		240	ns
			100Mbps	16		24	ns
			1000Mbps	3.6		4.4	ns
RGMII3	$t_{w(RXCL)}$	パルス幅、RXC low	10Mbps	160		240	ns
			100Mbps	16		24	ns
			1000Mbps	3.6		4.4	ns
RGMII4	$t_{t(RXC)}$	遷移時間、RXC	10Mbps			0.75	ns
			100Mbps			0.75	ns
			1000Mbps			0.75	ns

Copyright © 2026 Texas Instruments Incorporated

6.10.5.3.3.2 RGMII[x]_RD[3:0]、RGMII[x]_RCTL のタイミング要件 – RGMII モード

番号	パラメータ	説明	モード	最小値	標準値	最大値	単位
RGMII5	$t_{su(RD-RXC)}$	セットアップ時間、RD[3:0] 有効から RXC High/Low まで	10Mbps	1			ns
			100Mbps	1			ns
			1000Mbps	1			ns
	$t_{su(RX_CTL-RXC)}$	セットアップ時間、RX_CTL 有効から RXC high/low まで	10Mbps	1			ns
			100Mbps	1			ns
			1000Mbps	1			ns
RGMII6	$t_{h(RXC-RD)}$	ホールド時間、RXC high/low から RD[3:0] 有効の間	10Mbps	1			ns
			100Mbps	1			ns
			1000Mbps	1			ns
	$t_{h(RXC-RX_CTL)}$	ホールド時間、RXC high/low から RX_CTL 有効の間	10Mbps	1			ns
			100Mbps	1			ns
			1000Mbps	1			ns
RGMII7	$t_{t(RD)}$	遷移時間、RD	10Mbps			0.75	ns
			100Mbps			0.75	ns
			1000Mbps			0.75	ns
	$t_{t(RX_CTL)}$	遷移時間、RX_CTL	10Mbps			0.75	ns
			100Mbps			0.75	ns
			1000Mbps			0.75	ns



A. RGMII_TXC は、DATA ピンおよび制御ピンに対して、外部で遅延させる必要があります。
B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII_RXD[3:0] は、RGMII_RXC の立ち上がりエッジでデータ ビット 3～0 を、RGMII_RXC の立ち下がりエッジでデータ ビット 7～4 を伝送します。同様に、RGMII_RXCTL は RGMII_RXC の立ち上がりエッジで RXDV を、RGMII_RXC の立ち下がりエッジで RXERR を伝送します。

図 6-49. CPSW5G 受信インターフェイスのタイミング、RGMII 動作

セクション 6.10.5.3.3.3、セクション 6.10.5.3.3.4、および 図 6-50 に、10 Mbps、100 Mbps、および 1000 Mbps の送信 RGMII のスイッチング特性を示します。

6.10.5.3.3.3 RGMII[x]_TCLK のスイッチング特性 – RGMII モード

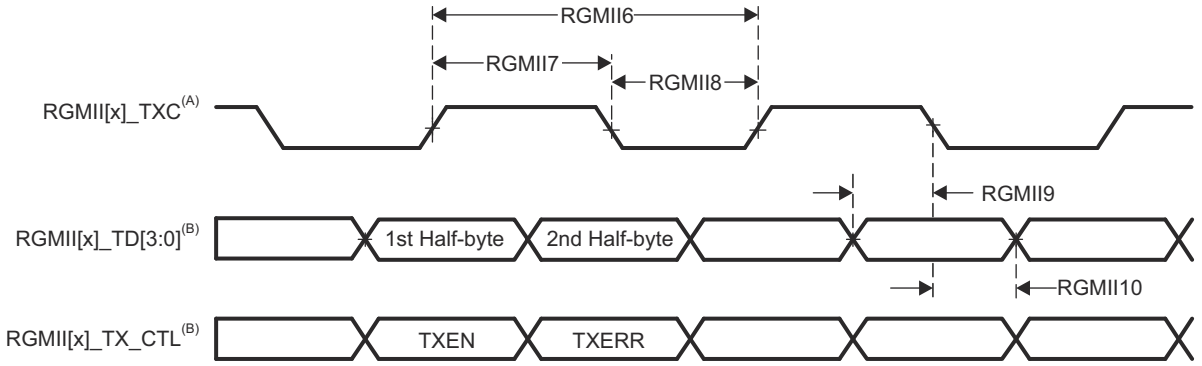
番号	パラメータ	説明	モード	最小値	標準値	最大値	単位
RGMII1	$t_{c(TXC)}$	サイクル時間、TXC	10Mbps	360		440	ns
			100Mbps	36		44	ns
			1000Mbps	7.2		8.8	ns

Copyright © 2026 Texas Instruments Incorporated

番号	パラメータ	説明	モード	最小値	標準値	最大値	単位
RGMII2	$t_{w(TXCH)}$	パルス幅、TXC high	10Mbps	160		240	ns
			100Mbps	16		24	ns
			1000Mbps	3.6		4.4	ns
RGMII3	$t_{w(TXCL)}$	パルス幅、TXC low	10Mbps	160		240	ns
			100Mbps	16		24	ns
			1000Mbps	3.6		4.4	ns
RGMII4	$t_{t(TXC)}$	遷移時間、TXC	10Mbps			0.75	ns
			100Mbps			0.75	ns
			1000Mbps			0.75	ns

6.10.5.3.3.4 RGMII[x]_TD[3:0] および RGMII[x]_TCTL のスイッチング特性 – RGMII モード

番号	パラメータ	説明	モード	最小値	標準値	最大値	単位
RGMII5	$t_{osu(TD-TXC)}$	出力セットアップ時間、RGMII[x]_TD[3:0] 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2			ns
			100Mbps	1.2			ns
			1000Mbps	1.05			ns
	$t_{osu(TX_CTL-TXC)}$	出力セットアップ時間、RGMII[x]_TX_CTL 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2			ns
			100Mbps	1.2			ns
			1000Mbps	1.05			ns
RGMII6	$t_{oh(TD-TXC)}$	出力ホールド時間、RGMII[x]_TXC High/Low から RGMII[x]_TD[3:0] 有効の間	10Mbps	1.2			ns
			100Mbps	1.2			ns
			1000Mbps	1.05			ns
	$t_{oh(TX_CTL-TXC)}$	出力ホールド時間、RGMII[x]_TXC High/Low から RGMII[x]_TX_CTL 有効の間	10Mbps	1.2			ns
			100Mbps	1.2			ns
			1000Mbps	1.05			ns



A. TXC は内部で遅延されてから、RGMII[x]_TXC ピンを駆動します。この内部遅延は常にイネーブルになっています。

B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII_TD[3:0] は、RGMII_TXC の立ち上がりエッジでデータ ビット 3～0 を、RGMII_TXC の立ち下がりエッジでデータ ビット 7～4 を伝送します。同様に、RGMII_TX_CTL は RGMII_TXC の立ち上がりエッジで TXDV を、RGMII_TXC の立ち下がりエッジで RTXERR を伝送します。

図 6-50. CPSW5G 送信インターフェイスのタイミング RGMII モード

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ギガビット イーサネット スイッチ (CPSW0)」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.10.5.4 DDRSS

本デバイスの LPDDR4 メモリ インターフェイスの機能の詳細と追加の説明については、セクション 5.3「信号の説明」およびセクション 7「詳細説明」内の対応するセクションを参照してください。

このデバイスには、LPDDR4 のための専用インターフェイスが搭載されています。JEDEC JESD209-4B 規格に準拠した LPDDR4 SDRAM デバイスをサポートし、以下に示す特長を備えています。

- 外部 SDRAM メモリへの 32 ビットおよび 16 ビット データ パス
- メモリ デバイスの容量:2 つのチップ セレクトにより最大 8GB のアドレス空間を利用可能 (ランクごとに 4GB)
- バイト モード LPDDR4 メモリ、または 17 ビットを超える行アドレスを持つメモリはサポートしていません

表 6-36 および 図 6-51 に、DDRSS のスイッチング特性を示します。

表 6-36. DDRSS のスイッチング特性

番号	パラメータ		DDR タイプ	最小値	最大値	単位
1	$t_{c(DDR_CKP/DDR_CKN)}$	サイクル時間、DDR0_CKP および DDR0_CKN	LPDDR4	0.625(1)	3.003	ns

(1) 最大 DDR 周波数は、システムで使用されている特定のメモリ タイプ (ベンダ) と PCB 実装に基づいて制限されます。テキサス・インスツルメンツは、仕様のクロック周波数を完全に達成するために、同社の LPDDR4 EVM の PCB レイアウト (配線、間隔、ビア / バックドリル、PCB 材料など) をすべて正確に遵守することを強く推奨します。詳細については、「Jacinto 7 DDR ボードの設計およびレイアウトのガイドライン」を参照してください。

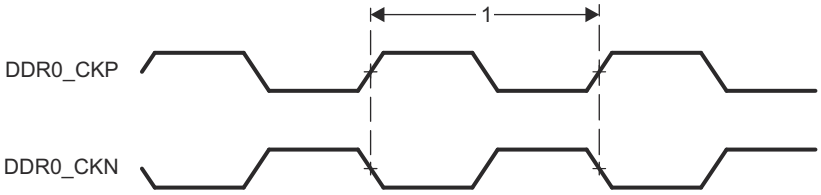


図 6-51. DDRSS メモリ インターフェイスのクロック タイミング

詳細については、デバイスのテクニカル リファレンス マニュアルで「メモリ コントローラ」の章にある「DDR サブシステム (DDRSS)」セクションを参照してください。

6.10.5.5 ECAP

デバイス ECAP でサポートされている機能は次のとおりです。

- 32 ビット タイム ベース カウンタ
- 4 つのイベント タイムスタンプ レジスタ (各 32 ビット)
- 最大 4 つの順序付きタイムスタンプ キャプチャ イベントのエッジ極性選択
- 4 つのキャプチャ イベントのいずれかに対する割り込み機能
- 入力キャプチャ信号のプリスケーリング (1～16)
- 各種キャプチャ モード (シングル ショット キャプチャ、連続モード キャプチャ、絶対タイムスタンプ キャプチャ、差分モード タイムスタンプ キャプチャ) のサポート

表 6-37 に、ECAP のタイミング条件を示します。

表 6-37. ECAP のタイミング条件

パラメータ	説明	最小値	最大値	単位
入力条件				
t_{SR}	入力スルーレート	1	4	V/ns
出力条件				
C_{LOAD}	出力負荷容量	2	7	pF

Copyright © 2026 Texas Instruments Incorporated

セクション 6.10.5.5.1 およびセクション 6.10.5.5.2 は、ECAP のタイミング特性およびスイッチング特性を示します (図 6-52 および図 6-53 を参照)。

6.10.5.5.1 ECAP のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
CAP1	$t_{w(CAP)}$	パルス幅、CAP (非同期)	2 + 2P (1)		ns

(1) P = sysclk 周期 (ns 単位)

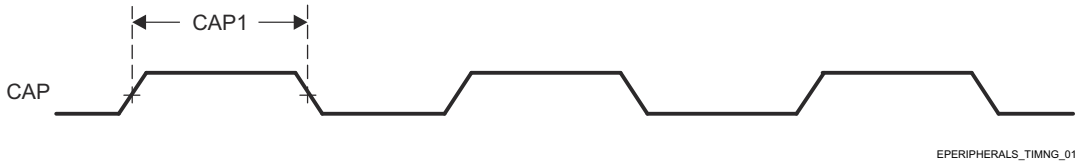


図 6-52. ECAP 入力タイミング

6.10.5.5.2 ECAP のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
CAP2	$t_{w(APWM)}$	パルス幅、APWMx High/Low	–2 + 2P (1)		ns

(1) P = sysclk 周期 (ns 単位)



図 6-53. ECAP の出力タイミング

詳細については、デバイスのテクニカル リファレンス マニュアルの「ペリフェラル」章にある「拡張キャプチャ (ECAP) モジュール」セクションを参照してください。

6.10.5.6 EPWM

デバイス EPWM でサポートされている機能は次のとおりです。

- 周期および周波数制御機能を備えた専用の 16 ビット時間ベース カウンタ
- さまざまな構成で使用できる 2 つの独立した PWM 出力 (シングル エッジ動作、デュアル エッジ対称動作、または 1 つの独立した PWM 出力のデュアル エッジ非対称動作)
- フォルト状態で PWM 信号の非同期オーバーライド制御
- その他の EPWM モジュールに対する遅れまたは進み動作のためのプログラマブルな位相制御のサポート
- 独立した立ち上がりおよび立ち下がりエッジ遅延制御によるデッドバンド生成
- ラッチされたフォルト状態およびラッチされていないフォルト状態の両方について、プログラム可能なトリップ ゾーンの割り当て
- CPU 割り込みと ADC 変換開始の両方をトリガできるイベント

表 6-38 に、EPWM のタイミング条件を示します。

表 6-38. EPWM のタイミング条件

パラメータ	説明	最小値	最大値	単位
入力条件				
t_{SR}	入力スルーレート	1	4	V/ns
出力条件				

Copyright © 2026 Texas Instruments Incorporated

表 6-38. EPWM のタイミング条件 (続き)

パラメータ	説明	最小値	最大値	単位
C_{LOAD}	出力負荷容量	2	7	pF

セクション 6.10.5.6.1、およびセクション 6.10.5.6.2 に、EPWM のタイミング特性およびスイッチング特性を示します (図 6-54、図 6-55、図 6-56、および図 6-57 を参照してください)。

6.10.5.6.1 EPWM のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
PWM1	$t_{w(PWM)}$	パルス幅、PWM 出力 High/Low	P -3 (1)		ns
PWM2	$t_{w(SYNCOUT)}$	パルス幅、同期出力	P -3 (1)		ns
PWM3	$t_{d(TZ-PWM)}$	遅延時間、トリップ入力アクティブから PWM が High/Low に強制されるまで		11	ns
PWM4	$t_{d(TZ-PWMZ)}$	遅延時間、トリップ入力アクティブから PWM ハイ インピーダンスまで		11	ns
PWM5	$t_{w(SOC)}$	パルス幅、SOC 出力 (非同期)	P -3 (1)		ns

(1) P = sysclk 周期 (ns 単位)

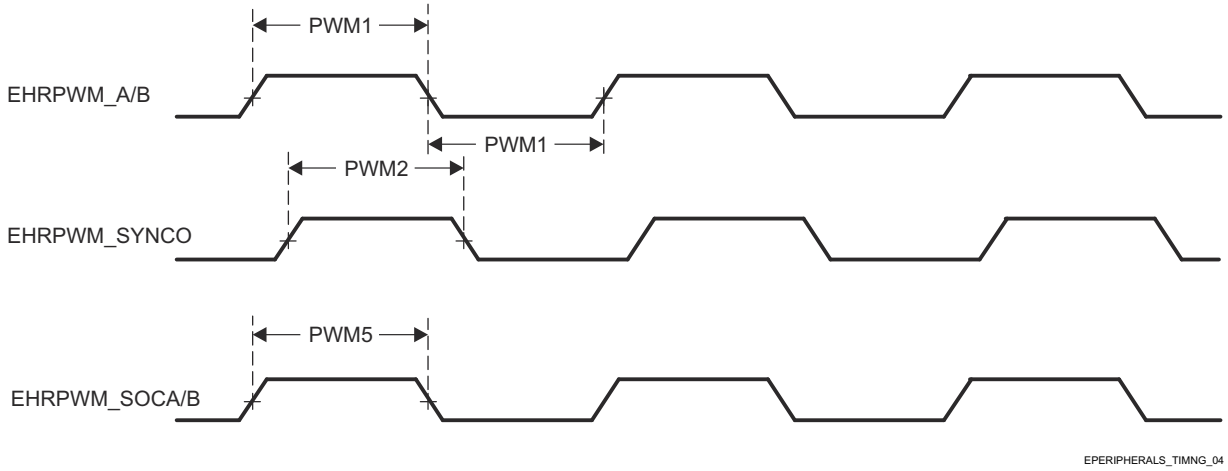


図 6-54. EPWM_A/B_out、ePWM_SYNCO、および ePWM_SOCA/B 入力タイミング

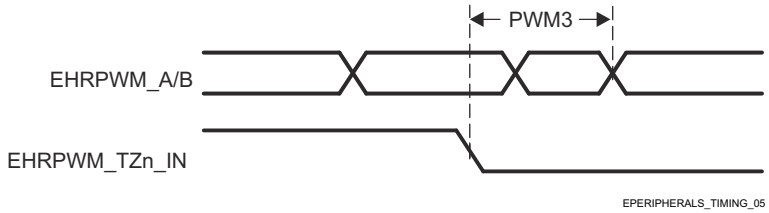


図 6-55. ePWM_A/B および ePWM_TZn_IN の強制的な High / Low 入力タイミング

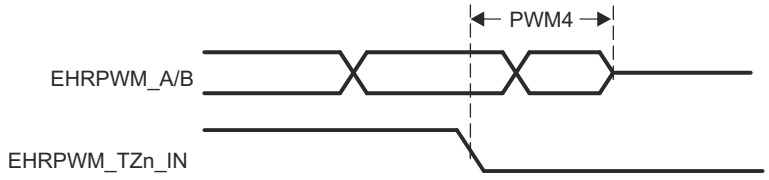


図 6-56. ePWM_A/B および ePWM_TZn_IN の Hi-Z 入力タイミング

Copyright © 2026 Texas Instruments Incorporated

6.10.5.6.2 EPWM のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
PWM6	$t_{w(SYNCIN)}$	パルス幅、同期入力 (非同期)	2 + 2P (1)		ns
PWM7	$t_{w(TZ)}$	パルス幅、TZx 入力 Low (非同期)	2 + 3P (1)		ns

(1) P = sysclk 周期 (ns 単位)

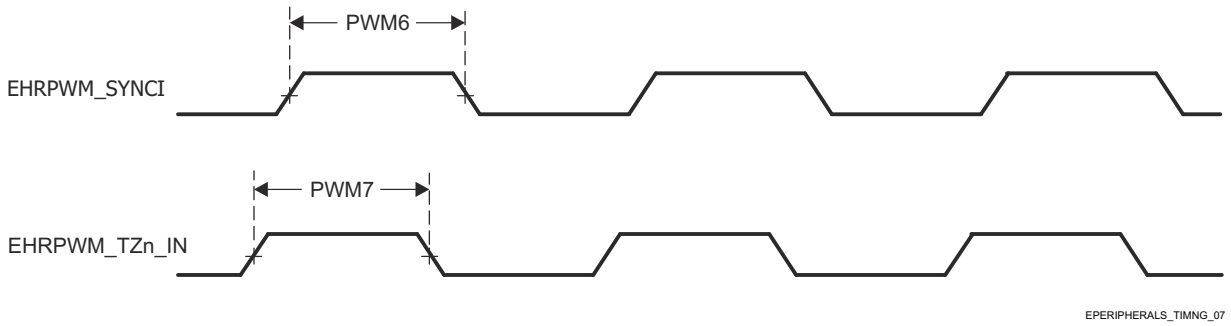


図 6-57. ePWM_SYNCI および ePWM_TZn_IN の出力タイミング

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張パルス幅変調 (EPWM) モジュール」セクションを参照してください。

6.10.5.7 EQEP

デバイス EQEP でサポートされている機能は次のとおりです。

- 入力同期
- 3 段 /6 段デジタル ノイズ フィルタ
- 直交デコーダ ユニット
- 位置測定用の位置カウンタおよび制御ユニット
- 低速測定用の直交エッジ キャプチャ ユニット
- 速度および周波数測定用のユニット タイム ベース
- ストール検出用のウォッチドッグ タイマ

表 6-39 に、eQEP のタイミング条件を示します。

表 6-39. EQEP のタイミング条件

パラメータ	説明	最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	4	V/ns
出力条件				
C_L	出力負荷容量	2	7	pF

セクション 6.10.5.7.1 および セクション 6.10.5.7.2 に、EQEP のタイミング要件とスイッチング特性を示します (図 6-58 を参照)。

6.10.5.7.1 EQEP のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
QEP1	$t_{w(QEP)}$	パルス幅、QEP_A/B	2 + 2P (1)		ns
QEP2	$t_{w(QEPIH)}$	パルス幅、QEP_I high	2 + 2P (1)		ns
QEP3	$t_{w(QEPIL)}$	パルス幅、QEP_I low	2 + 2P (1)		ns

Copyright © 2026 Texas Instruments Incorporated

番号	パラメータ	説明	最小値	最大値	単位
QEP4	$t_{w(QEPSH)}$	パルス幅、QEP_S high	2 + 2P (1)		ns
QEP5	$t_{w(QEPSL)}$	パルス幅、QEP_S low	2 + 2P (1)		ns

(1) P = sysclk 周期 (ns 単位)

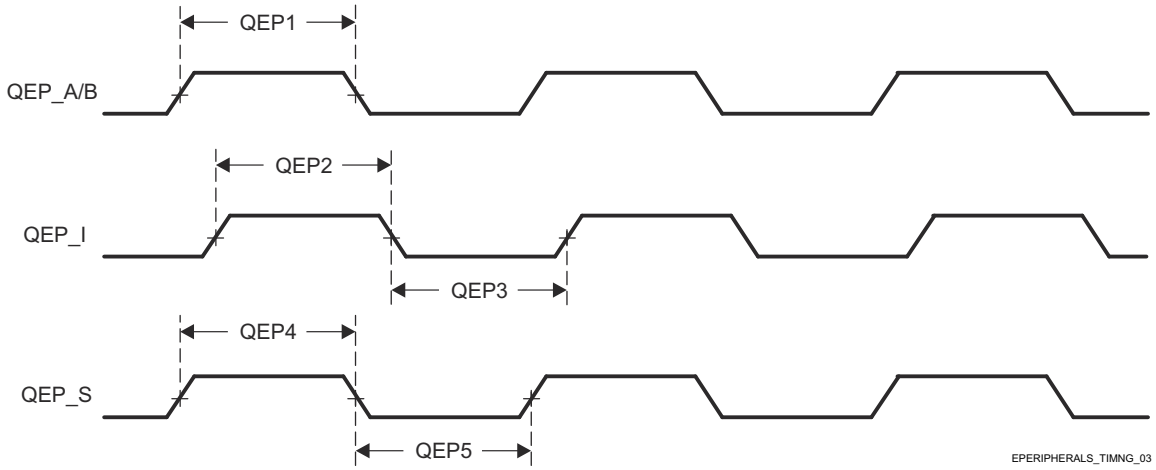


図 6-58. EQEP 入力タイミング

6.10.5.7.2 EQEP のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
QEP6	$t_{d(QEP-CNTR)}$	遅延時間、外部クロックからカウンタ インクリメントまで		24	ns

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張直交エンコーダ パルス (eQEP) モジュール」セクションを参照してください。

6.10.5.8 GPIO

このデバイスには、10 個の GPIO モジュール インスタンスがあります。GPIO モジュールは、3 つのグループに分かれています。

- グループ 1:WKUP_GPIO0、WKUP_GPIO1
- グループ 2:GPIO0、GPIO2、GPIO4、GPIO6
- グループ 3:GPIO1、GPIO3、GPIO5、GPIO7

各グループ内で、対応する I/O ピンおよびピン割り込みを制御するため、必ず 1 つのモジュールが選択されます。

GPIO ピンは、バンクとしてグループ化されています (1 つのバンクに 16 ピン)。各 GPIO モジュールは、入力および出力機能を備えた最大 144 本の専用汎用ピンを提供します。したがって、汎用インターフェイスは最大 432 本 (3 インスタンス × (9 バンク × 16 ピン)) のピンをサポートします。このデバイスでは、WKUP_GPIOu_[84:143] (u = 0、1)、GPIOn_[128:143] (n = 0、2、4、6)、および GPIOm_[36:143] (m = 1、3、5、7) は予約済みなので、汎用インターフェイスは最大 248 本の I/O ピンをサポートします。

本デバイスの汎用インターフェイスの機能の詳細と追加の説明については、セクション 5.3「信号の説明」および セクション 7「詳細説明」内の対応するセクションを参照してください。

注

汎用入出力 i (i = 0～1) は、GPIOi とも呼ばれます。

表 6-40、表 6-41 および 表 6-42 に、GPIO のタイミング条件、要件、スイッチング特性を示します。

Copyright © 2026 Texas Instruments Incorporated

表 6-40. GPIO のタイミング条件

パラメータ		バッファのタイプ	最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	LVCMOS	0.2	6.6	V/ns
		I2C OD FS	0.2	0.8	V/ns
出力条件					
C_L	出力負荷容量	LVCMOS	3	10	pF
		I2C OD FS	3	100	pF

表 6-41. GPIO のタイミング要件

番号	パラメータ	説明	モード	最小値	最大値	単位
GPIO1	$t_{w(GPIO_IN)}$	パルス幅、GPIOn_x	1.8V	2P + 2.6(1)		ns
			3.3V	2P + 3.4(1)		ns

(1) P = 機能クロック周期 (ns 単位)。

表 6-42. GPIO スイッチング特性

番号	パラメータ	説明	バッファのタイプ	最小値	最大値	単位
GP3	$t_{w(GPIO_OUT)}$	最小出力パルス幅	LVCMOS	–3.6 + 0.975P(1)		ns
GP4	$t_{w(GPIO_OUT)}$	最小出力パルス幅 Low	I2C オープンドレイン	160		ns
GP5	$t_{w(GPIO_OUT)}$	最小出力パルス幅 High	I2C オープンドレイン	60		ns

(1) P = 機能クロック周期 (ns 単位)。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用インターフェイス (GPIO)」セクションを参照してください。

6.10.5.9 GPMC

本デバイスの汎用メモリ コントローラの機能の詳細と追加の説明については、セクション 5.3「信号の説明」、およびセクション 7「詳細説明」内の対応するセクションを参照してください。

表 6-43. GPMC のタイミング条件

パラメータ	説明		最小値	最大値	単位
入力条件					
SR_I	入力スルーレート		1.65	4	V/ns
出力条件					
C_L	出力負荷容量		5	20	pF
PCB 接続要件					
$t_{d(Trace\ Delay)}$	各パターンの伝搬遅延	133MHz 同期モード	140	360	ps
		その他のすべてのモード	140	720	
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬の不整合			200	ps

6.10.5.9.1 GPMC および NOR フラッシュ — 同期モード

セクション 6.10.5.9.1.1 および セクション 6.10.5.9.1.2 は、以下に示す推奨動作条件および電気的特性条件に基づくテストを想定しています (図 6-59～図 6-63 を参照)。

Copyright © 2026 Texas Instruments Incorporated

6.10.5.9.1.1 GPMC および NOR フラッシュのタイミング要件 — 同期モード

番号	パラメータ	説明	モード (2)	最小値 最大値 100MHz	最小値 最大値 133MHz	単位
F12	$t_{su(dV-clkH)}$	セットアップ時間、入力データ GPMC_AD[15:0] 有効から出力クロック GPMC_CLK high まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	1.81	1.11	ns
			not_div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	1.06		ns
F13	$t_{h(clkH-dV)}$	ホールド時間、出力クロック GPMC_CLK high から入力データ GPMC_AD[15:0] 有効の間	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	1.78	2.28	ns
			not_div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	1.78		ns
F21	$t_{su(waitV-clkH)}$	セットアップ時間、入力待機 GPMC_WAIT[j] 有効から出力クロック GPMC_CLK High まで (1)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	1.81	1.11	ns
			not_div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	1.06		ns
F22	$t_{h(clkH-waitV)}$	ホールド時間、出力クロック GPMC_CLK high 後の入力待機 GPMC_WAIT[j] 有効 (1)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	1.78	2.28	ns
			not_div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	1.78		ns

(1) GPMC_WAIT[j] で、j は 0 または 1 です。
(2) div_by_1_mode の場合:

- GPMC_CONFIG1_i レジスタ:GPMCFCLKDIVIDER = 0h:
  - GPMC_CLK 周波数 = GPMC_FCLK 周波数

not_div_by_1_mode に対し:

- GPMC_CONFIG1_i レジスタ:GPMCFCLKDIVIDER = 1h～3h:
  - GPMC_CLK 周波数 = GPMC_FCLK 周波数 / (2～4)

GPMC_FCLK_MUX の場合:

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = PER1_PLL_CLKOUT / 3 = 300 / 3 = 100MHz

TIMEPARAGRANULARITY_X1 に対し:

- GPMC_CONFIG1_i レジスタ:TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

6.10.5.9.1.2 GPMC および NOR フラッシュのスイッチング特性 - 同期モード

番号 (2)	パラメータ	説明	モード (19)	最小値 最大値 100MHz	最小値 最大値 133MHz	単位
F0	1 / tc(clk)	周期、出力クロック GPMC_CLK (18)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	10	7.52	ns
F1	$t_{w(clkH)}$	標準パルス幅、出力クロック GPMC_CLK High	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-0.3 + 0.475* P (15)	-0.3 + 0.475* P (15)	ns

Copyright © 2026 Texas Instruments Incorporated

番号 (2)	パラメータ	説明	モード(19)	最小値	最大値	最小値	最大値	単位
				100MHz		133MHz		
F1	$t_{w(clkL)}$	標準パルス幅、出力クロック GPMC_CLK Low	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-0.3 + 0.475* P(15)		-0.3 + 0.475* P(15)		ns
F2	$t_{d(clkH-csnV)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力チップ セレクト GPMC_CSn[i] 遷移まで(14)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1、extra_delay なし	-2.2 + F(6)	3.75 + F(6)	-2.2 + F(6)	3.75 + F(6)	ns
F3	$t_{d(clkH-CSn[i]V)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力チップ セレクト GPMC_CSn[i] 無効まで(14)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1、extra_delay なし	-2.2 + E(5)	3.75 + E(5)	-2.2 + E(5)	3.75 + E(5)	ns
F4	$t_{d(aV-clk)}$	遅延時間、出力アドレス GPMC_A[27:1] 有効から出力クロック GPMC_CLK の最初のエッジまで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2.3 + B(2)	4.5 + B(2)	-2.3 + B(2)	4.5 + B(2)	ns
F5	$t_{d(clkH-aIV)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス GPMC_A[27:1] 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2.3	4.5	-2.3	4.5	ns
F6	$t_{d(be[x]nV-clk)}$	遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効から出力クロック GPMC_CLK の最初のエッジまで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2.3 + B(2)	1.9 + B(2)	-2.3 + B(2)	1.9 + B(2)	ns
F7	$t_{d(clkH-be[x]nIV)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力下位バイトのイネーブルおよびコマンド ラッチのイネーブル GPMC_BE0n_CLE、出力上位バイトのイネーブル GPMC_BE1n 無効まで(11)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2.3 + D(4)	1.9 + D(4)	-2.3 + D(4)	1.9 + D(4)	ns
F7	$t_{d(clkL-be[x]nIV)}$	遅延時間、GPMC_CLK 立下りエッジから GPMC_BE0n_CLE、GPMC_BE1n 無効まで(12)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2.3 + D(4)	1.9 + D(4)	-2.3 + D(4)	1.9 + D(4)	ns
F7	$t_{d(clkL-be[x]nIV).}$	遅延時間、GPMC_CLK 立下りエッジから GPMC_BE0n_CLE、GPMC_BE1n 無効まで(13)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2.3 + D(4)	1.9 + D(4)	-2.3 + D(4)	1.9 + D(4)	ns
F8	$t_{d(clkH-advn)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE 遷移まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1、extra_delay なし	-2.3 + G(7)	4.5 + G(7)	-2.3 + G(7)	4.5 + G(7)	ns
F9	$t_{d(clkH-advnIV)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1、extra_delay なし	-2.3 + D(4)	4.5 + D(4)	-2.3 + D(4)	4.5 + D(4)	ns
F10	$t_{d(clkH-oen)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力イネーブル GPMC_OEn_REn 遷移まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1、extra_delay なし	-2.3H(8)	3.5 + H(8)	-2.3H(8)	3.5 + H(8)	ns
F11	$t_{d(clkH-oenIV)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力イネーブル GPMC_OEn_REn 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1、extra_delay なし	-2.3 + E(8)	3.5 + E(8)	-2.3 + E(8)	3.5 + E(8)	ns
F14	$t_{d(clkH-wen)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力書き込みイネーブル GPMC_WEn 遷移まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1、extra_delay なし	-2.3 + I(9)	4.5 + I(9)	-2.3 + I(9)	4.5 + I(9)	ns

Copyright © 2026 Texas Instruments Incorporated

番号 (2)	パラメータ	説明	モード(19)	最小値	最大値	最小値	最大値	単位
				100MHz		133MHz		
F15	$t_{d(clkH-do)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力データ GPMC_AD[15:0] 遷移まで(11)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2.3 + J(10)	2.7 + J(10)	-2.3 + J(10)	2.7 + J(10)	ns
F15	$t_{d(clkL-do)}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_AD[15:0] データ バス遷移まで (12)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2.3 + J(10)	2.7 + J(10)	-2.3 + J(10)	2.7 + J(10)	ns
F15	$t_{d(clkL-do).}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_AD[15:0] データ バス遷移まで(13)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2.3 + J(10)	2.7 + J(10)	-2.3 + J(10)	2.7 + J(10)	ns
F17	$t_{d(clkH-be[x]n)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE 遷移まで(11)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2.3 + J(10)	1.9 + J(10)	-2.3 + J(10)	1.9 + J(10)	ns
F17	$t_{d(clkL-be[x]n)}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_BE0n_CLE、GPMC_BE1n 遷移まで(12)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2.3 + J(10)	1.9 + J(10)	-2.3 + J(10)	1.9 + J(10)	ns
F17	$t_{d(clkL-be[x]n).}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_BE0n_CLE、GPMC_BE1n 遷移まで(13)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2.3 + J(10)	1.9 + J(10)	-2.3 + J(10)	1.9 + J(10)	ns
F18	$t_{w(csnV)}$	パルス幅、出力チップ セレクト GPMC_CSn[i] low(14)	読み取り	A(1)		A(1)		ns
			書き込み	A(1)		A(1)		ns
F19	$t_{w(be[x]nV)}$	パルス幅、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n Low	読み取り	C(3)		C(3)		ns
			書き込み	C(3)		C(3)		ns
F20	$t_{w(advnV)}$	パルス幅、出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE Low	読み取り	K(16)		K(16)		ns
			書き込み	K(16)		K(16)		ns

(1) 単一読み取りの場合：A = (CSRdOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
バースト読み取りの場合：A = (CSRdOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
バースト書き込みの場合：A = (CSWrOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
n はページ バースト アクセス数。

(2) B = ClkActivationTime × GPMC_FCLK(17)

(3) 単一読み取りの場合：C = RdCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK(17)
バースト読み取りの場合：C = (RdCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
バースト書込みの場合：C = (WrCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
n はページ バースト アクセス数。

(4) 単一読み取りの場合：D = (RdCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
バースト読み取りの場合：D = (RdCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
バースト書き込みの場合：D = (WrCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)

(5) 単一読み取りの場合：E = (CSRdOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
バースト読み取りの場合：E = (CSRdOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
バースト書き込みの場合：E = (CSWrOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)

(6) csn 立ち下がりエッジ (CS がアクティブ) の場合：

- Case GPMCFCLKDIVIDER = 0:
  - F = 0.5 × CSExtraDelay × GPMC_FCLK(17)
- Case GPMCFCLKDIVIDER = 1:
  - F = 0.5 × CSExtraDelay × GPMC_FCLK(17) if (ClkActivationTime および CSOnTime が奇数) or (ClkActivationTime および CSOnTime が偶数)
  - F = (1 + 0.5 × CSExtraDelay) × GPMC_FCLK(17) otherwise
- Case GPMCFCLKDIVIDER = 2:
  - f = 0.5 × CSExtraDelay × GPMC_FCLK(17) if ((CSOnTime - ClkActivationTime) が 3 の倍数)

Copyright © 2026 Texas Instruments Incorporated

  - F = (1 + 0.5 × CSExtraDelay) × GPMC_FCLK(17) if ((CSOnTime - ClkActivationTime - 1) が 3 の倍数)
  - F = (2 + 0.5 × CSExtraDelay) × GPMC_FCLK(17) if ((CSOnTime - ClkActivationTime - 2) が 3 の倍数)

(7) ADV 立ち下がりエッジ (ADV がアクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)
- Case GPMCFCLKDIVIDER = 1:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(17) if (ClkActivationTime および ADVOnTime が奇数) or (ClkActivationTime および ADVOnTime が偶数)
  - G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17) otherwise
- Case GPMCFCLKDIVIDER = 2:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(17) if ((ADVOnTime - ClkActivationTime) が 3 の倍数)
  - G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17) if ((ADVOnTime - ClkActivationTime - 1) が 3 の倍数)
  - G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17) if ((ADVOnTime - ClkActivationTime - 2) が 3 の倍数)

読み取りモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)
- Case GPMCFCLKDIVIDER = 1:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(17) f (ClkActivationTime および ADVRdOffTime が奇数) or (ClkActivationTime および ADVRdOffTime が偶数)
  - G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17) otherwise
- Case GPMCFCLKDIVIDER = 2:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(17) if ((ADVRdOffTime - ClkActivationTime) が 3 の倍数)
  - G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17) if ((ADVRdOffTime - ClkActivationTime - 1) が 3 の倍数)
  - G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17) if ((ADVRdOffTime - ClkActivationTime - 2) が 3 の倍数)

書き込みモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)
- Case GPMCFCLKDIVIDER = 1:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(17) if (ClkActivationTime および ADVWrOffTime が奇数) または (ClkActivationTime および ADVWrOffTime が偶数)
  - G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17) otherwise
- Case GPMCFCLKDIVIDER = 2:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(17) if ((ADVWrOffTime - ClkActivationTime) が 3 の倍数)
  - G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17) if ((ADVWrOffTime - ClkActivationTime - 1) が 3 の倍数)
  - G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17) if ((ADVWrOffTime - ClkActivationTime - 2) が 3 の倍数)

(8) OE の立ち下がりエッジ (OE がアクティブ) および IO DIR の立ち上がりエッジ (データ バスが入力方向) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - H = 0.5 × OEExtraDelay × GPMC_FCLK(17)
- Case GPMCFCLKDIVIDER = 1:
  - H = 0.5 × OEExtraDelay × GPMC_FCLK(17) if (ClkActivationTime および OEOnTime が奇数) または (ClkActivationTime および OEOnTime が偶数)
  - H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK(17) otherwise
- Case GPMCFCLKDIVIDER = 2:
  - H = 0.5 × OEExtraDelay × GPMC_FCLK(17) if ((OEOnTime - ClkActivationTime) が 3 の倍数)
  - H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK(17) if ((OEOnTime - ClkActivationTime - 1) が 3 の倍数)
  - H = (2 + 0.5 × OEExtraDelay) × GPMC_FCLK(17) if ((OEOnTime - ClkActivationTime - 2) が 3 の倍数)

OE 立ち上がりエッジ (OE が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - H = 0.5 × OEExtraDelay × GPMC_FCLK(17)
- Case GPMCFCLKDIVIDER = 1:

Copyright © 2026 Texas Instruments Incorporated

  - H = 0.5 × OEExtraDelay × GPMC_FCLK[17] if (ClkActivationTime および OEOffTime が奇数) または (ClkActivationTime および OEOffTime が偶数)
  - H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK[17] otherwise
- Case GPMCFCLKDIVIDER = 2:
  - H = 0.5 × OEExtraDelay × GPMC_FCLK[17] if ((OEOffTime - ClkActivationTime) が 3 の倍数)
  - H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK[17] if ((OEOffTime - ClkActivationTime - 1) が 3 の倍数)
  - H = (2 + 0.5 × OEExtraDelay) × GPMC_FCLK[17] if ((OEOffTime - ClkActivationTime - 2) が 3 の倍数)

(9) WE 立ち下がりエッジ (WE がアクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:
  - I = 0.5 × WEExtraDelay × GPMC_FCLK[17]
- Case GPMCFCLKDIVIDER = 1:
  - I = 0.5 × WEExtraDelay × GPMC_FCLK[17] if (ClkActivationTime および WEOnTime が奇数) or (ClkActivationTime および WEOnTime が偶数)
  - I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[17] otherwise
- Case GPMCFCLKDIVIDER = 2:
  - I = 0.5 × WEExtraDelay × GPMC_FCLK[17] if ((WEOnTime - ClkActivationTime) が 3 の倍数)
  - I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[17] if ((WEOnTime - ClkActivationTime - 1) が 3 の倍数)
  - I = (2 + 0.5 × WEExtraDelay) × GPMC_FCLK[17] if ((WEOnTime - ClkActivationTime - 2) が 3 の倍数)

WE 立ち上がりエッジ (WE が非アクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:
  - I = 0.5 × WEExtraDelay × GPMC_FCLK [17]
- Case GPMCFCLKDIVIDER = 1:
  - I = 0.5 × WEExtraDelay × GPMC_FCLK[17] if (ClkActivationTime および WEOffTime が奇数) or (ClkActivationTime および WEOffTime が偶数)
  - I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[17] otherwise
- Case GPMCFCLKDIVIDER = 2:
  - I = 0.5 × WEExtraDelay × GPMC_FCLK[17] if ((WEOffTime - ClkActivationTime) が 3 の倍数)
  - I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[17] if ((WEOffTime - ClkActivationTime - 1) が 3 の倍数)
  - I = (2 + 0.5 × WEExtraDelay) × GPMC_FCLK[17] if ((WEOffTime - ClkActivationTime - 2) が 3 の倍数)

(10) J = GPMC_FCLK[17]

(11) 最初の転送は、CLK DIV 1 モードのみです。

(12) CLK DIV 1 モードでの初期転送の後、すべてのデータは半サイクルです。

(13) CLK DIV 1 モード以外のモードでは、すべてのデータは GPMC_CLKOUT の半サイクルです。GPMC_FCLK から GPMC_CLKOUT を分周します。

(14) GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

(15) P = GPMC_CLK 周期 (ns 単位)

(16) 読み出しの場合:K = (ADVRdOffTime - ADVOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK[17]
書き込みの場合:K = (ADVWrOffTime - ADVOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK[17]

(17) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。

(18) GPMC モジュールで、GPMC_CONFIG1_i 構成レジスタのビット フィールド GPMCFCLKDIVIDER の設定によりプログラム可能な、GPMC_CLK 出力クロックの最高および最低周波数に関連します。

(19) div_by_1_mode の場合:
- GPMC_CONFIG1_i レジスタ:GPMCFCLKDIVIDER = 0h:
  - GPMC_CLK 周波数 = GPMC_FCLK 周波数

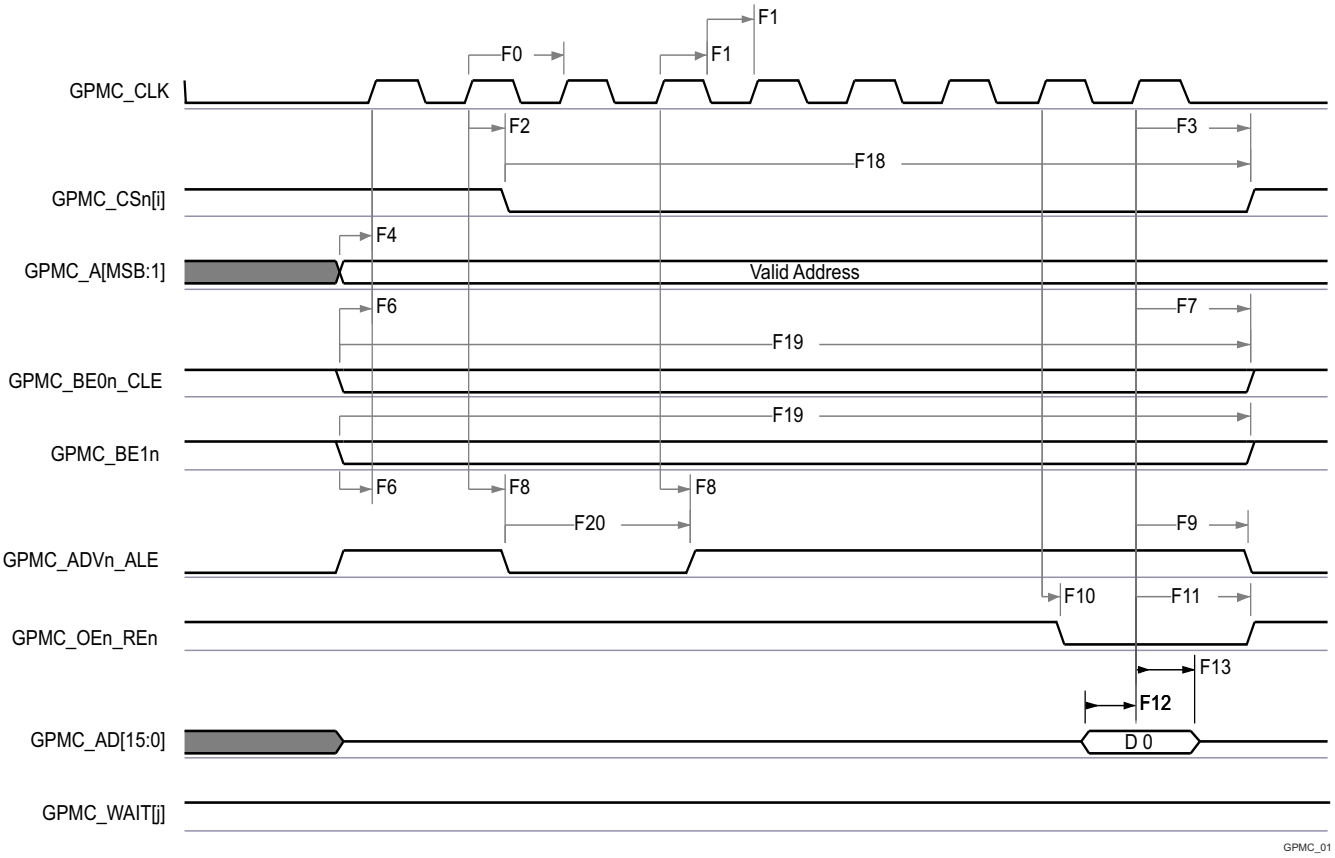
GPMC_FCLK_MUX の場合:
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = PER1_PLL_CLKOUT / 3 = 300 / 3 = 100MHz

TIMEPARAGRANULARITY_X1 に対し:
- GPMC_CONFIG1_i レジスタ:TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

extra_delay なしの場合:

Copyright © 2026 Texas Instruments Incorporated

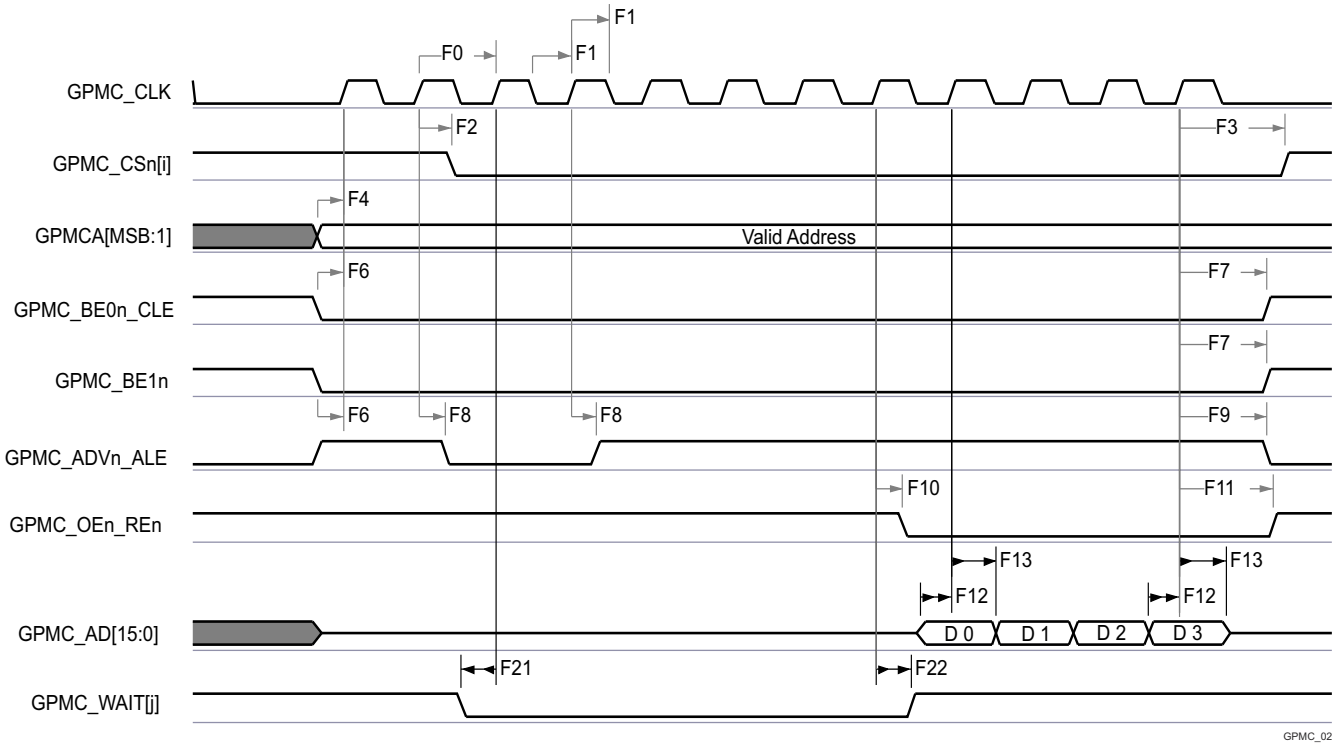
- GPMC_CONFIG2_i レジスタ:CSEXTRADELAY = 0h = CSn タイミング制御信号は遅延しない
- GPMC_CONFIG4_i レジスタ:WEEXTRADELAY = 0h= nWE タイミング制御信号は遅延しない
- GPMC_CONFIG4_i レジスタ:OEEXTRADELAY = 0h = nOE タイミング制御信号は遅延しない
- GPMC_CONFIG3_i レジスタ:ADVEXTRADELAY = 0h = nADV タイミング制御信号は遅延しない



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。
B. GPMC_WAIT[j] で、j は 0 または 1 です。

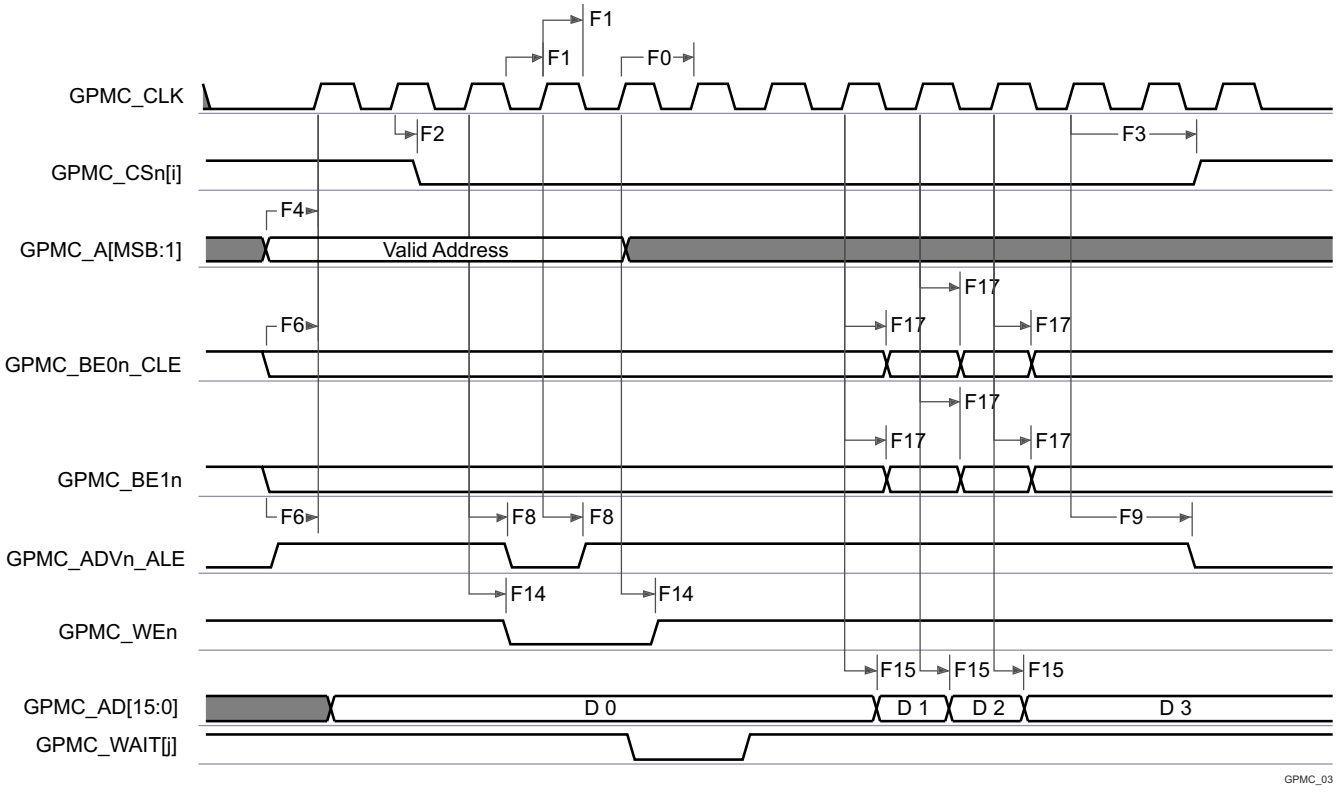
図 6-59. GPMC および NOR フラッシュ — 同期単一読み出し (GPMCFCLKDIVIDER = 0)

Copyright © 2026 Texas Instruments Incorporated



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。
B. GPMC_WAIT[j] で、j は 0 または 1 です。

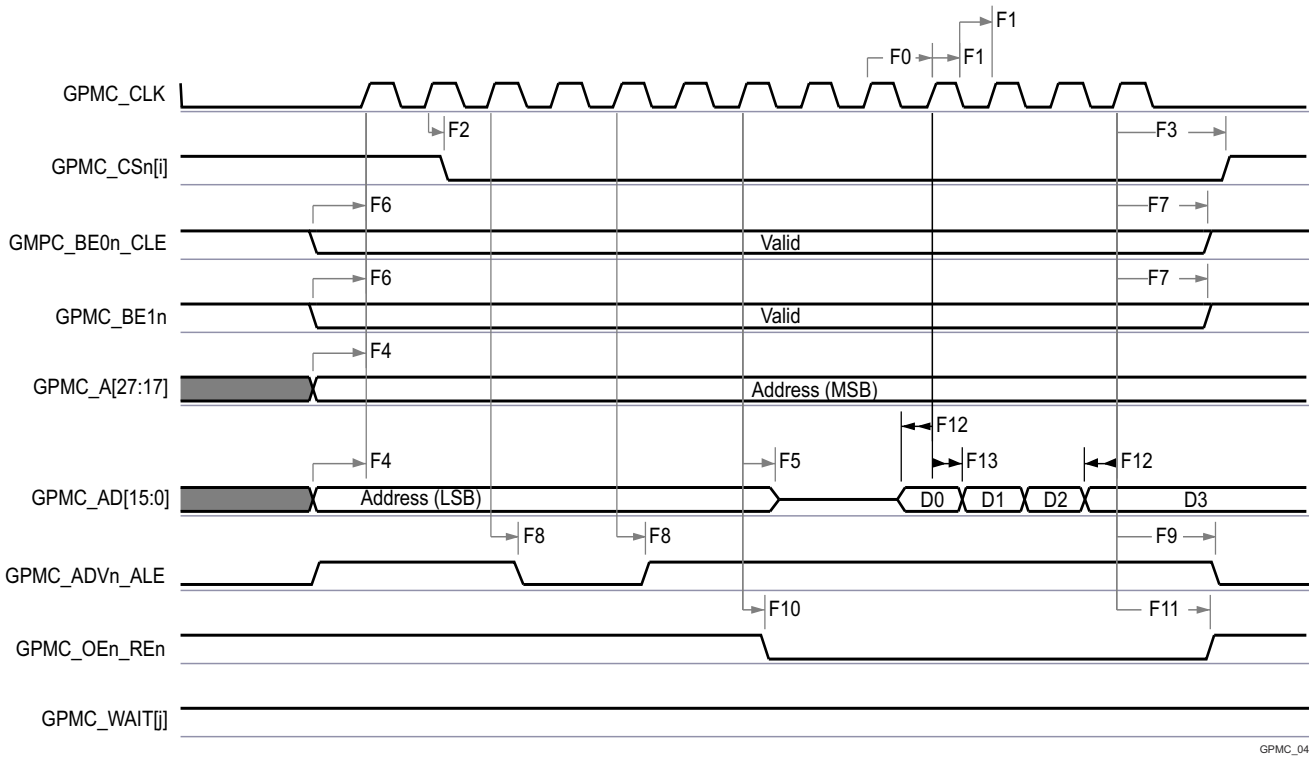
図 6-60. GPMC および NOR フラッシュ — 同期バースト読み出し — 4x16 ビット (GPMCFCLKDIVIDER = 0)



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

B. GPMC_WAIT[j] で、j は 0 または 1 です。

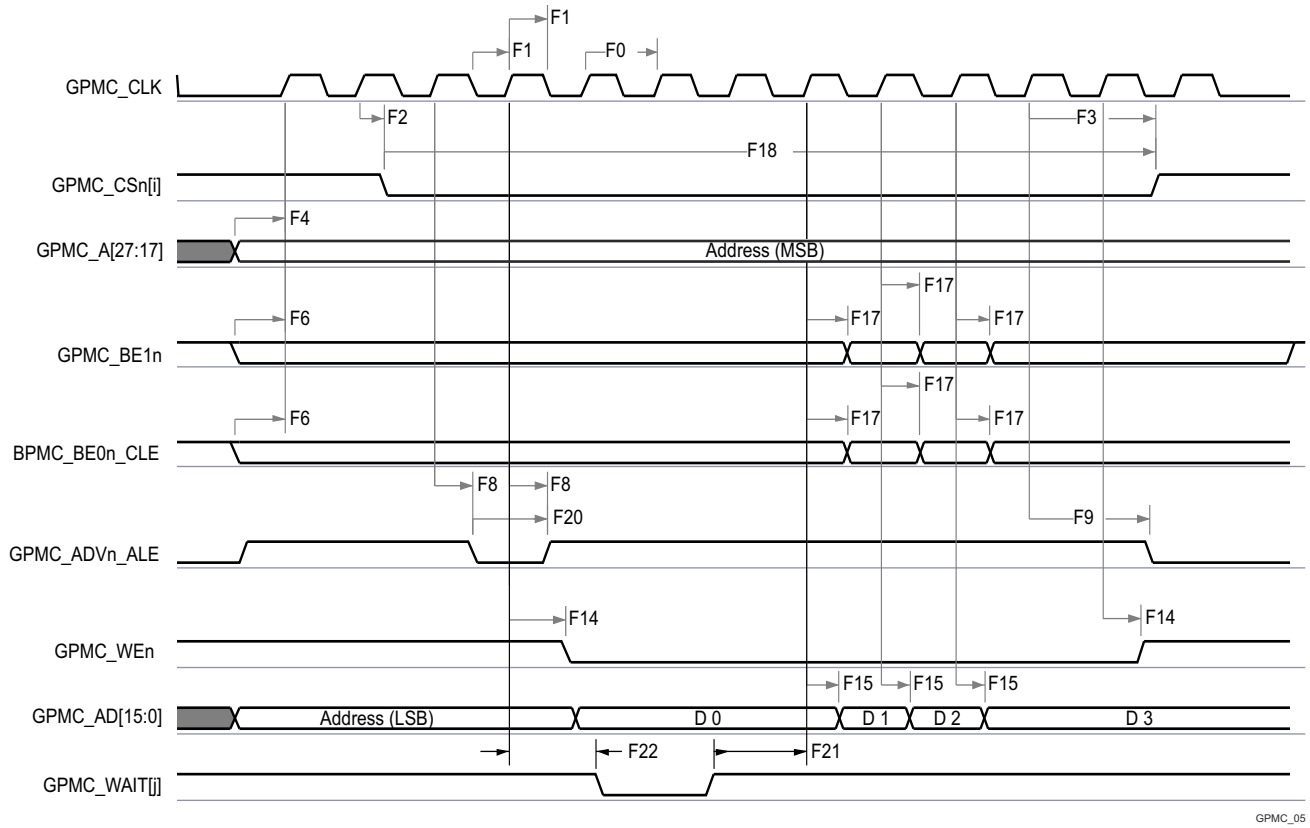
図 6-61. GPMC および NOR フラッシュ — 同期バースト書き込み (GPMCFCLKDIVIDER = 0)



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。
B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-62. GPMC および多重化 NOR フラッシュ — 同期バースト読み出し

Copyright © 2026 Texas Instruments Incorporated



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。
B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-63. GPMC および多重化 NOR フラッシュ — 同期バースト書き込み

6.10.5.9.2 GPMC および NOR フラッシュ — 非同期モード

セクション 6.10.5.9.2.1 および セクション 6.10.5.9.2.2 は、以下に示す推奨動作条件および電気的特性条件に基づくテストを想定しています (図 6-64～図 6-69 を参照)。

6.10.5.9.2.1 GPMC および NOR フラッシュのタイミング要件 – 非同期モード

番号	パラメータ	説明	モード	最小値	最大値	単位
FA5 (1)	$t_{acc(d)}$	データ アクセス時間	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1		H (4)	ns
FA20 (2)	$t_{acc1\text{-}pgmode(d)}$	ページ モードの連続データ アクセス時間	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1		P (3)	ns
FA21 (1)	$t_{acc2\text{-}pgmode(d)}$	ページ モードの最初のデータ アクセス時間	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1		H (4)	ns

(1) FA5 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
(2) FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 の値は、PageBurstAccessTime レジスタのビット フィールドに保存する必要があります。
(3) P = PageBurstAccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(5)
(4) H = AccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(5)

Copyright © 2026 Texas Instruments Incorporated

(5) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。

6.10.5.9.2.2 GPMC および NOR フラッシュのスイッチング特性 – 非同期モード

番号	パラメータ	説明	モード (15)	最小値	最大値	単位
				133MHz		
FA0	$t_{w(be[x]nV)}$	パルス幅、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効時間	読み取り		N (12)	ns
			書き込み		N (12)	
FA1	$t_{w(csnV)}$	パルス幅、出力チップ セレクト GPMC_CSn[i](13) low	読み取り		A (1)	ns
			書き込み		A (1)	
FA3	$t_{d(csnV-advnlV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i](13) 有効から出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE 無効まで	読み取り	-2+B (2)	2+B (2)	ns
			書き込み	-2+B (2)	2+B (2)	
FA4	$t_{d(csnV-oenlV)}$	遅延時間、出力チップセレクト GPMC_CSn[i](13) 有効から 出力イネーブル GPMC_OEn_REn 無効まで (単一読み取り)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2+C (3)	2+C (3)	ns
FA9	$t_{d(aV-csnV)}$	遅延時間、出力アドレス GPMC_A[27:1] 有効から出力チップ セレクト GPMC_CSn[i](13) 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2+J (9)	2+J (9)	ns
FA10	$t_{d(be[x]nV-csnV)}$	遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効から出力チップ セレクト GPMC_CSn[i](13) まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2+J (9)	2+J (9)	ns
FA12	$t_{d(csnV-advnV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i](13) 有効から出力アドレス有効、アドレス ラッチ イネーブル GPMC_ADVn_ALE 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2+K (10)	2+K (10)	ns
FA13	$t_{d(csnV-oenV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i](13) 有効から出力イネーブル GPMC_OEn_REn 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2+L (11)	2+L (11)	ns
FA16	$t_{w(aIV)}$	2 つの連続する読み取りおよび書き込みアクセスの間で、出力アドレス GPMC_A[26:1] が無効になるパルス幅	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	G (7)		ns
FA18	$t_{d(csnV-oenlV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i](13) 有効から 出力イネーブル GPMC_OEn_REn 無効まで (バースト読み取り)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2+I (8)	2+I (8)	ns
FA20	$t_{w(aV)}$	パルス幅、出力アドレス GPMC_A[27:1] 有効 - 2 回目、3 回目、4 回目のアクセス	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	D (4)		ns
FA25	$t_{d(csnV-wenV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i](13) 有効から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2+E (5)	2+E (5)	ns
FA27	$t_{d(csnV-wenlV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i](13) 有効から出力書き込みイネーブル GPMC_WEn 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2+F (6)	2+F (6)	ns
FA28	$t_{d(wenV-dV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 有効から出力データ GPMC_AD[15:0] 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1		2	ns
FA29	$t_{d(dV-csnV)}$	遅延時間、出力データ GPMC_AD[15:0] 有効から出力チップ セレクト GPMC_CSn[i](13) 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2+J (9)	2+J (9)	ns
FA37	$t_{d(oenV-aIV)}$	遅延時間、出力イネーブル GPMC_OEn_REn 有効から出力アドレス GPMC_AD[15:0] フェーズ終了まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1		2	ns

(1) 単一読み取りの場合 : A = (CSRdOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)

Copyright © 2026 Texas Instruments Incorporated

単一書き込みの場合：A = (CSWrOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
バースト読み取りの場合：A = (CSRdOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
バースト書き込みの場合：A = (CSWrOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
n はページ バースト アクセス数

(2) 読み取りの場合：B = ((ADVRdOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
書き込みの場合：B = ((ADVWrOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)

(3) C = ((OEOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)

(4) D = PageBurstAccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(14)

(5) E = ((WEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)

(6) F = ((WEOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)

(7) G = Cycle2CycleDelay × GPMC_FCLK(14)

(8) I = ((OEOffTime + (n - 1) × PageBurstAccessTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)

(9) J = (CSOnTime × (TimeParaGranularity + 1) + 0.5 × CSExtraDelay) × GPMC_FCLK(14)

(10) K = ((ADVOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)

(11) L = ((OEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)

(12) 単一読み取りの場合：N = RdCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK(14)
単一書き込みの場合：N = WrCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK(14)
バースト読み取りの場合：N = (RdCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
バースト書き込みの場合：N = (WrCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)

(13) GPMC_CSn[i] で、i は 0、1、2、または 3 です。

(14) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。

(15) div_by_1_mode の場合：

- GPMC_CONFIG1_i レジスタ：GPMCFCLKDIVIDER = 0h：
  - GPMC_CLK 周波数 = GPMC_FCLK 周波数

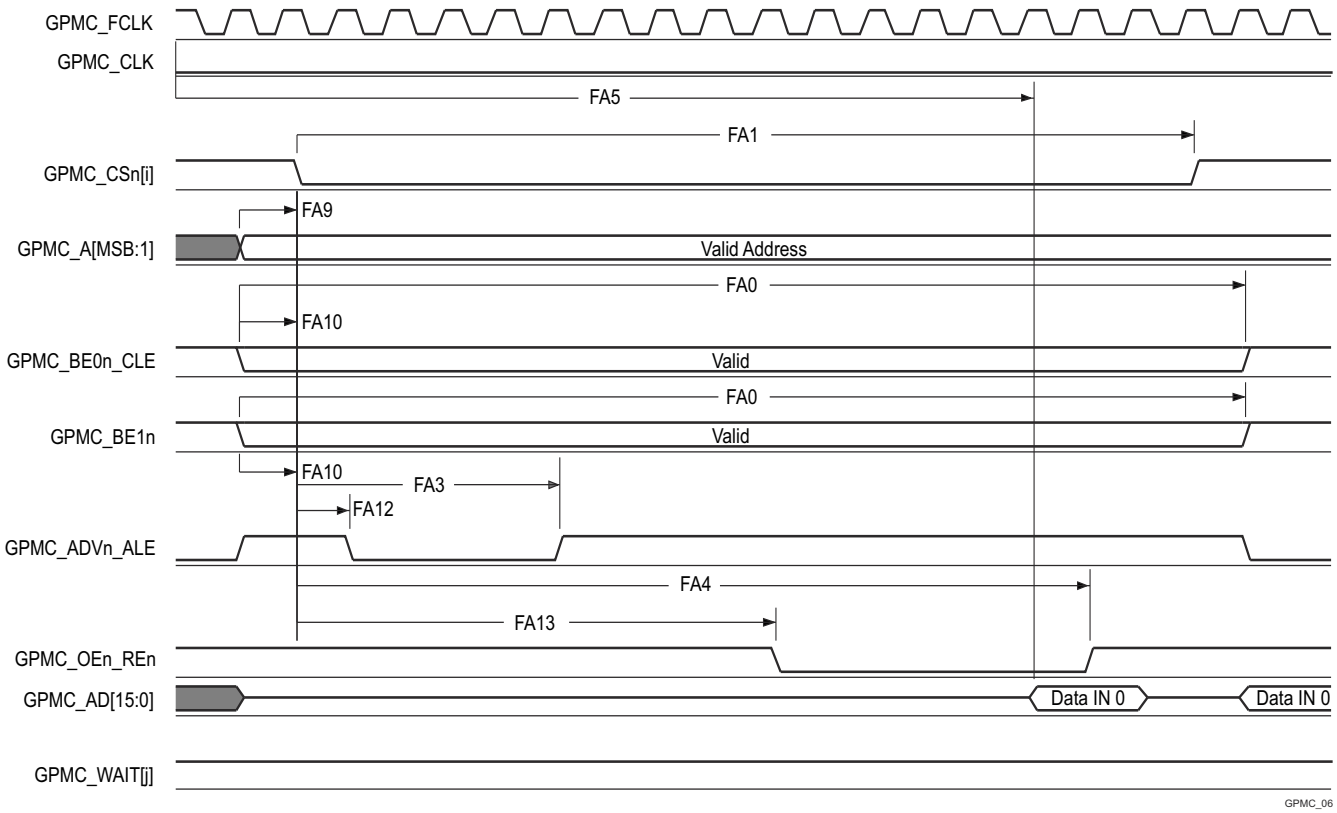
GPMC_FCLK_MUX の場合：

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSDIV_CLKOUT3 = 2000/15 = 133.33MHz

TIMEPARAGRANULARITY_X1 に対し：

- GPMC_CONFIG1_i レジスタ：TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

Copyright © 2026 Texas Instruments Incorporated



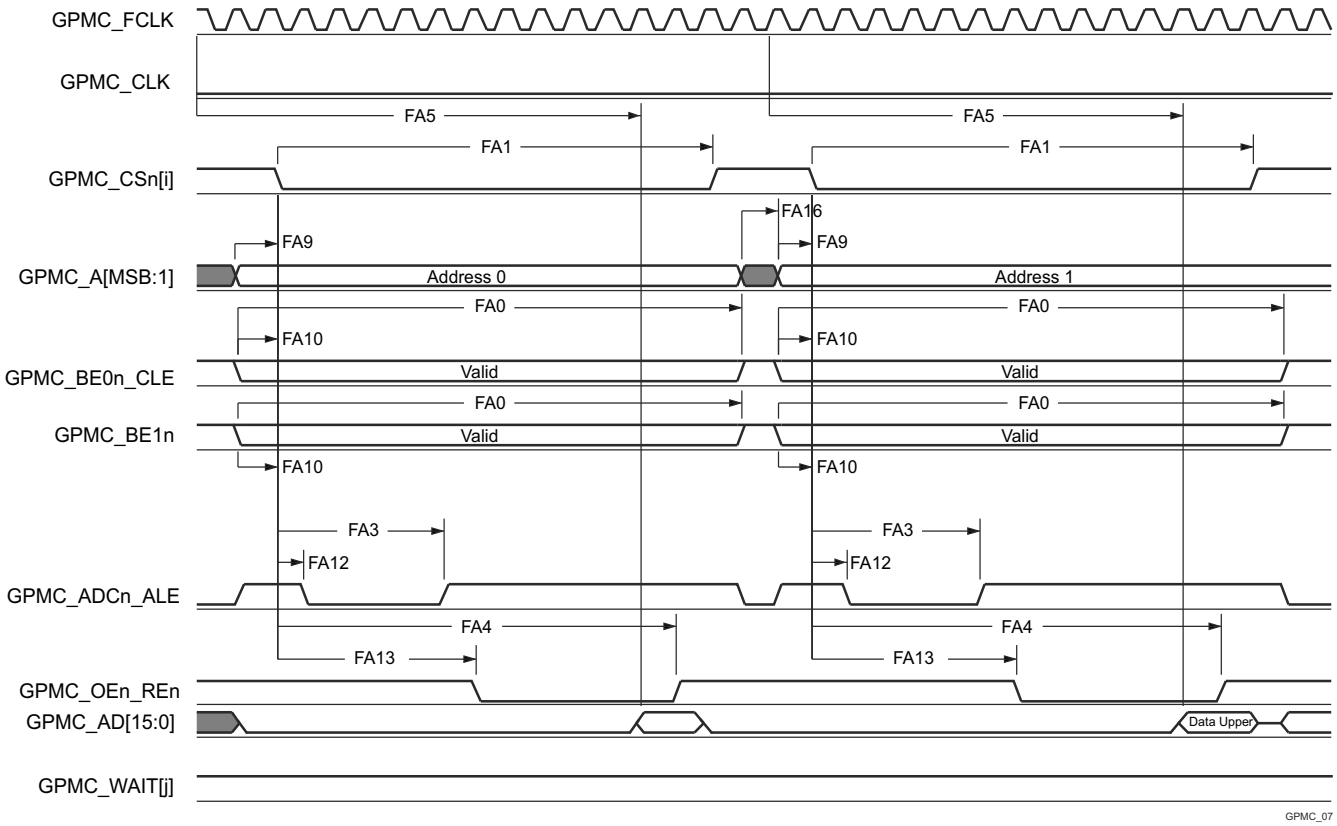
A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、jis は 0 または 1 です。

B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。

C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-64. GPMC および NOR フラッシュ — 非同期読み取り — シングル ワード

Copyright © 2026 Texas Instruments Incorporated

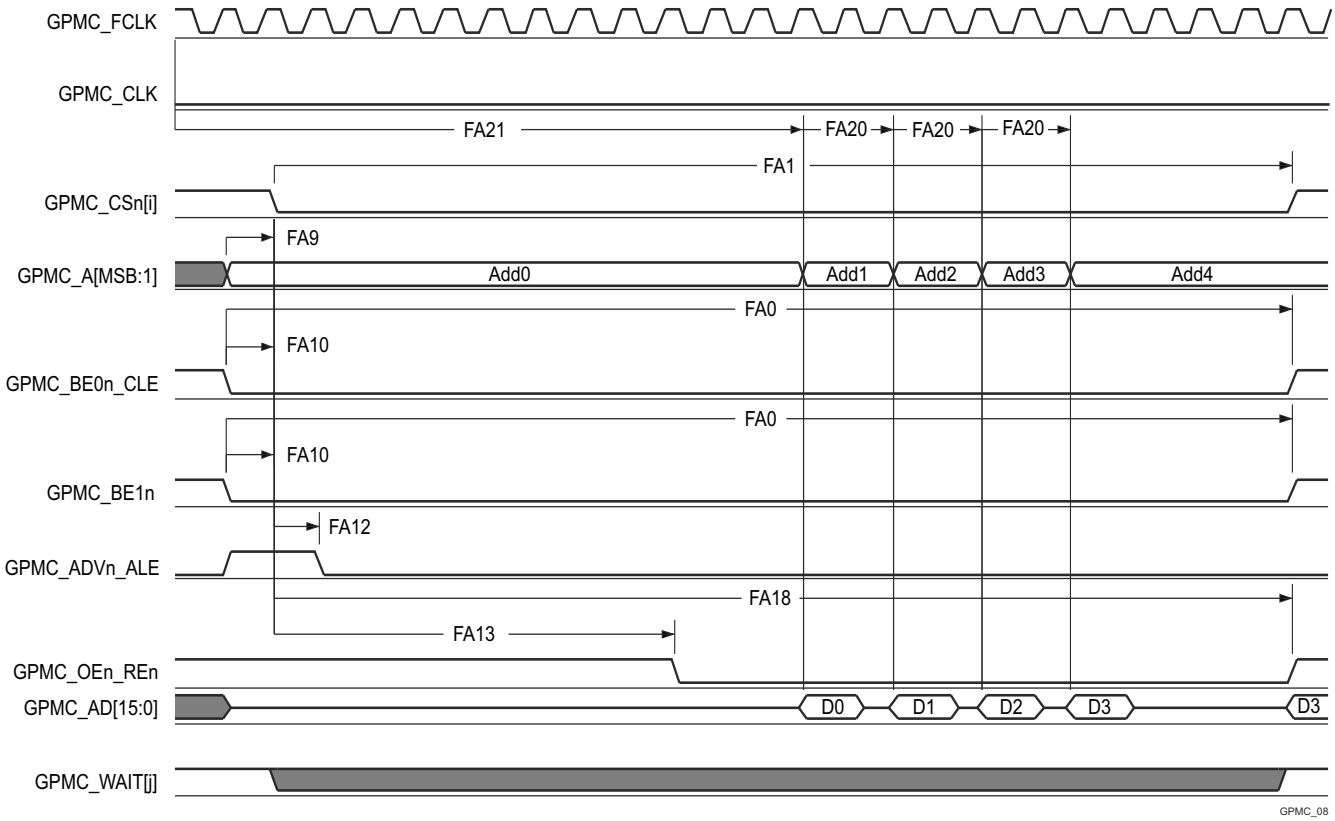


A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。

C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-65. GPMC および NOR フラッシュ — 非同期読み取り — 32 ビット



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

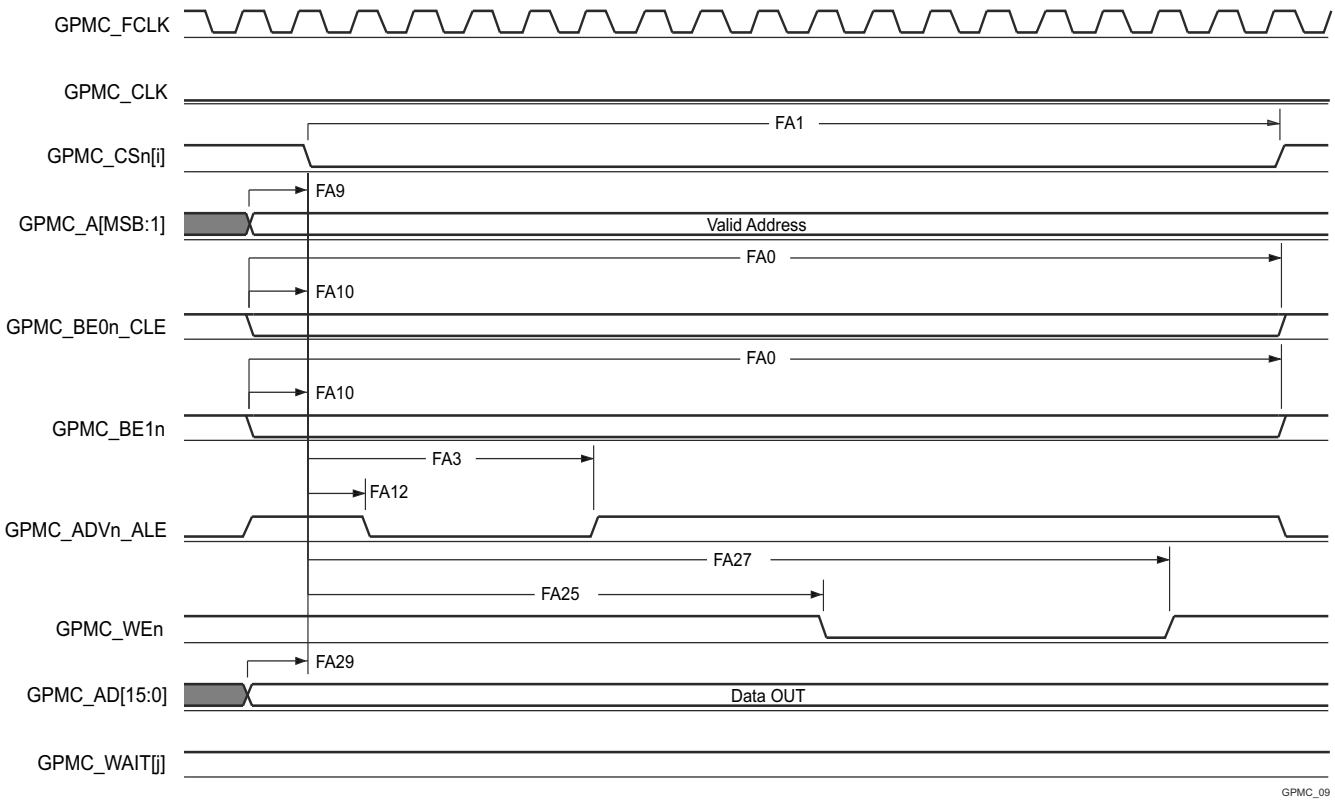
B. FA21 パラメータは、最初の入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA21 機能クロック サイクル経過後、最初の入力ページのデータが、アクティブな機能クロック エッジによって内部的にサンプリングされます。FA21 の計算値は、accessTime レジスタ ビット フィールド内に保存する必要があります。

C. FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 は、連続する入力ページ データ (最初の入力ページ データを除く) のアドレス フェーズ期間でもあります。FA20 の値は、PageBurstAccessTime レジスタ ビット フィールドに保存する必要があります。

D. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

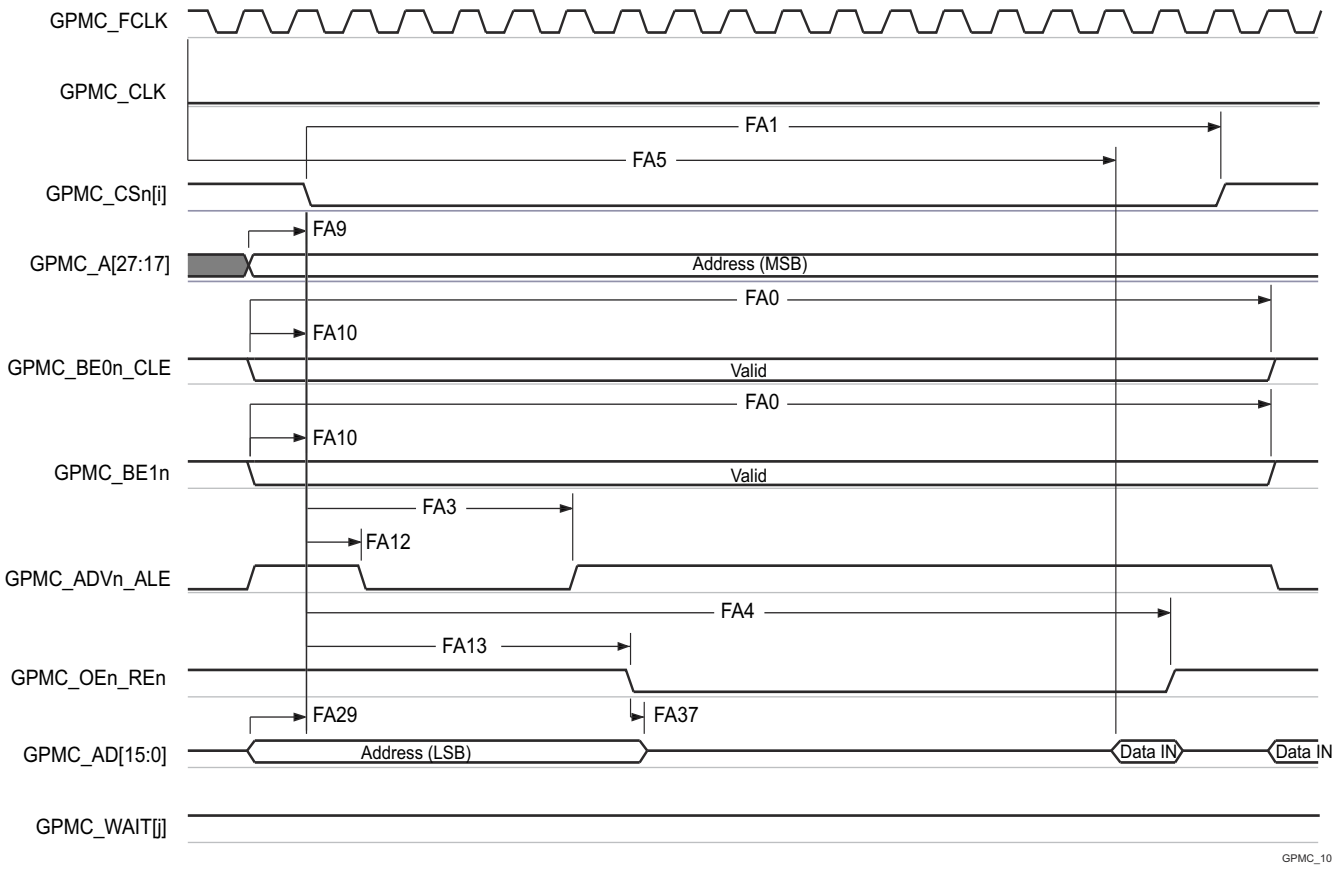
図 6-66. GPMC および NOR フラッシュ — 非同期読み取り — ページ モード 4x16 ビット

Copyright © 2026 Texas Instruments Incorporated



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-67. GPMC および NOR フラッシュ — 非同期書き込み — シングル ワード



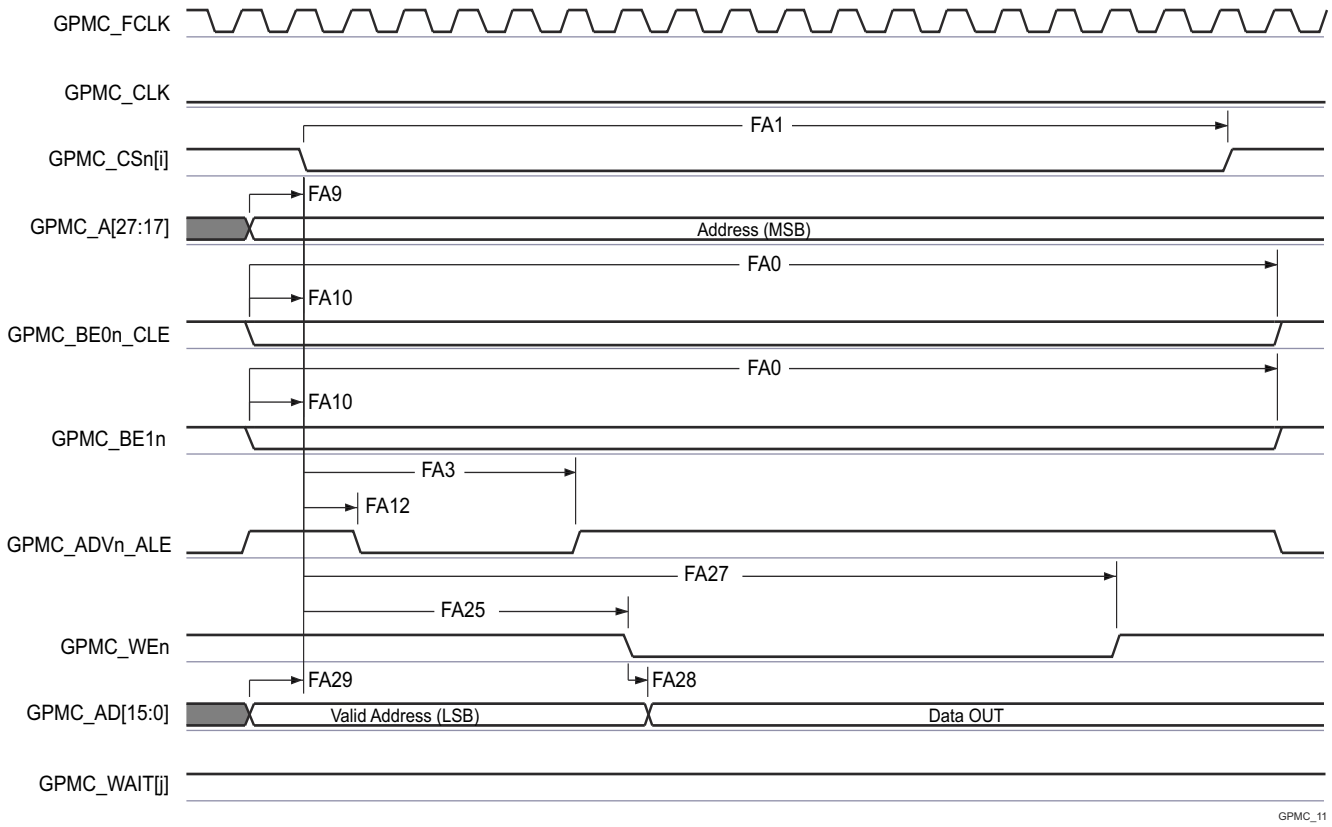
A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。

C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-68. GPMC および多重化 NOR フラッシュ — 非同期読み取り — シングル ワード

Copyright © 2026 Texas Instruments Incorporated



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-69. GPMC および多重化 NOR フラッシュ — 非同期書き込み — シングル ワード

6.10.5.9.3 GPMC および NAND フラッシュ — 非同期モード

セクション 6.10.5.9.3.1 および セクション 6.10.5.9.3.2 は、以下に示す推奨動作条件および電気的特性条件に基づくテストを想定しています (図 6-70～図 6-73 を参照)。

詳細については、デバイスの TRM で「ペリフェラル」の章にある「汎用メモリコントローラ (GPMC)」セクションを参照してください。

6.10.5.9.3.1 GPMC および NAND フラッシュのタイミング要件 – 非同期モード

番号	パラメータ	説明	モード (4)	最小値 最大値 133MHz	単位
GNF12 (1)	$t_{acc(d)}$	アクセス時間、入力データ GPMC_AD[15:0] (3)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	J (2)	ns

(1) GNF12 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
(2) J = AccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(3)
(3) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
(4) div_by_1_mode の場合:

- GPMC_CONFIG1_i レジスタ:GPMCFCLKDIVIDER = 0h:
  - GPMC_CLK 周波数 = GPMC_FCLK 周波数

GPMC_FCLK_MUX の場合:

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSDIV_CLKOUT3 = 2000/15 = 133.33MHz

TIMEPARAGRANULARITY_X1 に対し:

- GPMC_CONFIG1_i レジスタ:TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

6.10.5.9.3.2 GPMC および NAND フラッシュのスイッチング特性 – 非同期モード

番号	パラメータ		モード (15)	最小値	最大値	単位
GNF0	$t_{w(wenV)}$	パルス幅、出力書き込みイネーブル GPMC_WEn 有効	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	A (1)		ns
GNF1	$t_{d(csnV-wenV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i](13) 有効から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2+B (2)	2+B (2)	ns
GNF2	$t_{w(cleH-wenV)}$	遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE high から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2+C (3)	2+C (3)	ns
GNF3	$t_{w(wenV-dV)}$	遅延時間、出力データ GPMC_AD[15:0] 有効から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2+D (4)	2+D (4)	ns
GNF4	$t_{w(wenIV-dIV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力データ GPMC_AD[15:0] 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2+E (5)	2+E (5)	ns
GNF5	$t_{w(wenIV-cleIV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2+F (6)	2+F (6)	ns
GNF6	$t_{w(wenIV-CSn[i]V)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力チップ セレクト GPMC_CSn[i](13) 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2+G (7)	2+G (7)	ns

Copyright © 2026 Texas Instruments Incorporated

番号	パラメータ		モード (15)	最小値	最大値	単位
GNF7	$t_{w(aleH-wenV)}$	遅延時間、出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE high から出力書き込み イネーブル GPMC_WEn 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2+C (3)	2+C (3)	ns
GNF8	$t_{w(wenIV-aleIV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2+F (6)	2+F (6)	ns
GNF9	$t_{c(wen)}$	サイクル時間、書き込み	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1		H (8)	ns
GNF10	$t_{d(csnV-oenV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i](13) 有効から出力イネーブル GPMC_OEn_REn 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2+I (9)	2+I (9)	ns
GNF13	$t_{w(oenV)}$	パルス幅、出力イネーブル GPMC_OEn_REn 有効	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1		K (10)	ns
GNF14	$t_{c(oen)}$	サイクル時間、読み取り	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	L (11)		ns
GNF15	$t_{w(oenIV-CSn[i]V)}$	遅延時間、出力イネーブル GPMC_OEn_REn 無効から出力チップ セレクト GPMC_CSn[i](13) 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2+M (12)	2+M (12)	ns

(1) A = (WEOffTime - WEOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
(2) B = ((WEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(3) C = ((WEOnTime - ADVOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - ADVExtraDelay)) × GPMC_FCLK(14)
(4) D = (WEOnTime × (TimeParaGranularity + 1) + 0.5 × WEExtraDelay) × GPMC_FCLK(14)
(5) E = ((WrCycleTime - WEOffTime) × (TimeParaGranularity + 1) - 0.5 × WEExtraDelay) × GPMC_FCLK(14)
(6) F = ((ADVWrOffTime - WEOffTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - WEExtraDelay)) × GPMC_FCLK(14)
(7) G = ((CSWrOffTime - WEOffTime) × (TimeParaGranularity + 1) + 0.5 × (CSExtraDelay - WEExtraDelay)) × GPMC_FCLK(14)
(8) H = WrCycleTime × (1 + TimeParaGranularity) × GPMC_FCLK(14)
(9) I = ((OEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(10) K = (OEOffTime - OEOnTime) × (1 + TimeParaGranularity) × GPMC_FCLK(14)
(11) L = RdCycleTime × (1 + TimeParaGranularity) × GPMC_FCLK(14)
(12) M = ((CSRdOffTime - OEOffTime) × (TimeParaGranularity + 1) + 0.5 × (CSExtraDelay - OEExtraDelay)) × GPMC_FCLK(14)
(13) GPMC_CSn[i] で、i は 0、1、2、または 3 です。
(14) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
(15) div_by_1_mode の場合:

- GPMC_CONFIG1_i レジスタ:GPMCFCLKDIVIDER = 0h:
  - GPMC_CLK 周波数 = GPMC_FCLK 周波数

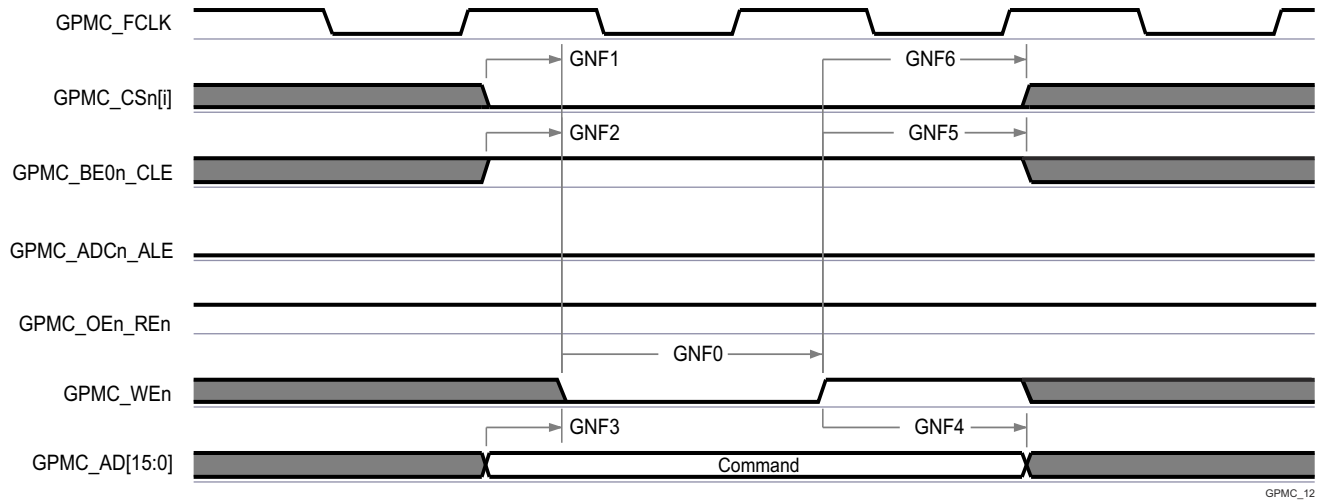
GPMC_FCLK_MUX の場合:

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSDIV_CLKOUT3 = 2000/15 = 133.33MHz

TIMEPARAGRANULARITY_X1 に対し:

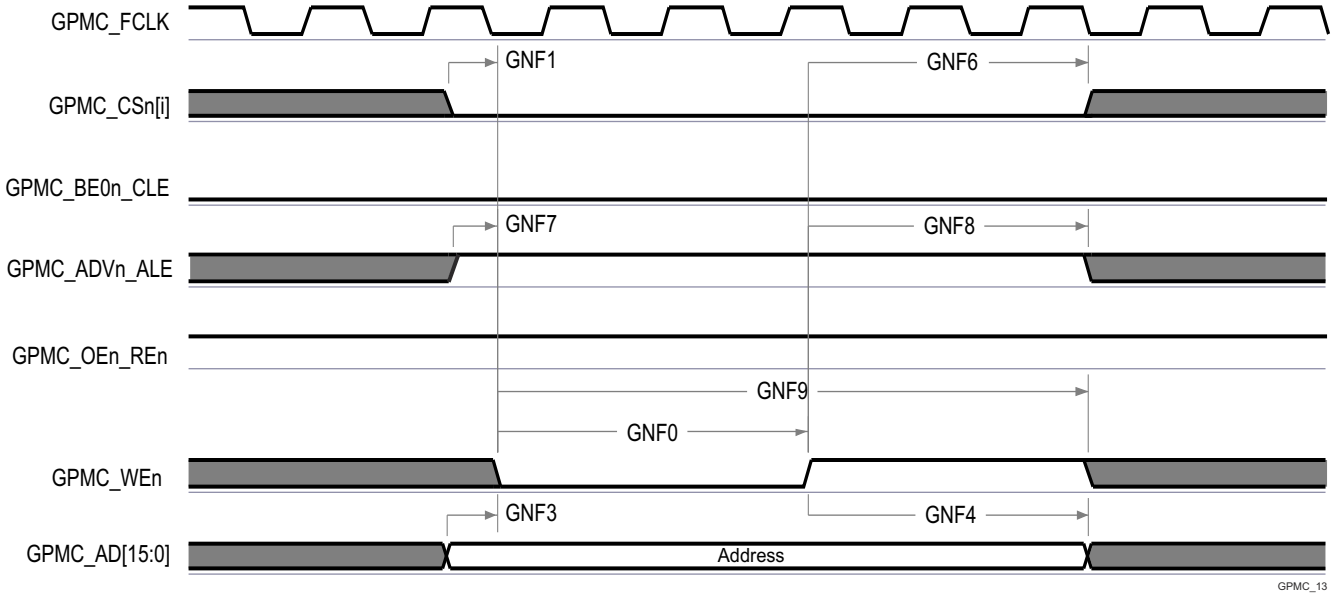
- GPMC_CONFIG1_i レジスタ:TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

Copyright © 2026 Texas Instruments Incorporated



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

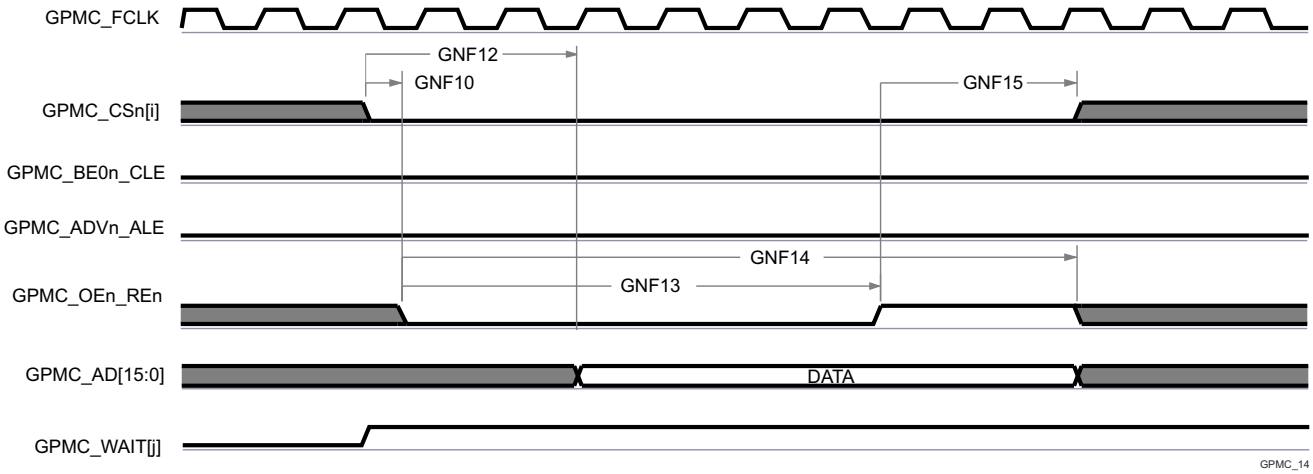
図 6-70. GPMC および NAND フラッシュ — コマンド ラッチ サイクル



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

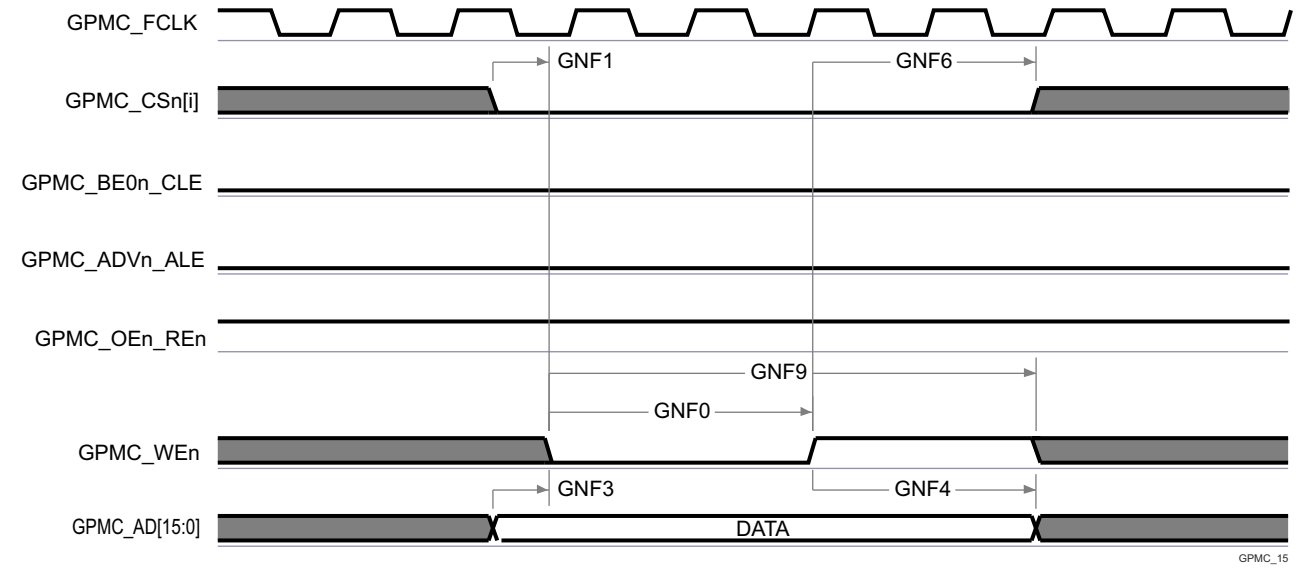
図 6-71. GPMC および NAND フラッシュ — アドレス ラッチ サイクル

Copyright © 2026 Texas Instruments Incorporated



A. GNF12 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
B. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。
C. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-72. GPMC および NAND フラッシュ — データ読み取りサイクル



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

図 6-73. GPMC および NAND フラッシュ — データ書き込みサイクル

6.10.5.10 HyperBus

本デバイスの HyperBus の機能に関する詳細と追加の説明については、セクション 5.3「信号の説明」および セクション 7「詳細説明」内の対応するセクションを参照してください。

セクション 6.10.5.10.1、セクション 6.10.5.10.2 および セクション 6.10.5.10.3 は、推奨動作条件と電気的特性条件に基づくテストを想定しています (図 6-74、図 6-75 および 図 6-76 を参照)。

表 6-44 に、HyperBus のタイミング条件を示します。

Copyright © 2026 Texas Instruments Incorporated

表 6-44. HyperBus のタイミング条件

パラメータ	説明	最小値	最大値	単位
入力条件				
t_{SR}	入力スルーレート	2	5	V/ns
出力条件				
C_{LOAD}	出力負荷容量	1.5	10	pF

6.10.5.10.1 HyperBus 初期化のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
D1	$t_{w(RESETn)}$	RESETn パルス幅	200		ns
D2	$t_{w(csL)}$	チップ セレクトパルス幅	1000		ns
D3	$t_{d(RESETnH-csL)}$	遅延時間、RESETn 非アクティブから CSn アクティブまで	200.34		ns
D4	$t_{d(csL-RWDSL)}$	遅延時間、CSn アクティブから RWDS 立ち下がりまで	115		ns

6.10.5.10.2 HyperBus 166 MHz のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
D5	$t_{skn(rwdsX-dV)}$	入力スキュー、RWDS 遷移から D0:D7 有効まで	-0.46	0.46	ns
D6	$t_{c(clk/clkn)}$	CLK 周期、CLK/CLKn	6		ns
D7	$t_{w(clk/clkn)}$	パルス幅、CLK/CLKn	2.7		ns
D8	$t_{w(csIV)}$	パルス幅、動作間の CS0 無効	6		ns
D9	$t_{d(clkH-csL)}$	遅延時間、CS0 アクティブから CLK 立ち上がり /CLKn 立ち下がりまで		-3.34	ns
D10	$t_{d(clkL[LE]-csH)}$	遅延時間、最後の CLK 立ち下がり /CLKn 立ち上がりエッジから CS0 非アクティブまで	0.41		ns
D11	$t_{d(clkX-rwdsV)}$	遅延時間、CLK 遷移から RWDS 有効まで	1.01	2.08	ns
D12	$t_{d(clkX-d[0:7]V)}$	遅延時間、CLK 遷移から D0:D7 有効まで	0.84	2.17	ns

6.10.5.10.3 HyperBus 100 MHz のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
LFD5	$t_{skn(rwdsX-dV)}$	入力スキュー、RWDS 遷移から D0:D7 有効まで	-0.81	0.81	ns
LFD6	$t_{c(clk)}$	CLK 周期、CLK	10		ns
LFD7	$t_{w(clk)}$	パルス幅、CLK	4.75		ns
LFD8	$t_{w(csIV)}$	パルス幅、動作間の CS0 無効	10		ns
LFD9	$t_{d(clkH-csL)}$	遅延時間、CS0 アクティブから CLK 立ち上がりまで		-3.51	ns
LFD10	$t_{d(clkL[LE]-csH)}$	遅延時間、最後の CLK 立ち下がりエッジから CS0 非アクティブまで	0.51		ns
LFD11	$t_{d(clkX-rwdsV)}$	遅延時間、CLK 遷移から RWDS 有効まで	1.51	3.49	ns
LFD12	$t_{d(clkX-d[0:7]V)}$	遅延時間、CLK 遷移から D0:D7 有効まで	1.34	3.66	ns

Copyright © 2026 Texas Instruments Incorporated

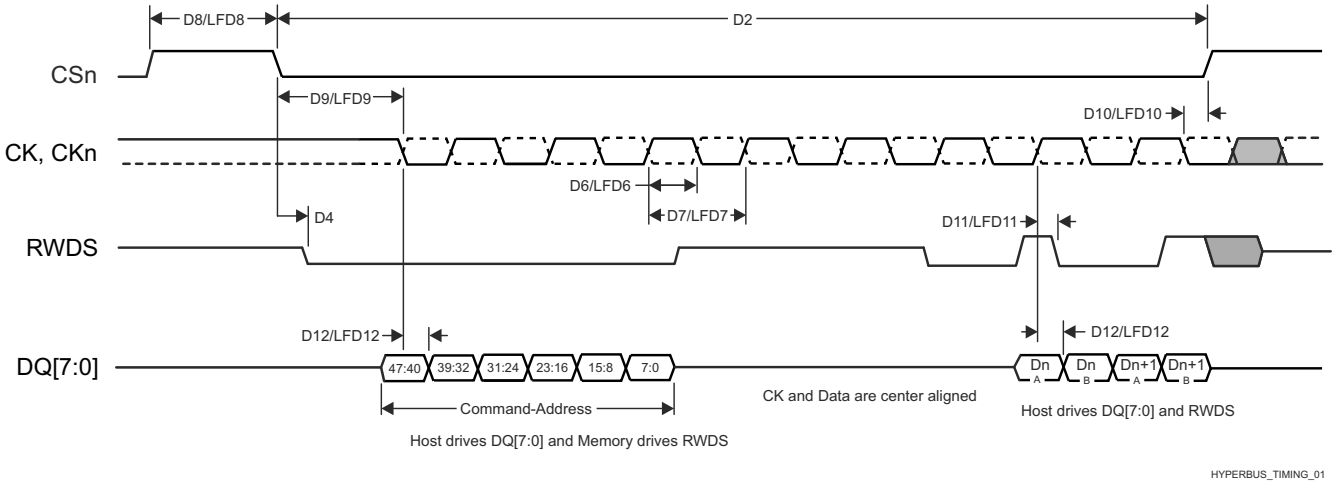


図 6-74. HyperBus タイミング図 – 送信モード

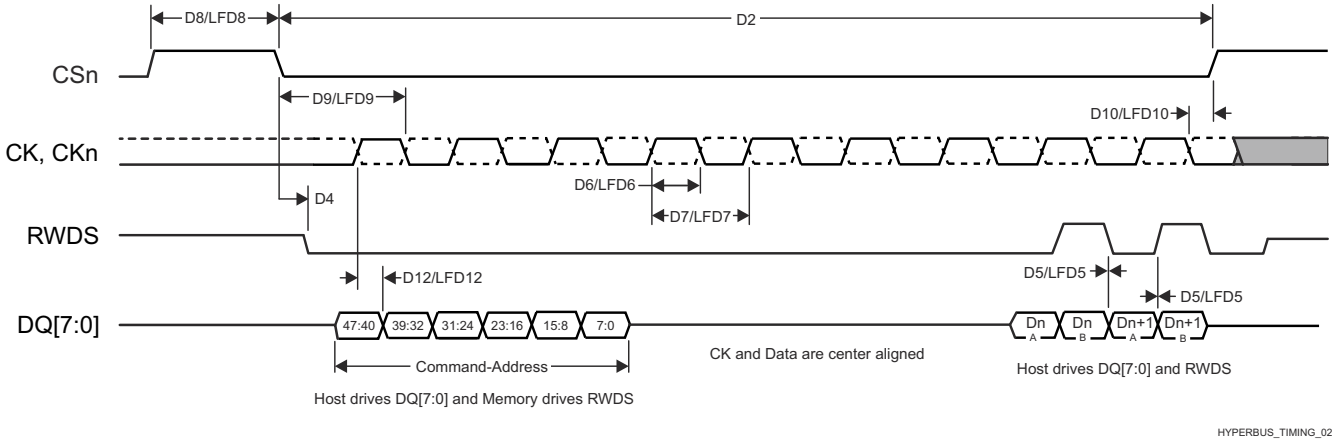


図 6-75. HyperBus タイミング図 – 受信モード

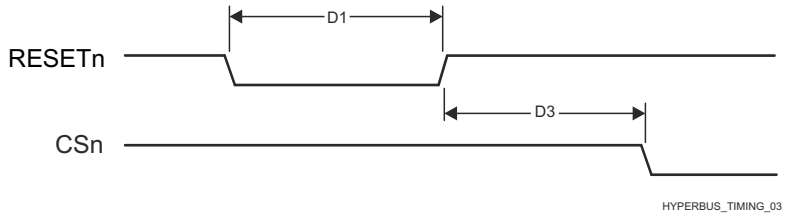


図 6-76. HyperBus タイミング図 – リセット

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「HyperBus インターフェイス」セクションを参照してください。

6.10.5.11 I2C

このデバイスには、6 つの マルチコントローラ I2C (Inter-Integrated Circuit) コントローラが搭載されています。各 I2C コントローラは、Philips I²C-bus™ 仕様バージョン 2.1 に準拠するように設計されています。ただし、本デバイスの IO は、I2C の電気的仕様に完全には準拠していません。サポートされる速度と例外について、以下にポートごとに説明します。

- MCU_I2C1、I2C1、I2C2、I2C3、I2C4、I2C5、I2C6
  - 速度:

- 標準モード (最大 100Kbit/s)
  - 1.8V
  - 3.3V
- ファースト モード (最大 400Kbit/s)
  - 1.8V
  - 3.3V

– 例外:
- これらのポートに関連付けられている IO は、I2C 仕様で定義されている立ち下がり時間要件に準拠していません。これらの I/O には、I2C 互換の IO では実装できなかった他の信号機能をサポートするように設計された、より高性能の LVCMOS プッシュプル IO が実装されているからです。これらのポートで使用されている LVCMOS IO は、オープンドレイン出力をエミュレートするように接続されます。このエミュレーションは、強制的に常に Low を出力し、出力バッファを無効にして、Hi-Z 状態にすることにより実行されます。
- I2C 仕様では、最大入力電圧 V_{IH} が ($V_{DD_{max}}$ + 0.5V) と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの「絶対最大定格」セクションに定義された制限を超えないようにシステムを設計する必要があります。

- WAKEUP_I2C0、MCU_I2C0、I2C0
  – 速度:
    - 標準モード (最大 100Kbit/s)
      - 1.8V
      - 3.3V
    - ファースト モード (最大 400Kbit/s)
      - 1.8V
      - 3.3V
    - Hs モード (最大 3.4Mbit/s)
      - 1.8V
  – 例外:
    - これらのポートに関連付けられている IO は、3.3V で動作しているときに Hs モードをサポートするようには設計されていません。したがって、Hs モードは 1.8V 動作に制限されます。
    - これらのポートに接続された I2C 信号の立ち上がりおよび立ち下がり時間は、スルーレート 0.8V/ns (すなわち 8E+7 V/s) を超えないようにする必要があります。この制限は、I2C 仕様で定義されている最小立ち下がり時間の制限よりも厳しいものです。したがって、立ち上がりおよび立ち下がり時間が 0.8V/ns のスルーレートを上回らないように、I2C 信号に容量を追加する必要がある場合があります。
    - I2C 仕様では、最大入力電圧 V_{IH} が ($V_{DD_{max}}$ + 0.5V) と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの「絶対最大定格」セクションに定義された制限を超えないようにシステムを設計する必要があります。

タイミングの詳細については、Philips I2C-bus 仕様バージョン 2.1 を参照してください。

本デバイスの I2C (Inter-Integrated Circuit) の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

6.10.5.12 I3C

本デバイスの集積回路間通信の機能の詳細と追加の説明については、セクション 5.3「信号の説明」および セクション 7「詳細説明」内の対応するセクションを参照してください。

表 6-45、表 6-46、図 6-77、表 6-47、図 6-78 は、推奨動作条件および電気的特性条件に基づくテストを想定しています。

表 6-45. I3C オープン ドレインのタイミング条件

パラメータ	最小値	最大値	単位
入力条件			

Copyright © 2026 Texas Instruments Incorporated

表 6-45. I3C オープン ドレインのタイミング条件 (続き)

パラメータ		最小値	最大値	単位
SR_I	入力スルーレート	0.2276	5	V/ns
出力条件				
C_L	出力負荷容量		50	pF

表 6-46. I3C オープン ドレインのタイミング パラメータ

番号	パラメータ	説明	モード	最小値	最大値	単位
D1	t_{LOW_OD}	SCL クロックの LOW 期間	コントローラ	200		ns
	$t_{DIG_OD_L}$			$t_{LOW_OD\ MIN}$ + $t_{FDA_OD\ MIN}$		ns
D2	t_{HIGH}	SCL クロックの HIGH 期間	コントローラ		41	ns
	t_{DIG_H}				t_{HIGH} + t_{CF}	ns
D3	t_{fDA_OD}	SDA 信号の立ち下がり時間	コントローラ、ターゲット	t_{CF}	12	ns
D4	t_{SU_OD}	オープン ドレイン モード時の SDA データ セットアップ時間	コントローラ、ターゲット	3		ns
D5	t_{CAS}	スタート (S) 条件からクロックまで	コントローラ、ENTAS0	38.4	1000	ns
			コントローラ、ENTAS1	38.4	100000	ns
			コントローラ、ENTAS2	38.4	2000000	ns
			コントローラ、ENTAS3	38.4	50000000	ns
D6	t_{CBP}	クロックからストップ (P) 条件まで	コントローラ	$t_{CAS\ MIN}$ / 2		ns
D7	$t_{MMOVERLAP}$	ハンドオフ時の現在のコントローラから次のコントローラへのオーバーラップ時間	コントローラ	$t_{DIG_OD_L\ min}$		ns
D8	t_{AVAL}	バスが利用可能な状態	コントローラ	1000		ns
D9	t_{IDLE}	バスがアイドルの状態	コントローラ	1000000		ns
D10	t_{MMLOCK}	新しいコントローラが SDA を LOW に駆動しない時間間隔	コントローラ	$t_{AVALmin}$		ns

1. これは、t_{LOWmin} + t_{DS_ODmin} + t_{rDA_ODtyp} + t_{SU_Odmin} にほぼ等しくなります。
2. SDA がすでに V_{IH} を上回っているとき、これが安全であることをコントローラが認識している場合には、コントローラは Low 期間をより短くすることがあります。
3. t_{SPIKE}、立ち上がり / 立ち下がり時間、相互接続に基づきます。
4. レガシー I2C デバイスで信号を安全に認識できる場合や、相互接続を考慮する場合 (たとえば、短いバス)、この最大 High 期間を超えることがあります。
5. I2C デバイスがスタートを認識する必要があるレガシー バスでは、t_{CAS} の最小値がさらに制約されます。
6. オプションの ENTASx CCC をサポートしていないターゲットは、ENTAS3 に示されている t_{CAS} 最大値を使用するものとします。
7. Fm レガシー I2C デバイスの混在バス上では、t_{AVAL} は、Fm バス フリー条件時間 (t_{BUF}) より 300ns 短くなります。

Copyright © 2026 Texas Instruments Incorporated

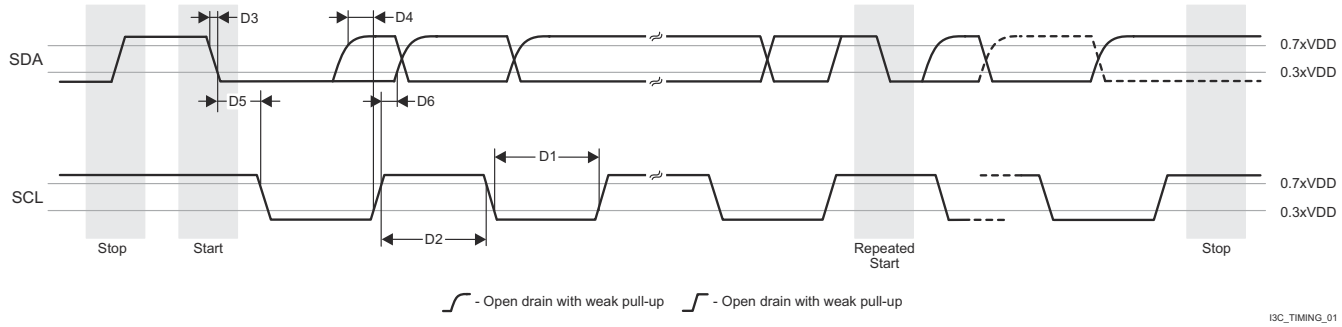


図 6-77. I3C オープン ドレインのタイミング

表 6-47. SDR および HDR-DDR モードの I3C プッシュプル タイミング パラメータ

番号	パラメータ	説明	モード	最小値	最大値	単位
D1	f_{SCL}	SCL クロック周期	コントローラ	80	100000	ns
D2	t_{LOW}	SCL クロックの Low 期間	コントローラ	24		ns
	t_{DIG_L}			32		ns
D3	t_{HIGH_MIXED}	混在バスの SCL クロック High 期間 (混在バストポロジはサポートされていません)	コントローラ	24		ns
	$t_{DIG_H_MIXED}$			32	45	ns
D4	t_{HIGH}	SCL クロックの High 期間	コントローラ	24		ns
	t_{DIG_H}			32		ns
D5	t_{SCO}	クロック インからターゲットのデータ アウトまで	ターゲット	12		ns
D6	t_{CR}	SCL クロック 立ち上がり時間	コントローラ	150 × 1 / f_{SCL}	60	ns
D7	t_{CF}	SCL クロック 立ち下がり時間	コントローラ	150 × 1 / f_{SCL}	60	ns
D8	t_{HD_PP}	プッシュプル モードでの SDA 信号データ ホールド	コントローラ	t_{CR} + 3 および t_{CF} + 3		ns
			ターゲット	0		ns
D9	t_{SU_PP}	プッシュプル モードでの SDA 信号データ セットアップ	コントローラ、ターゲット	3		ns
D10	t_{CASr}	繰り返しスタート (Sr) からクロックまで	コントローラ	$t_{CAS\ MIN}$		ns
D11	t_{CBSr}	クロックから繰り返しスタート (Sr) まで	コントローラ	$t_{CAS\ MIN}$ / 2		ns

1. FSCL = 1 / (t_{DIG_L} + t_{DIG_H})
2. t_{DIG_L} および t_{DIG_H} は、V_{IL} および V_{IH} を使用した I3C バスのレシーバ側で観測されるクロック Low および High 期間です。
3. 混在バスで I3C デバイスと通信する場合、I2C デバイスが I3C 信号を有効な I2C 信号と解釈しないように、$t_{DIG_H_MIX}$ 期間を制限する必要があります。
4. 両方のエッジを使用するので、ホールド時間はそれぞれのエッジで満足する必要があります。立ち下がりエッジ クロックでは t_{CF} + 3、立ち上がりエッジ クロックでは t_{CR} + 3 です。
5. クロック周波数、最小 0.01MHz、最大 12.5MHz

Copyright © 2026 Texas Instruments Incorporated

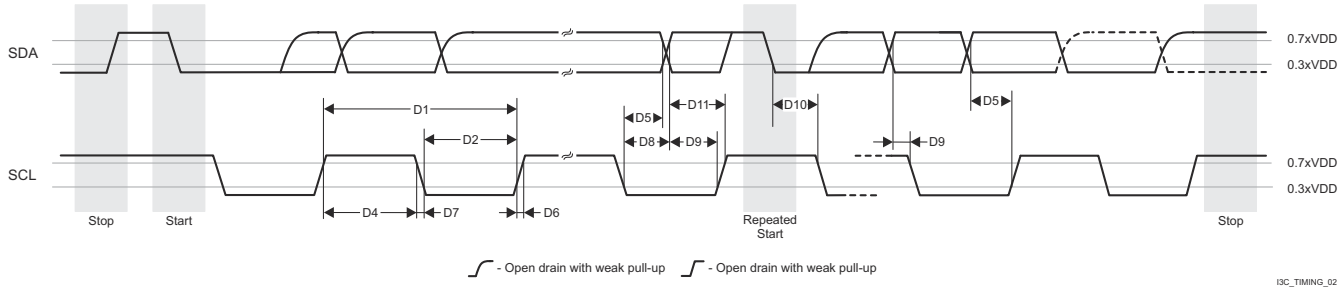


図 6-78. I3C プッシュプル タイミング (SDR および HDR-DDR モード)

6.10.5.13 MCAN

表 6-48 および表 6-49 に、MCAN のタイミング条件、要件、スイッチング特性を示します。

本デバイスのコントローラ エリア ネットワーク インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

注

このデバイスは、複数の MCAN モジュールを備えています。MCANn は、MCAN 信号名に適用される全般的な接頭辞です。ここで、n は特定の MCAN モジュールを表します。

表 6-48. MCAN のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	2	15	V/ns
出力条件				
C_L	出力負荷容量	5	20	pF

表 6-49. MCAN スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
MCAN1	$t_{d(MCAN_TX)}$	遅延時間、送信シフト レジスタから MCANn_TX まで		10	ns
MCAN2	$t_{d(MCAN_RX)}$	遅延時間、MCANn_RX から受信シフト レジスタまで		10	ns

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「コントローラ エリア ネットワーク (MCAN)」セクションを参照してください。

6.10.5.14 MCASP

本デバイスのマルチチャネル オーディオ シリアル ポートの機能の詳細と追加の説明については、セクション 5.3「信号の説明」およびセクション 7「詳細説明」内の対応するセクションを参照してください。

セクション 6.10.5.14.1 および 図 6-79 に、MCASP0～MCASP11 のタイミング要件を示します。

表 6-50. MCASP のタイミング条件

パラメータ	説明	最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.7	5	V/ns
出力条件				
C_L	出力負荷容量	1	10	pF
PCB 接続要件				
$t_{d(Trace\ Delay)}$	各パターンの伝搬遅延	100	1100	ps
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬の不整合		100	ps

6.10.5.14.1 MCASP のタイミング要件

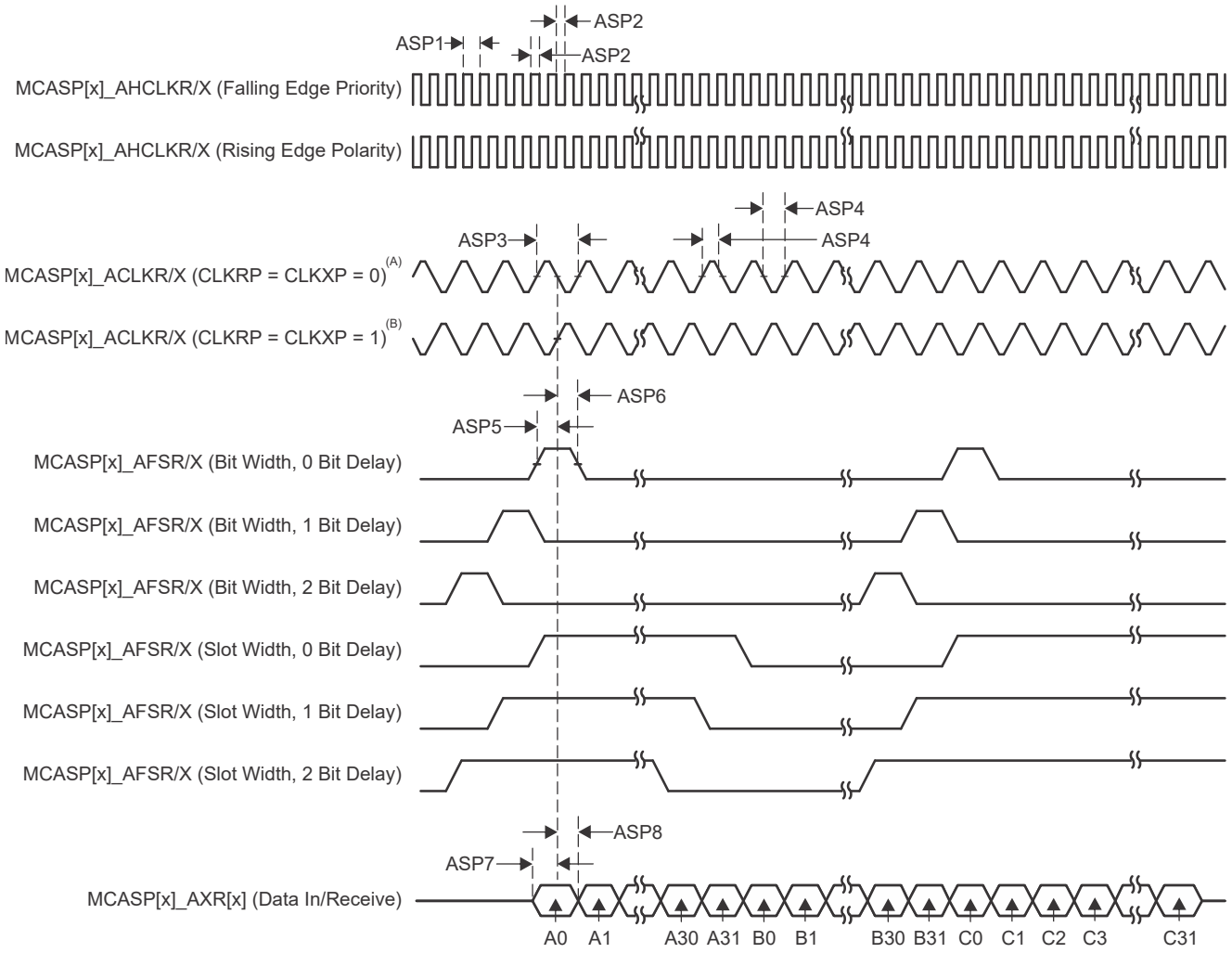
番号 1	パラメータ	説明	モード	最小値	最大値	単位
ASP1	$t_{c(AHCLKRX)}$	サイクル時間、AHCLKR/X		15.26		ns
ASP2	$t_{w(AHCLKRX)}$	パルス幅、AHCLKR/X high または low		–1.53 + 0.5P [2]		ns
ASP3	$t_{c(ACLKRX)}$	サイクル時間、ACLKR/X		15.26		ns
ASP4	$t_{w(ACLKRX)}$	パルス幅、ACLKR/X high または low		–1.53 + 0.5R [3]		ns

Copyright © 2026 Texas Instruments Incorporated

番号 1	パラメータ	説明	モード	最小値 最大値	単位
ASP5	$t_{su(AFSRX-ACLKRX)}$	セットアップ時間、AFSR/X 入力有効から ACLKR/X まで	ACLKR/X 内部	12.3	ns
			ACLKR/X 外部入力 / 出力	4	
ASP6	$t_{h(ACLKRX-AFSRX)}$	ホールド時間、ACLKR/X から AFSR/X 入力有効の間	ACLKR/X 内部	-1	ns
			ACLKR/X 外部入力 / 出力	1.6	
ASP7	$t_{su(AXR-ACLKRX)}$	セットアップ時間、AXR 入力有効から ACLKR/X まで	ACLKR/X 内部	12.3	ns
			ACLKR/X 外部入力 / 出力	4	
ASP8	$t_{h(ACLKRX-AXR)}$	ホールド時間、ACLKR/X から AXR 入力有効の間	ACLKR/X 内部	-1	ns
			ACLKR/X 外部入力 / 出力	1.6	

1. ACLKR 内部：ACLKRCTL.CLKRM = 1、PDIR.ACLKR = 1
   ACLKR 外部入力：ACLKRCTL.CLKRM = 0、PDIR.ACLKR = 0
   ACLKR 外部出力：ACLKRCTL.CLKRM = 0、PDIR.ACLKR = 1
   ACLKX 内部：ACLKXCTL.CLKXM = 1、PDIR.ACLKX = 1
   ACLKX 外部入力：ACLKXCTL.CLKXM = 0、PDIR.ACLKX = 0
   ACLKX 外部出力：ACLKXCTL.CLKXM = 0、PDIR.ACLKX = 1
2. P = AHCLKR/X 周期 (ns 単位)。
3. R = ACLKR/X 周期 (ns 単位)。

Copyright © 2026 Texas Instruments Incorporated



A. CLKRP = CLKXP = 0 の場合、MCASP トランスミッタは立ち上がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち下がりエッジ (シフト データ イン) に構成されます。

B. CLKRP = CLKXP = 1 の場合、MCASP トランスミッタは立ち下がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち上がりエッジ (シフト データ イン) に構成されます。

図 6-79. MCASP 入力のタイミング

1. MCASP[x]_* の x は 0、1、または 2

Copyright © 2026 Texas Instruments Incorporated

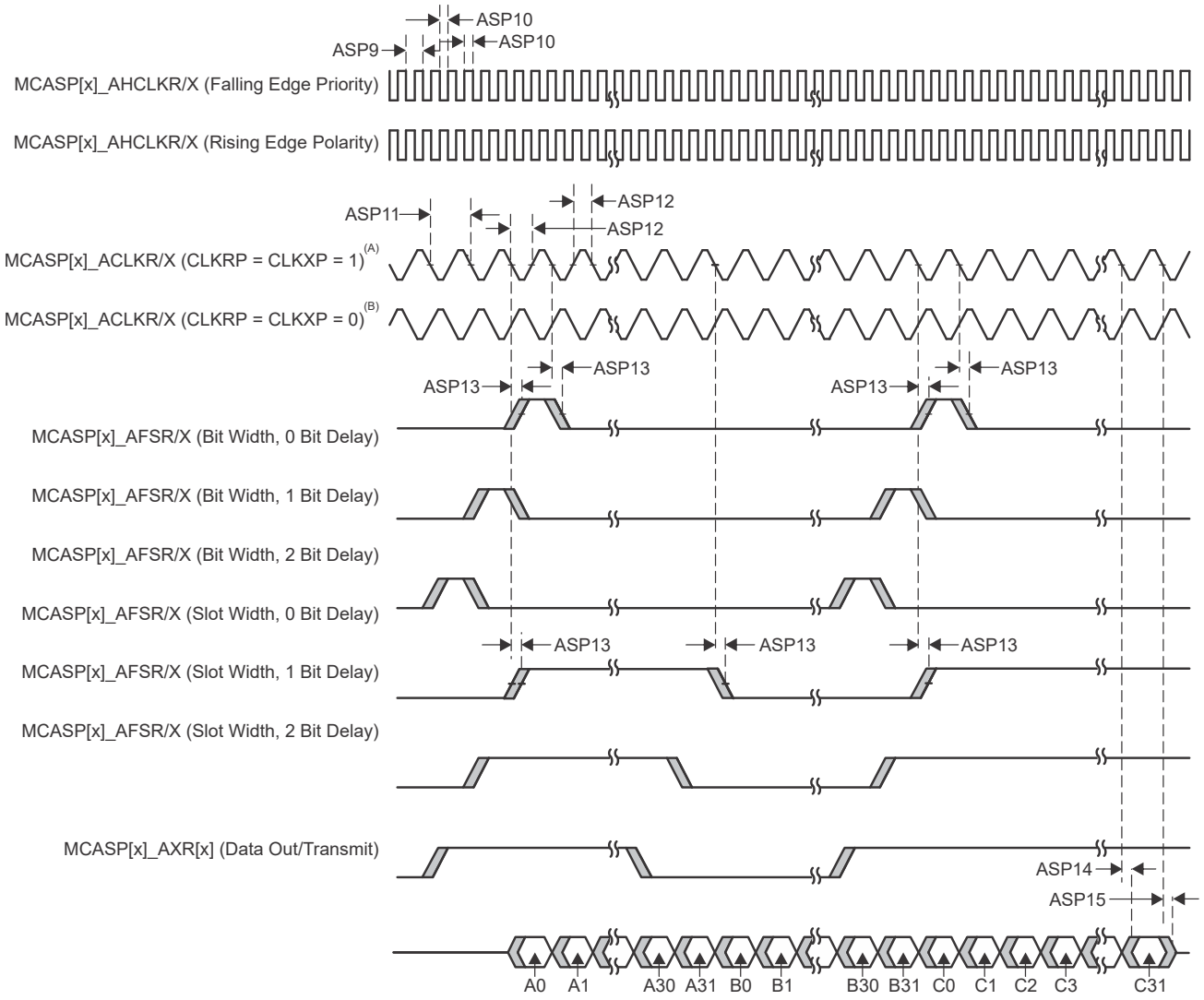
表 6-51 および 図 6-80 に、MCASP0～MCASP11 の推奨動作条件全体にわたるスイッチング特性を示します。

表 6-51. MCASP の推奨動作条件に対するスイッチング特性

番号 [1]	パラメータ	説明	モード	最小値	最大値	単位
ASP9	$t_{c(AHCLKRX)}$	サイクル時間、AHCLKR/X		20		ns
ASP10	$t_{w(AHCLKRX)}$	パルス幅、AHCLKR/X high または low		–2 + 0.5P [2]		ns
ASP11	$t_{c(ACLKRX)}$	サイクル時間、ACLKR/X		20		ns
ASP12	$t_{w(ACLKRX)}$	パルス幅、ACLKR/X high または low		–2 + 0.5R [3]		ns
ASP13	$t_{d(ACLKRX-AFSRX)}$	遅延時間、ACLKR/X 送信エッジから AFSR/X 出力有効まで	ACLKR/X 内部	0	7.25	ns
			ACLKR/X 外部入力 / 出力	-15.28	12.84	
ASP14	$t_{d(ACLKX-AXR)}$	遅延時間、ACLKX 送信エッジから AXR 出力有効まで	ACLKR/X 内部	0	7.25	ns
			ACLKR/X 外部入力 / 出力	-15.28	12.84	
ASP15	$t_{dis(ACLKX-AXR)}$	ディセーブル時間、ACLKX 送信エッジから AXR 出力ハイインピーダンスまで	ACLKR/X 内部	0	7.25	ns
			ACLKR/X 外部入力 / 出力	-14.9	14	

1. ACLKR 内部：ACLKRCTL.CLKRM = 1、PDIR.ACLKR = 1
   ACLKR 外部入力：ACLKRCTL.CLKRM = 0、PDIR.ACLKR = 0
   ACLKR 外部出力：ACLKRCTL.CLKRM = 0、PDIR.ACLKR = 1
   ACLKX 内部：ACLKXCTL.CLKXM = 1、PDIR.ACLKX = 1
   ACLKX 外部入力：ACLKXCTL.CLKXM = 0、PDIR.ACLKX = 0
   ACLKX 外部出力：ACLKXCTL.CLKXM = 0、PDIR.ACLKX = 1
2. P = AHCLKR/X 周期 (ns 単位)。
3. R = ACLKR/X 周期 (ns 単位)。

Copyright © 2026 Texas Instruments Incorporated



A. CLKRP = CLKXP = 1 の場合、MCASP トランスミッタは立ち下がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち上がりエッジ (シフト データ イン) に構成されます。

B. CLKRP = CLKXP = 0 の場合、MCASP トランスミッタは立ち上がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち下がりエッジ (シフト データ イン) に構成されます。

図 6-80. MCASP 出力のタイミング

1. MCASP[x]_* の x は 0、1、または 2

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションを参照してください。

6.10.5.15 MCSPI

本デバイスのシリアル ポート インターフェイスの機能の詳細と追加の説明については、セクション 5.3「信号の説明」およびセクション 7「詳細説明」内の対応するセクションを参照してください。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル シリアル ペリフェラル インターフェイス (MCSPI)」セクションを参照してください。

表 6-52 に、MCSPI のタイミング条件を示します。

Copyright © 2026 Texas Instruments Incorporated

表 6-52. MCSPI のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート		2	8.5	V/ns
出力条件					
C_L	出力負荷容量	CLK	6	24	pF
		D[x]、CSi	6	12	pF

6.10.5.15.1 MCSPI — コントローラ モード

表 6-53、図 6-81、表 6-54、図 6-82 に、MCSPI –コントローラ モードのタイミング要件とスイッチング特性を示します。

表 6-53. MCSPI のタイミング要件 - コントローラ モード

図 6-81 参照

パラメータ			最小値	最大値	単位
SM4	$t_{su(misoV-spiclkV)}$	セットアップ時間、SPI_D[x] 有効から SPI_CLK アクティブ エッジまで	2.9		ns
SM5	$t_{h(spiclkV-misoV)}$	ホールド時間、SPI_CLK アクティブ エッジから SPI_D[x] 有効の間	2		ns

表 6-54. MCSPI のスイッチング特性 - コントローラ モード

図 6-82 参照

パラメータ			モード	最小値	最大値	単位
SM1	$t_{c(spiclk)}$	サイクル時間、SPI_CLK		20		ns
SM2	$t_{w(spiclkL)}$	パルス幅、SPI_CLK low		0.5P - 1(1)		ns
SM3	$t_{w(spiclkH)}$	パルス幅、SPI_CLK high		0.5P - 1(1)		ns
SM6	$t_{d(spiclkV-simoV)}$	遅延時間、SPI_CLK アクティブ エッジから SPI_D[x] 遷移まで		-2	2	ns
SM7	$t_{d(csV-simoV)}$	遅延時間、SPI_CSi アクティブ エッジから SPI_D[x] 遷移まで		5		ns
SM8	$t_{d(csV-spiclk)}$	遅延時間、SPI_CSi アクティブから SPI_CLK の最初のエッジまで	PHA = 0(2)	B - 4(3)		ns
			PHA = 1 (2)	A - 4(4)		ns
SM9	$t_{d(spiclkV-csV)}$	遅延時間、SPI_CLK の最後のエッジから SPI_CSi 非アクティブまで	PHA = 0(2)	A - 4(4)		ns
			PHA = 1(2)	B - 4(3)		ns

(1) P = SPI_CLK 周期 (ns 単位)
(2) SPI_CLK の位相は、MCSPI_CHCONF_0/1/2/3 レジスタの PHA ビットを使用してプログラム可能です
(3) B = (TCS + .5) * TSPICLKREF。ここで、TCSns は MCSPI_CHCONF_0/1/2/3 レジスタのビット フィールドであり、Fratio = 偶数 >= 2 です。
(4) P = 20ns のとき、A = (TCS + 1) * TSPICLKREF。ここで、TCSns は MCSPI_CHCONF_0/1/2/3 レジスタのビット フィールドです。
P > 20ns のとき、A = (TCS + 0.5) * Fratio * TSPICLKREF。ここで、TCSns は MCSPI_CHCONF_0/1/2/3 レジスタのビット フィールドです。

Copyright © 2026 Texas Instruments Incorporated

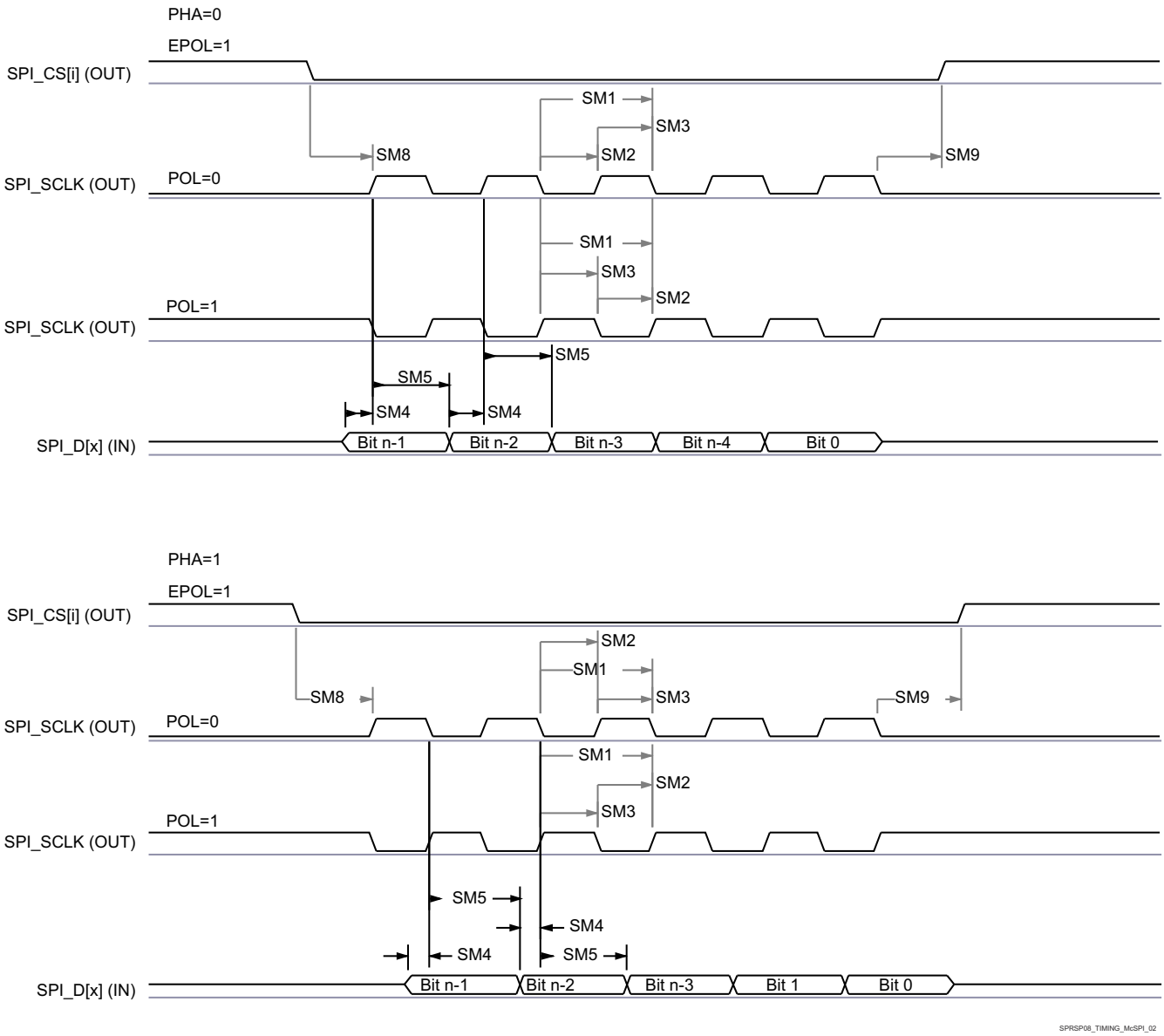


図 6-81. SPI コントローラ モードの受信タイミング

Copyright © 2026 Texas Instruments Incorporated

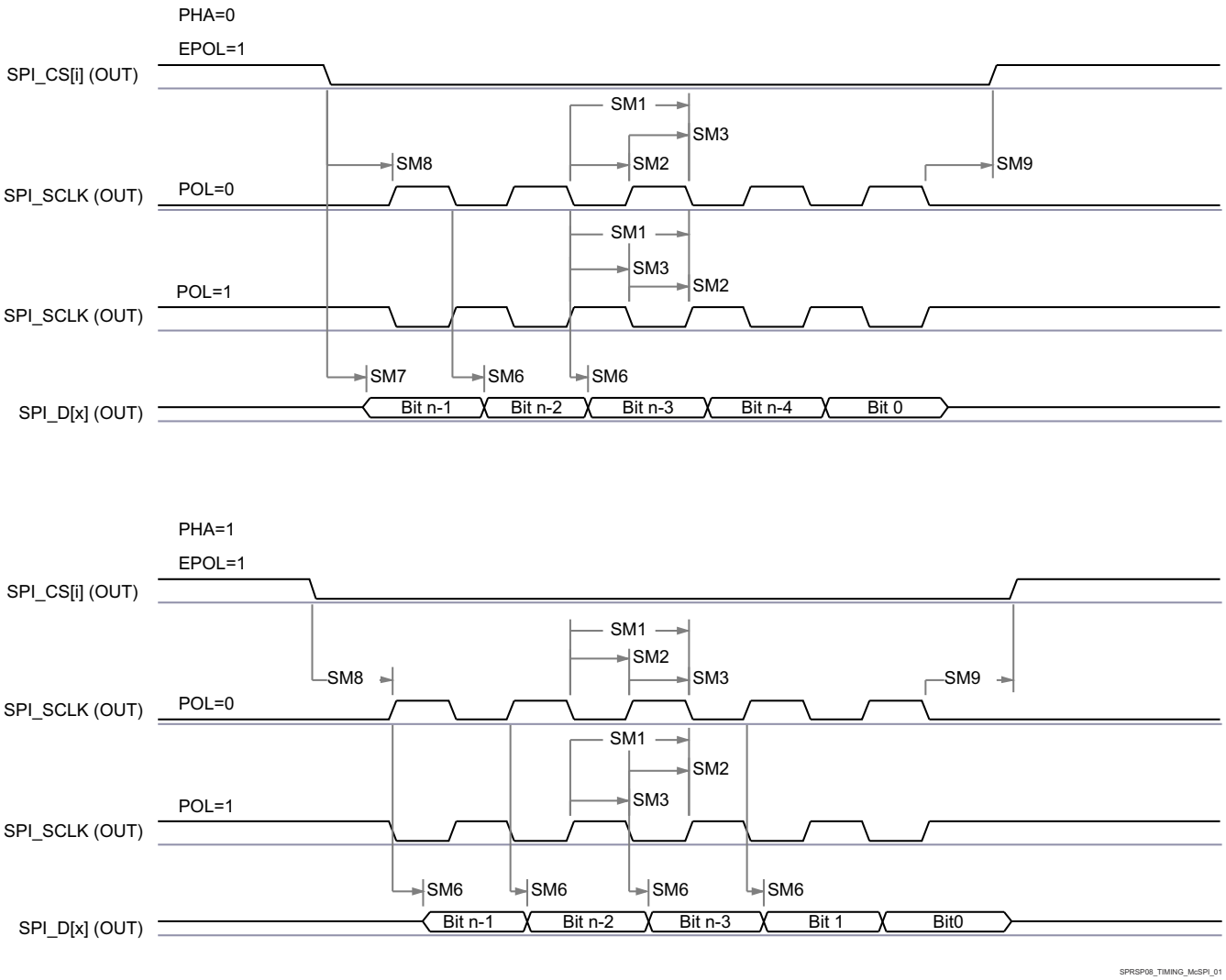


図 6-82. MCSPI コントローラ モードの送信タイミング

6.10.5.15.2 MCSPI — ペリフェラル モード

表 6-55、図 6-83、表 6-56、図 6-84 に、MCSPI –ペリフェラル モードのタイミング要件とスイッチング特性を示します。

表 6-55. MCSPI のタイミング要件 - ペリフェラル モード

パラメータ			最小値	最大値	単位
SS1	$t_{c(spiclk)}$	サイクル時間、SPI_CLK	20		ns
SS2	$t_{w(spiclkL)}$	パルス幅、SPI_CLK low	0.45P(1)		ns
SS3	$t_{w(spiclkH)}$	パルス幅、SPI_CLK high	0.45P(1)		ns
SS4	$t_{su(simoV-spiclkV)}$	セットアップ時間、SPI_D[x] 有効から SPI_CLK アクティブ エッジまで	5		ns
SS5	$t_{h(spiclkV-simoV)}$	ホールド時間、SPI_CLK アクティブ エッジから SPI_D[x] 有効の間	5		ns
SS8	$t_{su(csV-spiclkV)}$	セットアップ時間、SPI_CSi 有効から SPI_CLK の最初のエッジまで	5		ns
SS9	$t_{h(spiclkV-csV)}$	ホールド時間、SPI_CLK の最後のエッジから SPI_CSi 有効の間	5		ns

表 6-56. MCSPI のスイッチング特性 - ペリフェラル モード

パラメータ			最小値	最大値	単位
SS6	$t_{d(spiclkV-somiV)}$	遅延時間、SPI_CLK アクティブ エッジから SPI_D[x] 遷移まで	2	17.12	ns
SS7	$t_{sk(csV-somiV)}$	遅延時間、SPI_CSi アクティブ エッジから SPI_D[x] 遷移まで	20.95		ns

(1) P = SPI_CLK 周期 (ns 単位)。

Copyright © 2026 Texas Instruments Incorporated

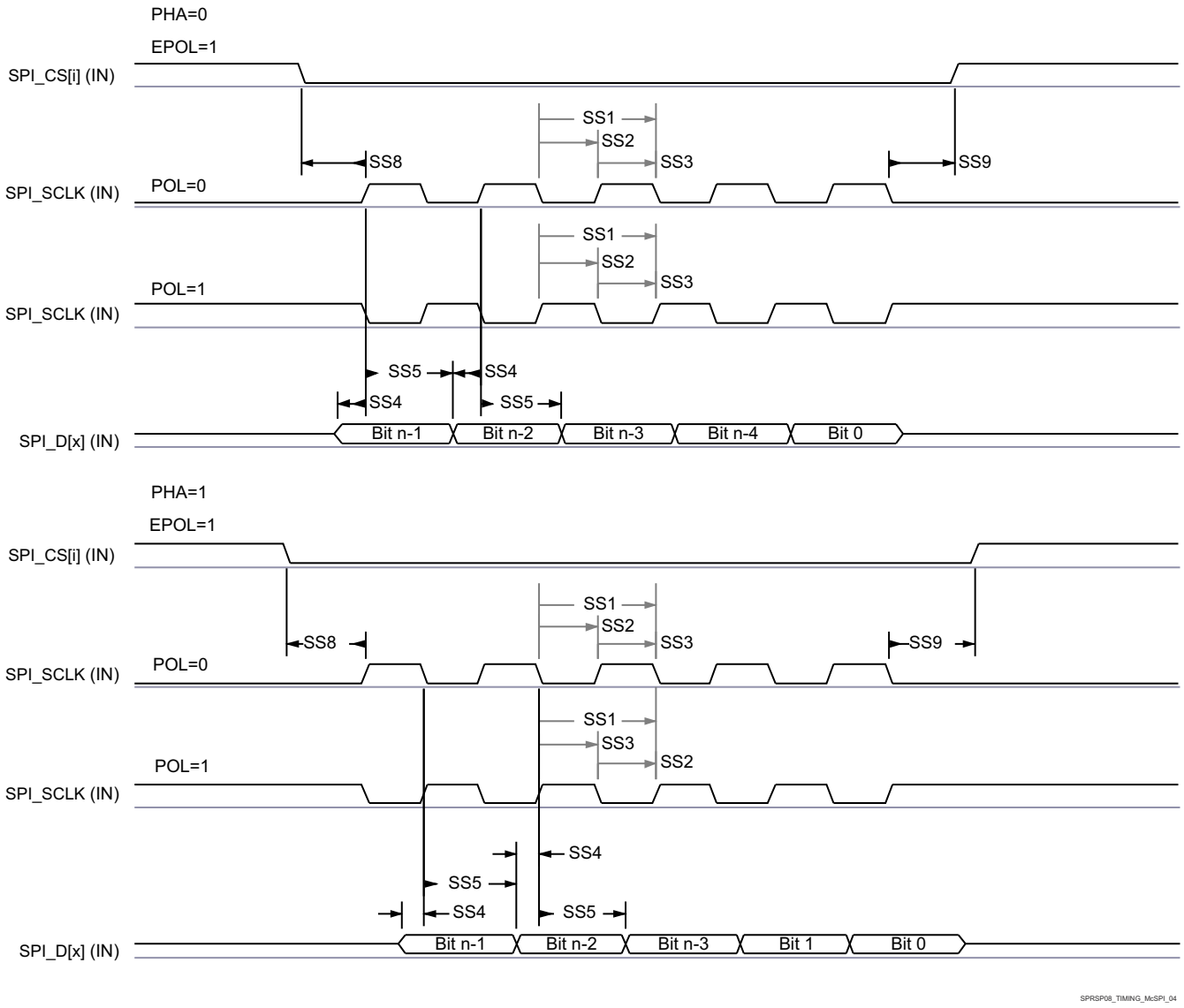


図 6-83. SPI ペリフェラル モードの受信タイミング

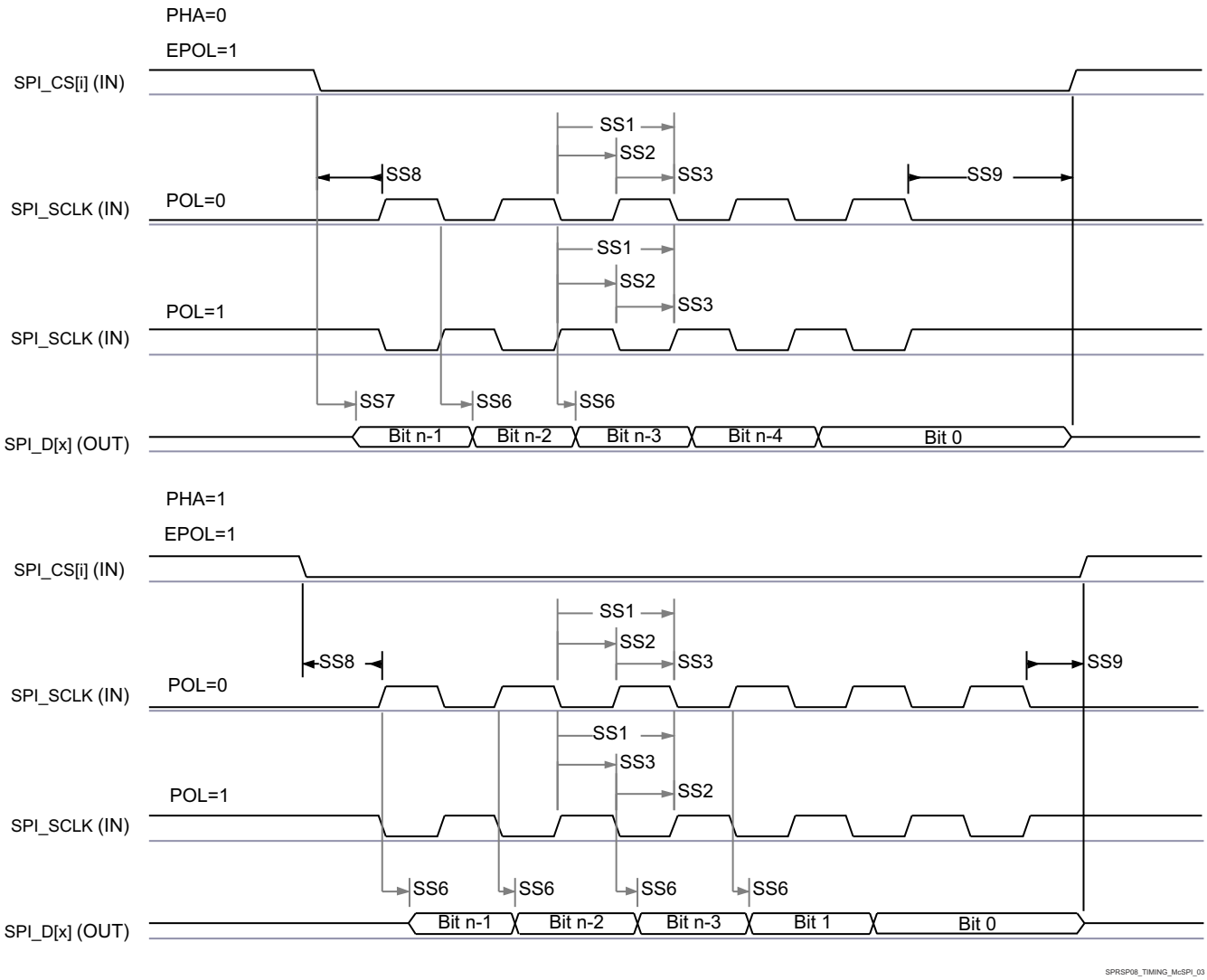


図 6-84. MCSPI ペリフェラル モードの送信タイミング

詳細については、デバイスの TRM で「ペリフェラル」の章にある「マルチチャネルシリアルペリフェラルインターフェイス (MCSPI)」セクションを参照してください。

6.10.5.16 eMMC/SD/SDIO

MMCSD ホスト コントローラは、eMMC 5.1 (組み込みマルチメディア カード)、SD 4.10 (セキュア デジタル)、および SDIO 4.0 (セキュア デジタル IO) デバイスへのインターフェイスとして機能します。MMCSD ホスト コントローラは、送信レベルでの MMC/SD/SDIO プロトコル、データ パッキング、巡回冗長検査 (CRC) の追加、開始 / 終了ビットの挿入、構文の正確性チェックを処理します。

本デバイスのマルチメディアカードの機能の詳細と追加の説明については、セクション 5.3、「信号の説明」および セクション 7、「詳細説明」内の対応するセクションを参照してください。

注

MMC モードでは、表 6-57 および表 6-68 に示すように、遅延設定のソフトウェア設定が必要です。

SDR50、DDR50 (MMCSD1 のみ)、SDR104、HS200、HS400 の各モードの入力セットアップ / ホールド時間の要件を満たすように、チューニングアルゴリズムを実装する必要があります。

Copyright © 2026 Texas Instruments Incorporated

6.10.5.16.1 MMCSD0 - eMMC インターフェイス

MMCSD0 インターフェイスは、JEDEC eMMC 電気規格 v5.1 (JESD84-B51) に準拠しており、以下に示す eMMC アプリケーションをサポートしています。

- デフォルト速度
- ハイスピード SDR
- ハイスピード DDR
- ハイスピード HS200
- ハイスピード HS400

表 6-57 に、MMC0 タイミング モードに必要な DLL ソフトウェア構成設定を示します。

表 6-57. すべてのタイミング モードに対する MMC0 DLL 遅延マッピング

レジスタ名		MMCSD0_SS_PHY_CTRL_x_REG								
		x=1	x=4					x=5		
ビット フィールド		[1]	[31:24]	[20]	[15:12]	[8]	[4:0]	[17:16]	[10:8]	[2:0]
ビット フィールド名		ENDLL	STRBSEL	OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	SELDLYTXCLK SELDLYRXCLK	FRQSEL	CLKBUFSEL
モード	説明	イネーブル DLL	ストローブ 遅延	出力 遅延 イネーブル	出力 遅延 値	入力 遅延 イネーブル	入力 遅延 値	DLL/ 遅延チェーン 選択	DLL REF 周波数	遅延 バッファ 時間
レガシー SDR	8 ビット PHY、1.8V、25MHz	0x0	0x0	0x0	NA(1)	0x1	0x10	0x1 または 0x3(2)	NA(3)	0x7
ハイスピード SDR	8 ビット PHY、1.8V、50MHz	0x0	0x0	0x0	NA(1)	0x1	0xA	0x1 または 0x3(2)	NA(3)	0x7
ハイスピード DDR	8 ビット PHY、1.8V、50MHz	0x1	0x0	0x1	0x6	0x1	チューニング(4)	0x0	0x4	0x7
HS200	8 ビット PHY、1.8V、200MHz	0x1	0x0	0x1	0x8	0x1	チューニング(4)	0x0	0x0	0x7
HS400	8 ビット PHY、1.8V、200MHz	0x1	0x77	0x1	0x5	0x1	チューニング(4)	0x0	0x0	0x7

(1) NA は、このモードに必要なハーフサイクル タイミングで動作する場合、このレジスタ フィールドが機能しないことを意味します。
(2) SELDLYTXCLK は、このモードに必要なハーフサイクル タイミングで動作する場合、いかなる機能も持ちません。
(3) NA は、ENDLL が 0x0 に設定されている場合、このレジスタ フィールドがいかなる機能も持たないことを意味します。
(4) チューニングとは、このモードで最適な入力タイミングを決定するためにチューニング アルゴリズムを使用する必要があることを意味します。

表 6-58 に MMCSD0 のタイミング条件を示します。

表 6-58. MMCSD0 のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	レガシー SDR	0.05	1.24	V/ns
		ハイスピード SDR	0.3	1.65	V/ns
		高速 DDR (CMD) [DDR52]	0.3	1.65	V/ns
		高速 DDR (DAT[7:0]) [DDR52]	0.3	1.65	V/ns
出力条件					
C_L	出力負荷容量	レガシー SDR	1	18	pF
		ハイスピード SDR	1	18	pF
		ハイスピード DDR	1	18	pF
		HS200	1	12	pF
		HS400	1	6	pF
PCB 接続要件					
$t_{d(Trace\ Delay)}$	各パターンの伝搬遅延	すべてのモード	134	756	ps

Copyright © 2026 Texas Instruments Incorporated

表 6-58. MMCSD0 のタイミング条件 (続き)

パラメータ			最小値	最大値	単位
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬遅延の不整合	レガシー SDR、ハイスピード SDR		100	ps
		高速 DDR、HS200、HS400		8	ps

Copyright © 2026 Texas Instruments Incorporated

6.10.5.16.1.1 レガシー SDR モード

表 6-59 および表 6-60 は、レガシー SDR モードにおける MMCSD0 のタイミング要件とスイッチング特性を示します (図 6-85 および図 6-86 を参照)。

表 6-59. MMCSD0 のタイミング要件 – レガシー SDR モード

番号	パラメータ	説明	最小値	最大値	単位
LSDR1	$t_{su(cmdV-clkH)}$	セットアップ時間、MC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	2.5		ns
LSDR2	$t_{h(clkH-cmdV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	6.5		ns
LSDR3	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで	2.5		ns
LSDR4	$t_{h(clkH-dV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 有効の間	6.5		ns

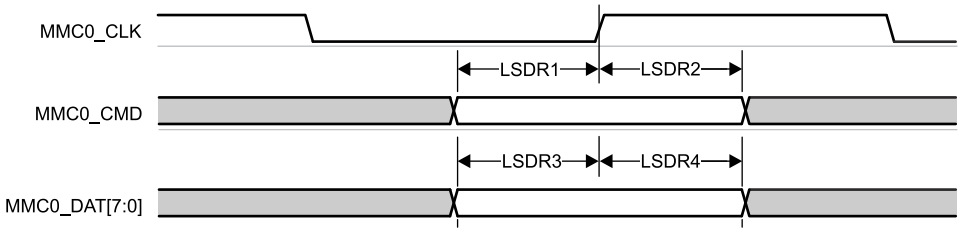


図 6-85. MMCSD0 – レガシー SDR – 受信モード

表 6-60. MMCSD0 のスイッチング特性 – レガシー SDR モード

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK		25	MHz
LSDR5	$t_{c(clk)}$	サイクル時間、MMC0_CLK	40		ns
LSDR6	$t_{w(clkH)}$	パルス幅、MMC0_CLK high	18.7		ns
LSDR7	$t_{w(clkL)}$	パルス幅、MMC0_CLK low	18.7		ns
LSDR8	$t_{d(clkL-cmdV)}$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_CMD 遷移まで	-3.2	3.8	ns
LSDR9	$t_{d(clkL-dV)}$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_DAT[7:0] 遷移まで	-3.2	3.8	ns

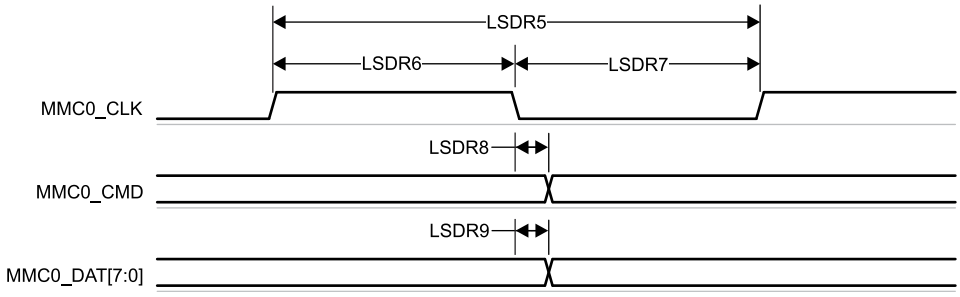


図 6-86. MMC0 – レガシー SDR – 送信モード

6.10.5.16.1.2 高速 SDR モード

表 6-61 および表 6-62 に、MMCSD0 – 高速 SDR モードのタイミング要件とスイッチング特性を示します (図 6-87 および図 6-88 を参照してください)。

表 6-61. MMCSD0 のタイミング要件 – 高速 SDR モード

番号	パラメータ	説明	最小値	最大値	単位
HSSDR1	$t_{su(cmdV-clkH)}$	セットアップ時間、MC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	2.99		ns
HSSDR2	$t_{h(clkH-cmdV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	2.67		ns
HSSDR3	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで	2.99		ns
HSSDR4	$t_{h(clkH-dV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 有効の間	2.67		ns

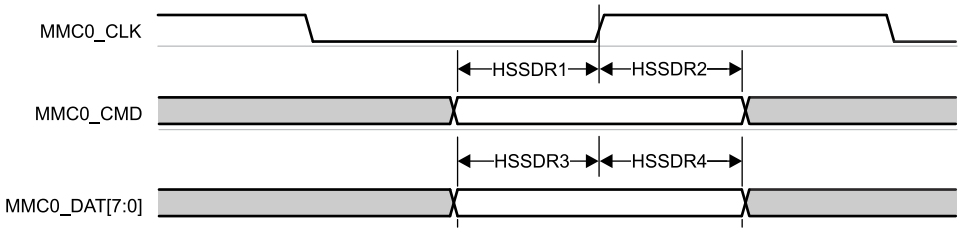


図 6-87. MMCSD0 – 高速 SDR モード – 受信モード

表 6-62. MMCSD0 のスイッチング特性 – 高速 SDR モード

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK		50	MHz
HSSDR5	$t_{c(clk)}$	サイクル時間、MMC0_CLK	20		ns
HSSDR6	$t_{w(clkH)}$	パルス幅、MMC0_CLK high	9.2		ns
HSSDR7	$t_{w(clkL)}$	パルス幅、MMC0_CLK low	9.2		ns
HSSDR8	$t_{d(clkL-cmdV)}$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_CMD 遷移まで	-3.2	3.8	ns
HSSDR9	$t_{d(clkL-dV)}$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_DAT[7:0] 遷移まで	-3.2	3.8	ns

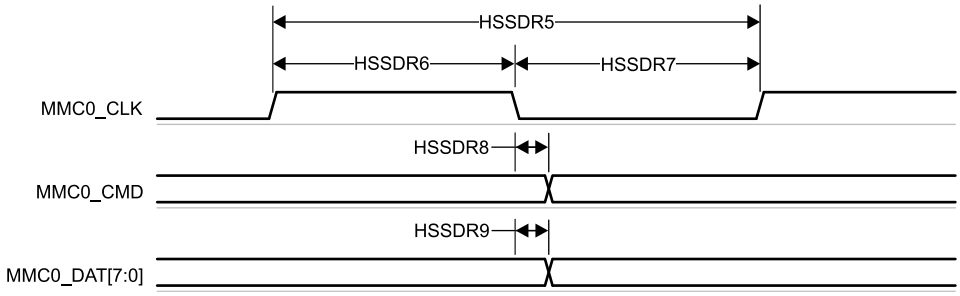


図 6-88. MMCSD0 – 高速 SDR モード – 送信モード

6.10.5.16.1.3 高速 DDR モード

表 6-63 および表 6-64 は、MMCSD0 (高速 DDR モード) のタイミング要件とスイッチング特性を示します (図 6-89 および図 6-90 を参照)。

表 6-63. MMCSD0 のタイミング要件 – 高速 DDR モード

番号	パラメータ	説明	最小値	最大値	単位
HSDDR1	$t_{su(cmdV-clkH)}$	セットアップ時間、MC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	2.5		ns
HSDDR2	$t_{h(clkH-cmdV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	2.67		ns

Copyright © 2026 Texas Instruments Incorporated

表 6-63. MMCSD0 のタイミング要件 – 高速 DDR モード (続き)

番号	パラメータ	説明	最小値	最大値	単位
HSDDR3	$t_{su(dV-clkV)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 遷移まで	0.83		ns
HSDDR4	$t_{h(clkV-dV)}$	ホールド時間、MMC0_CLK 遷移から MMC0_DAT[7:0] 有効の間	1.76		ns

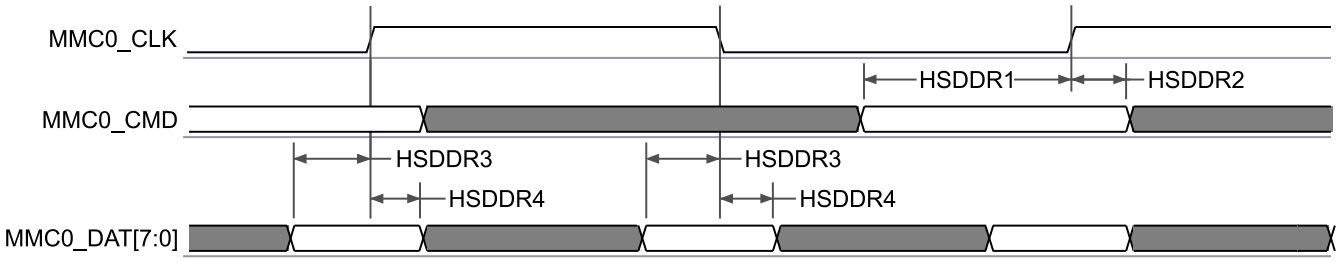


図 6-89. MMCSD0 – 高速 DDR モード – 受信モード

表 6-64. MMCSD0 のスイッチング特性 – 高速 DDR モード

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK		50	MHz
HSDDR5	$t_{c(clk)}$	サイクル時間、MMC0_CLK	20		ns
HSDDR6	$t_{w(clkH)}$	パルス幅、MMC0_CLK high	9.2		ns
HSDDR7	$t_{w(clkL)}$	パルス幅、MMC0_CLK low	9.2		ns
HSDDR8	$t_{d(clkH-cmdV)}$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	3.31	9.8	ns
HSDDR9	$t_{d(clkV-dV)}$	遅延時間、MMC0_CLK 遷移から MMC0_DAT[7:0] 遷移まで	2.81	6.94	ns

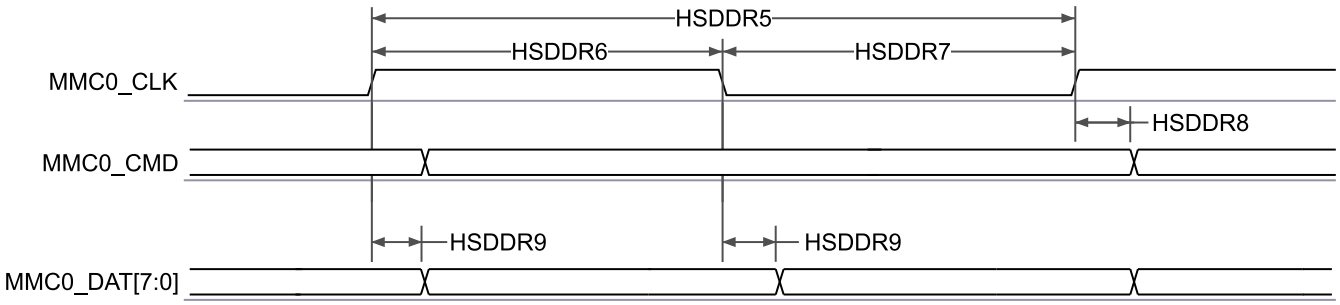


図 6-90. MMCSD0 – 高速 DDR モード – 送信モード

Copyright © 2026 Texas Instruments Incorporated

6.10.5.16.1.4 HS200 モード

表 6-65、図 6-91、表 6-66、図 6-92 に、MMCSD0 – HS200 モードでのタイミング要件とスイッチング特性の両方を示します。

表 6-65. MMCSD0 のタイミング要件 – HS200 モード

図 6-91 参照

番号			最小値	最大値	単位
HS2004	t_{DVW}	入力データ有効ウィンドウ、MMC0_CMD および MMC0_DAT[7:0]	2.0(1)		ns

(1) このパラメータは、ホストが必要とする最小データ有効ウィンドウを定義します。このとき、ホストに提示されるデータ有効ウィンドウがこの値を超える場合、ホストが有効なデータをキャプチャできることが保証されます。このパラメータで定義される値は、HS200 モードで動作する eMMC デバイスに定義されている可能な最小データ有効ウィンドウよりも小さくなります。

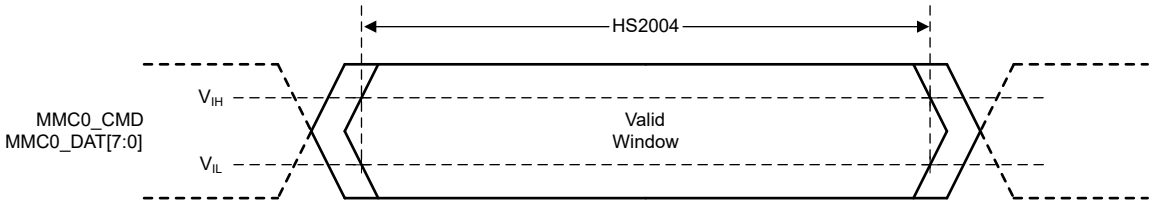


図 6-91. MMCSD0 – HS200 – 受信モード

表 6-66. MMCSD0 のスイッチング特性 – HS200 モード

図 6-92 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK		200	MHz
HS2005	$t_{c(clk)}$	サイクル時間、MMC0_CLK	5		ns
HS2006	$t_{w(clkH)}$	パルス幅、MMC0_CLK high	2.08		ns
HS2007	$t_{w(clkL)}$	パルス幅、MMC0_CLK low	2.08		ns
HS2008	$t_{d(clkL-cmdV)}$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	0.99	3.28	ns
HS2009	$t_{d(clkL-dV)}$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 遷移まで	0.99	3.28	ns

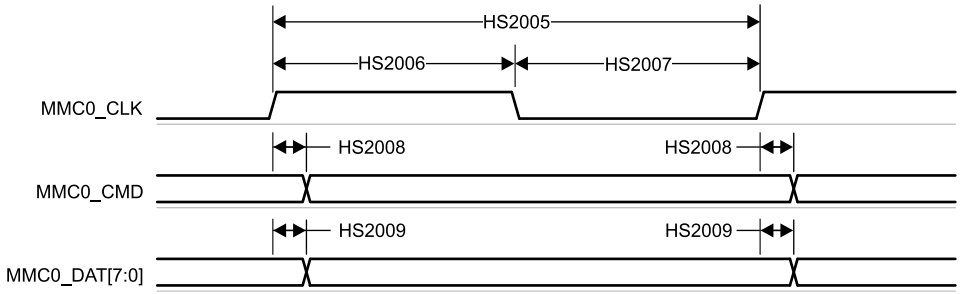


図 6-92. MMCSD0 – HS200 モード – 送信モード

Copyright © 2026 Texas Instruments Incorporated

6.10.5.16.1.5 HS400 モード

表 6-67 は、MMCSD0 の HS400 モードにおけるスイッチング特性を示します (図 6-93 を参照)。

表 6-67. MMCSD0 のスイッチング特性 – HS400 モード

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK		200	MHz
HS4005	$t_{c(clk)}$	動作周期、MMC0_CLK		5	ns
HS4006	$t_{w(clkH)}$	パルス幅、MMC0_CLK high	2.23		ns
HS4007	$t_{w(clkL)}$	パルス幅、MMC0_CLK low	2.23		ns
HS4008	$t_{osu(cmdV-clkH)}$	出力セットアップ時間、MMC0_CMD 有効から MMC0_CLK の立ち上がり エッジまでの(1)	2.54		ns
HS4009	$t_{osu(dV-clk)}t_{d(clkV-dV)}$	出力セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK の立ち上がりまたは立ち下がり エッジまでの(1)	0.63		ns
HS4010	$t_{oh(clkH-cmdIV)}$	出力ホールド時間、MMC0_CLK 立ち上がり エッジから MMC0_CMD 無効まで(2)	0.98		ns
HS4011	$t_{oh(clk-dIV)}$	出力ホールド時間、MMC0_CLK 立ち上がりまたは立ち下がり エッジから MMC0_DAT[7:0] 無効まで(2)	0.72		ns

(1) このパラメータは、接続されたデバイスに提供される出力セットアップ時間を定義します。この時間は、次のキャプチャ クロック エッジを基準としています。このパラメータのタイミング基準は、DAT または CMD 信号遷移の中電圧から CLK 信号遷移の中電圧までです。eMMC 規格では、セットアップ タイミング基準は、DAT または CMD 信号遷移の VIL または VIH から CLK 信号遷移の中電圧までと定義されています。したがって、システム設計者は、PCB を設計するときに DAT 信号のスルー レートによる影響を考慮し、DAT 信号が中電圧から VIL または VIH までスルーするのにかかる時間によってセットアップ時間のマージンが失われないようにする必要があります。

(2) このパラメータは、接続されたデバイスに提供される出力ホールド時間を定義します。この時間は、前のローンチ クロック エッジを基準にしています。このパラメータのタイミング基準は、CLK 信号遷移の中電圧から DAT または CMD 信号遷移の中電圧までです。eMMC 規格では、ホールド タイミング基準は、CLK 信号遷移の中電圧から DAT または CMD 信号遷移の VIL または VIH までと定義されています。したがって、システム設計者は、PCB を設計するときに DAT 信号のスルー レートによる影響を考慮し、DAT 信号が VIL または VIH から中電圧までスルーするのにかかる時間によってホールド時間のマージンが失われないようにする必要があります。

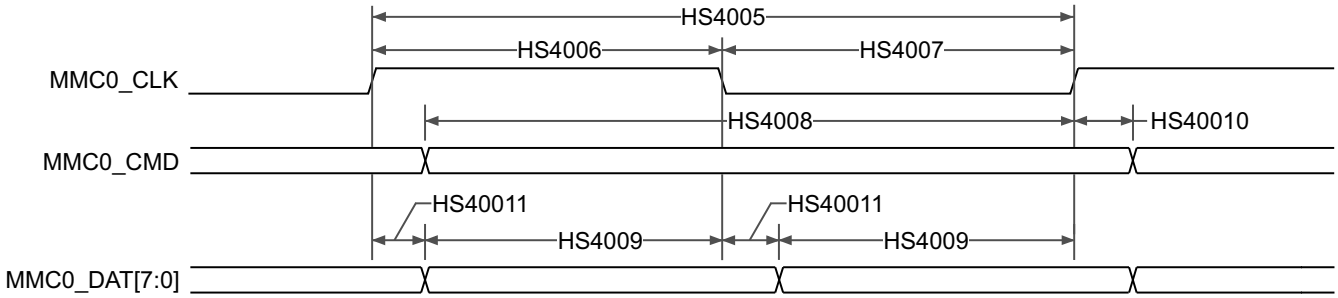


図 6-93. MMCSD0 – HS400 モード – 送信モード

6.10.5.16.2 MMCSDi — MMCSD1 — SD/SDIO インターフェイス

注

MMCSDi (i = 1) コントローラは、MMCi とも呼ばれます。

MMCSDi インターフェイスは、SD ホスト コントローラ標準仕様 4.10、SD 物理層仕様 v3.01、SDIO 仕様 v3.00 に準拠しており、以下の SD カード アプリケーションをサポートしています。

- デフォルト速度
- 高速
- UHS–I SDR12
- UHS–I SDR25
- UHS–I SDR50
- UHS–I SDR104
- UHS–I DDR50

表 6-68 は、MMC1 タイミング モードに必要な遅延ソフトウェア構成設定を示します。

表 6-68. すべてのタイミング モードに対する MMC1 遅延マッピング

レジスタ名		MMCSD1_SS_PHY_CTRL_4_REG			
ビット フィールド		[20]	[15:12]	[8]	[4:0]
ビット フィールド名		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL
モード	説明	遅延 イネーブル	遅延 値	入力 遅延 イネーブル	入力 遅延 値
デフォルト 速度	4 ビット PHY 動作 3.3V、25MHz	NA(1)	NA(1)	0x0	0x0
高 速	4 ビット PHY 動作 3.3V、50MHz	NA(1)	NA(1)	0x0	0x0
UHS-I SDR12	4 ビット PHY 動作 1.8V、25MHz	0x1	0xF	0x0	0x0
UHS-I SDR25	4 ビット PHY 動作 1.8V、50MHz	0x1	0xF	0x0	0x0
UHS-I SDR50	4 ビット PHY 動作 1.8V、100MHz	0x1	0xC	0x1	チューニング(2)
UHS-I DDR50	4 ビット PHY 動作 1.8V、50MHz	0x1	0xC	0x1	チューニング(2)
UHS-I SDR104	4 ビット PHY 動作 1.8V、200MHz	0x1	0x5	0x1	チューニング(2)

(1) NA は、このモードに必要なハーフサイクル タイミングで動作する場合、このレジスタ フィールドが機能しないことを意味します。
(2) チューニングとは、このモードで最適な入力タイミングを決定するためにチューニング アルゴリズムを使用する必要があることを意味します。

表 6-69 に MMCSD1 のタイミング条件を示します。

表 6-69. MMCSD1 のタイミング条件

パラメータ	説明	モード	最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	デフォルト スピード、ハイスピード	0.69	2.06	V/ns
		UHS-I SDR12、UHS-I SDR25	0.34	1.34	V/ns
出力条件					
C_L	出力負荷容量	すべての速度モード	1	10	pF

Copyright © 2026 Texas Instruments Incorporated

表 6-69. MMCSD1 のタイミング条件 (続き)

パラメータ	説明	モード	最小値	最大値	単位
PCB 接続要件					
$t_{d(Trace\ Delay)}$	各パターンの伝搬遅延	デフォルト スピード、ハイスピード	126	1200	ps
		UHS-I DDR50	255	1134	ps
		その他のすべてのモード	134	1276	ps
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬遅延の不整合	UHS-I DDR50		20	ps
		UHS-I SDR104		8	ps
		その他のすべてのモード		100	ps

6.10.5.16.2.1 デフォルトの速度モード

表 6-70 および表 6-71 は、デフォルトの速度モードにおける MMCSDi のタイミング要件とスイッチング特性を示します (図 6-94 および図 6-95 を参照)。

表 6-70. MMCSD1 のタイミング要件 – デフォルトの速度モード

番号	パラメータ	説明	最小値	最大値	単位
DS1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC[x]_CMD 有効から MMC[x]_CLK 立ち上がりエッジまで	2.15		ns
DS2	$t_{h(clkH-cmdV)}$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 有効の間	4.56		ns
DS3	$t_{su(dV-clkH)}$	セットアップ時間、MMC[x]_DAT[3:0] 有効から MMC[x]_CLK 立ち上がりエッジまで	2.15		ns
DS4	$t_{h(clkH-dV)}$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 有効の間	4.56		ns

1. MMC1 では x = 1

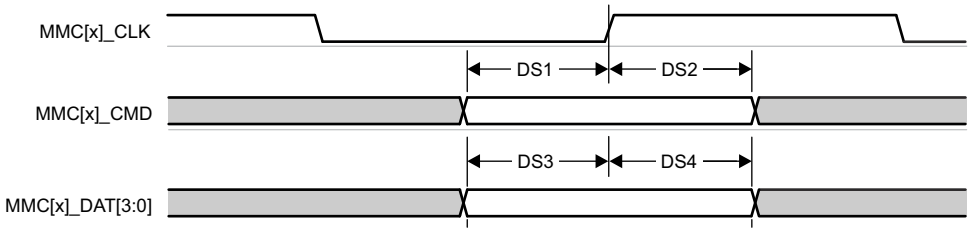


図 6-94. MMCSD1 – デフォルト速度 – 受信モード

表 6-71. MMCSD1 のスイッチング特性 – デフォルトの速度モード

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC[x]_CLK		25	MHz
DS5	$t_{c(clk)}$	サイクル時間、MMC[x]_CLK	40		ns
DS6	$t_{w(clkH)}$	パルス幅、MMC[x]_CLK high	18.7		ns
DS7	$t_{w(clkL)}$	パルス幅、MMC[x]_CLK low	18.7		ns
DS8	$t_{d(clkL-cmdV)}$	遅延時間、MMC[x]_CLK 立ち下がりエッジから MMC[x]_CMD 遷移まで	–3.53	3.53	ns
DS9	$t_{d(clkL-dV)}$	遅延時間、MMC[x]_CLK 立ち下がりエッジから MMC[x]_DAT[3:0] 遷移まで	–3.53	3.53	ns

Copyright © 2026 Texas Instruments Incorporated

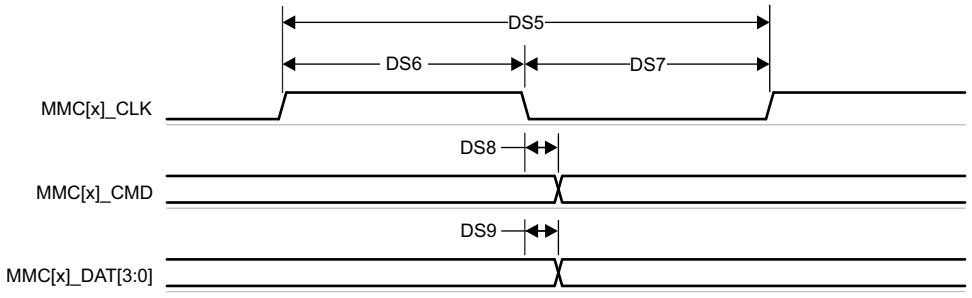


図 6-95. MMCSD1 – デフォルト速度 – 送信モード

6.10.5.16.2.2 高速モード

表 6-72 および表 6-73 は、高速モードにおける MMCSDi のタイミング要件とスイッチング特性を示します (図 6-96 および図 6-97 を参照)。

表 6-72. MMCSD1 のタイミング要件 – 高速モード

番号	パラメータ	説明	最小値	最大値	単位
HS1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC[x]_CMD 有効から MMC[x]_CLK 立ち上がりエッジまで	2.15		ns
HS2	$t_{h(clkH-cmdV)}$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 有効の間	2.26		ns
HS3	$t_{su(dV-clkH)}$	セットアップ時間、MMC[x]_DAT[3:0] 有効から MMC[x]_CLK 立ち上がりエッジまで	2.15		ns
HS4	$t_{h(clkH-dV)}$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 有効の間	2.26		ns

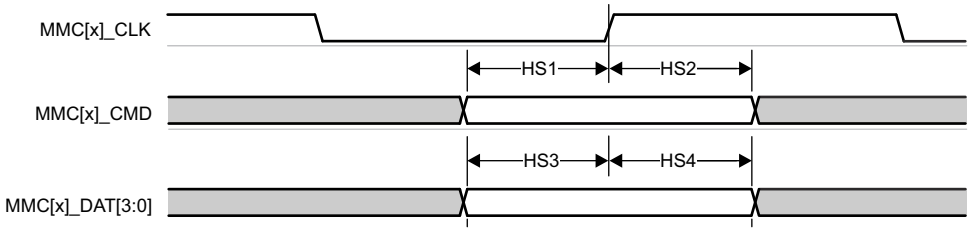


図 6-96. MMCSD1 – ハイスピード – 受信モード

表 6-73. MMCSD1 のスイッチング特性 – 高速モード

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC[x]_CLK		50	MHz
HS5	$t_{c(clk)}$	サイクル時間、MMC[x]_CLK	20		ns
HS6	$t_{w(clkH)}$	パルス幅、MMC[x]_CLK high	9.2		ns
HS7	$t_{w(clkL)}$	パルス幅、MMC[x]_CLK low	9.2		ns
HS8	$t_{d(clkL-cmdV)}$	遅延時間、MMC[x]_CLK 立ち下がりエッジから MMC[x]_CMD 遷移まで	-2.07	2.07	ns
HS9	$t_{d(clkL-dV)}$	遅延時間、MMC[x]_CLK 立ち下がりエッジから MMC[x]_DAT[3:0] 遷移まで	-2.07	2.07	ns

Copyright © 2026 Texas Instruments Incorporated

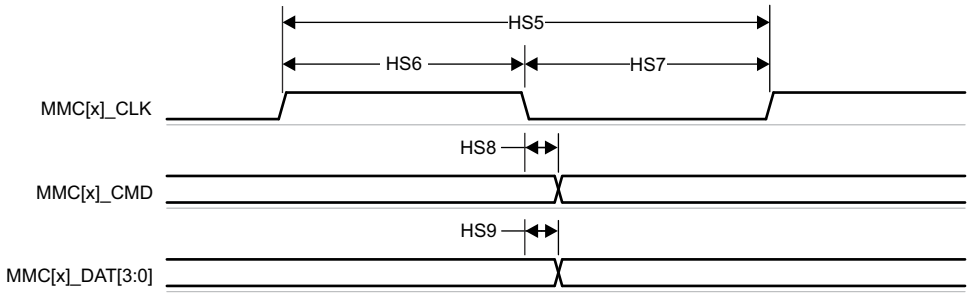


図 6-97. MMCSD1 – ハイスピード – 送信モード

6.10.5.16.2.3 UHS–I SDR12 モード

表 6-74 および表 6-75 は、UHS-I SDR12 モードにおける MMCSDi のタイミング要件とスイッチング特性を示します (図 6-98 および図 6-99 を参照)。

表 6-74. MMCSD1 のタイミング要件 – UHS-I SDR12 モード

番号	パラメータ	説明	最小値	最大値	単位
SDR121	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC[x]_CMD 有効から MMC[x]_CLK 立ち上がりエッジまで	5.46		ns
SDR122	$t_{h(clkH-cmdV)}$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 有効の間	1.67		ns
SDR123	$t_{su(dV-clkH)}$	セットアップ時間、MMC[x]_DAT[3:0] 有効から MMC[x]_CLK 立ち上がりエッジまで	5.46		ns
SDR124	$t_{h(clkH-dV)}$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 有効の間	1.67		ns

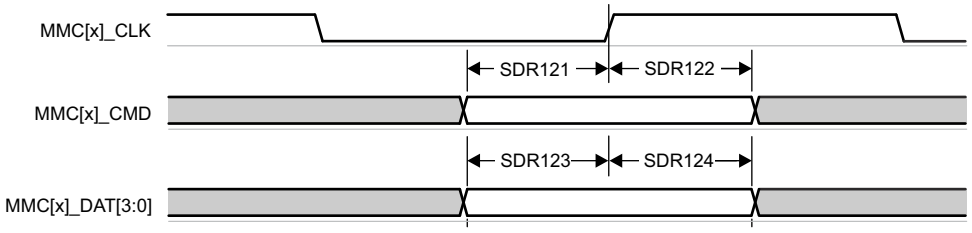


図 6-98. MMCSD1 – UHS-I SDR12 – 受信モード

表 6-75. MMCSD1 のスイッチング特性 – UHS-I SDR12 モード

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC[x]_CLK		25	MHz
SDR125	$t_{c(clk)}$	サイクル時間、MMC[x]_CLK	40		ns
SDR126	$t_{w(clkH)}$	パルス幅、MMC[x]_CLK high	18.7		ns
SDR127	$t_{w(clkL)}$	パルス幅、MMC[x]_CLK low	18.7		ns
SDR128	$t_{d(clkH-cmdV)}$	遅延時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 遷移まで	1.2	13.55	ns
SDR129	$t_{d(clkH-dV)}$	遅延時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 遷移まで	1.2	13.55	ns

Copyright © 2026 Texas Instruments Incorporated

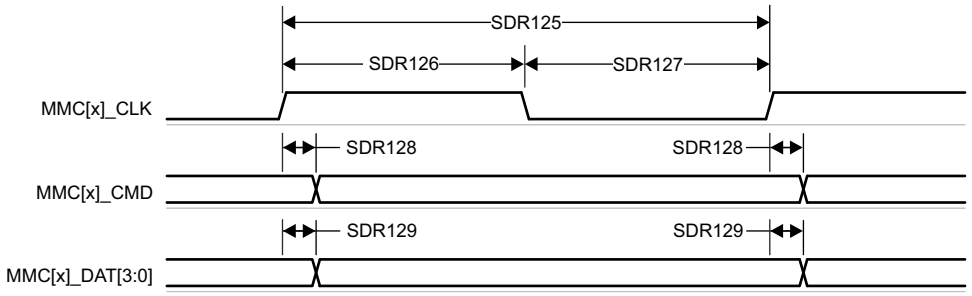


図 6-99. MMCSD1 – UHS-I SDR12 – 送信モード

6.10.5.16.2.4 UHS–I SDR25 モード

表 6-76 および表 6-77 に、「MMCSDi のタイミング要件とスイッチング特性 – UHS-I SDR25 モード」を示します (図 6-100 および図 6-101 を参照してください)。

表 6-76. MMCSD1 のタイミング要件 – UHS-I SDR25 モード

番号	パラメータ	説明	最小値	最大値	単位
SDR251	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC[x]_CMD 有効から MMC[x]_CLK 立ち上がりエッジまで	2.1		ns
SDR252	$t_{h(clkH-cmdV)}$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 有効の間	1.67		ns
SDR253	$t_{su(dV-clkH)}$	セットアップ時間、MMC[x]_DAT[3:0] 有効から MMC[x]_CLK 立ち上がりエッジまで	2.1		ns
SDR254	$t_{h(clkH-dV)}$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 有効の間	1.67		ns

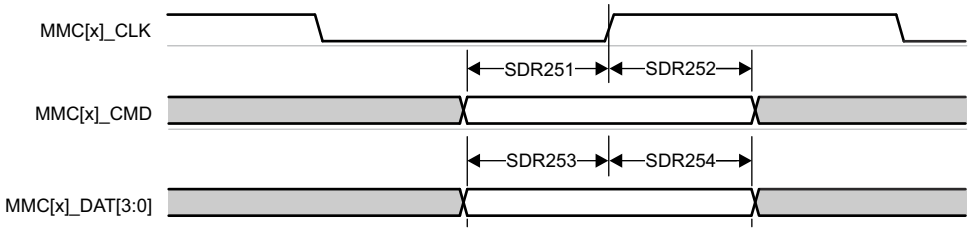


図 6-100. MMCSD1 – UHS-I SDR25 – 受信モード

表 6-77. MMCSD1 のスイッチング特性 – UHS-I SDR25 モード

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC[x]_CLK		50	MHz
SDR255	$t_{c(clk)}$	サイクル時間、MMC[x]_CLK	20		ns
SDR256	$t_{w(clkH)}$	パルス幅、MMC[x]_CLK high	9.2		ns
SDR257	$t_{w(clkL)}$	パルス幅、MMC[x]_CLK low	9.2		ns
SDR258	$t_{d(clkH-cmdV)}$	遅延時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 遷移まで	2.4	9.37	ns
SDR259	$t_{d(clkH-dV)}$	遅延時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 遷移まで	2.4	9.37	ns

Copyright © 2026 Texas Instruments Incorporated

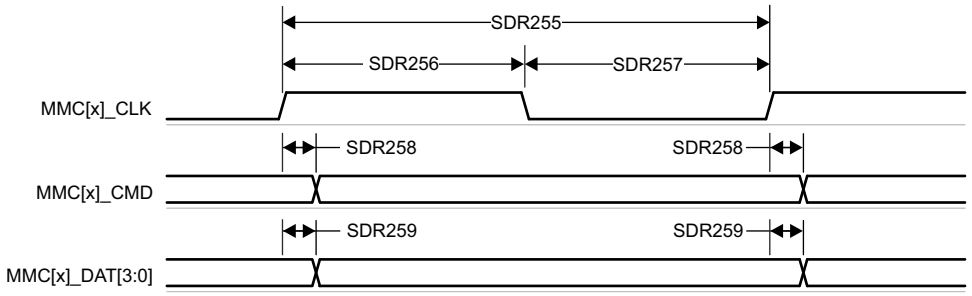


図 6-101. MMCSD1 – UHS-I SDR25 – 送信モード

6.10.5.16.2.5 UHS–I SDR50 モード

表 6-78 は、MMCSDi のタイミング要件とスイッチング特性 (UHS-I SDR50 モード) を示しています (および図 6-102 を参照)。

表 6-78. MMCSD1 のスイッチング特性 – UHS-I SDR50 モード

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC[x]_CLK		100	MHz
SDR505	$t_{c(clk)}$	サイクル時間、MMC[x]_CLK	10		ns
SDR506	$t_{w(clkH)}$	パルス幅、MMC[x]_CLK high	4.45		ns
SDR507	$t_{w(clkL)}$	パルス幅、MMC[x]_CLK low	4.45		ns
SDR508	$t_{d(clkH-cmdV)}$	遅延時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 遷移まで	1.2	6.35	ns
SDR509	$t_{d(clkH-dV)}$	遅延時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 遷移まで	1.2	6.35	ns

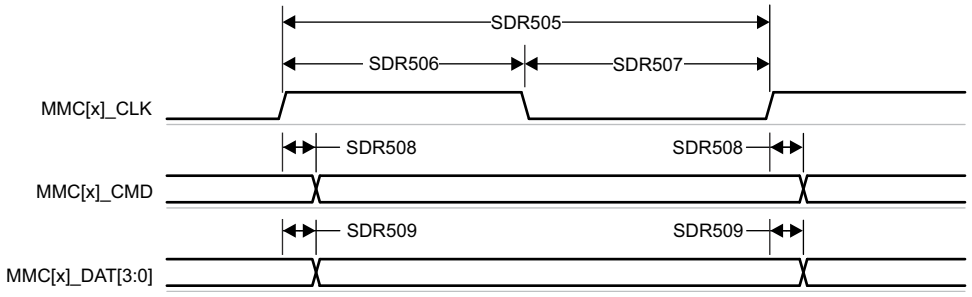


図 6-102. MMCSD1 – UHS-I SDR50 – 送信モード

6.10.5.16.2.6 UHS–I DDR50 モード

表 6-79 に MMCSDi のスイッチング特性 – UHS-I DDR50 モードを示します (図 6-103 を参照してください)。

表 6-79. MMCSD1 のスイッチング特性 – UHS-I DDR50 モード

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC[x]_CLK		50	MHz
DDR505	$t_{c(clk)}$	サイクル時間、MMC[x]_CLK	20		ns
DDR506	$t_{w(clkH)}$	パルス幅、MMC[x]_CLK high	9.2		ns
DDR507	$t_{w(clkL)}$	パルス幅、MMC[x]_CLK low	9.2		ns
DDR508	$t_{d(clkH-cmdV)}$	遅延時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 遷移まで	1.2	3.46	ns
DDR509	$t_{d(clk-dV)}$	遅延時間、MMC[x]_CLK 遷移から MMC[x]_DAT[3:0] 遷移まで	1.2	6.12	ns

Copyright © 2026 Texas Instruments Incorporated

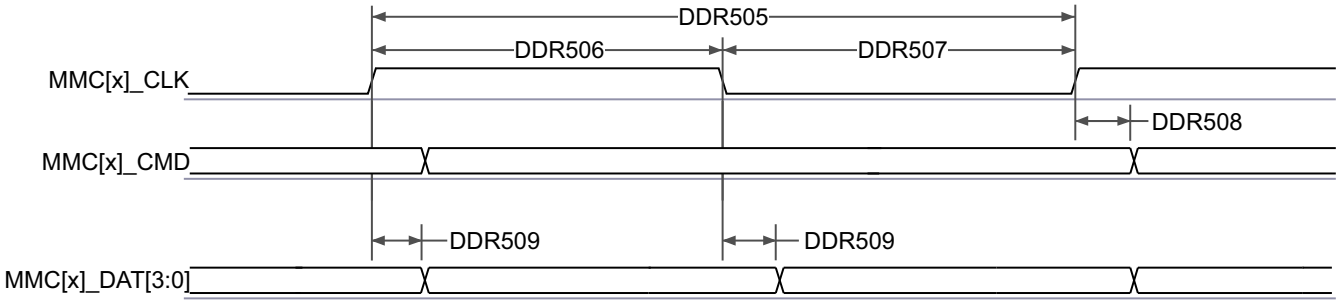


図 6-103. MMCSD1 – UHS-I DDR50 – 送信モード

Copyright © 2026 Texas Instruments Incorporated

6.10.5.16.2.7 UHS–I SDR104 モード

表 6-80 は、MMCSDi のタイミング要件とスイッチング特性 (UHS-I SDR104 モード) を示します (図 6-104 を参照)

表 6-80. MMCSD1 のスイッチング特性 – UHS-I SDR104 モード

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC[x]_CLK		200	MHz
SDR1045	$t_{c(clk)}$	サイクル時間、MMC[x]_CLK	5		ns
SDR1046	$t_{w(clkH)}$	パルス幅、MMC[x]_CLK high	2.12		ns
SDR1047	$t_{w(clkL)}$	パルス幅、MMC[x]_CLK low	2.12		ns
SDR1048	$t_{d(clkH-cmdV)}$	遅延時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 遷移まで	2.12	3.2	ns
SDR1049	$t_{d(clkH-dV)}$	遅延時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 遷移まで	2.12	3.2	ns

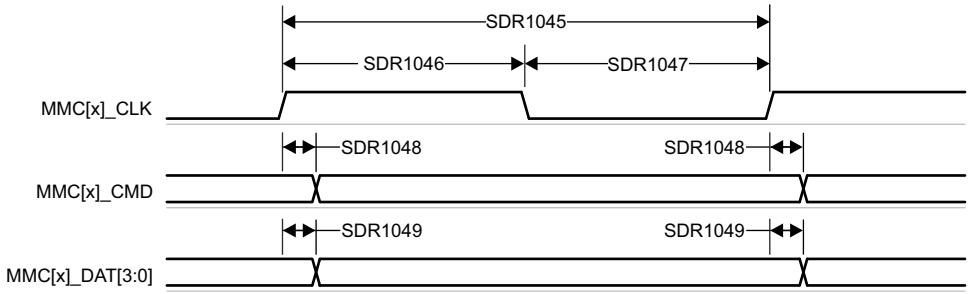


図 6-104. MMCSD1 – UHS-I SDR104 – 送信モード

6.10.5.17 NAVSS

表 6-81 に、CPTS のタイミング条件を示します。

表 6-81. CPTS のタイミング条件

パラメータ	説明	最小値	最大値	単位
入力条件				
t_{SR}	入力スルーレート	0.5	5	V/ns
出力条件				
C_{LOAD}	出力負荷容量	2	10	pF

セクション 6.10.5.17.1、セクション 6.10.5.17.2、図 6-105、図 6-106 は、CPTS インターフェイスのタイミング要件とスイッチング特性を示します。

6.10.5.17.1 CPTS 入力のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
T1	$t_{w(HWn_TS_PUSHH)}$	HWn_TS_PUSH パルス幅、High	2.1 + 12P (1)		ns
T2	$t_{w(HWn_TS_PUSHL)}$	HWn_TS_PUSH パルス幅、Low	2.1 + 12P (1)		ns
T3	$t_{c(RFT_CLK)}$	RFT_CLK サイクル時間	5	8	ns
T4	$t_{w(RFT_CLKH)}$	RFT_CLK パルス幅、High	0.45 × $t_{c(RFT_CLK)}$		ns
T5	$t_{w(RFT_CLKL)}$	RFT_CLK パルス幅、Low	0.45 × $t_{c(RFT_CLK)}$		ns

(1) P = 機能クロック周期 (ns 単位)。

Copyright © 2026 Texas Instruments Incorporated

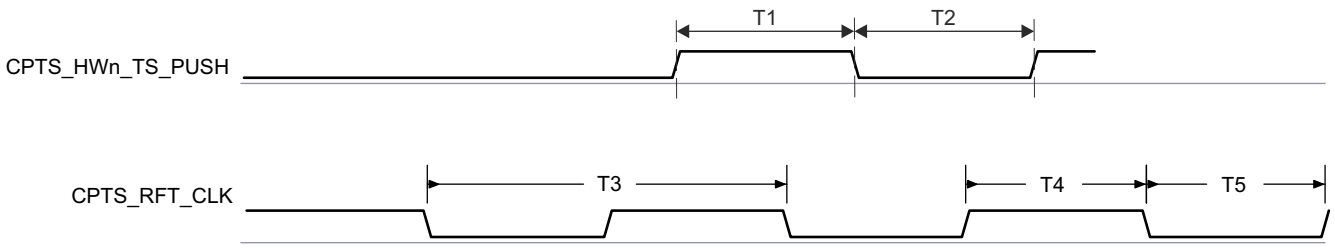


図 6-105. CPTS 入力のタイミング

6.10.5.17.2 CPTS 出力のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
T6	$t_{w(TS_COMPH)}$	NAVSS-CPTS TS_COMP、High	-2.1+36P (1)		ns
T7	$t_{w(TS_COMPL)}$	NAVSS-CPTS TS_COMP、Low	-2.1+36P (1)		ns
T8	$t_{w(TS_COMPH)}$	CPSW-CPTS TS_COMP、High	-2.1+36P (1)		ns
T9	$t_{w(TS_COMPL)}$	CPSW-CPTS TS_COMP、Low	-2.1+36P (1)		ns
T10	$t_{w(TS_SYNCH)}$	NAVSS-CPTS TS_SYNC、High	-2.1+36P (1)		ns
T11	$t_{w(TS_SYNCL)}$	NAVSS-CPTS TS_SYNC、Low	-2.1+36P (1)		ns
T12.1	$t_{w(TS_SYNCH)}$	CPSW-CPTS TS_SYNC、High	-2.1+36P (1)		ns
T13	$t_{w(TS_SYNCL)}$	CPSW-CPTS TS_SYNC、low	-2.1+36P (1)		ns
T14	$t_{w(SYNC_OUTH)}$	SYNCn_OUT をソースとしている TS_SYNC、High	-2.1+36P (1)		ns
T15	$t_{w(SYNC_OUTL)}$	SYNCn_OUT をソースとしている TS_SYNC、Low	-2.1+36P (1)		ns
T16	$t_{w(SYNC_OUTH)}$	SYNCn_OUT をソースとしている GENF、High	-2.1+5P (1)		ns
T17	$t_{w(SYNC_OUTL)}$	SYNCn_OUT をソースとしている GENF、Low	-2.1+5P (1)		ns

(1) P = 機能クロック周期 (ns 単位)。

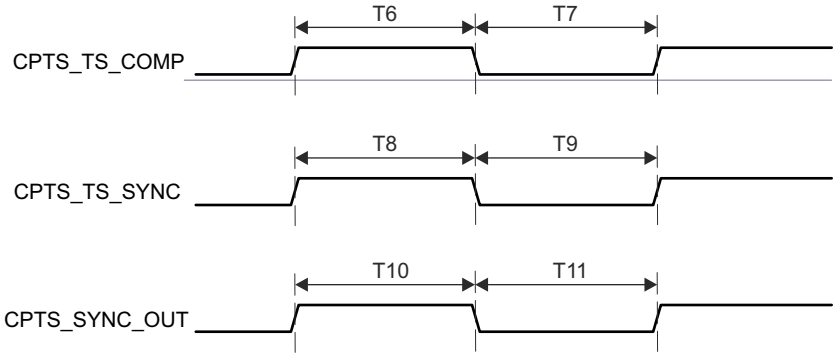


図 6-106. CPTS ビ出力のスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「データ移動アーキテクチャ (DMA)」の章にある「ナビゲータ サブシステム (NAVSS)」セクションを参照してください。

6.10.5.18 OSPI

このデバイスのオクタルシリアルペリフェラルインターフェイスの機能の詳細と追加の説明については、セクション 5.3、「信号の説明」およびセクション 7、「詳細説明」内の対応するセクションを参照してください。

表 6-82 に、OSPI のタイミング条件を示します。

Copyright © 2026 Texas Instruments Incorporated

表 6-82. OSPIx のタイミング条件

パラメータ		モード	最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	1.8V、DQS 付き PHY データトレーニング DDR	0.75	6	V/ns
出力条件					
C_L	出力負荷容量		3	10	pF
PCB 接続要件					
$t_{d(Trace\ Delay)}$	OSPI0_CLK トレースの伝搬遅延	ループバックなし 内部 PHY ループバック 内部パッド ループバック		450	ps
	OSPI0_LBCLKO トレースの伝搬遅延	外部ボードのループバック	2L(1) - 30	2L(1) + 30	ps
	OSPI0_DQS トレースの伝搬遅延	DQS	L(1) - 30	L(1) + 30	ps
$t_{d(Trace\ Mismatch\ Delay)}$	OSPIx_CLK に対する OSPIx_D[7:0] と OSPIx_CSn[3:0] の伝播遅延の不一致	すべてのモード		60	ps

(1) L = OSPIx_CLK トレースの伝搬遅延

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オクタル シリアル ペリフェラル インターフェイス (OSPI)」セクションを参照してください。

6.10.5.18.1 データ トレーニングを伴う OSPI

6.10.5.18.1.1 OSPI のスイッチング特性 – データ トレーニング

パラメータ	説明	モード	最小値	最大値	単位
$t_{c(CLK)}$	サイクル時間、CLK	DDR、1.8V	6.02	7.5	ns
		DDR、3.3V	7.52	7.5	ns
$t_{c(CLK)}$	サイクル時間、CLK	SDR、1.8V	6.02	7.5	ns
		SDR、3.3V	7.52	7.5	ns

6.10.5.18.2 データ トレーニングなし OSPI

注

このセクションに示す I/O タイミングは、データトレーニングが実装されていない場合にのみ適用されます。さらに、この I/O タイミングは、対応する DLL 遅延がこのセクションの 表 6-83 で説明するように構成されている場合に、一部の OSPI 使用モードでのみ有効です。

セクション 6.10.5.18.2.1、図 6-107、セクション 6.10.5.18.2.2 および 図 6-108 に、OSPI DDR および SDR モードのスイッチング特性を示します。

6.10.5.18.2.1 OSPI のスイッチング特性 – DDR モード

番号 (1)	パラメータ	説明	モード	最小値	最大値	単位
O1	$t_{c(CLK)}$	サイクル時間、CLK	1.8V	19		ns
			3.3V	19		ns
O2	$t_{w(CLKL)}$	パルス幅、CLK low		–0.3+0.475*P (2)		ns
O3	$t_{w(CLKH)}$	パルス幅、CLK high		–0.3+0.475*P (2)		ns

番号 (1)	パラメータ	説明	モード	最小値	最大値	単位
O4	$t_{d(CLK-CSn)}$	遅延時間、CSn[3:0] アクティブエッジから CLK 立ち上がりエッジまで	1.8V、OSPI0 DDR TX、1.8V、OSPI1 DDR TX	–7–0.475 * P – 0.975 * N * R (3) (4) (5)	0.525 * P + 1.025 * M * R + 1 (3) (4) (5)	ns
			3.3V、OSPI0 DDR TX、3.3V、OSPI1 DDR TX	–7–0.475 * P – 0.975 * N * R (3) (4) (5)	0.525 * P + 1.025 * M * R + 1 (3) (4) (5)	ns
O5	$t_{d(CLK-CSn)}$	遅延時間、CLK 立ち上がりエッジから CSn 非アクティブ エッジまで	1.8V、OSPI0 DDR TX、1.8V、OSPI1 DDR TX	–7 + 0.475 * P + 0.975 * N * R (3) (4) (5)	0.525 * P + 1.025 * N * R + 1 (3) (4) (5)	ns
			3.3V、OSPI0 DDR TX、3.3V、OSPI1 DDR TX	–7 + 0.475 * P + 0.975 * N * R (3) (4) (5)	0.525 * P + 1.025 * N * R + 1 (3) (4) (5)	ns
O6	$t_{d(CLK-D)}$	遅延時間、CLK アクティブエッジから D[i:0] 遷移まで	1.8V、OSPI0 DDR TX、1.8V、OSPI1 DDR TX	-7.7	-1.56	ns
			3.3V、OSPI0 DDR TX、3.3V、OSPI1 DDR TX	-7.7	-1.56	ns

(1) OSPI0 で D[i:0] の i は 7、OSPI1 で [i:0] の i は 3
(2) P = CLK サイクル時間
(3) P = SCLK 周期
(4) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]、N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(5) R = refclk

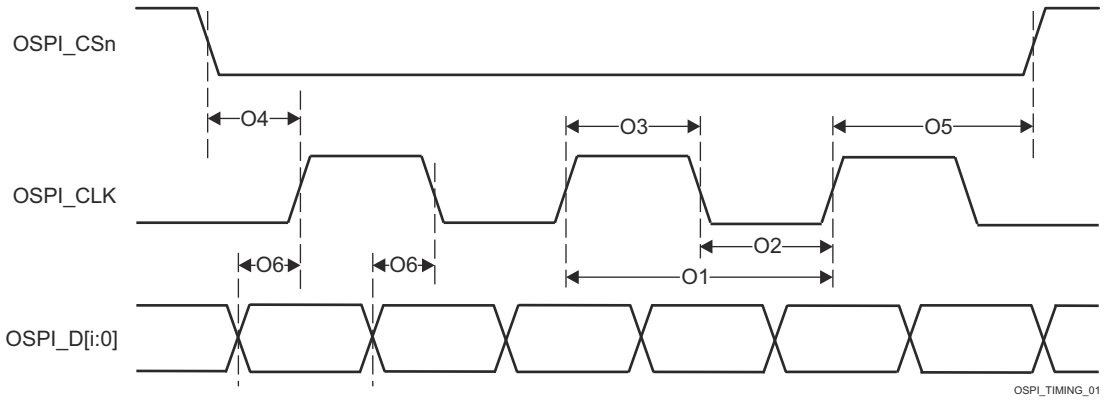


図 6-107. OSPI のスイッチング特性 – DDR

6.10.5.18.2.2 OSPI のスイッチング特性 – SDR モード

番号 (1)	パラメータ	説明	モード	最小値	最大値	単位
O7	$t_{c(CLK)}$	サイクル時間、CLK	1.8V	7		ns
			3.3V	7.52		ns
O8	$t_{w(CLKL)}$	パルス幅、CLK low		–0.3+0.475*P (2)		ns
O9	$t_{w(CLKH)}$	パルス幅、CLK high		–0.3+0.475*P (2)		ns

Copyright © 2026 Texas Instruments Incorporated

番号 (1)	パラメータ	説明	モード	最小値	最大値	単位
O10	$t_{d(CLK-CSn)}$	遅延時間、CSn[3:0] アクティブ エッジから CLK 立ち上がりエッジまで	1.8V	-1-0.475 * P – 0.975 * N * R (3) (4) (5)	0.525 * P + 1.025 * M * R + 1 (3) (4) (5)	ns
			3.3V	-1-0.475 * P – 0.975 * N * R (3) (4) (5)	0.525 * P + 1.025 * M * R + 1 (3) (4) (5)	ns
O11	$t_{d(CLK-CSn)}$	遅延時間、CLK 立ち上がりエッジから CSn 非アクティブ エッジまで	1.8V	–1 + 0.475 * P + 0.975 * N * R (3) (4) (5)	0.525 * P + 1.025 * N * R + 1(3) (4) (5)	ns
			3.3V	–1 + 0.475 * P + 0.975 * N * R (3) (4) (5)	0.525 * P + 1.025 * N * R + 1 (3) (4) (5)	ns
O12	$t_{d(CLK-D)}$	遅延時間、CLK アクティブ エッジから D[i:0] 遷移まで	1.8V	-1.15	1.25	ns
			3.3V	-1.33	1.51	ns

(1) OSPI0 で D[i:0] の i は 7、OSPI1 で [i:0] の i は 3
(2) P = CLK サイクル時間
(3) P = SCLK 周期
(4) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]、N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(5) R = refclk

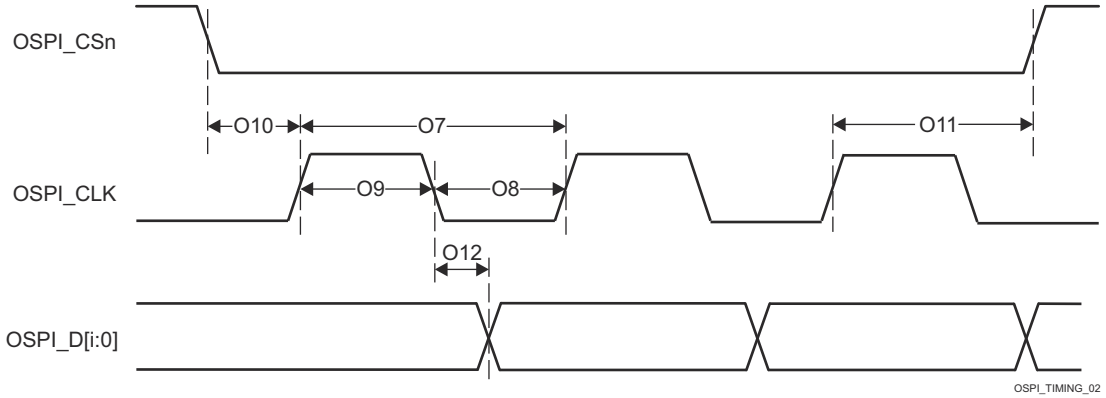


図 6-108. OSPI のスイッチング特性 – SDR

セクション 6.10.5.18.2.3、セクション 6.10.5.18.2.4、図 6-109、図 6-110、図 6-111、図 6-112 は、OSPI の DDR および SDR モードにおけるタイミング要件を示します。

6.10.5.18.2.3 OSPI のタイミング要件 – DDR モード

番号 (1)	パラメータ	説明	モード	最小値	最大値	単位
O13	$t_{su(D-CLK)}$	セットアップ時間、アクティブな CLK エッジの前に D[i:0] が有効であるべき時間	1.8V ループバック クロックなし、1.8V 内部パッド ループバック クロック	5.23		ns
			3.3V ループバック クロックなし、3.3V 内部パッド ループバック クロック	6.19		ns
O14	$t_{h(CLK-D)}$	ホールド時間、アクティブな CLK エッジの後に D[i:0] を保持するべき時間	1.8V ループバック クロックなし、1.8V 内部パッド ループバック クロック	1.84		ns
			3.3V ループバック クロックなし、3.3V 内部パッド ループバック クロック	2.34		ns

Copyright © 2026 Texas Instruments Incorporated

番号 (1)	パラメータ	説明	モード	最小値	最大値	単位
O15	$t_{su(D-LBCLK)}$	セットアップ時間、アクティブな LBCLK (DQS) エッジより前に D[i:0] が有効であるべき時間	1.8V、外部ボード ループバック クロック	0.52		ns
			3.3V、外部ボード ループバック クロック	1.97		ns
O16	$t_{h(LBCLK-D)}$	ホールド時間、アクティブな LBCLK (DQS) エッジ後に D[i:0] を保持するべき時間	1.8V、外部ボード ループバック クロック	1.2 (2)		ns
			3.3V、外部ボード ループバック クロック	1.44 (2)		ns
	t_{DVW}	データ有効ウィンドウ (O15 + O16)	1.8V、DQS 付き DDR	1.4		ns
O17	$t_{su(D-DQS)}$	セットアップ時間、DQS エッジから D[i:0] 遷移まで	1.8V、OSPI0 DQS、1.8V、OSPI1 DQS	-0.46		ns
			3.3V、OSPI0 DQS、3.3V、OSPI1 DQS	-0.66		ns
O18	$t_{h(DQS-D)}$	ホールド時間、DQS エッジから D[i:0] 遷移まで	1.8V、OSPI0 DQS、1.8V、OSPI1 DQS	3.59		ns
			3.3V、OSPI0 DQS、3.3V、OSPI1 DQS	7.92		ns

(1) OSPI0 で D[i:0] の i は 7、OSPI1 で [i:0] の i は 3
(2) このホールド時間の要件は、一般的なフラッシュ デバイスのホールド時間よりも長いです。したがって、SoC と、フラッシュ デバイスとの間のトレース長は、SoC のホールド時間を確実に満たすのに十分な長さにする必要があります。補償のため、SoC の外部ループバック クロック (OSPI_LBCLKO から OSPI_DQS まで) の長さを短くする必要がある場合があります。

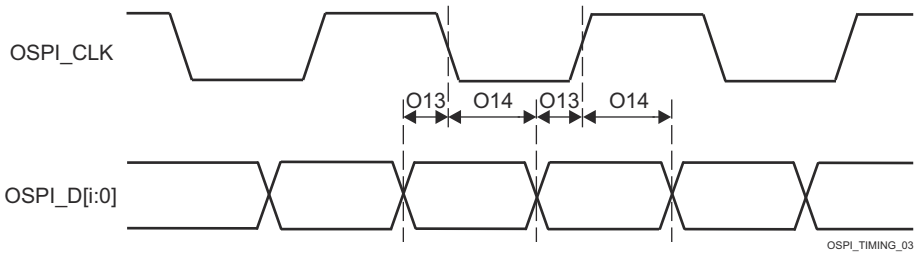


図 6-109. OSPI のタイミング要件 – DDR、ループバック クロックなし / 内部パッド ループバック クロックあり

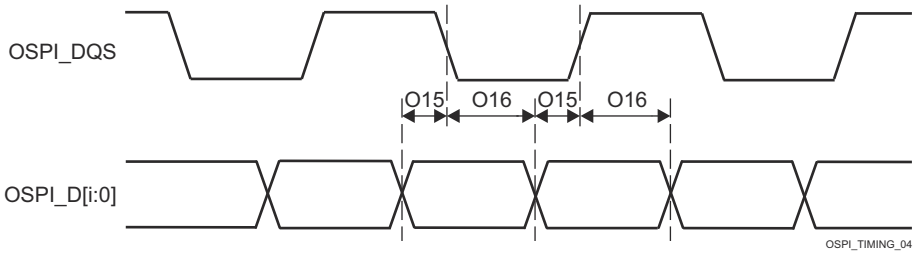


図 6-110. OSPI のタイミング要件 – DDR、外部ループバック クロックおよび DQS

6.10.5.18.2.4 OSPI のタイミング要件 – SDR モード

番号 (1)	パラメータ	説明	モード	最小値	最大値	単位
O19	$t_{su(D-CLK)}$	セットアップ時間、D[i:0] は、アクティブ CLK エッジより前に有効	1.8V、ループバッククロックなし	4.8		ns
			3.3V、ループバッククロックなし	5.39		ns
O20	$t_{h(CLK-D)}$	ホールド時間、D[i:0] は、アクティブ CLK エッジより後に有効	1.8V、ループバッククロックなし	-0.5		ns
			3.3V、ループバッククロックなし	-0.5		ns

Copyright © 2026 Texas Instruments Incorporated

番号 (1)	パラメータ	説明	モード	最小値	最大値	単位
O21	$t_{su(D-LBCLK)}$	セットアップ時間、D[i:0] は、アクティブ LBCLK 入力 (DQS) エッジより前に有効	1.8V、外部ボードループバック	0.6		ns
			3.3V、外部ボードループバック	0.9		ns
O22	$t_{h(LBCLK-D)}$	ホールド時間、D[i:0] は、アクティブ LBCLK 入力 (DQS) エッジより後に有効	1.8V、外部ボードループバック	1.7		ns
			3.3V、外部ボードループバック	2		ns
	t_{DVW}	データ有効ウィンドウ (O21 + O22)	1.8V、外部ボード ループバック付き SDR	1.7		ns

(1) OSPI0 で D[i:0] の i は 7、OSPI1 で [i:0] の i は 3

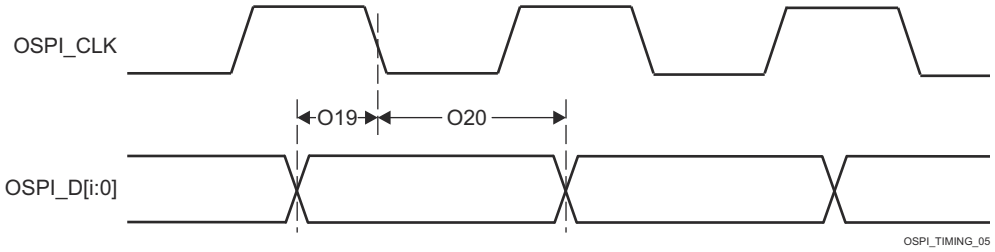


図 6-111. OSPI のタイミング要件 – SDR、ループバッククロックおよび内部パッドループバッククロックなし

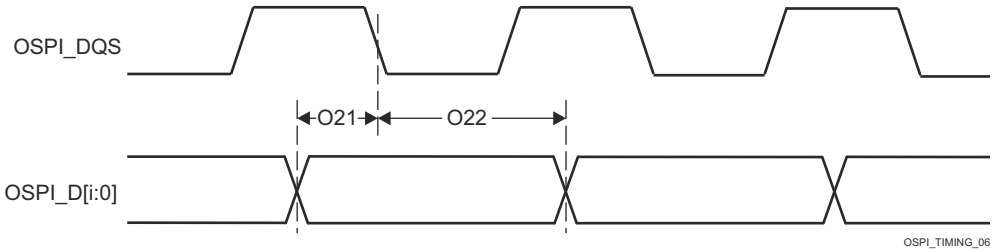


図 6-112. OSPI のタイミング要件 – SDR、外部ループバック クロック

表 6-83. タイミングモードの OSPI DLL 遅延マッピング

モード	OSPI_PHY_CONFIGURATION_REG ビットフィールド	遅延値
送信		
1.8V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x54
3.3V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x55
受信		
1.8V、DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x2D
3.3V、DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x29
その他のすべてのモード	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オクタル シリアル ペリフェラル インターフェイス (OSPI)」セクションを参照してください。

6.10.5.19 PCIE

PCI-Express サブシステムは、PCIe® ベース仕様、レビジョン 4.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

本デバイスのペリフェラルコンポーネントインターコネクトエクスプレスの機能の詳細と追加の説明については、セクション 5.3、「信号の説明」およびセクション 7、「詳細説明」内の対応するセクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

詳細については、デバイスの TRM で「ペリフェラル」の章にある「Peripheral Component Interconnect Express (PCIe) サブシステム」セクションを参照してください。

6.10.5.20 タイマ

本デバイスのタイマ機能の詳細と追加の説明については、セクション 5.3「信号の説明」およびセクション 7「詳細説明」内の対応するセクションを参照してください。

表 6-84 に、タイマのタイミング条件を示します。

表 6-84. タイマのタイミング条件

パラメータ	説明	モード	最小値	最大値	単位
入力条件					
t_{SR}	入力スルーレート	キャプチャ	0.5	5	V/ns
出力条件					
C_{LOAD}	出力負荷容量	PWM	2	10	pF

セクション 6.10.5.20.1、セクション 6.10.5.20.2、図 6-113 に、タイマのタイミングとスイッチング特性を示します。

6.10.5.20.1 タイマのタイミング要件

番号	パラメータ	説明	モード	最小値	最大値	単位
T1	$t_{w(TINPH)}$	パルス幅、High	キャプチャ	2.5 + 4P (1)		ns
T2	$t_{w(TINPL)}$	パルス幅、Low	キャプチャ	2.5 + 4P (1)		ns

(1) P = 機能クロック周期 (ns 単位)。

6.10.5.20.2 タイマのスイッチング特性

番号	パラメータ	説明	モード	最小値	最大値	単位
T3	$t_{w(TOUTH)}$	パルス幅、High	PWM	–2.5 + 4P (1)		ns
T4	$t_{w(TOUTL)}$	パルス幅、Low	PWM	–2.5 + 4P (1)		ns

(1) P = 機能クロック周期 (ns 単位)。

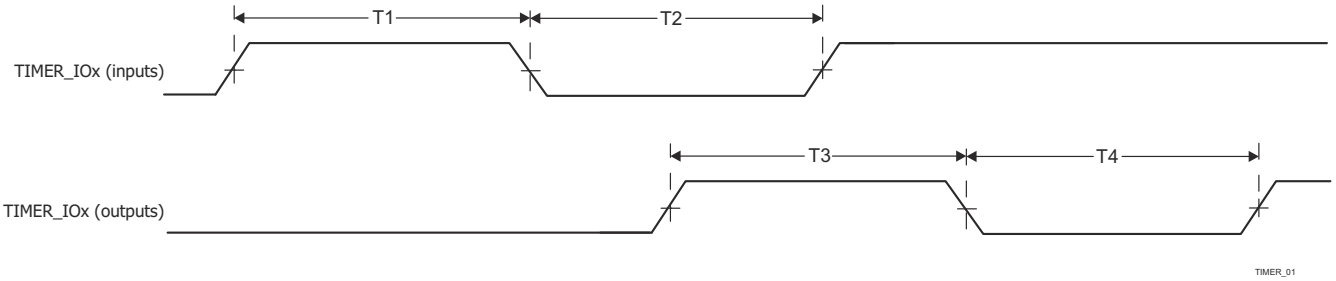


図 6-113. タイマのタイミング

詳細については、デバイス TRM で「ペリフェラル」の章にある「タイマ」セクションを参照してください。

6.10.5.21 UART

本デバイスのユニバーサル非同期レシーバ トランスミッタの機能の詳細と追加の説明については、セクション 5.3「信号の説明」および セクション 7「詳細説明」内の対応するセクションを参照してください。

表 6-85 に、UART のタイミング条件を示します。

Copyright © 2026 Texas Instruments Incorporated

表 6-85. UART のタイミング条件

パラメータ	説明	最小値	最大値	単位
入力条件				
t_{SR}	入力スルーレート	0.5	5	V/ns
出力条件				
C_{LOAD}	出力負荷容量	1	30(1)	pF

(1) この値は、絶対最大負荷容量を表します。UART のボーレートが上昇するにつれて、接続されているデバイスに十分なタイミング マージンを確保するために、負荷容量をこの最大制限より小さい値に減らす必要がある場合があります。容量性負荷の増加に伴い、出力の立ち上がり / 立ち下がり時間が長くなり、接続されているデバイスのレシーバに対してデータが有効である時間が短くなります。したがって、接続されたデバイスが動作ボーレートで必要とする最小データ有効時間を理解することが重要です。次に、デバイス IBIS モデルを使用して、UART 信号上の実際の負荷容量によって、接続されているデバイスの最小データ有効時間に違反するほど立ち上がり / 立ち下がり時間が増加しないことを確認します。

セクション 6.10.5.21.1、セクション 6.10.5.21.2、図 6-114 に、UART インターフェイスのタイミング要件とスイッチング特性を示します。

6.10.5.21.1 UART のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
4	$t_{w(RX)}$	パルス幅、受信データ ビット High または Low	0.95U(1) (2)	1.05U(1) (2)	ns
5	$t_{w(CTS)}$	パルス幅、受信スタート ビット、High または Low	0.95U(1) (2)		ns

(1) U = UART のボー時間 = 1/ プログラムされたボーレート。
(2) この値はデータ有効時間を規定します。ここで、入力電圧は V_{IH} を上回る、または V_{IL} を下回る必要があります。

6.10.5.21.2 UART スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
	$f_{(baud)}$	プログラム可能な最大ボー レート		12	Mbps
2	$t_{w(TX)}$	パルス幅、送信データ ビット High または Low	U - 2(1)	U + 2(1)	ns
3	$t_{w(RTS)}$	パルス幅、送信スタート ビット High または Low	U - 2(1)		ns

(1) U = UART のボー時間 = 1/ プログラムされたボーレート。

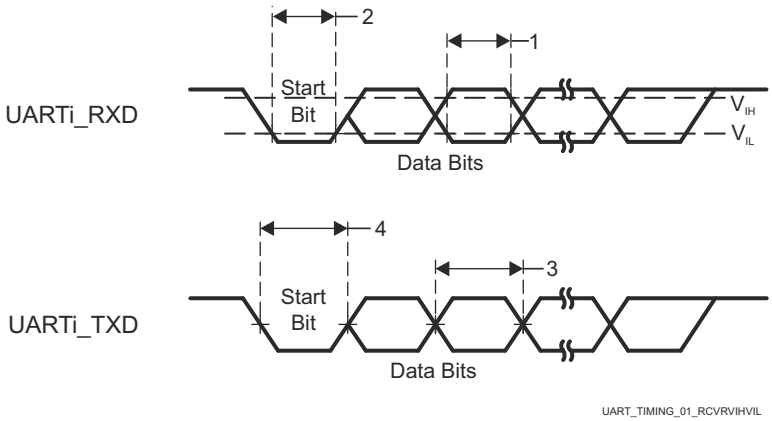


図 6-114. UART のタイミング

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル非同期レシーバ / トランスミッタ (UART)」セクションを参照してください。

6.10.5.22 USB

USB 2.0 サブシステムは、ユニバーサル シリアル バス (USB) 仕様、リビジョン 2.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

USB 3.1 Gen1 デュアルロール デバイス サブシステムは、USB (Universal Serial Bus) 3.1 仕様、リビジョン 1.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

デバイスのユニバーサル シリアル バス サブシステム (USB) の機能および追加の説明については、セクション 5.3「信号の説明」および セクション 7「詳細説明」内の対応するセクションを参照してください。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル シリアル バス (USB) サブシステム」を参照してください。

6.10.6 エミュレーションおよびデバッグ

6.10.6.1 デバッグ トレース

表 6-87 は、デバッグトレースのタイミング条件を表します。

表 6-86. デバッグ トレースのタイミング条件

パラメータ		最小値	最大値	単位
出力条件				
C_L	出力負荷容量	2	5	pF
PCB 接続要件				
$t_{d(Trace\ Mismatch)}$	すべてのパターンにわたる伝搬遅延の不整合		200	ps

表 6-87 および 図 6-115 は、推奨動作条件と電気的特性条件に基づくテストを想定しています。

表 6-87. デバッグ トレースのスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
1.8 V モード					
DBTR1	$t_{c(TRC_CLK)}$	サイクル時間、TRC_CLK	6.50		ns
DBTR2	$t_{w(TRC_CLKH)}$	パルス幅、TRC_CLK High	2.50		ns
DBTR3	$t_{w(TRC_CLKL)}$	パルス幅、TRC_CLK Low	2.50		ns
DBTR4	$t_{osu(TRC_DATAV\text{-}TRC_CLK)}$	出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで	0.81		ns
DBTR5	$t_{oh(TRC_CLK\text{-}TRC_DATAI)}$	出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで	0.81		ns
DBTR6	$t_{osu(TRC_CTLV\text{-}TRC_CLK)}$	出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで	0.81		ns
DBTR7	$t_{oh(TRC_CLK\text{-}TRC_CTLI)}$	出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで	0.81		ns
3.3 V モード					
DBTR1	$t_{c(TRC_CLK)}$	サイクル時間、TRC_CLK	9.75		ns
DBTR2	$t_{w(TRC_CLKH)}$	パルス幅、TRC_CLK High	4.13		ns
DBTR3	$t_{w(TRC_CLKL)}$	パルス幅、TRC_CLK Low	4.13		ns
DBTR4	$t_{osu(TRC_DATAV\text{-}TRC_CLK)}$	出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで	1.22		ns
DBTR5	$t_{oh(TRC_CLK\text{-}TRC_DATAI)}$	出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで	1.22		ns
DBTR6	$t_{osu(TRC_CTLV\text{-}TRC_CLK)}$	出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで	1.22		ns
DBTR7	$t_{oh(TRC_CLK\text{-}TRC_CTLI)}$	出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで	1.22		ns

Copyright © 2026 Texas Instruments Incorporated

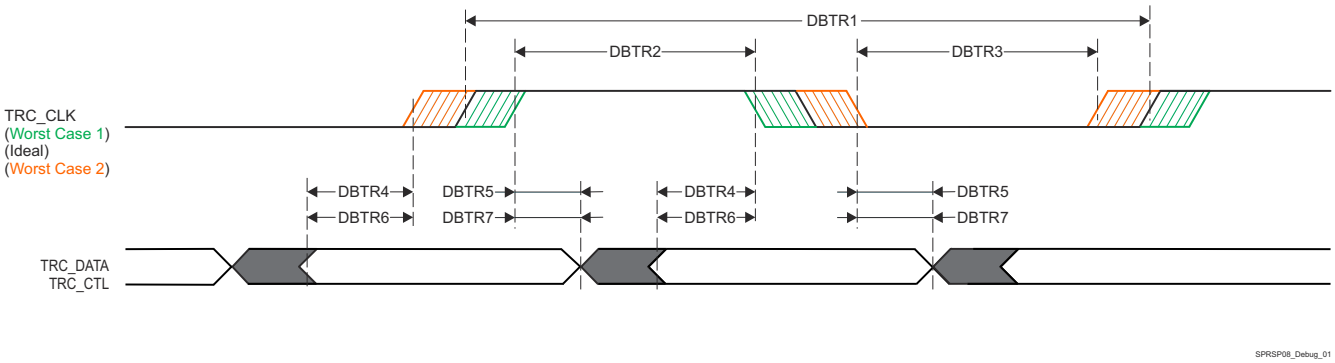


図 6-115. デバッグ トレースのタイミング

6.10.6.2 IEEE 1149.1 規格 – テスト用アクセスポート (JTAG)

本デバイスの IEEE 1149.1 規格テスト用アクセス ポートに関する機能の詳細と追加の説明については、セクション 5.3「信号の説明」およびセクション 7「詳細説明」内の対応するセクションを参照してください。

表 6-88 に、JTAG のタイミング条件を示します。

注

JTAG 信号は、デバイス上の 2 つの IO 電源ドメインに分割されます。このセクションで定義するタイミング パラメータは、2 つの IO 電源ドメインが同じ電圧で動作し、レベルシフタが信号パスに挿入されていない場合にのみ適用されます。2 つの IO 電源ドメインを異なる電圧で動作させる場合、以下のタイミング パラメータの値は定義されません。一部が 1.8V で動作し、他の部分が 3.3V で動作している場合には、デバイスの IO バッファを通る伝搬遅延が異なるからです。これにより、タイミング マージンは、このセクションに定義された値よりも実質的に減少します。システム設計者が適切なレベル シフタを実装し、異なる電圧で動作しているレベル シフタと IO バッファによって挿入される追加の遅延に対応するために動作周波数を低下させるならば、2 つの IO 電源ドメインが異なる電圧で動作していても、JTAG インターフェイスは引き続き機能することが期待されます。

表 6-88. JTAG のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
t_{SR}	入力スルーレート	0.50	2.00	V/ns
出力条件				
C_L	出力負荷容量	5	15	pF
PCB 接続要件				
$t_{d(Trace\ Delay)}$	各パターンの伝搬遅延	83.5	1000(1)	ps
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬遅延の不整合		100	ps

(1) JTAG 信号トレースに関連する最大伝搬遅延は、最大 TCK 動作周波数に大きな影響を及ぼします。トレース遅延をこの値より大きくすることも可能ですが、追加のトレース遅延を考慮して TCK の動作周波数を下げる必要があります。

6.10.6.2.1 JTAG の電気的データおよびタイミング

セクション 6.10.6.2.1.1、セクション 6.10.6.2.1.2、図 6-116 は、推奨動作条件と電気的特性条件に基づくテストを想定しています。

6.10.6.2.1.1 IEEE 1149.1 JTAG のタイミング要件

番号			最小値	最大値	単位
J1	$t_{c(TCK)}$	最小サイクル時間、TCK	46.5(1)		ns

番号			最小値	最大値	単位
J2	$t_{w(TCKH)}$	最小パルス幅、TCK High	0.4P(2)		ns
J3	$t_{w(TCKL)}$	最小パルス幅、TCK Low	0.4P(2)		ns
J4	$t_{su(TDI-TCK)}$	最小入力セットアップ時間、TDI 有効から TCK High まで	4.5		ns
	$t_{su(TMS-TCK)}$	最小入力セットアップ時間、TMS 有効から TCK High まで	4.5		ns
J5	$t_{h(TCK-TDI)}$	最小入力ホールド時間、TCK High から TDI 有効の間	2		ns
	$t_{h(TCK-TMS)}$	最小入力ホールド時間、TCK High から TMS 有効の間	2		ns

(1) 最大 TCK 動作周波数は、接続されているデバッガについて、次のタイミング要件およびスイッチング特性を想定しています。デバッガがこれらの前提のいずれかを上回る場合、適切なタイミング マージンを確保するために、TCK の動作周波数を下げる必要があります。
- 最小 TDO セットアップ時間は、TCK の立ち上がりエッジに対して 4.6ns
- TCK の立ち下がりエッジに対して -16.5ns～14.0ns の範囲の TDI および TMS 出力遅延

(2) P = TCK サイクル時間 (ns 単位)

6.10.6.2.1.2 IEEE 1149.1 JTAG の推奨動作条件に対するスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
J6	$t_{d(TCKL-TDOI)}$	最小遅延時間、TCK Low から TDO 無効まで	0		ns
J7	$t_{d(TCKL-TDOV)}$	最大遅延時間、TCK Low から TDO 有効まで		12	ns

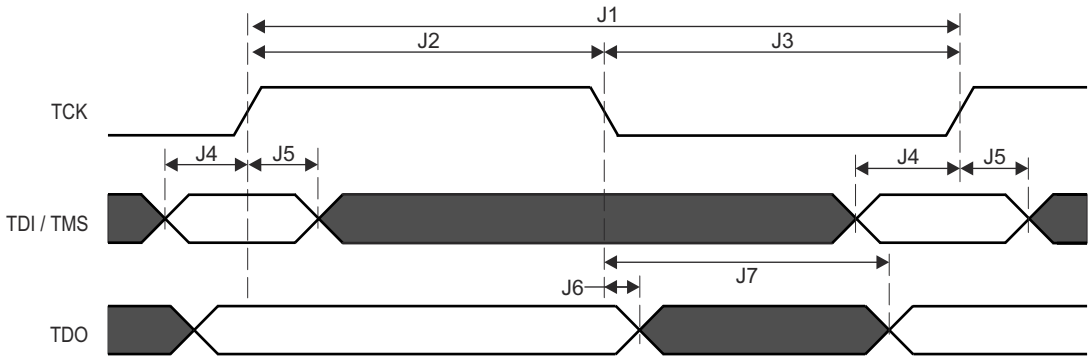


図 6-116. JTAG テスト ポートのタイミング

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

Jacinto™ DRA821x プロセッサは、Armv8 64 ビットアーキテクチャをベースとし、システムマイコン、イーサネットスイッチ、安全性、セキュリティなどの機能を統合してシステムコストを削減するシステムオンチップ (SoC) です。マルチコアシステムは、車載ゲートウェイや車載コンピューティングシステムなどの車載アプリケーション向けの ECU 統合を実現します。統合型の診断機能と機能安全機能は ASIL-D 認定 / 要件を目的としています。統合型マイコン (MCU) によって、外部システムマイコンは不要になります。PCIe ハブに加え、このデバイスは最大 4 つのギガビットイーサネットポートと統合スイッチを備え、大容量データ帯域幅を必要とするネットワーク用途に対応します。また、PCIe ハブ機能も搭載しています。CAN-FD インターフェイスは 20 個、UART インターフェイスは最大 12 個利用可能です。最大 4 つの汎用 Arm® Cortex®-R5F サブシステムにより、ローレベルでタイミングが重要な処理タスクを処理でき、Arm® Cortex®-A72 コアは高度なアプリケーションのために制約を受けることなく使用できます。

注

スーパーセット デバイスのシステム オン チップ (SoC) の機能、サブシステム、アーキテクチャの詳細については、デバイスのテクニカル リファレンス マニュアル を参照してください。

Copyright © 2026 Texas Instruments Incorporated

7.2 プロセッサ サブシステム

7.2.1 ARM Cortex-A72

このデバイスには、1 つのデュアル コア Arm® Cortex®-A72 MPU が実装されており、他のモジュールとともにコンピューティング クラスタ内に統合されています。Cortex-A72 コアは、お客様のアプリケーションを実行するために使用できる汎用プロセッサです。

A72SS は、Arm が提供し TI が構成した Arm Cortex-A72 MPCore (A72 クラスタ) を中心に構築されています。対称型マルチプロセッサ (SMP) アーキテクチャをベースとしており、高性能、最適な電力管理、デバッグ機能を実現します。

A72 プロセッサはマルチイシュー アウトオブオーダー スーパースカラ実行エンジンであり、L1 命令キャッシュとデータ キャッシュを内蔵し、Armv8-A アーキテクチャと互換性があります。Armv8-A アーキテクチャは、多くの新機能を備えています。たとえば、64 ビット データ処理、拡張仮想アドレッシング、64 ビット 汎用レジスタがあります。

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサとアクセラレータ」の章にある「デュアル A72 MPU サブシステム」セクションを参照してください。

7.2.2 ARM Cortex-R5F

MCU_ARMSS は、Arm® Cortex®-R5F プロセッサのデュアル コア実装で、スプリット / ロック動作用に構成されています。また、付属のメモリ (L1 キャッシュおよび密結合メモリ)、標準的な Arm® CoreSight™ デバッグおよびトレース アーキテクチャ、統合型のベクタ割り込みマネージャ (VIM)、ECC アグリゲータ、SoC への統合を容易にするプロトコル変換およびアドレス変換用の各種ラッパーも搭載しています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサとアクセラレータ」の章にある「デュアル R5F MCU サブシステム」セクションを参照してください。

7.3 その他のサブシステム

7.3.1 MSMC

マルチコア共有メモリ コントローラ (MSMC) は、コンピューティング クラスタ (COMPUTE_CLUSTER0) の中核であり、接続されているすべての処理エレメントとシステムの他の部分との間で、高帯域幅のリソース アクセスを提供します。MSMC は、コンピューティング クラスタのデータ移動バックボーンとして機能します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「デバイス構成」の章にある「マルチコア共有メモリ コントローラ (MSMC)」セクションを参照してください。

7.3.2 NAVSS

7.3.2.1 NAVSS0

メイン SoC ナビゲータ サブシステム (NAVSS0) は、DMA/ キュー管理コンポーネント (UDMA およびリング アクセラレータ (UDMASS)、ペリフェラル (モジュール サブシステム (MODSSS))、仮想化変換 (VirtSS)、およびノース ブリッジ (NBSS) で構成されます。

7.3.2.2 MCU_NAVSS

MCU ナビゲータ サブシステム (MCU NAVSS) は、メイン NAVSS モジュールのサブセットを備えており、MCU ドメインでインスタンス化されます。

MCU ナビゲータ サブシステムは、DMA/ キュー管理コンポーネント (UDMA およびリング アクセラレータ (UDMASS)、ペリフェラル (モジュール サブシステム (MODSS、モジュール サブシステム)) で構成されています。

詳細については、デバイスの TRM の「データ移動アーキテクチャ」章で「メイン ナビゲータ サブシステム (NAVSS)」および「マイコン ナビゲータ サブシステム (MCU NAVSS)」セクションを参照してください。

7.3.3 PDMA コントローラ

ペリフェラル DMA は、特にペリフェラルのデータ転送ニーズを満たすように設計されたシンプルな DMA です。ペリフェラル DMA は、コヒーレントではない標準のバス ファブリック経由でアクセスされる、メモリ マップされたレジスタを使用してデ

Copyright © 2026 Texas Instruments Incorporated

ータ転送を実行します。PDMA モジュールは、データ移動用に外部 DMA を必要とする 1 つまたは複数のペリフェラルの近くに配置することを意図しており、VBUSP インターフェイスを使用してコストを削減し、静的に構成された転送要求 (TR) 動作のみをサポートするように設計されています。

PDMA は、ペリフェラル自体とデータをやり取りするデータ移動トランザクションの実行のみを担当します。指定されたペリフェラルから読み取られたデータは、PDMA ソース チャネルによって PSI-L データ ストリームにパックされます。その後、リモート ピア UDMA-P デスティネーション チャネルに送信され、メモリへのデータ移動が実行されます。同様に、リモート UDMA-P ソース チャネルはメモリからデータをフェッチし、PSI-L 経由でピア PDMA デスティネーション チャネルに転送し、次にペリフェラルへの書き込みを実行します。

PDMA アーキテクチャは意図的に異種混合 (UDMA-P + PDMA) を採用しており、システム内の各ポイントでデータ転送の複雑度を適切なサイズに設定して、送受信するデータのさまざまな要件に適合できます。ペリフェラルは通常 FIFO ベースであり、FIFO の次元の要件を超える多次元転送を必要としないため、PDMA 転送エンジンは、わずかな大きさ (通常はサンプル サイズと FIFO の深さによる)、ハードコードされたアドレス マップ、シンプルなトリガ機能だけという簡潔さが保たれています。

PDMA には複数のソースおよびデスティネーション チャネルが用意されており、複数の同時転送動作を実行できます。DMA コントローラは、基盤となる DMA ハードウェアを共有するために、各チャネルの状態情報を維持し、チャネル間のラウンド ロビン スケジューリングを採用しています。

詳細については 、デバイスのテクニカル リファレンス マニュアルで「DMA コントローラ」の章にある「PDMA コントローラ」セクションを参照してください。

7.3.4 ペリフェラル

7.3.4.1 ADC

A/D コンバータ (ADC) モジュールには 12 ビット ADC が 1 つ搭載されており、8 つのアナログ入力 (チャネル) のいずれかに多重化できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「*ペリフェラル*」の章にある「*A/D コンバータ (ADC)*」セクションを参照してください。

7.3.4.2 ATL

オーディオ トラッキング ロジック (ATL) は、HD Radio™ アプリケーションで、デジタル オーディオ出力をベースバンド クロックに同期させるために使われています。この同じ IP を一般的に使用して、2 つの基準信号 (フレーム同期など) の間の誤差に追従し、(ソフトウェア制御によるサイクル スチールを使って) 所望の周波数に平均化された変調クロック出力を生成することもできます。このプロセスは、非同期サンプル レート変換アルゴリズムのハードウェア支援として使用できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オーディオ トラッキング ロジック (ATL) 」セクションを参照してください。

7.3.4.3 CPSW2G

2 ポートのギガビット イーサネット MAC (MCU_CPSW0) サブシステムは、イーサネット パケット通信をデバイスに提供し、イーサネット スイッチと同様の方法で構成されます。MCU_CPSW0 は、SGMII (Reduced Gigabit Media Independent Interface)、RGMII (Reduced Media Independent Interface)、および物理層デバイス (PHY) 管理用の MDIO (Management Data Input/Output) インターフェイスを備えています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ギガビット イーサネット スイッチ (CPSW0)」セクションを参照してください。

7.3.4.4 CPSW5G

5 ポートのギガビット イーサネット スイッチ (CPSW0) サブシステムは、デバイスへのイーサネット パケット通信をデバイスに提供し、イーサネット スイッチとして構成できます。CPSW0 は、1G および 2.5G シリアル ギガビット メディア独立インターフェース (SGMII)、ユニバーサル シリアル 10G メディア独立インターフェース (USXGMII)、10G フォームファクタ イン

Copyright © 2026 Texas Instruments Incorporated

ターフェース (XFI)、リデュースド ギガビット メディア独立インターフェース (RGMII)、リデュースド メディア独立インターフェース (RMII)、および物理層デバイス (PHY) 管理用の管理データ入出力 (MDIO) インターフェースを備えています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ギガビット イーサネット スイッチ (MCU_CPSW0)」セクションを参照してください。

7.3.4.5 DCC

デュアル クロック コンパレータ (DCC) は、アプリケーションの実行中にクロック信号の精度を判定するために使用されます。特に、DCC は、期待されるクロック周波数からのドリフトを検出するように設計されています。必要な精度は、各アプリケーションの計算に基づいてプログラムできます。DCC は、別の入力クロックを基準として、選択可能なクロック ソースの周波数を測定します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「デュアル クロック コンパレータ (DCC)」セクションを参照してください。

7.3.4.6 DDRSS

このデバイスの DDR サブシステムは、DDR コントローラ、DDR PHY、およびこれらのブロックをデバイスに統合するラッパー ロジックで構成されています。DDR サブシステムは DDRSS0 と呼ばれ、プログラムやデータの保存に利用できる外部 SDRAM デバイスとのインターフェイスを提供するために使用されます。具体的には、DDR サブシステムは、JEDEC JESD209-4B 規格に準拠した LPDDR4 デバイスをサポートしています。DDRSS0 は MSMC 経由でアクセスされ、システム インターコネクトからは直接アクセスされません。

注

DDRSS は、バイトモード LPDDR4 メモリ、または 17 行を超えるアドレスを持つメモリはサポートしていません

詳細については、デバイス TRM の「ペリフェラル」の章にある「DDR サブシステム (DDRSS)」セクションを参照してください。

7.3.4.7 ECAP

拡張キャプチャ (ECAP) モジュールは、以下の用途に使用できます。

- オーディオ入力のサンプル レート測定
- 回転機械の速度測定 (たとえば、歯付きスプロケットをホール センサで検知)
- 位置センサ パルス間の経過時間測定
- パルス列信号の周期およびデューティ サイクル測定
- デューティ サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号

詳細については、デバイス TRM の「ペリフェラル」の章にある「拡張キャプチャ (ECAP) モジュール」セクションを参照してください。

7.3.4.8 EPWM

効果的な PWM ペリフェラルは、最小限の CPU オーバーヘッドまたは介入で、複雑なパルス幅波形を生成できる必要があります。高度にプログラマブルで、フレキシビリティが高く、しかも理解しやすく、使いやすいことが求められます。ここで説明する EPWM ユニットは、必要なすべてのタイミングおよび制御リソースを PWM チャネルごとに割り当てることで、これらの要件に対応しています。リソースの交換も共有も行われていません。その代わりに本 EPWM は、必要に応じて連携して動作できる、独立したリソースを備えた複数の小さなシングル チャネル モジュールで構成されています。このモジュール式手法により直交アーキテクチャが可能となり、ペリフェラルの構造をより透過的に観察できるようになるため、ユーザーはその動作をすぐに理解できます。

これ以降の説明では、信号またはモジュール名の中で文字「x」を使って、デバイス上の EPWM インスタンスの総称を表しています。たとえば、出力信号 EPWMxA および EPWMxB は、EPWM_x インスタンスからの出力信号を意味しています。すなわち、EPWM1A および EPWM1B は EPWM1 に属しており、EPWM2A および EPWM2B は EPWM2 に属し、以下同様になります。

Copyright © 2026 Texas Instruments Incorporated

さらに、EPWM が統合されているため、この同期方式をキャプチャ ペリフェラル モジュール (ECAP) に拡張できます。モジュールの数はデバイスによって異なり、ターゲット アプリケーションの要求に基づいて決定されます。モジュールはスタンドアロンでも動作できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張パルス幅変調 (EPWM) モジュール」セクションを参照してください。

7.3.4.9 ELM

エラー特定モジュール (ELM) は、GPMC と組み合わせて使用されます。NAND フラッシュ ページを読み出す際にオンザフライで生成され、GPMC レジスタに保存されたシンドローム多項式が、ELM に渡されます。ホスト プロセッサは、ELM エラー特定出力が示すビットを反転することで、データ ブロックを修正できます。

NAND フラッシュ メモリから読み出す場合、ある程度の誤り訂正が必要です。訂正機能を搭載していない NAND モジュール (ベア NAND とも呼ばれる) の場合、訂正処理はメモリ コントローラによって行われます。ELM は、パラレル NOR フラッシュまたは NAND フラッシュをサポートするためにも使用できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「エラー特定モジュール (ELM)」セクションを参照してください。

7.3.4.10 ESM

エラー通知モジュール (ESM) は、デバイス全体のイベントやエラーを 1 つの場所に集約します。イベントに対処するために、優先度の低い割り込みおよび高い割り込みをプロセッサに通知したり、I/O エラー ピンを操作して、エラーが発生したことを外部ハードウェアに通知したりすることができます。このため、外部コントローラでデバイスをリセットしたり、システムを安全な既知の状態に維持したりできます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「エラー通知モジュール (ESM)」セクションを参照してください。

7.3.4.11 EQEP

拡張直交エンコーダ パルス (eQEP) ペリフェラルを、リニアまたはロータリー インクリメンタル エンコーダとの直接インターフェイスとして使用することにより、高性能な動作および位置制御システムで利用される位置、方向、速度の情報を、回転する機械から取得できます。インクリメンタル エンコーダのディスクは、シングル トラックのスロットパターンでパターン化されています。これらのスロットは、暗いラインと明るいラインの交互パターンを生成します。ディスクでの計数は、1 回転あたりに発生する暗いラインと明るいラインのペアの数 (1 回転あたりのライン数) で決まります。一般的に、2 番目のトラックを追加して、1 回転に 1 回発生する信号を生成します (インデックス信号：QEPI)。これは、絶対位置を示すために使用できます。エンコーダのメーカーは、このインデックスパルスに対して、インデックス、マーカー、ホーム位置、ゼロ基準などのさまざまな用語を使用しています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張直交エンコーダ パルス (eQEP) モジュール」セクションを参照してください。

7.3.4.12 GPIO

汎用入出力 (GPIO) ペリフェラルは、入力または出力として構成可能な専用の汎用ピンを備えています。出力として構成すると、内部レジスタに書き込むことにより、出力ピンの状態を制御できます。入力として構成すると、内部レジスタの状態を読み取ることにより、入力の状態を取得できます。

さらに、GPIO ペリフェラルは、さまざまな割り込み/イベント生成モードで、ホスト CPU 割り込みおよび DMA 同期イベントを生成できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用インターフェイス (GPIO)」セクションを参照してください。

7.3.4.13 GPMC

汎用メモリ コントローラは、以下に示すような外部メモリ デバイスとのインターフェイス専用の統合メモリ コントローラです。

Copyright © 2026 Texas Instruments Incorporated

- 非同期 SRAM などのメモリおよび ASIC (特定用途向け集積回路) デバイス
- 非同期、同期、ページ モード (非多重化モードでのみ使用可能) バースト NOR フラッシュ デバイス
- NAND フラッシュ
- 疑似 SRAM デバイス

詳細については、デバイスの TRM で「ペリフェラル」の章にある「汎用メモリコントローラ (GPMC)」セクションを参照してください。

7.3.4.14 Hyperbus

Hyperbus モジュールは、デバイスのフラッシュ サブシステム (FSS) の一部です。

Hyperbus モジュールは、高い読み取り/書き込み性能を実現するピン数の少ないメモリ インターフェイスです。Hyperbus モジュールは、Hyperbus メモリ (HyperFlash または HyperRAM) に接続し、シンプルな Hyperbus プロトコルを使って読み取りおよび書き込みトランザクションを実行します。

このデバイスの内部には Hyperbus™ モジュールが 1 つあります。Hyperbus モジュールには、1 つの Hyperbus メモリ コントローラ (HBMC) が搭載されています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「Hyperbus インターフェイス」セクションを参照してください。

7.3.4.15 I2C

このデバイスにはマルチマスタ I2C (Inter-Integrated Circuit) コントローラが 10 個内蔵されており、それぞれが、Arm またはデジタル信号プロセッサ (DSP) などのローカル ホスト (LH) と、I^2C シリアル バスで接続される任意の I^2C バス互換デバイスとの間のインターフェイスを提供します。I^2C バスに接続された外部コンポーネントは、2 線式の I^2C インターフェイスを介して、LH デバイスとの間で最大 8 ビットのデータをシリアル送受信できます。

各マルチマスタ I2C モジュールは、スレーブまたはマスタの I^2C 互換デバイスとして動作するように構成できます。

WKUP_I2C0、MCU_I2C0、I2C0、および I2C1 コントローラは、専用の I^2C 準拠オープン ドレイン バッファを搭載しており、ハイスピード モード (1.8V モードで最大 3.4Mbps、3.3V モードで最大 400kbps) をサポートしています。MCU_I2C1、I2C2、I2C3、I2C4、I2C5、および I2C6 コントローラは、標準 LVCMOS I/O と多重化され、オープン ドレインをエミュレートするように接続されており、ファスト モード (1.8V/3.3V モードで最大 400kbps) をサポートしています。I2C エミュレーションは、ロジック 1 の送信時に High に駆動するかわりに、Hi-Z を出力するように LVCMOS バッファを構成することで実現しています。

詳細については、本デバイスのテクニカル リファレンス マニュアルの「ペリフェラル」の章にある「I2C (Inter-Integrated Circuit) インターフェイス」セクションを参照してください。

7.3.4.16 I3C

このデバイスには、I3C (Improved Inter-Integrated Circuit) コントローラが 3 個内蔵されており、それぞれが、Arm などのローカル ホスト (LH) と、I3C シリアル バスで接続される任意の I3C バス互換デバイスとの間のインターフェイスを提供します。

詳細については、本デバイスのテクニカル リファレンス マニュアルの「ペリフェラル」の章にある「I3C (Improved Inter-Integrated Circuit) インターフェイス」セクションを参照してください。

7.3.4.17 MCAN

コントローラ エリア ネットワーク (CAN) は、分散リアルタイム制御を効率的にサポートするシリアル通信プロトコルです。CAN は電気的干渉に対して高い耐性を備えています。CAN ネットワークでは、多くの短いメッセージがネットワーク全体にブロードキャストされるため、システムのすべてのノードでデータの整合性が確保されます。

MCAN モジュールは、従来型 CAN および CAN FD (フレキシブル なデータ レートの CAN) の両方のプロトコルをサポートしています。CAN FD 機能により、データ フレームあたりのスループットが向上し、ペイロードが増加します。従来型 CAN デバイスと CAN FD デバイスは、競合することなく、同じネットワーク上に共存できます。

Copyright © 2026 Texas Instruments Incorporated

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「モジュラー コントローラ エリア ネットワーク (MCAN)」セクションを参照してください。

7.3.4.18 MCASP

MCASP は汎用オーディオ シリアル ポートとして機能し、各種オーディオ アプリケーションの要件に合わせて最適化されています。MCASP モジュールは、送信モードおよび受信モードで動作できます。MCASP は、時分割多重型 (TDM) ストリーム、I2S (Inter-IC Sound、IC 間サウンド) プロトコル、および DIT (コンポーネント間デジタル オーディオ インターフェイス送信) で役立ちます。MCASP には、Sony/Philips デジタルインターフェイス (S/PDIF) の送信物理層コンポーネントに直接接続できるという柔軟性があります。

コンポーネント間デジタル オーディオ インターフェイス受信 (DIR) モード (S/PDIF ストリーム受信) は、MCASP モジュールでネイティブにはサポートされていませんが、MCASP レシーバ用に特定の TDM モードを実装することで、外部 DIR コンポーネントに対して簡単に接続できます (たとえば、S/PDIF から I2S フォーマット コンバータ)。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションを参照してください。

7.3.4.19 MCRC コントローラ

VBUSM CRC コントローラは、CRC (巡回冗長検査) を実行してメモリ システムの整合性を検証するために使用されるモジュールです。メモリの内容が MCRC コントローラに読み込まれるとき、メモリの内容を表すシグネチャを取得します。MCRC コントローラの役割は、一連のデータに対するシグネチャを計算して、その計算されたシグネチャ値と、あらかじめ設定された正しいシグネチャ値とを比較することです。MCRC コントローラには 4 つのチャネルがあり、複数のメモリに対して並行して CRC 計算を実行します。これは、あらゆるメモリ システムで使用できます。また、チャネル 1 をデータ トレース モードに移行させることもできます。このモードでは、MCRC コントローラは CPU 読み出しデータ バス経由で読み出される各データを圧縮します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサ間通信」の章にある「MCRC コントローラ」セクションを参照してください。

7.3.4.20 MCSPI

MCSPI モジュールは、マルチチャネル送信 / 受信、マスタ / スレーブ同期シリアル バスです。

このデバイスには合計 11 の MCSPI モジュールがあります。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル シリアル ペリフェラル インターフェイス (MCSPI)」セクションを参照してください。

7.3.4.21 MMC/SD

MMCSD ホスト コントローラは、eMMC 5.1 (組み込みマルチメディア カード)、SD 4.10 (セキュア デジタル)、および SDIO 4.0 (セキュア デジタル IO) デバイスへのインターフェイスとして機能します。MMCSD ホスト コントローラは、送信レベルでの MMC/SD/SDIO プロトコル、データ パッキング、巡回冗長検査 (CRC) の追加、開始 / 終了ビットの挿入、構文の正確性チェックを処理します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチメディアカード / セキュア デジタル (MMC/SD) インターフェイス」セクションを参照してください。

7.3.4.22 OSPI

オクタル シリアル ペリフェラル インターフェイス (OSPI™) モジュールは、シリアル ペリフェラル インターフェイス (SPI) モジュールの一種で、外部フラッシュ デバイスへのシングル、デュアル、クワッド、またはオクタルの読み取りおよび書き込みアクセスを可能にします。

OSPI モジュールは、メモリ マップ直接モード (たとえば、プロセッサが外部フラッシュ メモリからコードを直接実行しようとする場合) または間接モード (要求された動作をサイレントに実行し、割り込みやステータス レジスタによって動作が完了したことを通知するようにモジュールが設定されている状態) でデータを転送するために使用します。

Copyright © 2026 Texas Instruments Incorporated

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オクタル シリアル ペリフェラル インターフェイス (OSPI)」セクションを参照してください。

7.3.4.23 PCIE

PCIe (Peripheral Component Interconnect Express) サブシステムは、マルチレーン デュアル モード PCIe コントローラを中心に構築されており、バックプレーンおよびプリント基板上のシリアル リンクに対してレーンあたり最大 8.0Gbps の速度で、少ないピン数、高い信頼性、高速なデータ転送を実現します。

詳細については 、デバイスのテクニカル リファレンス マニュアルの「ペリフェラル」章にある 「ペリフェラル コンポーネント インターコネクト エクスプレス (PCIe) サブシステム」セクションを参照してください。

7.3.4.24 SerDes

SerDes の目標は、デバイス (SoC) のパラレル データをシリアル データに変換し、高速電気的インターフェイス経由で出力することです。反対方向については、SerDes は高速シリアル データをパラレル データに変換して、デバイスで処理できるようにします。このため、SerDes には各種の機能ブロックが搭載されており、外部アナログ インターフェイスと内部デジタル ロジックの両方を処理します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「シリアライザ / デシリアライザ (SerDes)」セクションを参照してください。

7.3.4.25 WWDT

ウィンドウ ウォッチドッグ タイマは、オペレーティングシステム用およびコードのベンチマーク用のタイマ機能を提供します。モジュールには、オペレーティング システムでのスケジューリングに必要なタイムベースを定義するいくつかのカウンタが組み込まれています。このモジュールは RTI モジュールで実装されていますが、サポートされているのは WWDT のみです。

このモジュールは、OSEK ("Offene Systeme und deren Schnittstellen für die Elektronik im Kraftfahrzeug"、"Open Systems and the Corresponding interfaces for Automotive Electronics") および OSEK/Time 準拠のオペレーティング システムの要件を満たすように特別に設計されています。

詳細については、デバイスのテクニカル リファレンス マニュアルで、「ペリフェラル」の章にある「リアルタイム割り込み (RTI) モジュール」セクションを参照してください。

7.3.4.26 タイマ

すべてのタイマには、オペレーティング システムへの正確なティック割り込みを生成するための特定の機能が含まれています。

各タイマは、複数の異なる独立したクロックからクロックを供給できます。クロック ソースの選択は、MCU_CTRL_MMR0/CTRL_MMR0 のレジスタから行います。

このデバイスには、MCU ドメインに 10 本のタイマ ピンがあり、MCU タイマ キャプチャ入力、または MCU タイマ PWM 出力として使用できます。柔軟性を最大限に高めるため、これら 10 本のピンは MCU_TIMER0～MCU_TIMER9 の任意のインスタンスで使用できます。システム レベルのマルチプレクサを使用して、各 MCU_TIMER[9-0] のキャプチャ ソース ピン、および各 MCU_TIMER_IO[9-0] PWM 出力の MCU_TIMER[9-0] ソースを制御します。

メイン ドメインには 8 本のタイマ ピンがあり、タイマ キャプチャ入力またはタイマ PWM 出力として使用できます。柔軟性を最大限に高めるため、これら 8 本のピンは TIMER0～TIMER19 の任意のインスタンスで使用できます。システム レベルのマルチプレクサを使用して、各 TIMER[19-0] のキャプチャ ソース ピン、および各 TIMER_IO[7-0] PWM 出力の TIMER[19-0] ソースを制御します。

各ドメインの奇数番号のタイマ インスタンスは、選択により、同じドメインの前の偶数番号のタイマ インスタンスとカスケード接続して、最大 64 ビットのタイマを形成できます。たとえば、TIMER1 は TIMER0 とカスケード接続でき、MCU_TIMER1 は MCU_TIMER0 とカスケード接続できます。

Copyright © 2026 Texas Instruments Incorporated

カスケード接続されると、TIMERi は TIMERi+1 に対する 32 ビット プリスケーラとして機能し、MCU_TIMERn は MCU_TIMERn+1 に対する 32 ビット プリスケーラとして機能します。TIMERi / MCU_TIMERn は、TIMERi+1 / MCU_TIMERn+1 カウンタをインクリメントするために、目的のレートで PWM 出力エッジを生成するように構成する必要があります。

詳細については、デバイス TRM で「ペリフェラル」の章にある「タイマ」セクションを参照してください。

7.3.4.27 UART

UART は、ホスト CPU を介したデータ転送または割り込みポーリングに DMA を利用するスレーブ ペリフェラルです。このデバイスには 12 個の UART モジュールが搭載されています。すべての UART モジュールは、48MHz 機能クロックを使用する場合、IrDA および CIR モードをサポートします。各 UART は、多数の外部ペリフェラル デバイスの構成およびデータ交換、またはデバイス相互のプロセッサ間通信に使用できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル同期 / 非同期レシーバ / トランスミッタ (UART)」セクションを参照してください。

7.3.4.28 USB

以前のバージョンの USB バスと同様に、USB 3.0 は汎用ケーブル バスであり、ホスト デバイスと、同時にアクセス可能な幅広いペリフェラルとの間のデータ交換をサポートします。

このデバイスは、1 つの USB サブシステムをサポートしています。

- USB3SS0 は、SuperSpeed (SS) USB 3.0 デュアル ロール デバイス (DRD) サブシステムで、オンチップ SS (USB3.0) PHY および HS/FS/LS (1) (USB2.0) PHY を内蔵しています

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル シリアル バス (USB) サブシステム」を参照してください。

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーション、実装、およびレイアウト

注

以下のアプリケーションのセクションにある情報は、TI コンポーネントの仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 電源マッピング

TPS6594x および LP8764x は、このデバイスをサポートする電源供給回路 (PDN) 設計のために使用する電源管理 IC (PMIC) です。TI は、以下の理由により、これらの PMIC の使用を要請します。

- TI が、このデバイスでの使用を検証済み
- 過渡応答や出力精度を含めたボード レベルのマージンを分析、システム全体で最適化
- 電源シーケンス要件のサポート (セクション 6.10.2、電源シーケンスを参照)
- TI が提供するソフトウェアを含む、アダプティブ電圧スケーリング(AVS) Class 0 要件をサポート

複数のデバイス電圧ドメインを 1 つの共通電源レールに結合する場合、その共通電源レールについては、最も厳格な電圧ドメインの PDN ガイドラインによって実装する必要があります。

一部のシステムでは、一部のデバイス電圧ドメインが使用されない場合があります。このような場合、デバイスの信頼性を確保するため、未使用の電圧ドメイン電源ピンはすべて、適切な電圧レベルの有効な電源レールに接続されている必要があります (セクション 4.3「信号の説明」を参照)。たとえば、MCU を使用しない場合、VDD_MCU ドメインは、同じ電圧仕様を持つ CORE ドメイン (VDD_CORE) と結合することができます。共通の電源レールに接続された降圧コンバータの電力段は、CORE および MCU の両方のドメインに電力を供給します。

結合されたレールには、次の緩和事項が適用されます。

- 電源の設定には、結合されたレールの中で、アクティブなレールの AVS 電圧を使用する必要があります
- デカップリング容量は、結合されたレールの中で、アクティブなレールに従って設定する必要があります

図 8-1 に、プロセッサと TPS659414-Q1 および LP876441-Q1 PMIC との間の詳細な電源マッピングの例を示します。この構成では、両方の PMIC デバイスが 3.3V の入力電圧を使用します。詳細については、『TPS6594-Q1 および LP8764-Q1 PMIC を使用した DRA821 への電力供給のためのユーザー ガイド』というタイトルのアプリノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

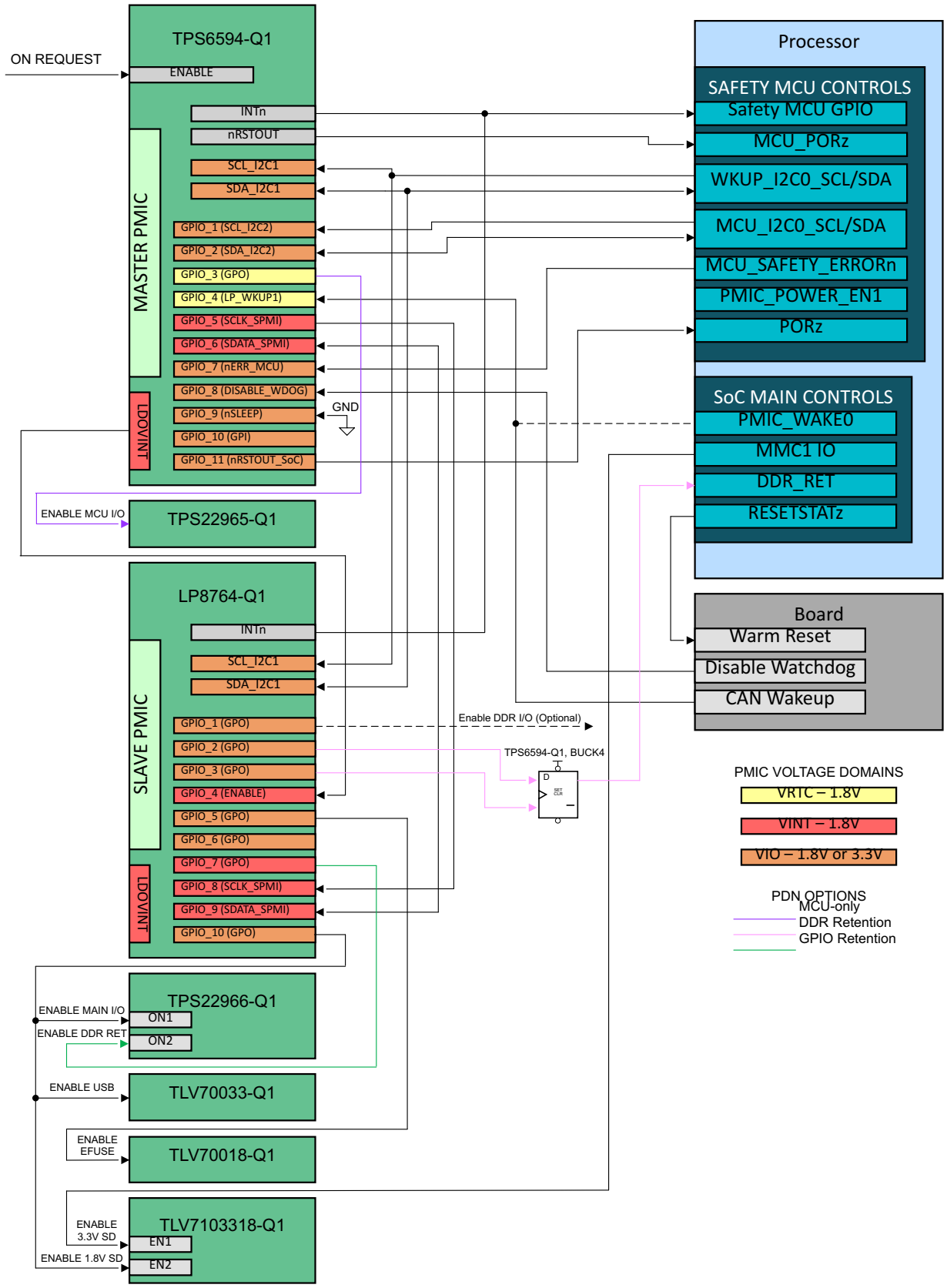


図 8-1. TPS6594-Q1 および LP8764-Q1 のデジタル接続

表 8-1. MCU とメイン電圧ドメインを結合した電源レールのマッピング

タイプ	電圧 [V]	ドメイン名	ドメインのタイプ	電源レール	#
デジタル IO	3.3	(VDDSHV0_MCU、VDDSHV1_MCU、VDDSHV2_MCU、VDDSHV0、VDDSHV2、VDDSHV5(3))(1)、VDDA_3P3_USB(4)	VDDSHVn_MCU、VDDSHVn、VDDA_3P3_USB(1)	VDD_IO_3V3	1
デジタル IO	1.8	(VDDSHV0_MCU、VDDSHV1_MCU、VDDSHV2_MCU、VDDSHV0、VDDSHV2、VDDSHV5(3))(2) 、VDDS_MMC0	VDDSHVn_MCU3 VDDSHVn(2)、(3)	VDD_IO_1V8	2
アナログ PHY	1.8	(VDDA_MCU_PLLGRP0、VDDA_MCU_TEMP、VDDA_ADC_MCU、VDDA_POR_WKUP、VDDA_WKUP, VDDA_OSC1、VDDA_PLLGRP8、6、4、0、VDDA_TEMP1:0)(5)、VDDA_1P8_USB、VDDA_1P8_SERDES)(6)	VDDA_1P8_<clk/meas>(5) VDDA_1P8_<phy>(6)	VDA_LN_1V8(6)、(7)	3
アナログ、低電圧	0.80	(VDDA_0P8_PLL_DDR、VDDA_0P8_DLL_MMC0)(7)	VDDA_0P8_DPLL	VDA_DPLL_0V8	4
デジタル、AVS 低電圧	0.77 – 0.84	VDD_CPU	VDD_CPU	VDD_CPU_AVS	5
デジタル、低電圧	0.80	VDD_MCU9、VDD_MCU_WAKE1、VDD_CORE、VDD_WAKE0、(VDDA_0P8_SERDES、VDDA_0P8_USB)	VDD_MCU VDD_CORE VDDA_0P8_<phy>	VDD_CORE_0V8	6
デジタル、低電圧	0.85	VDDAR_MCU、VDDAR_CORE、VDDAR_CPU	VDDAR	VDD_RAM_0V85	7
デジタル、低電圧	1.1	VDDS_DDR_BIAS、VDDS_DDR、VDDS_DDR_C	VDDS_DDR	VDD_DDR_1V1	8

(1) 3.3V デジタル インターフェイスをサポートするために 3.3V が供給される、いずれかの MCU またはメイン デュアル電圧 IO ドメイン (VDDSHVn_MCU または VDDSHVn)

(2) 1.8V デジタル インターフェイスをサポートするために 1.8V が供給される、いずれかの MCU またはメイン デュアル電圧 IO ドメイン (VDDSHVn_MCU または VDDSHVn)

(3) VDDSHV5 は、SD メモリ カード用の MMC1 信号処理をサポートしています。規格準拠の高速 SD カード動作には、デュアル電圧 (3.3V/1.8V) の電源レールが必要です。SD カードが不要な場合や、3.3V 固定動作の標準データ レートが許容される場合は、このドメインをデジタル IO 3.3V 電源レールにグループ化できます。SD カードが固定 1.8V で動作できる場合は、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。

(4) VDDA_3P3_USB は、USB 2.0 差動インターフェイス信号伝達に使用される 3.3V アナログ ドメインです。最良のシグナル インテグリティを実現して USB データ アイ マスクに準拠するために、低ノイズのアナログ電源を推奨します。USB インターフェイスが不要な場合や、データ ビット エラーが許容される場合は、直接または電源フィルタ経由で、このドメインを 3.3V デジタル IO 電源レールにグループ化できます。

(5) VDDA_1P8_<clk/pll/ana> は、クロック発振器、PLL、およびアナログ回路をサポートする 1.8V アナログ ドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズがクロック、PLL、DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、デジタルの VDDSHVN_MCU と VDDSHVn IO ドメインを結合することは推奨しません。アナログ VDDA_1p8_<phy> ドメインの結合は避けるべきですが、グループ化する場合は、インライン フェライト ビーズで電源をフィルタリングする必要があります。

(6) VDDA_1P8_PHY は、複数のシリアル <phy> インターフェイスをサポートする 1.8V アナログ ドメインです。最良のシグナル インテグリティ、インターフェイス性能、仕様準拠を実現するため、低ノイズのアナログ電源を推奨します。これらのインターフェイスのいずれかが不要であるか、また

Copyright © 2026 Texas Instruments Incorporated

はデータ ビット エラーや非準拠動作が許容できる場合には、直接またはインライン電源フィルタ経由で、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。

(7) VDDA_0P8_<dll/pll> は、PLL および DLL 回路をサポートする 0.8V アナログ ドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズが PLL および DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、これらのドメインを他の 0.8V ドメインと結合することは推奨しません。

表 8-2. MCU とメイン電圧ドメインが独立した電源レールのマッピング

タイプ	電圧 [V]	ドメイン名	ドメイン グループ	電源レール	#
デジタル IO	3.3	(VDDSHV0_MCU、VDDSHV1_MCU、VDDSHV2_MCU)(1)	VDDSHVn_MCU	VDD_MCUIO_3V3	1
デジタル IO	3.3	(VDDSHV0、VDDSHV2、VDDSHV5(3)) 2、VDDA_3P3_USB(4)	VDDSHVn、VDDA_3P3_USB1(1)	VDD_IO_3V3	2
デジタル IO	1.8	(VDDSHV0_MCU、VDDSHV1_MCU、VDDSHV2_MCU)(2)	VDDSHVn_MCU(2)	VDD_MCUIO_1V8	3
デジタル IO	1.8	(VDDSHV0、VDDSHV2、VDDSHV5(3))(2)、VDDS_MMC0	VDDSHVn(2) (3)	VDD_IO_1V8	4
アナログ クロック、測定	1.8	(VDDA_MCU_PLLGRP0、VDDA_MCU_TEMP、VDDA_ADC_MCU、VDDA_POR_WKUP、VDDA_WKUP)(2)	VDDA_MCU1P8_<clk/meas>	VDA_MCU_1V8	5
アナログ クロック、測定	1.8	VDDA_OSC1、VDDA_PLLGRP8、6、4、0、VDDA_TEMP1:0	VDDA_1P8_<clk/meas>	VDA_PLL_1V8	6
アナログ PHY	1.8	(VDDA_1P8_USB、VDDA_1P8_SERDES)(5)	VDDA_1P8_<phy>(5)	VDA_PHY_1V8(6)	7
アナログ、低電圧	0.80	(VDDA_0P8_PLL_DDR、VDDA_0P8_DLL_MMC0)(6)	VDDA_0P8_DPLL	VDA_DLL_0V8	8
デジタル、低電圧	0.85	VDD_MCU(7)、VDD_MCU_WAKE1、VDDAR_MCU	VDD_MCU VDDAR_MCU	VDD_MCU_0V8	
デジタル、AVS 低電圧	0.77 – 0.84	VDD_CPU	VDD_CPU	VDD_CPU_AVS	9
デジタル、低電圧	0.80	VDD_CORE、VDD_WAKE0、(VDDA_0P8_SERDES、VDDA_0P8_USB)	VDD_CORE VDDA_0P8_<phy>	VDD_CORE_0V8	10
デジタル、低電圧	0.85	VDDAR_CORE、VDDAR_CPU	VDDAR	VDD_RAM_0V85	11
デジタル、低電圧	1.1	VDDS_DDR_BIAS、VDDS_DDR、VDDS_DDR_C	VDDS_DDR	VDD_DDR_1V1	12

(1) 3.3V デジタル インターフェイスをサポートするために 3.3V が供給される、いずれかの MCU またはメイン デュアル電圧 IO ドメイン (VDDSHVn_MCU または VDDSHVn)

(2) 1.8V デジタル インターフェイスをサポートするために 1.8V が供給される、いずれかの MCU またはメイン デュアル電圧 IO ドメイン (VDDSHVn_MCU または VDDSHVn)

(3) VDDSHV5 は、SD メモリ カード用の MMC1 信号処理をサポートしています。規格準拠の高速 SD カード動作には、デュアル電圧 (3.3V/1.8V) の電源レールが必要です。SD カードが不要な場合や、3.3V 固定動作の標準データ レートが許容される場合は、このドメインをデジタル IO 3.3V 電源レールにグループ化できます。SD カードが固定 1.8V で動作できる場合は、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。

(4) VDDA_3P3_USB は、USB 2.0 差動インターフェイス信号伝達に使用される 3.3V アナログ ドメインです。最良のシグナル インテグリティを実現して USB データ アイ マスクに準拠するために、低ノイズのアナログ電源を推奨します。USB インターフェイスが不要な場合や、データ ビット エラーが許容される場合は、直接または電源フィルタ経由で、このドメインを 3.3V デジタル IO 電源レールにグループ化できます。

Copyright © 2026 Texas Instruments Incorporated

(5) VDDA_1P8_PHY は、複数のシリアル <phy> インターフェイスをサポートする 1.8V アナログ ドメインです。最良のシグナル インテグリティ、インターフェイス性能、仕様準拠を実現するため、低ノイズのアナログ電源を推奨します。これらのインターフェイスのいずれかが不要であるか、またはデータ ビット エラーや非準拠動作が許容できる場合には、直接またはインライン電源フィルタ経由で、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。

(6) VDDA_0P8_<dll/pll> は、PLL および DLL 回路をサポートする 0.8V アナログ ドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズが PLL および DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、これらのドメインを他の 0.8V ドメインと結合することは推奨しません。

(7) VDD_MCU は、広い動作電圧範囲を持つデジタル電圧ドメインであり、VDDAR_MCU ドメインまたは VDD_CORE のいずれかとグループ化できます。「MCU およびメイン ドメインの分離パワーアップ シーケンス」では、VDD_MCU は VDDAR_MCU とグループ化できます。VDD_MCU は T2 よりも前にランプアップする必要があります。VDDAR_MCU が VDD_MCU とグループ化されていない場合、T3 でランプする必要があります。

8.2 デバイスの接続およびレイアウトの基礎

8.2.1 電源のデカップリングおよび バルク コンデンサ

8.2.1.1 電源供給回路の実装ガイド

『Sitara プロセッサ電源供給回路：実装と分析』は、電源供給回路を正しく実装するためのガイダンスを提供します。これには、PCB スタックアップ ガイダンスと、デカップリング コンデンサの選択および配置を最適化するためのガイダンスが含まれます。TI は、このアプリケーション レポートに記載されているボード設計ガイドラインに従った設計のみをサポートしています。

8.2.2 外部発振器

外部発振器の詳細については、セクション 6.10.4「クロック仕様」セクションを参照してください

8.2.3 JTAG および EMU

テキサス・インスツルメンツは、JTAG のサポートだけでなく、さまざまなデバッグ機能を備えた各種の拡張開発システム (XDS) JTAG コントローラをサポートしています。この情報の概要については、『XDS ターゲット接続ガイド』を参照してください。

EMU ルーティングの推奨事項の詳細については、『エミュレーションおよびトレース ヘッダー テクニカル リファレンス マニュアル』を参照してください。

8.2.4 リセット

このデバイスは、4 つの外部リセット ピン (MCU_PORz、MCU_RESETz、PORz、RESET_REQz) と、2 つのリセット ステータス ピン (MCU_RESETSTATz、RESETSTATz) を備えています。これらのピンは、外部のパワー グッド回路または PMIC (電源管理 IC) によって駆動できます。MCU_PORz ピンと メイン PORz ピンは、電源投入フェーズの間、およびすべての電源と HFOSC0 クロックが安定するまで、アクティブ Low に保持する必要があります。

すべての MCU ドメイン リセットは、デバイス全体に対するマスタ リセットとして機能しますが、メイン ドメイン リセットはメイン ドメインだけをリセットします (MCU ドメインは、すべてのメイン ドメイン リセットからリセットが分離されています)。

8.2.5 未使用のピン

未使用ピンの詳細については、セクション 5.5、「未使用ピンの接続」を参照してください

8.2.6 Jacinto™ 7 デバイスのハードウェア設計ガイド

『Jacinto™ 7 デバイスのハードウェア設計ガイド』ドキュメントには、Jacinto™ 7 ファミリのプロセッサに関するハードウェア システム設計の考慮事項が記載されています。この設計ガイドは、アプリケーション ハードウェアを開発する際の支援として使用することを意図しています。

8.3 ペリフェラルおよびインターフェイス固有の設計情報

8.3.1 LPDDR4 基板の設計およびレイアウトのガイドライン

『Jacinto 7 DDR 基板の設計およびレイアウトのガイドライン』の目標は、すべての設計者に対して LPDDR4 システムの実装を明快にすることです。要件を一連のレイアウトおよび配線ルールに絞り込んで、設計者が、テキサス・インスツルメン

Copyright © 2026 Texas Instruments Incorporated

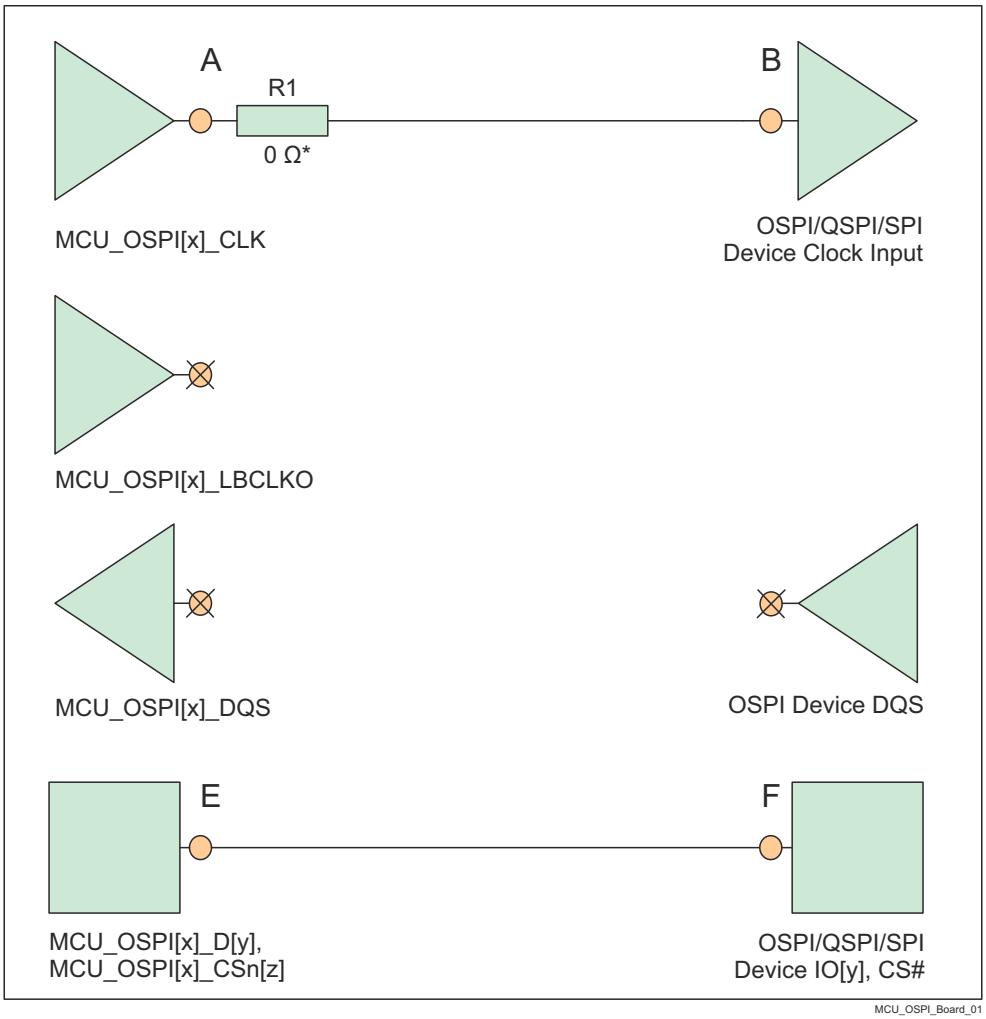
ツのサポートするトポロジに対応した堅牢な設計を正しく実装できるようにしています。テキサス・インスツルメンツは、LPDDR4 メモリを使用したボード設計において、このドキュメントのガイドラインに従ったものだけをサポートしています。

8.3.2 OSPI および QSPI 基板の設計およびレイアウト ガイドライン

以下のセクションでは、OSPI および QSPI インターフェイスの配線にあたって従うべき配線ガイドラインについて詳しく説明します。

8.3.2.1 ループバックなしおよび内部パッド ループバック

- MCU_OSPI[x]_CLK 出力信号は、フラッシュ デバイスの CLK ピンに接続する必要があります
- MCU_OSPI[x]_CLK 信号からフラッシュ デバイスへの信号伝搬遅延は 450ps 未満 (ストリップラインの場合は約 7cm、マイクロストリップの場合は約 8cm) とする必要があります
- 図 8-2 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング :
  - A から B は 450ps 未満
  - マッチング スキュー : < 60ps



* 0Ω 抵抗 (R1) は、MCU_OSPI[x]_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

図 8-2. OSPI インターフェイスの概略回路図

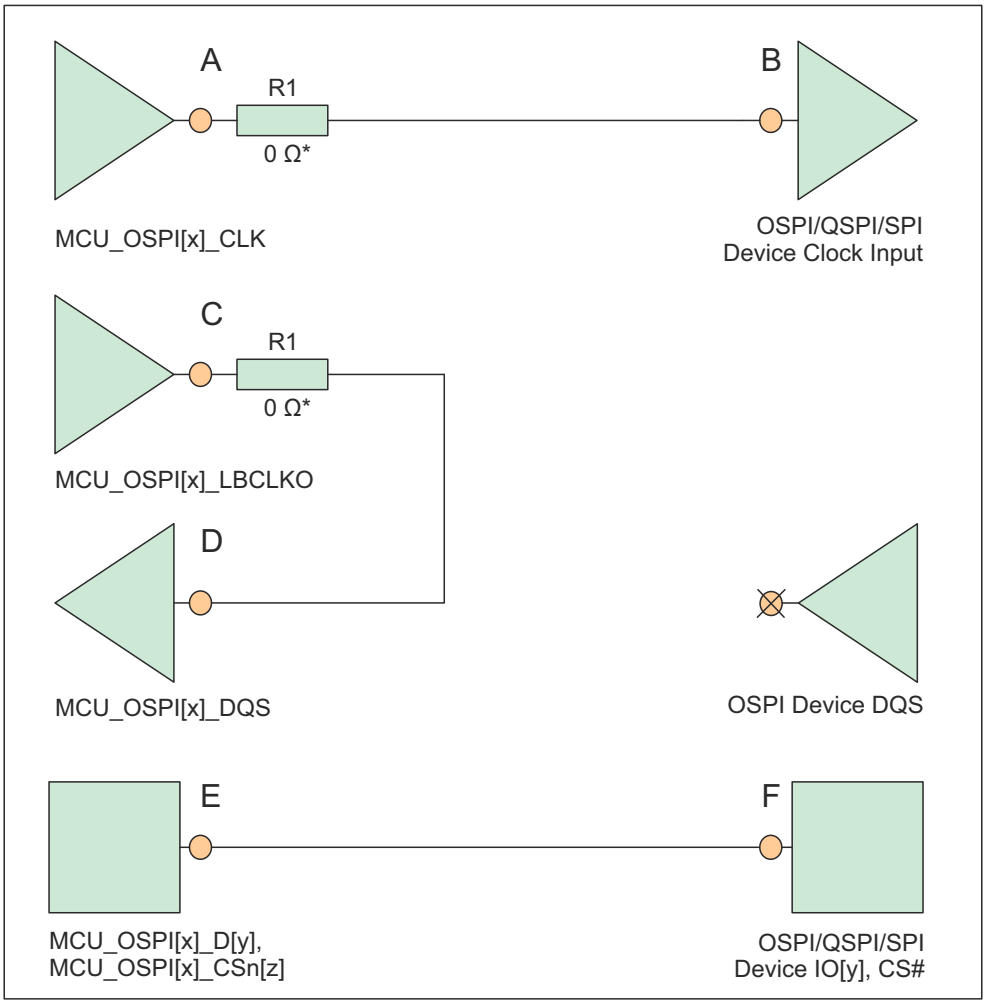
8.3.2.2 外部ボードのループバック

- MCU_OSPI[x]_CLK 出力信号は、フラッシュ デバイスの CLK ピンに接続する必要があります
- MCU_OSPI[x]_LBCLKO 出力信号は、MCU_OSPI[x]_DQS 入力にループバックする必要があります
- MCU_OSPI[x]_CLK ピンからフラッシュ デバイス CLK 入力ピンまでの信号伝搬遅延 (A から B まで) は、MCU_OPSI[x]_LBCLKO ピンから MCU_OSPI[x]_DQS ピンまでの信号伝搬遅延の半分 (C から D まで) /2) とほぼ等しくなっている必要があります以下の注記を参照してください。
- MCU_OSPI[x]_CLK ピンからフラッシュ デバイス CLK 入力ピンまでの信号伝搬遅延 (A から B まで) は、フラッシュ デバイスと SoC デバイスの間の制御およびデータ信号の信号伝搬遅延 (E から F まで、または F から E まで) とほぼ等しくなっている必要があります
- 図 8-3 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング :
  - (A から B まで) = (E から F まで) = ((C から D まで) / 2)
  - マッチング スキュー : < 60ps

注

OSPI 基板のループバック ホールド時間の要件 (セクション 6.10.5.18「OSPI」で説明) は、標準的なフラッシュ デバイスによって供給されるホールド時間よりも長くなっています。このため、MCU_OPSI[x]_LBCLKO ピンから MCU_OSPI[x]_DQS ピンまでの長さ (C から D まで) を短くして補償できます。

Copyright © 2026 Texas Instruments Incorporated

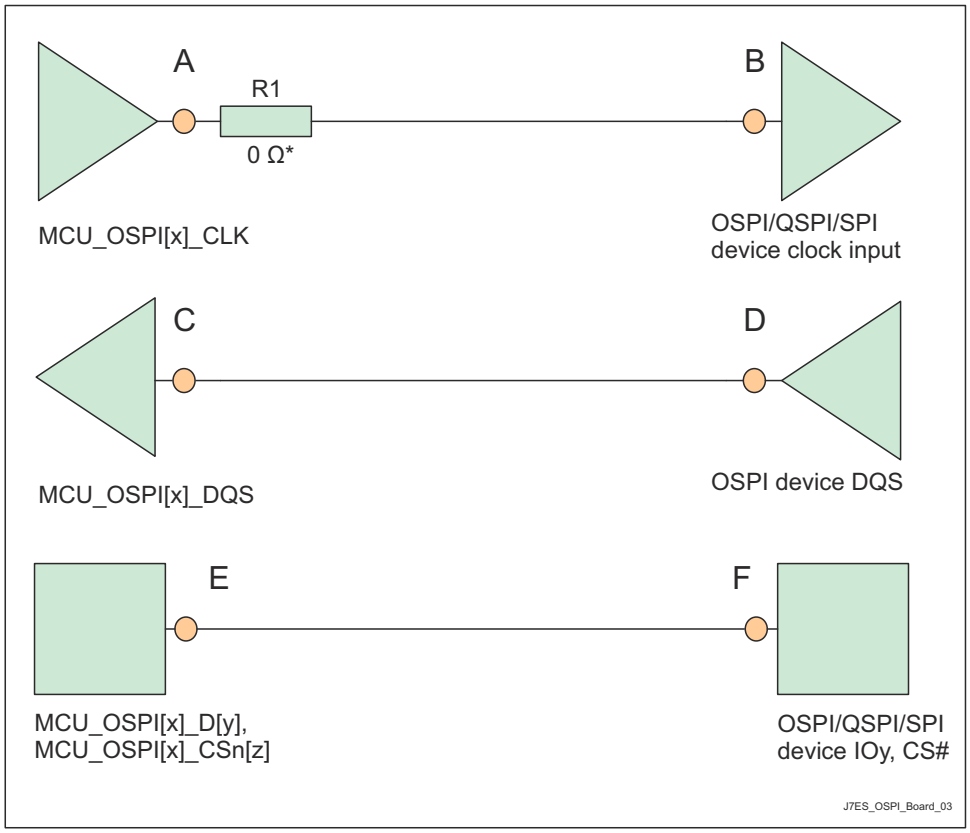


* 0Ω 抵抗 (R1) は、MCU_OSPI[x]_CLK ピンおよび MCU_OSPI[x]_LBCLKO ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

図 8-3. OSPI インターフェイスの概略回路図

8.3.2.3 DQS (オクタル フラッシュ デバイスでのみ使用可能)

- MCU_OSPI[x]_CLK 出力信号は、フラッシュ デバイスの CLK ピンに接続する必要があります
- フラッシュ デバイスの DQS ピンは、MCU_OSPI[x]_DQS 信号に接続する必要があります
- MCU_OSPI[x]_CLK ピンからフラッシュ デバイス CLK 入力ピンまでの信号伝搬遅延 (A から B まで) は、MCU_OSPI[x]_DQS ピンから DQS 出力ピンまでの信号伝搬遅延 (C から D まで) とほぼ等しくなっている必要があります
- 図 8-4 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング:
  - A から B = C から D
  - マッチング スキュー: < 60ps



* 0Ω 抵抗 (R1) は、MCU_OSPI[x]_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

図 8-4. OSPI インターフェイスの概略回路図

8.3.3 USB VBUS 設計ガイドライン

USB 3.1 仕様では、VBUS 電圧は通常動作で最大 5.5V であり、「パワー デリバリー」追補がサポートされている場合は最大 20V になることが許容されています。一部の車載アプリケーションは、最大電圧を 30V にする必要があります。

このデバイスでは、外付けの分圧抵抗を使用して VBUS 信号電圧を下げる必要があります (図 8-5 を参照)。これにより、実際のデバイス ピン (USB0_VBUS) に印加される電圧が制限されます。これらの外部抵抗の許容誤差は 1% 以下、ツェナー ダイオードの 5V でのリーク電流は 100nA 未満とする必要があります。(1)

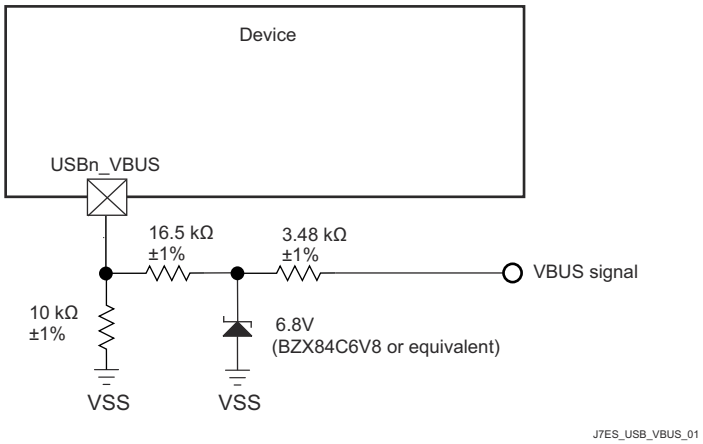


図 8-5. USB VBUS 検出分圧器 / クランプ回路

Copyright © 2026 Texas Instruments Incorporated

デバイスの電源がオフのときに VBUS が印加された場合、図 8-5 に示す外部回路によって実際のデバイス ピンへの入力電流が制限されるため、USB0_VBUS ピンはフェイルセーフであると考えることができます。

8.3.4 システム電源監視設計ガイドライン

VMON1_ER_VSYS ピンは、システム電源を監視する手段を提供します。このシステム電源は、通常、システム全体を対象とする単一のあらかじめ安定化された電源です。この電源から供給される外部分圧器回路の出力を内部基準電圧と比較することによってこの電源を監視します。VMON1_ER_VSYS に印加される電圧が内部基準電圧を下回ると、パワーフェイル イベントがトリガされます。実際のシステム電源電圧トリップ ポイントは、外付け抵抗による分圧回路の実装に使用する部品の値を選択するときに、システム設計者が決定します。分圧抵抗回路を設計する際は、システム電源監視のトリップ ポイントの変動に寄与するさまざまな要因を理解することが重要です。最初に考慮するのは、VMON1_ER_VSYS 入力スレッショルドの初期精度です。このスレッショルドの公称値は 0.45V で、変動は ±3% です。分圧抵抗回路の実装には、同程度の熱係数で高精度の 1% 抵抗を推奨します。これにより、抵抗値の誤差に起因する変動を最小限に抑えることができます。VMON1_ER_VSYS に関連する入力リーク電流も考慮する必要があります。これは、ピンに流入する電流によって分圧器出力に負荷誤差が生じるためです。VMON1_ER_VSYS 入力のリーク電流は、0.45V 印加時に 10nA～2.5µA の範囲となる可能性があります。

注

抵抗分圧器は、通常動作条件において、その出力電圧がセクション 6.3「推奨動作条件」で定義されている最大値を決して超えないように設計するものとします。

システム電源が公称 5V で、最大トリガ スレッショルドが 5V - 10%、すなわち 4.5V の場合の例を 図 8-6 に示します。

この例では、抵抗値を選択するときに、どの変数が最大トリガ スレッショルドに影響を与えるかを理解することが重要です。システム電源が 10% 低下するまでトリップしない分圧器を設計するには、VMON1_ER_VSYS 入力スレッショルドが 0.45V + 3% であるデバイスを検討する必要があることは明らかです。抵抗の許容誤差と入力リーク電流の影響も考慮する必要がありますが、これらの寄与が最大トリガ ポイントにどのように影響するかは明らかではない場合があります。最大トリガ電圧を生成する部品値を選択するときは、VMON1_ER_VSYS ピンの入力リーク電流が 2.5µA であるという条件と、R1 の値が 1% 低く、R2 の値が 1% 高いという条件を考慮する必要があります。R1 = 4.81kΩ および R2 = 40.2kΩ の抵抗分圧器を実装すると、結果として最大トリガ スレッショルドは 4.523V になります。

上記のように最大トリガ電圧を満たすように部品の値を選択すると、システム設計者は、R1 の値が 1% 高く、R2 の値が 1% 低い場合、および入力リーク電流が 10nA またはゼロの場合、出力電圧が 0.45V - 3% になる印加電圧を計算することにより、最小トリガ電圧を決定できます。上記の抵抗値とゼロの入力リーク電流を組み合わせた結果、最小トリガ スレッショルドは 4.008 V となります。

ここでは、システム電源電圧トリップ ポイントが 4.008V～4.523V の範囲となる例を示しています。この範囲のうち約 250mV は、VMON1_ER_VSYS の入力スレッショルド精度 ±3% によって発生し、この範囲の約 150mV は抵抗の誤差 ±1% によって発生します。また、この範囲の約 100mV は、VMON1_ER_VSYS の入力リーク電流が 2.5µA である場合の負荷誤差により発生します。

この例で選択した抵抗値では、システム電源が 4.5V のとき、分圧抵抗により約 100µA のバイアス電流が発生します。上記の 100mV の負荷誤差は、分圧抵抗を流れるバイアス電流を約 1mA に増やすことにより、約 10mV に低減できます。したがって、抵抗分圧器のバイアス電流と負荷誤差の関係は、部品の値を選択するときにシステム設計者が考慮する必要がある事項です。

VMON1_ER_VSYS は、最小のヒステリシスで、過渡に対する高帯域応答を備えているため、システム設計者は分圧器出力にノイズ フィルタを実装することも考慮する必要があります。これは、図 8-6 に示すように、R1 の両端にコンデンサを取り付けることで実現できます。ただし、システム設計者は、システムの電源ノイズと、過渡現象に対して予測される応答に基づいて、このフィルタの応答時間を決定する必要があります。

システム電源電圧が公称 5V で、目標のトリガ スレッショルドが -10% すなわち 4.5V の場合の例を 図 8-6 に示します。

Copyright © 2026 Texas Instruments Incorporated

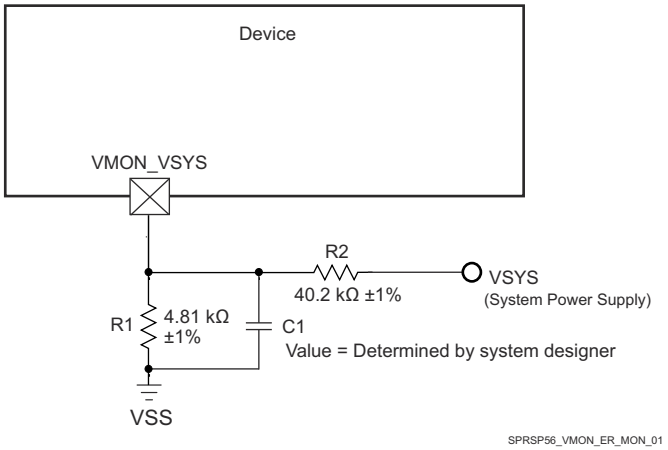


図 8-6. システム電源監視分圧回路

VMON2_IR_VCPU は、システム電源を監視する手段を提供します。TI は、VMON2_IR_VCPU ピンを、基板上で VDD_CPU ピンのできるだけ近くに外部接続することを推奨します。

VMON3_IR_VEXT1P8 および **VMON4_IR_VEXT1P8** ピンにより、外部の 1.8V 電源を監視することができます。**VMON5_IR_VEXT3P3** ピンにより、外部 3.3V 電源を監視することができます。この SoC には、ソフトウェア制御の内部分圧抵抗が実装されています。ソフトウェアにより、内部分圧抵抗回路をプログラミングして、適切な低電圧および過電圧の割り込みを生成できます。これらのピンには、外付けの分圧抵抗から電力を供給しないでください。監視対象の電圧を調整する必要がある場合は、監視ピンに接続する前に、分圧された電圧をバッファしてください。

8.3.5 高速差動信号のルーティング ガイド

『高速インターフェイスのレイアウト ガイドライン』には、高速差動信号を正しく配線するためのガイダンスが示されています。これには、PCB スタックアップと材料のガイダンス、配線スキュー、長さ、間隔の制限が含まれます。TI は、このアプリケーション レポートに記載されているボード設計ガイドラインに従った設計のみをサポートしています。

8.3.6 熱ソリューション ガイダンス

『DSP および ARM アプリケーション プロセッサ用の熱設計ガイド』は、このデバイスを搭載したシステム設計の熱ソリューションを正しく実装するための指針を提供しています。この資料は、熱ソリューションに関連する一般的な用語と方法に関する背景情報を記載しています。TI は、このアプリケーション レポートに記載されているシステム設計ガイドラインに従った設計のみをサポートしています。

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 デバイスの命名規則

製品開発サイクルの段階を示すために、TI ではマイクロプロセッサ (MPU) とサポート ツールのすべての型番に接頭辞が割り当てられています。各デバイスには、次の 3 つのいずれかの接頭辞が付けられます:X、P、空白 (接頭辞なし) (たとえば、DRA821)。テキサス インスツルメンツでは、サポート ツールに対して、使用可能な 3 つの接頭辞のうち次の 2 つを推奨しています。TMDX および TMDS。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ(TMDX)から、完全認定済みの量産デバイス/ツール(TMDS)まであります。

デバイスの開発進展フロー:

X 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。

P プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

空白 認定済みのシリコン ダイの量産バージョン。

サポート ツールの開発進展フロー:

TMDX 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

X および P デバイスと TMDX 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび TMDS 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ デバイス(X または P)の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

ALM パッケージ タイプの DRA821 デバイスの注文可能な型番については、このドキュメントにあるパッケージ オプションの付録や TI の Web サイト (ti.com) を参照するか、TI の販売代理店にお問い合わせください。

Copyright © 2026 Texas Instruments Incorporated

9.1.1 標準パッケージの記号化

注

一部のデバイスには、パッケージの上面に装飾的な円形のマーキングが見られる場合があります。これは、量産テストプロセスの結果になります。さらに、一部のデバイスでは、サブストレートの製造元によって、パッケージのサブストレートに色のばらつきが見られる場合があります。このばらつきは外見上だけのものであって、信頼性には影響しません。

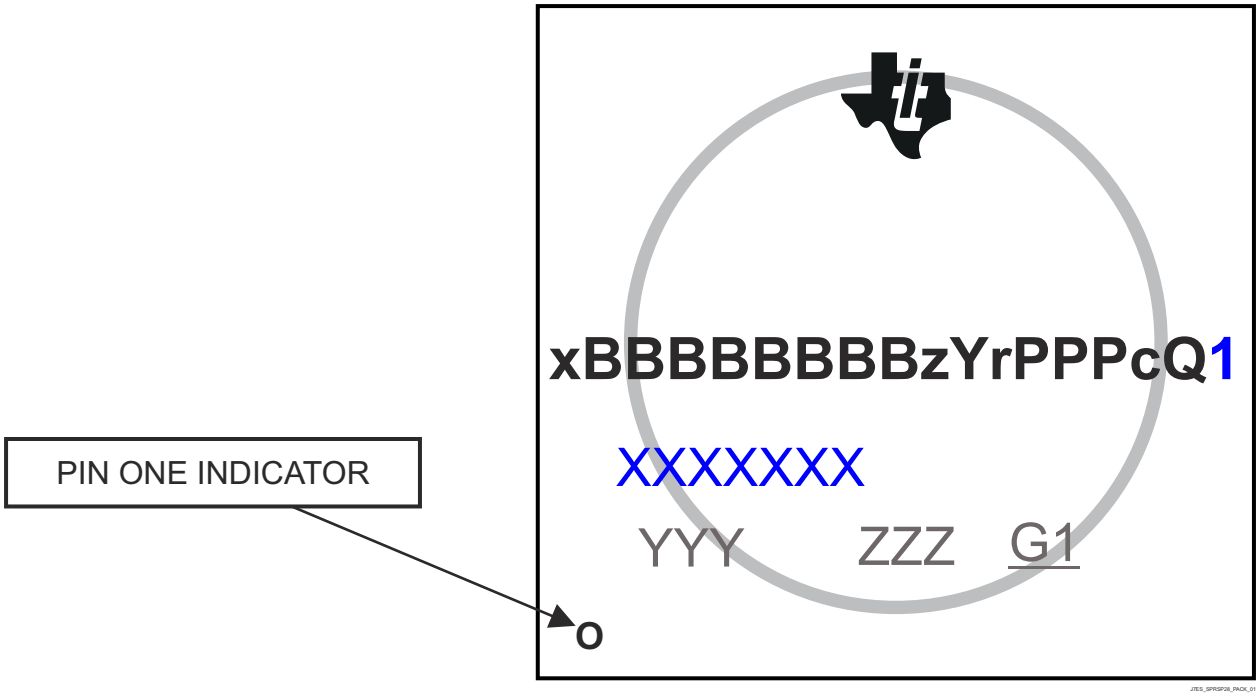


図 9-1. 印刷されたデバイス参照

Copyright © 2026 Texas Instruments Incorporated

9.1.2 デバイスの命名規則

表 9-1. 項目名の説明

フィールド パラメータ	フィールドの説明	値		説明
		マーキング	注文可能製品	
X (1)	デバイスの開発段階	X		プロトタイプ
		P		量産前(量産テスト フロー、信頼性データなし)
		空白		量産出荷中
BBBBBBBB(3)	基本量産型番	J7200		表 4-1、製品比較表を参照
		DRA821U4		
		DRA821U2		
z	デバイスの速度	T		表 6-1 の「速度グレードの最大周波数」を参照
		L		
		E		
		C		
		その他		他の速度グレード
Y	デバイス タイプ(4)	G		汎用
		C		汎用、R5F ロックステップ対応
		0		高度セキュリティ対応
		5		高度セキュリティ対応、R5F ロックステップ対応
		R		高度セキュリティ プライム(4) 対応、R5F ロックステップ対応
		D		高度セキュリティ対応、R5F ロックステップ対応、顧客向け開発キー (開発中製品)(5)
		P		高度セキュリティ プライム(4) 対応、R5F ロックステップ対応、顧客向け開発キー (開発中製品)(5)
r	デバイス リビジョン	A または 空白		SR 1.0
		B		SR 2.0
PPP	パッケージ記号	ALM		ALM FCBGA-N433 (17.2mm × 17.2mm) パッケージ
c	キャリア識別記号	該当なし	空白	トレイ
	キャリア識別記号	該当なし	R	テープ アンド リール
Q1(2)	車載識別記号	空白		車載認定なし。 T_J = -40°C ～ 105°C に対応
		Q1		このドキュメント (データシート) に記載されている例外を除き、AEC-Q100 認定要件に適合。 T_J = -40°C ～ 125°C に対応
XXXXXXX	ロットのトレース コード	マークあり	該当なし	ロットのトレース コード(LTC)
YYY	量産コード	マークあり	該当なし	量産コード、テキサス・インスツルメンツでのみ使用
ZZZ	量産コード	マークあり	該当なし	量産コード、テキサス・インスツルメンツでのみ使用
O	ピン 1	マークあり	該当なし	ピン 1 の指定子
G1	ECAT	マークあり	該当なし	ECAT — グリーン パッケージ指定子

(1) 製品開発サイクルの段階を示すために、TI では型番に接頭辞を割り当てます。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプから、完全認定済みの量産デバイスまであります。
プロトタイプ デバイスは、次の免責事項付きで出荷されます。
「この製品はまだ開発中であり、社内での評価を目的としています」。
テキサス・インスツルメンツはこれらのデバイスについて、これに反するような条項が存在していても、明示的、暗黙的、法定にかかわらず、商用性や特定目的への適合性への暗黙的な保証も含め、一切の責任を負いません。
(2) デバイスの接合部の最大温度に適用されます。
(3) XJ7200GALM の基本型番に X スピード グレード表示が付いたものは、スーパーセット デバイスの型番です。ソフトウェアは、目的の量産デバイスに合わせて、使用する機能と速度に制約を加える必要があります。

Copyright © 2026 Texas Instruments Incorporated

(4) 高度セキュリティ (HS) デバイスをサポートするには、0、5、または D のデバイス タイプを TI は推奨します。R および P (高度セキュリティ プライム) デバイス タイプは、ほとんどのアプリケーションには推奨されません。製造プロセスで追加のステップが必要になるため、これらのデバイス タイプはより高い価格で提供されています。
(5) 量産開始前の J7200 デバイスのみで利用可。(事前情報 / 開発中製品)

注

記号または型番の空白は省略されるため、前後の文字は連続して表記されます。

Copyright © 2026 Texas Instruments Incorporated

9.2 ツールとソフトウェア

DRA821 プラットフォームの開発を支援するため、以下の製品を使用できます。

開発ツール

Code Composer Studio™ 統合開発環境 Code Composer Studio (CCS) 統合開発環境 (IDE) は、テキサス・インスツルメンツのマイクロコントローラと組込みプロセッサのポートフォリオをサポートする開発環境です。Code Composer Studio は、組み込みアプリケーションの開発およびデバッグに必要な一連のツールで構成されています。最適化 C/C++コンパイラ、ソース コード エディタ、プロジェクト ビルド環境、デバッガ、プロファイラなど、多数の機能が含まれています。IDE は直感的で、アプリケーションの開発フローの各段階を、すべて同一のユーザー インターフェイスで実行できます。使い慣れたツールとインターフェイスにより、ユーザーは従来より迅速に作業を開始できます。Code Composer Studio は、Eclipse ソフトウェア フレームワークの利点と、テキサス・インスツルメンツの先進的な組み込みデバッグ機能の利点を組み合わせて、組み込み製品の開発者向けの魅力的で機能豊富な開発環境を実現します。

SYSCONFIG Tool システムコンフィギュレーション ツール：構成に関する課題を簡素化し、ソフトウェア開発を迅速化できるように、TI は SysConfig を開発しました。このツールは直観的で包括的なグラフィカルユーティリティの集合体であり、ピン、ペリフェラル、無線、サブシステム、その他のコンポーネントを構成できます。SysConfig を使用すると、競合の管理、表面化、解決をビジュアルな方法で実行できるので、より多くの時間をアプリケーションの差異化に割り当てることができます。SysConfig ツールは Code Composer Studio™ (CCS) IDE に統合されており、スタンドアロン インストーラとしても提供されています。また、dev.ti.com クラウド ツール ポータルからも使用できます。

プロセッサ プラットフォーム用の開発サポート ツールすべての一覧については、テキサス・インスツルメンツの Web サイト (ti.com) を参照してください。価格と在庫状況については、お近くのフィールド セールス オフィスまたは認可代理店にお問い合わせください。

Copyright © 2026 Texas Instruments Incorporated

9.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

以下のドキュメントには、DRA821 デバイスについて記載されています。

テクニカル リファレンス マニュアル

「**J7200/DRA821 プロセッサシリコンリビジョン 1.0 テキサス・インスツルメンツテクニカルリファレンスマニュアル**」には、DRA821 ファミリデバイスの各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミングモデルの詳細が記載されています。

エラッタ

「**J7200/DRA821 プロセッサシリコンリビジョン 1.0、シリコンエラッタ**」には、デバイスの機能仕様に関する既知の例外が記載されています。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

I2C™ is a trademark of NXP Semiconductors.
eMMC™ is a trademark of MultiMediaCard Association.
Xccela™ is a trademark of Micron Technology, Ink.
HyperBus™ is a trademark of Mobiveil Inc.
Jacinto™, Code Composer Studio™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
CoreSight™ is a trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
PCI-Express® is a registered trademark of PCI-SIG.
I3C® is a registered trademark of MIPI Alliance, Inc.
Secure Digital® is a registered trademark of SD Card Association.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2026 Texas Instruments Incorporated

10 改訂履歴

Changes from JUNE 30, 2023 to JUNE 9, 2026 (from Revision E (June 2023) to Revision F (June 2026)) **Page**

- グローバル:該当する場合、PMIC_WAKE0 および PMIC_WAKE1 信号の信号タイプ「OD」を「O」に更新 / 変更し、接尾辞「n」を削除 ... 1
- (特長):「DMIPS」に関する記述を削除 ... 1
- (機能ブロック図):SDK ソフトウェア ビルド シートの注を追加 ... 3
- (デバイスの比較):SDK ソフトウェア ビルド シートの注を追加 ... 6
- (デバイスの比較):JTAG ユーザー ID レジスタ ビット フィールド [CTRLMMR_WKUP_JTAG_USER_ID[31:16] 「DEVICE_ID」] を追加しました。GPN ごとに DEVICE_ID ビット フィールド値を関連付けました。さらに、関連する脚注を追加/変更しました ... 6
- (ピン属性):「ピン属性」表の MMC0_* ピンの BALL RESET STATE 列にリセット状態を追加 ... 10
- (システム信号の説明):OBSCLK 信号の説明を更新 ... 80
- (VMON 信号の説明):VMON2_IR_VCPU 信号の説明を更新 ... 81
- (SERDES の電気的特性):「USXGMII サポート…」の注を更新 ... 110
- (OTP eFuse プログラミングの推奨動作条件):VDD_CORE および VDD_MCU パラメータの説明から OPP NOM (BOOT) への参照を削除しました ... 111
- (ハードウェア保証への影響):段落の「その結果、TI には……」の文を更新/変更 ... 112
- (温度センサの特性):ダイ温度センサの特性に関する電圧および温度モジュール (VTM) を規定する荒らしいセクションを追加 ... 113
- (MCU およびメイン ドメインの結合パワーアップ シーケンシング):「VDD_MCU は…デジタル電圧ドメインであり…」で始まる注を更新、VDD_MCU のグループ化とシーケンスの制約を明確化。 ... 116
- (MCU とメイン ドメインの結合パワーダウン シーケンス - オプション 1):「オプション 1」を追加 ... 118
- (MCU とメイン ドメインの結合パワーダウン シーケンス - オプション 2):「オプション 2」セクション (新規) を追加 ... 118
- (MCU およびメイン ドメインが独立している場合のパワーアップ シーケンシング):「VDD_MCU はデジタル電圧ドメインであり…」で始まる注を更新し、VDD_MCU のグループ化とシーケンスの制約を明確化 ... 121
- (MCU およびメイン ドメインが独立している場合のパワーダウン シーケンシング - オプション 1):「オプション 1」を追加 ... 124
- (MCU およびメイン ドメインが独立している場合のパワーダウン シーケンシング - オプション 2):「オプション 2」セクション (*新規*) を追加 ... 124
- (独立したマイコンおよびメインドメイン、マイコンのみ状態への移行および復帰シーケンス):「WKUP_*」とラベル表示された発振器の波形を更新し、これらの信号がアクティブのままであることを示しました。マイコン側でブートモードの再ラッチが発生しないため、MCU_PORz 波形がアサートされたままであることを反映するように更新しました。 ... 126
- (独立した MCU およびメイン ドメイン、DDR 保持状態への移行および復帰):「WKUP_*」とラベル表示された発振器の波形を更新し、これらの信号がアクティブのままであることを示しました。マイコン側でブートモードの再ラッチが発生しないため、MCU_PORz 波形がアサートされたままであることを反映するように更新しました。 ... 127
- (独立したマイコンとメインドメイン、GPIO 保持への移行および復帰シーケンス):「WKUP_*」とラベル表示された発振器の波形を更新し、これらの信号がアクティブのままであることを示しました。マイコン側でブートモードの再ラッチが発生しないため、MCU_PORz 波形がアサートされたままであることを反映するように更新しました。 ... 128
- (システムのタイミング):システムタイミング条件表を削除し、リセット、安全信号、クロックタイミングの専用タイミング条件の表を導入しました ... 130
- (WKUP_OSC0 内部発振器クロック ソース):WKUP_OSC0 水晶振動子の電気的特性表にある水晶振動子回路のシャント容量、C_{shunt} の内容を更新 / 変更 ... 141
- (OSC1 のスイッチング特性 – 水晶振動子モード [表]):XI および XO 容量の最大値を更新 / 変更 ... 146
- (補助 OSC1 内部発振器クロック ソース):OSC1 水晶振動子の電気的特性表にある水晶振動子回路のシャント容量、C_{shunt} の内容を更新 / 変更 ... 146

Copyright © 2026 Texas Instruments Incorporated

- (MCSPI のタイミング要件 - コントローラ モード):SM1、tc(spiclk)、サイクル時間、SPI_CLK の最小値を「20.8」から「20」ns に更新 / 変更 203
- (MCSPI のスイッチング特性 - ペリフェラル モード):SS1、tc(spiclk)、サイクル時間、SPI_CLK の最小値を「20.8」から「20」ns に更新 / 変更 206
- (すべてのタイミング モードに対する MMC0 DLL 遅延マッピング):MMCSD0_SS_PHY_CTRL_1_REG[x=1] の新しい列と、すべての動作モードに関連する値を追加。HS DDR モードの ITAPDLYSEL ビットフィールド値を更新。レガシー SDR モードと HS SDR モードについて、SELDLYTXCLK、SELDLYRXCLK、FRQSEL ビットフィールドを更新。さまざまな NA オプション、0x1 または 0x3、およびチューニング値を定義する脚注を追加。 209
- (HS200 モード):MMC0 のタイミング要件を追加 214
- (HS400 モード):出力セットアップ時間と出力ホールド時間を使用するように、MMC0 HS400 モードのタイミング パラメータを更新 / 変更 215
- (すべてのタイミング モードに対する MMC1/2 DLL 遅延マッピング):MMCSD12_SS_PHY_CTRL_5_REG レジスタ列を削除。「デフォルト スピード」モードと「ハイスピード」モードの OTAPDLYENA および OTAPDLYSEL ビットフィールドの値を更新。NA とチューニングの値を定義する脚注を追加。 216
- (OSPIx のタイミング条件):入力スルーレートの最小時間を 1ns から 0.75ns に更新。このモードに有効な 1.8V、PHY データトレーニング DDR を DQS ラベル付きで追加 224
- (OSPI のスイッチング特性 – データ トレーニング):DDR 1.8V、3.3V および SDR 1.8V、3.3V モードの $t_{c(CLK)}$、サイクル時間、CLK に最大値を追加 225
- (OSPI のタイミング要件 – DDR モード):DDR モードの OSPI タイミング要件に 1.4ns の最小入力データ有効期間を追加 227
- (OSPI のタイミング要件 – SDR モード):SDR モードの OSPI タイミング要件に 1.7ns の最小入力データ有効ウィンドウを追加 228
- (電源マッピング):「VDD_MCU はデジタル電圧ドメインであり…」で始まる注を更新し、VDD_MCU のグループ化とシーケンスの制約を明確化 244
- (システム電源監視設計ガイドライン):VMON2_IR_VCPU 設計ガイドラインを更新 253

Copyright © 2026 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

11.1 パッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRA821U2CGBALM	Active	Production	FCBGA (ALM) | 433	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	DRA821U2CGBALM 357 357 G1
DRA821U2CGBALM.B	Active	Production	FCBGA (ALM) | 433	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	DRA821U2CGBALM 357 357 G1
DRA821U2CGBALMR	Active	Production	FCBGA (ALM) | 433	500 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	DRA821U2CGBALM 357 357 G1
DRA821U2CGBALMR.B	Active	Production	FCBGA (ALM) | 433	500 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	DRA821U2CGBALM 357 357 G1
DRA821U4TCBALMQ1	Active	Production	FCBGA (ALM) | 433	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	DRA821U4TCBALMQ1 357 357 G1
DRA821U4TCBALMQ1.B	Active	Production	FCBGA (ALM) | 433	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	DRA821U4TCBALMQ1 357 357 G1
DRA821U4TCBALMRQ1	Active	Production	FCBGA (ALM) | 433	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	DRA821U4TCBALMQ1 357 357 G1
DRA821U4TCBALMRQ1.B	Active	Production	FCBGA (ALM) | 433	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	DRA821U4TCBALMQ1 357 357 G1
DRA821U4TGBALM	Active	Production	FCBGA (ALM) | 433	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	DRA821U4TGBALM 357 357 G1
DRA821U4TGBALM.B	Active	Production	FCBGA (ALM) | 433	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	DRA821U4TGBALM 357 357 G1
DRA821U4TGBALMR	Active	Production	FCBGA (ALM) | 433	500 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	DRA821U4TGBALM 357 357 G1

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRA821U4TGBALMR.B	Active	Production	FCBGA (ALM) | 433	500 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	DRA821U4TGBALM 357 357 G1

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF DRA821U, DRA821U-Q1 :

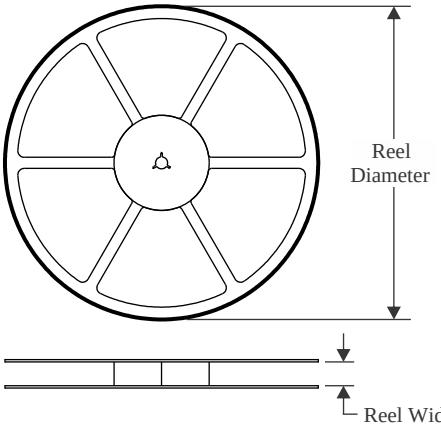
- Catalog : DRA821U
- Automotive : DRA821U-Q1

NOTE: Qualified Version Definitions:

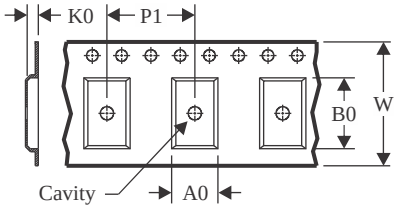
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

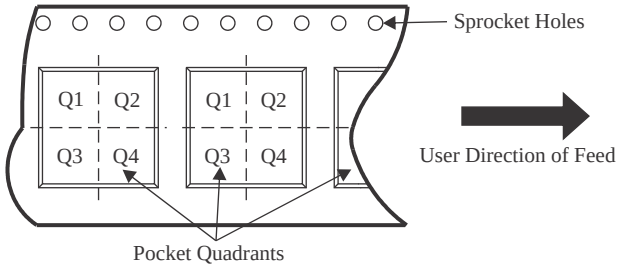


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

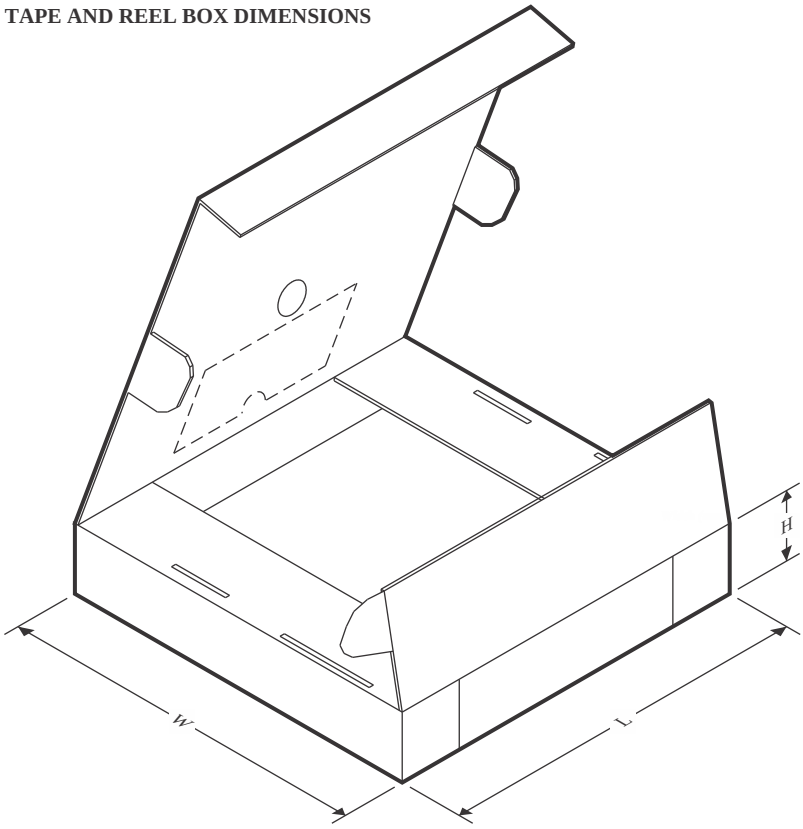
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRA821U2CGBALMR	FCBGA	ALM	433	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
DRA821U4TGBALMR	FCBGA	ALM	433	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1

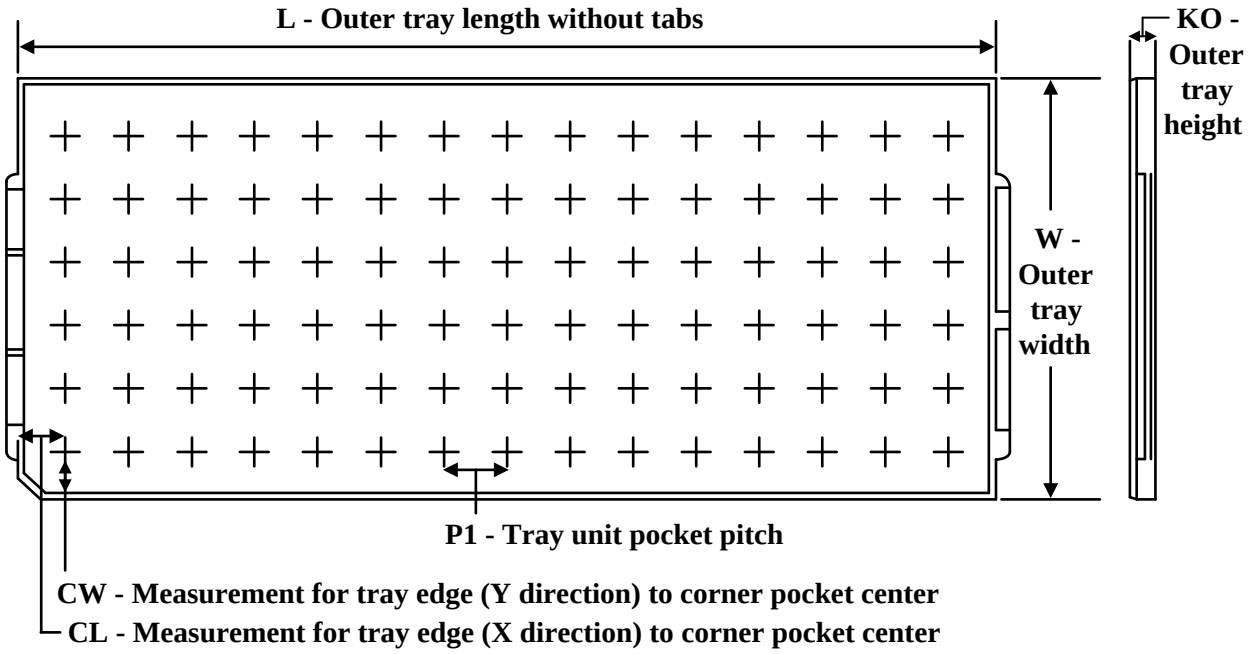
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRA821U2CGBALMR	FCBGA	ALM	433	500	336.6	336.6	41.3
DRA821U4TGBALMR	FCBGA	ALM	433	500	336.6	336.6	41.3

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

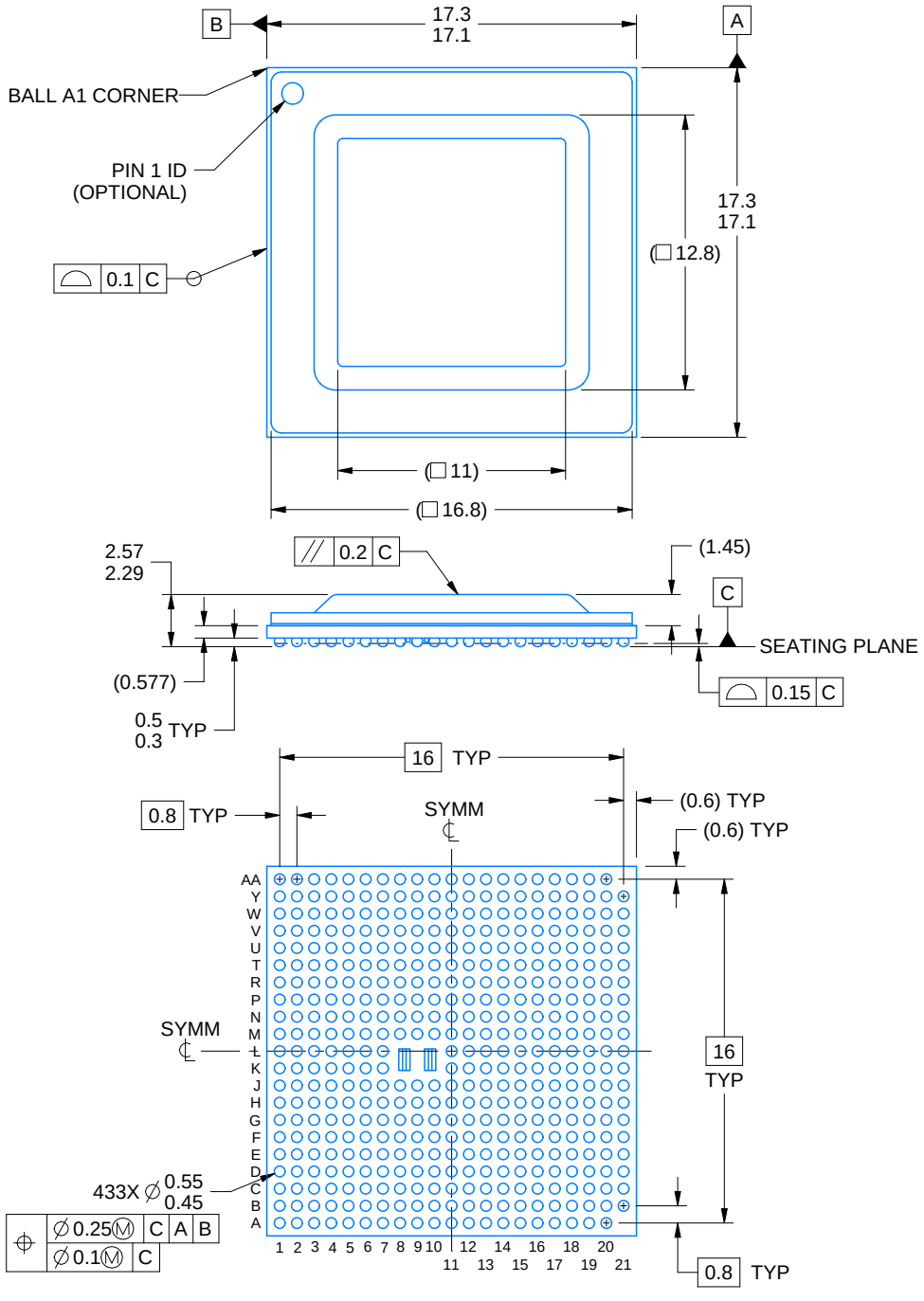
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
DRA821U2CGBALM	ALM	FCBGA	433	84	6 X 14	150	315	135.9	7620	22	14.5	14.45
DRA821U2CGBALM.B	ALM	FCBGA	433	84	6 X 14	150	315	135.9	7620	22	14.5	14.45
DRA821U4TCBALMQ1	ALM	FCBGA	433	84	6 X 14	150	315	135.9	7620	22	14.5	14.45
DRA821U4TCBALMQ1.B	ALM	FCBGA	433	84	6 X 14	150	315	135.9	7620	22	14.5	14.45
DRA821U4TGBALM	ALM	FCBGA	433	84	6 X 14	150	315	135.9	7620	22	14.5	14.45
DRA821U4TGBALM.B	ALM	FCBGA	433	84	6 X 14	150	315	135.9	7620	22	14.5	14.45

PACKAGE OUTLINE

ALM0433A

FCBGA - 2.57 mm max height

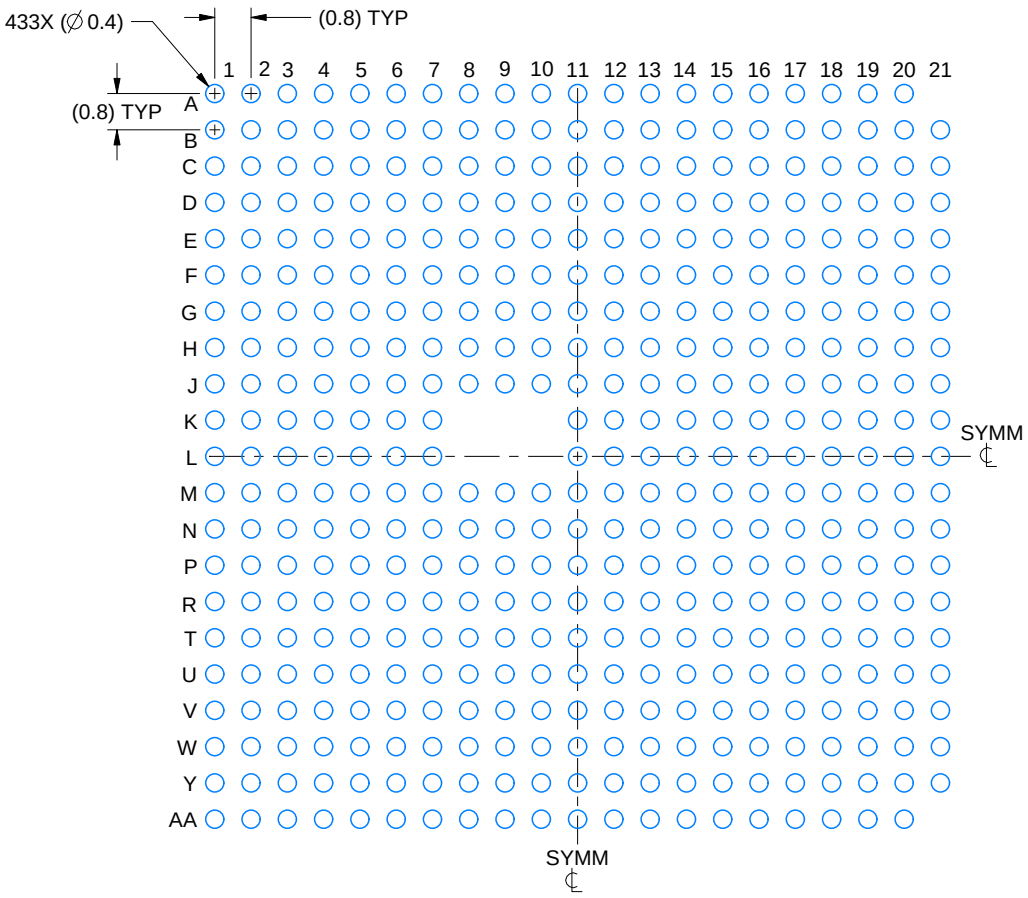
BALL GRID ARRAY



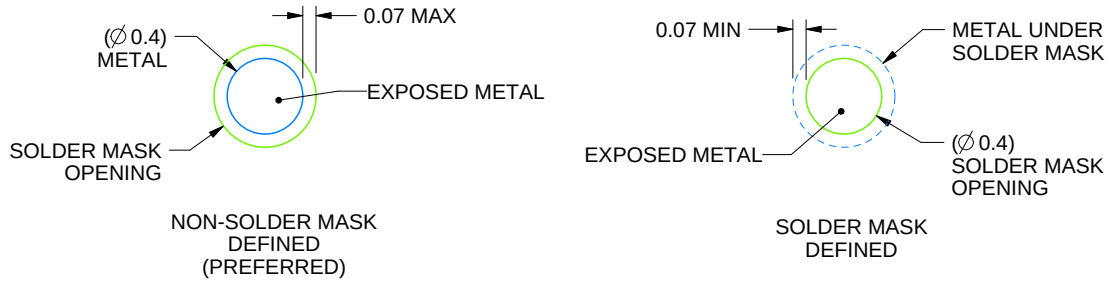
4225658/A 01/2020

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SNOWN
SCALE:6X

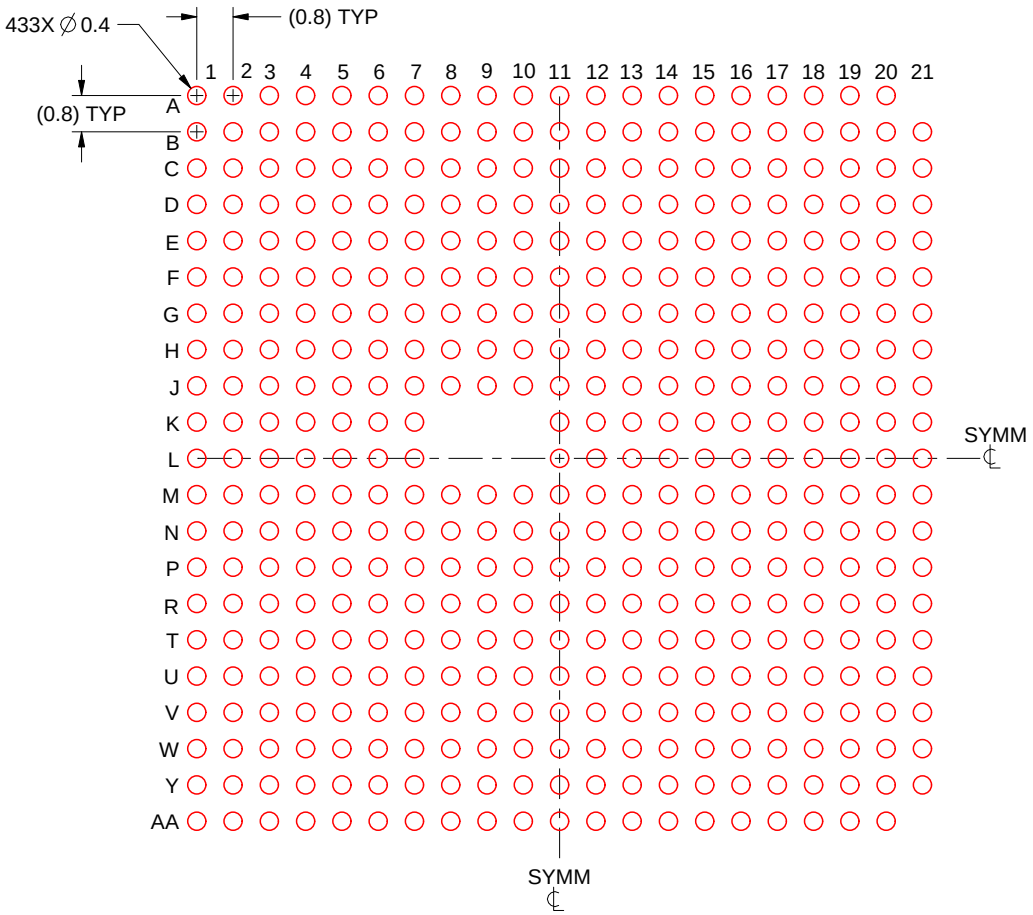


SOLDER MASK DETAILS
NOT TO SCALE

4225658/A 01/2020

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE: 6X

4225658/A 01/2020

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月