DRV3901-Q1 車載 EV パイロヒューズ向けシングル チャネル スクイブ ドライバ

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
  - 温度グレード 1:-40°C ～ +125°C、T_A
- 機能安全準拠
  - 機能安全アプリケーション向けに開発
  - ASIL D までの ISO26262 システム設計を支援するドキュメント
- 車載用 EV パイロヒューズ アプリケーション向け、高集積スクイブ ドライバ ソリューション
  - 電源、電流レギュレーション、診断、安全機能の統合
  - SPI またはハードウェア ピン ベースのトリガにより柔軟性あるインターフェイス オプションと迅速な発火反応を実現
  - システムのエネルギー リザーバ コンデンサとスクイブの状態監視向け診断機能
  - 電源、インターフェイス、ドライバ、モニタの内蔵セルフ テストおよび診断機能
  - 冗長電源、ローサイドおよびハイドライバ ドライバ、2 次側監視ロジックにより信頼性の高い動作を実現するアーキテクチャ
- 動作範囲:最大 28V (絶対最大定格 40V)
- 小型 HVSSOP-28 (DGQ) リード付きパッケージ
- 保護された電流制御ハイサイド スイッチと保護された 2 次側ローサイド スイッチを搭載した 2 線式負荷インターフェイス
- 内蔵チャージ ポンプにより MOSFET のドロップアウト電圧を最小化
- CRC 保護機能搭載 4 線式アドレス指定可能 24 ビット SPI
  - 同じ SPI 上で複数のデバイスを動作可能
  - 複数のデバイスへのブロードキャスト コマンドが可能。
- 構成可能な展開電流 (1.2 A / 2 ms, 1.75 A / 0.5 ms, up to 3.4 A / 0.5 ms)
- 構成可能な展開インターフェイス オプション
  - PWM またはレベル信号付き 2 ピン ハードウェア トリガ
  - CRC による保護された SPI コマンド
- 包括的なオフ状態診断
  - デバイス内蔵セルフ テスト
  - ドライバ出力およびスイッチのテスト
  - インターフェイス テスト
  - エネルギー リザーバ コンデンサ テスト
  - スクイブ抵抗テスト
- 構成可能なフォルト インジケータ (nFAULT)

2 アプリケーション

- スクイブ ドライバ
- 車載用 EV パイロヒューズ
- バッテリ切り離しユニット
- バッテリ ジャンクション ボックス

パッケージ情報

部品番号 (1)	パッケージ	パッケージ・サイズ (公称)(2)
DRV3901-Q1	HVSSOP (28)	7.3mm × 4.9mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ・サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。

製品情報

主要な機能
保護されたハイサイドおよびローサイド・アーキテクチャ
電流導入オプションを設定可能
直接ハードウェア・ピン・トリガ・インターフェイス
エネルギー・リザーバ・コンデンサの診断
包括的なオフ状態診断
アドレス指定可能な 24 ビット SPI

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

3 概要

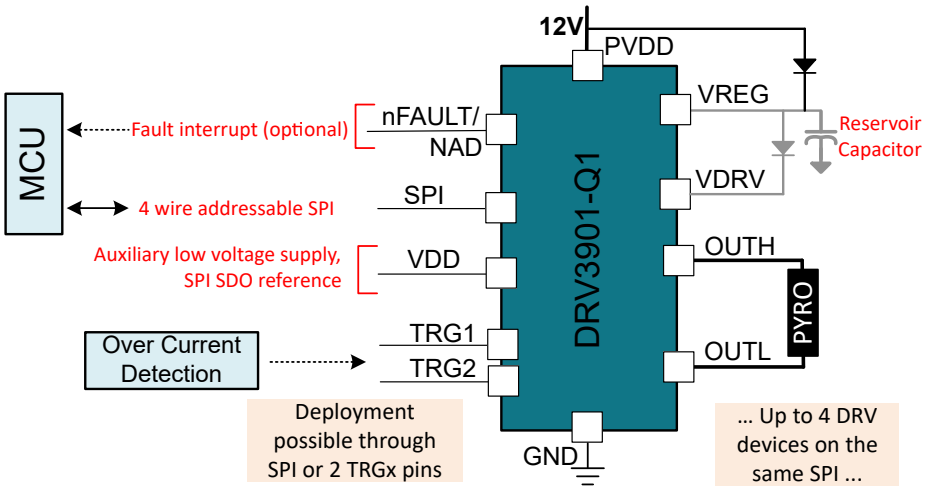
DRV3901-Q1 は、車載用 EV パイロヒューズ アプリケーションを対象とした高集積スクイブ ドライバです。スクイブ負荷の駆動に必要な電源、電流センシングおよびレギュレーション、診断および保護機能を備えています。このデバイスには、従来のスクイブ ドライバとは異なる、デバイス固有の重要な機能がいくつか組み込まれています。これらの機能には、ハードウェア ピン トリガ インターフェイス、エネルギー リザーバ コンデンサ診断、アドレス指定可能な SPI、チャージ ポンプを内蔵した最適化されたドライバ段、追加の展開電流オプションが含まれます。

ハードウェア ピン トリガ (TRGx) インターフェイスを使用すると、展開コマンドをハードウェアで DRV3901-Q1 に直接発行できます。この結果、マイコンのハードウェア ピンを使用して展開をトリガする、過電流センサを使用して直接トリガする、他の外部ハードウェア回路モニタを使用してトリガするという柔軟性があります。ハードウェアのトリガ ピンは、スレッショルドまたは PWM ベースの両方のオプションを持つ 2 ピン インターフェイスをサポートしているため、誤展開に対して堅牢性を保証すると同時に、各種のインターフェイス オプションを柔軟に実現します。さらに、CRC 保護された展開コマンドは、2 次的方法として SPI バスを介して送信できます。

システムのエネルギー リザーバ コンデンサの診断をサポートするため、DRV3901-Q1 はリザーバ コンデンサの放電電圧をバイアスおよび監視できるようスイッチと監視回路を内蔵しています。これにより、デバイスと外部マイコンは、通常動作でのリザーバ コンデンサの損失 / 障害、またはその近似値を検出できます。

アドレス指定可能な SPI により、1 つの共有 SPI バスで複数のデバイスを制御できます。必要なマイコン リソースの削減に加えて、アドレス指定可能な SPI にはブロードキャスト コマンド構造が組み込まれており、複数のドライバを調整して、同時にまたは時差動遅延でトリガできます。SPI には、CRC、アドレス読み戻し機能、各種バス フォルト検出メカニズムなど、複数の堅牢性機能が組み込まれています。

電力段は保護されたハイサイドおよびローサイド・スイッチを利用して、さまざまなフォルト条件による意図しない駆動に対する堅牢性を確保します。内蔵チャージ・ポンプにより、展開時のスイッチ両端でのドロップアウト電圧が最小限に抑えられ、低い電源電圧までの動作が可能になります。さまざまな種類のスクイブ負荷や特定のアプリケーション要件に合わせて最適化するために、幅広い展開オプションが利用できます。



概略回路図

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 2
4 ピン構成および機能 ... 4
5 仕様 ... 6
5.1 絶対最大定格 ... 6
5.2 推奨動作条件 ... 6
5.3 ESD 定格 ... 7
5.4 熱に関する情報 ... 7
5.5 電気的特性 ... 7
5.6 SPI のタイミング要件 ... 15
5.7 タイミング図 ... 16
5.8 代表的特性 ... 16
6 詳細説明 ... 18
6.1 概要 ... 18
6.2 機能ブロック図 ... 19
6.3 機能説明 ... 20
6.4 デバイスの機能モード ... 47
6.5 プログラミング ... 49
7 レジスタ マップ ... 54
7.1 STATUS レジスタ ... 56
7.2 MEAS レジスタ ... 62
7.3 CONFIG レジスタ ... 66
7.4 CMD レジスタ ... 74
8 アプリケーションと実装 ... 78
8.1 使用上の注意 ... 78
8.2 代表的なアプリケーション ... 78
8.3 電源に関する推奨事項 ... 85
8.4 レイアウト ... 85
9 デバイスおよびドキュメントのサポート ... 87
9.1 ドキュメントの更新通知を受け取る方法 ... 87
9.2 サポート・リソース ... 87
9.3 静電気放電に関する注意事項 ... 87
9.4 用語集 ... 87
10 改訂履歴 ... 87
11 メカニカル、パッケージ、および注文情報 ... 88

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

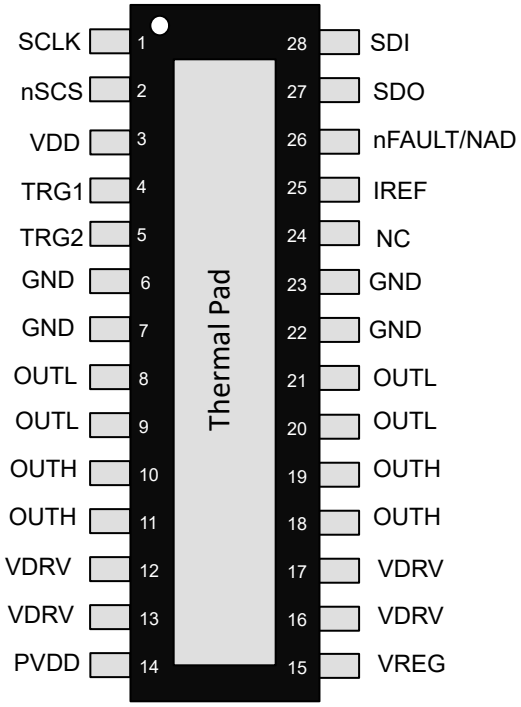


Figure not drawn to scale

図 4-1. DRV3901-Q1 HVSSOP 28 ピン (DGQ) パッケージ ピン配置図

Copyright © 2026 Texas Instruments Incorporated

表 4-1. DRV3901-Q1 HVSSOP 28 ピン (DGQ) パッケージ ピン機能

ピン		I/O	タイプ	説明
番号	名称			
1	SCLK	I	デジタル	シリアル クロック入力。シリアル データは立ち下がりエッジでキャプチャされ、立ち上がりエッジでシフト アウトされます。GND への内部プルダウン抵抗。
2	nSCS	I	デジタル	シリアル チップ選択。このピンのロジック LOW により、シリアル インターフェイス通信が可能になります。V5_S への内部プルアップ抵抗。
3	VDD	I	電源	デバイスの低電圧および補助電源。詳細については、「セクション 6.3.2」セクション を参照してください。
4	TRG1	I	デジタル	直接ハードウェア トリガ インターフェイス ピン。詳細については、セクション「セクション 6.3.4」を参照してください。
5	TRG2	I	デジタル	直接ハードウェア トリガ インターフェイス ピン。詳細については、セクション「セクション 6.3.4」を参照してください。
6、7 22、23	GND	I	電源	デバイスのグランド。システム グランドに接続。
8、9、20、21	OUTL	O	電源	ドライバ ローサイド出力。負荷の負の側に接続します。
10、11、18、19	OUTH	O	電源	ドライバ ハイサイド出力。負荷の正の側に接続します。
12、13、16、17	VDRV	I	電源	デバイスの 1 次側電源。詳細については、「セクション 6.3.2」セクション を参照してください。
14	PVDD	I	アナログ	オプションのリザーバ コンデンサ診断のデバイス接続。詳細については、「セクション 6.3.2」セクション を参照してください。
15	VREG	O	アナログ	オプションのリザーバ コンデンサ診断のデバイス接続。詳細については、「セクション 6.3.2」セクション を参照してください。
24	NC	NC	NC	内部ノー コネクション。GND に接続。
25	IREF	O	アナログ	内部電流診断のリファレンス抵抗。
26	nFAULT/NAD	O	デジタル	外部抵抗によりデバイス アドレスを設定します。通常動作時にフォルトを通知するオープン ドレイン出力。詳細については、「セクション 6.3.8」セクション を参照してください。
27	SDO	O	デジタル	シリアル データ出力。データは、SCLK ピンの立ち上がりエッジでシフト アウトされます。プッシュプル出力。
28	SDI	I	デジタル	シリアル データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます。GND への内部プルダウン抵抗。
該当なし	TPAD	該当なし	該当なし	デバイス サーマル パッド。GND に接続。

注

必要な外付け部品接続とオプションの詳細については、セクション「セクション 6.3.1」を参照してください。

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電源ピン電圧	VDRV、VREG、PVDD	-0.3	40	V
電源過渡電圧ランプ	VDRV、VREG、PVDD		1	V/µs
低電圧電源ピン	VDD	-0.3	40	V
電源過渡電圧ランプ	VDD		2	V/µs
出力ピンの電圧 (GND を基準とする)	OUTH、OUTL(3)	-0.9	40	V
出力ピンの電流	OUTH、OUTL	内部で制限(2)		A
トリガ ピン電圧	TRG1、TRG2	-0.3	40	V
nFAULT/NAD ピン電圧	nFAULT/NAD	-0.3	40	V
SPI 入力ピン電圧	SDI、nSCS、SCLK	-0.3	40	V
SPI 出力ピン電圧	SDO	-0.3	40	V
IREF ピン電圧	IREF	-0.3	5.5	V
周囲温度、T_A		-40	125	°C
接合部温度、T_J		-40	150	°C
保管温度、T_{stg}		-65	150	°C

(1) 「絶対最大定格」に記載の値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて言及して、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) デバイスの過電流および過熱保護機能により制限されます
(3) OUTL ピン電圧は、OUTH と OUTL の間の抵抗性負荷 (スクイブ) を想定しています。

5.2 推奨動作条件

動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{SUPPLY}	電源電圧(2)	PVDD、VREG、VDRV	5		28(1)	V
V_{VDD}	ロジック電源電圧(2)	VDD	4.5		5.5	V
V_{LOGIC}	コントローラ ピン電圧	TRG1、TRG2、nFAULT/NAD	0		5.5	V
V_{SPI_IOS}	SPI ピン電圧	SDI、SDO、nSCS、SCLK	0		5.5	V
T_A	動作時周囲温度		-40		125	°C
T_J	動作時接合部温度		-40		150	°C

(1) デバイスの過電流および過熱保護機能により制限されます。
(2) 電源電圧範囲の詳細については、「電源およびモニタ」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.3 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002[1] HBM ESD 分類レベル 2 準拠	PVDD、VDRV、VREG、OUTH、OUTL、GND	±4000	V
			その他のすべてのピン	±2000	
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	角のピン	±750	
			その他のピン	±500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.4 熱に関する情報

熱評価基準[1]		HVSSOP (28)	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	31	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	29.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	9.3	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.4	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	9.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	1.3	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

5V < V_{VDRV} < 28V、4.5V < V_{VDD} < 5.5V、-40°C < T_J < 125°C、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
VDRV および VDD 電源						
V_{VDRV_REV}	逆電流時の電源ピン電圧	I(VDRV) = –1A、電源が供給されていない状態のデバイス		-2		V
I_{VDRV_STBY}	STANDBY 状態の VDRV 電流	ドライバ ハイ インピーダンス、オフ状態診断ディスエーブル			2.5	mA
I_{VDD_STBY}	スタンバイ状態の VDD 電流	ドライバ ハイ インピーダンス、VDRV = 0V (SPI アクティビティなし)			2.5	mA
I_{VDD_PEAK}	1 SCLK サイクルにおいて SDO バスが競合している (データの衝突がある) 場合のピーク VDD 電流				40	mA
t_{READY}	POR からデバイスがコマンドを受け入れる準備ができるまでのパワーアップ時間	VDRV 電源パワーアップの立ち上がり			1	ms
I_{VDRV_VDD}	VDRV から VDD へのリーク電流	VDRV = 13.5V、VDD = 0V			25	µA
I_{VDRV_VDD}	VDRV から VDD へのリーク電流	VDRV = 0V、VDD = 5V	-3			µA
リセット (nPOR)						
$V_{VDRV_RST_FALL}$	リセットが発生した際、VDD がハイ インピーダンスの場合、VDRV の電圧が低下します	VDD = 0V	2.5		3.5	V
$V_{VDRV_RST_RISE}$	VDD が Hi-Z の場合のリセット解除時の VDRV 立ち上がりレベル	VDD = 0V	3		4	V
$V_{VDD_RST_FALL}$	リセットが発生した際、VDRV がハイ インピーダンスの場合、VDD の電圧が低下します	VDRV = 0V	2.5		3.5	V
$V_{VDD_RST_RISE}$	VDRV が Hi-Z の場合のリセット解除時の VDD 立ち上がりレベル	VDRV = 0V	3		4	V
t_{RST}	リセット時のアナログ フィルタ時間	パワーアップ時に有効		13		µs
VDRV モニタ						

Copyright © 2026 Texas Instruments Incorporated

5V < V_{VDRV} < 28V、4.5V < V_{VDD} < 5.5V、-40°C < T_J < 125°C、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{VDRV_UV_BIAS_FALL}$	立ち下がり時の VDRV BIAS 低電圧スレッショルド	VDD > 4.5V	2.5		3.4	V
$V_{VDRV_UV_BIAS_RISE}$	立ち上がり時の VDRV BIAS 低電圧スレッショルド	VDD > 4.5V	2.7		3.6	V
$V_{VDRV_UV_BIAS_HYST}$	VDRV BIAS 低電圧ヒステリシス	VDD > 4.5V		0.2		V
$t_{VDRV_UV_BIAS}$	VDRV BIAS UV グリッチ除去時間		14.1		18.9	µs
$V_{VDRV_UV_FALL}$	立ち下がり時の VDRV 低電圧トリガ スレッショルド		4.3	4.55	4.8	V
$V_{VDRV_UV_RISE}$	立ち上がり時の VDRV 低電圧復帰スレッショルド		4.5	4.75	5	V
$V_{VDRV_UV_HYST}$	VDRV UV ヒステリシス			0.2		V
$t_{VDRV_UV_W}$	警告用の VDRV UV グリッチ除去時間		14.1		18.9	µs
t_{VDRV_UV}	VDRV UV グリッチ除去時間	VDRV_UV_FLTR = 0x0	233.1		294.5	µs
t_{VDRV_UV}	VDRV UV グリッチ除去時間	VDRV_UV_FLTR = 0x1	465.9		578.9	µs
t_{VDRV_UV}	VDRV UV グリッチ除去時間	VDRV_UV_FLTR = 0x2	698.6		863.4	µs
t_{VDRV_UV}	VDRV UV グリッチ除去時間	VDRV_UV_FLTR = 0x3	931.3		1147.8	µs
$V_{VDRV_OV_RISE}$	立ち上がり時の VDRV 過電圧トリガ スレッショルド		26	27	28	V
$V_{VDRV_OV_FALL}$	立ち下がり時の VDRV 過電圧復帰スレッショルド		25.5	26.5	27.5	V
$V_{VDRV_OV_HYST}$	VDRV 過電圧ヒステリシス			0.55		V
t_{VDRV_OV}	VDRV OV グリッチ除去時間	VDRV_OV_FLTR = 0x0	233.1		294.5	µs
t_{VDRV_OV}	VDRV OV グリッチ除去時間	VDRV_OV_FLTR = 0x1	465.9		578.9	µs
t_{VDRV_OV}	VDRV OV グリッチ除去時間	VDRV_OV_FLTR = 0x2	698.6		863.4	µs
t_{VDRV_OV}	VDRV OV グリッチ除去時間	VDRV_OV_FLTR = 0x3	931.3		1147.8	µs
$V_{VDRV_OV_W_RISE}$	立ち上がり時の VDRV 過電圧警告スレッショルド		26	27	28	V
$V_{VDRV_OV_W_FALL}$	立ち下がり時の VDRV 過電圧警告スレッショルド		25.5	26.5	27.5	V
$V_{VDRV_OV_W_HYST}$	VDRV 過電圧ヒステリシス			0.55		V
$t_{VDRV_OV_W}$	警告用の VDRV OV グリッチ除去時間		14.1		18.9	µs
VDD モニタ						
$V_{VDD_UV_FALL}$	立ち下がり時の VDD 低電圧トリガ スレッショルド		4	4.2	4.4	V
$V_{VDD_UV_RISE}$	立ち上がり時の VDD 低電圧復帰スレッショルド		4.1	4.3	4.5	V
$V_{VDD_UV_HYST}$	VDD UV ヒステリシス			0.1		V
$t_{VDD_UV_W}$	警告用の VDD UV グリッチ除去時間		14.1		18.9	µs
t_{VDD_UV}	VDD UV グリッチ除去時間	VDD_UV_FLTR = 0x0	233.1		294.5	µs
t_{VDD_UV}	VDD UV グリッチ除去時間	VDD_UV_FLTR = 0x1	465.9		578.9	µs
t_{VDD_UV}	VDD UV グリッチ除去時間	VDD_UV_FLTR = 0x2	698.6		863.4	µs
t_{VDD_UV}	VDD UV グリッチ除去時間	VDD_UV_FLTR = 0x3	931.3		1147.8	µs

Copyright © 2026 Texas Instruments Incorporated

5V < V_{VDRV} < 28V、4.5V < V_{VDD} < 5.5V、-40°C < T_J < 125°C、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{VDD_OV_RISE}$	立ち上がり時の VDD 過電圧トリガ スレッショルド		5.9	6.2	6.5	V
$V_{VDD_OV_FALL}$	立ち下がり時の VDD 過電圧復帰スレッショルド		5.5	5.8	6.1	V
$V_{VDD_OV_HYST}$	VDD 過電圧ヒステリシス			0.4		V
t_{VDD_OV}	VDD OV グリッチ除去時間	VDD_OV_FLTR = 0x0	233.1		294.5	µs
t_{VDD_OV}	VDD OV グリッチ除去時間	VDD_OV_FLTR = 0x1	465.9		578.9	µs
t_{VDD_OV}	VDD OV グリッチ除去時間	VDD_OV_FLTR = 0x2	698.6		863.4	µs
t_{VDD_OV}	VDD OV グリッチ除去時間	VDD_OV_FLTR = 0x3	931.3		1147.8	µs
VREG スイッチ						
V_{PVDD_REV}	逆電流時の電源ピン電圧	I(PVDD) = - 0.1 A、電源が供給されていない状態のデバイス		-1.1		V
V_{VREG_THRS1}	VREG スイッチが無効の場合の PVDD 未満の低電圧スレッショルド		1.7		2.3	V
V_{VREG_THRS1R}	VREG スイッチが再度有効になった場合の PVDD 未満の低電圧回復スレッショルド			1.9		V
V_{VREG_THRS2}	VREG スイッチが無効の場合の PVDD 超の過電圧スレッショルド		12		32	mV
V_{VREG_THRS2R}	回復時に VREG スイッチが再度有効になった場合の PVDD 超の過電圧スレッショルド			-100		mV
$R_{VREG_SW_ON}$	スイッチが有効の場合の PVDD と VREG 間の抵抗		10		35	Ω
$R_{VREG_SW_OFF}$	スイッチが無効の場合の PVDD と VREG 間の抵抗		800			KΩ
$t_{VREG_SW_W}$	VREG_SW 警告のグリッチ除去時間		204.8	256	307.2	µs
TRG1、TRG2 ピン						
V_{IL}	入力ロジック Low 電圧				0.7	V
V_{IH}	入力ロジック High 電圧		1.5			V
V_{IHYS}	入力ヒステリシス			0.5		V
R_{PD_TRG}	ENABLE ピンから GND への入力プルダウン抵抗	最小 VIH レベルで測定	100		200	kΩ
t_{FLTR_TRG}	ピン入力でのフィルタリング時間		1		3	µs
t_{PWM_TRG}	TRGx ピンで許容される PWM 周波数の許容誤差は展開信号 (TRGx_STAT=0x2) として受け付けられる。PWM ベースのトリガに対してのみ有効	PWM_FLTR_SEL = 0、16KHz、75%	-18		32	%
t_{PWM_TRG}	TRGx ピンで許容される PWM 周波数の許容誤差は展開信号 (TRGx_STAT=0x2) として受け付けられる。PWM ベースのトリガに対してのみ有効	PWM_FLTR_SEL = 1、16KHz、75%	-15		24	%
t_{PWM_TRG}	TRGx ピンで許容される PWM 周波数の許容誤差は展開信号 (TRGx_STAT=0x2) として受け付けられる。PWM ベースのトリガに対してのみ有効	PWM_FLTR_SEL = 2、16KHz、75%	-12		16	%
t_{PWM_TRG}	TRGx ピンで許容される PWM 周波数の許容誤差は展開信号 (TRGx_STAT=0x2) として受け付けられる。PWM ベースのトリガに対してのみ有効	PWM_FLTR_SEL = 3、16KHz、75%	-9		12	%

Copyright © 2026 Texas Instruments Incorporated

5V < V_{VDRV} < 28V、4.5V < V_{VDD} < 5.5V、-40°C < T_J < 125°C、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{PWM_TRG_TO}$	TRGx ピンが Low または High のまま動作できない状態になっていることを検出するためのタイムアウト (TRGx_STAT = 0x3)。PWM ベースのトリガに対してのみ有効		85		170	µs
t_{LVL_TRG}	レベル トリガの TRGx ピンのグリッチ除去時間		14.1		18.9	µs
SPI I/O						
R_{PU_nSCS}	nSCS から VDD に対する入力プルアップ抵抗	最小 VIH レベルで測定	100		200	kΩ
R_{PD_SDI}	SDI から GND に対する入力プルダウン抵抗	最大 VIL レベルで測定	200		400	kΩ
R_{PD_SCLK}	SCLK から GND に対する入力プルダウン抵抗	最小 VIH レベルで測定	200		400	kΩ
V_{IL_SPI}	入力ロジック Low 電圧	SDI、nSCS、SCLK ピン			0.7	V
V_{IH_SPI}	入力ロジック High 電圧	SDI、nSCS、SCLK ピン	1.5			V
V_{IHYS_SPI}	入力ヒステリシス	SDI、nSCS、SCLK ピン		0.1		V
R_{PU_SDO}	SDO から VDD に対する入力プルアップ抵抗	最大 VIL レベルで測定	500		1000	kΩ
V_{OL_SDO}	SDO 出力ロジック Low 電圧	ピンへの 0.5mA シンク			0.35	V
V_{OH_SDO}	SDO 出力ロジック High 電圧	このピンからの 0.5mA ソース	VDD - 0.35			V
I_{OH_SDO}	SDO 出力ロジック High 電流	SDO の 1V で測定			30	mA
nFAULT/NAD ピン						
R_{LVL_OORL}	抵抗値が範囲外 –下限スレッショルド				2.6	kΩ
R_{LVL1}	NAD = 00b の許容抵抗		5.04	5.6	6.16	kΩ
R_{LVL2}	NAD = 01b の許容抵抗		10.8	12	13.2	kΩ
R_{LVL3}	NAD = 10b の許容抵抗		24.3	27	29.7	kΩ
R_{LVL4}	NAD = 11b の許容抵抗		50.4	56	61.6	kΩ
R_{LVL_OORH}	抵抗値が範囲外 — 上限スレッショルド		100			kΩ
I_{nFAULT_PD}	フォルトを通知するための nFAULT ピンのプルダウン電流	V(nFAULT) = 0.3 V	5			mA
V_{IL_nFAULT}	nFAULT フィードバック バッファの入力ロジック Low 電圧	nFAULT ピン			0.5	V
V_{IH_nFAULT}	nFAULT フィードバック バッファの入力ロジック High 電圧	nFAULT ピン	1.3			V
V_{IHYS_nFAULT}	nFAULT フィードバック バッファの入力ヒステリシス	nFAULT ピン		0.1		V
t_{nFAULT_FB}	nFAULT フィードバックのグリッチ除去時間		14.1		18.9	µs
出力ドライバ						
R_{ON_LS}	ローサイド MOSFET オン抵抗	V_{VM} = 13.5V、I_O = 3A、T_J = 25℃		55		mΩ
R_{ON_LS}	ローサイド MOSFET オン抵抗	V_{VM} = 13.5V、I_O = 3A、T_J = 150℃			110	mΩ
R_{ON_HS}	ハイサイド MOSFET オン抵抗	V_{VM} = 13.5V、I_O = 3A、T_J = 25℃		55		mΩ
R_{ON_HS}	ハイサイド MOSFET オン抵抗	V_{VM} = 13.5V、I_O = 3A、T_J = 150℃			110	mΩ
E_{CLAMP}	誘導性エネルギー キックバック	ILOAD = 3.5A、L = 100µH			1	mJ
I_{OCP_HS}	HS FET に対する過電流保護スレッショルド		12		20	A

Copyright © 2026 Texas Instruments Incorporated

5V < V_{VDRV} < 28V、4.5V < V_{VDD} < 5.5V、-40°C < T_J < 125°C、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{OCP_LS}	HS FET に対する過電流保護スレッショルド		11.75		20	A
$I_{OCP_HS_RDSON}$	HS RDSON テスト時の HS FET の過電流保護スレッショルド				0.45	A
$I_{OCP_HS_MEAS}$	LOAD 抵抗測定テスト時の HS FET の過電流保護スレッショルド				0.45	A
$I_{OCP_LS_RDSON}$	LS RDSON テスト時の LS FET の過電流保護スレッショルド				0.4	A
$I_{OCP_LS_MEAS}$	IREF 抵抗 & LOAD 抵抗測定テスト時の LS FET の過電流保護スレッショルド				0.4	A
t_{HS_OCP}	HS FET の過電流保護グリッチ除去時間		3.2		5	µs
t_{LS_OCP}	LS FET の過電流保護グリッチ除去時間		3.2		5	µs
R_{HIZ_OUTL}	STANDBY 状態での OUTL から GND への抵抗	V_{OUTL} = 1V	2		6.5	KΩ
I_{HIZ_OUTH}	STANDBY 状態での OUTH から GND へのプルダウン電流	V_{OUTH} = 3V	0.4		1.5	mA
I_{HIZ_LOAD}	STANDBY 状態での負荷電流	V_{VDRV} = 40V、負荷 = 2Ω			0.1	mA
I_{HIZ_LOAD}	OUTH から VDRV への短絡時の STANDBY 状態での負荷電流	V_{VDRV} = 28V、負荷 = 2Ω			10	mA
I_{HIZ_LOAD}	OUTL から GND への短絡時の STANDBY 状態での負荷電流	V_{VDRV} = 28V、負荷 = 2Ω			0.11	mA
I_{HIZ_LOAD}	OUTL から VDRV への短絡時の STANDBY 状態での負荷電流	V_{VDRV} = 28V、負荷 = 2Ω			7	mA
展開パラメータ						
t_{DLY_SPI}	有効な SPI コマンド後に展開を開始する時間	DEPLOY_IRATE = 0x0			50	µs
t_{DLY_SPI}	有効な SPI コマンド後に展開を開始する時間	DEPLOY_IRATE = 0x1			60	µs
t_{DLY_TRG}	有効な TRGx ピン コマンド後に展開を開始する時間	DEPLOY_IRATE = 0x0			50	µs
t_{DLY_TRG}	有効な TRGx ピン コマンド後に展開を開始する時間	DEPLOY_IRATE = 0x1			60	µs
I_{DEPLOY}	電流の展開	負荷 = 2Ω、DEPLOY_ISEL = 0x0	1.2	1.3	1.41	A
I_{DEPLOY}	電流の展開	負荷 = 2Ω、DEPLOY_ISEL = 0x1 または 0x2	1.65	1.85	2.01	A
I_{DEPLOY}	電流の展開	負荷 = 0Ω、DEPLOY_ISEL = 0x3	1.75	1.93	2.09	A
I_{DEPLOY}	電流の展開	負荷 = 2Ω、DEPLOY_ISEL = 0x3	1.75	1.93	2.09	A
I_{DEPLOY}	電流の展開	負荷 = 2Ω、DEPLOY_ISEL = 0x4 または 0x6	2.19	2.39	2.59	A
I_{DEPLOY}	電流の展開	負荷 = 2Ω、DEPLOY_ISEL = 0x5 または 0x7	3.40	3.72	4.04	A
I_{SNS_THRS}	展開電流センス スレッショルド	標準値を基準とした場合	60		90	%
t_{DEPLOY}	展開時間	負荷 = 2Ω、DEPLOY_ISEL ≤ 0x2	2.09		2.56	ms
t_{DEPLOY}	展開時間	負荷 = 2Ω、DEPLOY_ISEL > 0x2	0.52		0.64	ms
I_{RISE0}	立ち上がり電流スロープ (20% ～ 80%)	負荷 = 2Ω、DEPLOY_IRATE = 0x0		1.6		µs/A
I_{RISE0}	立ち上がり電流スロープ (20% ～ 80%)	負荷 = 2Ω、DEPLOY_ISEL = 0x1 または 0x2、DEPLOY_IRATE = 0x0		1.3		µs/A
I_{RISE0}	立ち上がり電流スロープ (20% ～ 80%)	負荷 = 2Ω、DEPLOY_ISEL = 0x3、DEPLOY_IRATE = 0x0		1		µs/A

Copyright © 2026 Texas Instruments Incorporated

5V < V_{VDRV} < 28V、4.5V < V_{VDD} < 5.5V、-40°C < T_J < 125°C、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{RISE0}	立ち上がり電流スロープ (20% ～ 80%)	負荷 = 2Ω、DEPLOY_ISEL = 0x4 または 0x6、DEPLOY_IRATE = 0x0		1		µs/A
I_{RISE0}	立ち上がり電流スロープ (20% ～ 80%)	負荷 = 2Ω、DEPLOY_ISEL = 0x5 または 0x7、DEPLOY_IRATE = 0x0		1		µs/A
I_{RISE1}	立ち上がり電流スロープ (20% ～ 80%)	負荷 = 2Ω、DEPLOY_ISEL = 0x0、DEPLOY_IRATE = 0x1		16		µs/A
I_{RISE1}	立ち上がり電流スロープ (20% ～ 80%)	負荷 = 2Ω、DEPLOY_ISEL = 0x1 または 0x2、DEPLOY_IRATE = 0x1		12		µs/A
I_{RISE1}	立ち上がり電流スロープ (20% ～ 80%)	負荷 = 2Ω、DEPLOY_ISEL = 0x3、DEPLOY_IRATE = 0x1		11		µs/A
I_{RISE1}	立ち上がり電流スロープ (20% ～ 80%)	負荷 = 2Ω、DEPLOY_ISEL = 0x4 または 0x6、DEPLOY_IRATE = 0x1		9		µs/A
I_{RISE1}	立ち上がり電流スロープ (20% ～ 80%)	負荷 = 2Ω、DEPLOY_ISEL = 0x5 または 0x7、DEPLOY_IRATE = 0x1		6		µs/A
t_{START_TO}	TMEAS_START タイマのタイムアウト	TMEAS_START_TO = 0x0	71.36		87.78	µs
t_{START_TO}	TMEAS_START タイマのタイムアウト	TMEAS_START_TO = 0x1	129.55		158.89	µs
t_{START_TO}	TMEAS_START タイマのタイムアウト	TMEAS_START_TO = 0x2	187.73		230	µs
t_{START_TO}	TMEAS_START タイマのタイムアウト	TMEAS_START_TO = 0x3	245.45		300.56	µs
t_{DEPLOY_DLY}	プログラムされた展開開始遅延	DEPLOY_DLY = 0x0	0.09		0.111	ms
t_{DEPLOY_DLY}	プログラムされた展開開始遅延	DEPLOY_DLY = 0x1	0.181		0.222	ms
t_{DEPLOY_DLY}	プログラムされた展開開始遅延	DEPLOY_DLY = 0x2	0.363		0.444	ms
t_{DEPLOY_DLY}	プログラムされた展開開始遅延	DEPLOY_DLY = 0x3	0.726		0.888	ms
t_{DEPLOY_DLY}	プログラムされた展開開始遅延	DEPLOY_DLY = 0x4	1.454		1.777	ms
t_{DEPLOY_DLY}	プログラムされた展開開始遅延	DEPLOY_DLY = 0x5	2.181		2.666	ms
t_{DEPLOY_DLY}	プログラムされた展開開始遅延	DEPLOY_DLY = 0x6	2.908		3.555	ms
t_{DEPLOY_DLY}	プログラムされた展開開始遅延	DEPLOY_DLY = 0x7	3.635		4.444	ms
オフ状態診断						
t_{BIST}	デバイス BIST 時間		0.13		0.17	ms
$t_{CMP_FLTR_WK_PU}$	弱プルアップ テストのコンパレータ グリッチ除去時間		14.1		18.9	µs
$V_{REF_WK_PU}$	弱プルアップ テストの OUTL のコンパレータの電圧リファレンス	OFF_DIAG_WK_PU_VSEL = 0	1.89	2.1	2.31	V
$V_{REF_WK_PU}$	弱プルアップ テストの OUTL のコンパレータの電圧リファレンス	OFF_DIAG_WK_PU_VSEL = 1	2.16	2.4	2.64	V
$I_{REF_WK_PU}$	弱プルアップ テストの OUTL のプルアップ電流	OFF_DIAG_WK_PU_ISEL = 0、V_{OUTL} = 2.4V	0.75	1	1.25	mA
$I_{REF_WK_PU}$	弱プルアップ テストの OUTL のプルアップ電流	OFF_DIAG_WK_PU_ISEL = 1、V_{OUTL} = 2.4V	1.5	2	2.5	mA
t_{WK_PU}	弱プルアップ テストのタイムアウト	OFF_DIAG_WK_PU_TSEL = 0	0.22		0.29	ms
t_{WK_PU}	弱プルアップ テストのタイムアウト	OFF_DIAG_WK_PU_TSEL = 1	0.45		0.56	ms
t_{WK_PU}	弱プルアップ テストのタイムアウト	OFF_DIAG_WK_PU_TSEL = 2	0.9		1.12	ms
t_{WK_PU}	弱プルアップ テストのタイムアウト	OFF_DIAG_WK_PU_TSEL = 3	1.81		2.24	ms
$t_{CMP_FLTR_WK_PD}$	弱プルダウン テストのコンパレータ グリッチ除去時間		14.1		18.9	µs
$V_{REF_WK_PD}$	弱プルダウン テストの OUTL のコンパレータの電圧リファレンス	OFF_DIAG_WK_PD_VSEL = 0	1.35	1.5	1.65	V
$V_{REF_WK_PD}$	弱プルダウン テストの OUTL のコンパレータの電圧リファレンス	OFF_DIAG_WK_PD_VSEL = 1	1.62	1.8	1.98	V

Copyright © 2026 Texas Instruments Incorporated

5V < V_{VDRV} < 28V、4.5V < V_{VDD} < 5.5V、-40°C < T_J < 125°C、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{REF_WK_PD}$	弱プルダウン テストの OUTH のプルダウン電流	OFF_DIAG_WK_PD_ISEL = 0、V_{OUTH} = 1.5V	0.7	1	1.3	mA
$I_{REF_WK_PD}$	弱プルダウン テストの OUTH のプルダウン電流	OFF_DIAG_WK_PD_ISEL = 1、V_{OUTH} = 1.5V	1.4	2	2.6	mA
t_{WK_PD}	弱プルダウン テストのタイムアウト	OFF_DIAG_WK_PD_TSEL = 0	0.22		0.29	ms
t_{WK_PD}	弱プルダウン テストのタイムアウト	OFF_DIAG_WK_PD_TSEL = 1	0.45		0.56	ms
t_{WK_PD}	弱プルダウン テストのタイムアウト	OFF_DIAG_WK_PD_TSEL = 2	0.9		1.12	ms
t_{WK_PD}	弱プルダウン テストのタイムアウト	OFF_DIAG_WK_PD_TSEL = 3	1.81		2.24	ms
$t_{CMP_FLTR_HSRDSON}$	HS RDSON テストのコンパレータ グリッチ除去時間		14.1		18.9	µs
$V_{REF_PC_HSRDSON}$	HS RDSON テストの OUTH (VDRV を基準) のコンパレータのプリチャージ電圧リファレンス		-1.65	-1.5	-1.35	V
$V_{REF_HSRDSON}$	HS RDSON テストの OUTH (VDRV を基準) のコンパレータの電圧リファレンス	OFF_DIAG_HSRDSON_VSEL = 0	-90	-75	-60	mV
$V_{REF_HSRDSON}$	HS RDSON テストの OUTH (VDRV を基準) のコンパレータの電圧リファレンス	OFF_DIAG_HSRDSON_VSEL = 1	-180	-150	-120	mV
$I_{REF_PC_HSRDSON}$	HS RDSON テストの OUTH のプリチャージ プルアップ電流	V_{OUTH} = V_{VDRV} - 3.5V	32	40	48	mA
$I_{REF_HSRDSON}$	HS RDSON テストの OUTH のプルダウン電流	OFF_DIAG_HS_RDSON_ISEL = 0、V_{OUTH} = V_{VDRV} - 0.75V	16	20	24	mA
$I_{REF_HSRDSON}$	HS RDSON テストの OUTH のプルダウン電流	OFF_DIAG_HS_RDSON_ISEL = 1、V_{OUTH} = V_{VDRV} - 0.75V	32	40	48	mA
$t_{HSRDSON}$	HS RDSON テストのタイムアウト	OFF_DIAG_HS_RDSON_TSEL = 0	0.22		0.29	ms
$t_{HSRDSON}$	HS RDSON テストのタイムアウト	OFF_DIAG_HS_RDSON_TSEL = 1	0.45		0.56	ms
$t_{HSRDSON}$	HS RDSON テストのタイムアウト	OFF_DIAG_HS_RDSON_TSEL = 2	0.9		1.12	ms
$t_{HSRDSON}$	HS RDSON テストのタイムアウト	OFF_DIAG_HS_RDSON_TSEL = 3	1.81		2.24	ms
$t_{CMP_FLTR_LSRDSON}$	LS RDSON テストのコンパレータ グリッチ除去時間		14.1		18.9	µs
$V_{REF_PC_LSRDSON}$	LS RDSON テストの OUTL のコンパレータのプリチャージ電圧リファレンス		1.350	1.500	1.650	V
$V_{REF_LSRDSON}$	LS RDSON テストの OUTL のコンパレータの電圧リファレンス	OFF_DIAG_LSRDSON_VSEL = 0	60	75	90	mV
$V_{REF_LSRDSON}$	LS RDSON テストの OUTL のコンパレータの電圧リファレンス	OFF_DIAG_LSRDSON_VSEL = 1	120	150	180	mV
$I_{REF_PC_LSRDSON}$	LS RDSON テストの OUTL のプリチャージ プルダウン電流	V_{OUTL} = 3.5V	32	40	48	mA
$I_{REF_LSRDSON}$	LS RDSON テストの OUTL のプルアップ電流	OFF_DIAG_LS_RDSON_ISEL = 0、V_{OUTL} = 0.75V	16.0	20	24.0	mA
$I_{REF_LSRDSON}$	LS RDSON テストの OUTL のプルアップ電流	OFF_DIAG_LS_RDSON_ISEL = 1、V_{OUTL} = 0.75V	32	40	48	mA
$t_{LSRDSON}$	LS RDSON テストのタイムアウト	OFF_DIAG_LS_RDSON_TSEL = 0	0.22		0.29	ms
$t_{LSRDSON}$	LS RDSON テストのタイムアウト	OFF_DIAG_LS_RDSON_TSEL = 1	0.45		0.56	ms
$t_{LSRDSON}$	LS RDSON テストのタイムアウト	OFF_DIAG_LS_RDSON_TSEL = 2	0.9		1.12	ms
$t_{LSRDSON}$	LS RDSON テストのタイムアウト	OFF_DIAG_LS_RDSON_TSEL = 3	1.81		2.24	ms
I_{IREF}	IREF ピンに強制的に印加されるプルアップ電流	V_{IREF} = 0.1V	9	10	11	µA
$t_{CMP_FLTR_MEAS}$	IREF & RLOAD 測定のコンパレータ グリッチ除去時間		14.1		18.9	µs

Copyright © 2026 Texas Instruments Incorporated

5V < V_{VDRV} < 28V、4.5V < V_{VDD} < 5.5V、-40°C < T_J < 125°C、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{MBIST}	IREF 抵抗モニタ テストの時間		0.9		1.12	ms
V_{DAC_VREG}	PVDD 未満のコンパレータ リファレンス	OFF_DIAG_CMEAS_THRS_SEL = 0	-36	-25	-14	mV
V_{DAC_VREG}	PVDD 未満のコンパレータ リファレンス	OFF_DIAG_CMEAS_THRS_SEL = 1	-60	-40	-20	mV
V_{DAC_VREG}	PVDD 未満のコンパレータ リファレンス	OFF_DIAG_CMEAS_THRS_SEL = 2	-90	-60	-30	mV
V_{DAC_VREG}	PVDD 未満のコンパレータ リファレンス	OFF_DIAG_CMEAS_THRS_SEL = 3	-120	-80	-40	mV
V_{DAC_VREG}	PVDD 未満のコンパレータ リファレンス	OFF_DIAG_CMEAS_THRS_SEL = 4	-150	-100	-50	mV
V_{DAC_VREG}	PVDD 未満のコンパレータ リファレンス	OFF_DIAG_CMEAS_THRS_SEL = 5	-180	-120	-60	mV
V_{DAC_VREG}	PVDD 未満のコンパレータ リファレンス	OFF_DIAG_CMEAS_THRS_SEL = 6	-210	-140	-70	mV
V_{DAC_VREG}	PVDD 未満のコンパレータ リファレンス	OFF_DIAG_CMEAS_THRS_SEL = 7	-240	-160	-80	mV
V_{DIFF}	開始スレッショルドに対するコンパレータ リファレンスの停止スレッショルド		-44	-40	-36	mV
V_{OFFSET}	CMP_R が CMP を下回るスレッショルド			-50		mV
t_{VREG_MEAS}	OUTH & OUTL コンパレータのコンパレータ グリッチ除去時間		1.8		3.4	µs
t_{VREG_VMEAS}	VREG 電圧測定の時間		3.9		4.9	ms
t_{CMEAS_SETUP}	VREG コンデンサ測定のセットアップ時間		14.1		18.9	µs
I_{VDRV_DIAG}	VDRV のプルダウン電流 (I_{VDRV_STBY} を含む)		38	46.5	56	mA
t_{CMEAS}	VREG コンデンサ測定の合計放電時間	OFF_DIAG_CMEAS_TSEL = 0	0.43		0.54	ms
t_{CMEAS}	VREG コンデンサ測定の合計放電時間	OFF_DIAG_CMEAS_TSEL = 1	0.9		1.11	ms
t_{CMEAS}	VREG コンデンサ測定の合計放電時間	OFF_DIAG_CMEAS_TSEL = 2	1.8		2.21	ms
t_{CMEAS}	VREG コンデンサ測定の合計放電時間	OFF_DIAG_CMEAS_TSEL = 3	3.63		4.45	ms
I_{RMEAS}	RLOAD テスト時の負荷電流		32	40	48	mA
t_{RMEAS}	RLOAD テストの時間	OFF_DIAG_RMEAS_TSEL = 0	0.27		0.34	ms
t_{RMEAS}	RLOAD テストの時間	OFF_DIAG_RMEAS_TSEL = 1	0.5		0.61	ms
t_{RMEAS}	RLOAD テストの時間	OFF_DIAG_RMEAS_TSEL = 2	0.95		1.17	ms
t_{RMEAS}	RLOAD テストの時間	OFF_DIAG_RMEAS_TSEL = 3	1.86		2.29	ms
R_{MEASL}	低抵抗検出の負荷抵抗範囲	OFF_DIAG_RMEAS_THRS_L = 0	1.3		1.7	Ω
R_{MEASL}	低抵抗検出の負荷抵抗範囲	OFF_DIAG_RMEAS_THRS_L = 1	1		1.5	Ω
R_{MEASH}	高抵抗検出の負荷抵抗範囲	OFF_DIAG_RMEAS_THRS_H = 0	2.5		3.15	Ω
R_{MEASH}	高抵抗検出の負荷抵抗範囲	OFF_DIAG_RMEAS_THRS_H = 1	2.9		3.65	Ω
R_{MEASH}	高抵抗検出の負荷抵抗範囲	OFF_DIAG_RMEAS_THRS_H = 2	3.3		4.2	Ω
R_{MEASH}	高抵抗検出の負荷抵抗範囲 – 展開後の抵抗チェックに使用します	OFF_DIAG_RMEAS_THRS_H = 3	50		70	Ω
SPI ウォッチドッグ モニタ						
t_{WD}	SPI の有効トランザクション間隔	SPI_WD_SEL = 0x0	57.7		71.7	ms
t_{WD}	SPI の有効トランザクション間隔	SPI_WD_SEL = 0x1	227.1		278.8	ms
t_{WD}	SPI の有効トランザクション間隔	SPI_WD_SEL = 0x2	908.5		1111.7	ms
t_{WD}	SPI の有効トランザクション間隔	SPI_WD_SEL = 0x3	1818		2223.3	ms
過熱保護						
T_{TSD}	ACTIVE 時のサーマル シャットダウン		150	170	190	°C
T_{TSD_HYS}	サーマル シャットダウン ヒステリシス			20		°C

Copyright © 2026 Texas Instruments Incorporated

5V < V_{VDRV} < 28V、4.5V < V_{VDD} < 5.5V、-40°C < T_J < 125°C、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{TSD}	サーマル シャットダウン グリッチ除去時間		14.1		18.9	µs
$T_{TSD_W_OFF}$	オフ状態診断時の過熱警告			140		°C
T_{TSD_W}	ACTIVE/STANDBY 時の過熱警告			150		°C
$T_{TSD_W_HYS}$	過熱警告ヒステリシス			20		°C
t_{TSD_W}	過熱警告グリッチ除去時間		14.1		18.9	µs
安全層						
$V_{V5_S_UV_FALL}$	立ち下がり時の V5_S 低電圧トリガ スレッショルド		4	4.2	4.4	V
$V_{V5_S_UV_RISE}$	立ち上がり時の V5_S 低電圧復帰スレッショルド		4.1	4.3	4.5	V
$V_{V5_S_UV_HYST}$	V5_S UV ヒステリシス			0.1		V
$t_{V5_S_UV}$	V5_S UV グリッチ除去時間		15		20	µs
$V_{V5_S_OV_RISE}$	立ち上がり時の V5_S 過電圧トリガ スレッショルド		5.9	6.2	6.5	V
$V_{V5_S_OV_FALL}$	立ち下がり時の V5_S 過電圧復帰スレッショルド		5.5	5.8	6.1	V
$V_{V5_S_OV_HYST}$	V5_S 過電圧ヒステリシス			0.4		V
$t_{V5_S_OV}$	V5_S OV グリッチ除去時間		15		20	µs
f_{OSC}、f_{OSC_R}	メインおよび冗長発振器周波数			2		MHz
t_{HEART_BEAT}	メイン ロジックからのハートビート間隔		0.69		1.324	ms
$t_{HEART_BEAT_L}$	ハートビート間隔 - 下限スレッショルド		0.945		1.155	ms
$t_{HEART_BEAT_H}$	ハートビート間隔 - 上限スレッショルド		1.41		1.724	ms
t_{TIME_OUT}	シャットオフ タイマのタイムアウト時間		29.03		35.55	ms

5.6 SPI のタイミング要件

		最小値	公称値	最大値	単位
t_{SCLK}	SCLK の最小周期	125			ns
t_{SCLKH}	SCLK 最小 High 時間	62.5			ns
t_{SCLKL}	SCLK の最小 Low 時間	62.5			ns
t_{HI_nSCS}	SDO 最小 High 時間	2000			ns
t_{SU_nSCS}	nSCS 入力セットアップ時間	40			ns
t_{H_nSCS}	nSCS 入力ホールド時間	40			ns
t_{SU_SDI}	SDI 入力データ セットアップ時間	20			ns
t_{H_SDI}	SDI 入力データ ホールド時間	20			ns
t_{EN}	SDO イネーブル遅延時間			50	ns
t_{DIS}	SDO ディスエーブル遅延時間			1000	ns

Copyright © 2026 Texas Instruments Incorporated

5.7 タイミング図

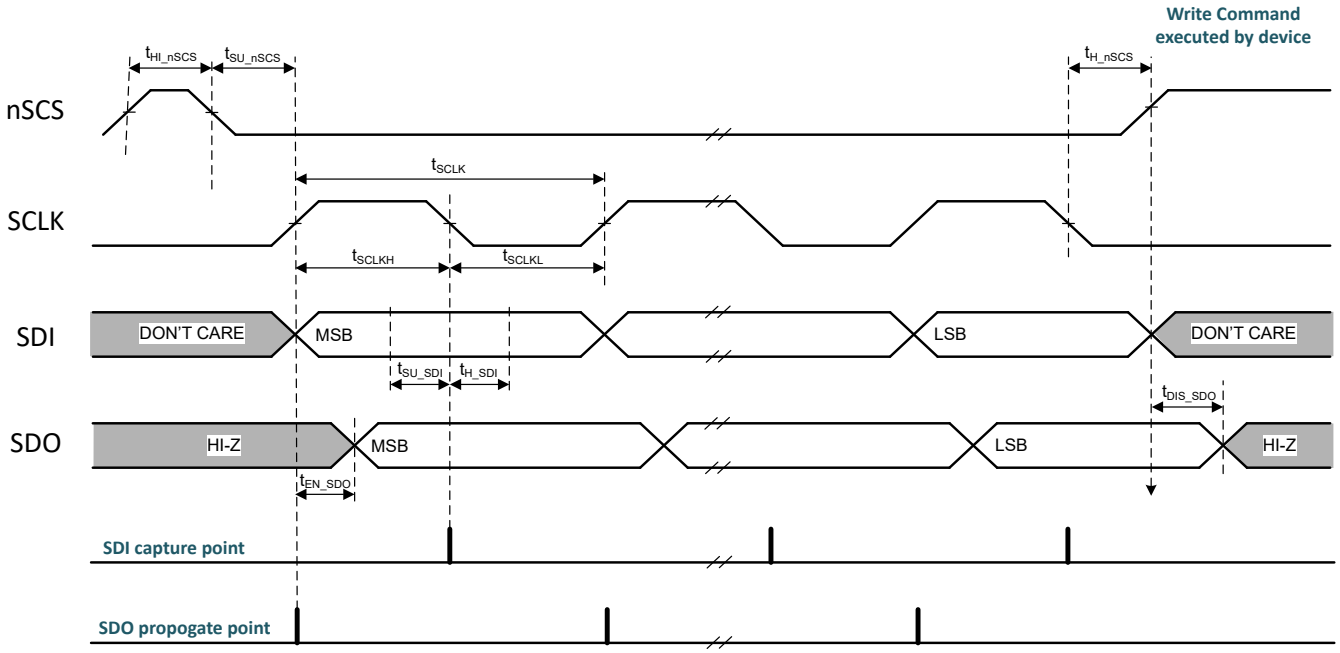


図 5-1. SPI タイミング図

5.8 代表的特性

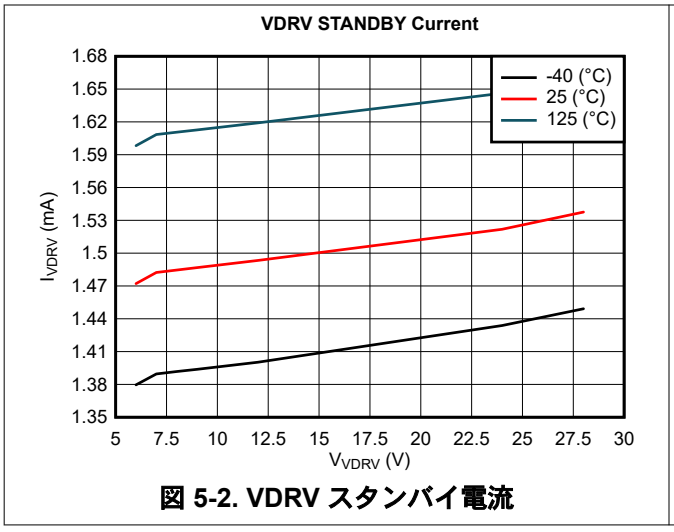


図 5-2. VDRV スタンバイ電流

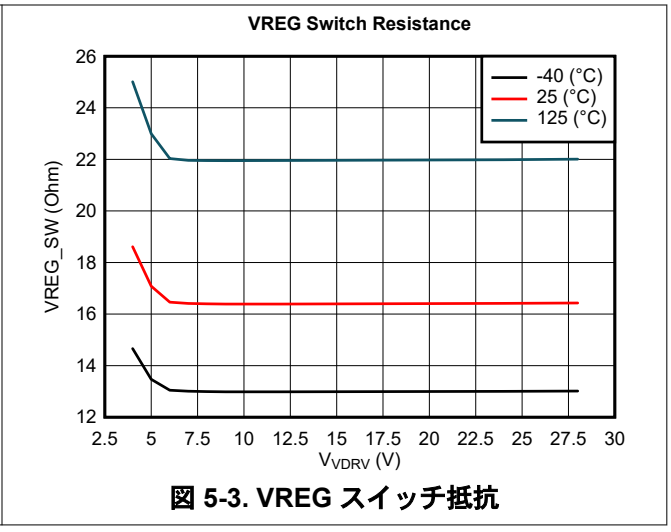


図 5-3. VREG スイッチ抵抗

Copyright © 2026 Texas Instruments Incorporated

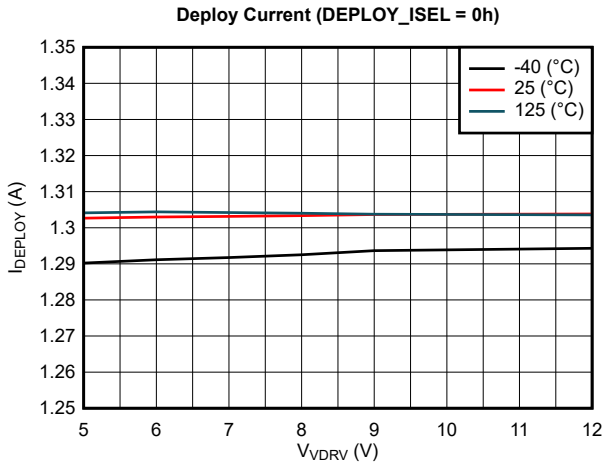


図 5-4. 展開電流 (DEPLOY_ISEL = 0h)

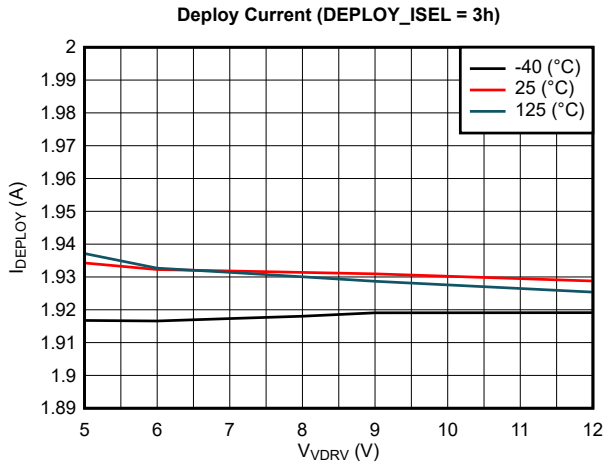


図 5-5. 展開電流 (DEPLOY_ISEL = 3h)

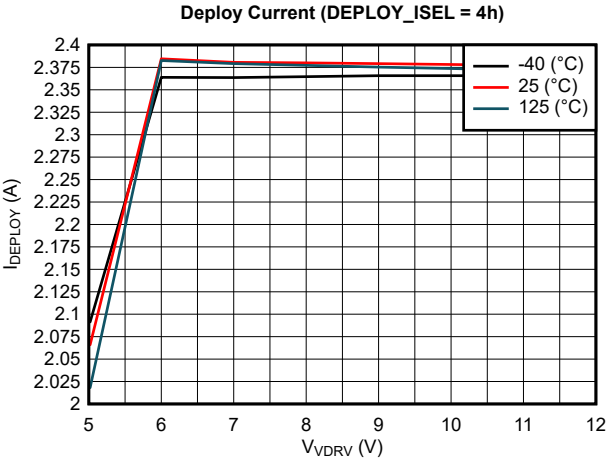


図 5-6. 展開電流 (DEPLOY_ISEL = 4h)

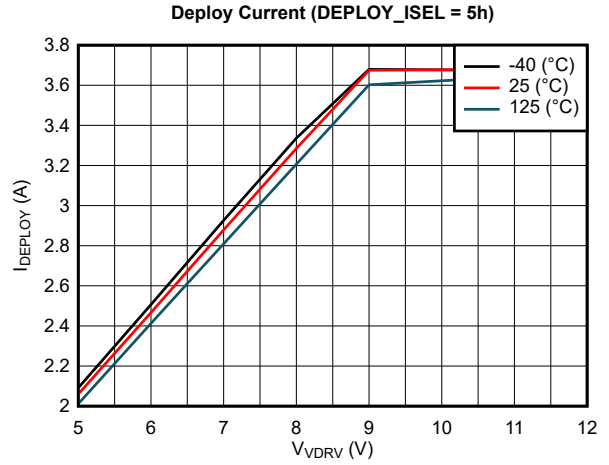


図 5-7. 展開電流 (DEPLOY_ISEL = 5h)

6 詳細説明

6.1 概要

下表に、本文書に記載されているさまざまな機能とその場所を示します。デバイス初期化とソフトウェア設定の詳細については、「初期化設定」セクションを参照してください。

表 6-1. 機能概要

カテゴリ	詳細説明セクション	電気的特性表
電源およびモニタ	VDRV および VDD 電源	VDRV および VDD 電源
	VREG スイッチ	VREG スイッチ
	VDRV モニタ	リセット (nPOR)
	VDD モニタ	VDD モニタ
	リセット (nPOR)	リセット (nPOR)
	デバイスの安全層	安全層
状態遷移図	状態遷移図	該当なし
出力ドライバ	出力ドライバ	出力ドライバ
	STANDBY 状態	
	ACTIVE 状態	
	過電流保護	
	過熱保護	過熱保護
トリガ (TRGx) ピン	トリガ (TRGx) ピン	TRG1、TRG2 ピン
	PWM ベースのトリガ	
	モニタのトリガ	
展開パラメータ	展開パラメータ	展開パラメータ
	展開遅延	
オフ状態診断	オフ状態診断	オフ状態診断
	デバイス BIST	
	弱プルアップ テスト	
	弱プルダウン テスト	
	ハイサイド MOSFET RDSON テスト	
	ローサイド MOSFET RDSON テスト	
	IREF 抵抗モニタ	
	VREG の電圧および容量測定	
	出力負荷抵抗モニタ	
SPI ウォッチドッグ モニタ	SPI ウォッチドッグ モニタ	SPI ウォッチドッグ モニタ
nFAULT/NAD ピン	nFAULT/NAD ピン	nFAULT/NAD ピン
フォルト表	フォルト表	該当なし
SPI インターフェイス	SPI インターフェイス	SPI I/O

Copyright © 2026 Texas Instruments Incorporated

6.2 機能ブロック図

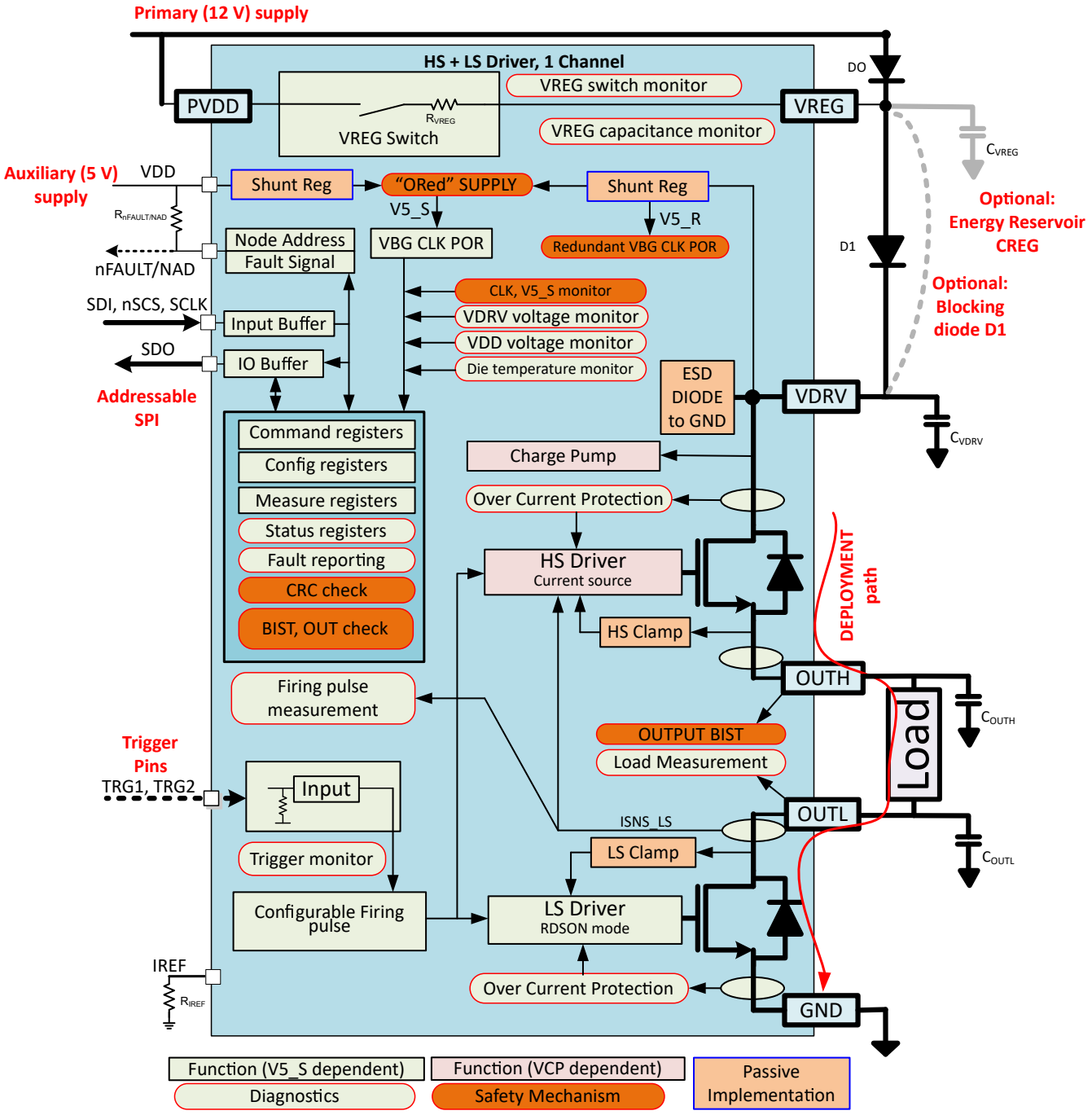


図 6-1. DRV3901-Q1 のブロック図

6.3 機能説明

6.3.1 外付け部品

表 6-2. 推奨外付け部品

ピン 1	ピン 2	部品	名称	機能	値
IREF	GND	抵抗	R_{IREF}	負荷測定を認定するために、測定 BIST にオフ状態診断時に使用されます。	0.063W、10KΩ、10%
SDO	VDD	抵抗	R_{SDO}	SDO にプルアップ抵抗を接続し、デバイスによる駆動が行われていない場合でも、SDO 出力が High として認識されるようにします。	0.063W、10KΩ、10%
nFAULT/NAD	VDD	抵抗	$R_{NFAULT/NAD}$	SPI 通信の一意のノード アドレスを設定します。これは、使用可能な 4 つの抵抗値のいずれかである必要があります。そうでない場合、NAD_ERROR フラグが設定されます。	0.0603W、5.6K/12K/27K/56KΩ、1%
VREG	GND	バルク キャパシタ	C_{VREG}	オプション — PVDD 電源の喪失のフォルト状態でドライバに電力を供給するために、VREG にローカル エネルギー リザーバ コンデンサを設置します。	電源定格、100µF 以上、アプリケーションによって異なります
VDRV	GND	バイパス コンデンサ	C_{VDRV}	VDRV のローカル高周波バイパス コンデンサ。	電源定格、0.1µF、低 ESR セラミック コンデンサ
VDD	GND	バイパス コンデンサ	C_{VDD}	オプション – VDD のローカル高周波バイパス コンデンサ。	電源定格、0.1µF、低 ESR セラミック コンデンサ
PVDD	VREG	ダイオード	D0	PVDD 喪失時に VREG から PVDD に電流が流れるのをブロックします。 これは、静電容量測定の診断に必要です。	
PVDD	GND	バイパス コンデンサ	C_{PVDD}	オプション – PVDD のローカル高周波バイパス コンデンサ。	電源定格、0.1µF 以上、低 ESR セラミック コンデンサ
VREG	VDRV	ダイオード	D1	オプション – OUTL が低電圧の VREG で高電圧に短絡した場合のフォルト状態に対する誤展開防止。	
OUTH	OUTH	フィルタ インダクタ	L_{OUTH}	オプション – デバイス自体が動作中の di/dt を制限します。この直列インダクタを使用して、スクイブの要件で、必要に応じて、この電圧をさらに低減できます。	≤ 22µH
OUTL	OUTL	フィルタ インダクタ	L_{OUTL}	オプション – デバイス自体が動作中の di/dt を制限します。この直列インダクタを使用して、スクイブの要件で、必要に応じて、この電圧をさらに低減できます。	≤ 22µH
OUTH	GND	バイパス コンデンサ	C_{OUTH}	ESD コンデンサを負荷の近くに配置	電源定格、≤47nF、低 ESR セラミック コンデンサ
OUTL	GND	バイパス コンデンサ	C_{OUTL}	ESD コンデンサを負荷の近くに配置	電源定格、≤47nF、低 ESR セラミック コンデンサ

Copyright © 2026 Texas Instruments Incorporated

6.3.2 電源およびモニタ

6.3.2.1 VDRV および VDD 電源

DRV3901-Q1 には、VDRV (標準値 12V) および VDD (標準値 5V) ピンから電力が供給されます。ドライバと出力段は主に VDRV から供給されますが、ロジックおよび重要な安全/診断機能は、VDRV と VDD の電源「OR」組み合わせから派生した内部 5V 電源 (V5_S と呼ばれる安全 5V) から駆動されます。電力の OR 接続により、外部電源の 1 つが失われた場合も、デバイスが自体のインテリジェンスと重要な機能を確実に維持できるようになります。電圧リファレンス、電流バイアス、発振器、デジタル ブロックは、V5_S から電力を供給されます。PVDD から派生した冗長リファレンスとバイアスは、V5_S と発振器の認定に使用されます。

V5_S のパワーオン リセット (POR) 後に、アドレス NAD 決定、メモリと診断の内部セルフテスト (BIST)、t_{READY} 時間内での内部ブロックのセトリング タイムを含むパワーアップ時の初期化が実行されます。ウェークアップをアクノリッジするためにユーザーが CLR_FAULT SPI コマンドを実行すると、デバイスは STANDBY 状態になります。I_{VDRV_STBY} および I_{VDD_STBY} でユーザーからのコマンドが入力されるまで、ドライバはハイ インピーダンス (Hi-Z) 状態に保持されます。デバイスは電源「OR」アーキテクチャを使用するため、外部電源 (VDD または VDRV) のいずれかが失われた場合も、特定の機能を利用できます。

以下の 表 6-3 に、VDRV が低電圧および過電圧の制限範囲内にあると仮定した場合の VDD 電圧レベルの変化に伴う主要デバイス機能を示します。

表 6-3. VDD 電源の依存関係

VDD	展開機能	オフ状態診断	SPI 通信
> $V_{VDD_OV_RISE}$	使用可能(1)	使用可能(1)	SDI Ok、SDO は VDD_ERR を表示します
公称	使用可能(1)	使用可能(1)	使用可能
< $V_{VDD_UV_FALL}$	使用可能(1)	使用可能(1)	SDI Ok、SDO は VDD_ERR を表示します

(1) デバイスの過電流および過熱保護機能により制限されます。

以下の 表 6-4 および 図 6-2 に、VDD が低電圧および過電圧の制限範囲内にあると仮定した場合の VDRV 電圧レベルの変化に伴う主要デバイス機能を示します。

表 6-4. VDRV 電源の依存関係

VDRV	展開機能	オフ状態診断	SPI 通信
> $V_{VDRV_OV_RISE}$	該当なし(1)	該当なし	使用可能
公称	使用可能	使用可能	使用可能
< $V_{VDRV_UV_FALL}$ & > $V_{VDRV_UV_BIAS_FALL}$	使用可能(2)	該当なし	使用可能
< $V_{DRV_UV_BIAS_FALL}$	該当なし	該当なし	使用可能

(1) VDRV 過電圧検出により無効になります。
(2) 使用可能ですが、電流制御なしで動作します。ドライバは RDSON モードで動作します。

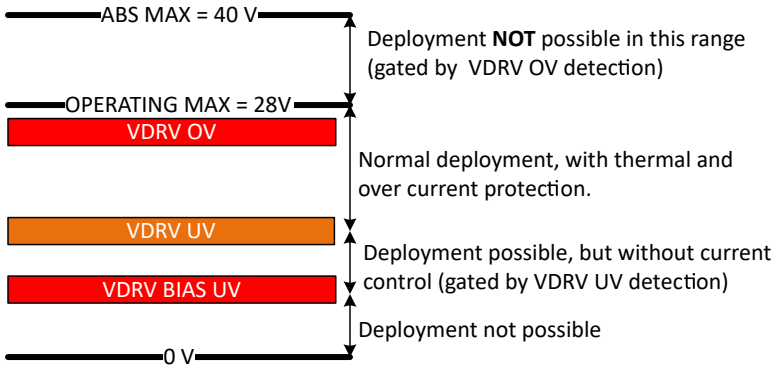


図 6-2. VDRV 展開動作領域

以下の 表 6-5 に、VDRV と VDD の両方の電源が失われた場合の主要なデバイス機能を示します。

表 6-5. VDRV および VDD 電源の喪失

VDRV	VDD	展開機能	オフ状態診断	SPI 通信
< $V_{VDRV_RST_FALL}$	< $V_{VDD_RST_FALL}$	該当なし	該当なし	該当なし

6.3.2.2 VREG スイッチ

特定のアプリケーションでは、電力喪失 (PVDD) 事象が発生した場合にスクイブ負荷が確実に展開されるように、リザーバ コンデンサを使用する必要がある場合があります。これは、PVDD ピンと VREG ピンの間に外部ダイオードを接続して VREG ピンに外部コンデンサを接続することで実現し、PVDD 電源に逆電流が流れるのを防止します。

DRV3901-Q1 の内部 VREG スイッチは、PVDD への電流を制限したプルアップを使用することで、ブロック ダイオードによる外部コンデンサへの電圧降下を低減できます。VREG スイッチにより、オフ状態診断時にエネルギー リザーバの外部容量を監視することもできます。これは、限定された時間だけスイッチを開いて、外部コンデンサの電圧の放電速度を観察することで機能します。

VREG スイッチは通常、動作中に閉じられますが、以下の 2 つの状況ではスイッチが自動的にオフになります。

1. 過剰な順方向電圧バイアス: VREG < PVDD - V_{VREG_THRS1}
2. 過剰な逆電圧バイアス: VREG > PVDD + V_{VREG_THRS2}

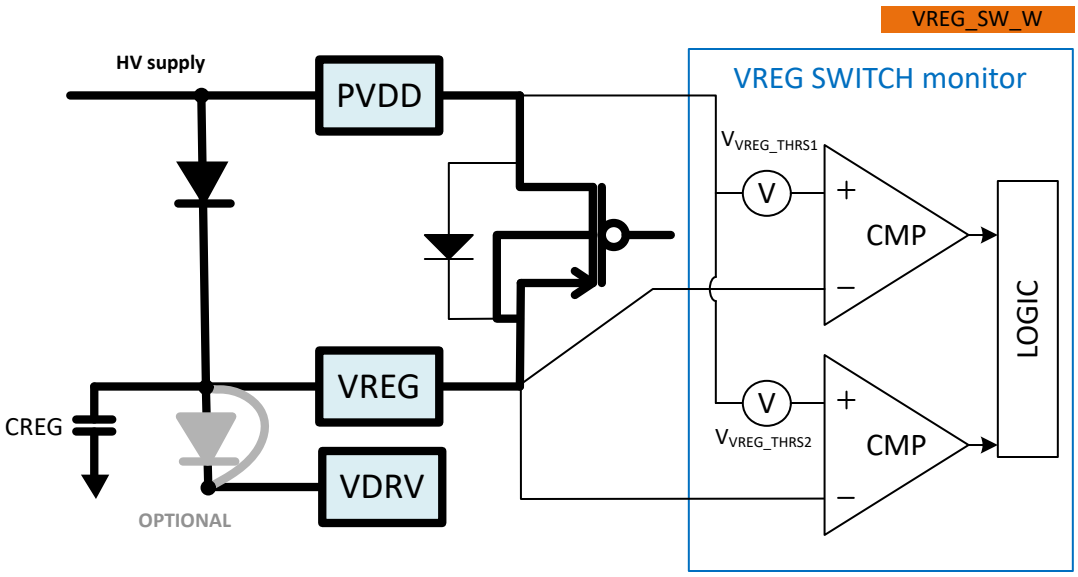


図 6-3. VREG スイッチおよびモニタの図

Copyright © 2026 Texas Instruments Incorporated

STANDBY 状態のスイッチをオフにすることは、SPI 警告フラグ (VREG_SW_W) 内で通知されます。VREG スイッチを使用して PVDD ランプ アップ時の突入電流を制限することはできず、PVDD と VREG の間に外部ダイオード接続が必要であることに注意してください。

注

VREG_SW_W_DIS = 1b で VREG スイッチ警告を無効化する場合 (代表的な使用事例ではありません)、オフ状態診断時の誤警告を避けるために、オフ状態診断 ABIST も無効化 (OFF_DIAG_ABIST_DIS = 1b) する必要があります。

6.3.2.3 VDRV モニタ

デバイスには、低電圧 (V_{DRV_UV}) および過電圧 (V_{DRV_OV}) フォルト モニタに加えて、VDRV 電源の警告レベル モニタが搭載されています。電圧モニタの結果は、SPI STATUS レジスタに記録されます。VDRV 過電圧警告または VDRV 低電圧が発生した場合、オフ状態診断は使用できません。さらに、VDRV 低電圧モニタよりも低いスレッショルド レベルを持つバイアス低電圧モニタ ($V_{DRV_UV_BIAS}$) が備わっています。展開時に VDRV ピンの電圧が $V_{VDRV_UV_BIAS_FALL}$ を下回ると、出力ドライバは無効化され、強制的にハイ インピーダンスになります。

6.3.2.4 VDD モニタ

デバイスには、VDD 電源の低電圧と過電圧監視機能があります。VDD の低電圧または過電圧は、SDO SPI フレーム (VDD_ERR) 応答の先行ビットに直接示されます。

6.3.2.5 リセット (nPOR)

デバイス ロジックのパワーオン リセット (nPOR) は、VDRV と VDD の電源「OR」組み合わせから生成された内部 V5_S に基づいています。nPOR リセットが発生する電圧は、V_{DRV_RST} および V_{VDD_RST} パラメータで説明されます。nPOR が発生すると、すべてのレジスタがリセットされ、新しいスタートアップ シーケンスに従う必要があります

6.3.2.6 デバイスの安全層

デバイスの安全層には、V5_S の電圧モニタ、メイン発振器 (f_{OSC}) の周波数モニタが含まれ、2 次側タイムアウト ロジックが別の冗長発振器 (f_{OSC_R}) で実行されます。V5_S 低電圧 ($V_{5_S_UV}$)、V5_S 過電圧 ($V_{5_S_OV}$)、f_{OSC} 低周波数 ($t_{HEART_BEAT_H}$)、または f_{OSC} 過電圧 ($t_{HEART_BEAT_L}$) イベントのうち、t_{TIME_OUT} を超える時間のいずれかで、出力ドライバは無効 (ハイ インピーダンス) になり、デバイス ロックアウト フォルト DEV_ERR が発生します。

Copyright © 2026 Texas Instruments Incorporated

6.3.3 出力ドライバ

出力ドライバは、OUTL ピンと GND 間の LS FET と、OUTH ピンと VDRV 間の HS FET で構成されます。有効なトリガ ピン (TRGx) または SPI コマンドで、デバイスは展開のために ACTIVE 状態に移行します。この展開時、HS FET は LS FET を RDSON モードで使用して電流源として動作します。LS FET から検出された電流 (シャントレス電流ミラー アーキテクチャ) を、HS FET を制御するためのフィードバックとして使用します。LS 側で検出される電流は、トリガ パルス持続時間の測定にも使用されます。PVDD ピンと VREG ピンの間は、リザーバ コンデンサの診断機能を有効化する統合スイッチです。

このデバイスには、複数の異なる電源接続 (PVDD、VREG、VDRV) があり、オプションの外部リザーバ コンデンサや逆電流ブロック ダイオードの接続を可能にします。外部リザーバ コンデンサを使用するには、PVDD ピンと VREG ピンの間にダイオードを接続し、VREG ピンにリザーバ コンデンサを接続します。

外部逆電流ブロック ダイオードを使用するには、VREG ピンと VDRV ピンの間にダイオードを接続する必要があります。それ以外の場合は、2 個のピンを PCB 上で互いに接続/短絡することができます。

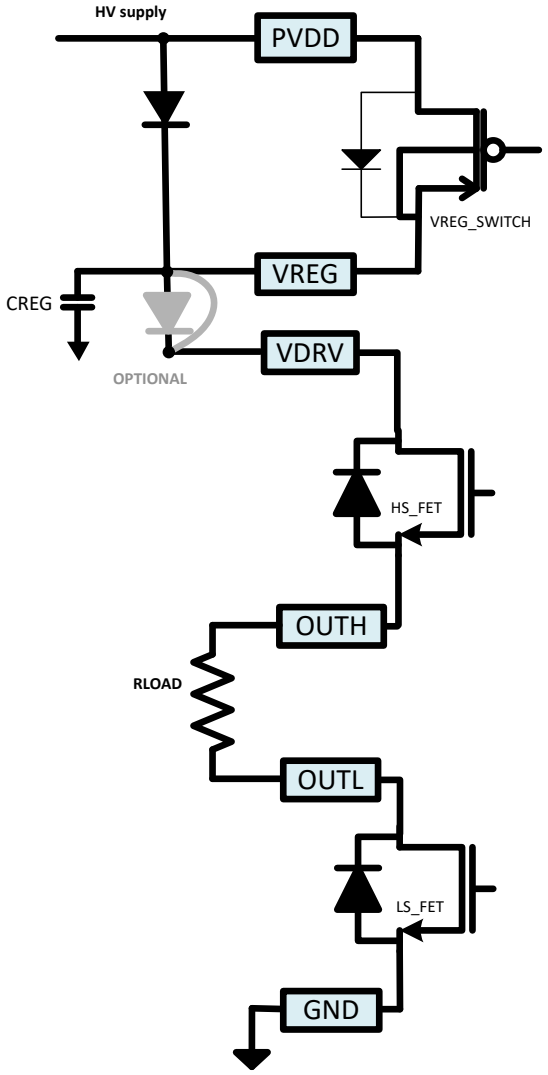


図 6-4. 出力ドライバ図

Copyright © 2026 Texas Instruments Incorporated

6.3.3.1 STANDBY 状態

STANDBY 状態は、以下に示す等価なドライバ出力状態を持つデバイスのデフォルト状態です。デバイスは、展開またはオフ状態診断を実行するための SPI コマンドを受け入れる準備ができています。また、デバイスは、ピン トリガ (TRGx) コマンドを受け入れて展開する準備もできています。この状態では、デバイスの消費電流は最小です。SPI 通信、ピン トリガ、重要な監視機能が利用可能です。他すべての機能は、消費電流節約のために無効化されます。

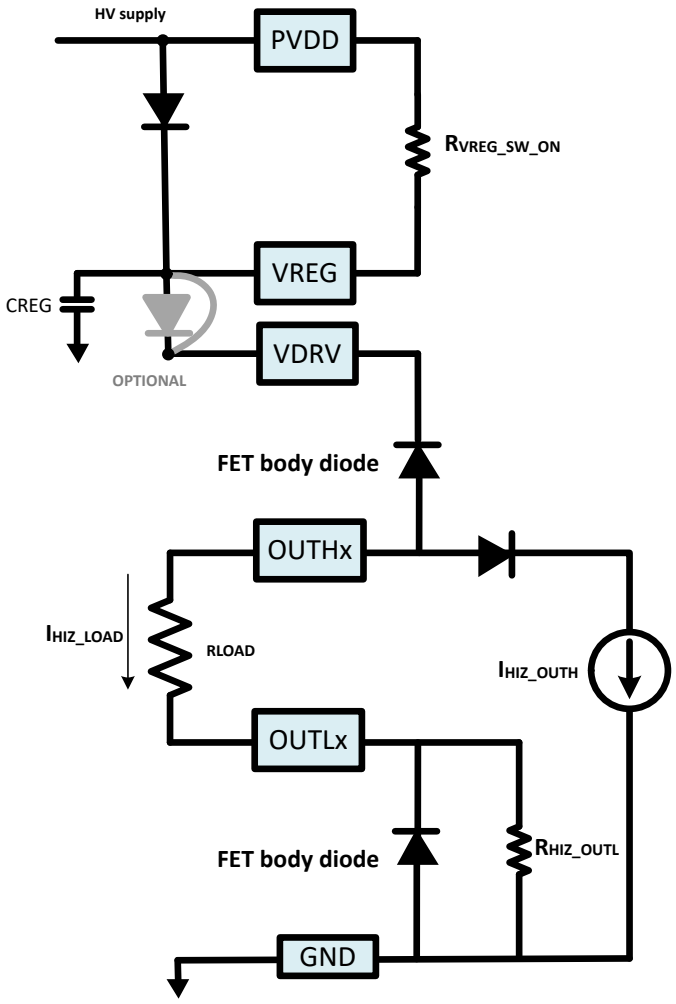


図 6-5. 出力ドライバの STANDBY 状態

6.3.3.2 ACTIVE 状態

この状態では、デバイスは、以下に示す等価出力ドライバ状態で、ユーザーが設定した展開電流プロファイルと時間を使用して負荷を駆動します。低電圧イベントが発生した場合 (VDRV < $V_{VDRV_UV_FALL}$、しかし > $V_{VDRV_UV_BIAS_FALL}$ レベル)、HS FET は RDSON モードで駆動されます (電圧ヘッドルームが不足しているため電流レギュレーションは不可能)。$V_{VDRV_UV_BIAS_FALL}$ を下回ると、出力は無効化されます。また、有効化すると、出力ドライバの MOSFET は I_{OCP_LS} および I_{OCP_HS} によって保護され、サーマルシャットダウンも実現します。

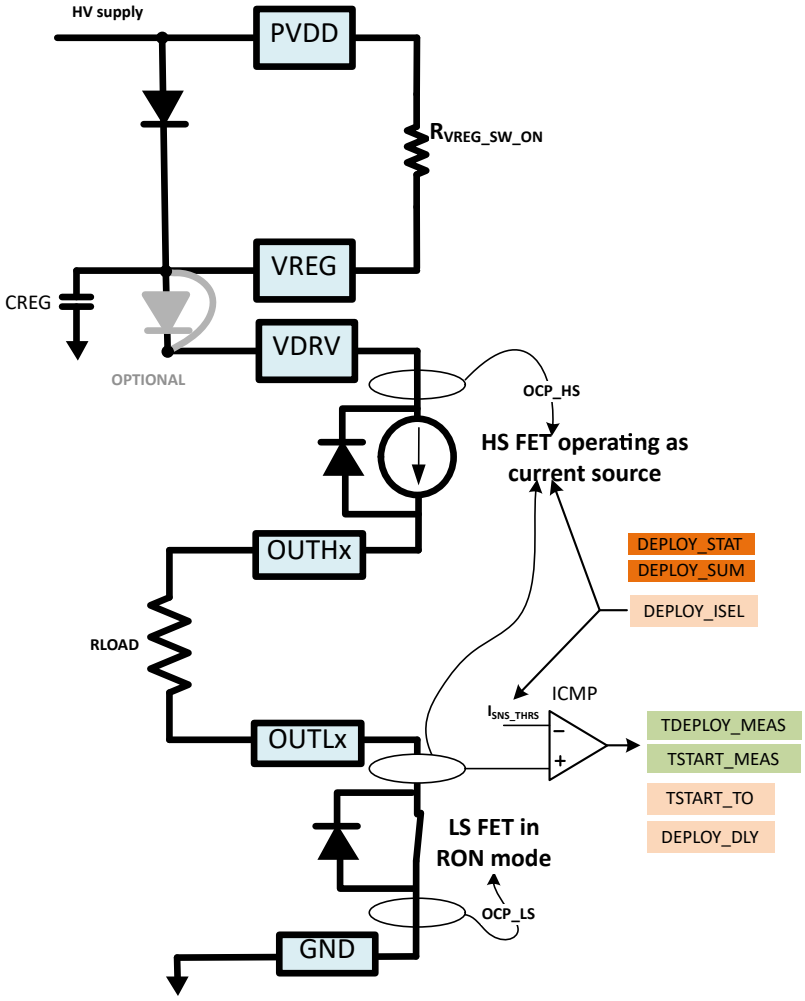


図 6-6. 出力ドライバ ACTIVE 状態

6.3.3.3 過電流保護

MOSFET がオンになっている場合、アクティブ状態とオフ状態診断時 (FET RDSON および測定テスト) に、ローサイド (I_{OCP_LS}、バッテリへの短絡) およびハイサイド (I_{OCP_HS}、GND への短絡) の両方において、出力ドライバ MOSFET はピン短絡から保護されています。オフ状態診断 ($I_{OCP_HS_MEAS}$、$I_{OCP_LS_MEAS}$、$I_{OCP_HS_RDSON}$、$I_{OCP_LS_RDSON}$) 時の過電流スレッショルド レベルは、誤トリガのリスクを低減するために大幅に低下します。過電流イベントを検出すると、出力ドライバのシャットオフ (ハイ インピーダンス) が発生し、対応するフォルトについて DEPLOY_STAT または OFF_DIAG_STAT STATUS レジスタでフラグが立てられます。

6.3.3.4 過熱保護

アクティブ状態において過熱が発生した場合 (T_{TSD})、出力ドライバ MOSFET は熱保護されます。過熱事象が検出されると、フォルトについて DEPLOY_STAT STATUS レジスタでフラグが立てられ、出力ドライバ (ハイ インピーダンス) が無

Copyright © 2026 Texas Instruments Incorporated

効化されます。また、デバイスは、サーマル シャットダウンよりも低いスレッショルドに設定された過熱警告(T_{TSD_W} および $T_{TSD_W_OFF}$) も発行します。熱警告の発生時に低展開電流に切り替わるようにデバイスを構成できます。過熱警告が発生した場合、オフ状態診断は使用できません。

6.3.4 トリガ (TRGx) ピン

デバイスには、展開をトリガするための 2 個の専用ハードウェア ピンがあります。このピンには、フィルタリングによる GND への内部プルダウン抵抗があります。ピン トリガはデフォルトで無効になっていますが、SPI 構成で有効にできます。デバイスは、レベルと PWM ベースの両方のトリガをサポートしています。トリガ オプションは、TRG_SEL SPI レジスタで構成します。すべてのレベル トリガ オプションは、誤トリガを回避するため、設計上、組み合わせ (TRG1 + TRG2) になっています。PWM ベースのトリガにより、単一のピンで信頼性の高い展開が可能です。16KHz と 125KHz のデュアル PWM 周波数がサポートされています。

SPI ベースの展開機能は、不慮の展開に対する追加の保護策として明示的に「AND」オプションとして構成されていない限り、ピン ベースのトリガと併せて、常に「OR」オプションとして利用可能です。さまざまな展開トリガ方式を以下に示します。

表 6-6. TRG1 + TRG2 ピン トリガ オプション (TRG_SEL によって構成)

TRG_SEL	展開トリガ方式
0h	SPI コマンドのみを使用して展開します (トリガ ピンは使用されません)
1h	(TRG1 = Hi **AND** TRG2 = Hi) **OR** SPI コマンドの場合に展開します
2h	(TRG1 = Hi **AND** TRG2 = Hi) **AND** SPI コマンドの場合に展開します
3h	(TRG1 = Hi **AND** TRG2 = Lo) **OR** SPI コマンドの場合に展開します
4h	(TRG1 = Hi **AND** TRG2 = Lo) **AND** SPI コマンドの場合に展開します
5h	SPI コマンドのみを使用して展開します (トリガ ピンは使用されません)
6h	SPI コマンドのみを使用して展開します (トリガ ピンは使用されません)
7h	SPI コマンドのみを使用して展開します (トリガ ピンは使用されません)
8h	[(TRG1 75% **OR** TRG2 75%) デューティ サイクル @ 16K Hz PWM] **OR** SPI コマンドの場合に展開します
9h	[(TRG1 25% **OR** TRG2 25%) デューティ サイクル @ 16K Hz PWM] **OR** SPI コマンドの場合に展開します
Ah	[(TRG1 75% **AND** TRG2 75%) デューティ サイクル @ 16K Hz PWM] **OR** SPI コマンドの場合に展開します
Bh	[(TRG1 25% **AND** TRG2 25%) デューティ サイクル @ 16K Hz PWM] **OR** SPI コマンドの場合に展開します
Ch	[(TRG1 75% **OR** TRG2 75%) デューティ サイクル @ 125K Hz PWM] **OR** SPI コマンドの場合に展開します
Dh	[(TRG1 25% **OR** TRG2 25%) デューティ サイクル @ 125K Hz PWM] **OR** SPI コマンドの場合に展開します
Eh	[(TRG1 75% **AND** TRG2 75%) デューティ サイクル @ 125K Hz PWM] **OR** SPI コマンドの場合に展開します
Fh	[(TRG1 25% **AND** TRG2 25%) デューティ サイクル @ 125K Hz PWM] **OR** SPI コマンドの場合に展開します

6.3.4.1 PWM ベースのトリガ

デバイスは、各 TRGx ピンに個別に展開するために、PWM パターン ベースのトリガをサポートするように構成できます。16kHz および 125kHz の PWM 周波数をサポートしています。

2 つのデューティ サイクル設定がサポートされています。

1. 75% デューティ サイクル — 有効な展開トリガ、25% デューティ サイクル — 有効なアクションなしトリガ
2. 25% デューティ サイクル — 有効な展開トリガ、75% デューティ サイクル — 有効なアクションなしトリガ

誤動作の誘発を防ぐために、応答時間とフィルタリングとの間で最適なバランスを取るには、16kHz PWM および 75% のデューティ サイクルを選択することを推奨します。

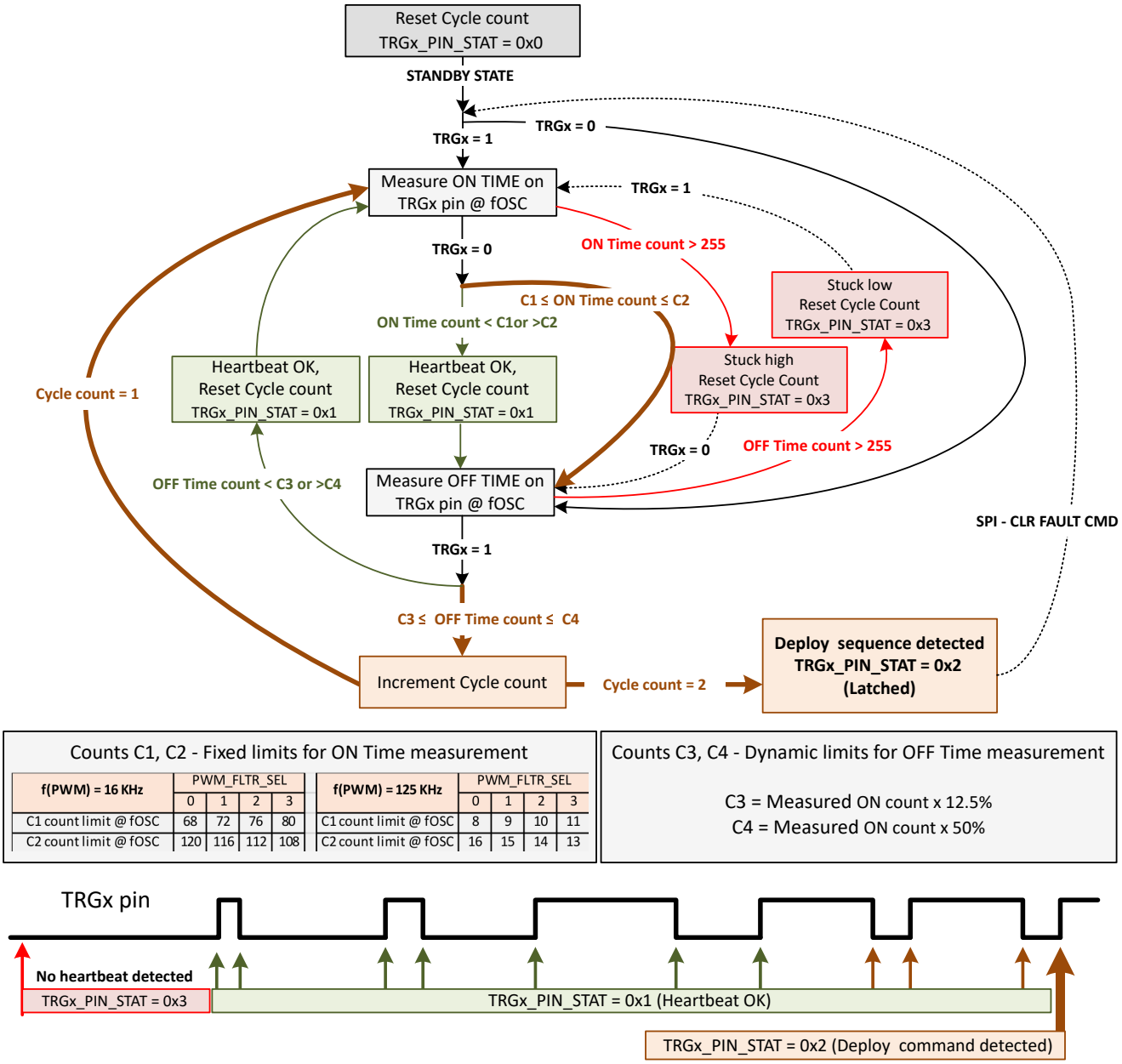
デバイスは、内部 f_{OSC} クロックを使用して、TRGx ピンのパルスの ON 時間と OFF 時間を測定します。連続した 2 つのサイクルが、選択したパターンと一致する場合、有効なトリガが登録されます。それ以外の種類のパルスは、通常動作パ

Copyright © 2026 Texas Instruments Incorporated

ルスか障害が発生したままの状態で停止しているパルスのいずれかとみなされます。TRGx_PIN_STAT は、トリガ ピンのステータスを示すため連続的に更新されます。

下図は 75% のデューティ サイクルの場合であり、有効なサイクル チェックは TRGx ピンの正のエッジから開始されます。ON 時間は、PWM_FLTR_SEL で構成されたウィンドウ スレッショルドと比較されます。OFF 時間は、ON 時間測定で設定された動的制限と比較されます。

25% デューティ サイクルの場合、実装を統一するためにこのロジックへの入力は反転されるため、この場合は、有効なサイクル チェックは TRGx ピンの立ち下がりエッジから開始されます。



Counts C1, C2 - Fixed limits for ON Time measurement

f(PWM) = 16 KHz	PWM_FLTR_SEL			
	0	1	2	3
C1 count limit @ fOSC	68	72	76	80
C2 count limit @ fOSC	120	116	112	108

f(PWM) = 125 KHz	PWM_FLTR_SEL			
	0	1	2	3
C1 count limit @ fOSC	8	9	10	11
C2 count limit @ fOSC	16	15	14	13

Counts C3, C4 - Dynamic limits for OFF Time measurement

C3 = Measured ON count x 12.5%
C4 = Measured ON count x 50%

図 6-7. PWM ベースのトリガ

Copyright © 2026 Texas Instruments Incorporated

6.3.4.2 モニタのトリガ

デバイスは、TRG1 および TRG2 ピンの複数の監視オプションを備えており、デバイスへの入力トリガ信号の健全性を検証します。この情報は、STATUS レジスタのレジスタ フィールド TRG1_PIN_STAT、TRG2_PIN_STAT、TRG1_PIN_LVL1、TRG1_PIN_LVL2 に示されます。これらのステータス レジスタはフィードバックのみのためであり、デバイスはそれらに基づいて動作を行いません。

TRGx_PIN_STAT レジスタは、トリガ インターフェイス モード (TRG_SEL) の選択に基づいてステータスを表示します。TRGx_PIN_STAT レジスタのフィードバックは、以下の表に定義されています。

TRG1_PIN_LVL1 および TRG1_PIN_LVL2 は、TRG1 ピンの単純なリアルタイム レベルのステータスです。

表 6-7. TRG1_PIN_STAT モードおよび TRG2_PIN_STAT モード

TRG_SEL	TRG1_PIN_STAT	TRG2_PIN_STAT
0h	3h (SPI トリガ)	3h (SPI トリガ)
1h	0h = データはまだ使用不可 1h = ピン High 2h = ピン Low 3h = 予約済み	0h = データはまだ使用不可 1h = ピン High 2h = ピン Low 3h = 予約済み
2h		
3h		
4h		
5h	3h (SPI トリガ)	3h (SPI トリガ)
6h	3h (SPI トリガ)	3h (SPI トリガ)
7h	3h (SPI トリガ)	3h (SPI トリガ)
8h - Fh	0h = データは使用不可 1h = PWM ハートビート信号を検出済み 2h = PWM 有効展開信号を検出済み (パターン一致) 3h = PWM ハートビート信号が欠落 (High または Low に固着)	0h = データは使用不可 1h = PWM ハートビート信号を検出済み 2h = PWM 有効展開信号を検出済み (パターン一致) 3h = PWM ハートビート信号が欠落 (High または Low に固着)

6.3.5 展開パラメータ

展開の電流パルス幅 (t_{DEPLOY}) とレベル (I_{DEPLOY}) は、SPI 構成レジスタでユーザーが構成できます。電流パルスの立ち上がり速度 (I_{RISE}) は内部で制御されます。外部直列インダクタを使用して、必要に応じてさらに低速化することができます。

展開が発生したときにトリガされる時間分解能 500ns の 2 個の内部タイマがあります。タイマ値は、展開の終了時に MEAS レジスタに記録されます。

1. **TSTART_MEAS** - これは、負荷電流が検出スレッショルド (I_{SNS_THRS}) を超えるか、またはユーザー構成の TSTART_TO タイマが満了するまでの時間の測定値です。ユーザー構成の DEPLOY_DLY 時間は、この測定には含まれません。展開期間タイマ t_{DEPLOY} は、TSTART_MEAS の終了時に開始されます。TSTART_TO は、タイムアウト ウィンドウ内で I_{SNS_THRS} が検出されない場合に、TSTART_MEAS タイマのタイムアウトを設定します。
2. **TDEPLOY_MEAS** - これは、t_{DEPLOY} 時に展開電流が ≥ I_{SNS_THRS} である時間の測定値です

下の 図 6-8 に、測定タイマを併記した標準的な展開シナリオを示します。

1. TRG_SEL レジスタの構成に基づいて、SPI 展開コマンドは TRGx ピンの nSCS 立ち上がりまたは PWM/電圧レベルで登録と検証を行います。
2. その後に、DEPLOY_DLY レジスタでユーザーが構成可能な遅延が設定されます。
3. 出力ドライバ MOSFET が有効化されます (LS FET がオンになり、その後に HS FET が続きます)。
4. DEPLOY_ISEL は、展開電流レベル (I_{DEPLOY}) と展開期間 (t_{DEPLOY}) を設定します。負荷電流 (I_{RISE}) の立ち上がり (di/dt) 時間は DEPLOY_IRATE レジスタで設定されます。

Copyright © 2026 Texas Instruments Incorporated

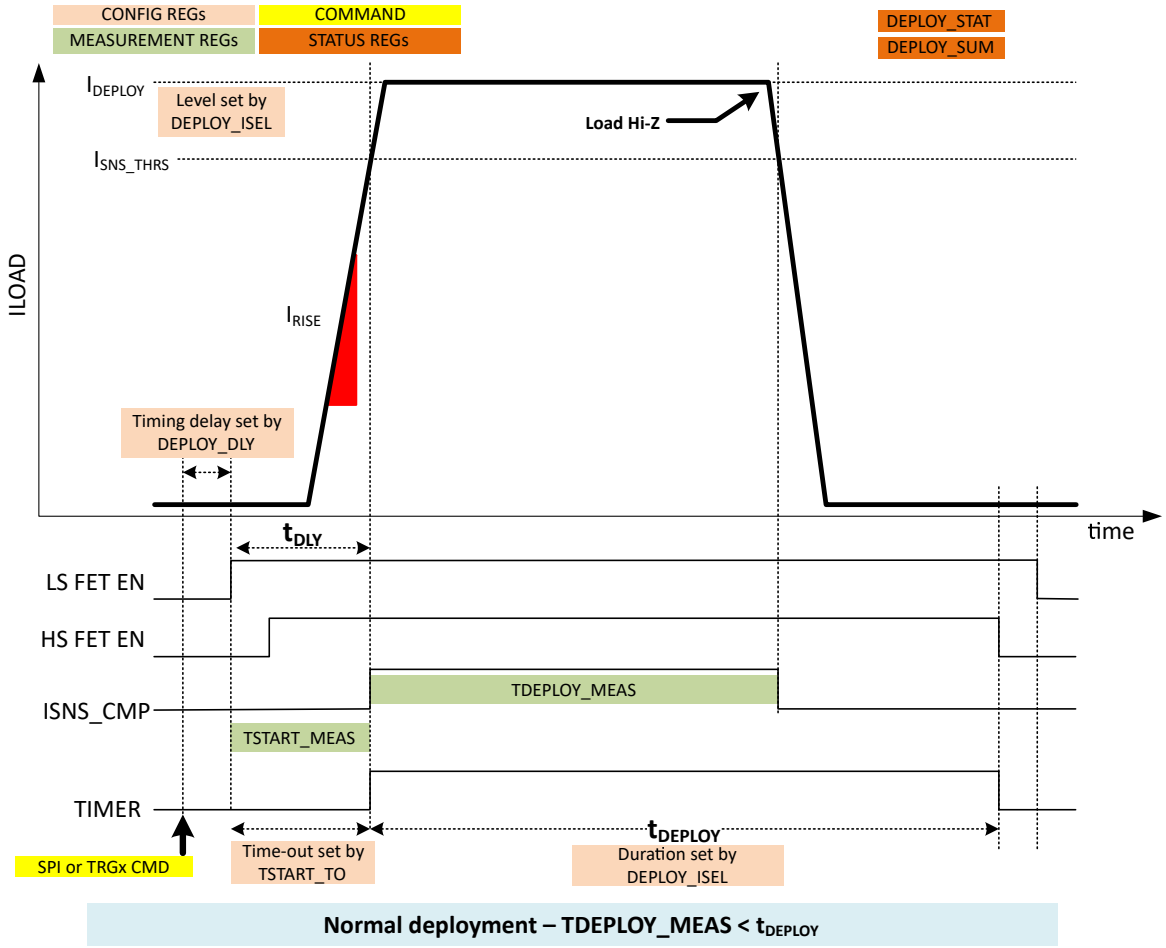


図 6-8. TDEPLOY_MEAS < t_{DEPLOY} での代表的な展開

いくつかの異常な展開の例における測定タイマの動作を以下に示します。

TDEPLOY_MEAS は、展開電流 (I_{DEPLOY}) が ≥ ISNS_THRS である時間の測定値です。下の 図 6-9 に示されているように、展開電流が展開時に I_{SNS_THRS} レベルを下回ると常にタイマが一時停止します。

Copyright © 2026 Texas Instruments Incorporated

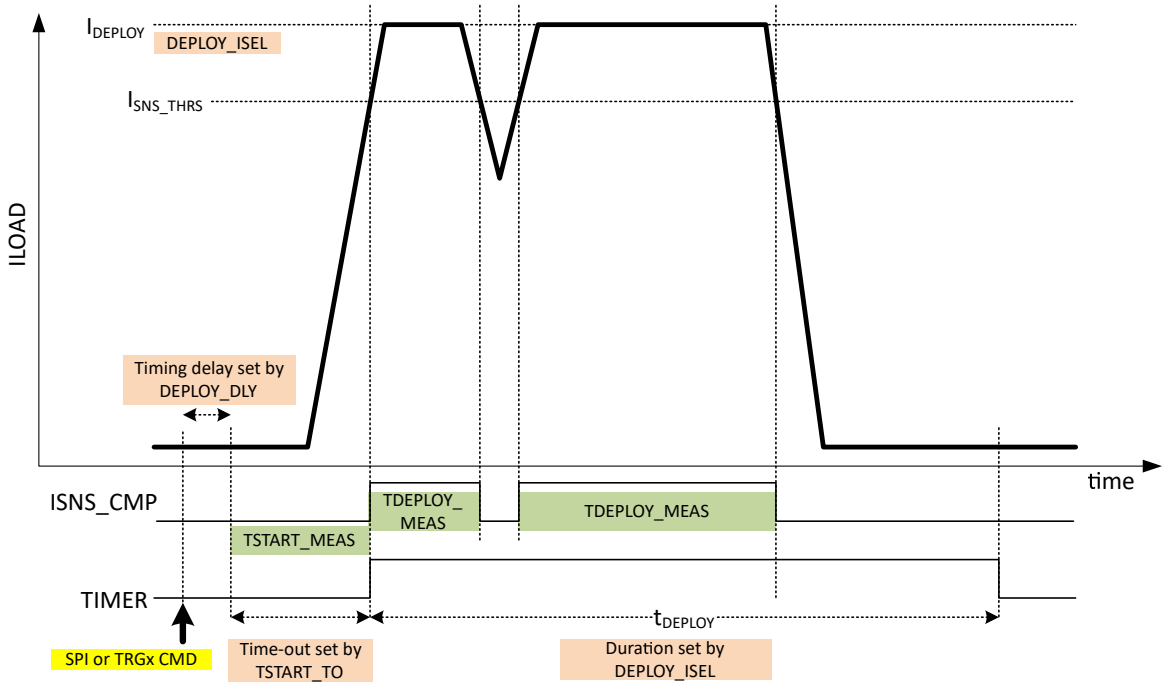


図 6-9. 異常な展開の例 (展開電流降下)

t_{DEPLOY} 期間の終わりには、負荷電流が I_{SNS_THRS} スレッショルドを下回っていなくても、展開は停止します。図 6-10 に示すように、TDEPLOY_MEAS はほぼ t_{DEPLOY} の値です。

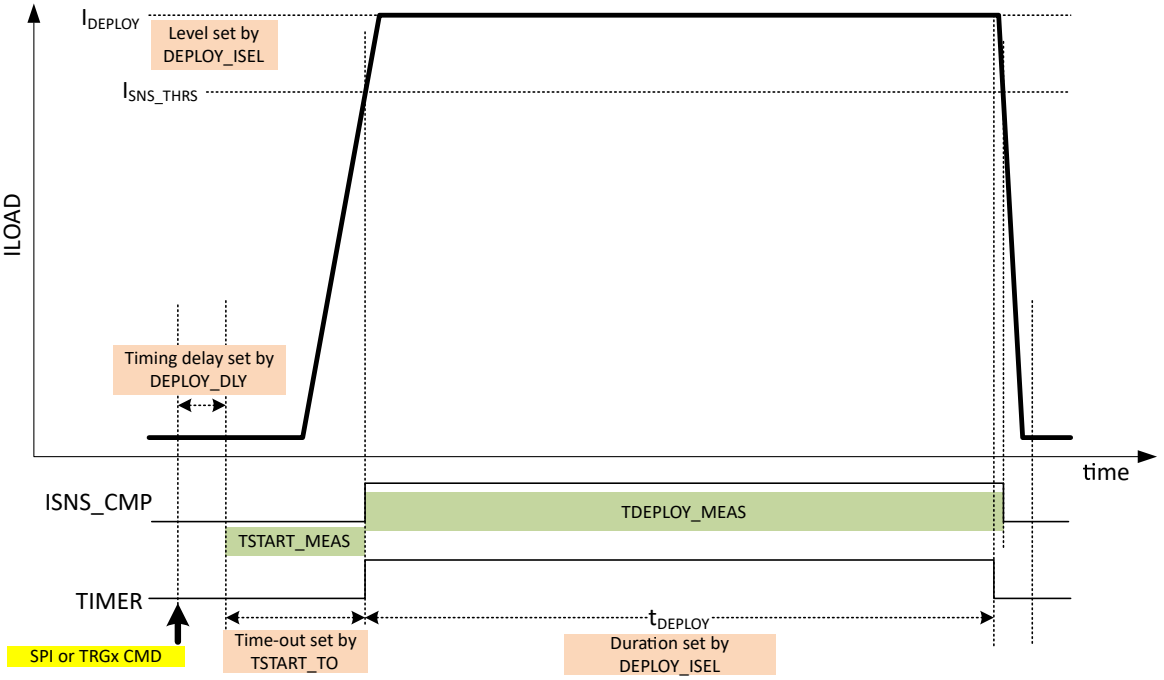


図 6-10. 異常な展開の例 (展開時間の期限切れ)

I_{SNS_THRS} が発生しない場合、TSTART_TO レジスタで設定された時間内に、出力ドライバ MOSFET が有効になった後で、タイムアウト イベントが DEPLOY_STAT STATUS レジスタに記録されます。この場合、TSTART_MEAS レジスタは TSTART_TO レジスタ値と同じ値を測定します。TDEPLOY_MEAS レジスタ値は引き続き有効です。

Copyright © 2026 Texas Instruments Incorporated

6.3.5.1 展開遅延

有効な SPI コマンド (CMD1 またはブロードキャスト CMD2)、ピン トリガ (TRGx)、または 2 つの組み合わせ (TRG_SEL で設定) で、デバイスは t_{DLY0} または t_{DLY1} 期間で展開を開始します。この時間は、ユーザー構成の追加遅延なしに、コマンドが登録された時間 (nSCS ピンの立ち上がりエッジ) から、負荷電流 > I_{SNS_THRS} の時点までの期間として測定されます。

また、このデバイスはプログラマブル遅延 (t_{DEPLOY_DLY}) を備えており、アドレス指定された同じ SPI バス上で複数のドライバの展開を同期できます。遅延時間 (DEPLOY_DLY レジスタ) は、次のように構成でき、SPI ベースの展開 (通常の SPI の場合は ACTIVITY_CTRL レジスタ、ブロードキャスト SPI の場合は DEPLOY_DLY_EN レジスタ) およびピン ベースのトリガ (PIN_DEPLOY_DLY_EN レジスタ) で個別に有効化できます。

表 6-8. 異なるトリガ選択の展開遅延

トリガ選択	ピン遅延	SPI 遅延	展開遅延
SPI のみ (TRG_SEL = 0h、5h-7h)	未使用	ディスエーブル	遅延なし
		イネーブル	DEPLOY_DLY レジスタ設定に基づく遅延
SPI **OR** TRGx pin (TRG_SEL = 1h、3h、8h-Fh)	ディスエーブル	ディスエーブル	遅延なし
	ディスエーブル	イネーブル	DEPLOY_DLY 設定に基づく遅延 (SPI コマンドが最初に受信された場合のみ)
	イネーブル	ディスエーブル	DEPLOY_DLY 設定に基づく遅延 (TRGx ピン トリガが最初に受信された場合のみ)
	イネーブル	イネーブル	DEPLOY_DLY 設定に基づく遅延
SPI **AND** TRGx ピン (TRG_SEL = 2h、4h)	ディスエーブル	ディスエーブル	遅延なし
	ディスエーブル	イネーブル	遅延なし
	イネーブル	ディスエーブル	遅延なし
	イネーブル	イネーブル	SPI コマンドと TRG ピンの両方がトリガされた後の DEPLOY_DLY 設定に基づく遅延

6.3.6 オフ状態診断

STANDBY 状態から、有効な SPI コマンドを使用してオフ状態診断を実行するようにデバイスに指示を出すことができます。診断には、一連のシーケンスされたセルフタイム テストが含まれており、不注意な展開のリスクを引き起こすことなく、展開機能の可用性をチェックできます。

最初の 6 個のテストのいずれかに失敗すると、障害発生時にオフ状態診断が中止されます。VDRV 低電圧、VDRV 過電圧警告、過熱警告の場合は、オフ状態診断機能は使用できません。結果は、STATUS レジスタ OFF_DIAG_STAT と OFF_DIAG_SUM にキャプチャされます。

オフ状態診断時は随時、デバイスは有効なピン TRG または SPI コマンドを受け入れて展開できます。この時点で、デバイスは制御された方法で診断を即座に中止し、展開のために ACTIVE 状態に移行します。展開遅延パラメータ t_{DLY0} および t_{DLY1} 時間は引き続き維持されます。

テストのシーケンスとその目的は以下のとおりです。

1. デバイス BIST: モニタを認定するためのデバイス BIST。
2. 弱いプルアップ テスト: グラウンドへのインピーダンスを検出します。
3. 弱いプルダウン テスト: 電源へのインピーダンスまたは開ループを検出します。
4. HS RDSON テスト (デフォルトでは無効): デバイスのハイサイド MOSFET チェック
5. LS RDSON テスト (デフォルトでは無効): デバイスのローサイド MOSFET チェック。
6. IREF 抵抗モニタ: 外部 IREF ピン抵抗の抵抗測定チェック。
7. VREG 電圧および容量測定: PVDD を基準として VREG の電圧を測定し (BIST を含む)、制御された電流シンクを用いて VREG のコンデンサの放電速度を報告することで、ピンの容量を推定します。
8. 負荷抵抗モニタ: 出力スクイブ負荷の抵抗をチェックします。(通常は 2Ω)。

Copyright © 2026 Texas Instruments Incorporated

テストのシーケンスは変更できませんが、CONFIG レジスタを使用して個別のテストを無効化できます。

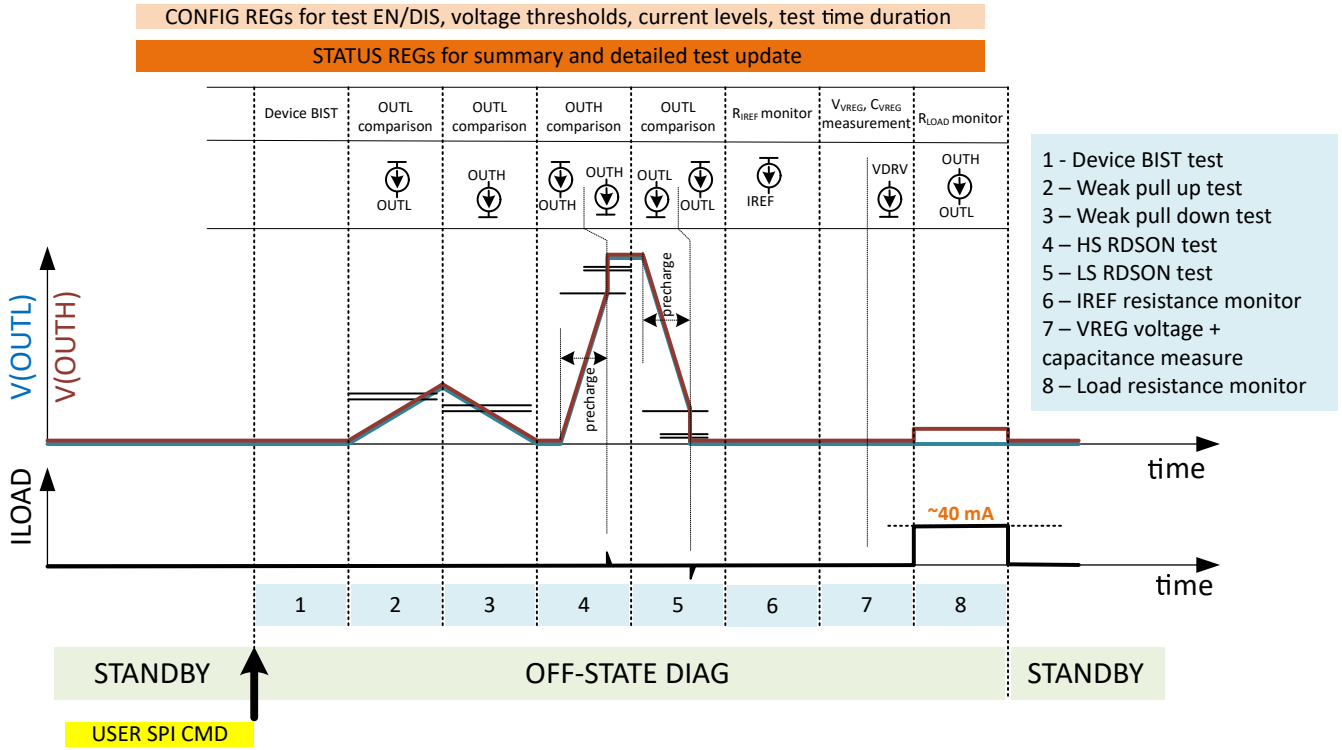


図 6-11. オフ状態診断シーケンス

デバイスの動作時に、以下の 3 個の組み合わせを用いてオフ状態診断を実行することを推奨します。

1. **スタートアップ チェック:** デバイスと負荷の健全性を検証し、モニタを認定するためのすべてのテスト。
2. **定期チェック:** 弱いプルアップ、弱いプルダウン、VREG の電圧および容量測定、負荷抵抗モニタにより、展開機能が使用可能かどうかを検証します。
3. **展開後チェック:** イニシエータが展開されたことを検証するためのみの負荷抵抗モニタ。

6.3.6.1 デバイス BIST

この内蔵セルフテストにより、電源、診断、電流センスに使用するコンパレータの整合性がチェックされます。これは、t_{BIST} 期間で終了するセルフタイム テストです。ユーザーは、レジスタ OFF_DIAG_ABIST_DIS = 0x1 でこのテストを省略できます。

このテストで障害が発生すると、オフ状態診断シーケンスが中止され、STATUS スレジスタに OFF_DIAG_STAT = 0x8 として通知されます。

Copyright © 2026 Texas Instruments Incorporated

6.3.6.2 弱プルアップ テスト

ドライバが無効の場合 (ハイ インピーダンス)、このテストでは、ユーザー構成のプルアップ電流 ($I_{REF_WK_PU}$) を OUTL に強制的に印加し、OUTL の電圧を内部リファレンス ($V_{REF_WK_PU}$) とユーザー構成のタイムアウト (t_{WK_PU}) と比較します。これは、出力のグランドに対して、展開機能を阻害するおそれのからある、な不測のインピーダンスが生じていないかどうかを検出することを意図しています。テスト失敗の場合、オフ状態診断は中止され、STATUS レジスタに OFF_DIAG_STAT = 0x9 として通知されます。

ユーザーは、レジスタ OFF_DIAG_WK_PU_DIS = 0x1 でこのテストを省略できます。

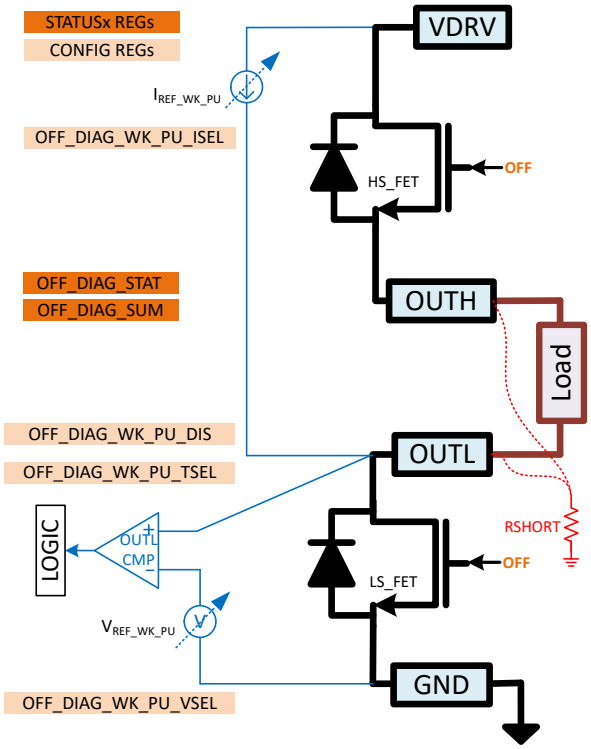


図 6-12. 弱プルアップ テスト図

Copyright © 2026 Texas Instruments Incorporated

6.3.6.3 弱プルダウン テスト

ドライバが無効の場合 (ハイ インピーダンス)、このテストでは、ユーザー構成のプルダウン電流 ($I_{REF_WK_PD}$) を OUTH に強制的に印加し、OUTL の電圧を内部リファレンス ($V_{REF_WK_PD}$) とユーザー構成のタイムアウト (t_{WK_PD}) と比較します。これは、出力の高電圧電源に対して、展開機能を阻害するおそれのある重大な不測のインピーダンスが生じていないかどうかを検出することを意図しています。テスト失敗の場合、オフ状態診断は中止され、STATUS レジスタに OFF_DIAG_STAT = 0xA として通知されます。

ユーザーは、OFF_DIAG_WK_PD_DIS = 0x1 でこのテストを省略できます。

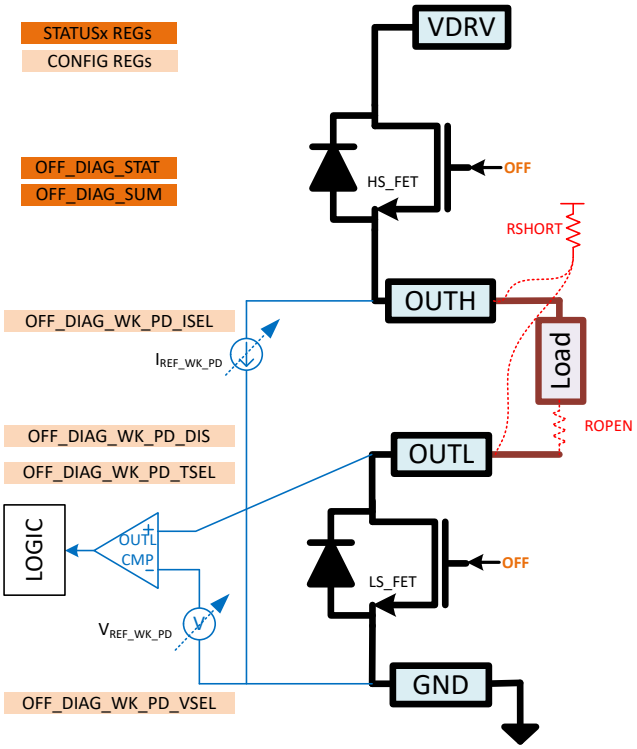


図 6-13. 弱プルダウン テスト図

6.3.6.4 ハイサイド MOSFET RDSON テスト

このテストには 2 つの部分があります。まず、このテストでは、ドライバが無効になった状態 (ハイ インピーダンス) で、出力が VDRV プリチャージ ($V_{REF_PC_HSRDSON}$) に近い値に達するまで、OUTH にプルアップ電流 ($I_{REF_PC_HSRDSON}$) が強制的に印加されます。その後、OUTH のユーザー構成のプルダウン電流 ($I_{REF_HSRDSON}$) でハイサイド (HS) MOSFET スイッチのみがオンとなり、HS MOSFET スイッチのドレイン - ソース間の電圧が内部リファレンス ($V_{REF_HSRDSON}$) と比較されます。テストには、ユーザー構成のタイムアウト ($t_{HSRDSON}$) があります。出力に短絡が発生した場合に MOSFET が確実にオフになるように、HS MOSFET は $I_{OCP_HS_RDSON}$ によって保護されます。

テスト不合格になると、オフ状態診断が中止され、STATUS レジスタに OFF_DIAG_STAT = 0xB として通知されます。プリチャージ タイムアウトと RDSON 障害を区別するために、OFF_DIAG_STAT_MISC レジスタに追加情報が通知されます。

ユーザーは、レジスタ OFF_DIAG_HS_RDSON_DIS = 0x1 でこのテストを省略できますが、LS と HS MOSFET の両方のスイッチ テストを共に省略すること、つまり LS か HS の一方のテストのみを省略しないことを推奨します。

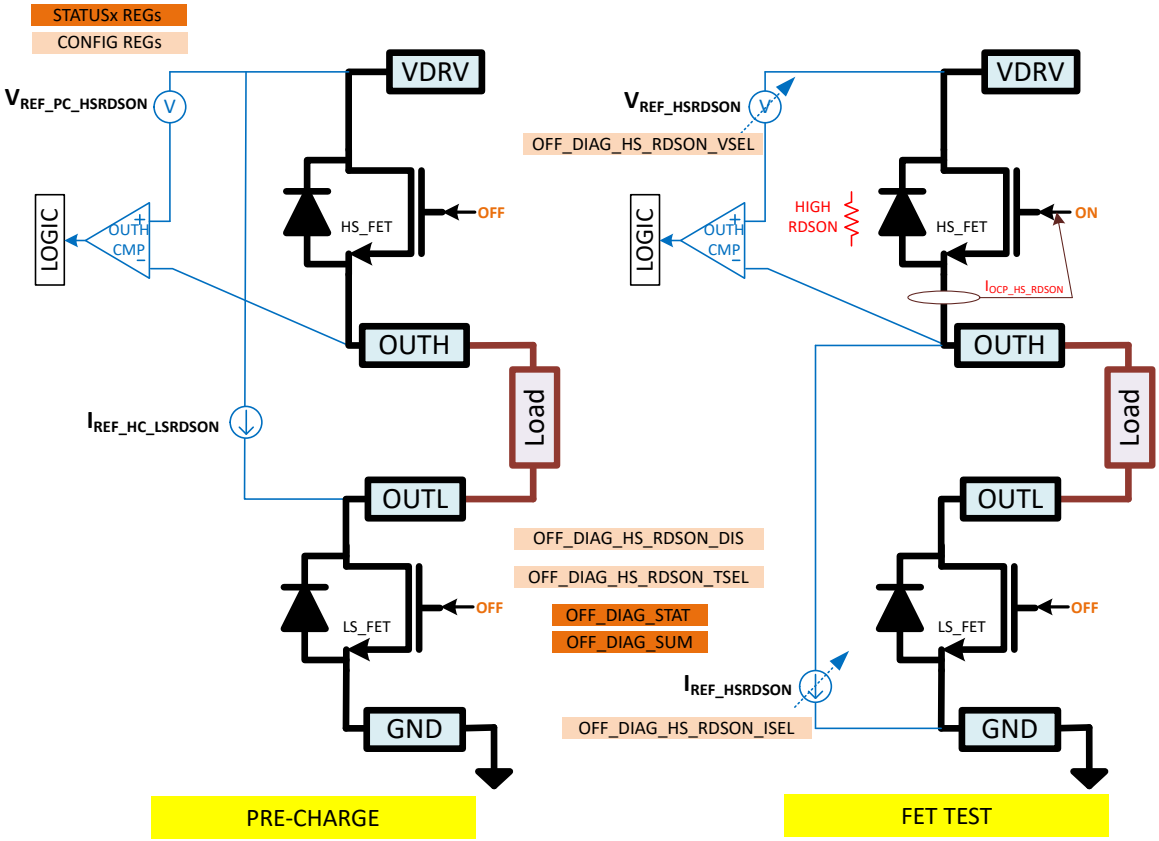


図 6-14. HS MOSFET RDSON テスト図

Copyright © 2026 Texas Instruments Incorporated

6.3.6.5 ローサイド MOSFET RDSON テスト

このテストには 2 つの部分があります。まず、このテストでは、ドライバが無効になった状態 (ハイ インピーダンス) で、出力が GND プリチャージ ($V_{REF_PC_LSRDSON}$) に近い値に達するまで、OUTL にプルダウン電流 ($I_{REF_PC_LSRDSON}$) が強制的に印加されます。その後、OUTL のユーザー構成のプルアップ電流 ($I_{REF_LSRDSON}$) で ローサイド (LS) スイッチのみがオンとなり、LS スイッチのドレイン - ソース間の電圧が内部リファレンス ($V_{REF_LSRDSON}$) と比較されます。テストには、ユーザー構成のタイムアウト ($t_{LSRDSON}$) があります。出力に短絡が発生した場合に MOSFET が確実にオフになるように、LS MOSFET は $I_{OCP_LS_RDSON}$ によって保護されます。

テスト不合格になると、オフ状態診断が中止され、STATUS レジスタに OFF_DIAG_STAT = 0xC として通知されます。プリチャージ タイムアウトと RDSON 障害を区別するために、OFF_DIAG_STAT_MISC レジスタに追加情報が通知されます。

ユーザーは、レジスタ OFF_DIAG_LS_RDSON_DIS = 0x1 でこのテストを省略できますが、LS と HS MOSFET の両方のスイッチ テストを共に省略すること、つまり LS か HS の一方のテストのみを省略しないことを推奨します。

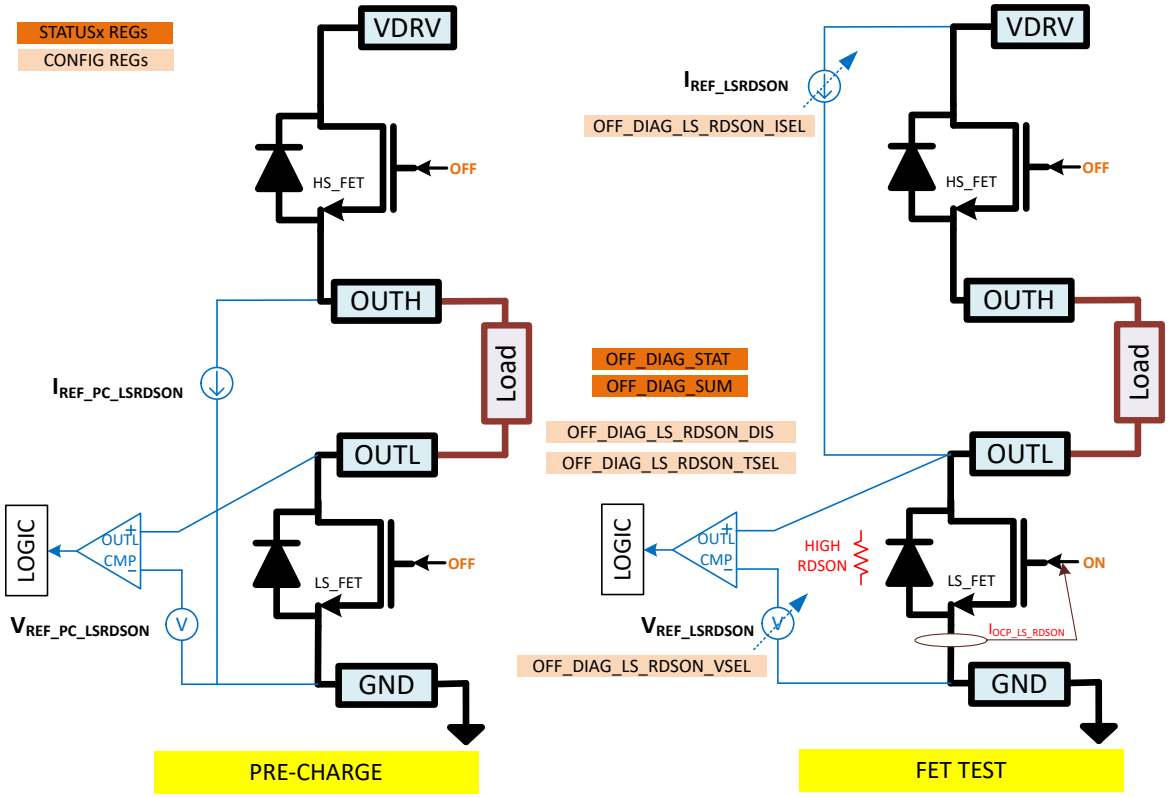


図 6-15. LS MOSFET RDSON テスト図

6.3.6.6 IREF 抵抗モニタ

このテストの目的は、IREF ピンにおける 10kΩ の抵抗の想定に基づき、合格/不合格基準で抵抗測定回路を認定することです。ドライバが無効の場合 (ハイ インピーダンス)、このセルフタイム (t_{IREF_MEAS}) テストにより、外部 IREF ピンに電流 (I_{REF}) が強制され、ゲイン バッファ、5 ビット電圧 DAC、コンパレータで構成される内部抵抗測定ブロックへの電圧入力が生成されます。DAC はすべてのコードを掃引し、トリップ ポイントは MEAS2 レジスタの RIREF_MEAS に記録されます。測定コードが 10kΩ 抵抗の範囲外になった場合、テストは不合格として記録されます。この結果、オフ状態診断は中止され、STATUS レジスタに OFF_DIAG_STAT = 0xD として通知されます。

また、出力が短絡した場合に MOSFET が確実にオフになるように、LS MOSFET は過電流保護 $I_{OCP_LS_MEAS}$ によって保護されます。LS 過電流が発生すると、オフ状態診断は中止され、STATUS レジスタに OFF_DIAG_STAT = 0xE として通知されます。

ユーザーは、レジスタ OFF_DIAG_IREF_DIS = 0x1 でこのテストを省略できます。

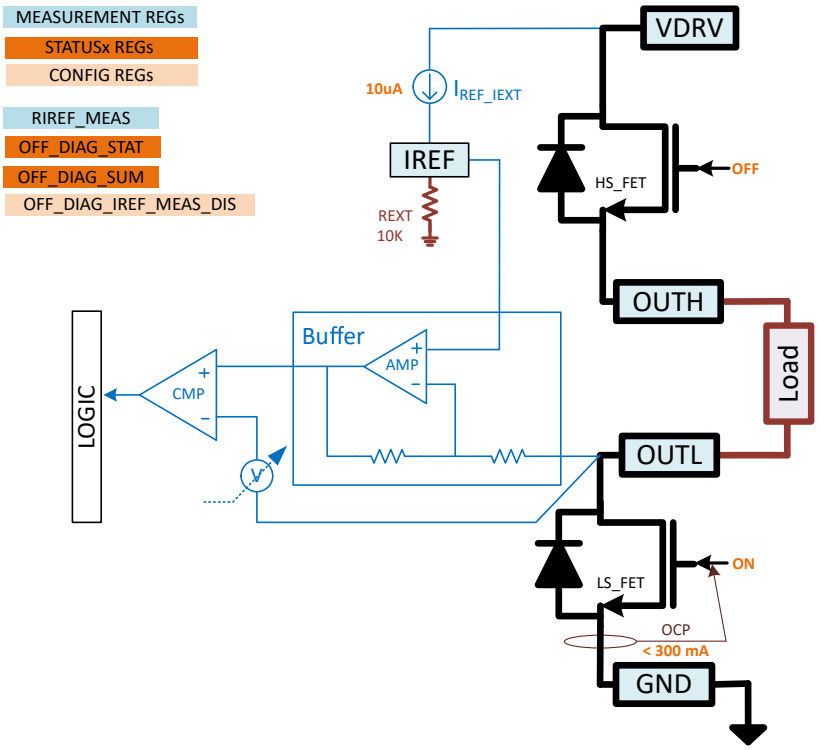


図 6-16. IREF 抵抗モニタ図

6.3.6.7 VREG の電圧および容量測定

このテストには 2 つの部分があります。まず、VREG ピンでの電圧測定です。その後、VREG ピンでの容量測定が行われます。

電圧測定:ドライバが無効 (Hi-Z) で、かつ VREG_SW を閉じた状態では、VREG ピンの電圧が以前のテストから安定するまで 4ms のセトリング タイムがあります。その後に、3 ビット DAC、コンパレータ (CMP)、および DAC コード (V_{DAC_VREG}) をスイープして VREG ピンの電圧を推定するロジックが関与する電圧測定シーケンスが続きます。結果は STATUS レジスタ OFF_DIAG_STAT に、STATUS3 レジスタの VREG_VMEAS に電圧値を記録した正常、またはその後のコンデンサ測定を省略した電圧 Low 障害のいずれかとして報告されます。これはセルフタイム テスト (t_{VREG_VMEAS}) です。追加の確認手段のために、CMP コンパレータに固定オフセットを備えた 2 番目のコンパレータ (CMP_R) を使用します。コンパレータ出力の組み合わせが無効な場合、オフ状態診断は中止され、STATUS レジスタに OFF_DIAG_STAT = 0xD として通知されます。

Copyright © 2026 Texas Instruments Incorporated

容量測定:ドライバが無効 (Hi-Z) で、VREG_SW が開放されると、制御されたプルダウン電流 (I_{VDRV_DIAG}) が VDRV ピンに強制的に印加され、VREG はゆっくりと放電されます。CMP コンパレータの開始リファレンスは、ユーザー構成のスレッショルド (V_{DAC_VREG}) によって設定されます。これは、レジスタ OFF_DIAG_CMEAS_THRS_SEL または OFF_DIAG_CMEAS_THRS_AUTO によって設定されます。このコンパレータがトリップすると、タイマが起動し、コンパレータのリファレンス電圧が低い固定値 V_{DIFF} に切り替わります。コンパレータが再度トリップすると、タイマは停止します。この放電時間は、STATUS3 レジスタの T_VREG_CAP に記録されます。この期間 t_{CMEAS} は、OFF_DIAG_CMEAS_TSEL レジスタによって設定されます。また、VREG スイッチの開放時間およびプルダウン電流のセトリング タイムのためのセットアップ時間 t_{CMEAS_SETUP} が追加されます。ユーザーは、コンパレータのトリップ時間の差に基づいて、固定電圧スレッショルド (V_{DIFF})、プルダウン電流 (I_{VDRV_DIAG}) とともに VREG ピンの容量を推定できます。

ユーザーは、レジスタ OFF_DIAG_VREG_MEAS_DIS = 0x1 でこのテスト (両方の部分) を省略できます。

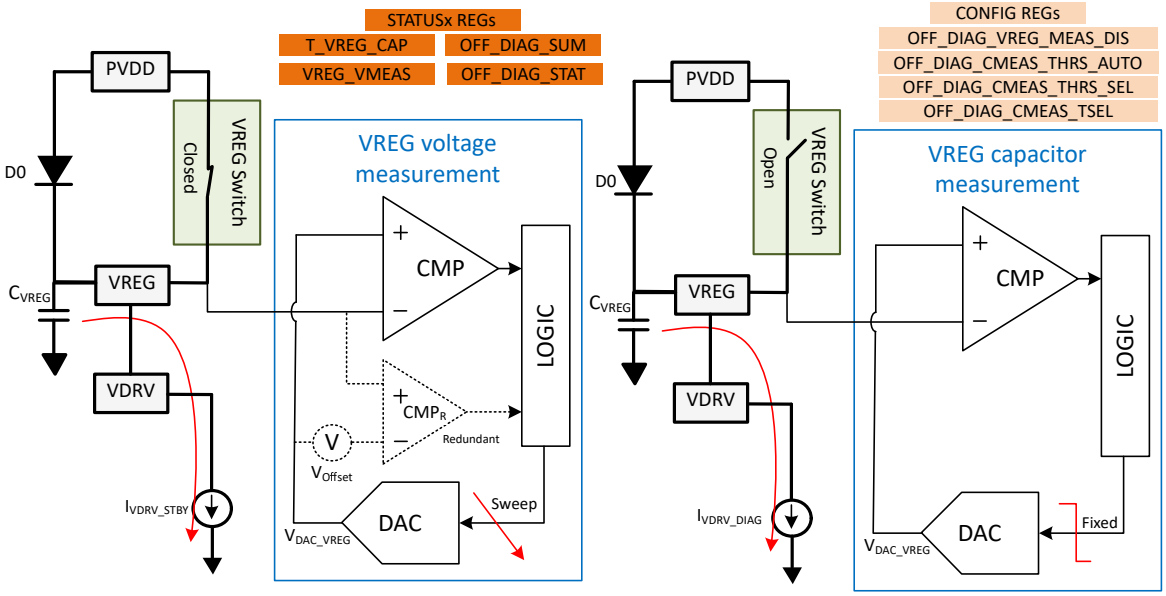


図 6-17. VREG の電圧および容量測定図

表 6-9. リザーバ コンデンサ T_VREG_CAP の計算

T_VREG_CAP	結果	計算
00h	タイマの開始が未発生、値は未確定。	該当なし
01h～31h	タイマの開始と停止が発生	Cap 値 = T_VREG_CAP (レジスタ値 10 進) x タイマ分解能×1.16
31h～3Fh	タイマが開始、しかし停止が未発生。	Cap 値 (ファラッド) > T_VREG_CAP (レジスタ値 10 進) x タイマ分解能×1.16

タイマ分解能 = OFF_DIAG_CMEAS_TSEL (0.5ms、1ms、2ms、4ms)/32。STATUS3 セクションの T_VREG_CAP レジスタの説明を参照することで、さまざまなタイマの開始/停止シナリオを推測する方法に関する理解が深まります。

注

T_VREG_CAP > 31h (タイマが開始、しかし停止が未発生) の場合、デバイスは VREG_SW_W = 2h を記録します。これは、診断の後にクリア フォルト コマンド (CLR_FAULT) を発行することでリセットできます。

Copyright © 2026 Texas Instruments Incorporated

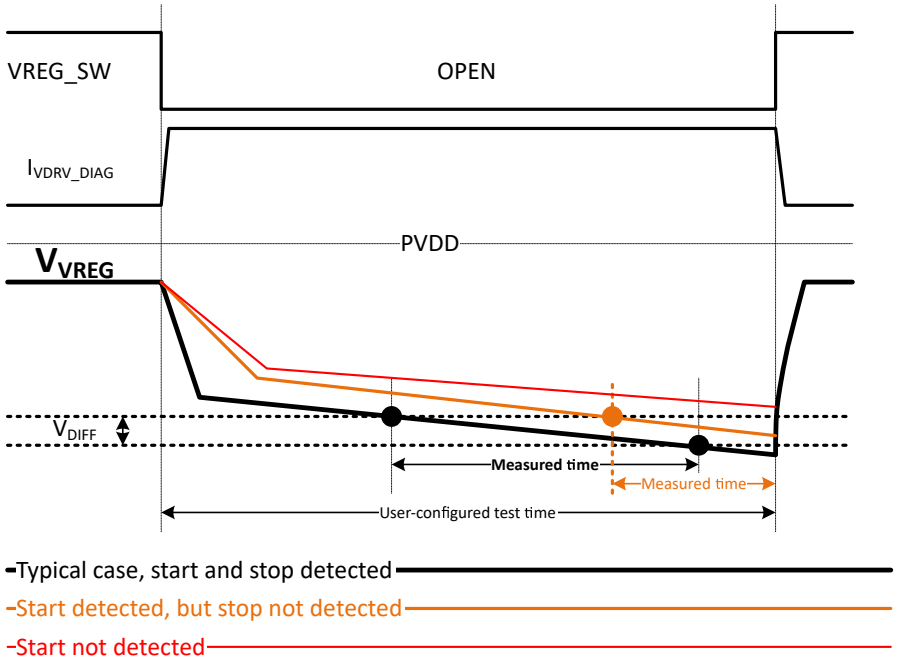


図 6-18. VREG の電圧および容量測定の例

6.3.6.8 出力負荷抵抗モニタ

このユーザー手動のテストは、OUTx ピン間の出力負荷抵抗を監視し、OFF_DIAG_STAT レジスタにて報告される正常またはフェイル High/フェイル Low のいずれかの警告を発信します。負荷抵抗を測定するために、HS FET は過電流制限が低い RDSON モードの LS FET を使って電流源 (I_{RMEAS}) として構成されます。この電圧はバッファで増幅され、2 つの異なるスレッショルドと比較されます。1 つは低スレッショルド チェック (R_{MEASL}) 用に OFF_DIAG_RMEAS_THRS_L_SEL レジスタによって構成され、もう 1 つは高スレッショルド チェック (R_{MEASH}) 用に OFF_DIAG_RMEAS_THRS_H_SEL レジスタによって構成されます。このテスト期間 t_{RMEAS} は、OFF_DIAG_RMEAS_TSEL レジスタによって設定されます。

出力が短絡した場合に MOSFET が確実にオフになるように、出力ドライバ MOSFET は過電流保護 $I_{OCP_LS_MEAS}$ および $I_{OCP_HS_MEAS}$ によって保護されます。LS または HS 過電流が発生すると、オフ状態診断が中止され、STATUS レジスタにそれぞれ OFF_DIAG_STAT = 0xE/0xF として通知されます。

また、コンパレータ出力の組み合わせが無効な場合は、オフ状態診断の中止が発生し、STATUS レジスタに OFF_DIAG_STAT = 0xD として通知されます。ユーザーは、レジスタ OFF_DIAG_RMEAS_DIS = 0x1 でこのテストを省略できます。

Copyright © 2026 Texas Instruments Incorporated

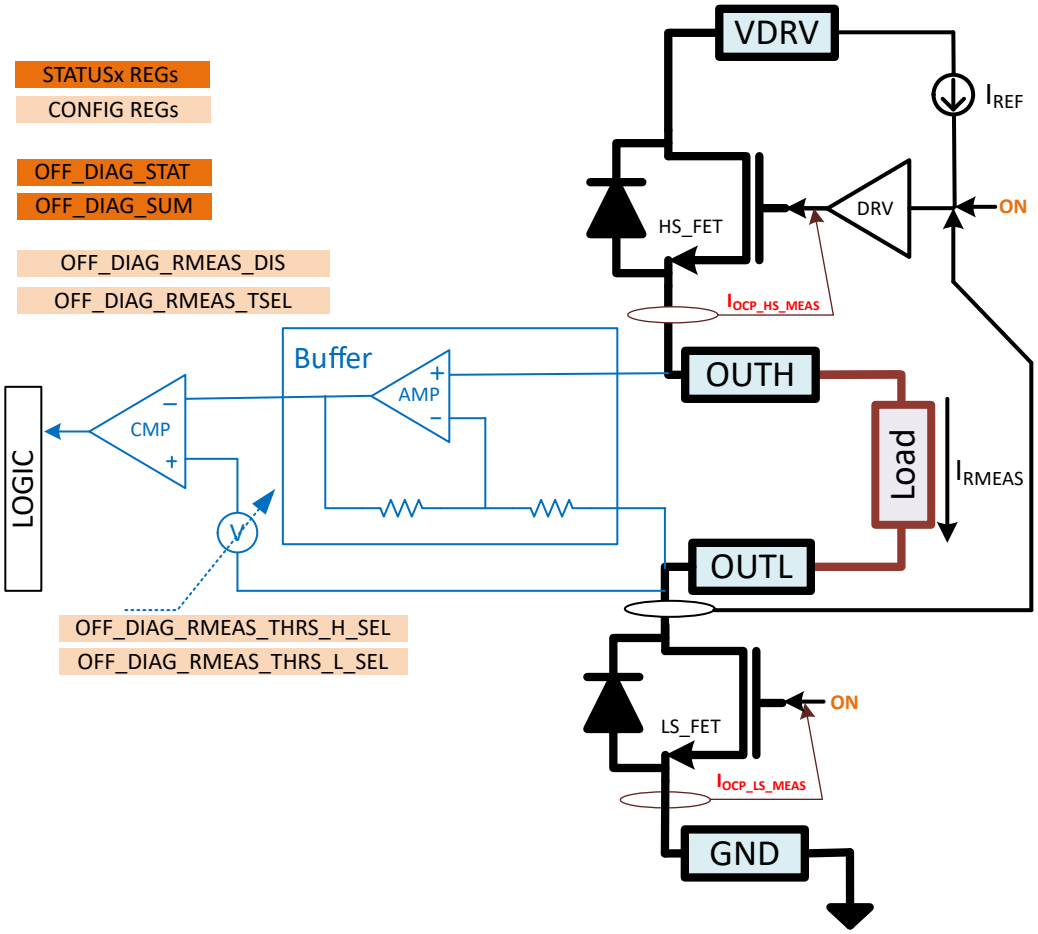


図 6-19. 出力負荷抵抗モニタ図

6.3.7 SPI ウォッチドッグ モニタ

デバイスには SPI ウォッチドッグ モニタが内蔵されており、ウォッチドッグ タイマ ウィンドウ (t_{WD}) 内の有効な SPI (読み取りまたは書き込み) フレームの後にリセットされます。ウォッチドッグ タイマ ウィンドウは、SPI_WD_SEL CONFIG レジスタで構成できます。警告は、SPI_WD_W_DIS レジスタで無効化できます。

6.3.8 nFAULT/NAD ピン

nFAULT/NAD ピンは、外部プルアップ抵抗を備えたデュアル パーパス オープン ドレイン ピンです。これは、デバイスのパワーアップ初期化時のノード アドレス (NAD) の決定に使用され、動作中はフォルトやデバイス STATE 通知 (Low にアサート) に使用されます。

デバイス ノード アドレス (NAD) は、外部プルアップ抵抗で設定されます。4 個の固有アドレスは、5.6、12、27、56kΩ 抵抗 (R_{LVL}) で設定できます。

nFAULT/NAD ピンを設定して、各種のフォルト状態を通知できます。nFAULT/NAD ピンでアサートされるフォルトの種類、およびそれらの設定方法については、nFAULT_CONFIG レジスタを参照してください。

6.3.9 フォルト表

次のセクションでは、構成オプション、応答オプション、回復オプションなど、デバイスの各種保護および診断機能について説明します。安全メカニズム (SM) の詳細な説明、分類、検出範囲については、デバイスの安全マニュアルを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.3.9.1 一般的なデバイス フォルト

表 6-10 に、パワーアップ時の初期化 (INIT1 および INIT2) 状態および STANDBY 状態時のフォルトとフォルト応答を示します。

表 6-10. 一般的なデバイス フォルト表

フォルト	安全メカニズム	構成	デバイスの状態	イネーブル / ディスエーブル	nFAULT アサート	SPI のステータス	展開機能	復帰
SPI ウォッチドッグ違反	SM_SPI_WD	SPI_WD_SEL	INITx 以外	ディスエーブル、SPI_WD_W_DIS = 0x1	なし	該当なし	使用可能	該当なし
				イネーブル、SPI_WD_W_DIS = 0x0	NFAULT_CONFIG1 = 0x1 の場合は「有」	SPI_WD_W	使用可能	CLR_FAULT コマンド
VDD 低電圧	SM_VDD_UV	VDD_UV_FILTER	すべて	常にイネーブル	なし	SDO VDD_ERR	使用可能	自動回復
VDD 過電圧	SM_VDD_OV	VDD_OV_FILTER	すべて	常にイネーブル	なし	SDO VDD_ERR	使用可能	自動回復
ノード アドレス抵抗が範囲外	SM_NAD_MON	該当なし	INIT2	常にイネーブル	なし	SDO NAD_ERR	該当なし	RE_INIT_NAD ブロードキャスト コマンド
ノード アドレス SDO バス競合	SM_NAD_MON	該当なし	INIT1 以外	常にイネーブル	なし	SDO NAD_ERR	該当なし	NAD_OVERRIDE ブロードキャスト コマンド
SPI コマンドの CRC	SM_SPI_CMD_CRC	該当なし	INIT1 以外	常にイネーブル	なし	SPI_ERR	使用可能	次の有効な SPI コマンド
フレーム長違反	SPI フレーム エラー	該当なし	INIT1 以外	常にイネーブル	なし	SPI_ERR	使用可能	次の有効な SPI フレーム
CONFIG レジスタの CRC 違反	SM_CONFIG_CRC	該当なし	INIT1 以外	常にイネーブル	なし	CONFIG_CRC_W	使用可能	正しい CRC が入力
パワーオン リセット	SM_V5_S_POR	該当なし	すべて	常にイネーブル	なし	POR	該当なし	CLR_FAULT コマンド
安全層 V5_S UV または OV	SM_V5S_UV または SM_V5S_OV	該当なし	すべて	常にイネーブル	あり	SDO DEV_ERR (SDO ピン ハイ インピーダンス)	該当なし	パワー サイクル
安全層 f_{OSC} Low または High	SM_OSC_MON	該当なし	すべて	常にイネーブル	あり	SDO DEV_ERR (SDO ピン ハイ インピーダンス)	該当なし	パワー サイクル
安全層デジタル BIST 障害	SM_LOGIC_BIST	該当なし	INIT1	常にイネーブル	あり	SDO DEV_ERR (SDO ピン ハイ インピーダンス)	該当なし	パワー サイクル
安全層メモリ BIST 障害	SM_MEM_BIST	該当なし	INIT1	常にイネーブル	あり	SDO DEV_ERR (SDO ピン ハイ インピーダンス)	該当なし	パワー サイクル

Copyright © 2026 Texas Instruments Incorporated

表 6-10. 一般的なデバイス フォルト表 (続き)

フォルト	安全メカニズム	構成	デバイスの状態	イネーブル / ディスエーブル	nFAULT アサート	SPI のステータス	展開機能	復帰
アナログ BIST 障害	SM_ABIST	該当なし	INIT2	常にイネーブル	なし	STARTUP_BIST_W	該当なし	パワー サイクル、REINIT_NAD
VDRV 低電圧	SM_VDRV_UV	VDRV_UV_FLTR	INIT1、INIT2	常にイネーブル	なし	SDO VDD_ERR	該当なし	CLR_FAULT コマンド
			STANDBY	常にイネーブル	なし	VDRV_UV	STANDBY 状態で使用可能	CLR_FAULT コマンド
VDRV 過電圧	SM_VDRV_OV	VDRV_OV_FLTR	STANDBY	ディスエーブル、VDRV_OV_W_DIS = 0x1	なし	該当なし	使用可能	該当なし
				イネーブル、VDRV_OV_W_DIS = 0x0	なし	VDRV_OV	該当なし	CLR_FAULT コマンド
VREG スイッチ モニタ	SM_VREG_SW_MONITOR	該当なし	STANDBY	ディスエーブル、VREG_SW_W_DIS = 0x1	なし	該当なし	使用可能	該当なし
				イネーブル、VREG_SW_W_DIS = 0x0	なし	VREG_SW_W	使用可能	CLR_FAULT コマンド
過熱警告	SM_OTW	該当なし	STANDBY	ディスエーブル、OT_W_DIS = 0x1	なし	該当なし	使用可能	該当なし
				イネーブル、OT_W_DIS = 0x0	なし	OT_W	使用可能	CLR_FAULT コマンド

6.3.9.2 オフ状態診断フォルト

この表は、オフ状態診断時に発生する可能性のあるフォルトとフォルト応答をまとめたものです。

表 6-11. オフ状態診断フォルト表

フォルト	安全メカニズム	構成	イネーブル / ディスエーブル	nFAULT アサート	SPI のステータス	応答	復帰
VDRV 低電圧	SM_VDRV_UV	VDRV_UV_FLTR	常にイネーブル	NFAULT_CONFIG2 = 0x1 の場合は「有」	VDRV_UV、OFF_DIAG_SUM、OFF_DIAG_STAT	診断が中止	CLR_FAULT コマンド
VDRV 過電圧警告	SM_VDRV_OV	該当なし	ディスエーブル、VDRV_OV_W = 0x1	なし	なし	なし	該当なし
			イネーブル、VDRV_OV_W = 0x0	NFAULT_CONFIG2 = 0x1 の場合は「有」	VDRV_OV、OFF_DIAG_SUM、OFF_DIAG_STAT	診断が中止	CLR_FAULT コマンド

Copyright © 2026 Texas Instruments Incorporated

表 6-11. オフ状態診断フォルト表 (続き)

フォルト	安全メカニズム	構成	イネーブル / ディスエーブル	nFAULT アサート	SPI のステータス	応答	復帰
過熱警告	SM_OTW	該当なし	ディスエーブル、OT_W_DIS = 0x1	なし	なし	TSD レベルでのみ診断が中止	該当なし
			イネーブル、OT_W_DIS = 0x0	NFAULT_CONFIG2 = 0x1 の場合は「有」	OFF_DIAG_STAT、OFF_DIAG_SUM、OT_W	診断が中止	CLR_FAULT コマンド
デバイス BIST 障害警告	SM_DIAG_BIST	該当なし	ディスエーブル、OFF_DIAG_ABIST_DIS = 0x1	なし	なし	なし	該当なし
			イネーブル、OFF_DIAG_ABIST_DIS = 0x0	NFAULT_CONFIG2 = 0x1 の場合は「有」	OFF_DIAG_STAT、OFF_DIAG_SUM	診断が中止	CLR_FAULT コマンド
弱プルアップ障害	SM_WK_PU	OFF_DIAG_WK_PU_TSEL、OFF_DIAG_WK_PU_VSEL、OFF_DIAG_WK_PU_ISEL、	ディスエーブル、OFF_DIAG_WK_PU_DIS = 0x1	なし	なし	なし	該当なし
			イネーブル、OFF_DIAG_WK_PU_DIS = 0x0	NFAULT_CONFIG2 = 0x1 の場合は「有」	OFF_DIAG_STAT、OFF_DIAG_SUM	診断が中止	CLR_FAULT コマンド
弱プルダウン障害	SM_WK_PD	OFF_DIAG_WK_PD_TSEL、OFF_DIAG_WK_PD_VSEL、OFF_DIAG_WK_PD_ISEL、	ディスエーブル、OFF_DIAG_WK_PD_DIS = 0x1	なし	なし	なし	該当なし
			イネーブル、OFF_DIAG_WK_PD_DIS = 0x0	NFAULT_CONFIG2 = 0x1 の場合は「有」	OFF_DIAG_STAT、OFF_DIAG_SUM	診断が中止	CLR_FAULT コマンド
ハイサイド FET RDSON 障害	SM_HS_RDSON	OFF_DIAG_HS_RDSON_TSEL、OFF_DIAG_HS_RDSON_VSEL、OFF_DIAG_HS_RDSON_ISEL、	ディスエーブル、OFF_DIAG_HS_RDSON_DIS = 0x1	なし	なし	なし	該当なし
			イネーブル、OFF_DIAG_HS_RDSON_DIS = 0x0	NFAULT_CONFIG2 = 0x1 の場合は「有」	OFF_DIAG_STAT、OFF_DIAG_SUM、OFF_DIAG_STAT_MISC	診断が中止	CLR_FAULT コマンド
ローサイド FET RDSON 障害	SM_LS_RDSON	OFF_DIAG_LS_RDSON_TSEL、OFF_DIAG_LS_RDSON_VSEL、OFF_DIAG_LS_RDSON_ISEL、	ディスエーブル、OFF_DIAG_LS_RDSON_DIS = 0x1	なし	なし	なし	該当なし
			イネーブル、OFF_DIAG_LS_RDSON_DIS = 0x0	NFAULT_CONFIG2 = 0x1 の場合は「有」	OFF_DIAG_STAT、OFF_DIAG_SUM、OFF_DIAG_STAT_MISC	診断が中止	CLR_FAULT コマンド
LS FET 過電流	SM_LS_OCP	該当なし	常にイネーブル	NFAULT_CONFIG2 = 0x1 の場合は「有」	OFF_DIAG_STAT、OFF_DIAG_SUM	診断が中止	CLR_FAULT コマンド

Copyright © 2026 Texas Instruments Incorporated

表 6-11. オフ状態診断フォルト表 (続き)

フォルト	安全メカニズム	構成	イネーブル / ディスエーブル	nFAULT アサート	SPI のステータス	応答	復帰
HS FET 過電流	SM_HS_OCP	該当なし	常にイネーブル	NFAULT_CONFIG2 = 0x1 の場合は「有」	OFF_DIAG_STAT、OFF_DIAG_SUM	診断が中止	CLR_FAULT コマンド
IREF 抵抗モニタ障害	SM_IREF_MON	該当なし	ディスエーブル、OFF_DIAG_IREF_MEAS_DIS = 0x1	なし	なし	なし	該当なし
			イネーブル、OFF_DIAG_IREF_MEAS_DIS = 0x0	NFAULT_CONFIG2 = 0x1 の場合は「有」	OFF_DIAG_STAT、OFF_DIAG_SUM	診断が中止	CLR_FAULT コマンド
VREG 電圧測定障害	SM_VREG_V_MONITOR	該当なし	無効、OFF_DIAG_VREG_VMEAS_DIS = 0x1	なし	なし	なし	該当なし
			有効、OFF_DIAG_VREG_VMEAS_DIS = 0x0	NFAULT_CONFIG2 = 0x1 の場合は「有」	OFF_DIAG_STAT、OFF_DIAG_SUM、OFF_DIAG_STAT_MISC	なし	該当なし
RMEAS 範囲外 — 警告	SM_RLOAD_MEAS	OFF_DIAG_RMEAS_THRS_H_SEL OFF_DIAG_RMEAS_THRS_L_SEL OFF_DIAG_RMEAS_TSEL	ディスエーブル、OFF_DIAG_RMEAS_DIS = 0x1	なし	なし	なし	該当なし
			イネーブル、OFF_DIAG_RMEAS_DIS = 0x0	NFAULT_CONFIG2 = 0x1 の場合は「有」	OFF_DIAG_STAT、OFF_DIAG_SUM	なし	該当なし

6.3.9.3 展開フォルト

この表は、展開中 (ACTIVE 状態) に発生する可能性のあるフォルトとフォルト応答をまとめたものです。

表 6-12. 展開フォルト表

フォルト	安全メカニズム	構成	nFAULT アサート	SPI のステータス	反応	回復
展開電流タイムアウト違反	SM_PULSE_MEAS	TSTART_TO	NFAULT_CONFIG3 = 0x1 の場合は「有」	DEPLOY_STAT、DEPLOY_SUM	展開継続	CLR_FAULT コマンド
過熱警告	SM_OTW	該当なし	NFAULT_CONFIG3 = 0x1 の場合は「有」	DEPLOY_STAT、DEPLOY_SUM、OT_W	展開継続。DEPLOY_ISEL を参照	CLR_FAULT コマンド
過熱シャットダウン	SM_TSD	該当なし	NFAULT_CONFIG3 = 0x1 の場合は「有」	DEPLOY_STAT、DEPLOY_SUM	展開中止	CLR_FAULT コマンド
LS FET 過電流	SM_LS_OCP	該当なし	NFAULT_CONFIG3 = 0x1 の場合は「有」	DEPLOY_STAT、DEPLOY_SUM	展開中止	CLR_FAULT コマンド
HS FET 過電流	SM_HS_OCP	該当なし	NFAULT_CONFIG3 = 0x1 の場合は「有」	DEPLOY_STAT、DEPLOY_SUM	展開中止	CLR_FAULT コマンド

Copyright © 2026 Texas Instruments Incorporated

表 6-12. 展開フォルト表 (続き)

フォルト	安全メカニズム	構成	nFAULT アサート	SPI のステータス	反応	回復
VDRV 低電圧	SM_VDRV_UV	VDRV_UV_FLTR	NFAULT_CONFIG3 = 0x1 の場合は「有」	DEPLOY_STAT、DEPLOY_SUM、VDRV_UV	展開継続 (RDSON モードで)	CLR_FAULT コマンド
VDRV バイアス低電圧	SM_VDRV_UV	該当なし	NFAULT_CONFIG3 = 0x1 の場合は「有」	DEPLOY_STAT、DEPLOY_SUM	展開中止	CLR_FAULT コマンド
VDRV 過電圧	SM_VDRV_OV	VDRV_OV_FLTR	NFAULT_CONFIG3 = 0x1 の場合は「有」	DEPLOY_STAT、DEPLOY_SUM、VDRV_OV	展開中止	CLR_FAULT コマンド

Copyright © 2026 Texas Instruments Incorporated

6.4 デバイスの機能モード

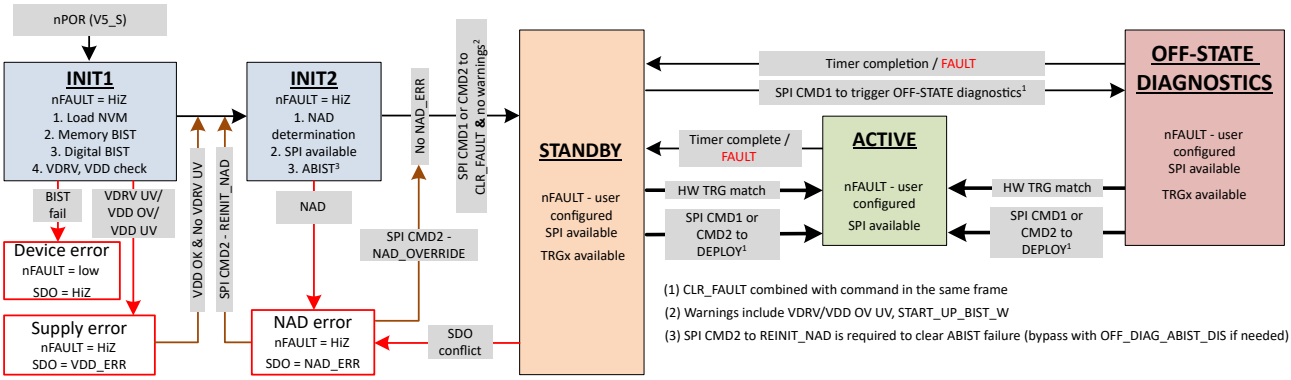


図 6-20. DRV3901-Q1 の状態図

さまざまな状態と状態遷移を以下に示します。

1. VDRV または VDD のいずれかが、デバイスのパワーアップを開始します。内部パワーオン リセット (V5_S 電源では nPOR と表示) が解除されると、デバイスは INIT1 状態に移行します。INIT1 状態では、工場出荷時にプログラムされた NVM がロードされ、さらにメモリ BIST (CRC チェック) とデジタル BIST が実行されます。BIST 障害が発生した場合、デバイスはロック エラー状態に移行し、nFAULT ピンを Low に駆動し、SPI で DEV_ERR フォルトを示すことでこれを通知します (SDO 出力 Hi-Z)。このシーケンスを再起動できるのはパワー サイクルのみです。
2. **INIT1 状態**に移行した後、デバイスは電源 (VDD と VDRV の両方) が有効になるまで待機します。たとえば、INIT2 状態に遷移する前に、VDD 過電圧、VDD 低電圧、VDRV 低電圧のいずれも発生していないとします。デフォルトでは、SPI SDO VDD_ERR が設定されます。電源エラーがない場合のみ、VDD_ERR はクリアされます。
3. **INIT2 状態**では、NAD_ERR がデフォルトで設定されます。デバイスは、nFAULT/NAD ピンにおける外部プルアップ抵抗に基づいて、SPI 通信のノード アドレス (NAD) の決定を開始します。有効な NAD 決定が行われた場合のみ、SPI SDO NAD_ERR はクリアされます。NAD 決定が成功すると、STATUS0 の SPI POR ビットが設定され、リセットからのデバイス ウェークアップが示され、SPI 通信が利用可能になり、nFAULT インジケータがデフォルト設定に構成されます。その後、アナログ BIST (ABIST) が実行され、STATUS1 の STARTUP_BIST_W ビットにその障害が記録されます。TRGx_PIN_STAT ビットは 0x0 (まだデータなし) を読み取り、TRG1_PIN_LVL ビットは瞬時ピン レベルを反映します。

注

NAD の自動決定後に NAD_ERR が検出された場合、外部マイコンは REINIT_NAD SPI ブロードキャスト コマンドを使用した再決定を要求するか、または ASSIGNED_NAD とともに NAD_OVERRIDE SPI ブロードキャスト コマンドを発行できます。このコマンドは、NAD_ERROR を持つデバイスのみが処理します。

---

4. ここで、デバイスは外部マイコンが一連の手順を実行することを想定しています。
   a. デバイスが STANDBY モードに移行するために、CLR_FAULT SPI コマンドを発行します。
   b. これにより、デバイスは nFAULT がデアサートされた STANDBY 状態になり、TRGx_PIN_STAT がピン ステータスを反映するようになります。なお、ハードウェア展開トリガ ピン (TRGx) は、誤って展開されないようにデフォルトで無効になっています。
   c. CONFIG レジスタの 10 バイトを、計算された CRC と一緒に書き込みます。

注

STANDBY 状態で SDO の競合が発生した場合、SPI CMD - REINIT_NAD は自動的に INIT2 状態を介してデバイスを STANDBY にします。SDO 競合は、デバイスが SDO バスを強制的に High にし、SDO が外部から LOW に駆動された場合やその逆に駆動された場合に発生する可能性があります。

---

5. TRG_SEL 構成に基づいて、デバイスは展開のために **ACTIVE 状態**にコマンドを送信できます。上図は、SPI コマンド「OR」トリガ (TRGx) ピン インターフェイスで展開が可能な TRG_SEL オプションを示しています。展開オプションは、SPI コマンドとトリガ ピンの「AND」組み合わせに対しても使用できます。展開では、以下の 2 種類の SPI コマン

Copyright © 2026 Texas Instruments Incorporated

ドがサポートされています。SPI バス内の特定のノード アドレス指定されたデバイスの CMD1、または SPI バス内のすべてのデバイスの CMD2 (ブロードキャスト コマンド)。展開が完了すると (タイマの完了またはフォルトによる中止)、デバイスは STATUS レジスタを更新します。それ以降の展開コマンドは、CLR_FAULT コマンドが発行されるまで処理されません。

6. また、SPI コマンドを使用して**オフ状態診断を**実行するようにデバイスに指示できます。オフ状態診断中、いつでもデバイスに展開を指示することができます。同じフレームで、CLR_FAULT コマンドを展開またはオフ状態診断コマンドと組み合わせることができます。

注

デバイスのインターフェイスと制御に関する推奨事項については、「アプリケーションと実装」、「初期化設定」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.5 プログラミング

6.5.1 SPI インターフェイス

デバイスは、4 線式 24 ビット SPI フォロワのシリアル インターフェイス プロトコルを搭載しています。SPI バスは、デバイス構成と動作パラメータの設定、デバイスの診断情報の読み取りに使用します。デバイスの SPI はペリフェラル モードで動作し、中央コントローラに接続します。SPI 入力データ (SDI) は 24 ビットで構成され、8 ビットのヘッダと 16 ビットのデータで構成されています。SPI 出力データ (SDO) ワードは、受信したデータ (SDI) の読み戻しと、読み取りコマンド用の特定のアドレス データで構成されています。SDI のデータは SCLK ピンの立ち下がりエッジで収集され、SDO のデータは SCLK ピンの立ち上がりエッジで伝搬されます。代表的なマイコンの大半で、これはモード 1 (CPOL = 0、CPHA = 1) です。

有効なフレームは次の条件を満たしていなければなりません。

- nSCS ピンが High から Low へ (データ送信を有効にするため)、および Low から High へ (データ送信を終了するため) 遷移する際、SCLK ピンは Low である必要があります。
- nSCS ピンは、各 24 ビット フレーム送信の間で High にプルアップされる必要があります。
- 各フレームは正確に 24 個の SCLK である必要があります。それ以外の場合、フレームは無効なフレームとして破棄され、次のフレーム送信で SPI_ERR のフラグが立てられます。
- SDI のデータは SCLK ピンの立ち下がりエッジで収集され、SDO のデータは SCLK ピンの立ち上がりエッジで伝搬されます。
- nSCS ピンが High にされているときは、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンがハイ インピーダンス状態になります
- 最上位ビット (MSB) から先にシフト インおよびシフト アウトされます

6.5.2 アドレス指定可能な SPI

このデバイスはオプションでアドレス指定可能な SPI フォーマットをサポートしており、最大 4 個のデバイスが同じチップセレクト ピン (nSCS) で動作できます。また、特別なブロードキャスト コマンドを使用して、アドレス指定された共有バス上のすべてのデバイスが特定のアクションを同時に実行し、複数のデバイスとの接続に必要なピンを最小限に抑えることができます。

CMD2 ブロードキャスト コマンドを使用すると、SDI データは同じアドレス指定可能な SPI バス上のすべてのデバイスに送信されます。SDO 応答は単一のデバイスに制限され、応答デバイスは SDI フレームのノード アドレス ビット (A6、A5) を使用して設定されます。

アドレス指定可能な SPI 機能を使用しない場合、nFAULT/NAD ピンのプルアップ抵抗は 5.6kΩ のプルアップ抵抗値を使用して、デフォルト アドレス (00) に設定できます。その後、SPI は、アドレス ビット A6 = 0b、A5 = 0b に常に設定することで、通常の SPI として機能します。

パワーアップ初期化時に、デバイスは nFAULT/NAD ピンの VDD へのプルアップ インピーダンスに基づくノード アドレス (デバイス アドレス) を自動的に割り当てます (値については以下の表を参照)。このアドレスは、SPI フレームで使用される 8 ビット ヘッダ (A6、B5) の 2 MSB にマッピングされます。これにより、nFAULT/NAD ピンのノード アドレス機能を使用して、各ドライバに固有のアドレス (最大 4 個のドライバ) を割り当てることができます。初期化が完了すると、コントローラは 1 個の 24 ビット フレームを使用して、アドレス指定されたすべてのデバイスの特定のレジスタにアクセスできます。初期化後、このピンは通常のデバイス動作時の nFAULT アサート (オープン ドレイン、アクティブ Low) に使用されます。

表 6-13.

A6	A5	nFAULT/NAD ピンの VDD への抵抗
0	0	5.6kΩ
0	1	12kΩ
1	0	27kΩ
1	1	56kΩ

6.5.3 SPI エラー インジケータ

SPI プロトコルは、SDO 応答の特定の SPI エラーを直接示す機能を備えています。以下は 4 種類のエラーの説明です。前述のセクションに、SPI エラー フォーマットの例が記載されています。

VDD_ERR: SDO 応答の先行ビットは、VDD_ERR を通知するために使用されます。このエラーは、SPI バス上のいずれかのデバイスで VDD 低電圧 (VDD 喪失) または VDD 過電圧が原因で発生する可能性があります。パワーアップ初期化 (INIT1、INIT2) 時に、このフィールドは VDRV 低電圧も示します。

NAD_ERR: ノード アドレス (初期化時に抵抗の範囲外やデバイス バイアスの問題) を特定できない場合、または SDO 送信中のデータの競合が発生した場合に、NAD_ERR 状態になります。SDO 応答の先行ビットは NAD_ERR の信号に使用され、応答の残りの部分は無効 (ハイ インピーダンス) になります。このエラーは、SPI バス上のいずれかのデバイスで検出された NAD_ERR が原因で発生する可能性があります。コントローラは、ブロードキャスト コマンド RE_INIT_NAD、NAD_OVERRIDE、ASSIGNED NAD を使用して、NAD_ERR 状態を解決できます。パワーアップ後、NAD アドレスはラッチされ、変更されません (ユーザーが指示した場合を除く)。

SPI_ERR: デバイスは、次の SPI フレームで SPI_ERR ビット (SDO 応答の 3 番目の先行ビット) を High にアサートすることで、SPI フレームの除去を通知します。これは、out-of-frame 信号とも呼ばれます。SDO 応答の残りの部分は通常どおり進行します。nSCS が Low である場合 (デバイスは正確に 24 を想定)、またはコマンド CRC の不一致に起因して、SCLK エッジの数が正しくないため、SPI_ERR が発生する可能性があります。

DEV_ERR: さまざまなデバイス セルフテスト (BIST) およびパワーアップによってエラーが検出された場合は、SDI ピンをハイ インピーダンスに維持することで、デバイスは SDO 応答のデバイス エラーを監視します。

Copyright © 2026 Texas Instruments Incorporated

6.5.4 SPI フォーマット

24 ビット SPI 動作は 3 種類あります。

- 読み出し:アドレス指定された位置からレジスタ データを読み戻します。8 ビット ヘッダは、2 ビットのデバイス アドレス、5 ビットのレジスタ アドレス、読み取りを示す 1 ビット (B16 の 0x1) で構成されます。16 ビットのデータは無視され、"0"s/ として設定できます
- 書き込み:アドレス指定された位置のレジスタ内容を変更します。8 ビットヘッダは、2 ビットのデバイス アドレス、5 ビットのレジスタ アドレス、書き込みを示す 1 ビット (B16 の 0x0) で構成されます。16 ビット データは、アドレス指定されたレジスタに書き込むデータで構成されています。
- コマンド:CRC8 保護を使用した特別な書き込みコマンドです。8 ビットヘッダは、2 ビットのデバイス アドレス、5 ビットのレジスタ アドレス、書き込みを示す 1 ビット (B16 の 0x0) で構成されます。その後に 8 ビットのコマンド バイトと 8 ビットの CRC バイトが続きます。CRC は、結合されたヘッダとコマンド バイト (B23-B8) の組み合わせで取得されます。CRC 多項式 = 0x97。デバイスは、CRC (最下位バイト) がフレームの先頭 2 バイトから計算された CRC と一致した場合にのみこのコマンドを受け入れます。一致しない場合、フレームは無視され、SPI_ERR ビットが設定されます。

SDO の先頭ビットは、特定のエラーを示すために使用されます。追加の詳細は、セクション 6.5.3 に記載されています。

表 6-14. SPI 読み取りフォーマット

SPI 読み取り		ヘッダ バイト								データ バイト - MSB								データ バイト - LSB							
		B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
SDI	読み出し	A6	A5	A4	A3	A2	A1	A0	1	すべて「0」															
SDO	正常	ハイ インピーダンス		0	A4	A3	A2	A1	A0	アドレス指定された場所からの DATA[15:0]															
	SPI_ERR	ハイ インピーダンス		1	A4	A3	A2	A1	A0	アドレス指定された場所からの DATA[15:0]															
	VDD_ERR	0	ハイ インピーダンス																						
	NAD_ERR	ハイ インピーダンス	0	ハイ インピーダンス																					
	DEV_ERR	ハイ インピーダンス																							

表 6-15. SPI 書き込みフォーマット

SPI 書き込み		ヘッダ バイト								データ バイト - MSB								データ バイト - LSB							
		B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
SDI	書き込み	A6	A5	A4	A3	A2	A1	A0	0	アドレス指定された場所からの新しい DATA[15:0]															

Copyright © 2026 Texas Instruments Incorporated

表 6-15. SPI 書き込みフォーマット (続き)

SPI 書き込み		ヘッダ バイト								データ バイト - MSB								データ バイト - LSB							
		B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
SDO	正常	ハイ インピーダンス		0	A4	A3	A2	A1	A0	アドレス指定された場所からの以前の DATA[15:0]															
	SPI_ERR	ハイ インピーダンス		1	A4	A3	A2	A1	A0	アドレス指定された場所からの以前の DATA[15:0]															
	VDD_ERR	0	ハイ インピーダンス																						
	NAD_ERR	ハイ インピーダンス	0	ハイ インピーダンス																					
	DEV_ERR	ハイ インピーダンス																							

Copyright © 2026 Texas Instruments Incorporated

表 6-16. SPI コマンド フォーマット

SPI コマンド		ヘッダ バイト								データ バイト - MSB								データ バイト - LSB							
		B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
SDI	コマンド	A6	A5	A4	A3	A2	A1	A0	0	COMMAND[15:8]								ビット B23-B8 の CRC8[7:0]。多項式 = 0x97							
SDO	正常	ハイ インピーダンス		0	A4	A3	A2	A1	A0	アドレス指定された場所からの以前の DATA[15:0]															
	SPI_ERR	ハイ インピーダンス		1	A4	A3	A2	A1	A0	アドレス指定された場所からの以前の DATA[15:0]															
	VDD_ERR	0	ハイ インピーダンス																						
	NAD_ERR	ハイ インピーダンス	0	ハイ インピーダンス																					
	DEV_ERR	ハイ インピーダンス																							

Copyright © 2026 Texas Instruments Incorporated

7 レジスタ マップ

デバイスには、ステータス (STATUS)、測定 (MEAS)、構成 (CONFIG)、コマンド (CMD) の 4 組があります。これらのレジスタ マップとレジスタの詳細を以下に示します。

表 7-1. ステータス (STATUS) レジスタ マップ

ADDR	名称	B15	B14	B13	B12	B11	B10	B9	B8
		B7	B6	B5	B4	B3	B2	B1	B0
1h	STATUS0	NAD		POR	TRG1_PIN_STAT		TRG2_PIN_STAT		警告
		DEPLOY_SUM		OFF_DIAG_SUM		RSVD	RSVD	NFAULT_PIN_STAT	DEV_ERR
2h	STATUS1	NAD		TRG1_PIN_LVL	TRG1_PIN_LVL	DEVICE_ID		RSVD	RSVD
		VDRV_OV	OT_W	SPI_WD_W	STARTUP_BIST_W	VDRV_UV	VREG_SW_W		CONFIG_CRC_W
3h	STATUS2	NAD		RSVD					
		OFF_DIAG_STAT				DEPLOY_STAT			
4h	STATUS3	NAD		T_VREG_CAP					
		OFF_DIAG_STAT				OFF_DIAG_STAT_MISC	VREG_VMEAS		

表 7-2. 測定 (MEAS) レジスタ マップ

ADDR	名称	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
5h	MEAS0	NAD		RSVD					TSTART_MEAS								
6h	MEAS1	NAD		RSVD	TDEPLOY_MEAS												
7h	MEAS2	NAD		RSVD								RIREF_MEAS					

表 7-3. 構成 (CONFIG) レジスタ マップ

ADDR	名称	B15	B14	B13	B12	B11	B10	B9	B8
		B7	B6	B5	B4	B3	B2	B1	B0
10h	CONFIG0	OFF_DIAG_WK_PU_TSEL		OFF_DIAG_WK_PU_VSEL	OFF_DIAG_WK_PU_ISEL	OFF_DIAG_WK_PD_TSEL		OFF_DIAG_WK_PD_VSEL	OFF_DIAG_WK_PD_ISEL
		OFF_DIAG_HS_RDSON_TSEL		OFF_DIAG_HS_RDSON_VSEL	OFF_DIAG_HS_RDSON_ISEL	OFF_DIAG_LS_RDSON_TSEL		OFF_DIAG_LS_RDSON_VSEL	OFF_DIAG_LS_RDSON_ISEL
11h	CONFIG1	OFF_DIAG_RMEAS_THRS_L_SEL	OFF_DIAG_RMEAS_THRS_H_SEL		OFF_DIAG_RMEAS_TSEL		OFF_DIAG_CMEAS_THRS_SEL		
		OFF_DIAG_ABIST_DIS	OFF_DIAG_WK_PU_DIS	OFF_DIAG_WK_PD_DIS	OFF_DIAG_HS_RDSON_DIS	OFF_DIAG_LS_RDSON_DIS	OFF_DIAG_IREF_MEAS_DIS	OFF_DIAG_RMEAS_DIS	OFF_DIAG_VREG_VMEAS_DIS
12h	CONFIG2	VDD_OV_FLTR		VDD_UV_FLTR		VDRV_OV_FLTR		VDRV_UV_FLTR	
		OFF_DIAG_CMEAS_AUTO	RSVD	RSVD	VDRV_OV_W_DIS	OT_W_DIS	SPI_WD_W_DIS	VREG_SW_W_DIS	VREG_SW_DIS
13h	CONFIG3	NFAULT_CONFIG3	NFAULT_CONFIG2	NFAULT_CONFIG1	NFAULT_CONFIG0	TRG_SEL			
		PIN_DEPLOY_DLY_EN	DEPLOY_DLY			SPI_WD_SEL		OFF_DIAG_CMEAS_TSEL	

Copyright © 2026 Texas Instruments Incorporated

表 7-3. 構成 (CONFIG) レジスタ マップ (続き)

ADDR	名称	B15	B14	B13	B12	B11	B10	B9	B8
		B7	B6	B5	B4	B3	B2	B1	B0
14h	CONFIG4	TSTART_TO		PWM_FLTR_SEL		DEPLOY_ISEL			DEPLOY_IRATE
		CONFIG_CRC							

表 7-4. コマンド (CMD) レジスタ マップ

ADDR	名称	B15	B14	B13	B12	B11	B10	B9	B8
		B7	B6	B5	B4	B3	B2	B1	B0
1Ch	CMD0	「0」に強制			TRG1_DIS	TRG2_DIS	RSVD	FORCE_BIST	
		CRC8							
1Dh	CMD1	CLR_FAULT	LOCK_CONFIG	RSVD	ACTIVATE	ACTIVITY_CTRL		RSVD	
		CRC8							
1Eh	CMD2	BCST_CLR_FAULT	RE_INIT_NAD	NAD_OVERRIDE	ASSIGNED_NAD		DEPLOY	DEPLOY_DLY_EN	RSVD
		CRC8							

Copyright © 2026 Texas Instruments Incorporated

7.1 STATUS レジスタ

表 7-5 に、ステータス レジスタに対してメモリマップされたレジスタを示します。表 7-5 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-5. STATUS レジスタ

オフセット	略称	レジスタ名	セクション
1h	STATUS0	デバイス、出力、トリガ ピン (TRG) ステータスの概要。	セクション 7.1.1
2h	STATUS1	トリガ ピン (TRG)、SPI、BIST、電源ステータス。	セクション 7.1.2
3h	STATUS2	オフ状態と展開ステータス。	セクション 7.1.3
4h	STATUS3	オフ状態とリザーバ コンデンサ ステータス。	セクション 7.1.4

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-6 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-6. STATUS のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み取り
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

7.1.1 STATUS0 レジスタ (オフセット = 1h) [リセット = 2102h]

STATUS0 を表 7-7 に示します。

概略表に戻ります。

デバイスおよび出力状態のフォルトおよび警告概要インジケータを含むグローバル ステータス レジスタ。トリガ ピン (TRG) ステータスも含まれます。

表 7-7. STATUS0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	NAD	R	0h	SPI 通信のデバイス ノード アドレス。nFAULT/NAD ピンのプルアップ抵抗値に基づいて決定されます。すべてのレジスタでビット 15 ～ 14 としてミラーリング。 0h = 5.6kΩ 1h = 12kΩ 2h = 27kΩ 3h = 56kΩ
13	POR	R	1h	パワーオン インジケータ。CLR_FAULT コマンドが発行されるまで、ビットはラッチされます。
12-11	TRG1_PIN_STAT	R	0h	トリガ ピン 1 (TRG1) ステータス インジケータ。TRG1 によって展開が発生する場合、CLR_FAULT コマンドが発行されるまで、ステータスがラッチされます。展開アクションは TRGx_DIS で無効化できますが、ピン インターフェイス診断をオプションとして可能にするため、TRG1 ピンのステータスは引き続き表示されます。TRG_SEL モードに基づくフィードバック。詳細については、「ピン モニタ」セクションを参照してください。
10-9	TRG2_PIN_STAT	R	0h	トリガ ピン 2 (TRG2) ステータス インジケータ。TRG1 によって展開が発生する場合、CLR_FAULT コマンドが発行されるまで、ステータスがラッチされます。展開アクションは TRGx_DIS で無効化できますが、ピン インターフェイス診断をオプションとして可能にするため、TRG1 ピンのステータスは引き続き表示されます。TRG_SEL モードに基づくフィードバック。詳細については、「ピン モニタ」セクションを参照してください。
8	WARNINGS	R	1h	警告インジケータ (概要)。このインジケータは、STATUS1 レジスタの警告のいずれかが High の場合に設定されます。警告情報の詳細については、STATUS1 レジスタを読んでください。CLR_FAULT コマンドが発行されるまで、警告はラッチされますが、出力は動作したままとなります。
7-6	DEPLOY_SUM	R	0h	展開概要インジケータ。詳細については、STATUS2 レジスタの DEPLOY_STAT を読んでください。展開後、CLR_FAULT コマンドが発行されるまでラッチされます。 0h = データはまだ使用不可 1h = 展開が進行中 2h = 展開が成功 3h = 展開が警告付きで完了、またはエラーにより中止。
5-4	OFF_DIAG_SUM	R	0h	オフ状態診断概要インジケータ。詳細については、STATUS2 の OFF_DIAT_STAT および STATUS3 レジスタの OFF_DIAT_STAT_MISC を読んでください。診断後、CLR_FAULT コマンドが発行されるまでラッチされます。 0h = データはまだ使用不可 1h = オフ状態診断が進行中 2h = オフ状態診断が成功 3h = オフ状態診断が警告付きで完了、またはエラーにより中止。
3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1	FLT_PIN_STAT	R	1h	nFAULT/NAD ピン ステータス インジケータ。 0h = ピン Low (フォルトがアサート) 1h = ピン High (通常動作)

Copyright © 2026 Texas Instruments Incorporated

表 7-7. STATUS0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	DEV_ERR	R	0h	DEV_ERR フォルトは、SDO ピンをハイ インピーダンス状態に保持することで通知されます。詳細については、「SPI」セクションを参照してください。 DEV_ERR フォルトが存在する場合、デバイス動作はハイ インピーダンス状態の出力で無効になり、このフォルトをクリアするにはパワー サイクル (内部ロジック リセット) が必要です。デバイスの通常動作時、このビットは常に Low を示す必要があります。 0H = デバイス通常動作 1h = デバイス フォルト、SDO ピンがハイ インピーダンスをアサート

Copyright © 2026 Texas Instruments Incorporated

7.1.2 STATUS1 レジスタ (オフセット = 2h) [リセット = 0801h]

STATUS1 を表 7-8 に示します。

概略表に戻ります。

トリガ ピン 1 (TRG1) レベル ステータス、SPI CRC エラー、デバイス ID、VDRV OV と UV モニタ、VREG スイッチ モニタを含むステータス レジスタ。

表 7-8. STATUS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	NAD	R	0h	STATUS0 レジスタの NAD アドレスのミラーリング。
13	TRG1_PIN_LVL1	R	0h	トリガ 1 ピン (TRG1) レベル ステータス。 0h = ピン Low 1h = ピン High
12	TRG1_PIN_LVL2	R	0h	トリガ 1 ピン (TRG1) レベル ステータス。TRG1_PIN_LVL1 のミラーリング 0h = ピン Low 1h = ピン High
11-10	DEVICE_ID	R	2h	デバイス ID。量産シリコン リビジョンを 2h に固定。
9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7	VDRV_OV	R	0h	VDRV_OV_W_DIS = 1b の場合の VDRV 過電圧フォルト表示。 VDRV_OV_W_DIS = 0b の場合の VDRV 過電圧警告。CLR_FLT コマンドが発行されるまでラッチされます。
6	OT_W	R	0h	過熱警告。CLR_FAULT コマンドが発行されるまでラッチされます。
5	SPI_WD_W	R	0h	SPI ウォッチドッグ警告。CLR_FAULT コマンドが発行されるまでラッチされます。
4	STARTUP_BIST_W	R	0h	デバイスは、ABIST 障害インジケータを起動します。ABIST フォルトが発生した場合、ユーザーは ABIST テストを再開するために、CMD2 レジスタで REINIT_NAD を発行する必要があります。ABIST テストは、CONFIG1 レジスタの OFF_DIAG_ABIST_DIS でバイパスできます。このフォルトがクリアされるまで、デバイスは INIT2 デバイス状態を終了しません。
3	VDRV_UV	R	0h	VDRV 低電圧。CLR_FAULT コマンドが発行されるまでラッチされます。
2-1	VREG_SW_W	R	0h	VREG スイッチ警告 (VDRV > $V_{DRV_UV_BIAS}$ のみ有効)。CLR_FAULT コマンドが発行されるまでラッチされます。 0h = データはまだ使用不可。 1h = VREG < PVDD - VREG_THRS1 により VREG スイッチが無効化 2h = VREG > PVDD + VREG_THRS2 により VREG スイッチが無効化 3h = 警告なし
0	CONFIG_CRC_W	R	1h	CONFIG レジスタ空間の CRC 不一致警告。正しいチェック サムによる CONFIG_CRC レジスタの更新によりクリア。

Copyright © 2026 Texas Instruments Incorporated

7.1.3 STATUS2 レジスタ (オフセット = 3h) [リセット = 0000h]

STATUS2 を表 7-9 に示します。

概略表に戻ります。

オフ状態診断と出力展開ステータスを含むステータス レジスタ。

表 7-9. STATUS2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	NAD	R	0h	STATUS0 レジスタの NAD アドレスのミラーリング。
13-8	予約済み	R	0h	予約済み
7-4	OFF_DIAG_STAT	R	0h	オフ状態診断ステータス。次のオフ状態診断テスト シーケンスがコマンドされるまでラッチされます。 0h = 診断完了、エラーまたは警告なし。 1h = 診断完了、負荷抵抗 ok、VREG 電圧 Low (< PVDD - 160mV)。 2h = 診断完了、負荷抵抗 Low、VREG 電圧 ok。 3h = 診断完了、負荷抵抗 Low、VREG 電圧 Low (< PVDD - 160mV)。 4h = 診断完了、負荷抵抗 High、VREG 電圧 ok。 5h = 診断完了、負荷抵抗 High、VREG 電圧 Low (< PVDD - 160mV)。 6h = VDRV_OV、VDRV_UV、または OT_W により診断が中止。対応する詳細ステータス ビットが設定されます。 7h = 展開 (DEPLOY) コマンドにより診断が中止。 8h = デバイスの ABIST 障害により診断が中止。 9h = 弱プルアップ障害により診断が中止。 Ah = 弱プルダウン障害により診断が中止。 Bh = HS RDSON 障害または VDRV_OV_W により診断が中止。OFF_DIAG_STAT_MISC または VDRV_OV ステータス ビットの詳細情報。 Ch = LS RDSON 障害または VDRV_OV_W により診断が中止。OFF_DIAG_STAT_MISC または VDRV_OV ステータス ビットの詳細情報。 Dh = 負荷抵抗監視または VREG 電圧測定時に IREF 抵抗が範囲外となったこと、あるいはコンパレータ出力の組み合わせが正しくなかったことにより診断が中止。詳細情報は、OFF_DIAG_STAT_MISC ステータス ビットにあります。 Eh = ローサイド過電流違反により診断が中止。RDSON テストまたは IREF/負荷抵抗測定時に違反が発生する可能性があります。 Fh = ハイサイド過電流違反により診断が中止。RDSON テストまたは IREF/負荷抵抗測定時に違反が発生する可能性があります。
3-0	DEPLOY_STAT	R	0h	展開ステータス。次回の展開まで、あるいは SPI またはピンによるトリガ (TRGx) がコマンドされるまでラッチされます。 0h = 展開完了、エラーまたは警告なし。 1h = 展開完了、しかし TSTART_TO が強制。 2h = 展開完了、しかし OT_W が検出。 3h = 展開完了、しかし OT_W が検出、TSTART_TO が強制。 4h = 展開完了、しかし VDRV_UV が検出。 5h = 展開完了、しかし VDRV_UV および TSTART_MEAS タイムアウトが検出。 6h = 展開完了、しかし VDRV_UV および OT_W が検出。 7h = 展開完了、しかし VDRV_UV、OT_W および TSTART_MEAS タイムアウトが検出。 8h = サーマル シャットダウンにより展開が中止。 9h = ローサイド過電流違反により展開が中止。 Ah = ハイサイド過電流違反により展開が中止。 Bh = VDRV 過電圧違反により展開が中止。 Ch = VDRV バイアス低電圧違反により展開が中止。 Dh = 予約済み。 Eh = 予約済み。 Fh = 予約済み。

Copyright © 2026 Texas Instruments Incorporated

7.1.4 STATUS3 レジスタ (オフセット = 4h) [リセット = 0000h]

STATUS3 を表 7-10 に示します。

概略表に戻ります。

オフ状態診断および VREG リザーバ コンデンサ診断ステータスを含むステータス レジスタ。

表 7-10. STATUS3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	NAD	R	0h	STATUS0 レジスタの NAD アドレスのミラーリング。
13-8	T_VREG_CAP	R	0h	VREG リザーバ Cap 値。 00h = タイマの開始が未発生、値は未確定。 01h - 31h = タイマの開始と停止が発生。Cap 値 (ファラッド) = T_VREG_CAP (レジスタ値 10 進) x タイマ分解能 x 1.16 31h - 3Fh = タイマ開始が未発生、しかし停止も未発生。Cap 値 (ファラッド) > T_VREG_CAP (レジスタ値 10 進) x タイマ分解能 x 1.16 タイマ分解能 = OFF_DIAG_CMEAS_TSEL (0.5ms、1ms、2ms、4ms)/32。 例:T_VREG_CAP = 0x08 および OFF_DIAG_CMEAS_TSEL = 1 ms の場合、 VREG Cap 値 = 8 x (1m/32) x 1.16 = 290uF。
7-4	OFF_DIAG_STAT	R	0h	STATUS2 レジスタの OFF_DIAG_STAT のミラーリング。
3	OFF_DIAG_STAT_MISC	R	0h	障害により診断が中止された場合の追加情報。 0h = RDSON プリチャージ障害により診断が中止 (OFF_DIAG_STAT が Bh または Ch の場合)、それ以外の場合、IREF 抵抗モニタ障害により診断が中止 (IOFF_DIAG_STAT が Dh の場合)。 1h = RDSON FET テスト失敗により診断が中止 (OFF_DIAG_STAT が Bh または Ch の場合)。それ以外の場合、RLOAD モニタまたは VREG 電圧測定障害により診断が中止 (IOFF_DIAG_STAT が Dh の場合)。
2-0	VREG_VMEAS	R	0h	オフ状態診断時の VREG 電圧測定。測定は、診断後に OFF_DIAG_STAT = 0x0/0x2/0x4 の場合にのみ有効です。 0h = データはまだ使用不可または VREG ≥ PVDD-20mV 1h = PVDD-20mV > VREG ≥ PVDD-40mV 2h = PVDD-40mV > VREG ≥ PVDD-60mV 3h = PVDD-60mV > VREG ≥ PVDD-80mV 4h = PVDD-80mV > VREG ≥ PVDD-100mV 5h = PVDD-100mV > VREG ≥ PVDD-120mV 6h = PVDD-120mV > VREG ≥ PVDD-140mV 7h = PVDD-140mV > VREG ≥ PVDD-160mV

Copyright © 2026 Texas Instruments Incorporated

7.2 MEAS レジスタ

表 7-11 に、MEAS レジスタのメモリ マップト レジスタを示します。表 7-11 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-11. MEAS レジスタ

オフセット	略称	レジスタ名	セクション
5h	MEAS0	展開遅延の測定。	セクション 7.2.1
6h	MEAS1	展開期間の測定。	セクション 7.2.2
7h	MEAS2	リファレンス抵抗の測定。	セクション 7.2.3

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-12 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-12. MEAS のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み取り
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

7.2.1 MEAS0 レジスタ (オフセット = 5h) [リセット = 0000h]

MEAS0 を表 7-13 に示します。

概略表に戻ります。

起動後に展開電流レベルに達するまでの時間を提供する測定レジスタ。

表 7-13. MEAS0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	NAD	R	0h	STATUS0 レジスタの NAD アドレスのミラーリング。
13-9	予約済み	R	0h	予約済み
8-0	TSTART_MEAS	R	0h	展開を指示した後、展開電流レベルに達するまでの測定時間。タイマ分解能は 500ns です。測定時間 (ns) = (TSTART_MEAS レジスタ値 [10 進 + 30]) × 500ns。

Copyright © 2026 Texas Instruments Incorporated

7.2.2 MEAS1 レジスタ (オフセット = 6h) [リセット = 0000h]

MEAS1 を表 7-14 に示します。

概略表に戻ります。

展開電流の継続時間を提供する測定レジスタ。

表 7-14. MEAS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	NAD	R	0h	STATUS0 レジスタの NAD アドレスのミラーリング。
13	予約済み	R	0h	予約済み
12-0	DEPLOY_MEAS	R	0h	展開時に展開電流が検出された測定時間。タイマ分解能は 500ns です。 測定時間 (ns) = (DEPLOY_MEAS レジスタ値 [10 進]) x 500ns。

Copyright © 2026 Texas Instruments Incorporated

7.2.3 MEAS2 レジスタ (オフセット = 7h) [リセット = 0000h]

MEAS2 を表 7-15 に示します。

概略表に戻ります。

リファレンス抵抗測定を提供する測定レジスタ。

表 7-15. MEAS2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	NAD	R	0h	STATUS0 レジスタの NAD アドレスのミラーリング。
13-5	予約済み	R	0h	予約済み
4-0	RIREF_MEAS	R	0h	測定値が範囲内 (10 進で 8 ～ 24) の場合の IREF 抵抗測定。それ以外の場合は 0h として報告されます。

Copyright © 2026 Texas Instruments Incorporated

7.3 CONFIG レジスタ

表 7-16 に、CONFIG レジスタのメモリ マップト レジスタを示します。表 7-16 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-16. CONFIG レジスタ

オフセット	略称	レジスタ名	セクション
10h	CONFIG0	オフ状態診断構成 1。	セクション 7.3.1
11h	CONFIG1	オフ状態診断構成 2。	セクション 7.3.2
12h	CONFIG2	過電圧、低電圧、ウォッチドッグ、リザーバ コンデンサ構成。	セクション 7.3.3
13h	CONFIG3	フォルト、展開遅延とモード、トリガ ピン モード、ウォッチドッグ、リザーバ コンデンサ構成。	セクション 7.3.4
14h	CONFIG4	Tstart、PWM の入力、パルスとレートの展開、CRC 構成。	セクション 7.3.5

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-17 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-17. CONFIG のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

7.3.1 CONFIG0 レジスタ (オフセット = 10h) [リセット = 0011h]

CONFIG0 を表 7-18 に示します。

概略表に戻ります。

出力の弱プルアップとプルダウン、および rdson オフ状態診断を設定する構成レジスタ。

表 7-18. CONFIG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	OFF_DIAG_WK_PU_TSEL	R/W	0h	オフ状態診断時の出力セトリングのテスト時間選択 (t_{WK_PU})、弱プルアップ テスト。 0h = 0.25ms 1h = 0.5ms 2h = 1ms 3h = 2ms
13	OFF_DIAG_WK_PU_VSEL	R/W	0h	オフ状態診断の電圧リファレンス選択 ($V_{REF_WK_PU}$)、弱プルアップ テスト。 0h = 2.1V 1h = 2.4V
12	OFF_DIAG_WK_PU_ISEL	R/W	0h	オフ状態診断の電流選択 ($I_{REF_WK_PU}$)、弱プルアップ テスト 0h = 1mA 1h = 2mA
11-10	OFF_DIAG_WK_PD_TSEL	R/W	0h	オフ状態診断時の出力セトリングのテスト時間選択 (t_{WK_PD})、弱プルダウン テスト。 0h = 0.25ms 1h = 0.5ms 2h = 1ms 3h = 2ms
9	OFF_DIAG_WK_PD_VSEL	R/W	0h	オフ状態診断の電圧リファレンス選択 ($V_{REF_WK_PD}$)、弱プルダウン テスト。 0h = 1.5V 1h = 1.8V
8	OFF_DIAG_WK_PD_ISEL	R/W	0h	オフ状態診断の電流選択 ($I_{REF_WK_PD}$)、弱プルダウン テスト。 0h = 1mA 1h = 2mA
7-6	OFF_DIAG_HS_RDSON_TSEL	R/W	0h	オフ状態診断時の出力セトリングのテスト時間選択 ($t_{HSRDSON}$)、HS RDSON テスト。 0h = 0.25ms 1h = 0.5ms 2h = 1ms 3h = 2ms
5	OFF_DIAG_HS_RDSON_VSEL	R/W	0h	オフ状態診断の電圧リファレンス選択 ($V_{REF_HSRDSON}$)、HS RDSON テスト。 0h = -75mV 1h = -150mV
4	OFF_DIAG_HS_RDSON_ISEL	R/W	1h	オフ状態診断の電流選択 ($I_{REF_HSRDSON}$)、HS RDSON テスト。 0h = 20mA 1h = 40mA
3-2	OFF_DIAG_LS_RDSON_TSEL	R/W	0h	オフ状態診断時の出力セトリングのテスト時間選択 ($t_{LSRDSON}$)、LS RDSON テスト。 0h = 0.25ms 1h = 0.5ms 2h = 1ms 3h = 2ms
1	OFF_DIAG_LS_RDSON_VSEL	R/W	0h	オフ状態診断の電圧リファレンス選択 ($V_{REF_LSRDSON}$)、LS RDSON テスト。 0h = 75mV 1h = 150mV

Copyright © 2026 Texas Instruments Incorporated

表 7-18. CONFIG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	OFF_DIAG_LS_RDSON_ISEL	R/W	1h	オフ状態診断の電流選択 ($I_{REF_LSRDSON}$)、LS RDSON テスト。 0h = 20mA 1h = 40mA

Copyright © 2026 Texas Instruments Incorporated

7.3.2 CONFIG1 レジスタ (オフセット = 11h) [リセット = 0018h]

CONFIG1 を表 7-19 に示します。

概略表に戻ります。

出力負荷抵抗の測定、リザーバ コンデンサの測定、各出力診断の有効化/無効化を行う構成レジスタ。

表 7-19. CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	OFF_DIAG_RMEAS_THRS_L_SEL	R/W	0h	Low RLOAD (R_{MEASL}) スレッショルド選択。 0h = 1.5Ω 1h = 1.25Ω
14-13	OFF_DIAG_RMEAS_THRS_H_SEL	R/W	0h	High RLOAD (R_{MEASH}) スレッショルド選択。 0h = 2.8Ω 1h = 3.3Ω 2h = 3.8Ω 3h = 60Ω
12-11	OFF_DIAG_RMEAS_TSEL	R/W	0h	オフ状態診断時の出力セトリングのテスト時間選択 (t_{RMEAS})、RMEAS テスト。 0h = 0.25ms 1h = 0.5ms 2h = 1ms 3h = 2ms
10-8	OFF_DIAG_CMEAS_THRS_SEL	R/W	0h	VREG CAP 測定時の放電サイクル時、オフ状態診断時の CMPH の電圧スレッショルド (V_{DAC_VREG}) (OFF_DIAG_CMEAS_THRS_AUTO = 0x0 の場合のみ使用)。CMPL の電圧スレッショルドは、このスレッショルドより 20mV 低い値に固定されています。 0h = -25mV 1h = -40mV 2h = -60mV 3h = -80mV 4h = -100mV 5h = -120mV 6h = -140mV 7h = -160mV
7	OFF_DIAG_ABIST_DIS	R/W	0h	オフ状態診断時および INIT2 状態時に ABIST を無効化にします。 0h = 有効化 1h = 無効化
6	OFF_DIAG_WK_PU_DIS	R/W	0h	オフ状態診断時の弱プルアップ テストを無効化します。 0h = 有効化 1h = 無効化
5	OFF_DIAG_WK_PD_DIS	R/W	0h	オフ状態診断時の弱プルダウン テストを無効化します。 0h = 有効化 1h = 無効化
4	OFF_DIAG_HS_RDSON_DIS	R/W	1h	オフ状態診断時に HS RDSON テストを無効化します。 0h = 有効化 1h = 無効化
3	OFF_DIAG_LS_RDSON_DIS	R/W	1h	オフ状態診断時に LS RDSON テストを無効化します。 0h = 有効化 1h = 無効化
2	OFF_DIAG_IREF_MEAS_DIS	R/W	0h	オフ状態診断時に IREF ピン抵抗測定を無効化します。 0h = 有効化 1h = 無効化
1	OFF_DIAG_RMEAS_DIS	R/W	0h	オフ状態診断時に RMEAS テストを無効化します。 0h = 有効化 1h = 無効化

Copyright © 2026 Texas Instruments Incorporated

表 7-19. CONFIG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	OFF_DIAG_VREG_MEAS_DIS	R/W	0h	オフ状態診断時に VREG 電圧およびコンデンサ測定テストを無効化します。 0h = 有効化 1h = 無効化

Copyright © 2026 Texas Instruments Incorporated

7.3.3 CONFIG2 レジスタ (オフセット = 12h) [リセット = 0000h]

CONFIG2 を表 7-20 に示します。

概略表に戻ります。

VDD、VDRV 低電圧/過電圧モニタを設定する構成レジスタ。また、リザーバ コンデンサの診断、過熱、ウォッチドッグ モードのオプションも提供します。

表 7-20. CONFIG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	VDD_OV_FLTR	R/W	0h	VDD 過電圧グリッチ除去フィルタ(t_{VDD_OV})。 0h = 250us 1h = 500us 2h = 750us 3h = 1000us
13-12	VDD_UV_FLTR	R/W	0h	VDD 低電圧グリッチ除去フィルタ (t_{VDD_UV})。 0h = 250us 1h = 500us 2h = 750us 3h = 1000us
11-10	VDRV_OV_FLTR	R/W	0h	VDRV 過電圧グリッチ除去フィルタ (t_{VDRV_OV})。 0h = 250us 1h = 500us 2h = 750us 3h = 1000us
9-8	VDRV_UV_FLTR	R/W	0h	VDRV 低電圧グリッチ除去フィルタ (t_{VDRV_UV})。 0h = 250us 1h = 500us 2h = 750us 3h = 1000us
7	OFF_DIAG_CMEAS_AUTO	R/W	0h	オフ状態診断 VREG コンデンサ測定の自動スレッショルド設定。 0h = ディスエーブル、OFF_DIAG_CMEAS_THRS_SEL でのユーザー定義値 1h = イネーブル、VREG_MEAS 値より 1 コード上の値に自動的に設定されます。VREG_VMEAS が 7h の場合、7h に設定します。
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	VDRV_OV_W_DIS	R/W	0h	VDRV 過電圧警告の通知を無効化します。 0h = 有効化 1h = 無効化
3	OT_W_DIS	R/W	0h	過熱警告の通知を無効化します。過熱警告レベルに達しても、オフ状態診断は中止されません。 0h = 有効化 1h = 無効化
2	SPI_WD_W_DIS	R/W	0h	SPI ウォッチドッグ警告の通知を無効化します。 0h = 有効化 1h = 無効化
1	VREG_SW_W_DIS	R/W	0h	VREG スイッチ警告の通知を無効化します。 0h = 有効化 1h = 無効化
0	VREG_SW_DIS	R/W	0h	VREG スイッチを無効化します。また、VREG_SW_DIS = 1b の場合、VREG_SW_W_DIS = 1b を設定することで、VREG スイッチ警告を無効化する必要があります。 0h = イネーブル 1h = ディスエーブル。また、VREG_SW_W_DIS を 1b に設定する必要もあります

Copyright © 2026 Texas Instruments Incorporated

7.3.4 CONFIG3 レジスタ (オフセット = 13h) [リセット = 8000h]

CONFIG3 を表 7-21 に示します。

概略表に戻ります。

フォルト モード、展開電流遅延、トリガ ピン (TRG) モードを設定する構成レジスタ。また、リザーバ コンデンサ診断とウォッチドッグ モードのオプションも提供します。

表 7-21. CONFIG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	NFAULT_CONFIG3	R/W	1h	DEPLOY_SUM = 3h の場合、nFAULT ピン通知を有効化します (Low 駆動)。nFAULT ピンは、CLR_FAULT コマンドによってクリアされます。DEV_ERR フォルトは、常に nFAULT ピンで通知されます。
14	NFAULT_CONFIG2	R/W	0h	OFF_DIAG_SUM = 3h の場合、nFAULT ピン通知 (Low 駆動) を有効化します。ただし、展開コマンドによりオフ状態診断が中止された場合は除きます。nFAULT ピンは、CLR_FAULT コマンドによってクリアされます。DEV_ERR フォルトは、常に nFAULT ピンで通知されます。
13	NFAULT_CONFIG1	R/W	0h	SPI_WD_W = 1h の場合、nFAULT ピン通知を有効化します (Low 駆動)。nFAULT ピンは、CLR_FAULT コマンドによってクリアされます。DEV_ERR フォルトは、常に nFAULT ピンで通知されます。
12	NFAULT_CONFIG0	R/W	0h	展開時 (ACTIVE 状態)、nFAULT ピン通知を有効化します (Low 駆動)。nFAULT ピンは、CLR_FAULT コマンドによってクリアされます。DEV_ERR フォルトは、常に nFAULT ピンで通知されます。
11-8	TRG_SEL	R/W	0h	トリガ ピン構成。構成オプションの詳細については、「トリガ (TRGx) ピン」セクションを参照してください。
7	PIN_DEPLOY_DLY_EN	R/W	0h	TRGx ピンを介してトリガされる遅延展開を可能にします。 0h = ディスエーブル 1h = イネーブル
6-4	DEPLOY_DLY	R/W	0h	展開遅延 (t_{DEPLOY_DLY}) 選択 (有効の場合、PIN と SPI の展開トリガの両方が有効)。 0h = 0.1ms 1h = 0.2ms 2h = 0.4ms 3h = 0.8ms 4h = 1.5ms 5h = 2.5ms 6h = 3.25ms 7h = 4ms
3-2	SPI_WD_SEL	R/W	0h	有効な SPI 読み取りまたは書き込みフレームを検出するウォッチドッグ期間 (t_{WD})。 0h = 65ms 1h = 250ms 2h = 1000ms 3h = 2000ms
1-0	OFF_DIAG_CMEAS_TSEL	R/W	0h	オフ状態診断時の VREG コンデンサ測定テストのテスト時間選択 (t_{CMEAS})。 0h = 0.5ms 1h = 1ms 2h = 2ms 3h = 4ms

Copyright © 2026 Texas Instruments Incorporated

7.3.5 CONFIG4 レジスタ (オフセット = 14h) [リセット = 0600h]

CONFIG4 を表 7-22 に示します。

概略表に戻ります。

スタート遅延タイムアウト、トリガ ピン (TRG) フィルタリング、展開電流パルスとエッジ レート、構成 CRC を設定する構成レジスタ。

表 7-22. CONFIG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	TSTART_TO	R/W	0h	TSTART_MEAS のタイムアウト期間 (t_{START_TO})。 0h = 75us 1h = 150us 2h = 200us 3h = 275us
13-12	PWM_FLTR_SEL	R/W	0h	TRGx ピン PWM フィルタリング選択 (t_{PWM_TRG})。PWM トリガ (16kHz) が選択されている場合のみ有効です。TRGx ピン レベル (LVL) 信号の場合、デバイスは 16us のグリッチ除去時間を使用します。 0h = -18 ～ 32% 1h = -15 ～ 24% 2h = -12 ～ 16% 3h = -9 ～ 12%
11-9	DEPLOY_ISEL	R/W	3h	展開電流パルス選択。2h の場合、OT_W が発生すると、デバイスは DEPLOY_ISEL = 0h の設定を自動的に下げます。6h および 7h の場合、OT_W が発生すると、デバイスは自動的に of DEPLOY_ISEL = 3h の設定を下げます。 0h = 1.2A (最小) 1h = 1.65A (最小) 2h = 1.65A* (最小) 3h = 1.75A (最小) 4h = 2.19A (最小) 5h = 3.4A (最小) 6h = 2.19A* (最小) 7h = 3.4A* (最小)
8	DEPLOY_IRATE	R/W	0h	展開電流 di/dt 選択。 0h = 高速 (1us/A) 1h = 低速 (4us/A)
7-0	CONFIG_CRC	R/W	0h	CONFIG レジスタ空間用にプログラムされた CRC。このレジスタに書き込むと、CONFIG レジスタ空間の CRC チェックがトリガされます。多項式 = 97h。CRC は、すべての構成レジスタの 16 ビット データに適用され、CONFIG_CRC 自体は含まれません (合計 9 バイト)。CONFIG0 ～ CONFIG4、MSB ～ LSB。

Copyright © 2026 Texas Instruments Incorporated

7.4 CMD レジスタ

表 7-23 に、CMD レジスタのメモリ マップト レジスタを示します。表 7-23 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-23. CMD レジスタ

オフセット	略称	レジスタ名	セクション
1Ch	CMD0	一般コマンド。	セクション 7.4.1
1Dh	CMD1	アクション コマンド。	セクション 7.4.2
1Eh	CMD2	ブロードキャスト コマンド。	セクション 7.4.3

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-24 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-24. CMD のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み取り
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

7.4.1 CMD0 レジスタ (オフセット = 1Ch) [リセット = 1800h]

CMD0 を表 7-25 に示します。

概略表に戻ります。

トリガ ピンの展開を無効化し、システム BIST 機能を有効化するための一般コマンド。

表 7-25. CMD0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み
12	TRG1_DIS	R/W	1h	TRG1 の展開を無効化します。TRG1_PIN_STAT による帰還は引き続き有効です。 0h = 有効化 1h = 無効化
11	TRG2_DIS	R/W	1h	TRG2 の展開を無効にします。TRG2_PIN_STAT による帰還は引き続き有効です。 0h = 有効化 1h = 無効化
10	予約済み	R	0h	予約済み
9-8	FORCE_BIST	R/W	0h	システム BIST 機能を有効化します。コマンドは、STANDBY 状態の動作中にのみ受け付けられます。 0h = アクションなし 1h = CLR_FAULT コマンドが発行されるまで nFAULT ピンを Low にアサート。 2h = CLR_FAULT コマンドが発行されるまで 2 次側ロジック タイムアウトを強制。 3h = nFAULT で 75% デューティ サイクル PWM @ 16K Hz をアサート
7-0	CRC	R/W	0h	組込み CRC フィールド。書き込みコマンドは、この値に有効な CRC が提供されている場合にのみ受け付けられます。多項式 = 97h。CRC は 8 ビットのコマンド データに適用されます。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 CMD1 レジスタ (オフセット = 1Dh) [リセット = 0000h]

CMD1 を表 7-26 に示します。

概略表に戻ります。

フォルト クリア、レジスタのロック、ドライバ動作の実行を行うためのアクション コマンド。

表 7-26. CMD1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	CLR_FAULT	R/W	0h	フォルト クリア コマンド。コマンドが登録されると、自動クリアされます。 0H = デフォルト 1h = フォルト クリア
14	LOCK_CONFIG	R/W	0h	デバイス構成用の CONFIG レジスタ空間をロックします。ロックを解除すると、CONFIG レジスタを追加変更できます。 0h = ロック解除 1h = ロック
13	予約済み	R	0h	予約済み
12	ACTIVATE	R/W	0h	ACTIVITY_CTRL に基づく構成可能なアクション コマンド。 0h = アクションなし 1h = ACTIVITY_CTRL に基づいてアクションを実行
11-10	ACTIVITY_CTRL	R/W	0h	ACTIVATE コマンドのアクション コマンド選択。 0h = アクションなし 1h = ACTIVATE が 1b の場合にオフ状態診断を実行 2h = ACTIVATE が 1b の場合に展開を実行 3h = ACTIVATE が 1b の場合は遅延あり展開を実行 (DEPLOY_DLY)
9-8	予約済み	R	0h	予約済み
7-0	CRC	R/W	0h	組込み CRC フィールド。書き込みコマンドは、この値に有効な CRC が提供されている場合にのみ受け付けられます。多項式 = 97h。CRC は 8 ビットのコマンド データに適用されます。

Copyright © 2026 Texas Instruments Incorporated

7.4.3 CMD2 レジスタ (オフセット = 1Eh) [リセット = 0000h]

CMD2 を表 7-27 に示します。

概略表に戻ります。

フォルト クリア、SPI アドレス指定、ドライバの展開を行うためのブロードキャスト コマンド。

表 7-27. CMD2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	BCST_CLR_FAULT	R/W	0h	接続されているすべてのデバイスへのブロードキャスト クリア フォルト コマンド。コマンドが登録されると、自動クリアされます。
14	RE_INIT_NAD	R/W	0h	接続されているすべてのデバイスの NAD を再初期化するブロードキャスト コマンド。書き込みコマンドは、デバイスの INIT2 状態でのみ受け付けられます。
13	NAD_OVERRIDE	R/W	0h	設定されている場合、NAD エラーが発生しているデバイスでは、NAD_ERR をクリアし、次の 2 ビットのアドレスを SPI 通信用に割り当てられた NAD として取得します。NAD_ERR が検出され、RE_INIT_NAD = 0b の場合、INIT2 状態の間のみ書き込みが受け付けられます。
12-11	ASSIGNED_NAD	R/W	0h	NAD_OVERRIDE = 1b の場合に、NAD エラーのあるデバイスに NAD を割り当てます。
10	DEPLOY	R/W	0h	ブロードキャスト展開コマンド。
9	DEPLOY_DLY_EN	R/W	0h	DEPLOY = 1b の場合に、遅延ありブロードキャスト展開 (DEPLOY_DLY) を有効化します。 0h = ディスエーブル 1h = イネーブル
8	RSVD	R/W	0h	予約済み。このフィールドに 0x0 を書き込みます。
7-0	CRC	R/W	0h	組込み CRC フィールド。書き込みコマンドは、この値に有効な CRC が提供されている場合にのみ受け付けられます。多項式 = 97h。CRC は 8 ビットのコマンド データに適用されます。

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

8.1 使用上の注意

DRV3901-Q1 は、抵抗性スクイブ負荷用の高集積ドライバです。以下のセクションでは、このデバイスを使用する際の設計ガイドラインをいくつか示します。

8.2 代表的なアプリケーション

DRV3901-Q1 は汎用スクイブ負荷ドライバとしても使用できますが、このデバイスは、特に車載 EV パイロヒューズ アプリケーションに使用されるスクイブの駆動をサポートするために開発されたものです。デバイスは、外部コントローラと直接、または DRV3901-Q1 への通信ブリッジとして機能するデバイスを通して相互作用を図ることを意図しています。

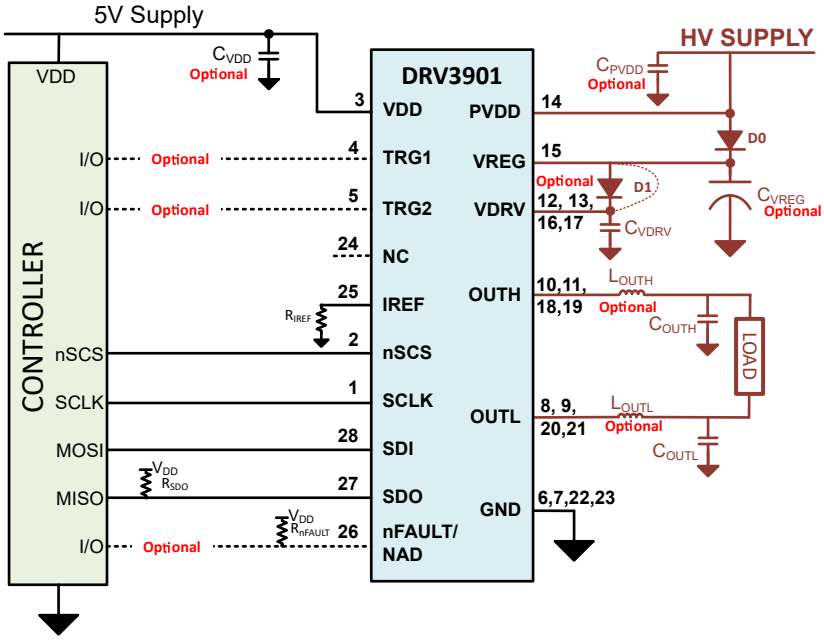


図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

表 8-1. 設計パラメータ

パラメータ	値
PVDD/VDRV 電源	12V (標準値)。しかし、より高い昇圧電源電圧を使用できます。消費電力および温度の制限に従う必要があります。
VDD の電源	5V、5V 入力のみをサポート、3.3V コントローラの SDO インターフェイスに必要な 3.3V への外部変換。
nFAULT/NAD ピン	「nFAULT/NAD ピン」セクションを参照
エネルギー リザーバ コンデンサ	「VREG の電圧および容量測定」セクションを参照

8.2.2 詳細な設計手順

過渡熱に関する情報

デバイスは高速過渡パルスを駆動するため、適切な熱設計のためには過渡熱に関する情報が重要です。下表は、追加ヒートシンクなしで、サンプル 4 層、2cm x 2cm x 1.6mm PCB 設計における過渡熱抵抗 (接合部から周囲へ) をまとめたものです。4 層は、最上層および最下層に 2 オンスの銅箔、内層電源層に 1 オンスの銅箔を使用しており、サーマル ビアはドリル径 0.3mm で 0.025mm の銅メッキ、最小ビア ピッチ最小 1mm となっています。

Copyright © 2026 Texas Instruments Incorporated

表 8-2. 過渡熱抵抗

$R_{\theta JA}$	$R_{\theta JA}$	$R_{\theta JA}$
1.2 C/W	2.3 C/W	70.1 C/W

8.2.3 アプリケーション特性の波形

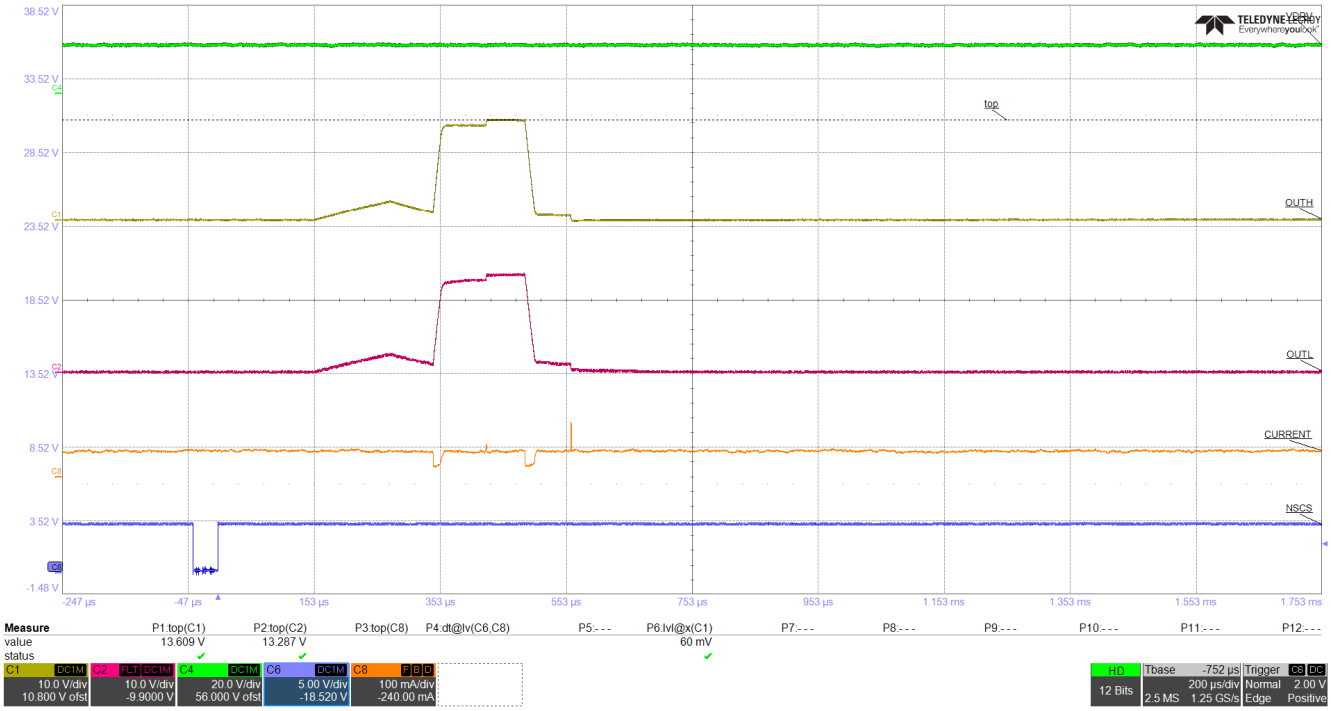


図 8-2. オフ状態診断シーケンスの例

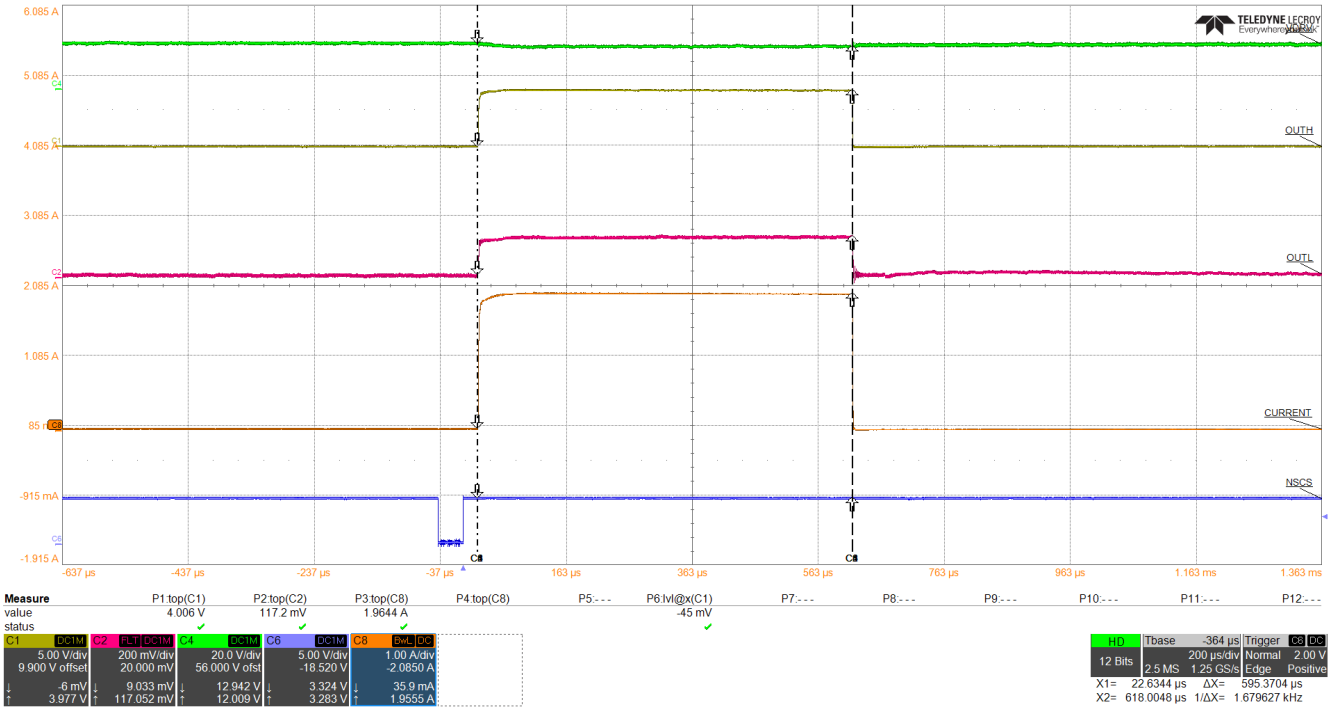


図 8-3. ISEL = 2h での代表的な展開シーケンス

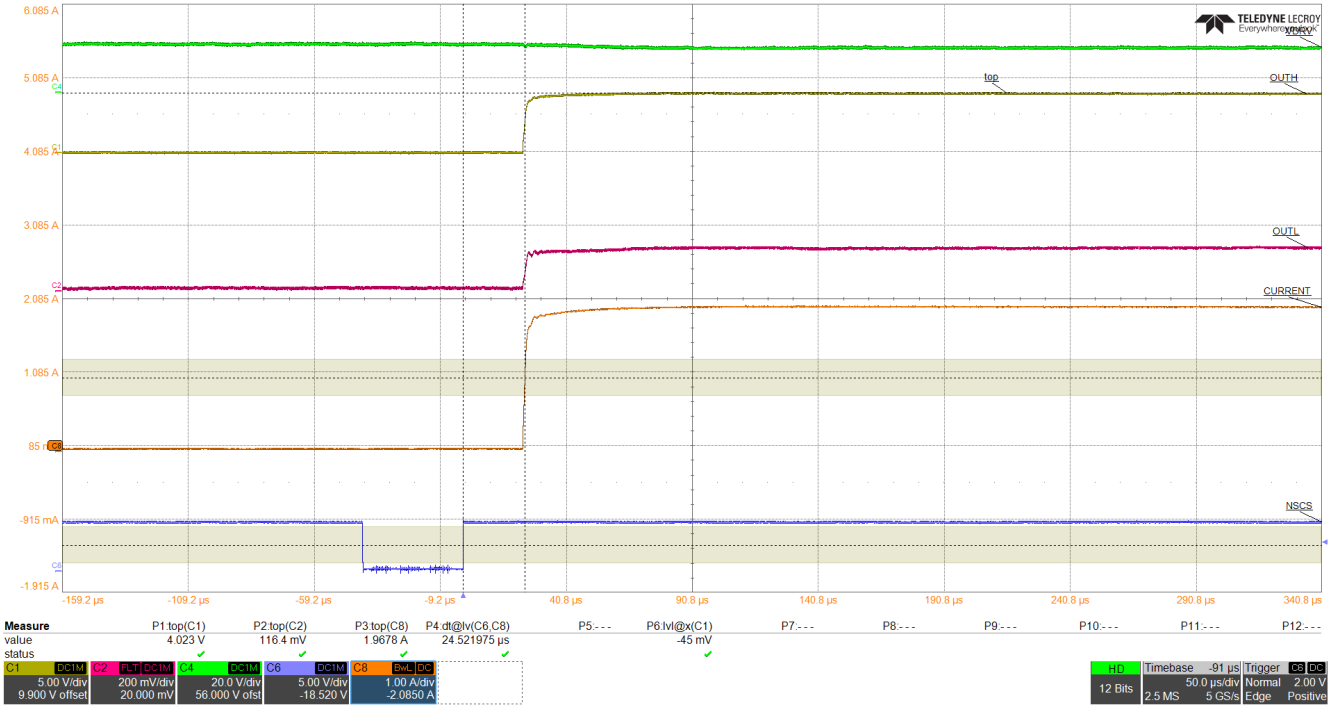


図 8-4. ISEL = 2h (ズーム) での代表的な展開シーケンス

Copyright © 2026 Texas Instruments Incorporated

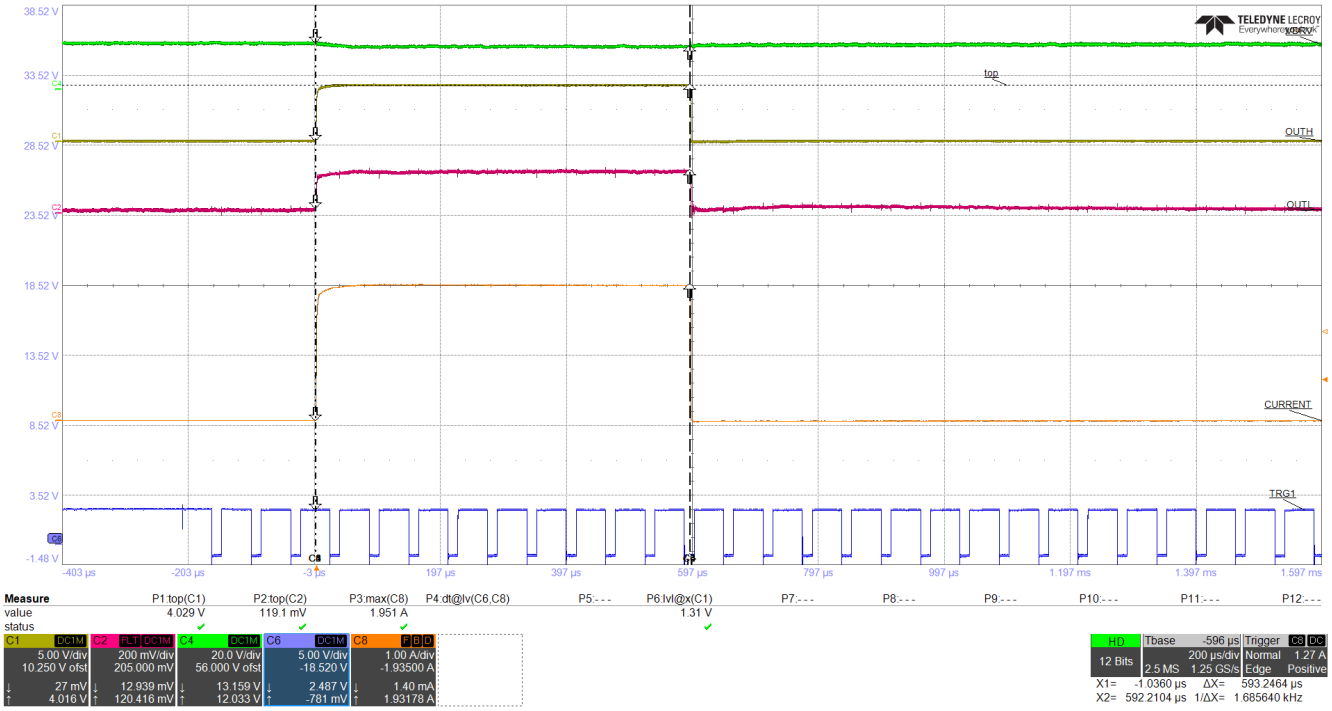


図 8-5. PWM エンコードでのトリガ ピン (TRGx) 展開 (TRG_SEL = 8h)

8.2.4 初期設定

以下に、ソフトウェア開発で**推奨**されるデバイス初期化とアプリケーション設定手順を示します。

8.2.4.1 デバイスの初期化 — NAD

以下の手順では、デバイスの初期起動手順とノード アドレス NAD の初期化手順について説明します。

1. WAIT — PVDD および VDD 上昇後、t_{READY} 時間待ちます。
2. STATUS0_READ - アドレス指定された同じ SPI バス上の各デバイスの STATUS0 を読み取ります。通常の応答には以下が含まれます:
   a. 正しいデバイス アドレス (NAD) 値を確認します。
   b. デバイス リセット (POR) ビットがアサートされます。
   c. デバイス警告 (WARNINGS) ビットがアサートされます (CONFIG_CRC_W のため)。
   d. トリガ ピンのステータス (TRGx_PIN_STAT) = 0h (まだデータなし)。
3. STATUS1_READ - アドレス指定された同じ SPI バス上の各デバイスの STATUS1 を読み取ります。STARTUP_BIST_W ビットがクリアされていることを確認します。通常の応答では、警告ビットは 0 に設定されています。
4. VDD_ERR — SDO 応答が VDD_ERR を示している場合、アドレス指定された SPI バス上のいずれかのデバイスの電源の問題を示しています。VDD 電源と PVDD 電源の状態を確認し、STATUS0_READ を繰り返します。電源モニタ フラグ、VDRV_UV、VDD_OV、VDD_UV がクリアされるまで、デバイスのパワーアップ初期化はゲートされます。
5. NAD_ERR — SDO 応答が NAD_ERR を示している場合、アドレス指定された SPI バス上のいずれかのデバイスにおける NAD アドレス決定の問題を示しています。nFAULT/NAD ピンから VDD へのプルアップ抵抗を確認します。その後、以下が続きます。
   a. RE_INIT_NAD ビットがアサートされた状態で、ブロードキャスト コマンドを発行します。
   b. t_{READY} 時間待ちます。
   c. 続いて、RE_INIT_NAD ビットがクリアされた状態でブロードキャスト コマンドを実行します。応答が依然として NAD_ERR を示す場合は、NAD_RECOVERY を参照してください。

Copyright © 2026 Texas Instruments Incorporated

d. サイクルを STATUS0_READ に戻します

6. NO_RESPONSE - 次のいずれかを示している可能性があります:
   a. デバイス エラー (DEV_ERR) – nFAULT ピンは Low にアサートされます。次に進むには、パワー サイクルが必要です。
   b. アドレス指定された NAD にデバイスが見つかりません。これは、この特定の NAD での NAD 決定が、別の NAD に誤ってマッピングされていることを示しています。NAD-ERR は検出されないため、SDO 競合による NAD-ERR を作成するための NAD_CONFLICT_CREATION 手順に従ってください。
7. NAD_RECOVERY — 次のコマンドを発行して、NAD アドレスを強制します。
   a. 目的の NAD アドレスで NAD_OVERRIDE ビットを設定してブロードキャスト コマンドを発行します。NAD_ERR があるデバイスは、このコマンドをピックアップして、コマンドされた NAD アドレスを自分自身に割り当てます。
   b. 続いて、NAD_OVERRIDE ビットがクリアされた状態でブロードキャスト コマンドを実行します。NAD_ERR をクリアする必要があります。
   c. サイクルを STATUS0_READ に戻します。
8. SDO CONFLICT CREATION – この手順は、アドレス指定された SPI 上の各デバイスに対して、TRG1 ピンを個別に High または Low にアサートする機能がハードウェアに備わっていることを前提としています。
   a. 応答していないデバイスで TRG1 ピンを High にアサートし、アドレス指定された SPI 上の他のすべてのデバイスで TRG1 ピンを Low にアサートします。
   b. アドレス指定された SPI バスで各デバイスの STATUS1 を 1 つずつ読み取ります。
   c. STATUS1 は TRG1_PIN_LVL を読み取るため、TRG1 が High のデバイスは、他のデバイスとの SDO 競合を検出し、NAD_ERR となり SDO での送信を停止します。
   d. NAD_RECOVERY 手順に従って、応答していないデバイスの NAD_ERR を修正します。

8.2.4.2 デバイスの初期化 — 構成

以下の手順では、デバイス構成の手順を説明します。

1. CLR_FAULT コマンドを発行し、STATUS0 を読み取ります。
2. 目的の構成レジスタ空間設定の 9 バイトについて、CRC8 を計算します。CONFIG0 から CONFIG4 まで、すべての CONFIG レジスタを MSB から LSB の順に連結することで、9 バイトが構築されます。
3. 必要に応じて、CONFIG0 ～ CONFIG4 を書き込み、CONFIG4 レジスタの下位バイトで計算された CRC8 と一緒にデバイスを構成します。

8.2.4.3 システムの初期化

1. 現時点の必要に応じて、すべてのシステム初期化チェックを実施します。これらのテストは、デバイスの STANDBY 状態でのみ実行されることに注意してください。以下のものが該当します。
   a. トリガ PWM パターン チェック。
   b. デバイス タイミング チェック。
   c. nFAULT 信号チェック。
   d. 2 次側ロジック チェック。
2. オフ状態診断の実行 — 初期チェック。

8.2.4.3.1 トリガ PWM パターン チェック

このテストは、システムの初期化時に実行することを推奨します。これにより、TRGx PWM 信号が使用されている場合にのみ必要とされるパターン トランスミッタ (過電流センサなど) とデバイスとの間の互換性を確保できます。

1. CMD0 = 18h の書き込み — トリガは無効。
2. 各 TRGx ピンに展開パターンを発行します。
3. STATUS0 レジスタの TRGx_PIN_STAT を読み取り、パターン検出を確認します。
4. 通常のパターンを各 TRGx ピンで発行します。

Copyright © 2026 Texas Instruments Incorporated

5. STATUS0 レジスタの TRGx_PIN_STAT を読み取り、ハートビート検出を確認します。
6. CMD0 = 00h の書き込み — トリガは有効。

8.2.4.3.2 nFAULT 信号チェック

このテストは、nFAULT ピンのフォルト信号が使用されている場合にのみ、システム初期化時に実行することを推奨します。

1. CMD0 = 19h の書き込み — トリガは無効、nFAULT アサートを要求します。
2. 要求が処理されるように、CMD1 = 80h – CLR_FAULT を書き込みます。
3. nFAULT ピンは Low にアサートされます。これは、STATUS0 レジスタの nFAULT_PIN_STAT を読み戻すことで確認できます。
4. CMD0 = 18h の書き込み — トリガは無効のまま、nFAULT デアサートを要求します。
5. 要求が処理されるように、CMD1 = 80h – CLR_FAULT を書き込みます。
6. この時点で、nFAULT ピンは nFAULT_CONFIG 設定によって制御されます。

8.2.4.3.3 デバイス タイミング チェック

このテストは、デバイスのタイミング チェックが必要な場合にのみ、システムの初期化時に実行することを推奨します。

1. CMD0 = 1Bh の書き込み — トリガは無効、nFAULT でのタイミング信号のアサートを要求します。
2. nFAULT ピンは、75% の 16K Hz PWM 出力で駆動されます。
3. CMD0 = 18h の書き込み — トリガは無効のまま、タイミング信号のデアサートを要求します。
4. 要求が処理されるように、CMD1 = 80h – CLR_FAULT を書き込みます。
5. この時点で、nFAULT ピンは nFAULT_CONFIG 設定によって制御されます。

8.2.4.3.4 2 次側ロジック チェック

このテストは、デバイスの安全層チェックが必要な場合にのみ、システム初期化時に実行することを推奨します。

1. CMD0 = 1Ah の書き込み — トリガは無効、2 次側ロジック タイムアウトを強制的にアサートします。
2. タイムアウトを示すため、40msec 以内に nFAULT ピンが low にアサートされます。また、タイムアウトが発生すると SDO は HiZ になります (DEV_ERR と同様)。
3. CMD0 = 18h の書き込み — トリガは無効、2 次側ロジック タイムアウトのデアサートを要求します。
4. SDO は通常動作を再開します。
5. タイムアウト デアサート要求が処理されるように、CMD1 = 80h – CLR_FAULT を書き込みます。
6. この時点で、nFAULT ピンは nFAULT_CONFIG 設定によって制御されます。

8.2.4.3.5 オフ状態診断 — 初期チェック

オフ状態診断の 8 個すべてのテストは、システム初期化の一端として実行することを推奨します。

1. すべてのテストが有効になるように、CONFIG1 下位バイト = 00h になっていることを確認します
2. テスト シーケンスをトリガするには、CMD1 = 94h を書き込み (CLR_FAULT もアサート)、その後に CMD1 = 00h を書き込みます。応答には、以前のコマンド内容 (コマンドの確認) が含まれます。
3. テストが完了するまで、約 14 ミリ秒 (testxxx_TSEL の CONFIG 設定により異なる) 待ちます
4. STATUS0 と STATUS3 を読み取ります
5. 通常の応答では以下が示されるはずです
   a. OFF_DIAG_SUM = 2h
   b. VREG 電圧測定 — VREG_VMEAS
   c. VREG 容量の推定 — T_VREG_CAP
6. 後続の定期的なオフ状態診断においては、弱プルアップとプルダウンを行った後に VREG と RLOAD 測定のみを実施すれば十分であると考えられます。したがって、CONFIG4 CRC8 更新と共に、CONFIG1 下位バイト = 9Ch を発行します。
7. すべての TRGx ピンを有効化するには、CMD0 = 0x00h を発行します

Copyright © 2026 Texas Instruments Incorporated

8. また、動作中に構成レジスタへの SPI 書き込みが意図せずに行われるのを防ぐため、CMD1 = 40h を発行して LOCK_CONFIG を設定することを推奨します。

8.2.4.4 オフ状態診断 — 定期チェック

オフ状態診断における 8 個のテストのうち、この 4 個のテストのサブセットは、展開機能の健全性を検証するために定期的に実行することを推奨します。

1. CONFIG1 の下位バイト = 9Ch で、弱プルアップとプルダウンのみが行われた後、VREG と RLOAD 測定テストが有効化されるものと想定します
2. テスト シーケンスをトリガするには、CMD1 = D4h を書き込み (CLR_FAULT、LOCK_CONFIG もアサート)、その後に CMD1 = 40h を書き込みます。応答には、以前のコマンド内容 (コマンドの確認) が含まれます。
3. テストが完了するまで、約 8 ミリ秒 (testxxx_TSEL の CONFIG 設定により異なる) 待ちます
4. STATUS0 と STATUS3 を読み取ります
5. 通常の応答では以下が示されるはずです
   a. OFF_DIAG_SUM = 2h
   b. VREG 電圧測定 — VREG_VMEAS
   c. VREG 容量の推定 — T_VREG_CMPx

8.2.4.5 展開

8.2.4.5.1 ターゲット デバイスの展開

1. CMD1 = D8h (展開遅延なし) または DCh (展開遅延あり) を書き込み、展開をトリガします (CLR_FAULT、LOCK_CONFIG もアサートされます)。次に CMD1 = 40h が続きます。応答には、以前のコマンド内容 (コマンドの確認) が含まれます。
2. 展開が完了するまで、約 1 ミリ秒～約 3 ミリ秒 (DEPLOY_ISEL の設定によって異なります) 待ちます
3. STATUS0、STATUS2、MEAS0 MEAS1 を読み取ります
4. 通常の応答では以下が示されるはずです。
   a. DEPLOY_SUM = 2h
   b. DEPLOY_STAT = 0h
   c. 展開開始時間測定 — TSTART_MEAS

展開電流時間測定 – TDEPLOY_MEAS

8.2.4.5.2 ブロードキャスト展開

1. CMD2 = 84h (展開遅延なし) または 86h (展開遅延あり) を書き込み、展開をトリガします (CLR_FAULT、LOCK_CONFIG もアサートされます)。次に CMD2 = 00h が続きます。応答には、以前のコマンド内容 (コマンドの確認) が含まれます。
2. 展開が完了するまで、約 1 ミリ秒～約 3 ミリ秒 (DEPLOY_ISEL の設定によって異なります) 待ちます
3. STATUS0、STATUS2、MEAS0 MEAS1 を読み取ります
4. 通常の応答では以下が示されるはずです
   a. DEPLOY_SUM = 2h
   b. DEPLOY_STAT = 0h
   c. 展開開始時間測定 — TSTART_MEAS
   d. 展開電流時間測定 – TDEPLOY_MEAS

8.2.4.5.3 オフ状態診断 — 展開後

1. CMD1 = 00h を発行して、CONFIG のロックを解除します (以前にロックされていたと想定)
2. RLOAD 測定テストのみが有効になるように、CONFIG1 の下位バイト = FDh を書き込みます。これに伴い、CONFIG4 の下位バイト CRC8 も更新します。オプション — 最も高いスレッショルド設定を行うには、OFF_DIAG_RMEAS_THRS_H_SEL = 3h を書き込みます。

Copyright © 2026 Texas Instruments Incorporated

3. テスト シーケンスをトリガするには、CMD1 = D4h を書き込み (CLR_FAULT、LOCK_CONFIG もアサート)、その後に CMD1 = 40h を書き込みます。応答には、以前のコマンド内容 (コマンドの確認) が含まれます。
4. テストが完了するまで、約 2 ミリ秒 (OFF_DIAG_RMEAS_TSEL の CONFIG 設定により異なる) 待ちます
5. STATUS0 と STATUS3 を読み取ります
6. 通常の応答では、OFF_DIAG_STAT = 4h が示され、負荷抵抗が高いことが示されます。

8.3 電源に関する推奨事項

PVDD/VREG/VDRV：DRV3901-Q1 は複数の電源ピンを備えており、1 次側電源の複数の機能を有効にできます。これらの機能には、エネルギー リザーバ コンデンサ (C_{VREG}) と逆電流ブロック ダイオードのオプションが含まれています。PVDD はシステムからの電源接続であり、システムの高電圧電源と DRV3901-Q1 PVDD ピンに接続する必要があります。PVDD は、スクイブの突入電流およびエネルギー リザーバ コンデンサの突入電流用にサイズが設定された外部ダイオード (D0) を介して VREG ピンに接続する必要があります。VREG は、ピンを互いに短絡して VDRV に直接接続することができます。また、オプションとして、VREG/PVDD が Low の場合に OUTL が電源に短絡する障害モード状態からシステムが保護する必要がある場合は、逆電流ブロック ダイオード (D1) を接続することもできます。

VDD：デバイスには、ロジック電源と複数の安全監視機能のための冗長電源の両方として機能するために、5V 低電圧電源が必要です。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- TRGx ピンを使用しない場合は、これを GND に短絡でき、ピン 24 (未接続) は GND に短絡できます。
- VDRV 電源ピンは、推奨値の低 ESR セラミック バイパス コンデンサを使用して、グランド (オプションで PVDD および VDD ピン) にバイパスする必要があります。このコンデンサはピンのできるだけ近くに配置し、太いパターンまたはグランド プレーンでデバイスの GND ピンに接続する必要があります。エネルギー リザーバのために、VREG ピンに追加のバルク容量が必要となる場合があります。このバルク コンデンサは、大電流パスの長さが最小となるよう配置する必要があります。接続用の金属パターンはできる限り幅広くし、PCB の層間を多数のビアで接続します。これらの手法により、インダクタンスが最小限に抑えられ、バルク コンデンサが大電流を供給できるようになります。
- OUTH ピン #10、11、18、19、および OUTL ピン #8、9、20、21 は内部で接続されます。通常、展開時間は極めて短いため、基板レイアウトに制約がある場合は、OUTH/OUTL ピンの一方を OPEN にし、他方のみを負荷に接続しても問題はありません。
  1. 事例 1：ピン #8、9 とピン #10、11 の間に負荷を接続します。ピン 18、19、20、21 は OPEN のままにします。
  2. 事例 2：ピン #18、19 とピン #20、21 の間に負荷を接続します。ピン #8、9、10、11 は OPEN のままにします。

Copyright © 2026 Texas Instruments Incorporated

8.4.2 レイアウト例

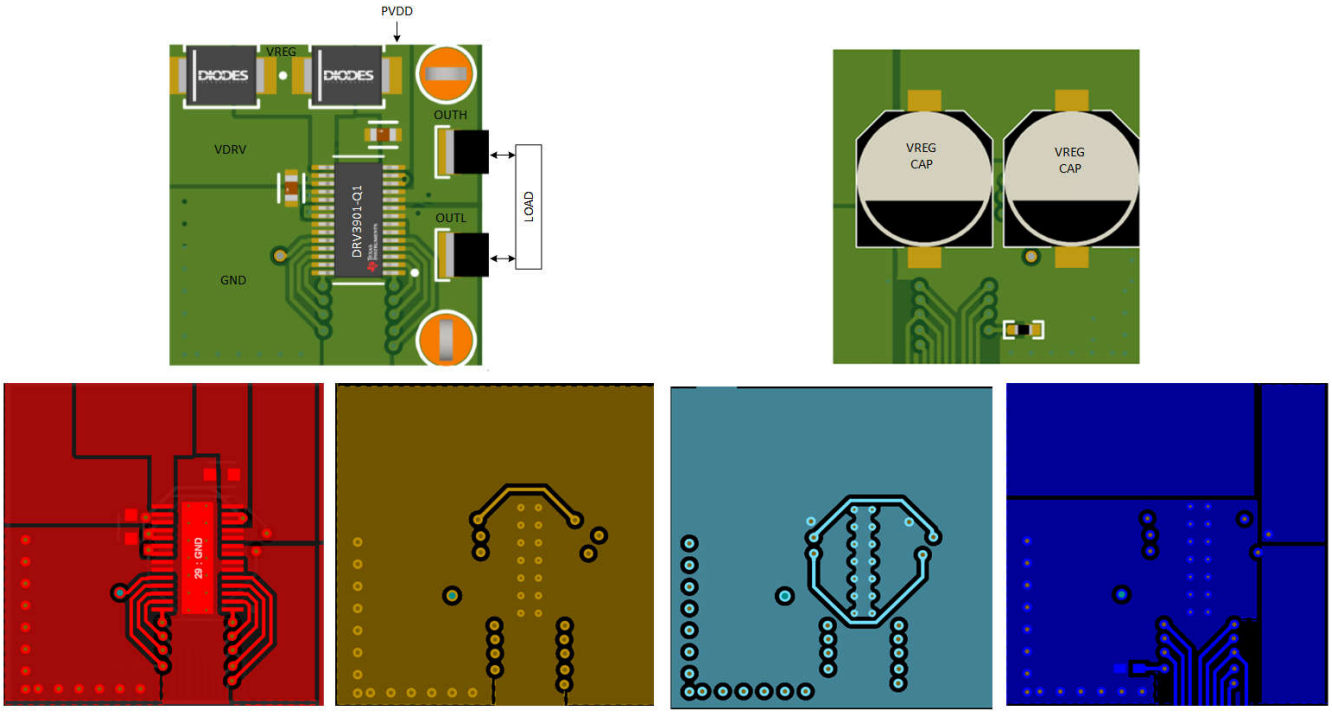


図 8-6. DRV3901-Q1 のレイアウト例

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.4 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (October 2023) to Revision A (June 2026)	Page
• nPOR_RESET のために VDD の名前を VDRV に変更。	7
• ダイオード D) の機能を「PVDD 喪失時に VREG から PVDD に電流が流れるのをブロックします。これは、静電容量測定の診断に必要です」に更新しました。	20
• 説明を「nPOR が発生すると、すべてのレジスタがリセットされ、新しいスタートアップ シーケンスに従う必要があります」に更新しました	23
• 弱いプルダウン テストを電源へのインピーダンスを検出から電源へのインピーダンスまたは開ループを検出に変更しました。	32
• VREG_MEAS を VREG_VMEAS に変更しました。	38
• フレーム長違反を新しい行に移動しました。	42
• デバイスの機能モードの情報を更新しました。	47
• SPI 読み出しフォーマットと SPI 書き込みフォーマットのビット 15 を B5 から B15 に変更しました。	51
• B9 ～ B12 を TRG_PIN_STAT から TRG1_PIN_STAT および TRG2_PIN_STAT に変更しました。	54
• デバイスの初期化 — NAD セクションを更新しました。	81
• デバイスの初期化 - 構成セクションを更新しました。	82
• デバイスのタイミング チェックの前に nFAULT 信号チェックを移動しました。	83
• 2 次側ロジック チェックセクションを更新しました。	83
• オフ状態診断 — 展開後の情報を更新しました。	84

Copyright © 2026 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV3901QDGQRQ1	Active	Production	HVSSOP (DGQ) | 28	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	3901
DRV3901QDGQRQ1.A	Active	Production	HVSSOP (DGQ) | 28	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	3901

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

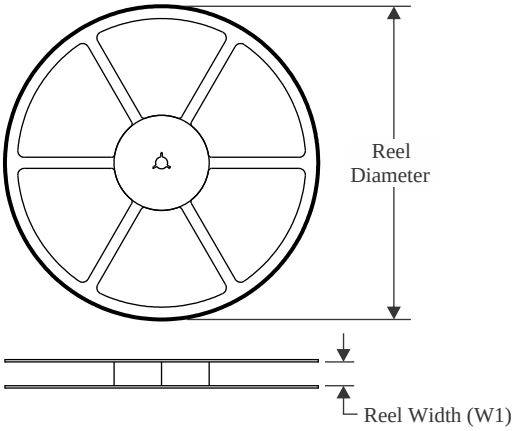
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

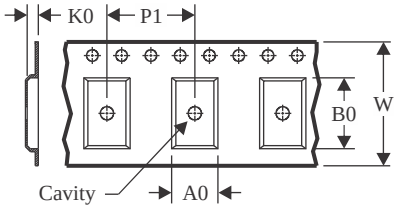
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

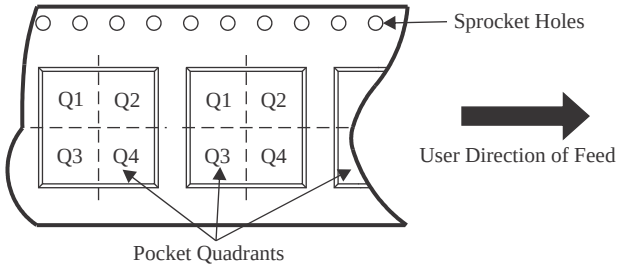


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

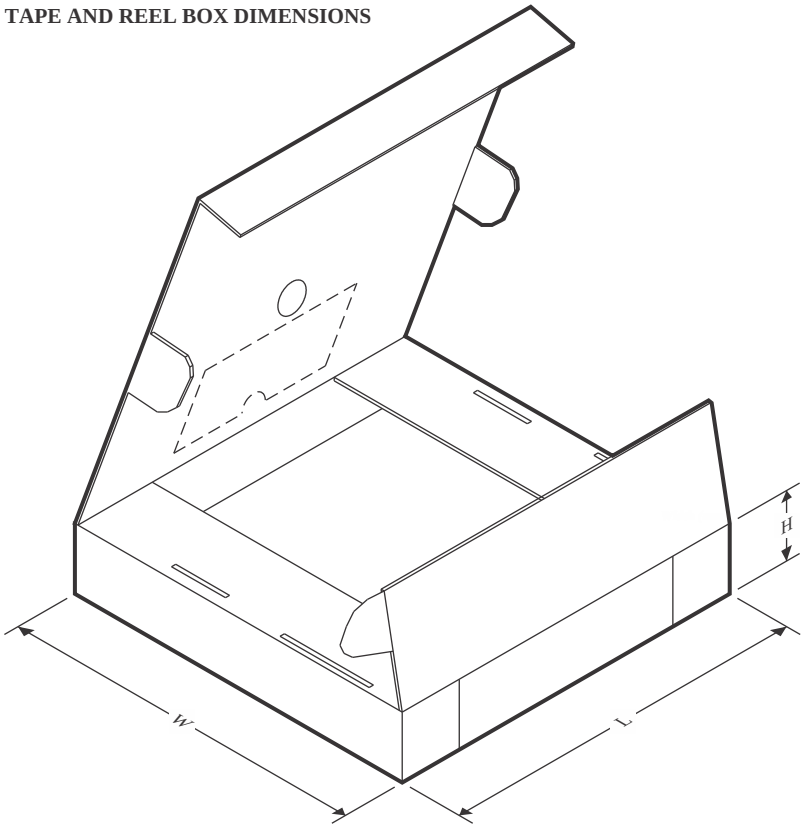
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV3901QDGQRQ1	HVSSOP	DGQ	28	2500	330.0	16.4	5.5	7.4	1.45	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV3901QDGQRQ1	HVSSOP	DGQ	28	2500	353.0	353.0	32.0

GENERIC PACKAGE VIEW

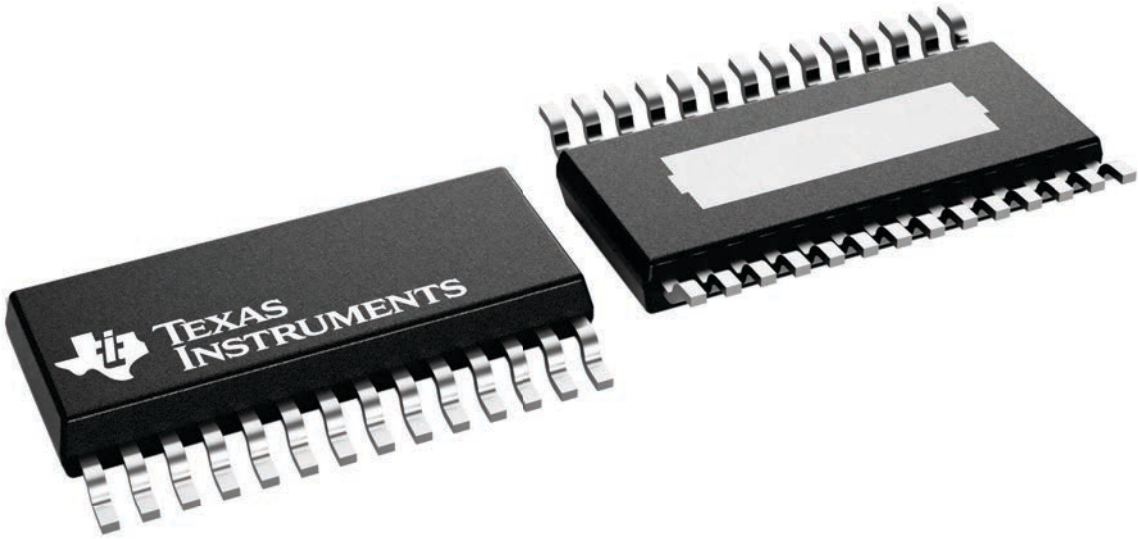
DGQ 28

HVSSOP - 1.1 mm max height

3 x 7.1, 0.5 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



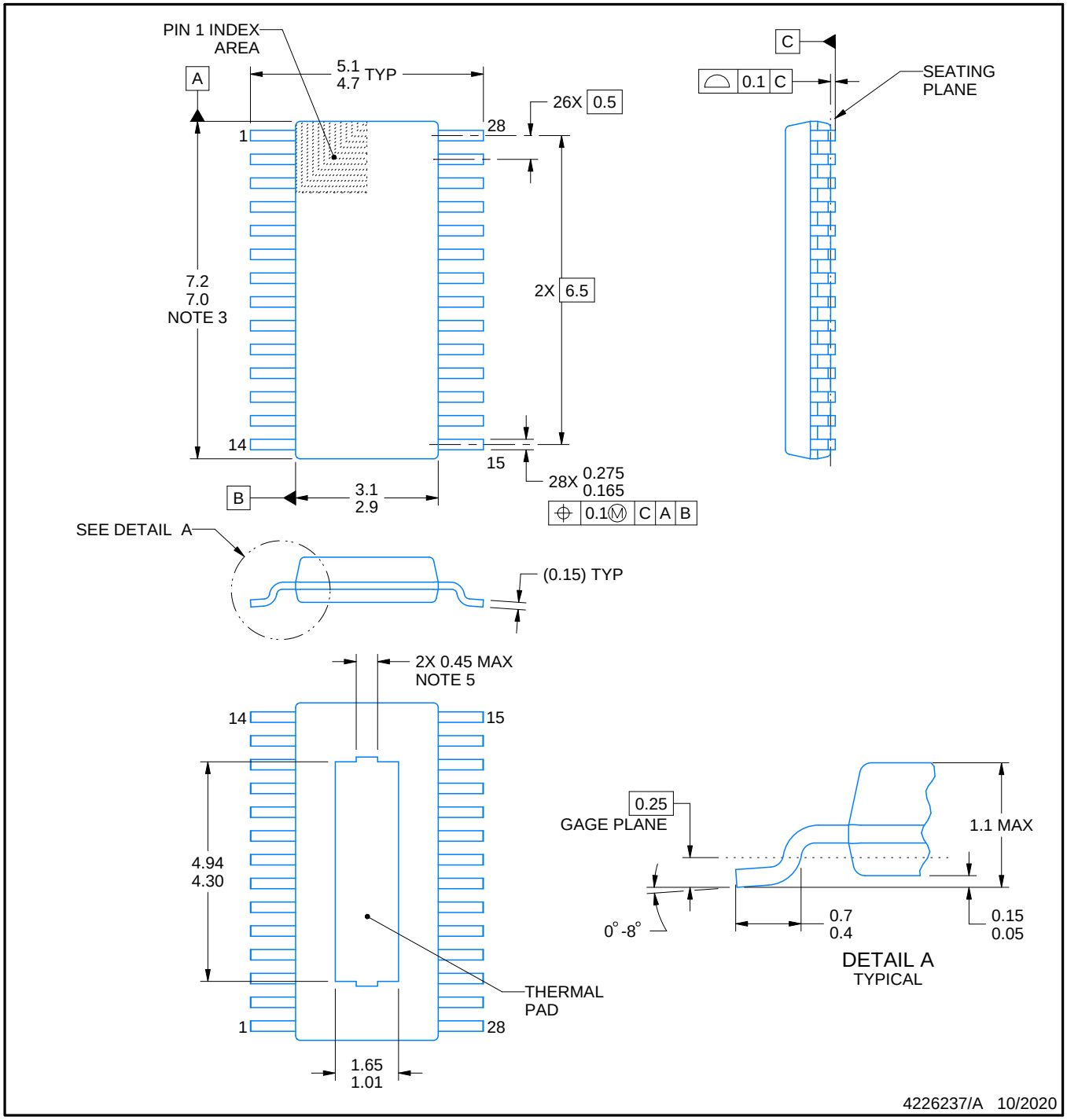
4226530/A

PACKAGE OUTLINE

DGQ0028A

PowerPAD™ VSSOP - 1.1 mm max height

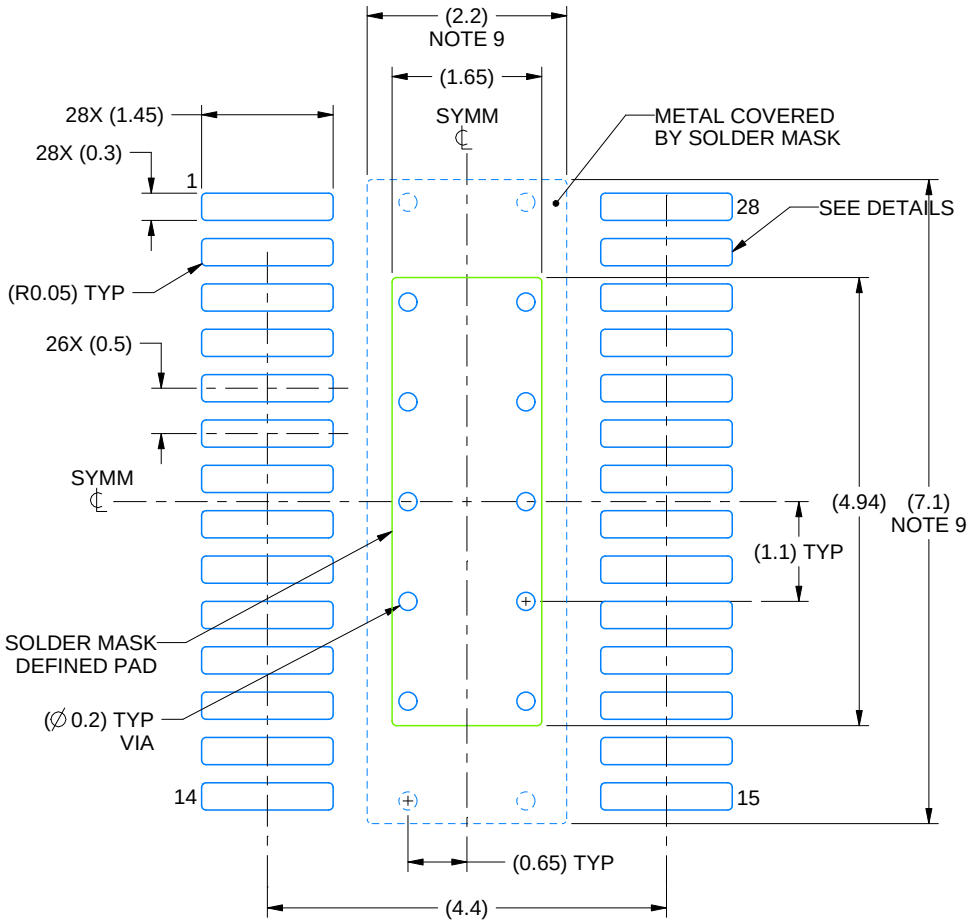
SMALL OUTLINE PACKAGE



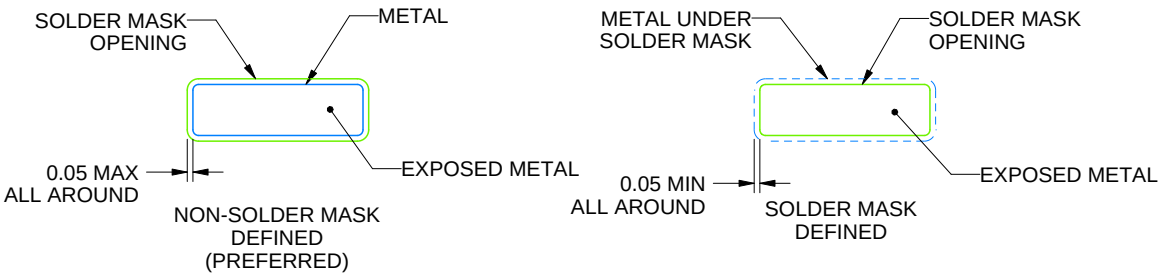
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X

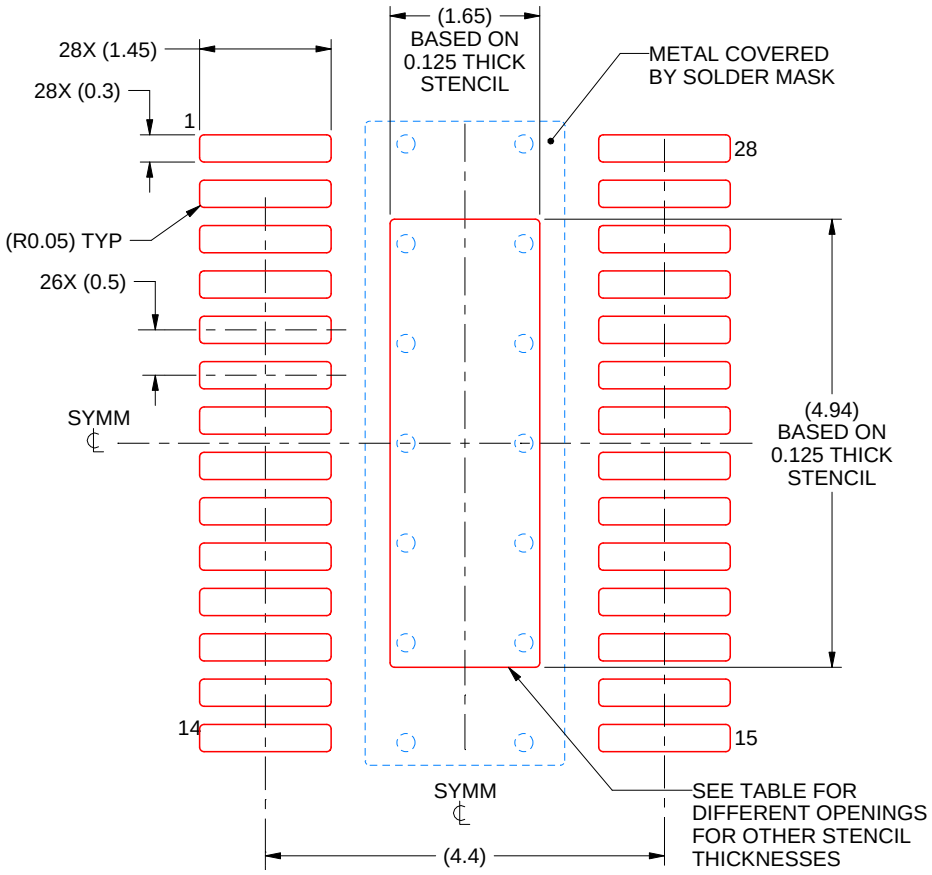


SOLDER MASK DETAILS

4226237/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 12X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.84 X 5.52
0.125	1.65 X 4.94 (SHOWN)
0.15	1.51 X 4.51
0.175	1.39 X 4.18

4226237/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月