DRV425 フラックスゲート磁界センサ

1 特長

- 高精度の内蔵型フラックスゲート センサ:
  - オフセット:±8µT (最大値)
  - オフセット ドリフト:±5nT/°C (標準値)
  - ゲイン誤差:0.04% (標準値)
  - ゲイン ドリフト:±7ppm/°C (標準値)
  - 直線性:±0.1%
  - ノイズ:1.5nT/√Hz (標準値)
- センサ範囲:±2mT (最大値)
  - 外付け抵抗により範囲とゲインを調整可能
- 選択可能な帯域幅:47 kHz または 32 kHz
- 高精度リファレンス:
  - 精度:(最大) 2%、ドリフト:50ppm/°C (最大値)
  - ピンで選択可能な電圧:2.5V または 1.65V
  - 選択可能なレシオメトリック モード:VDD / 2
- 診断機能:オーバーレンジおよびエラー フラグ
- 電源電圧範囲:3.0V ～ 5.5V

2 アプリケーション

- リニア位置センシング
- バスバーでの電流検出
- パターンの上部にある電流センシング
- 汎用磁界センサ
- 過電流検出
- モーターの信頼性診断
- 周波数 / 電圧インバータ
- 太陽光インバータ

3 説明

DRV425 は 1 軸の磁界センシング アプリケーション用に設計されており、電気的に絶縁された高感度で高精度の DC および AC 磁界測定が可能です。このデバイスは、独自の統合型フラックス ゲート センサ (IFG) を搭載しており、内部補償コイルを備えることで、±2 mT の高精度測定範囲と最大 47kHz の測定帯域幅をサポートします。小さなオフセット、小さなオフセット ドリフト係数、小さなセンサ ノイズと、高精度のゲイン、小さなゲイン ドリフト係数、内部補償コイルによる非常に優れた線形性から、比類のない磁界測定精度を実現しています。DRV425 の出力は、検出された磁界に比例するアナログ信号です。

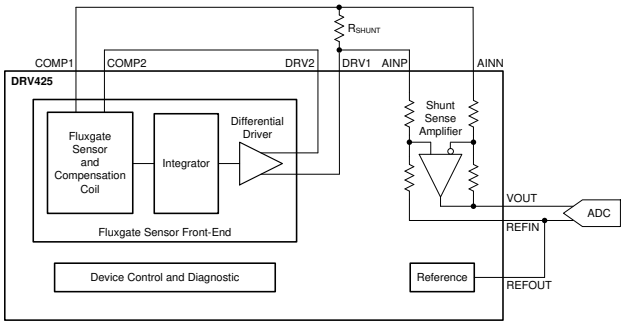
このデバイスは、内部差動アンプ、オンチップの高精度基準電圧、診断機能などの機能一式を備えているため、部品数とシステム レベル コストを最小化できます。

このデバイスは、放熱を最適化するためのサーマル パッドで熱的に強化された非磁性の薄型 WQFN パッケージで供給され、-40℃～+125℃の産業用温度範囲で動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
DRV425	RTJ (WQFN、20)	4.00mm × 4.00mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....4
5.5 電気的特性.....6
5.6 代表的特性.....9
6 詳細説明.....20
6.1 概要.....20
6.2 機能ブロック図.....20
6.3 機能説明.....21
6.4 デバイスの機能モード.....26
7 アプリケーションと実装.....27
7.1 アプリケーション情報.....27
7.2 代表的なアプリケーション.....27
7.3 電源に関する推奨事項.....32
7.4 レイアウト.....32
8 デバイスおよびドキュメントのサポート.....35
8.1 ドキュメントのサポート.....35
8.2 ドキュメントの更新通知を受け取る方法.....35
8.3 サポート・リソース.....35
8.4 ドキュメントの更新通知を受け取る方法.....35
8.5 サポート リソース.....35
8.6 商標.....35
8.7 静電気放電に関する注意事項.....35
8.8 用語集.....35
9 改訂履歴.....35
10 メカニカル、パッケージ、および注文情報.....36

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

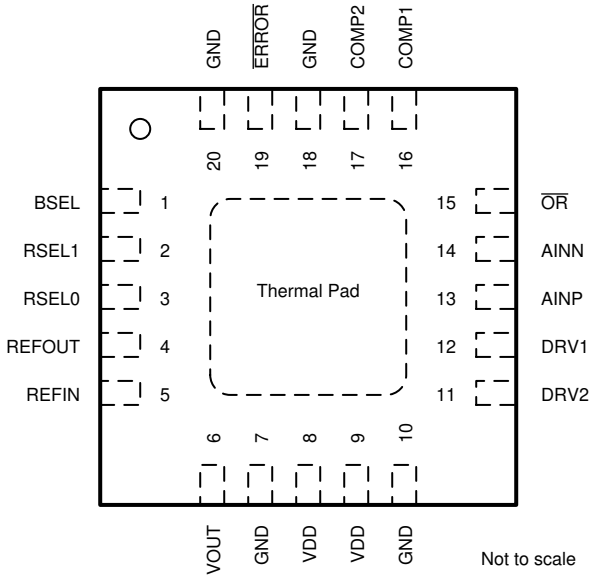


図 4-1. RTJ パッケージ 20 ピン WQFN 上面図

表 4-1. ピンの機能

ピン		種類(1)	説明
名称	番号		
AINN	14	I	電流センス アンプの反転入力
AINP	13	I	シャント検出アンプの非反転入力
BSEL	1	I	フィルタ帯域幅選択入力
COMP1	16	I	内部補償コイル入力 1
COMP2	17	I	内部補償コイル入力 2
DRV1	12	O	補償コイル ドライバ出力 1
DRV2	11	O	補償コイル ドライバ出力 2
$\overline{\text{エラー}}$	19	O	エラー フラグ:オープンドレイン、アクティブ Low 出力
GND	7、10、18、20	—	グランド
$\overline{\text{OR}}$	15	O	シャント検出アンプのオーバーレンジ インジケータ:オープンドレイン、アクティブ Low 出力
REFIN	5	I	シャント検出アンプの同相リファレンス入力
REFOUT	4	O	電圧リファレンス出力
RSEL0	3	I	電圧リファレンス モード選択入力 0
RSEL1	2	I	電圧リファレンス モード選択入力 1
VDD	8、9	—	電源電圧、3.0V～5.5V。デバイスのできるだけ近くに配置された 1µF のセラミック コンデンサを使用して、両方のピンをデカップリングします。詳細については、*電源のデカップリング*セクションと*レイアウト*セクションを参照してください。
VOUT	6	O	シャント検出アンプの出力
サーマル パッド	サーマル パッド	—	サーマル パッドを GND に接続します。

(1) I = 入力、O = 出力

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
電圧	供給電圧 (VDD から GND)	-0.3	6.5	V
	入力電圧、AINP および AINN ピンを除く(2)	GND - 0.5	VDD + 0.5	
	シャント検出アンプ入力 (AINP ピンと AINN ピン)(3)	GND - 6.0	VDD + 6.0	
電流	DRV1 および DRV2 ピン (短絡電流、I_{OS})(4)	-300	300	mA
	シャント検出アンプ入力ピン AINP および AINN	-5	5	
	残りのすべてのピン	-25	25	
温度	接合部、T_J	-50	150	°C
	保存、T_{stg}	-65	150	

(1) *「絶対最大定格」*の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。*「絶対最大定格」*は、これらの条件において、または*「推奨動作条件」*に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「*絶対最大定格*」の範囲内であっても「*推奨動作条件*」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) 入力ピンは、電源レールに対してダイオード クランプされています。差動アンプの入力ピンを除き、電源レールを 0.5 V 以上超えて振れる入力信号は、必ず電流制限を行う必要があります。
(3) これらの入力は、電源レールに対してダイオードによるクランプ保護がされていません。
(4) 電力制限付き:最大接合部温度を観察します。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠(1) HBM ESD 分類レベル 2	±2000	V
		デバイス帯電モデル (CDM)、JEDEC JESD22C101 準拠(2) CDM ESD 分類レベル C6	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VDD	電源電圧範囲 (VDD から GND)	3.0	5.0	5.5	V
T_A	規定周囲温度	-40		125	°C

5.4 熱に関する情報

熱評価基準(1)		DRV425 RTJ (WQFN) 20 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	34.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	33.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	11	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	11	°C/W

Copyright © 2025 Texas Instruments Incorporated

熱評価基準(1)		DRV425 RTJ (WQFN) 20 ピン	単位
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性

特に記述のない限り、最小値と最大値の仕様はすべて、T_A = 25°C、VDD = 3.0V ～ 5.5V、I_{DRV1} = I_{DRV2} = 0mA での値です。標準値は VDD = 5.0V です。

パラメータ			テスト条件	最小値	標準値	最大値	単位
フラックスゲート センサ フロント エンド							
	オフセット		磁界なし	-8	±2	8	µT
	オフセットのドリフト		磁界なし		±5		nT/°C
G	ゲイン		DRV1 出力と DRV2 出力の電流		12.2		mA/mT
	ゲイン誤差				±0.04%		
	ゲイン ドリフト		最小二乗法		±7		ppm/°C
	直線性誤差				0.1%		
	ヒステリシス		–10 mT から 10mT までの磁界スイープ		1.4		µT
	ノイズ		f = 0.1Hz～10Hz		17		nTrms
	ノイズ密度		f = 1kHz		1.5		nT/√Hz
	補償範囲			-2		2	mT
	エラー ピン(2)の飽和トリップ レベル		開ループ、補償されていないフィールド		1.6		mT
	ERROR 遅延		B > 1.6mT での開ループ		4～6		µs
BW	帯域幅		BSEL = 0、R_{SHUNT} = 22Ω		32		kHz
			BSEL = 1、R_{SHUNT} = 22Ω		47		
I_{OS}	短絡電流		VDD = 5V		250		mA
			VDD = 3.3V		150		
	DRV1 ピンと DRV2 ピンの同相モード出力電圧				V_{REFOUT}		V
	補償コイルの抵抗				100		Ω
シャント検出アンプ							
V_{OO}	出力オフセット電圧		V_{AINP} = V_{AINN} = V_{REFIN}、VDD = 3.0V	-0.075	±0.01	0.075	mV
	出力オフセット電圧ドリフト			-2	±0.4	2	µV/°C
CMRR	同相除去比、RTO(1)		V_{CM} = –1V～VDD + 1V、V_{REFIN} = VDD / 2	-250	±50	250	µV/V
$PSRR_{AMP}$	電源除去比、RTO(1)		VDD = 3.0V～5.5V、V_{CM} = V_{REFIN}	-86	±4	86	µV/V
V_{ICR}	同相入力電圧範囲			-1		VDD + 1	V
z_{id}	差動入力インピーダンス			16.5	20	23.5	kΩ
z_{ic}	コモンモード入力インピーダンス			40	50	60	kΩ
G_{nom}	公称ゲイン		V_{VOUT} / (V_{AINP} – V_{AINN})		4		V/V
E_G	ゲイン誤差			-0.3%	±0.02%	0.3%	
	ゲイン ドリフト			-5	±1	5	ppm/°C
	直線性誤差				12		ppm
	負電圧レール (OR ピン トリップ レベル) からの電圧出力スイング(2)		VDD = 5.5V、I_{VOUT} = 2.5mA		48	85	mV
			VDD = 3.0V、I_{VOUT} = 2.5mA		56	100	
	正電圧レール (OR ピン トリップ レベル) からの電圧出力スイング(2)		VDD = 5.5V、I_{VOUT} = -2.5mA	VDD - 85	VDD - 48		mV
			VDD = 3.0V、I_{VOUT} = -2.5mA	VDD - 100	VDD - 56		
	信号オーバーレンジ表示遅延 (OR ピン)(2)		V_{IN} = 1V ステップ		2.5～3.5		µs
I_{OS}	短絡電流		GND に接続された VOUT		-18		mA
			VDD に接続された VOUT		20		
$BW_{–3dB}$	帯域幅				2		MHz
SR	スルーレート				6.5		V/µs
t_{sa}	セトリング タイム	大信号	ΔV = ±2V ～ 1%、外部フィルタなし		0.9		µs
		小信号	ΔV = ± 0.4V～0.01%		8		
e_n	出力電圧ノイズ密度		周 f = 1 kHz、補償ループは無効		170		nV/√Hz

Copyright © 2025 Texas Instruments Incorporated

特に記述のない限り、最小値と最大値の仕様はすべて、T_A = 25°C、VDD = 3.0V ～ 5.5V、I_{DRV1} = I_{DRV2} = 0mA での値です。標準値は VDD = 5.0V です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{REFIN}	ピン REFIN の入力電圧範囲	REFIN ピンの入力電圧範囲	GND		VDD	V

特に記述のない限り、最小値と最大値の仕様はすべて、T_A = 25°C、VDD = 3.0V ～ 5.5V、I_{DRV1} = I_{DRV2} = 0mA での値です。標準値は VDD = 5.0V です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電圧リファレンス						
V_{REFOUT}	REFOUT ピンでの基準出力電圧	RSEL[1:0] = 00、無負荷	2.45	2.5	2.55	V
		RSEL[1:0] = 01、無負荷	1.6	1.65	1.7	
		RSEL[1:0] = 1x、無負荷	45	50	55	VDD の %
	リファレンス出力電圧ドリフト	RSEL[1:0] = 0x	-50	±10	50	ppm/°C
	分圧回路のゲイン誤差ドリフト	RSEL[1:0] = 1x	-50	±10	50	ppm/°C
$PSRR_{REF}$	電源除去比	RSEL[1:0] = 0x	-300	±15	300	µV/V
$\Delta V_{O(\Delta IO)}$	ロード レギュレーション	RSEL[GND]= 0x、1:0 または VDD に負荷、ΔI_{LOAD} = 0mA から 5mA、T_A =–40°C ～+ 125°C		0.15	0.35	mV/mA
		RSEL[GND]= 1x、1:0 または VDD に負荷、ΔI_{LOAD} = 0mA から 5mA、T_A =–40°C ～+ 125°C		0.3	0.8	
I_{OS}	短絡電流	VDD に接続された REFOUT		20		mA
		GND に接続された REFOUT		-18		mA
デジタル入力 / 出力 (CMOS)						
I_{IL}	入力リーク電流			0.01		µA
V_{IH}	High レベル入力電圧	T_A = –40°C ～ +125°C	0.7 × VDD		VDD + 0.3	V
V_{IL}	Low レベル入力電圧	T_A = –40°C ～ +125°C	-0.3		0.3 × VDD	V
V_{OH}	High レベル出力電圧	オープンドレイン出力	外付けプルアップ抵抗で設定			V
V_{OL}	Low レベル出力電圧	4mA のシンク電流		0.3		V
電源						
I_Q	静止時電流	$I_{DRV1/2}$ = 0mA、3.0V ≤ VDD ≤ 3.6V、T_A = –40°C～+125°C		6	8	mA
		$I_{DRV1/2}$ = 0mA、4.5V ≤ VDD ≤ 5.5V、T_A = –40°C～+125°C		7	10	
V_{POR}	パワーオン リセットのスレッショルド			2.4		V

(1) パラメータ値は出力換算 (RTO) です。
(2) ERROR および OR の動作の詳細については、*磁界範囲*、*オーバーレンジ インジケータ*、および*エラー フラグ*セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.6 代表的特性

VDD = 5V、T_a= 25℃ (特に記述のない限り)

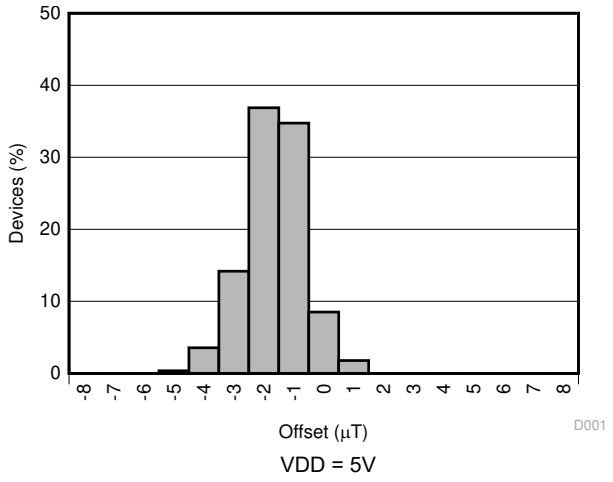


図 5-1. フラックスゲート センサのフロントエンド オフセットのヒストグラム

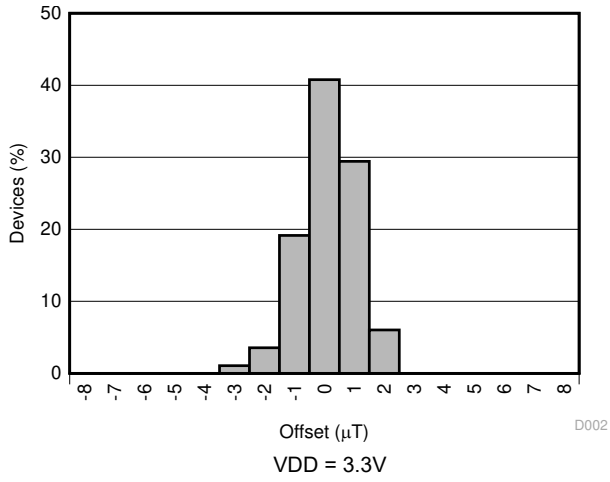


図 5-2. フラックスゲート センサのフロントエンド オフセットのヒストグラム

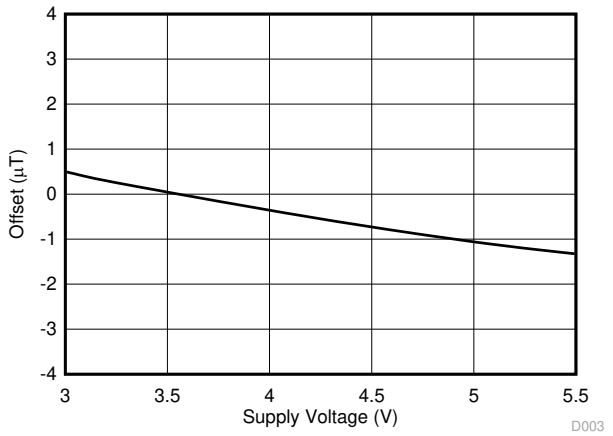


図 5-3. フラックスゲート センサのフロントエンド オフセットと電源電圧との関係

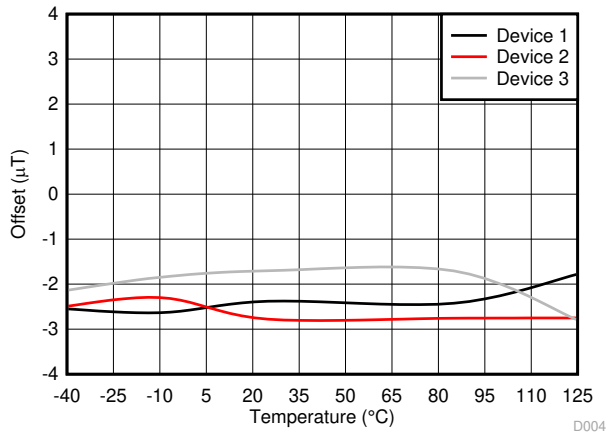


図 5-4. フラックスゲート センサのフロントエンド オフセットと温度との関係

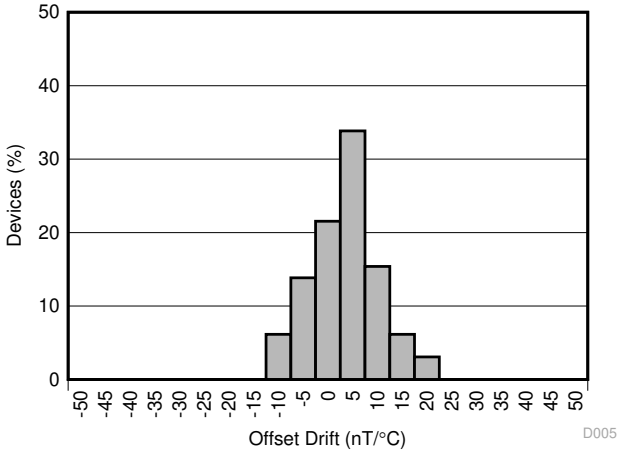


図 5-5. フラックスゲート センサのフロントエンド オフセット ドリフトのヒストグラム

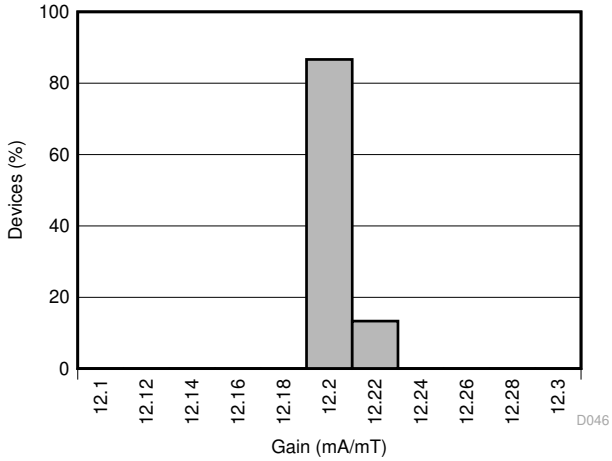


図 5-6. フラックスゲート センサのフロントエンド ゲインのヒストグラム

Copyright © 2025 Texas Instruments Incorporated

5.6 代表的特性 (続き)

VDD = 5V、T_a= 25℃ (特に記述のない限り)

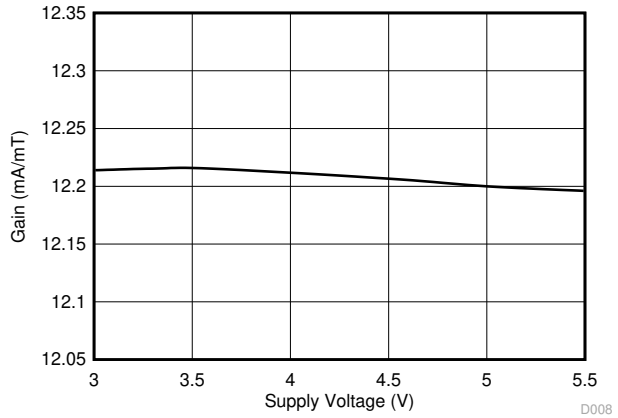


図 5-7. フラックスゲート センサのフロントエンド ゲインと電源電圧との関係

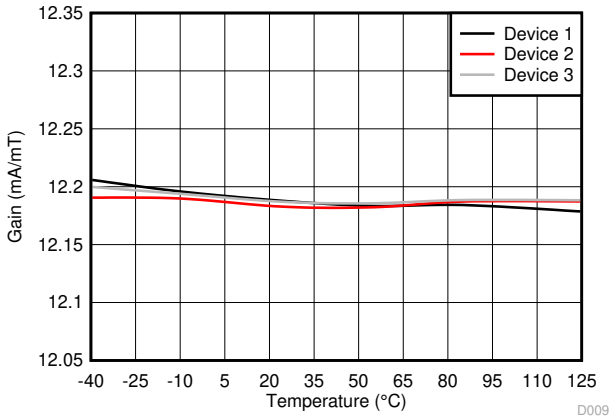


図 5-8. フラックスゲート センサのフロントエンド ゲインと温度との関係

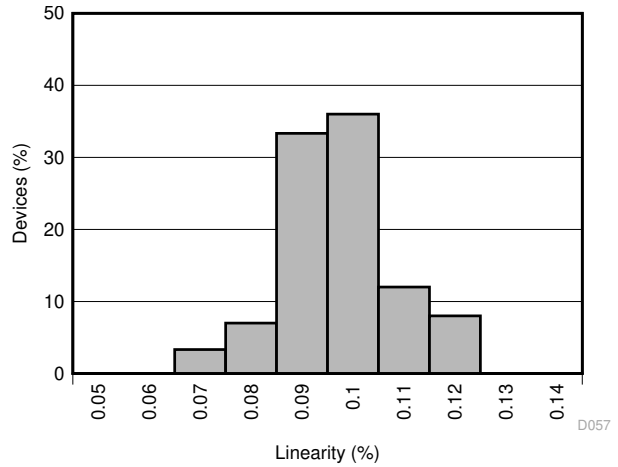


図 5-9. フラックスゲート センサのフロントエンドの直線性ヒストグラム

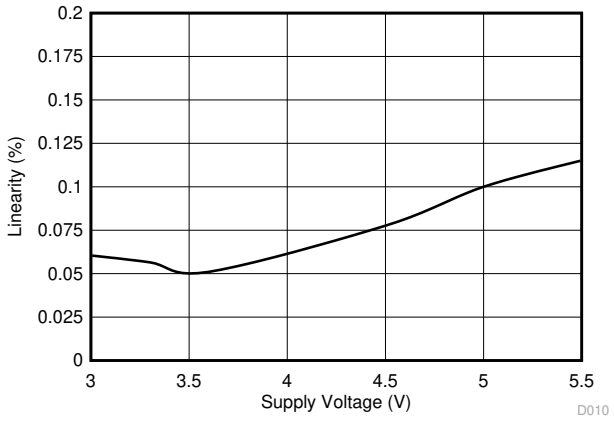


図 5-10. フラックスゲート センサのフロントエンドの直線性と電源電圧との関係

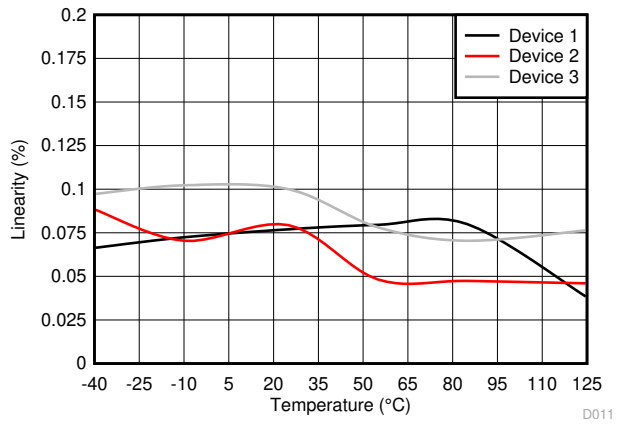


図 5-11. フラックスゲート センサのフロントエンドの直線性と温度との関係

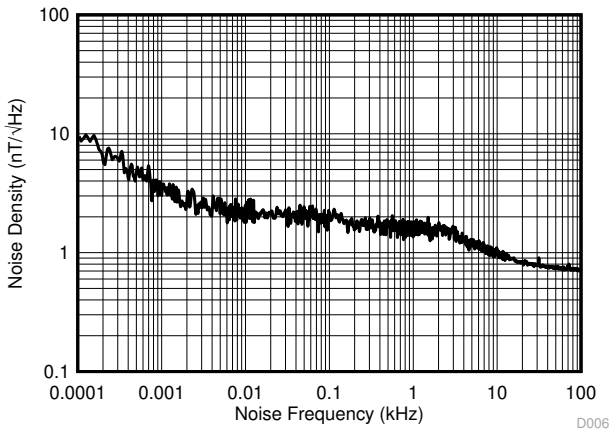


図 5-12. フラックスゲート センサのフロントエンドのノイズ密度とノイズ周波数との関係

Copyright © 2025 Texas Instruments Incorporated

5.6 代表的特性 (続き)

VDD = 5V、T_a= 25℃ (特に記述のない限り)

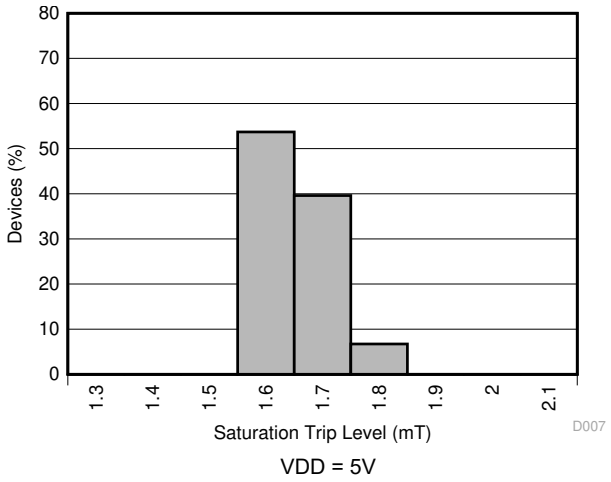


図 5-13. フラックスゲート センサの飽和 (ERROR ピン) トリップ レベルのヒストグラム

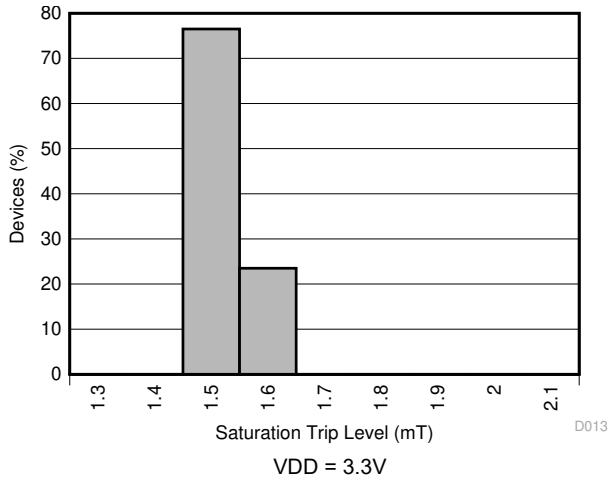


図 5-14. フラックスゲート センサの飽和 (ERROR ピン) トリップ レベルのヒストグラム

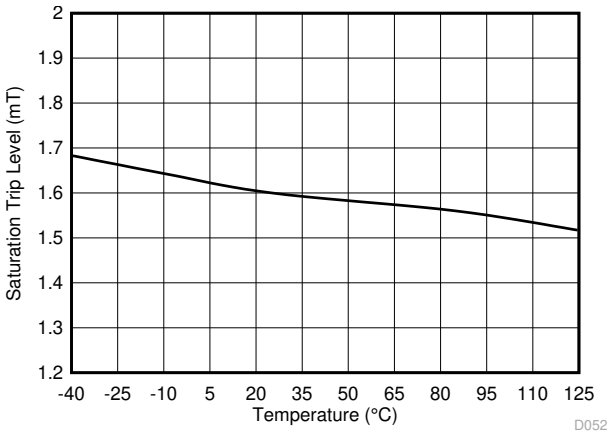


図 5-15. フラックスゲート センサの飽和 (ERROR ピン) トリップ レベルと温度との関係

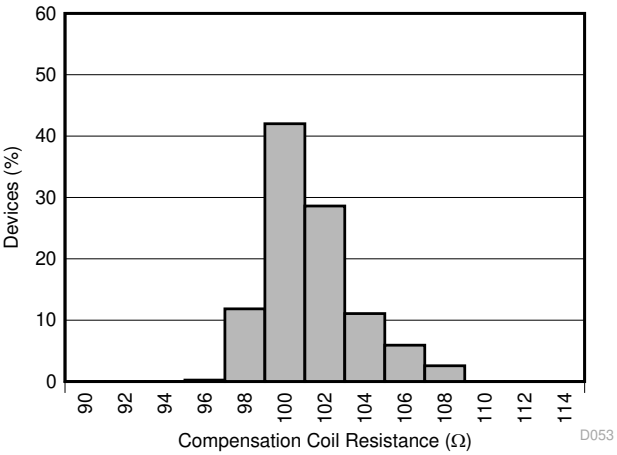


図 5-16. 補償コイルの抵抗のヒストグラム

5.6 代表的特性 (続き)

VDD = 5V、T_a= 25℃ (特に記述のない限り)

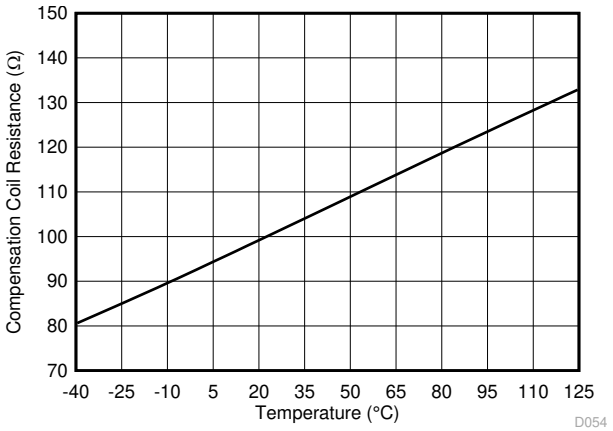


図 5-17. 補償コイルの抵抗と温度との関係

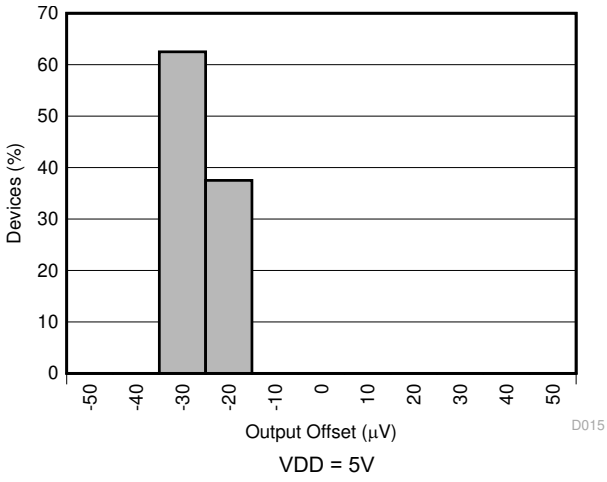


図 5-18. シャント検出アンプの出力オフセットのヒストグラム

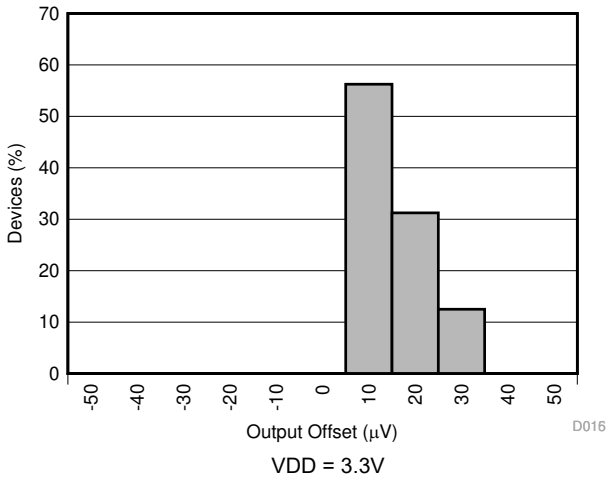


図 5-19. シャント検出アンプの出力オフセットのヒストグラム

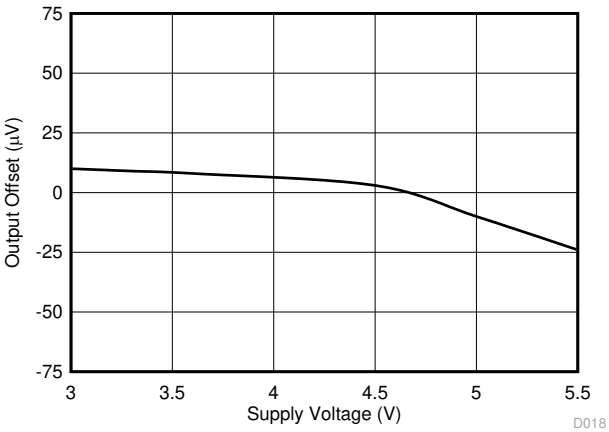


図 5-20. シャント検出アンプの出力オフセットと電源電圧との関係

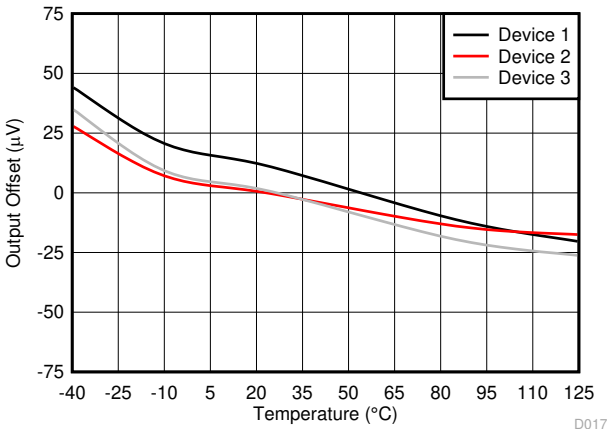


図 5-21. シャント検出アンプの出力オフセットと温度との関係

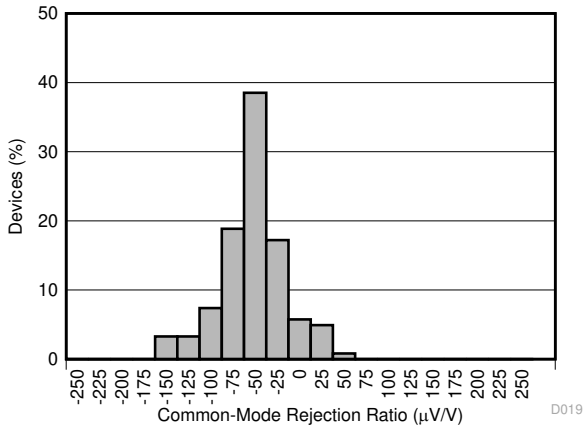


図 5-22. シャント検出アンプの CMRR のヒストグラム

Copyright © 2025 Texas Instruments Incorporated

5.6 代表的特性 (続き)

VDD = 5V、T_a= 25℃ (特に記述のない限り)

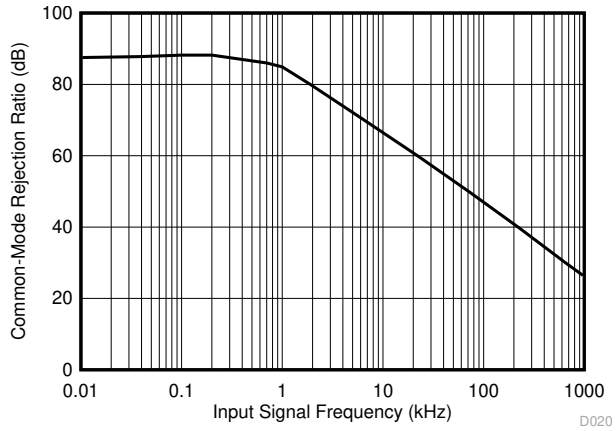


図 5-23. シャント検出アンプ CMRR と入力信号周波数との関係

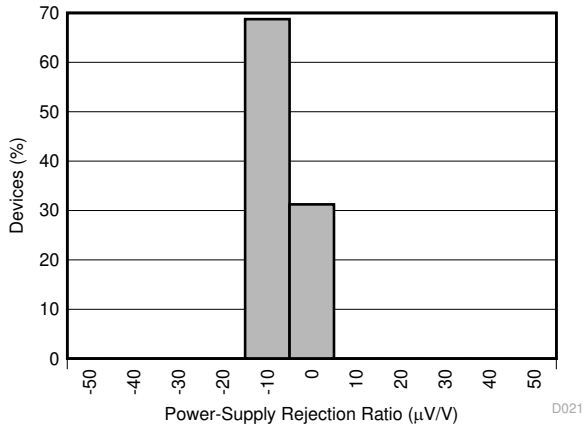


図 5-24. シャント検出アンプの PSRR のヒストグラム

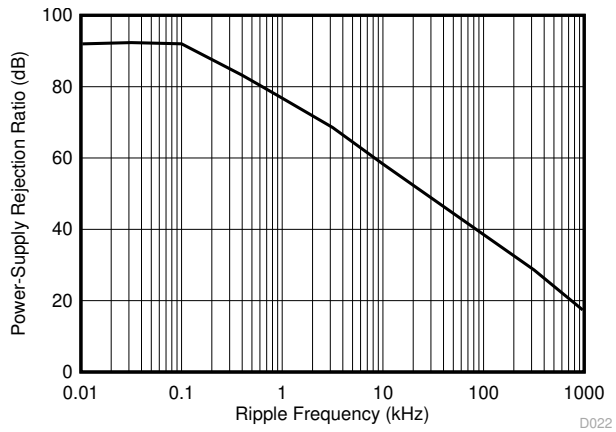


図 5-25. シャント検出アンプの PSRR とリップル周波数との関係

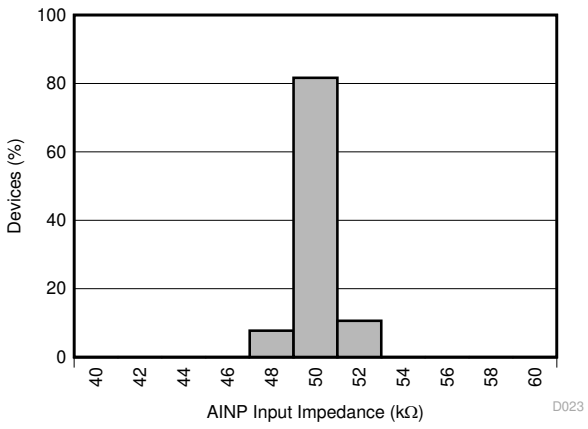


図 5-26. シャント検出アンプ AINP の入力インピーダンスのヒストグラム

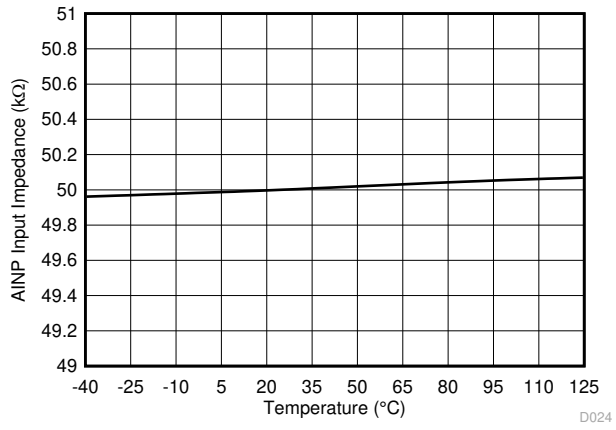


図 5-27. シャント検出アンプ AINP の入力インピーダンスと温度との関係

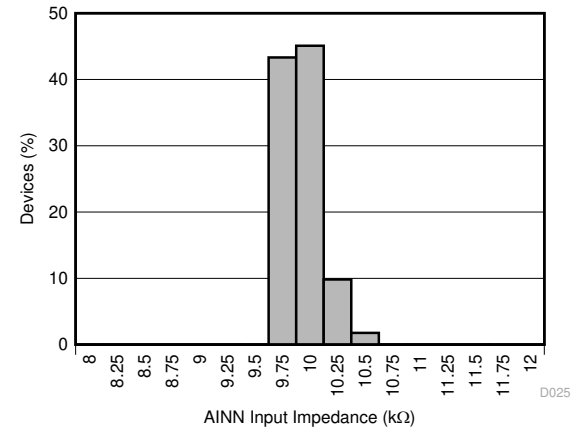


図 5-28. シャント検出アンプ AINN の入力インピーダンスのヒストグラム

Copyright © 2025 Texas Instruments Incorporated

5.6 代表的特性 (続き)

VDD = 5V、T_a= 25℃ (特に記述のない限り)

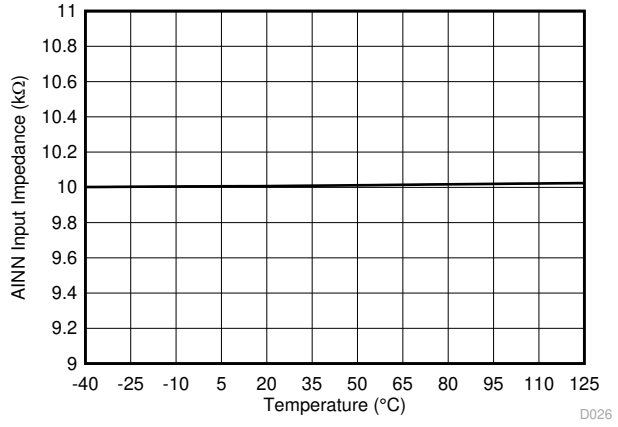
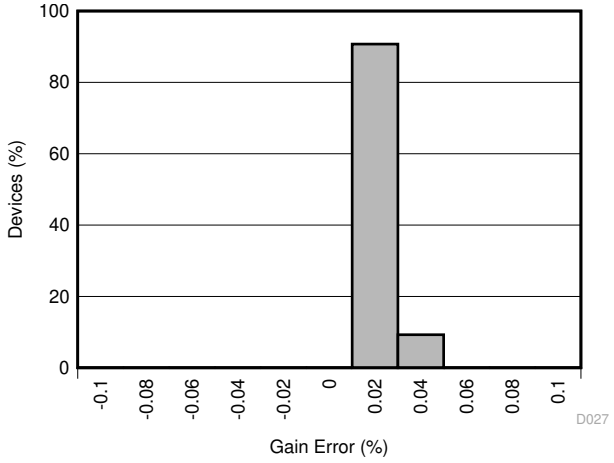
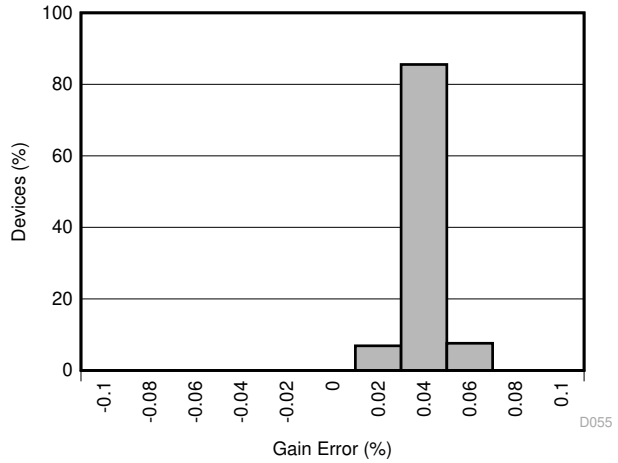


図 5-29. シャント検出アンプ AINN の入力インピーダンスと温度との関係



IFG を含む、VDD = 5V

図 5-30. シャント検出アンプのゲイン誤差のヒストグラム



IFG を含む、VDD = 3.3V

図 5-31. シャント検出アンプのゲイン誤差のヒストグラム

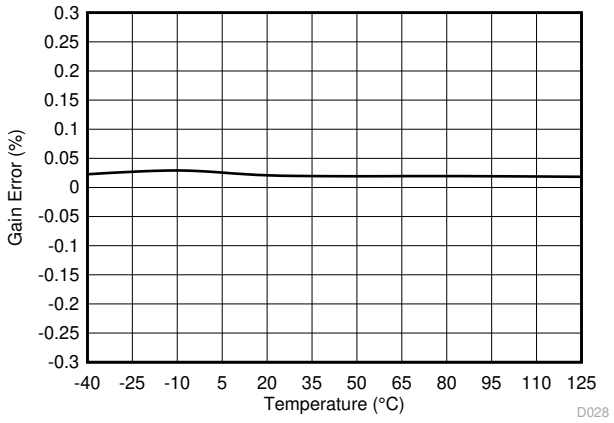


図 5-32. シャント検出アンプのゲイン誤差と温度の関係

Copyright © 2025 Texas Instruments Incorporated

5.6 代表的特性 (続き)

VDD = 5V、T_a= 25℃ (特に記述のない限り)

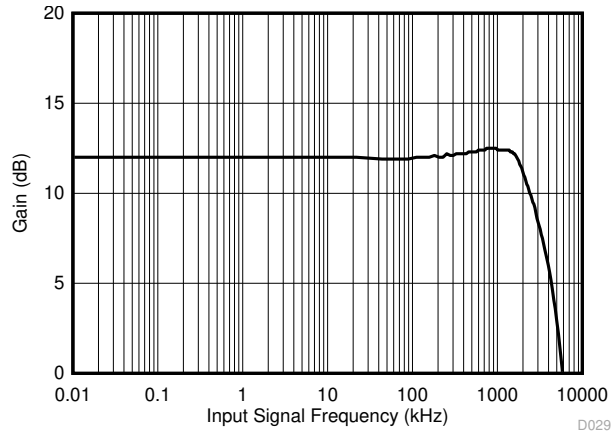


図 5-33. シャント検出アンプのゲインと入力信号周波数との関係

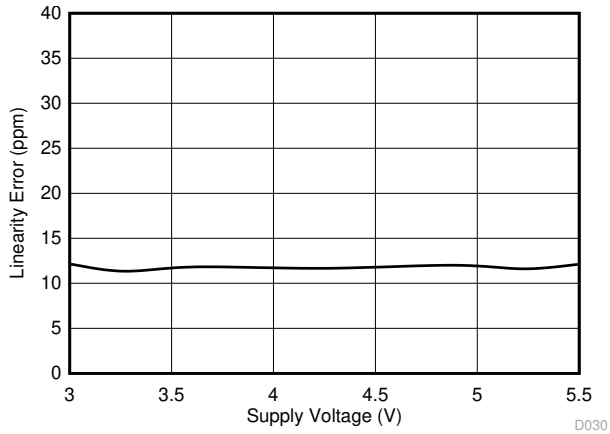


図 5-34. シャント検出アンプの直線性誤差と電源電圧との関係

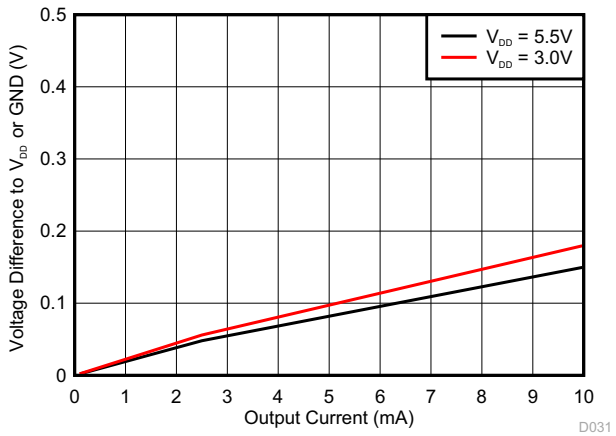


図 5-35. $\overline{OR}$ ピンのトリップ レベルと出力電流との関係

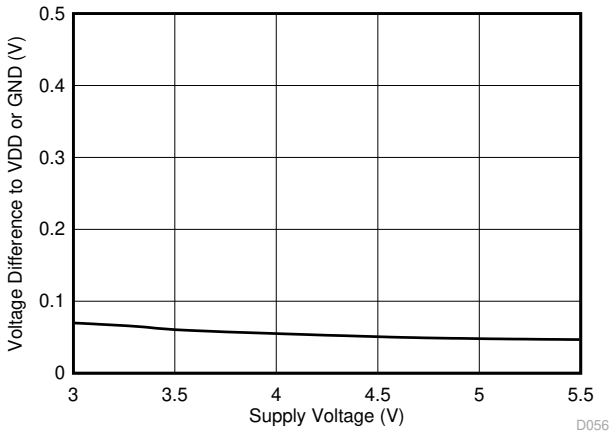


図 5-36. $\overline{OR}$ ピン レベルと電源電圧との関係

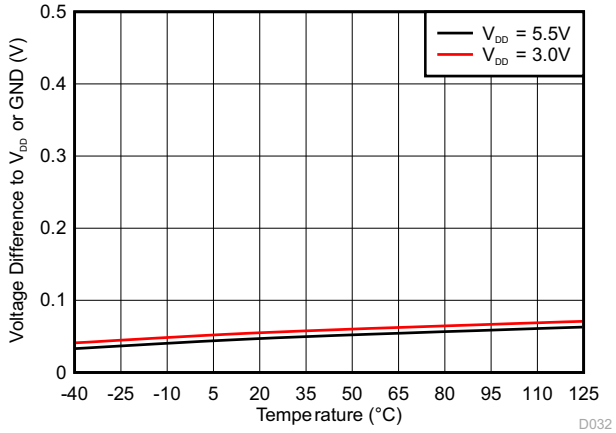


図 5-37. $\overline{OR}$ ピンのトリップ レベルと温度との関係

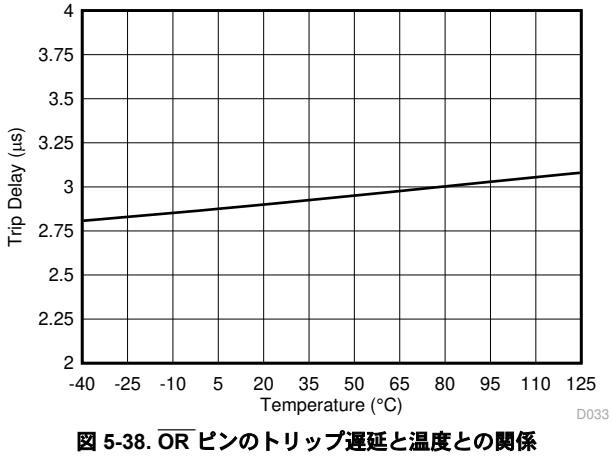


図 5-38. $\overline{OR}$ ピンのトリップ遅延と温度との関係

Copyright © 2025 Texas Instruments Incorporated

5.6 代表的特性 (続き)

VDD = 5V、T_a= 25℃ (特に記述のない限り)

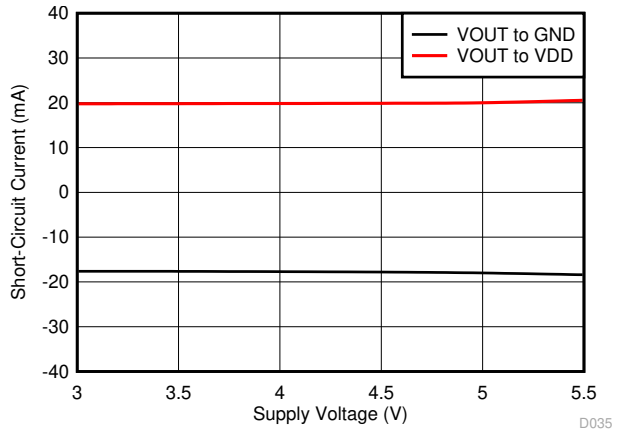


図 5-39. シャント検出アンプ出力の短絡電流と電源電圧との関係

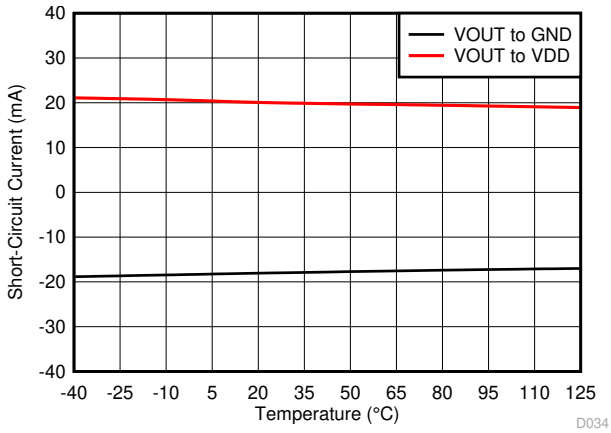
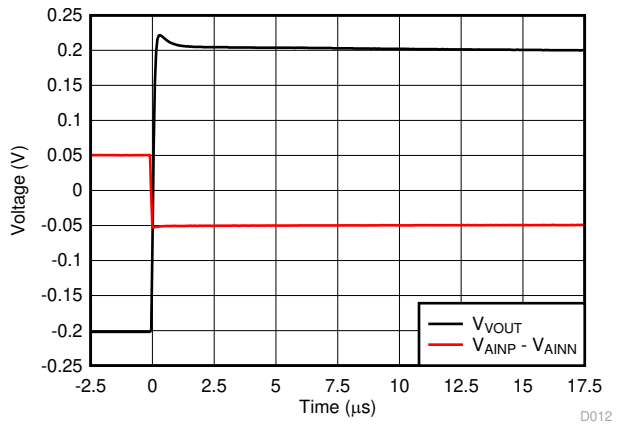
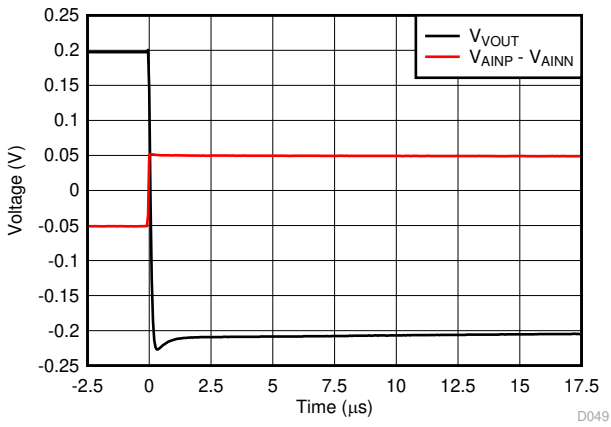


図 5-40. シャント検出アンプ出力短絡電流と温度との関係



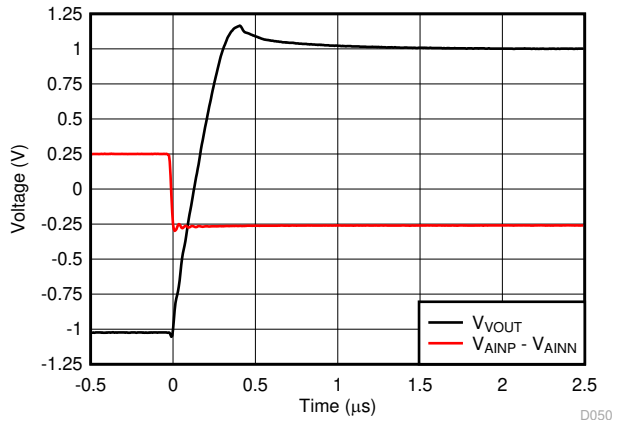
立ち上がりエッジ

図 5-41. シャント検出アンプの小信号セトリング タイム



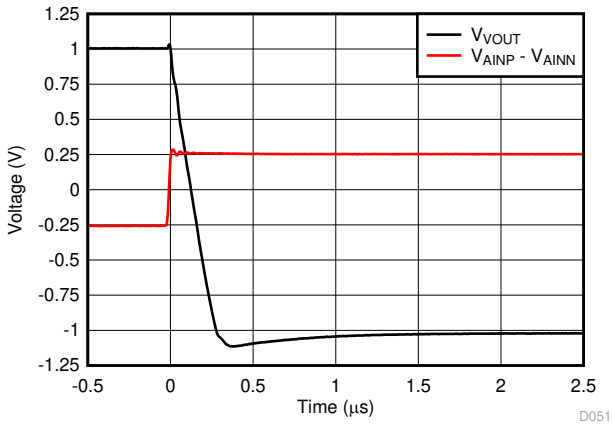
立ち下がりエッジ

図 5-42. シャント検出アンプの小信号セトリング タイム



立ち上がりエッジ

図 5-43. シャント検出アンプの大信号セトリング タイム



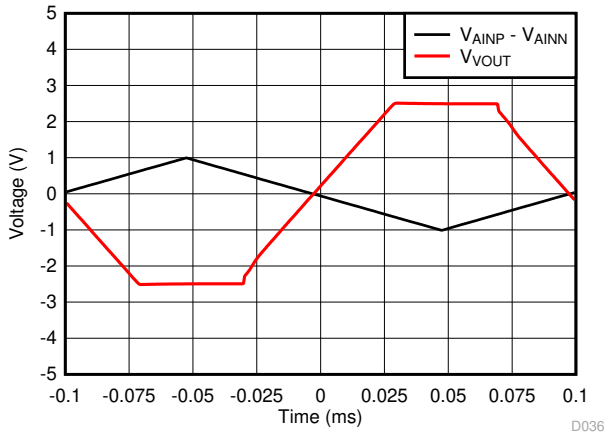
立ち下がりエッジ

図 5-44. シャント検出アンプの大信号セトリング タイム

Copyright © 2025 Texas Instruments Incorporated

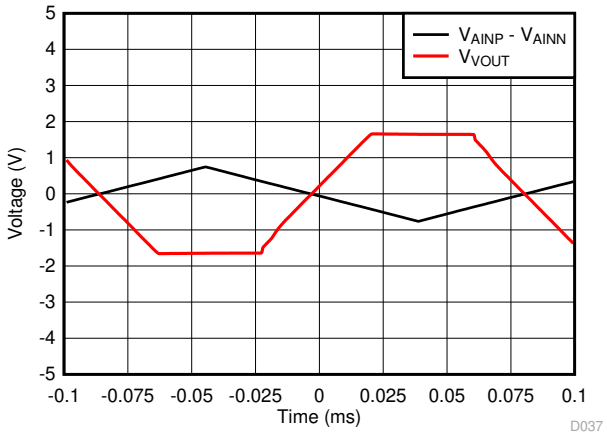
5.6 代表的特性 (続き)

VDD = 5V、T_a= 25℃ (特に記述のない限り)



VDD = 5V

図 5-45. シャント検出アンプの過負荷回復応答



VDD = 3.3V

図 5-46. シャント検出アンプの過負荷回復応答

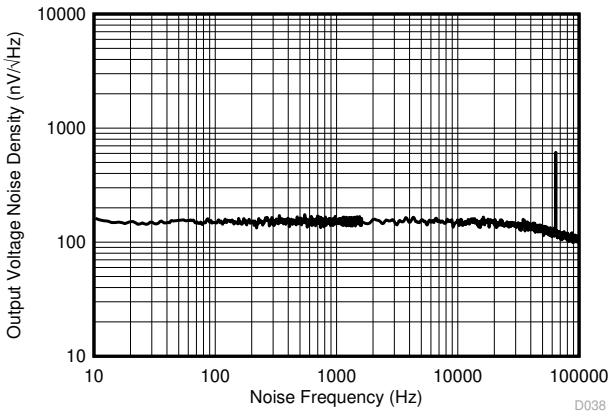
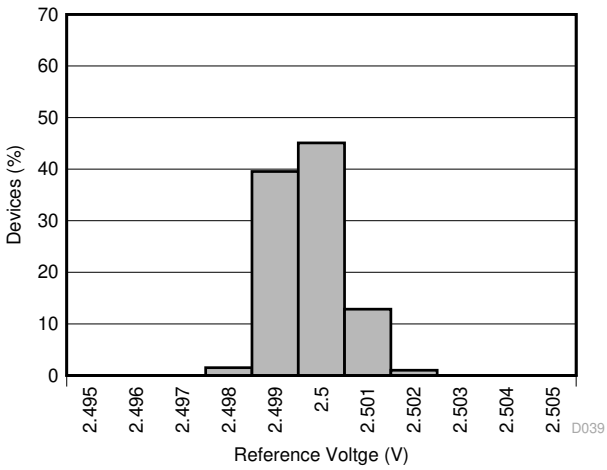


図 5-47. シャント検出アンプの出力電圧ノイズ密度とノイズ周波数との関係



V_{REFOUT} = 2.5V

図 5-48. リファレンス電圧のヒストグラム

5.6 代表的特性 (続き)

VDD = 5V、T_a= 25℃ (特に記述のない限り)

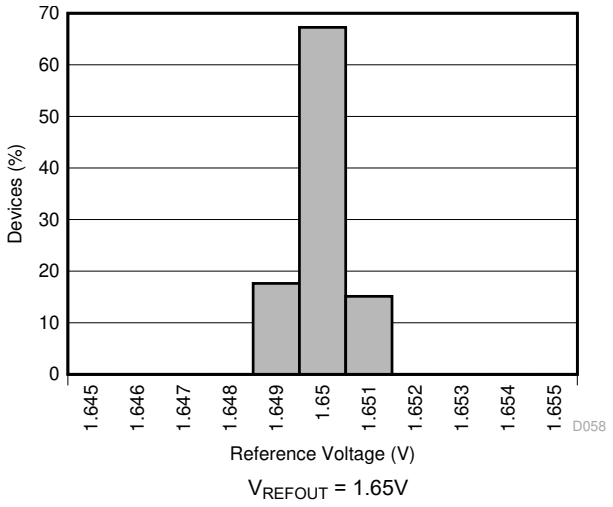


図 5-49. リファレンス電圧のヒストグラム

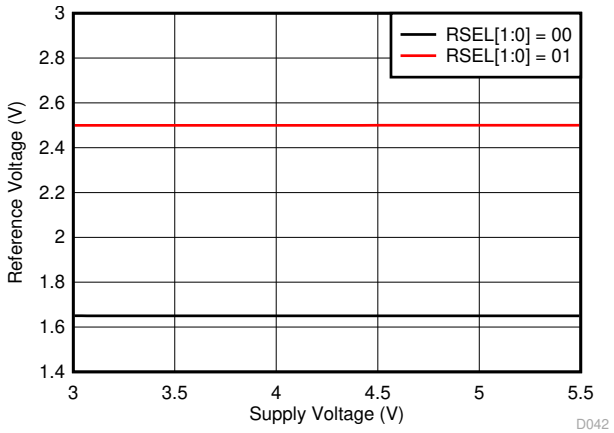


図 5-50. 内部電圧と電源電圧との関係

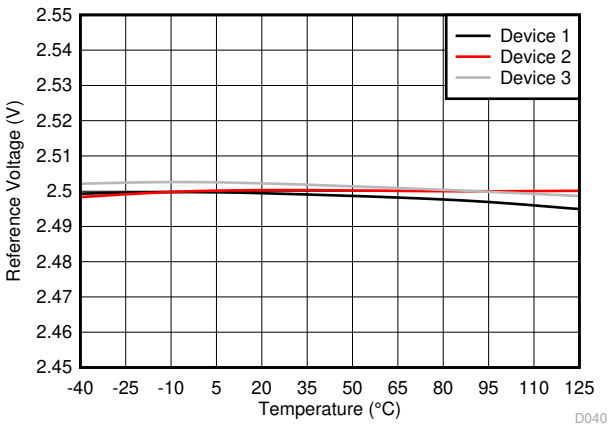


図 5-51. 基準電圧と温度との関係

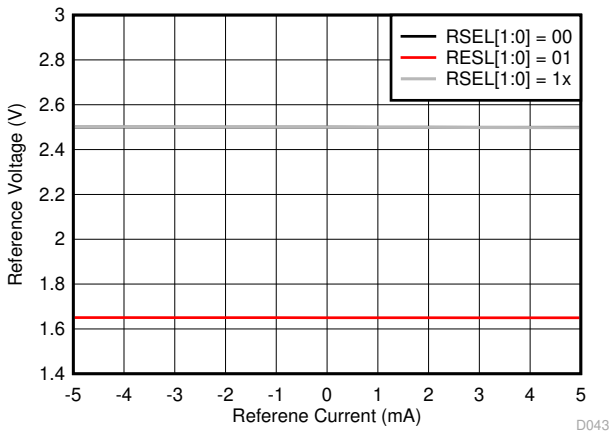


図 5-52. リファレンス電圧とリファレンス出力電流の関係

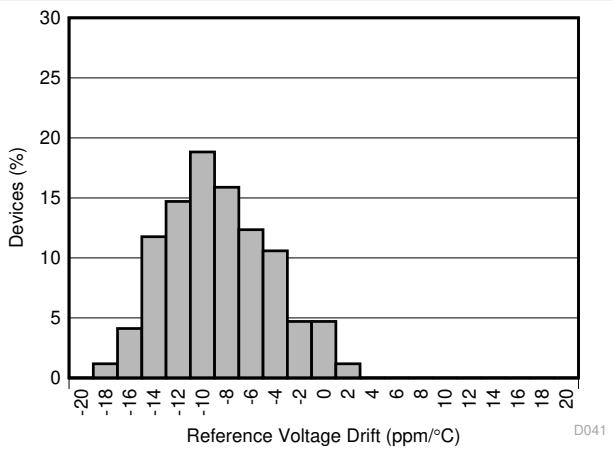


図 5-53. リファレンス電圧ドリフトのヒストグラム

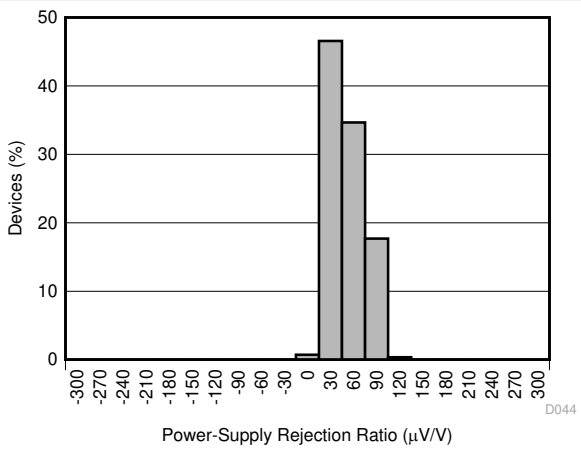


図 5-54. リファレンス電圧の PSRR ヒストグラム

Copyright © 2025 Texas Instruments Incorporated

5.6 代表的特性 (続き)

VDD = 5V、T_a= 25℃ (特に記述のない限り)

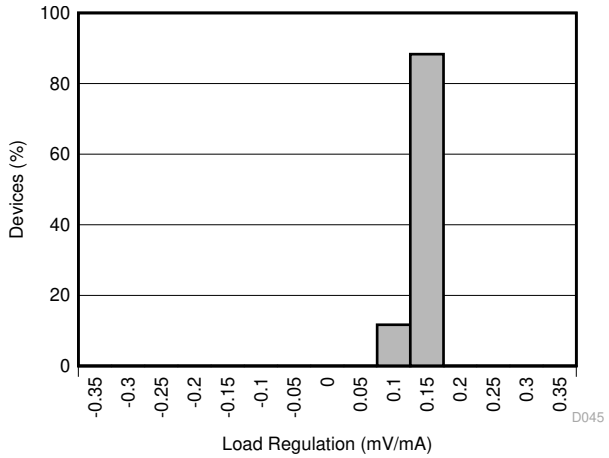


図 5-55. リファレンス電圧負荷レギュレーション ヒストグラム

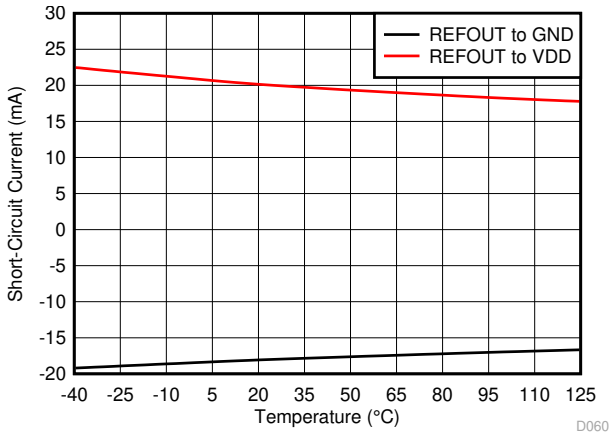


図 5-56. 基準電圧の短絡電流と温度との関係

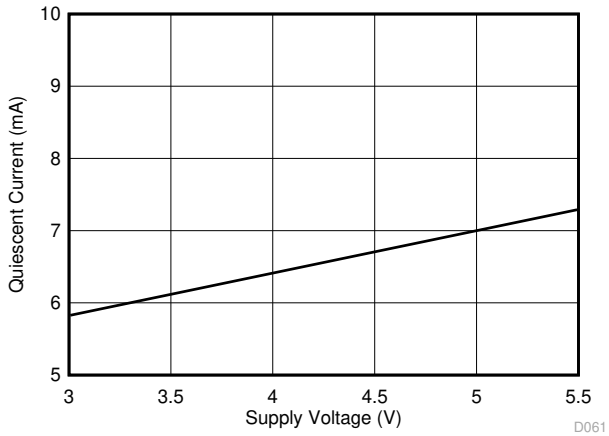


図 5-57. 静止電流と電源電圧との関係

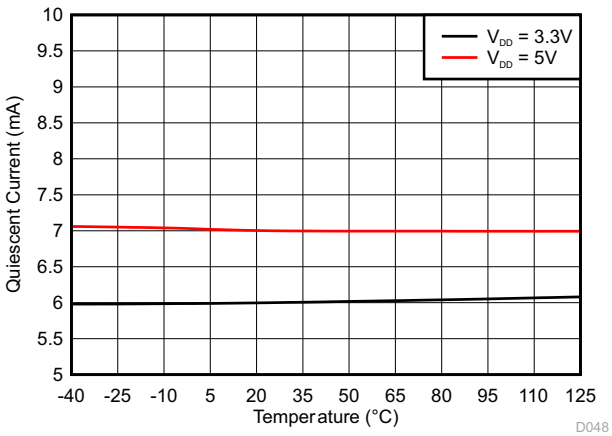


図 5-58. 静止電流と温度との関係

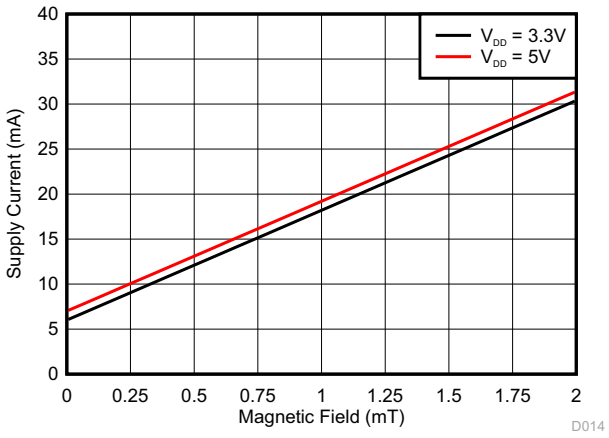


図 5-59. 電源電流と磁界との関係

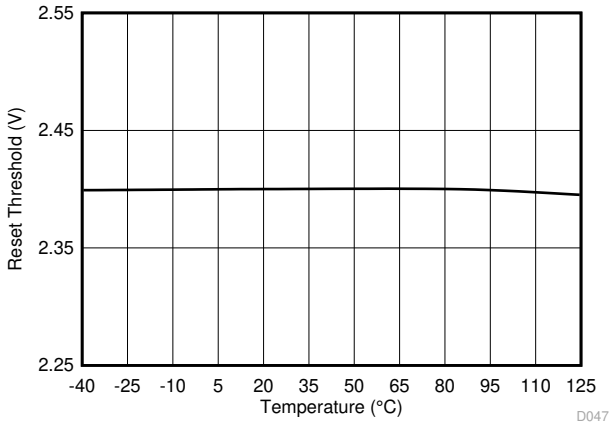


図 5-60. パワーオン リセット スレッショルドと温度との関係

6 詳細説明

6.1 概要

位置、間接的な ac 電流および dc 電流、トルク測定など、幅広いアプリケーションに磁気センサは使用されています。 ホール効果センサは磁界検出によく使われますが、オフセット、ノイズ、ゲイン変動、非線形性があるため、システムで達成できる分解能や精度には限界があります。フラックス ゲート センサは、感度の大幅向上、ドリフト低減、低ノイズ、高い直線性を実現し、最大 1000 倍の測定精度を実現します。

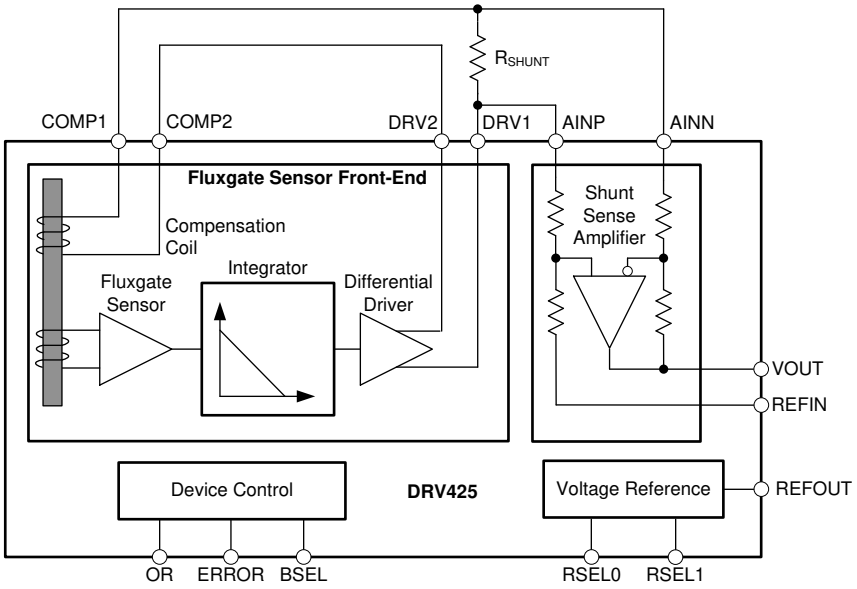
機能ブロック図 セクションに示すように、DRV425 は、磁気フラックス ゲート センサと、制御ループを内部で閉じるために必要なセンサ コンディショニング コイルと補償コイルで構成されています。フラックス ゲート センサは飽和状態の出入りを繰り返し、ヒステリシスなしで優れた精度で動作します。内部補償コイルにより、安定したゲインと高い直線性が得られます。

磁界 B は、DRV425 の内部フラックス ゲート センサによって検出されます。このデバイスには、センサ出力が内蔵されており、高ループ ゲインを実現します。積分器の出力を内蔵の差動ドライバに接続し、内部補償コイルを通じて反対の補償電流を駆動します。補償コイルは逆の磁界を生成し、センサの元の磁界をゼロに戻します。

補償電流は外部磁界に比例し、その値は 12.2 mA/mT です。この補償電流により、外部シャント抵抗 R_{SHUNT} の両端で電圧降下が発生します。固定利得 4 V/V の差動アンプがこの電圧を測定し、REFIN を基準とした出力電圧を生成し、出力は磁界に比例します。VOUT ピンの出力電圧 (V_{VOUT}) の値は、式 1 を使用して計算します:

$$V_{VOUT}\,[V] = B \times G \times R_{SHUNT} \times G_{AMP} = B\,[mT] \times 12.2 mA/mT \times R_{SHUNT}\,[\Omega] \times 4\,[V/V] \quad (1)$$

6.2 機能ブロック図



Copyright © 2025 Texas Instruments Incorporated

6.3 機能説明

6.3.1 フラックスゲート センサ フロント エンド

以下のセクションでは、内蔵のフラックスゲート センサ フロントエンドの機能ブロックと機能について説明します。

6.3.1.1 フラックスゲート センサ

DRV425 のフラックスゲート センサは、高感度、低ノイズ、低オフセットという特長から、高性能磁界センサ向けに独自に設計されています。フラックスゲートの原理は、センサを飽和状態で繰り返し駆動することに依存しているため、センサには大きな磁気ヒステリシスがありません。帰還ループは、内蔵の補償コイルを介して補償電流を正確に駆動し、センサでの磁界をゼロまで戻します。この方法により、優れたゲイン安定性と測定の直線性が得られます。

本装置のパッケージには強磁性材料が使用されておらず、外部磁界による磁化を防ぎ、正確でヒステリシスのない動作を実現しています。DRV425 の直近にあるプリント基板 (PCB) や受動部品用には磁化できない材料を選択します。詳細については、*レイアウトのガイドライン*セクションを参照してください。

図 6-1 に示すように、フラックスゲート センサの方向と感度軸は、パッケージ上面に破線で示されています。この図は、パッケージ内のセンサの位置も示しています。

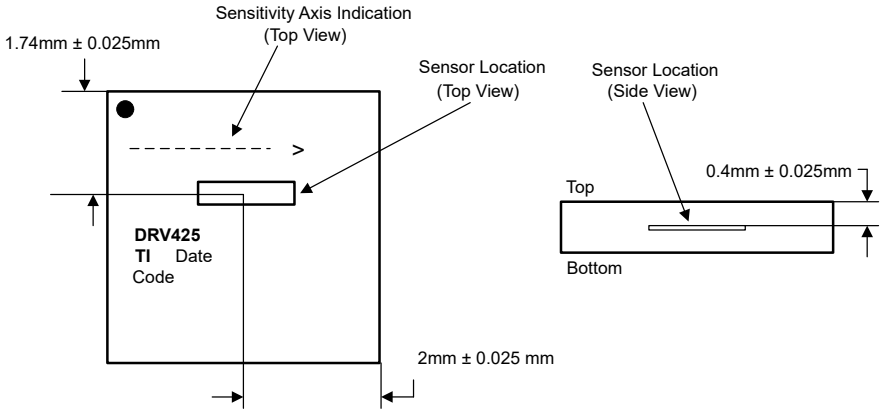


図 6-1. 内蔵フラックスゲート センサの磁気感度方向

フラックスゲート センサの感度は、感度軸と、その軸に沿った磁界の大きさのベクトル関数です。図 6-2 に、DRV425 の出力と、一定の磁界に対するデバイスの向きの角度との関係を示します。

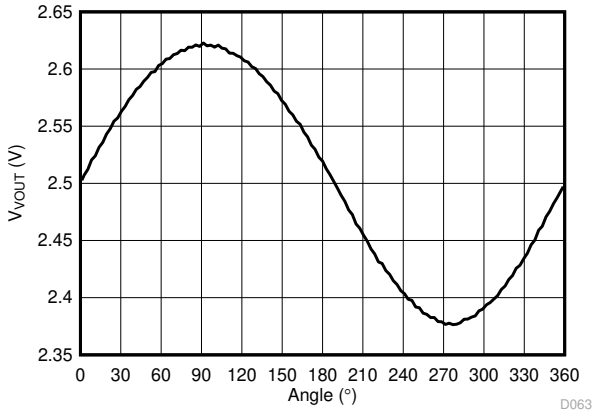


図 6-2. デバイスの出力と磁界方向との関係

6.3.1.2 帯域幅

DRV425 の小信号帯域幅は、補償ループの動作と周波数との関係によって決定されます。実装されている積分器は、安定した応答を得るため、ループの帯域幅を制限します。デジタル入力ピン BSEL を使用して帯域幅を選択します。シャント抵抗が 22Ω、BSEL = 0 の場合の帯域幅は 32kHz です。BSEL = 1 の場合の帯域幅は 47kHz です。

シャント抵抗と補償コイルの抵抗は分圧器を形成するため、帯域幅を狭くするためにシャント抵抗の値を増やします。帯域幅の縮小 (BW) を計算するには、次の式 2 を使用します:

$$BW = \frac{R_{COIL} + 22\Omega}{R_{COIL} + R_{SHUNT}} \times BW_{22\Omega} = \frac{122\Omega}{100\Omega + R_{SHUNT}} \times BW_{22\Omega} \quad (2)$$

ここで、

- R_{COIL} = 内部補償コイルの抵抗 (100Ω)。
- R_{SHUNT} = 外部ターンオン抵抗。
- $BW_{22\Omega}$ = センサ帯域幅、R_{SHUNT} = 22Ω (BSEL 設定に応じます)。

シャント抵抗の値に対しての帯域幅は、*DRV425 のシステム パラメータ カリキュレータ*を使用しても計算できます。磁界が大きい (B > 500µT) 場合、センサの実効帯域幅はフラックス ゲートの飽和効果によって制限されます。振幅が 2mT の磁気信号の場合、大信号帯域幅は BSEL = 0 で 10kHz、BSEL = 1 で 15kHz です。

アナログ出力は大きな磁界に対してゆっくり応答しますが、≥1.6mT の測定範囲が DRV425 の測定範囲を超えている場合、4µs ～ 6µs の範囲内で $\overline{\text{ERROR}}$ ピンがトリガされます。詳細については、「*磁界範囲、オーバーレンジ インジケータ、およびエラー フラグ*」セクションを参照してください。

6.3.1.3 内部補償コイル用差動ドライバ

差動補償コイル ドライバは、DRV1 ピンと DRV2 ピンの内部補償コイルの電流を供給します。ドライバは、5V 電源では最大 ±250mA、3.3V 電源では最大 ±150mA を供給することが可能です。電流能力は内部的に制限されません。補償コイル電流の実際の値は磁界の強さに依存し、内部補償コイルの抵抗と外付けシャント抵抗の合計によって制限されます。内部補償コイルの抵抗は温度によって異なります (図 5-17 を参照)。システムを設計するときは、この依存性を考慮する必要があります。通常動作時の $\overline{\text{OR}}$ ピン トリップ レベルを回避するように、シャント抵抗の値を選択します。

補償コイルのドライバ出力の同相電圧は、RSEL ピンで設定します。*セクション 6.3.3* セクションを参照します。したがって、内部基準電圧を使用すると、シャント検出アンプの同相電圧が一致します。

補償コイルドライバの出力への補償コイル接続の極性を考慮します。極性が正しくない場合、1 次側電流レベルが低い場合でも、ドライバの出力は電源レールまで駆動されます。この場合、DRV1 ピンと DRV2 ピンの接続を補償コイルと交換します。

Copyright © 2025 Texas Instruments Incorporated

6.3.1.4 磁界範囲、オーバーレンジ インジケータ、およびエラー フラグ

DRV425 の測定範囲は、補償コイルに駆動される電流の量とシャント センス アンプの出力電圧範囲によって決まります。最大補償電流は、電源電圧と補償コイルとシャントの直列抵抗によって制限されます。

磁界の範囲は、外付けのシャント抵抗によって調整されます。*DRV425 システム パラメータ カリキュレータ*は、さまざまな磁界範囲に対する電源電圧 (VDD) と選択した基準電圧 (V_{REFIN}) に応じた最大シャント抵抗値を計算します。

最大磁界 (B_{MAX}) で適切に動作させるには、式 3 を使用してシャント抵抗 (R_{SHUNT}) を選択します:

$$R_{SHUNT} \leq \frac{\min((VDD - V_{REFIN}),\ V_{REFIN}) - 0.085V}{B_{MAX} \times 12.2A/T \times 4V/V} \quad (3)$$

ここで、

- VDD = DRV425 の最低電源電圧 (V)。
- V_{REFIN} = シャント検出アンプの同相モード電圧 (V)。
- B_{MAX} = 目的の磁界範囲 (T)。

または、目的の最大電圧 ($V_{VOUTMAX}$) に合わせて DRV425 の出力電圧を調整するには、次の式 4 を使います:

$$R_{SHUNT} \leq \frac{V_{VOUTMAX} - V_{REFIN}}{B_{MAX} \times 12.2A/T \times 4V/V} \quad (4)$$

ここで、

- $V_{VOUTMAX}$ = VOUT ピンでの目標最大出力電圧 (V)。
- B_{MAX} = 目的の磁界範囲 (T)。

補償コイル ドライバがレールに張り付かないようにするために、式 5 の条件を満たしていることを確認します:

$$\frac{B_{MAX} \times (R_{COIL} + R_{SHUNT}) \times 12.2A/T}{2} + 0.1V \leq \min((VDD - V_{REFIN}),\ V_{REFIN}) \quad (5)$$

ここで、

- B_{MAX} = 目的の磁界範囲 (T)。
- R_{COIL} = 補償コイルの抵抗 (Ω)。
- VDD = DRV425 の最低電源電圧 (V)。
- V_{REFIN} = 選択された内部リファレンス電圧の値 (V)。

*DRV425 システム パラメータカ リキュレータ*は、システムパラメータの選択に役立ちます。

DRV425 には、センサの測定範囲を超える強い磁界を検出するための 2 つの診断用出力ピンであるオーバーレンジ インジケータ (OR) とエラー フラグ (ERROR) が用意されています。

通常動作では、DRV425 センサ帰還ループによって、フラックス ゲート内の磁界をゼロに補償します。したがって、フラックス ゲート内の大きな磁界は、帰還ループが適切に動作しておらず、センサ出力が無効であることを示しています。この条件を検出するには、内部の磁界が 1.6mT を超えると、$\overline{\text{ERROR}}$ ピンが low になります。4µs から 6µs への $\overline{\text{ERROR}}$ 出力は抑制され、過渡やノイズに対する望ましくない反応を防止します。静的でゆっくり変化する周囲磁界の場合、周囲磁界がセンサ測定範囲を 1.6mT を超えると、$\overline{\text{ERROR}}$ ピンがトリガされます。*セクション 5* セクションに規定されているセンサの帯域幅を超える動的磁界では、内部の磁界を正確にゼロに補償するには、帰還ループの応答が遅すぎます。したがって、周囲磁界が 1.6mT の測定範囲を超えない場合でも、高周波数のフィールドは $\overline{\text{ERROR}}$ ピンをトリガする可能性があります。

また、アクティブ Low のオーバーレンジ ピン ($\overline{\text{OR}}$) はシャント センス アンプの出力のレールを示しています。2.5µs から 3.5µs への $\overline{\text{OR}}$ 出力は抑制され、過渡やノイズに対する望ましくない反応を防止します。$\overline{\text{OR}}$ ピンのトリップ レベルは、セ

クション 5 セクションで規定されているシャント センス アンプの出力電圧値を指します。式 4 および式 3 を使用して、特定のシステム レベル要件に合わせて $\overline{\text{OR}}$ ピンの動作を調整します。

$\overline{\text{ERROR}}$ ピンと $\overline{\text{OR}}$ ピンはどちらもオープンドレイン出力で、外付けプルアップ抵抗が必要です。必要に応じて、単一の診断フラグを提供するために、両方のピンを 1 つのプルアップ抵抗で接続します。

*DRV425 システム パラメータ カリキュレータ*に基づいて、電源電圧 5V (±5%) で±2mT の磁界入力範囲を実現する設計では、22Ω のシャント抵抗値を選択します。結果の 3 つの動作範囲における診断フラグのステータスを図 6-3 に示します。

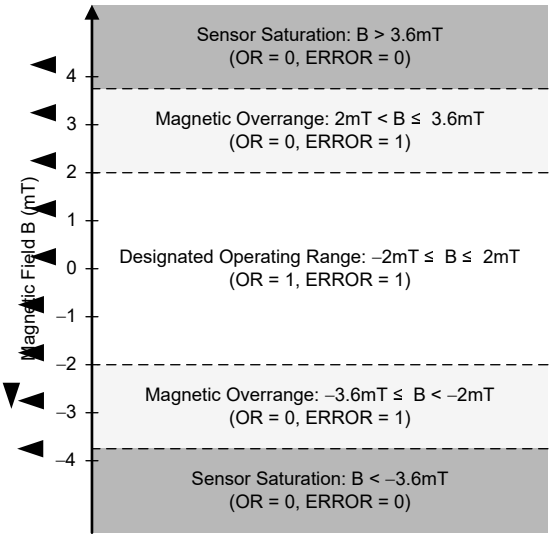


図 6-3. DRV425 の磁界範囲 (VDD = 5V、R_{SHUNT} = 22Ω)

適切な R_{SHUNT} 値を得ると、差動アンプの出力レールが生成され、磁界が指定された動作範囲を超えるとオーバーレンジ フラグ (OR = 0) がアクティブになります。DRV425 の測定範囲を ≥1.6mT で超えるフィールドでは、フラックス ゲートが飽和し、$\overline{\text{ERROR}}$ ピンが low になります。この条件では、フラックス ゲート センサは有効な出力値を供給しないため、DRV425 の出力 VOUT は無視する必要があります。$\overline{\text{ERROR}}$ ピンを個別に監視できないアプリケーションでは、図 6-4 に示すように、VOUT と ERROR 出力を結合します。この方法は、デバイスの出力をグランドにプルすることにより、磁界がセンサの範囲外であることを示します。

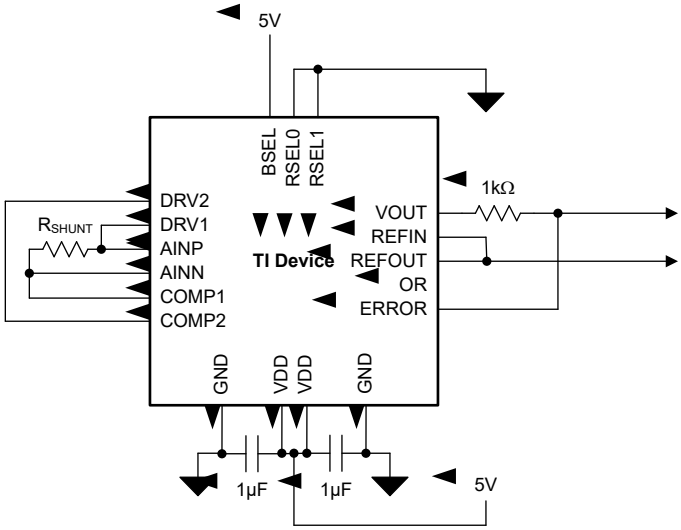


図 6-4. VOUT と $\overline{\text{ERROR}}$ ピンを組み合わせたフィールド オーバーレンジ検出

Copyright © 2025 Texas Instruments Incorporated

6.3.2 シャント検出アンプ

補償コイル電流は、外付けシャント抵抗 R_{SHUNT} に電圧降下を生じさせます。内部差動アンプは、この電圧降下を検出します。この差動アンプは、広い帯域幅と高いスルーレートを提供します。優れた dc 安定性と高精度をチョッピング技術によって実現されます。電圧ゲインは 4V/V で正確にマッチングされ、熱的に安定した内部抵抗によって設定されます。

AINN と AINP の両方の差動アンプ入力は、外部シャント抵抗に接続されます。このシャント抵抗は、シャント検出アンプの内部 10kΩ 入力抵抗と直列に接続されるため、追加のゲイン誤差を生じさせます。したがって、最高の同相除去性能を得るには、図 6-5 に示すように、REFIN ピンと直列にシャント抵抗よりも大きな値のダミー シャント抵抗 (R_5) を配置して、両方の分圧抵抗のマッチングを復元します。

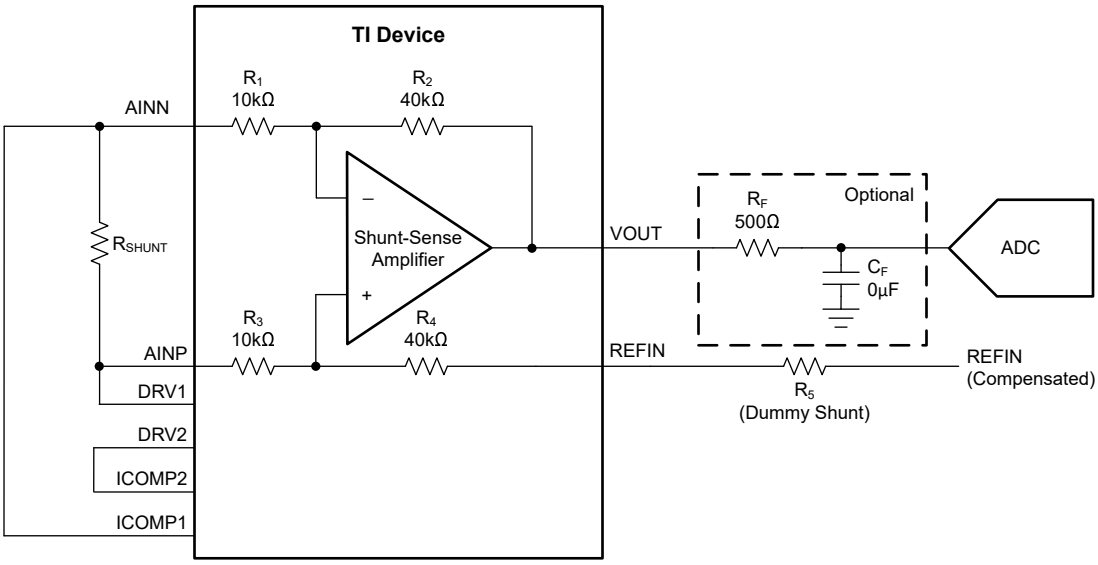


図 6-5. 内蔵差動アンプとデカップリング フィルタの例

全体ゲインが 4V/V の場合、式 6 を使用して R_5 の値を計算します:

$$4 = \frac{R_2}{R_1} = \frac{R_4 + R_5}{R_{SHUNT} + R_3} \tag{6}$$

ここで

- $R_2 / R_1 = R_4 / R_3 = 4$。
- $R_5 = R_{SHUNT} \times 4$。

入力信号が大きい場合、アンプの出力は電源レール近くで駆動されます。アンプの出力により、逐次比較型 (SAR) A/D コンバータ (ADC) の入力を駆動できます。最高の性能を得るには、シャント検出アンプ出力と ADC 入力の間に RC ローパス フィルタ段を追加します。このフィルタはノイズ帯域幅を制限し、ADC 入力の高周波サンプリング ノイズがアンプ出力からデカップリングします。フィルタ抵抗 R_F とフィルタ コンデンサ C_F の値については、それぞれの製品データシートでコンバータに固有の推奨事項を参照します。

シャント検出アンプの出力は 100pF の容量を直接駆動できますが、1nF の容量を接続すると 50% のオーバーシュートが発生します。フィルタ抵抗 R_F は、容量性負荷範囲を拡大します。オーバーシュートを防止するために、R_F がわずか 20Ω の場合、負荷コンデンサは 1nF 未満または 33nF 以上にする必要があります。R_F が 50Ω の場合、この過渡領域は回避されます。

リファレンス入力 REFIN は、出力信号 VOUT の同相電圧ノードです。DRV425 の内部電圧リファレンスを使用するには、REFIN ピンを基準出力 REFOUT に接続します。不一致の誤差を避けるため、REFIN と ADC には同じ基準電圧を使用します。または、ADC の正の入力を VOUT に、負の入力をデバイスの REFIN に接続した疑似差動入力 ADC を使用します。

Copyright © 2025 Texas Instruments Incorporated

6.3.3 電圧リファレンス

内部の高精度電圧リファレンス回路は、REFOUT 出力ピンで低ドリフト性能を提供し、内部バイアス用に使用されます。リファレンス出力は、出力の同相モード電圧 (VOUT ピン) として使用され、双極性信号の振幅を確保することを目的としています。この低インピーダンス出力は、±5mA のシンク電流およびソース電流を許容できます。ただし、高速負荷過渡により、このラインでリンギングが発生する可能性があります。数オーム程度の小さな直列抵抗を挿入することで、特に 1µF 以上の容量性負荷に対して応答性が改善されます。

DRV425 の電源への電圧リファレンス出力の値を調整するには、表 6-1 に示すように、モード選択ピン RSEL0 および RSEL1 を使用します。

表 6-1. リファレンス出力電圧範囲

モード	RSEL1	RSEL0	説明
V_{REFOUT} = 2.5V	0	0	5V のセンサ モジュール電源で使用します
V_{REFOUT} = 1.65V	0	1	3.3V のセンサ モジュール電源で使用します
レシオメトリック出力	1	x	VDD /2 を中心とする出力を提供します

レシオメトリック出力モードでは、内蔵の抵抗分圧器により電源電圧が 2 分の 1 に分圧されます。

6.3.4 低消費電力動作

低帯域幅または低サンプル レート要件を持つアプリケーションでは、測定と測定の間にデバイスの電源をオフにすることで、DRV425 の平均消費電力を大幅に低減できます。DRV425 では、図 6-6 に示すように、アナログ出力 VOUT を完全に安定させるために 300µs が必要です。消費電力を最小限に抑えるため、ADC がサンプルを取得した直後にデバイスの電源をオフにします。

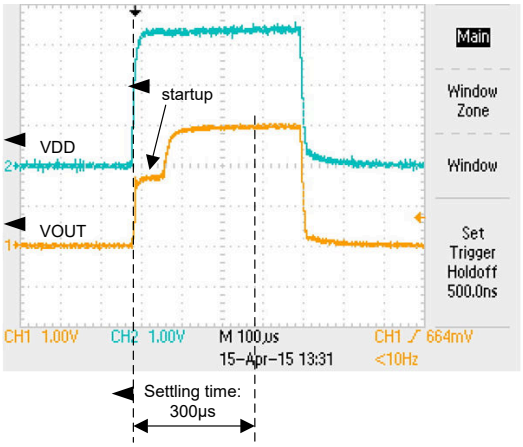


図 6-6. DRV425 VOUT 出力のセトリング タイム

6.4 デバイスの機能モード

DRV425 デバイスは、*仕様* セクションで規定された電源 VDD を使うことで機能します。DRV425 には付加的な機能モードはありません。

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

DRV425 は、高感度で高性能の磁界センサです。DRV425 のアナログ出力は、12 ～ 16 ビットの A/D コンバータ (ADC) で処理できます。以下のセクションに、アプリケーション設計の例を示します。

7.2 代表的なアプリケーション

7.2.1 リニア位置センシング

フラックスゲート センサは感度が高く、補償ループの高い直線性、DRV425 は低ノイズであることから、高性能なリニア位置センスアプリケーションに最適です。2.5V の内部基準電圧を使用する、このような 5V アプリケーションの代表的な回路図を、図 7-1 に示します。

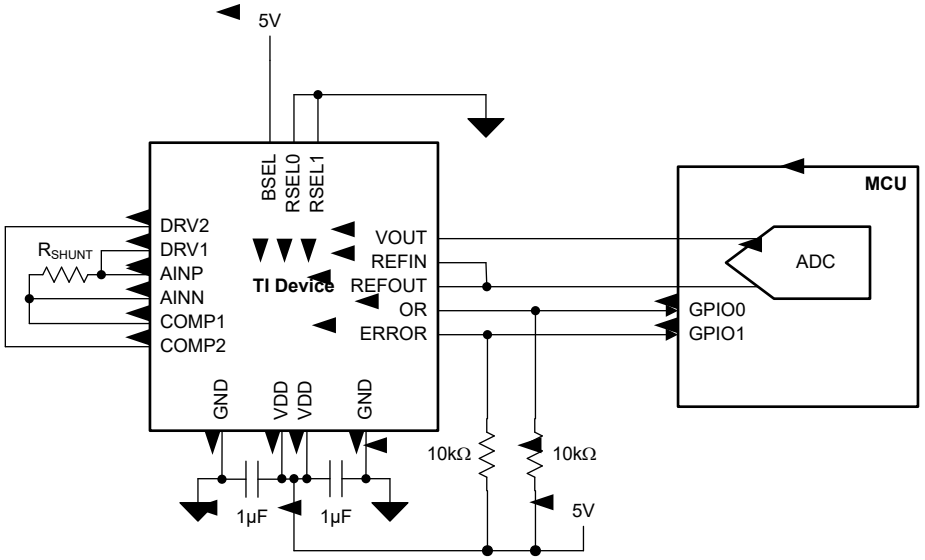


図 7-1. リニア位置センシング

7.2.1.1 設計要件

図 7-1 に示す例では、表 7-1 に記載されているパラメータを設計の出発点として使用します。

表 7-1. 設計パラメータ

設計パラメータ	数値の例
磁界の範囲	VDD = 5V：±2mT (max) VDD = 3.3V：±1.3mT (最大値)
電源電圧、VDD	3.0V ～ 5.5V
リファレンス電圧、V_{REFIN}	範囲：GND から VDD 内部リファレンスを使用する場合：2.5V、1.65V、または VDD /2
シャント抵抗、R_{SHUNT}	目的の磁界範囲、リファレンス電圧、電源電圧によって異なります。詳細については *DRV425 システム パラメータ カリキュレータ*を参照してください。

Copyright © 2025 Texas Instruments Incorporated

7.2.1.2 詳細な設計手順

DRV425 に基づいて線形位置センサの設計を作成するには、次の手順を使用します:

1. 目的の磁界範囲に対応するように、適切な電源電圧 VDD を選択します (リファレンスは表 7-1 を参照)。
2. 目的の磁界範囲に対応し、目的の ADC の入力電圧仕様と一致するように、適切な基準電圧 V_{REFIN} を選択します。
3. *DRV425 システム パラメータ カリキュレータ*の *RangeCalculator* タブを使用して、適切なシャント抵抗 R_{SHUNT} の値を選定します。
4. DRV425- をベースとするリニア位置センサの感度ドリフト性能は、外部シャント抵抗の温度係数によって支配されます。最高のセンサ性能を得るために、低ドリフトのシャント抵抗を選択します。
5. *DRV425 システム パラメータ カリキュレータ*にある *DRV425 システム パラメータで検出された問題* を使用して、システム応答を検証します。

磁界の振幅は、図 7-3 に示すように、磁石までの距離や磁石の形状の関数です。測定する磁界が 3.6mT を超えている場合は、フラックス ゲート センサを飽和させないように、磁石のデータシートを参照して DRV425 との適切な最小距離を計算します。

DRV425 は感度が高いため、不要な磁界源 (地球の磁界など) の影響を避けるために、センシング領域のシールドが必要な場合があります。または、図 7-2 に示すように、追加の DRV425 を使用して差の測定を行い、静的磁界源の影響を打ち消すこともできます。図 7-4 に、このような回路の 2 つの DRV425 デバイスによって生成される差動電圧を示します。

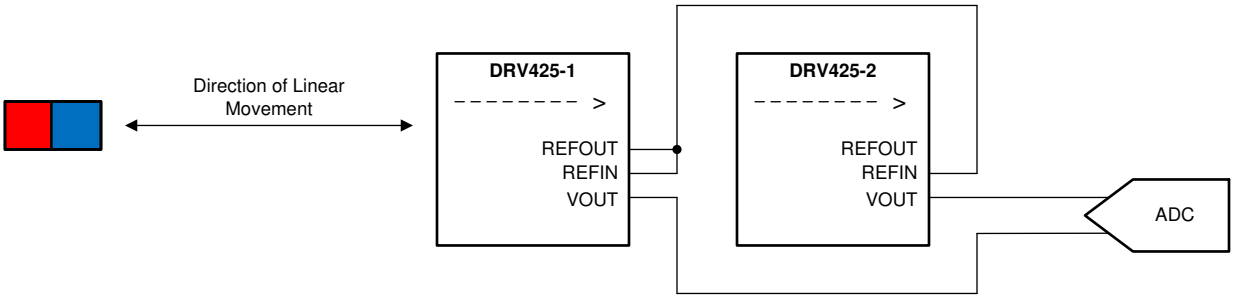


図 7-2. 2 つの DRV425 デバイスを使用した差動リニア位置検出

7.2.1.3 アプリケーション曲線

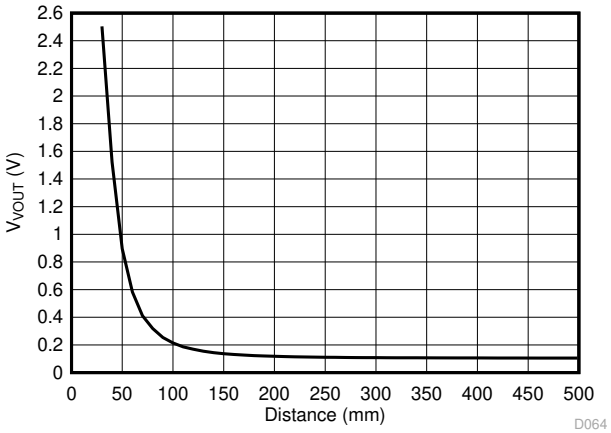


図 7-3. DRV425 のアナログ出力電圧と磁石までの距離との関係

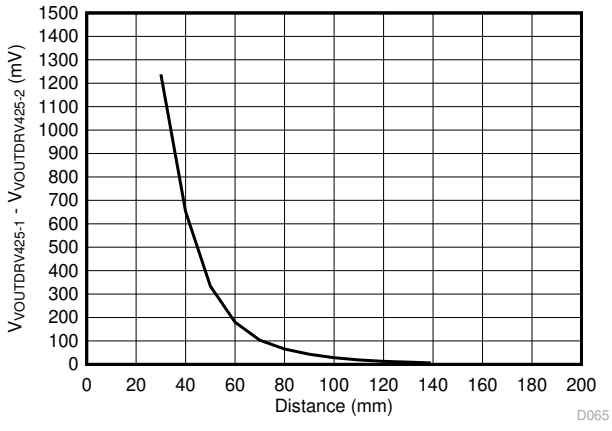


図 7-4. 2 つの DRV425 出力と磁石までの距離との関係

Copyright © 2025 Texas Instruments Incorporated

7.2.2 バスバーでの電流検出

既存の電力分配用バスバーを使用するアプリケーションでは、通常、閉ループ型の電流モジュールが用いられ、電流を正確に測定し、制御します。これらのモジュールは、大きな磁気コアが必要とされているため、通常大型です。さらに、モジュール内部で生成される補償電流は通常高いバスバー電流に比例するため、この設計の消費電力は通常数ワットにも達します。

図 7-5 に、2 つの DRV425 デバイスを使用する代替アプローチを示します。バスバーの中央にホールをあけると、電流は等しい 2 つの部分に分かれ、穴の内部で逆方向の磁界勾配を生じさせます。これらの磁界は、図 7-6 で B_R および B_L と呼ばれます。反対側のフィールドは、ホールの真ん中で互いに打ち消し合います。ホールの中央から同じ距離に配置された 2 つの DRV425 デバイスは感度が高く直線性が高いため、小さな逆方向の磁界を検出し、電流を高精度レベルで測定できます。差動測定は、外部のフィールドを拒否し、同相誤差を生成します。この誤差は出力で減算されます。

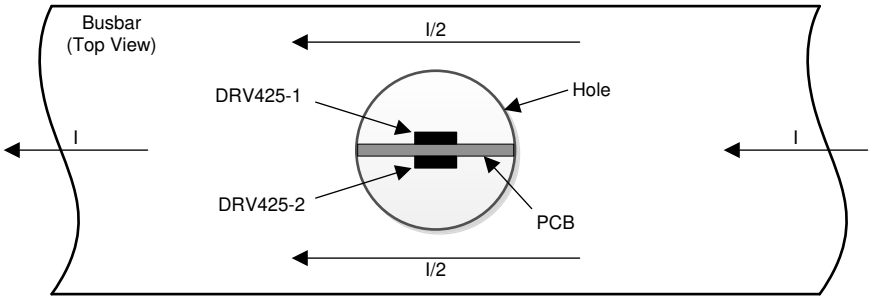


図 7-5. バスバーでの電流検出

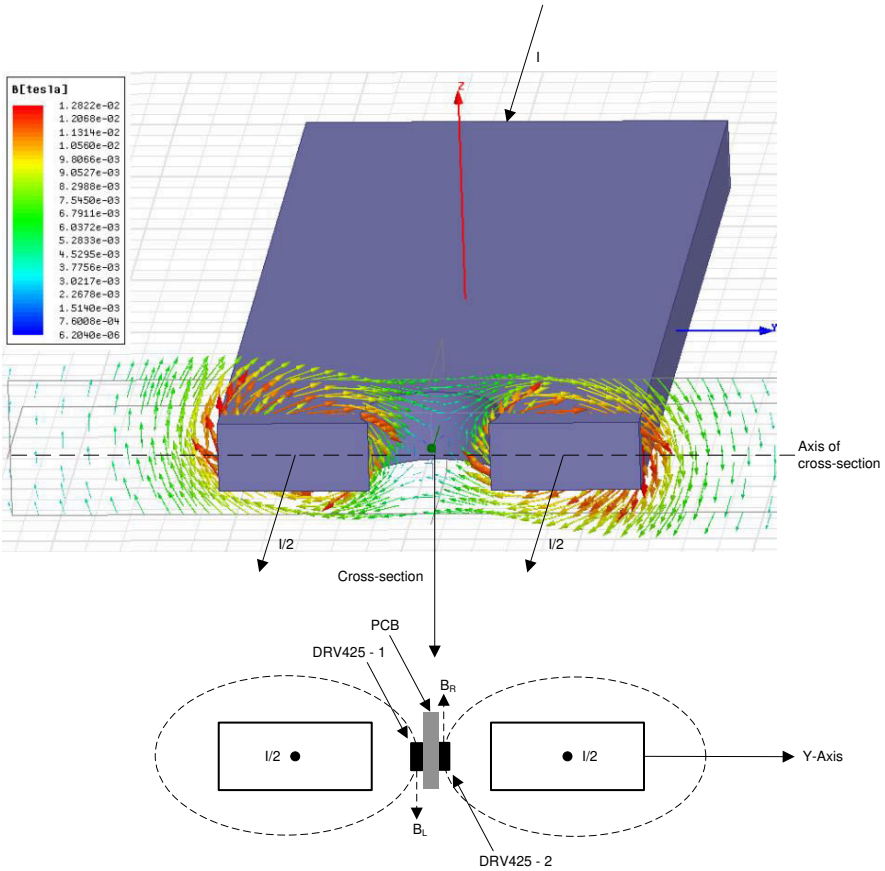


図 7-6. バスバー ホール内の磁界分布

7.2.2.1 設計要件

バスバーの磁界勾配を測定するために、ホールに挿入する PCB の反対側にこれらのセンサを取り付けて、適切に定義された距離を持つ 2 つの DRV425 センサを配置します。 このデザインの測定範囲と分解能は、以下の要因に基づいて決まります:

- バスバー ジオメトリ:バスバーが広いほど、測定範囲が広くなり、解像度が低くなります。
- ホールのサイズ:直径が大きいほど、測定範囲が大きくなり、分解能が低くなります。
- 2 つの DRV425 センサ間の距離:距離が小さいほど測定範囲と分解能が高くなります。

これらの各要因を最適化して、特定のアプリケーションに必要な測定範囲を得ることができます。この方法では、±250A ～ ±1500A の測定範囲を実現できます。より大きな電流をサポートしており、大きなバスバー構造で、2 つの DRV425 センサ間の距離を最小限に抑えています。設計の出発点として、表 7-2 に記載されているパラメータを使用します。

表 7-2. 設計パラメータ

設計パラメータ	数値の例
電流範囲	最大 ±1500A
電源電圧、VDD	3.0V ～ 5.5V
リファレンス電圧、V_{REFIN}	VDD / 2

7.2.2.2 詳細な設計手順

図 7-7 に、差動勾配磁界測定回路の回路図を示します。

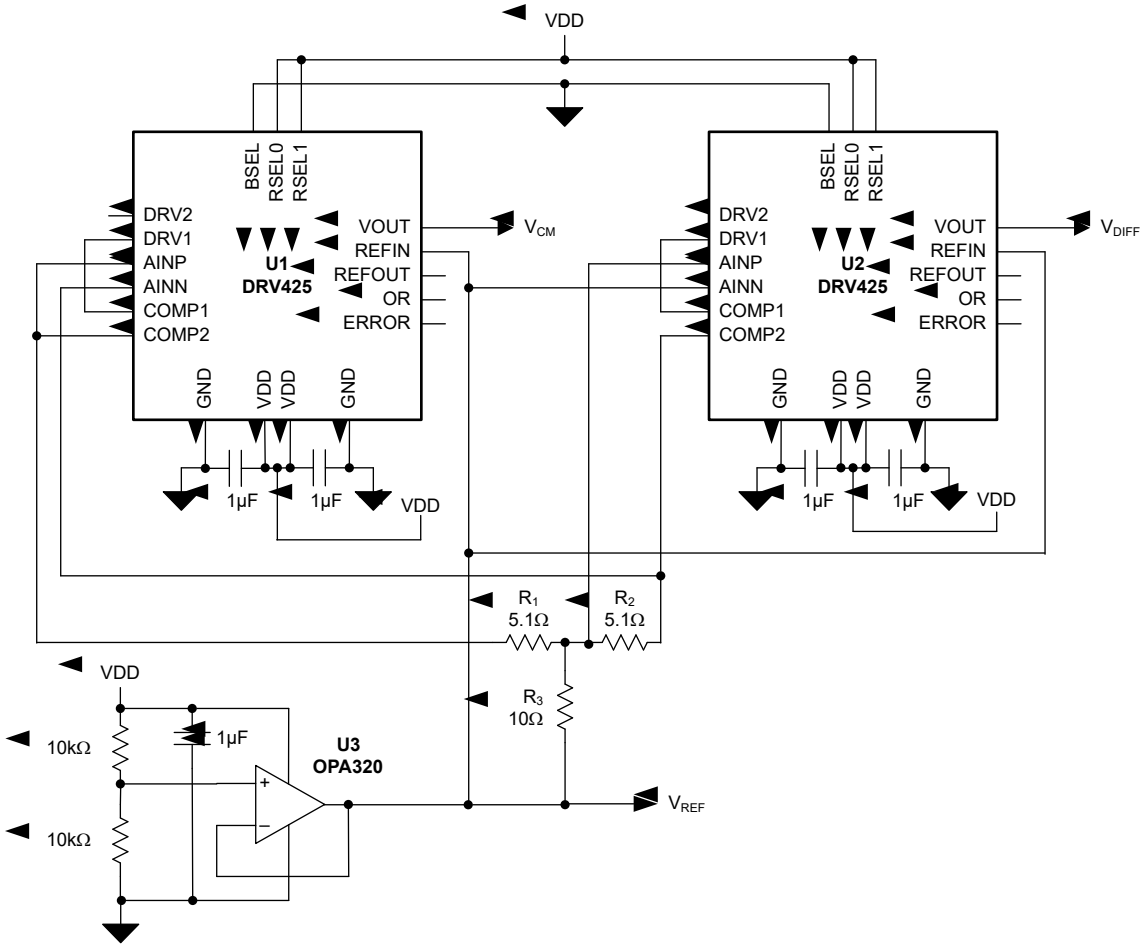


図 7-7. バスバー電流検出回路

Copyright © 2025 Texas Instruments Incorporated

図 7-7 では、2 つの DRV425 センサのフィードバック ループを組み合わせ、バスバーのホール内部で検出された磁界の差に比例する差動出力 V_{DIFF} を直接生成します。両方の補償コイルは直列に接続されており、補償コイル ドライバの片側 (各 DRV425 の DRV1 ピン) で駆動されます。このため、ドライバ段のどちらも、磁界 B_R および B_L に比例する電流をそれぞれの補償コイルで駆動します。両方の補償コイルを流れる電流の差、つまりセンサ間の差は抵抗 R_3 を経由し、U2 のシャント センス アンプによって検出されます。バスバー ホール内の同相磁界に比例する電流は R_1 および R_2 を経由して流れ、U1 のシャント センス アンプで検出されます。

出力 V_{CM} を使用して、以下の手順でセンサがバスバー ホールに正しく配置されていることを確認します。

1. バスバーおよびホールの中央に配置した PCB に電流を流さない状態で、V_{CM} を測定します。この値がオフセット電圧 V_{OFFSET} です。V_{OFFSET} の値は浮遊磁界のみに依存し、センサの絶対位置によってはほとんど変化しません。
2. 図 7-6 に示すように、バスバーを介して電流を印加し、バスバー ホールの y 軸に沿って PCB を移動します。V_{CM} = V_{OFFSET} の場合、PCB はホールの中心にあります。

図 7-7 に示す回路の感度ドリフト性能は、外付け抵抗 R_1、R_2、R_3 の温度係数によって支配されます。最高のセンサ性能を得るには、低ドリフトの抵抗を選定します。全体のシステム誤差計算では、PCB とバスバーの熱膨張の影響も考慮します。

ドライバ機能が制限されているため、このアプリケーションでは DRV425 の内部基準電圧を使用できません。OPA320 (U3) は、±65mA の短絡電流能力を備えた低ノイズ オペアンプであり、必要な補償電流をサポートするために使用されています。

この設計の利点はシンプルであることです。追加部品なしで、2 つの DRV425 デバイスによって電流が差し引かれます。補償コイルを直列接続することで電圧振幅が半減し、センサの測定範囲も 50% 狭くなります。より広いセンシング範囲が必要な場合は、2 つのセンサを別々に動作させ、差動アンプまたは ADC を使用して両方の電圧出力 (VOUT) を減算します。

$\overline{\text{エラー}}$ 出力を使用すると、システム レベルで高速な過電流検出が可能です。

7.2.2.3 アプリケーション曲線

図 7-8 および 図 7-9 は、図 7-7 に示す回路を用いて、幅 16 mm、厚さ 6 mm、穴径 12 mm の銅バスバー上で得られた測定結果を示しています。2 つの DRV425 デバイスは、PCB の反対側に互いに 1mm の距離に配置されています。測定範囲は±500A で、測定結果はテスト構成によって制限されます。2 つの DRV425 センサは独立して動作するため、同じバスバー形状で、測定範囲が±1000A に拡大されます。

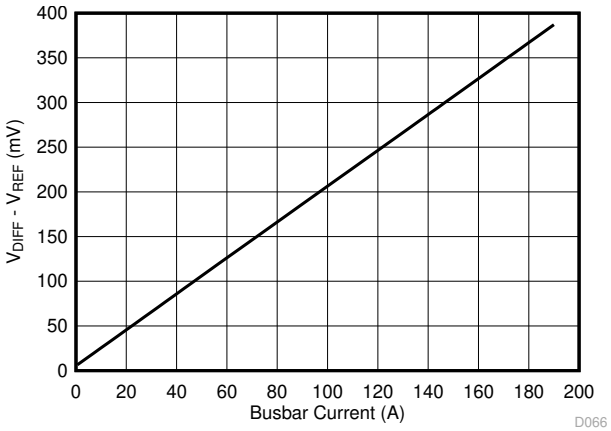


図 7-8. アナログ出力電圧とバスバー電流との関係

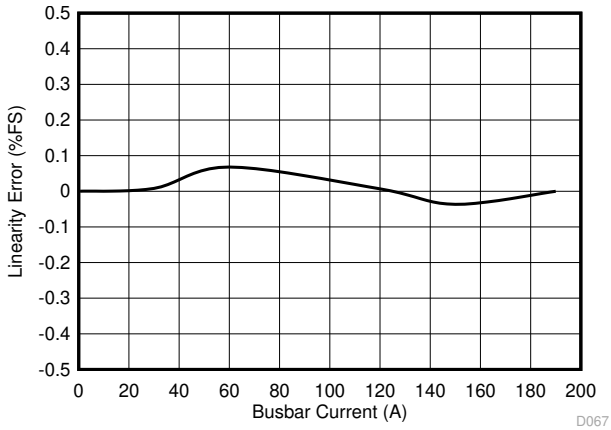


図 7-9. 直線性誤差とバスバー電流との関係

7.3 電源に関する推奨事項

7.3.1 電源のデカップリング

図 7-10 に示す通り、DRV425/ の両方の VDD ピンを、それぞれ隣接する GND ピンに 1µF の X7R 型セラミック コンデンサでデカップリングします。最高の性能を得るには、両方のデカップリング コンデンサを、関連する電源ピンのできるだけ近くに配置します。これらのコンデンサは、デカップリング コンデンサのパッドを通して電流が流れるように、電源に接続します。

7.3.2 パワーオンの起動とブラウンアウト

パワーオンは、VDD ピンの電源電圧が 2.4V を超えると検出されます。この時点で、DRV425 は次の起動シーケンスを開始します:

1. デジタル ロジックが起動し、電源が安定するまで 26µs を待機します。
2. フラックスゲート センサが起動します。
3. 電源電圧が 2.4V を超えると、補償ループは 70µs のアクティブになります。

このスタートアップ シーケンス中、補償コイルに不要な信号が印加されることを防止し、$\overline{\text{ERROR}}$ ピンが low にアサートされることを防止するため、DRV1 および DRV2 出力は low にプルされます。

DRV425 は、ブラウンアウト電圧レベル 2.4V で低電源電圧をテストします。DRV425 で駆動される大きな電流パルスをサポートできる電源、および低 ESR バイパス コンデンサを使用して、システムで安定した電源電圧を確保します。2.4V 未満の電源電圧降下は、20µs によって生成されるパワーオン リセットによって無視されます。本デバイスは、より短い電圧降下を無視します。VDD ピンの電圧が 1.8V を下回ると、パワーオン リセットが直ちに開始されます。電源が 2.4V に戻ると、デバイスはスタートアップ サイクルを開始します。

7.3.3 消費電力

サーマル パッド付きの熱的に強化された WQFN パッケージにより、接合部からケースへの熱インピーダンスが低減されます。このパッケージには、ダイを取り付けるダウンセット リードフレームがあります。リード フレームには、パッケージの底面に露出したサーマル パッドがあり、放熱のための良好な熱パスを提供します。

両方のリニア出力 DRV1 と DRV2 の消費電力は、式 7 で計算されます:

$$P_{D(DRV)} = I_{DRV} \times (V_{DRV} - V_{SUPPLY}) \quad (7)$$

ここで、

- I_{DRV} = 図 5-59 に示す電源電流。
- V_{DRV} = DRV1 または DRV2 出力ピンの電圧電位。
- V_{SUPPLY} = V_{DRV} に近い電圧電位:VDD または GND。

7.3.3.1 サーマル パッド

サーマル パッドが露出しているパッケージは、特に優れた消費電力特性を実現するよう設計されていますが、総合的な放熱効率には基板のレイアウトが大きく関係します。技術的な詳細については、*PowerPad 熱特性強化型パッケージ*アプリケーション レポートを参照してください。このアプリケーション レポートは www.ti.com からダウンロードできます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

DRV425/ に内蔵された独自のフラックス ゲートは非常に高い感度を持ち、最高クラスの精度と直線性を備えたクローズドループ型磁界センサーの設計を可能にします。DRV425 の直近の電流導通ワイヤは測定値に歪みを与える可能性のある磁界を生成するため、適切な PCB レイアウト手法を確認します。一般的な受動部品や一部の PCB のめっき材料には、磁化されやすい強磁性体が含まれています。最高の性能を得るために、次のレイアウト ガイドラインに従います:

Copyright © 2025 Texas Instruments Incorporated

- 電流を流す配線はペアで配線します。供給電流を流す線は、必ずその帰還電流路のすぐ隣、またはその真上に配置します。これらの接続の逆の磁界極性は、互いに打ち消し合います。このレイアウト手法を容易にするため、DRV425 の正と負の電源ピンを隣接して配置しています。
- 結合効果を減らすために、補償コイルの配線はペアとして互いに近接させて引き回します。
- DRV1/2 ピンと COMP1/2 ピンの間の補償コイル接続の長さを最小限に抑えます。
- 図 7-10 に示すように、フラックス ゲート センサの感度軸と平行に電流を配線します。その結果、磁界はフラックス ゲート感度に対して垂直になり、影響が制限されます。
- 垂直方向の電流の流れ (たとえばビアを通る電流) は、フラックス ゲートが感知する方向に磁界を発生させます。DRV425 の付近にあるビアの数を最小限に抑えます。
- DRV425 の近くでの磁気効果を防止するために磁化できない受動部品 (デカップリング コンデンサとシャント抵抗など) を使用します。
- 磁化の可能性があるため、ニッケル金めっき仕上げの PCB パターンを使用しないものとします。
- すべての GND ピンは、ローカル グランド プレーンに接続します。

電源ラインにフェライト ビーズを直列に入れると、同じ電源電圧源から動作する他の回路との相互作用を減らすことができます。ただし、フェライト ビーズを使用する場合に磁界の影響を防止するため、DRV425 の横に配置しないでください。

リファレンス出力 (REFOUT ピン) は GND を基準としています。ドライバ電流やフラックス ゲート センサ電流によって、グランド トラック上に電圧降下の変動が生じないようにするため、低インピーダンスかつスター型の接続を使用します。REFOUT および VOUT 出力はある程度の容量性負荷を駆動できますが、内部パルス電流が増加するため、大きな容量を直接接続するのを避けます。シャント センス アンプの帯域幅が広いことから、小さな直列抵抗を使用して、大きな容量性負荷を絶縁します。

パッケージ底面の露出サーマル パッドは、内部的にサブストレートに接続されており、この基板は最も負の電位に接続する必要があるため、グランド層に半田付けします。

図 7-10 は、DRV425 の性能に重要な部品の配置を強調した、一般的なレイアウト例を示しています。特定のレイアウト例については、*DRV425EVM ユーザー ガイド*を参照してください。

7.4.2 レイアウト例

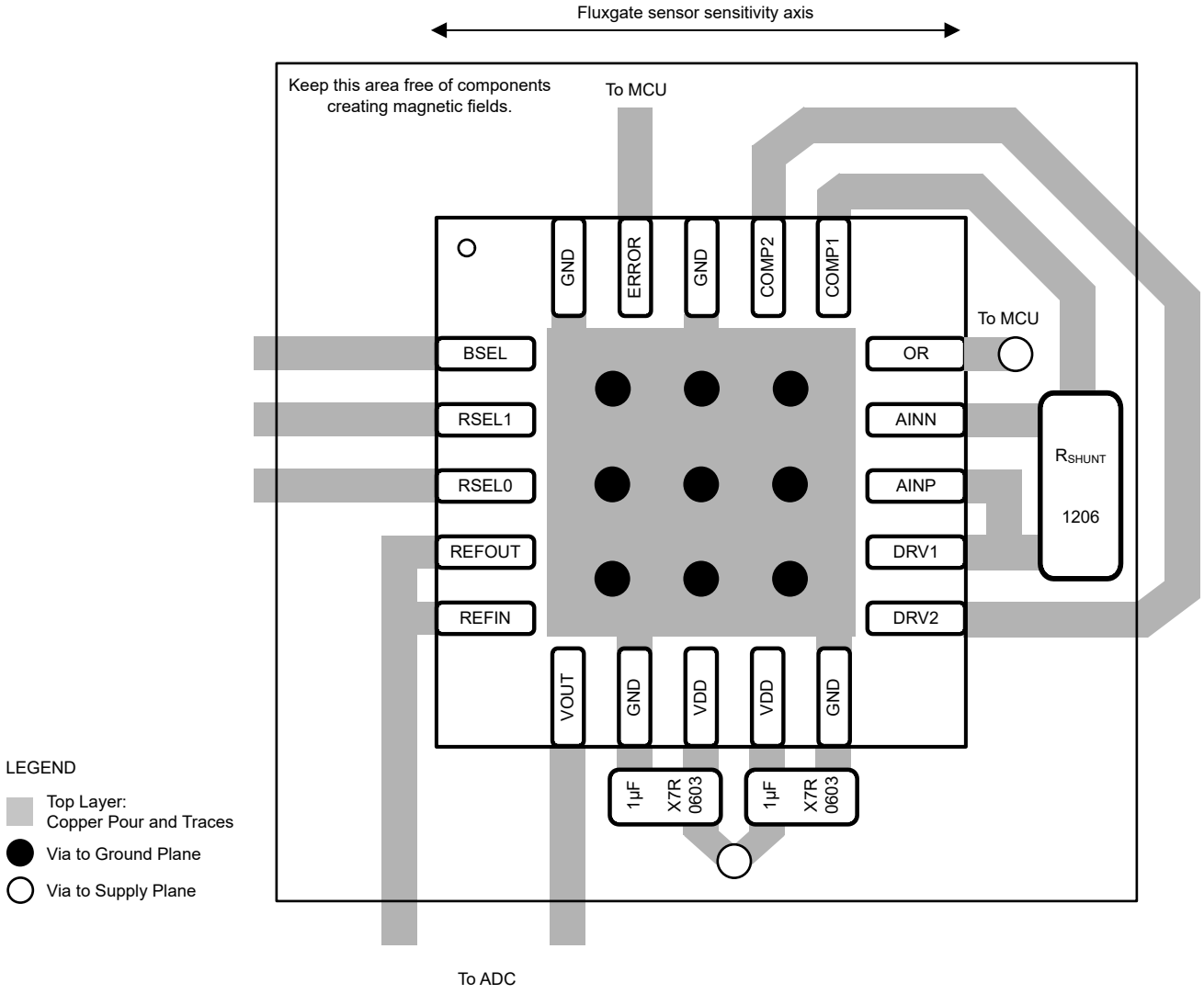


図 7-10. 汎用レイアウト例 (上面図)

Copyright © 2025 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、*OPAx320 高精度、20MHz、低ノイズ、RRIO、シャットダウン搭載の CMOS オペアンプ データシート*
- テキサス・インスツルメンツ、『DRV425EVM ユーザー ガイド』
- テキサス インスツルメンツ、*DRV425 システム パラメータ カリキュレータ*
- テキサス インスツルメンツ、*熱特性強化型パッケージ PowerPad アプリケーション ノート*
- テキサス インスツルメンツ、*オープン ループのフラックスゲート センサを使用した ±100A バスバー電流センサのリファレンス デザイン(TIPD205)*
- テキサス インスツルメンツ、*バスバー動作理論アプリケーション ノート*

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の [*アラートを受け取る*] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

8.5 サポート リソース

8.6 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.7 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.8 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision A (March 2016) to Revision B (October 2025)	Page
• PowerPAD のインスタンスをサーマルパッドに変更	1
• PSSRAMP パラメータの最小値と最大値を、それぞれ –50µV/V および 50µV/V から –86µV/V および 86µV/V に変更	6
• 明確化のためセンサの位置を詳細に変更	21
• 2 つ目の段落から「永続的」という語を削除して、フラックス ゲートが「永久的に」飽和しているわけではないことを明確にしました	23
• 訂正されたピン名を示すように図 6-5 を変更	25

Changes from Revision * (October 2015) to Revision A (March 2016)	Page
• 破損したリンクをワーキング リンクに変更	1
• 「アプリケーション」の最後の 4 つの箇条書き項目を追加	1
• 図 6-3 のデバイス名を変更	23

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV425RTJR	Active	Production	QFN (RTJ) | 20	3000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	-----> DRV425
DRV425RTJR.A	Active	Production	QFN (RTJ) | 20	3000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	-----> DRV425

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF DRV425 :

- Automotive : DRV425-Q1

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

GENERIC PACKAGE VIEW

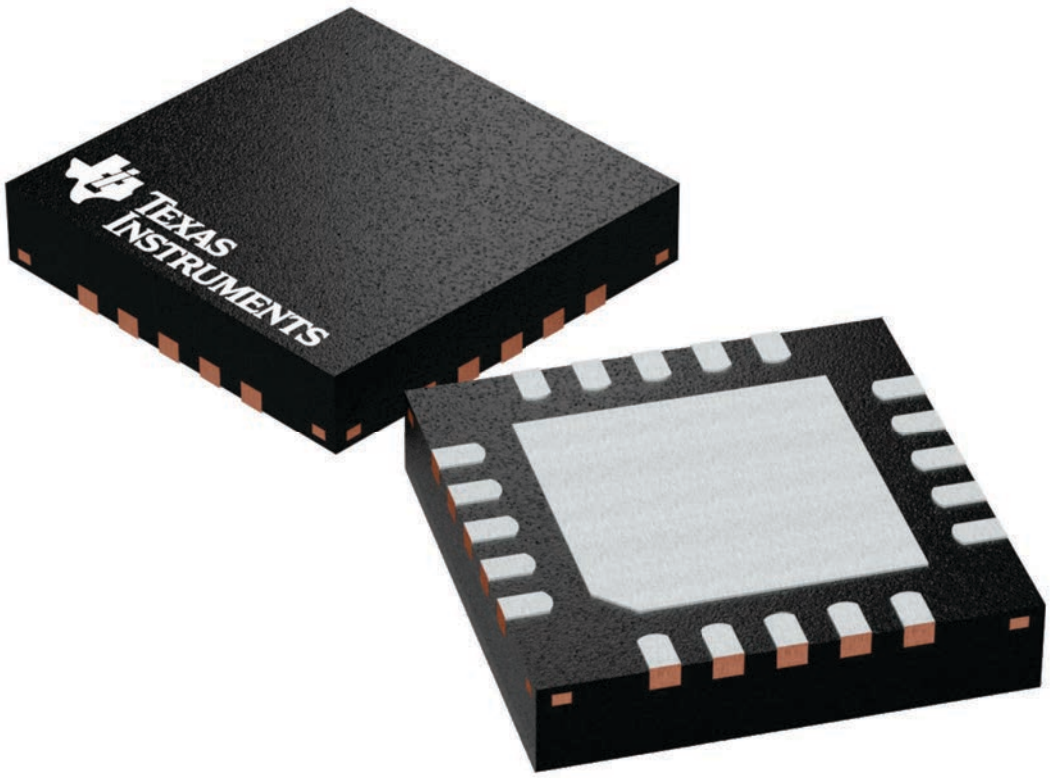
RTJ 20

WQFN - 0.8 mm max height

4 x 4, 0.5 mm pitch

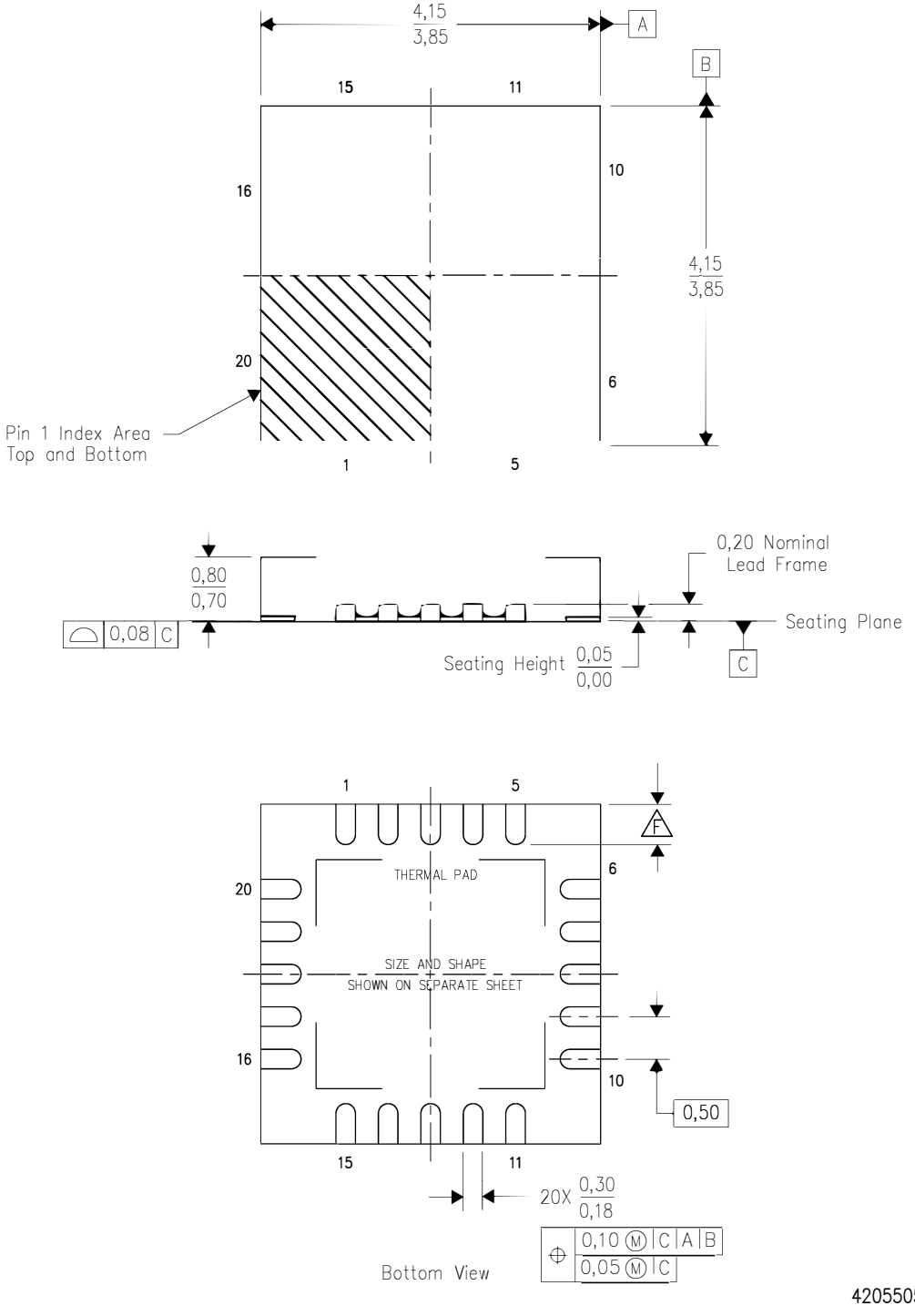
PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224842/A

RTJ (S–PWQFN–N20) PLASTIC QUAD FLATPACK NO–LEAD



NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5–1994.
B. This drawing is subject to change without notice.
C. QFN (Quad Flatpack No–Lead) package configuration.
D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
F. Check thermal pad mechanical drawing in the product datasheet for nominal lead length dimensions.

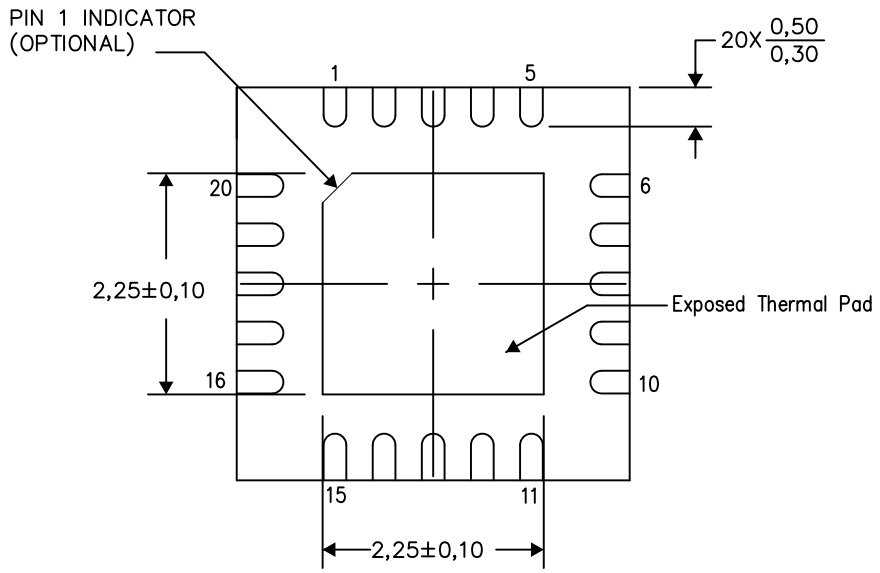
RTJ (S–PWQFN–N20) PLASTIC QUAD FLATPACK NO–LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No–Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

Exposed Thermal Pad Dimensions

4206256–8/V 05/15

NOTE: All linear dimensions are in millimeters

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月