

DRV7167A 100V、70A ハーフブリッジ GaN モーター ドライバ電力段

1 特長

- 100V、48V システム対応のドライバを内蔵したハーフブリッジ GaN モータードライバ パワー ステージ
- 低い GaN オンステート抵抗
 - $T_A = 25^\circ\text{C}$ で $2.2\text{m}\Omega$ の $R_{DS(\text{ON})}$ (FET に従う)
- 効率的で高密度の電力変換を実現できます
 - 高い出力電流能力: 70A_{rms} 、 250A (パルス、 300\mu s)
 - 最大 500kHz PWM のスイッチング周波数をサポート
 - 非常に優れた伝搬遅延 (標準値 20ns) およびマッチング (標準値 2ns)
 - 両方の FET のターンオンとターンオフのスルーレート制御
 - ソフトスイッチング用途でのデッドタイム最適化のためのゼロ電圧検出 (ZVD) レポート機能
 - IO 制限付きコントローラ向けのシングル PWM 入力オプション
- 5V の外部バイアス電源
 - 3.3V および 5V の入力ロジック レベルをサポート
- 保護機能内蔵
 - 独立入力モード (IIM) での短絡保護
 - 内部ブーストストラップ電源電圧クランピングにより、GaN FET オーバードライブを防止
 - V_{DS} 監視に基づくサイクルごとの短絡保護機能
 - 過熱、低電圧、短絡イベントの故障通知
 - 電源レールの低電圧誤動作防止保護
- 簡単に PCB をレイアウトするよう最適化されたパッケージ
 - 上面冷却用の露出上面 QFN パッケージ
 - 底面冷却用の大型 GND パッド

2 アプリケーション

- ヒューマノイド ロボット
- 協力ロボット
- 移動ロボット (AGV/AMR)
- 48V サーボ ドライブ
- ドローン
- 電動アシスト自転車、電動スクーター、E-モビリティ
- 電動工具

3 説明

DRV7167A は、ゲートドライバと拡張モード ガリウム ナイトライド (GaN) FET を内蔵した 100V ハーフブリッジ電力段です。このデバイスは、ハーフブリッジ構成で 1 つの高周波 GaN FET ドライバによって駆動される、2 つの 100V GaN FET で構成されています。

GaN FET は逆方向回復時間がゼロで、入力容量 C_{ISS} および出力容量 C_{OSS} が非常に小さいため、電力変換において大きな利点があります。すべてのデバイスはボンドワイヤを一切使用しないパッケージ プラットフォームに取り付けられ、パッケージの寄生要素は最小限に抑えられます。DRV7167A は、 $7.0\text{mm} \times 4.5\text{mm} \times 0.89\text{mm}$ および m の鉛フリー パッケージで提供されており、PCB への実装が容易です。

TTL ロジック互換の入力は、GVDD 電圧にかかるわらず 3.3V および 5V のロジック レベルをサポートできます。独自のブーストストラップ電圧制御技術により、拡張モード GaN FET のゲート電圧が安全な動作範囲内に保たれます。このデバイスは、両方の FET のターンオンおよびターンオフ スルーレート制御、IO 制限コントローラで使用する単一 PWM モード、短絡保護 (SCP)、過熱検出 (OTD) およびゼロ電圧検出 (ZVD) レポート、をサポートしており、第 3 クアドラント導通時間を最小化できます。

このデバイスは、ディスクリート GaN FET に対してより使いやすいインターフェイスを提供し、その利点を拡大します。小さなフォーム ファクタで高周波数、高効率の動作が必要なアプリケーションに理想的なソリューションです。

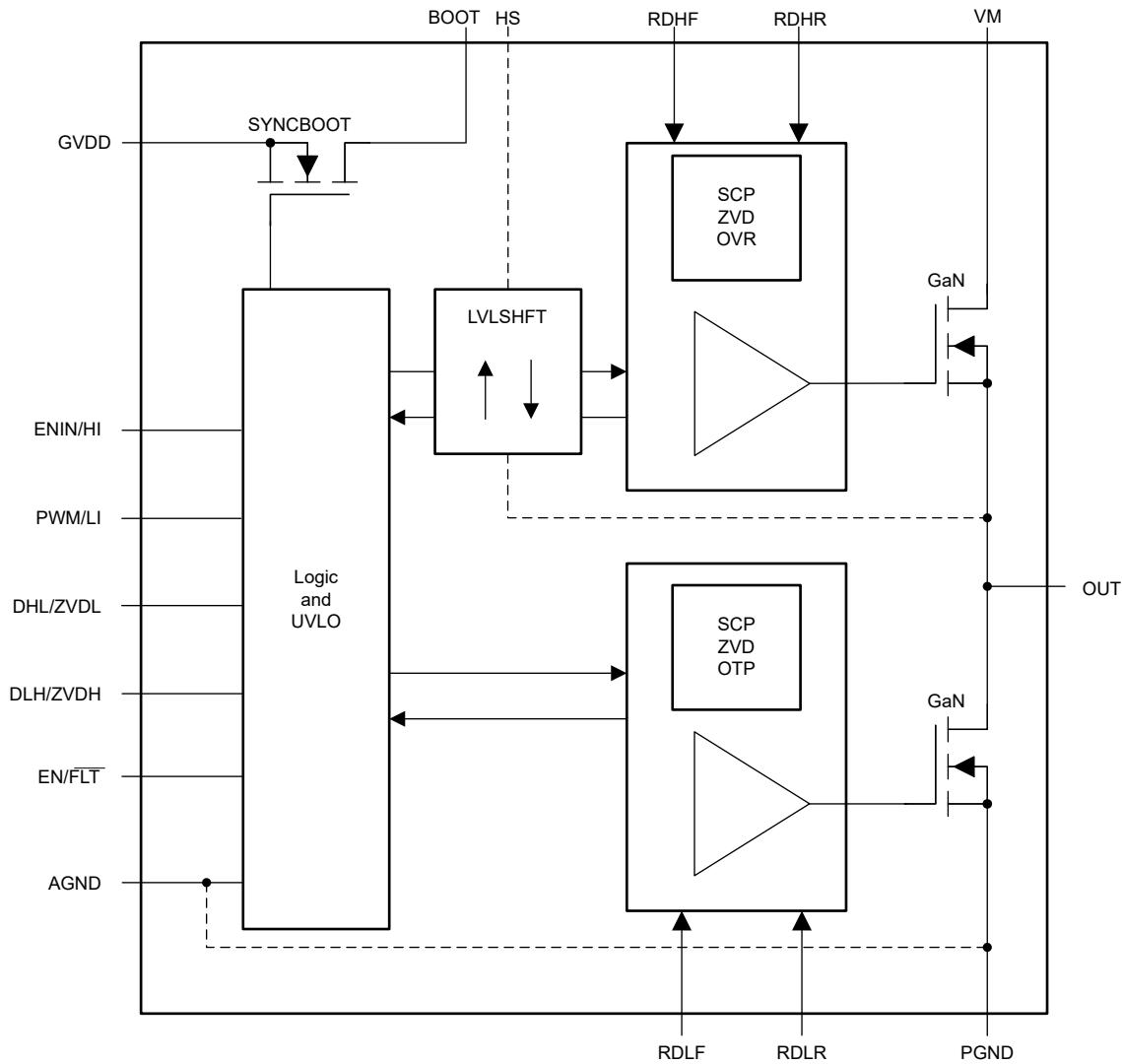
パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (公称) (3)
DRV7167A ⁽²⁾	VBN (VQFN, 18)	$7.00\text{mm} \times 4.50\text{mm}$

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) 事前情報。これらの製品は、サンプル出荷および量産開始前の段階にあります。
- (3) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



概略ブロック図

目次

1 特長	1	7.4 デバイスの機能モード	17
2 アプリケーション	1	8 アプリケーションと実装	17
3 説明	1	8.1 アプリケーション情報	17
4 ピン構成および機能	4	8.2 代表的なアプリケーション	17
5 仕様	6	8.3 電源に関する推奨事項	19
5.1 絶対最大定格	6	8.4 レイアウト	19
5.2 ESD 定格	6	9 デバイスおよびドキュメントのサポート	22
5.3 推奨動作条件	7	9.1 ドキュメントのサポート	22
5.4 熱に関する情報_DRV7167A	8	9.2 ドキュメントの更新通知を受け取る方法	22
5.5 電気的特性	8	9.3 サポート・リソース	22
6 パラメータ測定情報	11	9.4 商標	22
6.1 伝搬遅延とミスマッチ測定	11	9.5 静電気放電に関する注意事項	22
7 詳細説明	13	9.6 用語集	22
7.1 概要	13	10 改訂履歴	22
7.2 機能ブロック図	13	11 メカニカル、パッケージ、および注文情報	23
7.3 機能説明	14	11.1 パッケージ情報	24

4 ピン構成および機能

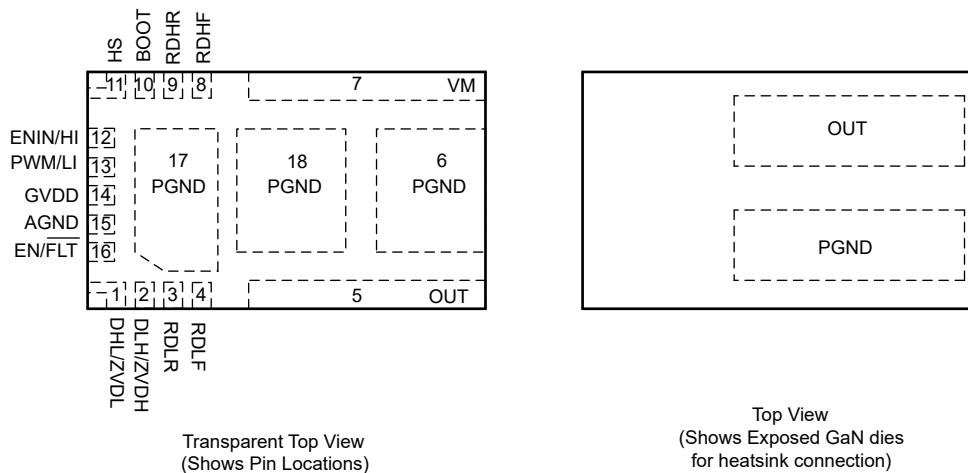


図 4-1. VBN パッケージ、18 ピン VQFN (上面図)

ピンの機能

ピン		I/O ⁽¹⁾	説明
名称	番号		
DHL/ZVDL	1	IO	PWM モードでは、AGND に抵抗を接続することで、high から low への遷移時のデッドタイムを設定します。IIM モードでは、電流スイッチング サイクルにおいてローサイド FET がゼロ電圧スイッチングを達成しているかどうかを示すゼロ電圧検出出力信号です。注:ZVDL を GVDD に接続しないでください。
DLH/ZVDH	2	IO	PWM モードでは、抵抗を AGND に接続することで、low から high への遷移のデッドタイムを設定します。IIM モードでは、電流スイッチング サイクルにおいてハイサイド FET がゼロ電圧スイッチングを達成しているかどうかを示すゼロ電圧検出出力信号です。
RDLR	3	I	AGND への抵抗を介した LS FET ターンオンのスルーレート制御を設定します。
RDLF	4	I	AGND への抵抗を介した LS FET ターンオフのスルーレート制御を設定します。 このピンをフロート状態にすることで、PWM モードが有効になります。
OUT	5	P	スイッチング ノード。内部的に HS ピンに接続されています。
PGND	6, 17, 18	G	電源グランド。ローサイド GaN FET ソース。内部でローサイド GaN FET のソースに接続されています。
VM	7	P	入力電圧ピン内部でハイサイド GaN FET ドレインに接続されています。
RDHF	8	I	HS への抵抗を介した HS FET ターンオフのスルーレート制御を設定します。
RDHR	9	I	HS への抵抗を介した HS FET ターンオンのスルーレート制御を設定します。注:RDHR ピンをフローティングにしないでください。
BOOT	10	P	ハイサイド ゲートドライバ用ブーストストラップ レール。バイパスコンデンサを HS に接続します。
HS	11	P	ハイサイド GaN FET ソース接続。
ENIN/HI	12	I	PWM モードでは、ハイサイドとローサイド両方の FET のゲート駆動が有効になります。 IIM モードでは、ハイサイド ゲートドライバの制御入力です。
PWM/LI	13	I	PWM モードでは、PWM 入力です。 IIM モードでは、ローサイド ゲートドライバの制御入力です。
GVDD	14	P	5V デバイス電源。
AGND	15	G	アナログ グランド。内部でローサイド GaN FET のソースに接続されています。
EN/FLT	16	IO	チップ イネーブルおよびフォルト出力ピン。マイコン出力に接続するか、4.7kΩ 抵抗を介して GVDD に接続します。

(1) I = 入力、O = 出力、IO = 入力または出力、G = グランド、P = 電源

5 仕様

5.1 絶対最大定格

(1) を参照

パラメータ	最小値	最大値	単位
VM から PGND (24 時間テスト)	0	100	V
VM から PGND (150°C で最大 10,000 5ms のパルス)		120	V
BOOT から AGND へ		106	V
HS ~ AGND		100	V
HS から PGND (150°C で最大 10,000 5ms のパルス)		120	V
HI ~ AGND	-0.3	6	V
LI ~ AGND	-0.3	6	V
HI ~ AGND、20ns の過渡応答、1Mhz 未満の周波数	-2	6	V
LI ~ AGND、20ns の過渡応答、1Mhz 未満の周波数	-2	6	V
GVDD から AGND	-0.3	6	V
BOOT から HS	-0.3	6	V
BOOT から GVDD	0	100	V
OUT から PGND		100	V
OUT ピンからの IOUT (連続), $T_J = 125^\circ\text{C}$		70	A
OUT ピンからの IOUT (パルス、300μs), $T_J = 25^\circ\text{C}$		250	A
接合部温度, T_J	-40	175	°C
保存温度, T_{stg}	-40	175	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±1000	V
				V
		デバイス帶電モデル (CDM)、コーナー ピン、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	±750	V
		デバイス帶電モデル (CDM)、内部ピン、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	±500	V

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

特に記述のない限り、電圧は AGND を基準にしています

		最小値	公称値	最大値	単位
GVDD		4.5	5	5.5	V
PWM/LI, ENIN/HI, EN Low レベル入力				1	V
PWM/LI, ENIN/HI, EN High レベル入力		3		VM+0.3	V
BOOT		V _{HS} + 4		V _{HS} + 5.5	V
f _{MAX}	最大スイッチング周波数 (50% デューティ サイクル)			500	kHz
t _{PW}	サポートされる最小入力パルス幅	10			ns
HS, OUT スルーレート ⁽¹⁾				未定	V/ns

- (1) 設計および特性評価を通じて決定されます。量産時にはテストを行っていません。

5.4 热に関する情報_DRV7167A

热評価基準 ⁽¹⁾		DRV7167	単位
		QFN	
		18 ピン	
R _{θJA}	接合部から周囲への熱抵抗	27	°C/W
R _{θJC(top)}	接合部からケース(上面)への熱抵抗	0.4	°C/W
R _{θJC(Bot)}	接合部からケース(底面)への熱抵抗、ローサイド FET から PGND	5.4	°C/W
	接合部からケース(底面)への熱抵抗、ハイサイド FET から VM	6.3	°C/W
R _{θJB}	接合部から基板への熱抵抗	3.9	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	1.8	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	3.8	°C/W

(1) 従来および新しい熱評価基準の詳細については、『IC パッケージの熱評価基準』アプリケーション レポート、SPRA953 を参照してください。

5.5 電気的特性

特に記述のない限り、電圧は AGND を基準としており、代表的な仕様は 25°Cでの値です⁽¹⁾: -40°C ≤ T_J ≤ 150°C

パラメータ	テスト条件	最小値	標準値	最大値	単位
POWER STAGE_DRV7167A					
R _{DS(ON)HS}	ハイサイド GaN FET オン抵抗	LI=0V, HI=GVDD=5V, BOOT-HS=5V, I(VM-OUT) = 16A, T _J = 25°C	2.3	3.1	mΩ
R _{DS(ON)LS}	ローサイド GaN FET オン抵抗	LI=GVDD=5V, HI=0V, BOOT-HS=5V, I(OUT-PGND)=16A, T _J = 25°C	2.2	3	mΩ
V _{SD}	GaN のソースドレイン間における第 3 クアド ラント導通時の電圧降下	I _{SD} = 500 mA, V _M フローティング、V _{GVDD} = 5V, HI = LI = 0V	1.5		V
I _{L-VM-OUT}	ハイサイド GaN FET とローサイド GaN FET の両方がオフの状態における、VM から OUT へのリーク電流	VM = 80V, OUT=0V, HI = LI = 0V, V _{GVDD} = 5V, T _J =25°C	10	150	μA
I _{L-VM-OUT}	ハイサイド GaN FET とローサイド GaN FET の両方がオフの状態における、VM から OUT へのリーク電流	VM = 80V, OUT=0V, HI = LI = 0V, V _{GVDD} = 5V, T _J =90°C	20	300	μA
I _{L-OUT-GND}	ハイサイド GaN FET とローサイド GaN FET の両方がオフの状態における、OUT から GND へのリーク電流	OUT = 80V, HI = LI = 0V, V _{GVDD} = 5V, T _J =25°C	10	150	μA
I _{L-OUT-GND}	ハイサイド GaN FET とローサイド GaN FET の両方がオフの状態における、OUT から GND へのリーク電流	OUT = 80V, HI = LI = 0V, V _{GVDD} = 5V, T _J =90°C	20	300	μA
C _{ISS}	ハイサイドまたはローサイド HEMT の入力容量	V _{DS} =50V, V _{GS} =0V (HI = LI = 0V), T _J =25°C	1700		pF
C _{oss}	ハイサイド GaN FET またはローサイド GaN FET の出力容量	V _{DS} =50V, V _{GS} =0V (HI = LI = 0V), T _J =25°C	570		pF
C _{oss(er)}	ハイサイド GaN FET またはローサイド GaN FET の出力容量 - エネルギー関連	V _{DS} =0~50V, V _{GS} =0V (HI = LI = 0V), T _J =25°C	700		pF
C _{oss(tr)}	ハイサイド GaN FET またはローサイド GaN FET の出力容量 — 時間関連	V _{DS} =0~50V, V _{GS} =0V (HI = LI = 0V), T _J =25°C	880		pF
C _{rss}	ハイサイドまたはローサイド HEMT の逆方向伝達容量	V _{DS} =50V, V _{GS} =0V (HI = LI = 0V), T _J =25°C	4.3		pF
Q _G	ハイサイドまたはローサイド HEMT の合計ゲート電荷	V _{DS} =50V, I _D = 16A, V _{GS} = 5V, T _J = 25°C	12		nC
Q _{GD}	ハイサイドまたはローサイド HEMT のゲートドレイン間の電荷	V _{DS} =50V, I _D = 16A, T _J = 25°C	1.2		nC
Q _{GS}	ハイサイドまたはローサイド HEMT のゲートソース間電荷	V _{DS} =50V, I _D = 16A, T _J = 25°C	3.9		nC
Q _{oss}	出力電荷(ハイサイド HEMT、ローサイド HEMT、およびゲートドライバの HV ウェル電荷の合計)	V _{DS} =50V, I _D = 16A, T _J = 25°C	90		nC
Q _{rr}	ソースドレイン間の逆方向復帰電荷		0		nC

特に記述のない限り、電圧は AGND を基準としており、代表的な仕様は 25°Cでの値です⁽¹⁾: -40°C ≤ T_J ≤ 150°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{HIPHL}	伝搬遅延: HI立ち上がり ⁽²⁾	LI = 0V, GVDD = 5V, BOOT-HS = 5V, VM = 48V		15	25	ns
t _{HIPHL}	伝搬遅延: HI立ち下がり ⁽²⁾	LI = 0V, GVDD = 5V, BOOT-HS = 5V, VM = 48V		15	25	ns
t _{LIPHL}	伝搬遅延: LI立ち上がり ⁽²⁾	HI = 0V, GVDD = 5V, BOOT-HS = 5V, VM = 48V		15	25	ns
t _{LIPHL}	伝搬遅延: LI立ち下がり ⁽²⁾	HI = 0V, GVDD = 5V, BOOT-HS = 5V, VM = 48V		15	25	ns
t _{MON}	遅延マッチング: LIハイと HIロー ⁽²⁾			2	5	ns
t _{MOFF}	遅延マッチング: LIローと HIハイ ⁽²⁾			2	5	ns
t _{PW}	出力を変化させる最小入力パルス幅			10		ns
入力ピン (ENIN/HI, PWM/LI, EN)						
V _{IH}	ハイレベル入力電圧スレッショルド	立ち上がりエッジ			2.1	V
V _{IL}	ロー レベル入力電圧スレッショルド	立ち下がりエッジ		1.2		V
V _{HYS}	立ち上がりスレッショルドと立ち下がりスレッショルド間のヒステリシス			300		mV
R _I	入力プルダウン抵抗		200	300	500	kΩ
出力ピン (ZVDx)						
V _{OL}	Low レベル出力電圧	I _{OL} = 3mA			0.25	V
V _{OH}	High レベル出力電圧	I _{OL} = -1.5mA ~ 0mA		2.6	3.5	V
低電圧 / 過電圧保護						
V _{GVDDR}	V _{GVDD} 立ち上がりエッジスレッショルド	立ち上がり	3.3	3.6	3.9	V
V _{GVDDF}	V _{GVDD} 立ち下がりエッジスレッショルド		3.1	3.4	3.7	V
V _{GVDD(hyst)}	V _{GVDD} UVLOスレッショルドのヒステリシス			200		mV
V _{BOOTR}	BOOT立ち上がりエッジスレッショルド	立ち上がり	3.3	3.6	3.9	V
V _{BOOTF}	BOOT立ち下がりエッジスレッショルド		3.1	3.4	3.7	V
V _{BOOT(hyst)}	BOOTUVLOスレッショルドのヒステリシス			200		mV
V _{BOOTTh}	ブートレギュレーション電圧のスレッショルド		4.5		5.3	V
t _{PWRUP}	デジタルリセット後のパワーアップ時間				50	μs
同期ブートストラップ						
V _{DH}	順方向電圧降下	I _{VDD-BOOT} = 5mA		40		mV
		I _{VDD-BOOT} = 50mA		400		mV
t _{SS}	ブートパワーアップ時間 (LI = High の場合)	C _{BOOT} = 220nF		2.2		μs
t _{SS}	ブートパワーアップ時間 (LI = High の場合)	C _{BOOT} = 1μF		10		μs
供給電流						
I _{GVDD}	GVDD静止時電流	LI = HI = 0V, GVDD = 5V, EN = 0		0.3		mA
I _{GVDD}	GVDD静止時電流	LI = HI = 0V, GVDD = 5V		0.9	3.5	mA
I _{GVDD}	GVDD静止時電流	LI = GVDD=5V, HI = 0V		1.8	7	mA
I _{GVDDO}	GVDDの総動作電流	f = 500kHz、50% デューティサイクル、VM = 48V		12	15	mA
I _{BOOT}	BOOT静止時電流	LI = HI = 0V, GVDD = 5V, BOOT-HS = 5V		0.5	1	mA
I _{BOOT}	BOOT静止時電流	LI = 0V, HI = GVDD=5V, BOOT-HS=5V, VM = 48V		0.8	3.5	mA
I _{BOOTO}	BOOT動作電流	f = 500kHz、50% デューティサイクル、GVDD = 5V, BOOT-HS = 5V, VM = 48V		5.6	8	mA
スレーレート制御 (実効ゲート抵抗)						
R _{gfh}	RDHF = 0Ω	ドライバFET両端の電圧 = 1.2V		0.3		Ω
	RDHF = 4kΩ			1.3		
	RDHF = 8kΩ			2.6		
	RDHF = 16kΩ			5.3		

特に記述のない限り、電圧は AGND を基準としており、代表的な仕様は 25°Cでの値です (1): -40°C ≤ T_J ≤ 150°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
Rgfl	RDLF = 0Ω	ドライバ FET 両端の電圧 = 1.2V	0.3	Ω	1.3	
	RDLF = 4kΩ		2.6		5.3	
	RDLF = 8kΩ		5.3			
	RDLF = 16kΩ		14			
Rgrh	RDHR = 0Ω	ドライバ FET 両端の電圧 = 1.2V	0.8	Ω	3.6	
	RDHR = 4kΩ		7		14	
	RDHR = 8kΩ		14			
	RDHR = 16kΩ		14			
Rgrl	RDLR = 0Ω	ドライバ FET 両端の電圧 = 1.2V	0.8	Ω	3.6	
	RDLR = 4kΩ		7		14	
	RDLR = 8kΩ		14			
	RDLR = 16kΩ		14			
デッドタイム制御						
t _{DEAD_MIN}	最小デッドタイム	DLH, DHL = 0Ω、最小デッドタイム設定。	5	7.5	10	ns
t _{DEAD_MAX}	最大デッドタイム	DLH, DHL = 100kΩ、最大デッドタイム設定。	32	40	48	ns
OCP						
V _{DSAT}	飽和保護電圧スレッショルド		0.75			V
t _{BLANK}	V _{DSAT} 検出のブランкиング時間		38	60	88	ns
t _{SATFLT}	ブランкиング時間後の V _{DS} 過電圧検出時に FLT を通知する時間		28.7			ns
ZVD 出力 (アクティブ Low)						
V _{THRESH_ZVD}	ZVD 検出器スレッショルド		0.8	1.0		V
t _{3RD_ZVD}	ZVD 検出器 (ローサイド) によって検出可能な最小第 3 ケアドレント時間	立ち上がり / 立ち下がり時間が 100ps の、0 ~ -1.5V ~ 0 のパレスの場合	6	10	14	ns
t _{3RD_ZVD}	ZVD 検出器 (ハイサイド) によって検出可能な最小第 3 ケアドレント時間	立ち上がり / 立ち下がり時間が 100ps の、0 ~ -1.5V ~ 0 のパレスの場合	6	10	14	ns
t _{DLY_ZVD_L}	V _{THRESH_ZVD} クロスと ZVD 出力が Low になる間の遅延	立ち上がり / 立ち下がり時間が 100ps の、0 ~ -1.5V ~ 0 のパレスの場合	20	30		ns
t _{DLY_ZVD_H}	V _{THRESH_ZVD} クロスと ZVD 出力が Low になる間の遅延	立ち上がり / 立ち下がり時間が 100ps の、0 ~ -1.5V ~ 0 のパレスの場合	20	30		ns
t _{WD_ZVD}	ZVD パレス幅	立ち上がり / 立ち下がり時間が 100ps の、0 ~ -1.5V ~ 0 のパレスの場合	40	65	95	ns
OTD						
OTD+	過温検出の上限スレッショルド		145	165	182	°C
OTD-	過温検出の上限スレッショルド		135	154	170	°C
OTD _{HYS}	過温検出の上限スレッショルド		12			°C
フォルト						
I _{FLT}	フォルトピンのブルダウン電流	V _{FLT} = 0.4 V	3			mA
t _{FLTDLY}	故障が発生した後で FLT を示す時間		20			ns
t _{FLT}	最小フォルト表示時間		10			μs
t _{ENBLK}	FLT リリース後、EN = 0 が有効になるまでの時間		1			μs

- (1) 標準値のみを示すパラメータは設計によって決定され、本番環境ではテストされていない場合があります
(2) 「伝搬遅延とミスマッチ測定」セクションを参照してください

6 パラメータ測定情報

6.1 伝搬遅延とミスマッチ測定

図 6-1 は伝搬の不一致を測定するために使用する一般的なテスト設定を示しています。ゲートドライブにはアクセスできないため、このテスト回路のプルアップ抵抗とプルダウン抵抗を使用して、ローサイド GaN FET がオンになり、ハイサイド GaN FET がオフになるタイミング、またはその逆のタイミングを示す、 t_{MON} および t_{MOFF} パラメータを測定します。この回路でプルアップ抵抗およびプルダウン抵抗に使用する抵抗値は $1\text{k}\Omega$ 程度で、使用する電流源は 2A です。

図 6-2 ~ 図 6-5 は伝搬遅延測定波形を示しています。ターンオン伝搬遅延の測定では、電流源を使用しません。ターンオフ時間の測定では、電流源を 2A に設定され、 $V_{M(CLAMP)}$ と呼ばれる電圧クランプ制限も設定します。ハイサイド部品のターンオフ遅延時間を測定するときは、ハイサイド FET の両端の電流源がオンになり、ローサイド FET の両端の電流源がオフになり、HI がハイからローに遷移し、出力電圧が V_M から $V_{M(CLAMP)}$ に遷移します。同様に、ローサイド部品のターンオフ伝搬遅延測定では、ハイサイド部品の電流源がオフになり、ローサイド部品の電流源がオンになり、LI がハイからローに遷移し、出力が GND 電位から $V_{M(CLAMP)}$ に遷移します。LI の遷移から出力変化までの時間は、伝搬遅延時間です。

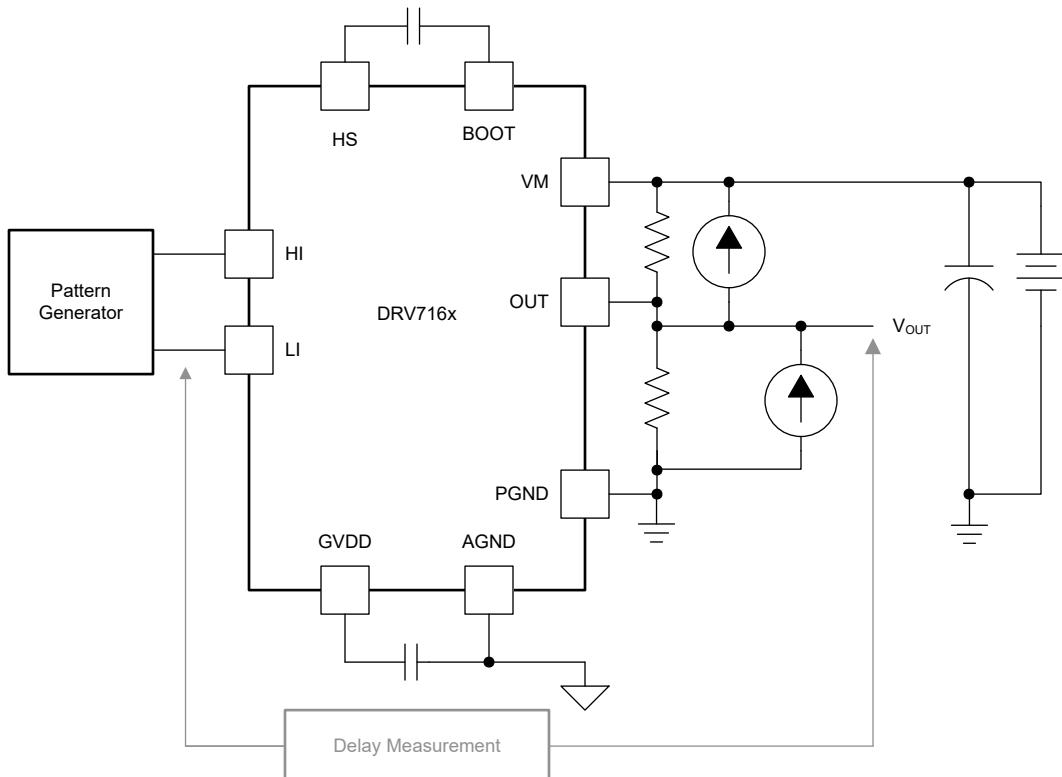


図 6-1. 伝搬遅延と伝搬ミスマッチ測定

Voltage(V)

50%

HI

OUT

Time

 V_M
10%
 $\frac{V_M}{2}$

図 6-2. ハイサイド ゲート ドライバのターンオン

Voltage(V)

50%

LI

OUT

GND

 $\frac{V_M}{2}$

Time

図 6-3. ローサイド ゲート ドライバのターンオン

Voltage(V)

50%

HI

OUT

Time

 V_M

10%

 $V_{M(\text{clamp})}$

図 6-4. ハイサイド ゲート ドライバのターンオフ

Voltage(V)

50%

LI

OUT

GND

 $V_{M(\text{clamp})}$

Time

図 6-5. ローサイド ゲート ドライバのターンオフ

7 詳細説明

7.1 概要

図 7-1 は、ハイサイドおよびローサイド ゲート ドライバを高集積し、2 つの GaN FET をハーフブリッジ構成の DRV7167A ハーフブリッジ GaN 電力段を示します。このデバイスは多くの絶縁型および非絶縁型トポロジで使用できるため、非常に簡単に内蔵可能です。このパッケージは、PCB 設計をシンプルに維持しながら、ループのインダクタンスを最小化するよう設計されています。ターンオンおよびターンオフの駆動強度は、ゲートや電源ループに過剰なリンクギングを発生させずに高電圧のスルーレートを実現するよう最適化されています。このデバイスには、システムの性能と保護能力を向上させるための機能がいくつか搭載されています。

7.2 機能ブロック図

図 7-1 に、ハイサイドとローサイドの GaN FET を統合した DRV7167A デバイスの機能ブロック図を示します。

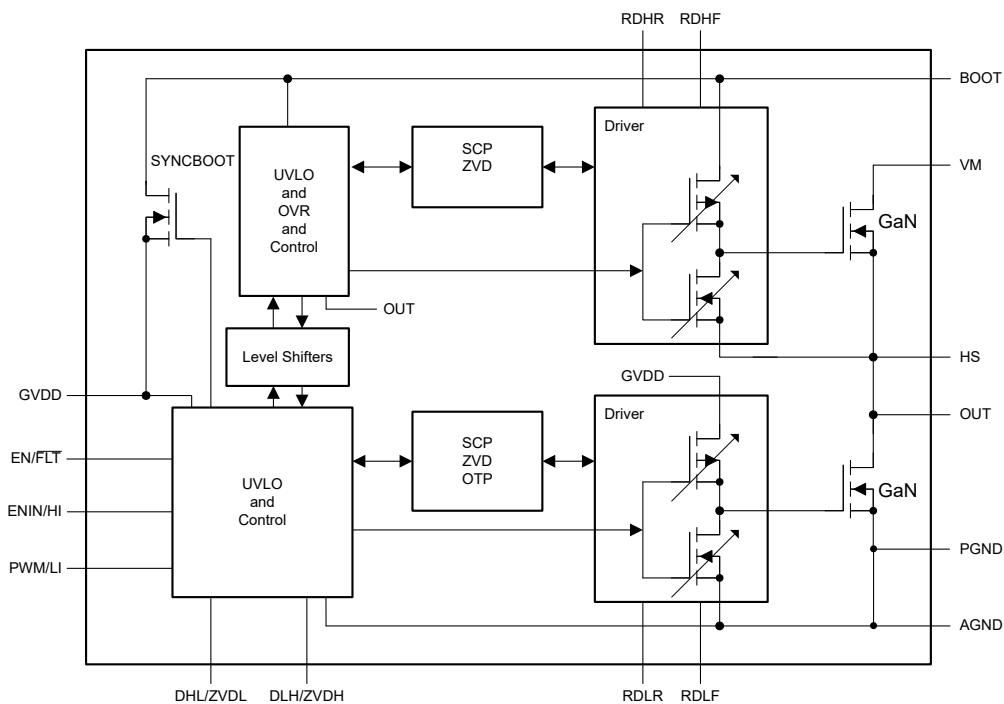


図 7-1. 機能ブロック図

7.3 機能説明

DRV7167A デバイスは、沿面距離と空間距離の要件を維持しながら、アンダーフィルを使用せずに高電力密度の基板を簡単に設計できます。ハイサイド ゲートドライバとローサイド ゲートドライバの間の伝搬遅延時間は整合されているため、デッドタイムを非常に厳密に制御できます。GaN ベースのアプリケーションで高い効率を維持するには、デッドタイムの制御が重要です。DRV7167A では、HI と LI を個別に制御できます。HI および LI から各ドライバへの伝搬遅延の不一致が極めて小さいため、立ち上がり / 立ち下がりのいずれのスレッショルドにおいても、デッドタイムを 10ns 未満に抑えることができます。同時に、このデバイスには単一の PWM モードも搭載されており、抵抗設定によりデッドタイムを調整でき、IO 制限コントローラで使用できます。GaN FET ハーフブリッジをドライバとパッケージングすることで、共通ソースのインダクタンスを最小限に抑えることができます。このようにインダクタンスを最小化すると、ハード スイッチングトポロジの性能が大きく影響を受けます。

過電圧レギュレーション付きの内蔵ブートストラップ回路により、外部回路を追加しなくても、ハイサイド ゲートドライブが GaN FET の最大ゲートソース間電圧 (V_{GS}) を超えるのを防止します。内蔵ドライバは、GVDD およびブートストラップ (BOOT-HS) レールの低電圧誤動作防止 (UVLO) 機能を備えています。電圧が UVLO スレッショルド電圧を下回ると、デバイスは HI 信号と LI 信号の両方を無視して、GaN FET が部分的にオンになるのを防止します。UVLO 未満で、十分な電圧が得られる場合 ($V_{GVDD} > 2.5V$)、ドライバはハイサイドとローサイドのゲートドライバの出力をアクティブにローにプルします。UVLO スレッショルド ヒステリシスにより、電圧スパイクによるチャタリングや不要なターンオンが防止されます。

V_{DS} 監視に基づく短絡保護機能を両方の FET に実装しています。ゼロ電圧検出 (ZVD) レポートとにより、デッドタイムの最適化が可能になり、第 3 クアドラント導出時間が最小化されます。

1 μ F 以上の値の外付け V_{GVDD} バイパスコンデンサを使用します。ピンまでのパターン長を最小限に抑えるため、0402 のサイズを推奨します。バイパスコンデンサとブートストラップコンデンサは、寄生インダクタンスを最小限に抑えるため、デバイスにできる限り近づけて配置してください。

7.3.1 制御入力

独立入力モード (IIM) では、DRV7167A の入力ピンは TTL 入力スレッショルドで独立して制御され、GVDD 電圧に関係なく 3.3V および 5V のロジックレベルに対応できます。

DRV7167A は、HI と LI の両方が High にアサートされた場合に貫通電流状態を防止するため、オーバーラップ保護機能 (インターロック) を実装しています。HI と LI の両方がアサートされると、ハイサイドとローサイドの両方の GaN FET がオンになります。

PWM モードで使用する場合、DRV7167A は単一の PWM 入力で動作し、DLH ピンと DHL ピンの外部抵抗によってそれぞれ low から high、high から low への遷移のデッドタイムが設定されます。

7.3.2 起動と UVLO

DRV7167A は、GVDD と BOOT (ブートストラップ) の両方の電源に UVLO を備えています。GVDD 電圧がスレッショルド電圧の 3.8V を下回ると、HI 入力と LI 入力の両方が無視され、GaN FET が部分的にオンになるのを防止します。また、GVDD 電圧が不十分な場合、UVLO はハイサイドおよびローサイドの GaN FET ゲートをアクティブにローにプルします。BOOT から HS へのブートストラップ電圧が UVLO スレッショルド 3.2V を下回ると、ハイサイド GaN FET ゲートのみがローになります。どちらの UVLO スレッショルド電圧も、チャタリングを防止するために 200mV のヒステリシスを備えています。

表 7-1. V_{GVDD} UVLO 機能のロジック動作

条件 (以下のすべての場合において $V_{BOOT}-V_{HS} > V_{BOOTR}$)	HI	LI	OUT
デバイス起動中、 $GVDD - V_{AGND} < V_{GVDDR}$	H	L	ハイインピーダンス
デバイス起動中、 $GVDD - V_{AGND} > V_{GVDDR}$	L	H	ハイインピーダンス
デバイス起動中、 $GVDD - V_{AGND} < V_{GVDDR}$	H	H	ハイインピーダンス
デバイス起動中、 $GVDD - V_{AGND} > V_{GVDDR}$	L	L	ハイインピーダンス
デバイス起動後、 $GVDD - V_{AGND} < V_{GVDDF}$	H	L	ハイインピーダンス

表 7-1. V_{GVDD} UVLO 機能のロジック動作 (続き)

条件 (以下のすべての場合において $V_{BOOT}-V_{HS} > V_{BOOTR}$)	HI	LI	OUT
デバイス起動後、 $GVDD - V_{AGND} < V_{GVDDF}$	L	H	ハイインピーダンス
デバイス起動後、 $GVDD - V_{AGND} < V_{GVDDF}$	H	H	ハイインピーダンス
デバイス起動後、 $GVDD - V_{AGND} < V_{GVDDF}$	L	L	ハイインピーダンス

表 7-2. $V_{BOOT-HS}$ UVLO 機能のロジック動作

条件 (以下のすべての場合において $V_{GVDD} > V_{GVDDR}$)	HI	LI	OUT
デバイス起動時に、 $V_{BOOT}-V_{HS} < V_{BOOTR}$	H	L	ハイインピーダンス
デバイス起動時に、 $V_{BOOT}-V_{HS} < V_{BOOTR}$	L	H	PGND
デバイス起動時に、 $V_{BOOT}-V_{HS} < V_{BOOTR}$	H	H	PGND
デバイス起動時に、 $V_{BOOT}-V_{HS} < V_{BOOTR}$	L	L	ハイインピーダンス
デバイス起動後は $V_{BOOT} - V_{HS} < V_{BOOTF}$	H	L	ハイインピーダンス
デバイス起動後は $V_{BOOT} - V_{HS} < V_{BOOTF}$	L	H	PGND
デバイス起動後は $V_{BOOT} - V_{HS} < V_{BOOTF}$	H	H	PGND
デバイス起動後は $V_{BOOT} - V_{HS} < V_{BOOTF}$	L	L	ハイインピーダンス

7.3.3 ブートストラップ電源レギュレーション

ハイサイド バイアス電圧はブートストラップ方式で生成され、内部的に 5V (標準値) にレギュレートされます。このレギュレーションは、ゲート電圧が拡張モード GaN FET の最大ゲートソース間電圧定格を超過するのを防止します。

7.3.4 レベルシフト

レベルシフト回路は、ハイサイド入力 HI から、スイッチノード (HS) を基準とするハイサイドドライバ段へのインターフェイスです。レベルシフト回路により、HS ピンを基準としたハイサイド GaN FET ゲートドライバ出力を制御でき、ローサイドドライバとの優れた遅延マッチングが実現します。

7.3.5 ゼロ電圧検出 (ZVD) レポート

DRV7167A は、いずれかの遷移でハイサイドおよびローサイド FET が第 3 クアドラントに遷移したかどうかを示すゼロ電圧検出 (ZVD) をサポートしています。この情報は、ZVDH (ハイサイド FET 用) および ZVDL (ローサイド FET 用) ピンで通知されます。この機能は IIM モードでのみ利用可能です。

ローサイド FET について、特定の遷移中にスイッチノードが V_{THRESH_ZVD} を t_{3RD_ZVD} より長い時間 AGND を下回ると、 t_{WD_ZVD} の low パルスが $t_{DLY_ZVD_L}$ の遅延で生成されます。

特定のスイッチング遷移において、ハイサイド FET のスイッチノード電圧が VM より V_{THRESH_ZVD} 高い状態で t_{3RD_ZVD} を超える時間維持された場合、対応する LI の遷移から $t_{DLY_ZVD_H}$ の遅延を経て、1PWM サイクル後に t_{WD_ZVD} 幅の low パルスが生成されます。

DRV7167A を使用するコントローラは、ZVD 情報を使用してデッドタイムを調整し、ハイサイドおよびローサイド FET の第 3 クアドラント導通時間を最小限に抑えることができます。

7.3.6 短絡保護 (SCP)

DRV7167A は、ドレンソース間電圧 V_{DS} 、監視に基づく両方の FET の短絡保護機能を実装しています。いずれかの FET が HI/LI = high でオンになった後、デバイスは t_{BLANK} 時間を待機し、その後で FET の V_{DS} 電圧が検出されます。電圧が V_{DSAT} を上回ると、短絡が推測されます。その後、損傷を防止するために FET がオフになります。この保護はサイクル単位で動作します。つまり、HI/LI ロジックの Low から High サイクルごとに FET がオンになります。 V_{DS} が設定されたスレッショルドを超えた場合、短絡保護機能は、HI/LI ロジック high の残りの時間 FET をオフにします。

7.3.7 過熱検出 (OTD)

DRV7167A は内蔵ゲートドライバのダイ温度を監視し、OTD+ スレッショルドを超過した場合に故障を示します。本デバイスは、たとえば過温検出時に **GaN FET** を強制的にオフするなどの動作は行わず、そのような保護動作は外部の PWM コントローラに委ねます。

動作条件やシステムの熱設計によっては、**GaN FET** と内蔵ドライバの間に温度差が生じる場合があります。そのため、OTD は保護用途としては信頼して使用できますが、システムの電力デレーティングや最適化の目的には適していません。

7.3.8 フォルト通知

DRV7167A では、EN/FLT ピンで検出される 3 種類の故障 (ローサイド **GaN FET** の短絡、GVDD 電源の UVLO イベント、ドライバの過温イベント) が示されています。一度アサートされると、アクティブ Low のフォルト信号は、3 つのいずれかの故障が存在する間、そしてすべての故障が解消された後も tFLT の間はアサート状態を維持します。

7.4 デバイスの機能モード

DRV7167A は、通常モードおよび UVLO モードで動作します。UVLO の動作モードについては、「[セクション 7.3.2](#)」を参照してください。通常モードでは、出力の状態は HI ピンと LI ピンの状態に依存します。

表 7-3 には、DRV7167A における各入力ピンの組み合わせに対応する出力状態が一覧表示されています。このデバイスは、オーバーラップ保護 / インターロック機能をサポートしています。HI と LI の両方がアサートされると、電力段内の両方の GaN FET がオフになります。

表 7-3. 真理値表 (DRV7167A)

HI	LI	ハイサイド GaN FET	ローサイド GaN FET	OUT
L	L	OFF	OFF	ハイインピーダンス
L	H	OFF	オン	PGND
H	L	オン	OFF	VM
H	H	OFF	OFF	ハイインピーダンス

8 アプリケーションと実装

注

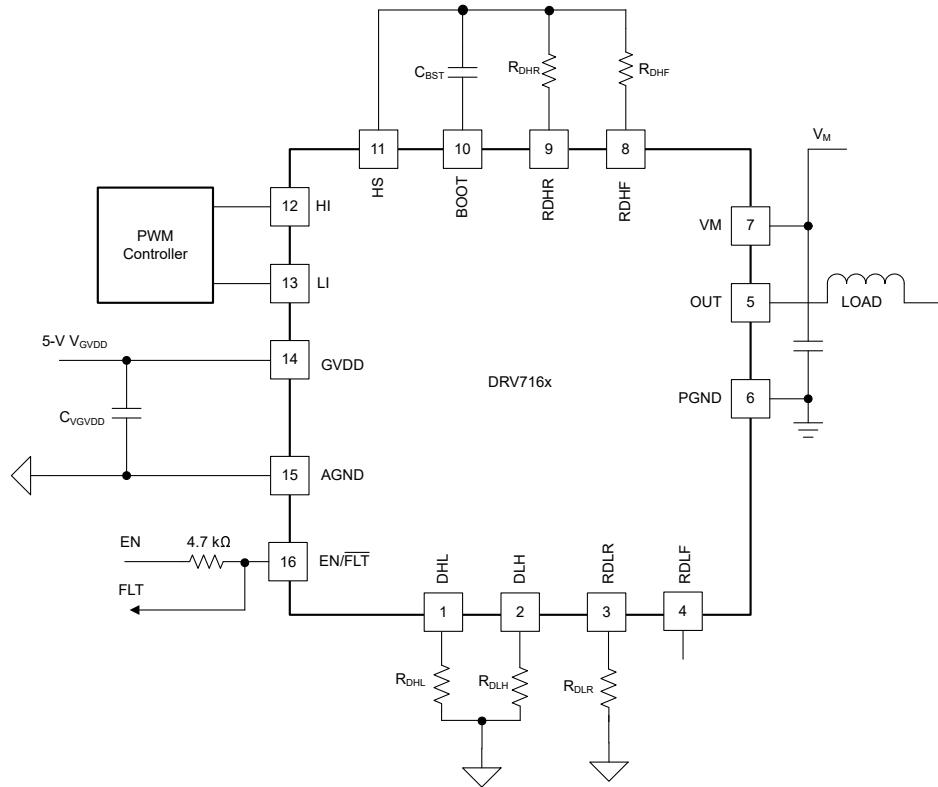
以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

DRV7167A GaN 電力段は、モータードライバ アプリケーション用の汎用ビルディング ブロックです。パッケージに統合された高性能ゲートドライバ IC により寄生容量を最小限に抑え、GaN FET の非常に高速なスイッチングを実現するのに役立ちます。このデバイスは、ハーフブリッジ構成向けに高度に最適化された設計となっています。

8.2 代表的なアプリケーション

図 8-1 に、GVDD を 5V 電源に接続した BLDC モータードライバ アプリケーションを示します。電源ループ (VM コンデンサから PGND へのループ インピーダンス) を最適化することが重要です。電源ループインダクタンスが大きいと、OUT ノードに大きなリングングが発生し、関連する電力損失も発生します。DRV7167A には、VM ピンと PGND ピンが互いに隣接しています。これにより、VM コンデンサを PCB の最上層で DRV7167A のすぐ近くに配置して、電源ループのインダクタンスを最小化できます。


図 8-1. BLDC モーター ドライバの代表的な接続図

8.2.1 代表的なアプリケーション - PWM モード

図 8-2 は、PWM モードを備えた BLDC モータードライバ アプリケーションを示しています。このアプリケーションでは、コントローラは 1 つの PWM 制御信号のみを供給し、デッドタイム調整可能なハイサイドおよびローサイドの信号は DRV7167A 内部で生成されます。抵抗 R_{DHL} および R_{DLH} を使用して、high から low, low から high へのデッドタイムを設定できます。RDLF ピンをフローティングにすると、DRV7167A PWM モードに設定されます。そのため、PWM モードではローサイド FET のターンオフ駆動強度は調整できません。

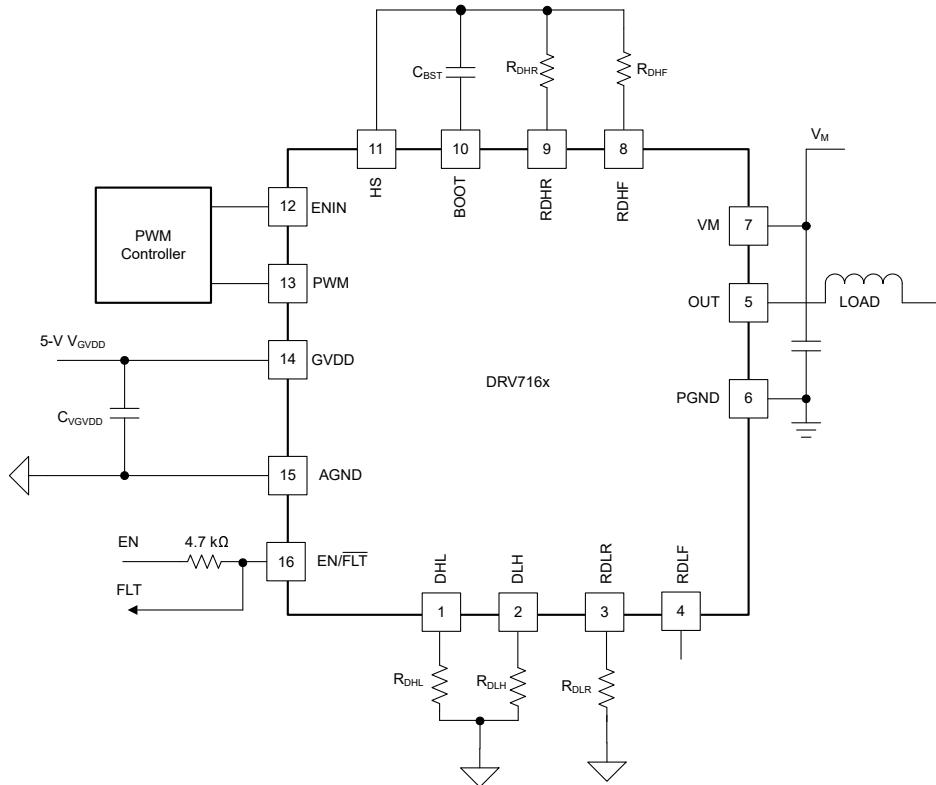


図 8-2. PWM モードを備えた BLDC モーター ドライバの代表的な接続図

8.3 電源に関する推奨事項

DRV7167A の推奨バイアス電源電圧範囲は 4.5V ~ 5.5V です。なお、ローサイド GaN FET のゲート電圧は内部でクランプされていません。したがって、ローサイド GaN トランジスタのゲートブレークダウン電圧を超えないように、GVDD バイアス電源を推奨動作範囲内に保つことが重要です。

UVLO 保護機能は、ヒステリシス機能も備えています。これは、デバイスが通常モードで動作し始めた後に GVDD 電圧が降下した場合、電圧降下がヒステリシス仕様値 $V_{GVDD(hyst)}$ を超えない限り、デバイスは通常モードで動作を継続することを意味します。電圧降下がヒステリシスの仕様値を超える場合、デバイスはシャットダウンします。したがって、4.5V またはそれに近い範囲の電圧で動作しているときは、デバイスのシャットダウンがトリガされないように、補助電源出力の電圧リップルを DRV7167A のヒステリシス仕様値よりも小さくする必要があります。

GVDD ピンと AGND ピンの間にローカル バイパスコンデンサを配置します。このコンデンサは、できる限りデバイスに近づけて配置する必要があります。低 ESR の表面実装型セラミックコンデンサを推奨します。TI では、GVDD と AGND の間に 2 つのコンデンサを使用することを推奨します。1 つは 100nF の表面実装型セラミックコンデンサで、高周波フィルタリングのために GVDD ピンと AGND ピンのすぐ近くに配置します。もう 1 つは IC のバイアス要件に対応する 1μF ~ 10μF の表面実装型コンデンサです。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

高速スイッチングの効率上の利点を最大にするには、電源ループのインピーダンスが最小限になるように基板レイアウトを最適化することが非常に重要です。多層基板 (2 層以上) を使用する場合は、入力コンデンサへの帰路 (VM と PGND 間) を小さくして、最初の層の直下に配置することで、電源ループの寄生インピーダンスを最小限に抑えることができます (図 8-3 と 図 8-4 を参照)。帰還電流が真下を反対方向に流れでフラックスをキャンセルするため、ループ インダクタンスが減少します。

上記の電源ループ レイアウトのガイドラインに十分な注意を払わないと、スイッチ ノードで過度のオーバーシュートとアンダーシュートが発生する可能性があります。

また、GVDD コンデンサとブートストラップ コンデンサをデバイスのできるだけ近くの、最初の層に配置することが重要です。DRV7167A デバイスの AGND 接続を注意深く検討してください。PGND に直接接続することはできません。PGND ノイズが AGND を直接シフトして、HI と LI 信号に入るノイズによるスプリアス スイッチング イベントが発生することを避けるため、PGND に直接接続しないでください。

これらの推奨事項の実際のレイアウトについては、DRV7167A EVM を参照してください。

8.4.2 レイアウト例

図 8-3 に示す配置と 図 8-4 の断面は、VM、ブートストラップ コンデンサ (HS と BOOT) および GVDD コンデンサなどの敏感な受動部品に対して推奨されるデバイスの配置を示しています。レイアウト内の適切な間隔を使用して沿面距離を減らし、アプリケーションの汚染レベルに応じて空間距離の要件を維持します。内部の層 (存在する場合) では汚染がごくわずかなので、間隔をより狭くできます。

レイアウトは OUT ノードの容量を最小限に抑えるよう設計する必要があります。デバイスの OUT ピンは、できるだけ小さな銅の領域を使って、インダクタ、トランジistor、その他の出力負荷に接続します。さらに、グランドプレーンや他の銅プレーンに切り欠きがあり、OUT ノード重ならないことを確認してください。これにより、プリント基板上に効果的にコンデンサを形成できます。このノードにキャパシタンスを追加すると、DRV7167A の高度なパッケージング手法の利点が減り、性能が低下する可能性があります。

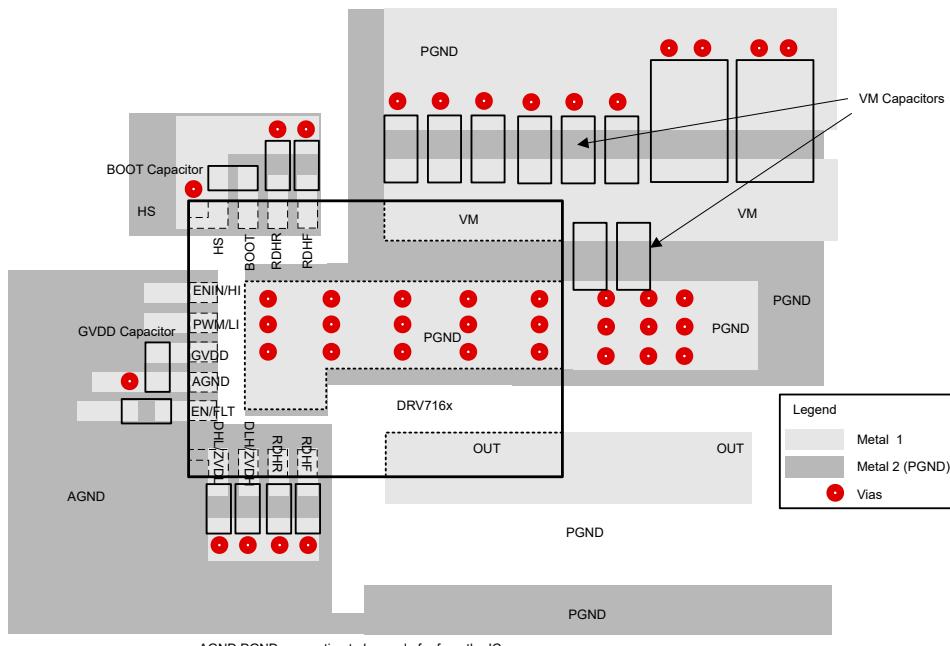


図 8-3. 外付け部品の配置 (複数層 PCB)

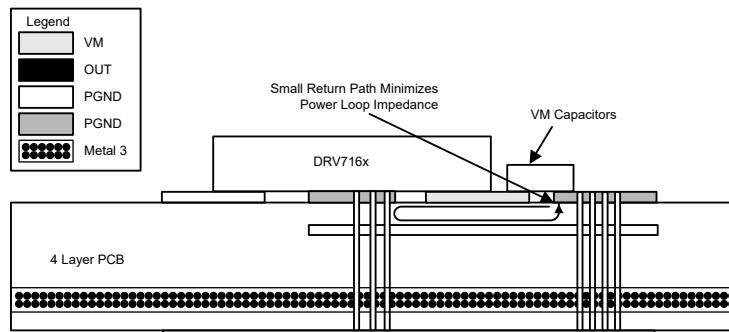


図 8-4. 電源ループの直下に帰路を配置した 4 層基板の断面図

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

『[LMG2100R044 GaN 電力ステージ モジュールのレイアウト ガイドライン](#)』

『[LMG2100R044 の使用法: GaN ハーフブリッジ電力モジュールの評価基板](#)』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の【アラートを受け取る】をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
October 2025	*	初版リリース

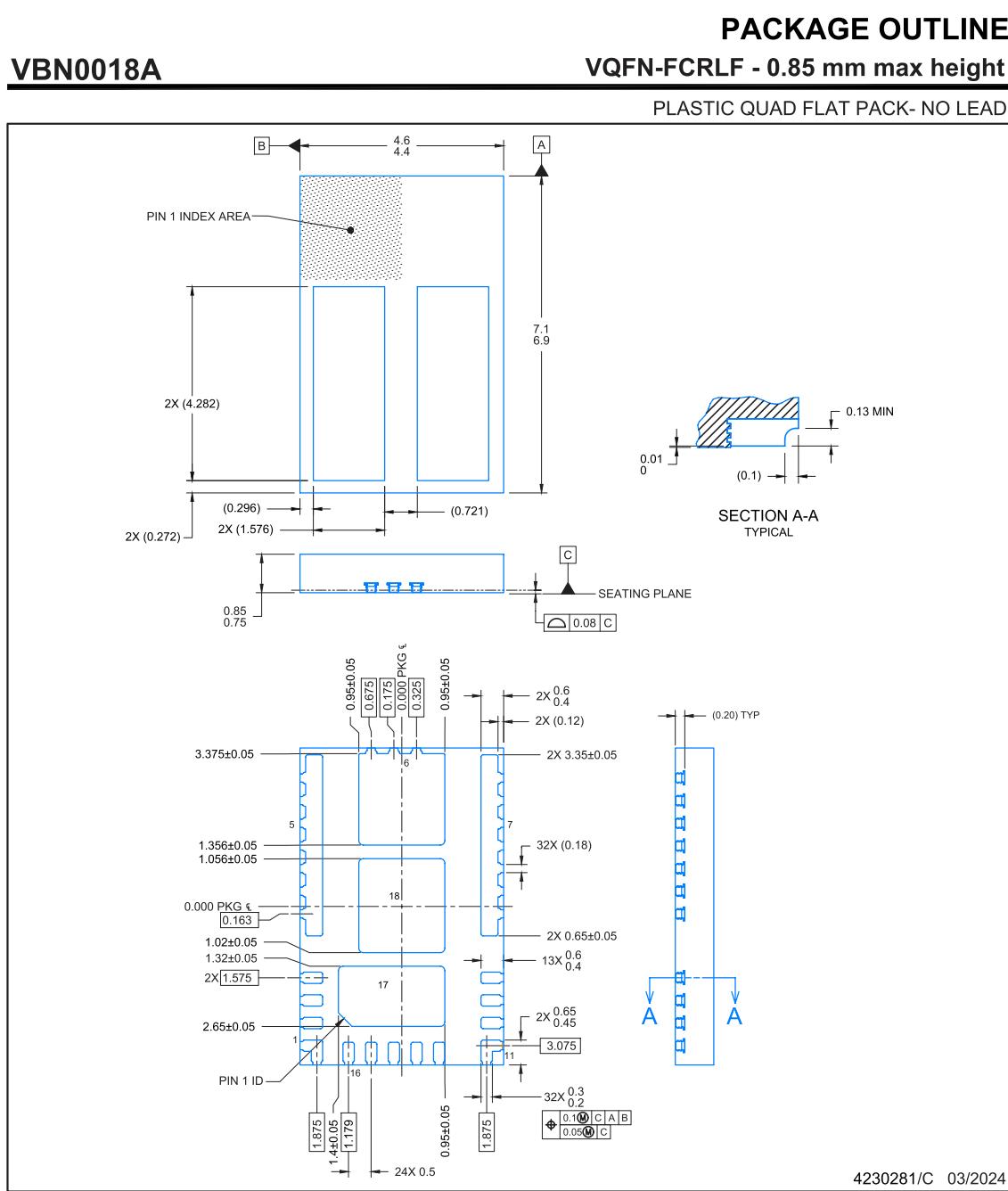
11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

11.1 パッケージ情報

11.1.1 メカニカルデータ

ADVANCE INFORMATION



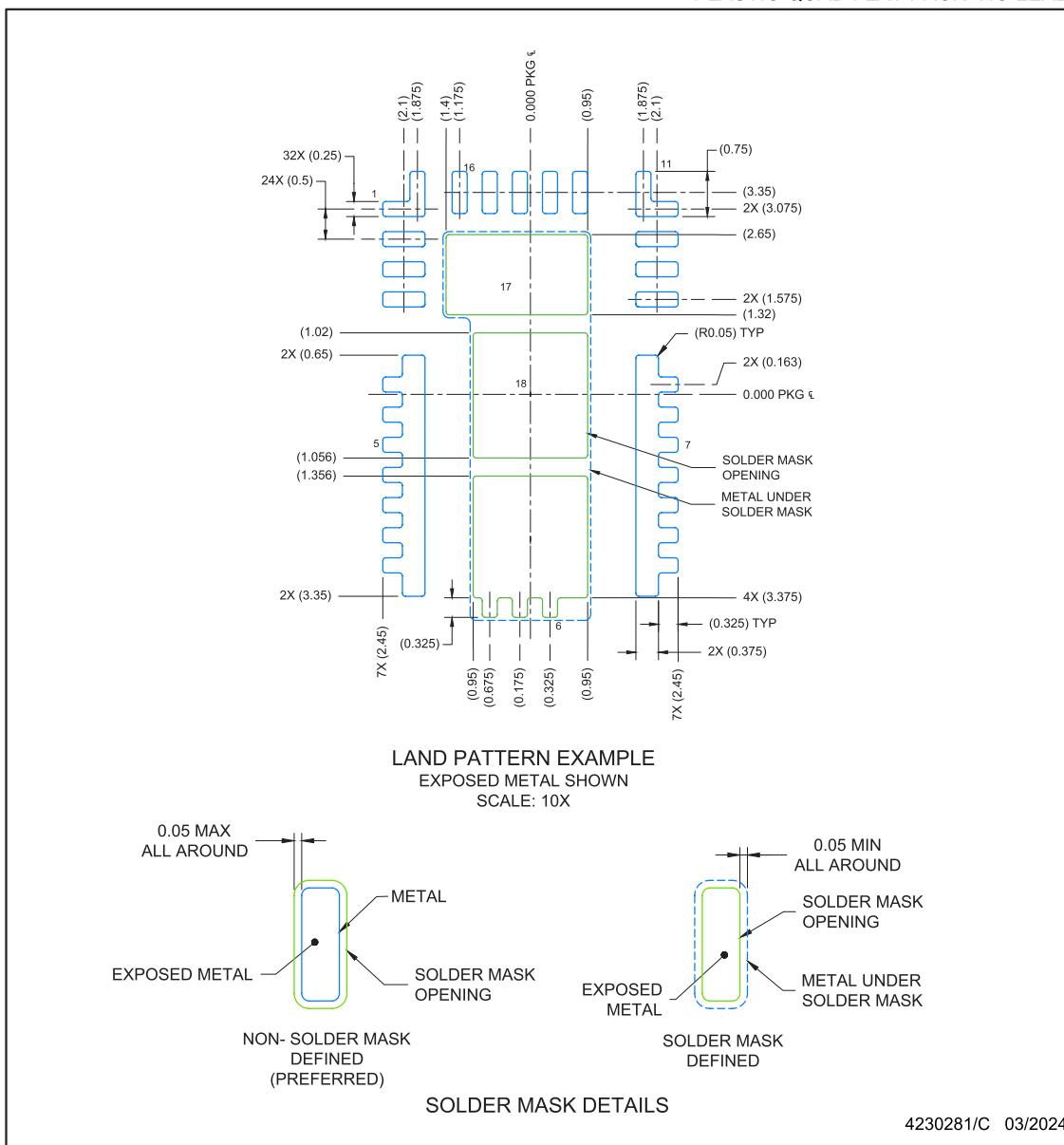
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

VBN0018A

VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLAT PACK- NO LEAD



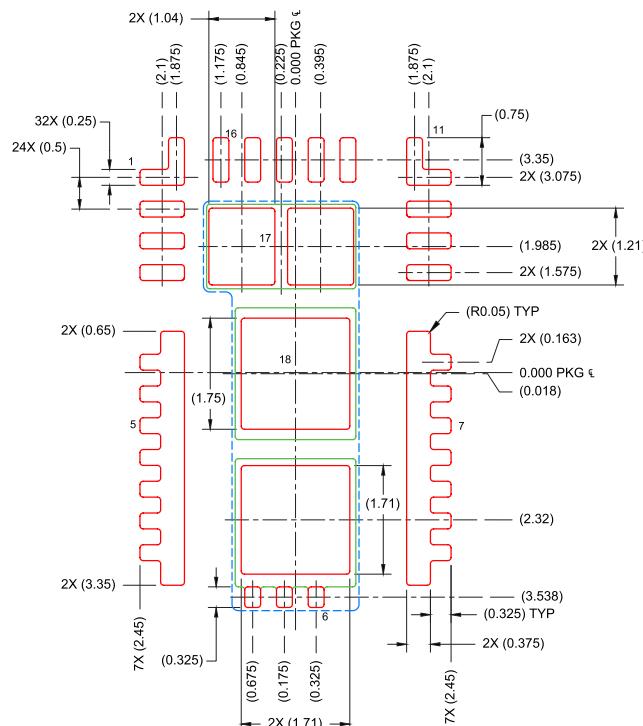
ADVANCE INFORMATION

VBN0018A

EXAMPLE STENCIL DESIGN

VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLAT PACK- NO LEAD



**SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 10X**

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PAD 6: 78%
PAD 17: 81%
PAD 18: 76%

4230281/C 03/2024

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PDRV7167AVBNR	Active	Preproduction	VQFN-FCRLF (VBN) 18	2500 LARGE T&R	-	Call TI	Call TI	-40 to 175	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

VBN 18

VQFN-FCRLF - 0.85 mm max height

4.5 x 7, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4230977/A

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月