# DRV7167A 100V、60A ハーフブリッジ GaN モーター ドライバ電力段

## 1 特長

- 100V、48V システム対応のドライバを内蔵したハーフブリッジ GaN モータドライバ パワー ステージ
- 低い GaN オンステート抵抗
  - $T_A$ = 25℃ で 2.2mΩ の $R_{DS(ON)}$ (FET に従う)
- 効率的で高密度の電力変換を実現できます
  - 高い出力電流能力: $60A_{rms}$
  - 最大 500kHz PWM のスイッチング周波数をサポート
  - 超低伝搬遅延 (標準値 20ns) およびマッチング (標準値 2ns)
  - GaN FET のスルーレートを構成可能
  - デッド タイム最適化のためのゼロ電圧検出 (ZVD) レポート機能。
  - 独立入力モード (IIM) 制御
  - IO 制限コントローラ向けの抵抗により、プログラマブルなデッド タイム オプション付きシングル PWM 入力
- 5V の外部バイアス電源
  - 3.3V および 5V の入力ロジック レベルをサポート
- 堅牢な保護
  - 独立入力モード (IIM) でのインターロック保護
  - 内部ブートストラップ電源電圧クランピングにより、GaN FET オーバードライブを防止
  - $V_{DS}$ 監視に基づくサイクルごとの短絡保護機能
  - 過熱、低電圧、短絡イベントの故障通知
- 上面冷却をサポートするための露出上面パッドを備えた、寄生成分最適化された QFN パッケージ。

## 2 アプリケーション

- ヒューマノイド ロボット
- 協力ロボット
- 移動ロボット (AGV/AMR)
- 48V サーボ ドライブ
- ドローン
- 電動アシスト自転車、電動スクーター、E-モビリティ
- 電動工具

## 3 説明

DRV7167A デバイスは、ゲート ドライバと拡張モード ガリウム ナイトライド (GaN) FET を内蔵した 100V ハーフブリッジ電力段です。このデバイスは、2 つの 100V GaN FET を駆動するハーフブリッジ構成の高周波 GaN FET ドライバで構成されています。

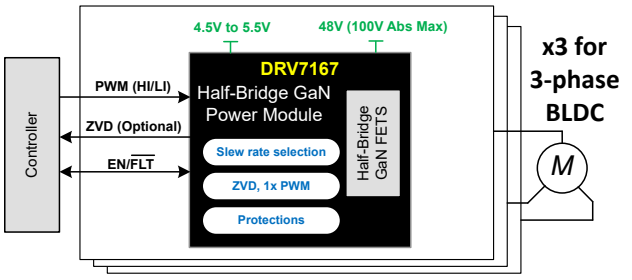
GaN FET は逆方向回復時間がゼロで、入力容量 ($C_{ISS}$) および出力容量 ($C_{OSS}$) が非常に小さいため、電力変換において大きな利点があります。すべてのデバイスはボンド ワイヤを一切使用しないパッケージ プラットフォームに取り付けられ、パッケージの寄生要素は最小限に抑えられるため、PCB に簡単に取り付けられます。

TTL ロジック互換の入力は、GVDD 電圧にかかわらず 3.3V および 5V のロジック レベルをサポートできます。独自のブートストラップ電圧制御技術により、拡張モード GaN FET のゲート電圧が安全な動作範囲内に保たれます。このデバイスは、ディスクリート GaN FET に対してより使いやすいインターフェイスを提供し、その利点を拡大します。このデバイスは、小さな外形で高周波数、高効率の動作が必要なアプリケーションに最適な選択肢です。

**パッケージ情報**

| 部品番号 | パッケージ (1) | パッケージ サイズ (3)(公称) |
|---|---|---|
| DRV7167A(2) | VBN (VQFN、18) | 7.00mm × 4.50mm |

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) 事前情報。これらの製品は、サンプル出荷および量産開始前の段階にあります。
(3) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。




**DRV7167 の概略回路図**

ADVANCE INFORMATION

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

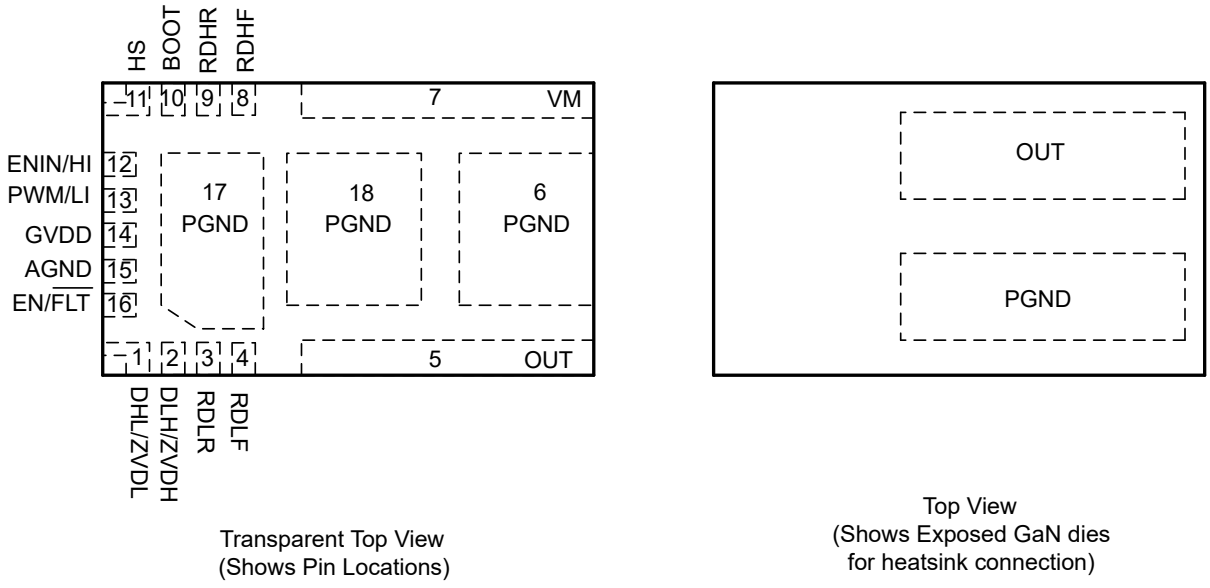
ADVANCE INFORMATION

# 目次

**1 特長** ... 1
**2 アプリケーション** ... 1
**3 説明** ... 1
**4 ピン構成および機能** ... 3
**5 仕様** ... 5
5.1 絶対最大定格 ... 5
5.2 ESD 定格 ... 5
5.3 推奨動作条件 ... 6
5.4 熱に関する情報_DRV7167A ... 7
5.5 電気的特性 ... 7
**6 代表的特性** ... 11
**7 パラメータ測定情報** ... 13
7.1 伝搬遅延とミスマッチ測定 ... 13
7.2 スルーレート測定 ... 13
**8 詳細説明** ... 15
8.1 概要 ... 15
8.2 機能ブロック図 ... 15
8.3 機能説明 ... 16
8.4 デバイスの機能モード ... 24
**9 アプリケーションと実装** ... 25
9.1 使用上の注意 ... 25
9.2 代表的なアプリケーション ... 25
9.3 電源に関する推奨事項 ... 28
9.4 レイアウト ... 29
**10 デバイスおよびドキュメントのサポート** ... 31
10.1 ドキュメントのサポート ... 31
10.2 ドキュメントの更新通知を受け取る方法 ... 31
10.3 サポート・リソース ... 31
10.4 商標 ... 31
10.5 静電気放電に関する注意事項 ... 31
10.6 用語集 ... 31
**11 改訂履歴** ... 31
**12 メカニカル、パッケージ、および注文情報** ... 32
12.1 パッケージ情報 ... 33


Copyright © 2026 Texas Instruments Incorporated

# 4 ピン構成および機能




Transparent Top View
(Shows Pin Locations)

Top View
(Shows Exposed GaN dies
for heatsink connection)

**図 4-1. VBN パッケージ、 18 ピン VQFN (上面図)**

ADVANCE INFORMATION

ADVANCE INFORMATION

## ピンの機能

| ピン | | I/O(1) | 説明 |
|---|---|---|---|
| 名称 | 番号 | | |
| DHL/ZVDL | 1 | IO | PWM モードでは、AGND に抵抗を接続することで、high から low への遷移時のデッドタイムを設定します。<br>IIM モードでは、電流スイッチング サイクルにおいてローサイド FET がゼロ電圧スイッチングを達成しているかどうかを示すゼロ電圧検出出力信号です。注:ZVDL を GVDD に接続しないでください。 |
| DLH/ZVDH | 2 | IO | PWM モードでは、抵抗を AGND に接続することで、low から high への遷移のデッドタイムを設定します。<br>IIM モードでは、電流スイッチング サイクルにおいてハイサイド FET がゼロ電圧スイッチングを達成しているかどうかを示すゼロ電圧検出出力信号です。 |
| RDLR | 3 | I | AGND への抵抗を介した LS FET ターンオンのスルーレート制御を設定します。 |
| RDLF | 4 | I | AGND への抵抗を介した LS FET ターンオフのスルーレート制御を設定します。<br>このピンをフロート状態にすることで、PWM モードが有効になります。 |
| OUT | 5 | P | スイッチング ノード。内部的に HS ピンに接続されています。 |
| PGND | 6、17、18 | G | 電源グランド。ローサイド GaN FET ソース。内部でローサイド GaN FET のソースに接続されています。 |
| VM | 7 | P | 入力電圧ピン内部でハイサイド GaN FET ドレインに接続されています。 |
| RDHF | 8 | I | HS への抵抗を介した HS FET ターンオフのスルーレート制御を設定します。 |
| RDHR | 9 | I | HS への抵抗を介した HS FET ターンオンのスルーレート制御を設定します。注:RDHR ピンをフローティングにしないでください。 |
| BOOT | 10 | P | ハイサイド ゲートドライバ用ブートストラップ レール。バイパス コンデンサを HS に接続します。 |
| HS | 11 | P | ハイサイド GaN FET ソース接続。 |
| ENIN/HI | 12 | I | PWM モードでは、ハイサイドとローサイド両方の FET のゲート駆動が有効になります。<br>IIM モードでは、ハイサイド ゲートドライバの制御入力です。 |
| PWM/LI | 13 | I | PWM モードでは、PWM 入力です。<br>IIM モードでは、ローサイド ゲートドライバの制御入力です。 |
| GVDD | 14 | P | 5V デバイス電源。 |
| AGND | 15 | G | アナログ グランド。内部でローサイド GaN FET のソースに接続されています。 |
| EN/$\overline{\text{FLT}}$ | 16 | IO | チップ イネーブルおよびフォルト出力ピン。マイコン出力に接続するか、4.7kΩ 抵抗を介して GVDD に接続します。 |

(1) I = 入力、O = 出力、IO = 入力または出力、G = グランド、P = 電源


Copyright © 2026 Texas Instruments Incorporated

# 5 仕様

## 5.1 絶対最大定格

(1) を参照

| パラメータ | 最小値 | 最大値 | 単位 |
|---|---|---|---|
| VM から PGND(2) | 0 | 100 | V |
| VM から PGND ($T_J$ = 125°C、反復過渡)(2) (3) | | 120 | V |
| BOOT から AGND(2) | | 106 | V |
| HS から AGND(2) | | 100 | V |
| HS から PGND ($T_J$ = 125°C、反復過渡)(2) (3) | | 120 | V |
| HI ～ AGND | -0.3 | 6 | V |
| LI ～ AGND | -0.3 | 6 | V |
| HI ～ AGND、20ns の過渡応答、1Mhz 未満の周波数 | -2 | 6 | V |
| LI ～ AGND、20ns の過渡応答、1Mhz 未満の周波数 | -2 | 6 | V |
| GVDD から AGND | -0.3 | 6 | V |
| BOOT から GVDD(2) | 0 | 100 | V |
| BOOT から HS | -0.3 | 6 | V |
| OUT から PGND(2) | | 100 | V |
| OUT ピンからの IOUT (連続)、$T_J$ = 125℃ | | 60 | A |
| 接合部温度、$T_J$ | -40 | 150 | °C |
| 保存温度、$T_{stg}$ | -40 | 150 | °C |

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) これは、非スイッチング条件でのみ適用できる DC 電圧定格です。
(3) デュー ティサイクル ≤ 1% でパルスを繰り返し印加。

## 5.2 ESD 定格

| | | | 値 | 単位 |
|---|---|---|---|---|
| $V_{(ESD)}$ | 静電気放電 | 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1) | ±1000 | V |
| $V_{(ESD)}$ | 静電気放電 | デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2) | ±500 | V |

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

ADVANCE INFORMATION

## 5.3 推奨動作条件

特に記述のない限り、電圧は AGND を基準にしています

| | | 最小値 | 公称値 | 最大値 | 単位 |
|---|---|---|---|---|---|
| VM から PGND(1) | | | | 80 | V |
| GVDD から AGND | | 4.5 | 5 | 5.5 | V |
| GVDD ～ AGND、20ns の過渡応答、1MHz 未満の周波数 | | | | 5.8 | V |
| PWM/LI、ENIN/HI、EN/$\overline{FLT}$ Low レベル入力 | | 0 | | 1.2 | V |
| PWM/LI、ENIN/HI、EN/$\overline{FLT}$ High レベル入力 | PWM/LI、ENIN/HI、EN/$\overline{FLT}$ High レベル入力 | 2.1 | | GVDD | V |
| BOOT から HS | BOOT から HS | $V_{HS}$+ 4.5 | | $V_{HS}$+ 5.5 | V |
| $f_{MAX}$ | | | | 500 | kHz |
| $t_{PW}$ | サポートされる最小入力パルス幅 | 10 | | | ns |
| デッドタイム制御抵抗 | RDLH、RDLH | 0 | | 100 | kΩ |
| スルーレート制御抵抗 | RDHR、RDHF、RDLR、RDLF | 4 | | 32 | kΩ |
| OUT ピンからの IOUT (連続)、$T_J$ = 125℃ | | | | 60 (2) | A |
| HS、OUT スルーレート(3) | HS、OUT スルーレート(3) | | | 50 | V/ns |
| 接合部温度、$T_J$ | 接合部温度、$T_J$ | | | 150 | ℃ |

(1) ソフト スイッチング動作時の推奨入力電圧は 80V です。ハード スイッチング動作時の推奨入力電圧は 60V です。
(2) 最終アプリケーションでの出力電流は、熱設計に依存します。
(3) 設計および特性評価を通じて決定されます。量産時にはテストを行っていません。

ADVANCE INFORMATION


Copyright © 2026 Texas Instruments Incorporated

## 5.4 熱に関する情報_DRV7167A

| 熱評価基準(1) | | DRV7167 QFN 18 ピン | 単位 |
|---|---|---|---|
| $R_{\theta JA}$ | 接合部から周囲への熱抵抗 (1) | 26.2 | ℃/W |
| $R_{\theta JC(top)}$ | 接合部からケース (上面) への熱抵抗 | 0.3 | ℃/W |
| $R_{\theta JC(Bot)}$ | 接合部からケース (底面) への熱抵抗、ローサイド FET から PGND | 3.5 | ℃/W |
| | 接合部からケース (底面) への熱抵抗、ハイサイド FET から VM | 6.5 | ℃/W |
| $R_{\theta JB}$ | 接合部から基板への熱抵抗 | 3.6 | ℃/W |
| $\Psi_{JT}$ | 接合部から上面への特性パラメータ | 1.5 | ℃/W |
| $\Psi_{JB}$ | 接合部から基板への特性パラメータ | 3.5 | ℃/W |

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション ノートを参照してください。SPRA953

## 5.5 電気的特性

GVDD = 5V、$C_{GVDD}$ = 1µF + 220nF、$C_{BOOT-HS}$ = 200nF、EN/$\overline{FLT}$ は 4.7KΩ 抵抗で GVDD にプルアップされます。電圧は AGND を基準としており、代表的な仕様は 25℃(1)、–40℃ ≤ $T_J$ ≤ 125℃、(特に記述のない限り)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| **POWER STAGE_DRV7167A** | | | | | | |
| $R_{DS(ON)HS}$ | ハイサイド GaN FET オン抵抗 | LI = 0V、HI = GVDD = 5V、BOOT-HS = 5V、$I_{(VM-OUT)}$ = 16A、$T_J$ = 25℃ | | 2.2 | 3.1 | mΩ |
| $R_{DS(ON)LS}$ | ローサイド GaN FET オン抵抗 | LI = GVDD = 5V、HI = 0V、BOOT-HS = 5V、$I_{(OUT-PGND)}$ = 16A、$T_J$ = 25℃ | | 2.1 | 3 | mΩ |
| $V_{SD}$ | GaN のソースドレイン間における第 3 クアドラント導通時の電圧降下 | $I_{SD}$ = 500 mA、$V_M$ フローティング、$V_{GVDD}$ = 5V、HI = LI = 0V | | 1.2 | | V |
| $I_{L-VM-OUT}$ | ハイサイド GaN FET とローサイド GaN FET の両方がオフの状態における、VM から OUT へのリーク電流 | VM = 80V、OUT=0V、HI = LI = 0V、$V_{GVDD}$ = 5V、$T_J$= 25℃ | | 8 | 300 | µA |
| $I_{L-OUT-GND}$ | ハイサイド GaN FET とローサイド GaN FET の両方がオフの状態における、OUT から GND へのリーク電流 | OUT = 80V、HI = LI = 0V、$V_{GVDD}$ = 5V、$T_J$= 25℃ | | 37 | 300 | µA |
| $C_{ISS}$ | ハイサイドまたはローサイド GaN FET の入力容量 | $V_{DS}$ = 50V、$V_{GS}$ = 0V、$T_J$ = 25℃ | | 1800 | | pF |
| $C_{OSS}$ | ハイサイドまたはローサイド GaN FET の出力容量 | | | 400 | | pF |
| $C_{OSS(ER)}$ | ハイサイドまたはローサイド GaN FET のエネルギー関連の出力容量 | | | 496 | | pF |
| $C_{OSS(TR)}$ | ハイサイド GaN FET またはローサイド GaN FET の時間関連の出力容量 | | | 618 | | pF |
| $C_{RSS}$ | ハイサイドまたはローサイド GaN FET の帰還容量 | | | 26 | | pF |
| $Q_G$ | ハイサイドまたはローサイド GaN FET の合計ゲート電荷 | $V_{DS}$ = 50V、$I_D$ = 16A、$V_{GS}$ = 5V、$T_J$ = 25℃ | | 18 | | nC |
| $Q_{OSS}$ | ハイサイドまたはローサイド GaN FET の出力電荷 | $V_{DS}$ = 50V、$V_{GS}$ = 0V、$T_J$ = 25℃ | | 30 | | nC |
| $Q_{RR}$ | ハイサイドまたはローサイド GaN FET のソースドレイン間逆回復電荷 | | | 0 | | nC |
| $E_{ON_LS}$ | ローサイド GaN FET のターン オン スイッチング エネルギー | LI = 0 ～ 5V、$V_{SW}$ = 48V ～ 0V、RDLR = 2k、$I_D$ = 20A | | 2.8 | | µJ |
| $E_{OFF_LS}$ | ローサイド GaN FET のターン オフ スイッチング エネルギー | LI = 5 ～ 0V、$V_{SW}$ = 0V ～ 48V、RDLF = 2k、$I_D$ = 20A | | 0.78 | | µJ |
| $E_{ON_HS}$ | ハイサイド GaN FET のターン オン スイッチング エネルギー | HI = 0 ～ 5V、$V_{SW}$ = 0V ～ 48V、RDHR = 2k、$I_D$ = 20A | | 2.8 | | µJ |

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

GVDD = 5V、$C_{GVDD}$ = 1µF + 220nF、$C_{BOOT-HS}$ = 200nF、EN/$\overline{FLT}$ は 4.7KΩ 抵抗で GVDD にプルアップされます。電圧は AGND を基準としており、代表的な仕様は 25℃[1]、–40℃ ≤ $T_J$ ≤ 125℃、(特に記述のない限り)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $E_{OFF_HS}$ | ハイサイド GaN FET のターン オフ スイッチング エネルギー | HI = 5 ～ 0V、$V_{SW}$ = 48V ～ 0V、RDHF = 2k、$I_D$ = 20A | | 0.78 | | µJ |
| $t_{HIPLH}$ [2] [3] | 伝搬遅延:HI 立ち上がり | LI = 0V、GVDD = 5V、BOOT-HS = 5V、VM = 48V | | 20 | 36 | ns |
| $t_{HIPHL}$ [2] [3] | 伝搬遅延:HI 立ち下がり | LI = 0V、GVDD = 5V、BOOT-HS = 5V、VM = 48V | | 20 | 35 | ns |
| $t_{LIPLH}$ [2] [3] | 伝搬遅延:LI 立ち上がり | HI = 0V、GVDD = 5V、BOOT-HS = 5V、VM = 48V | | 20 | 32 | ns |
| $t_{LIPHL}$ [2] [3] | 伝搬遅延:LI 立ち下がり | HI = 0V、GVDD = 5V、BOOT-HS = 5V、VM = 48V | | 20 | 32 | ns |
| $t_{MON}$ [2] [3] | 遅延マッチング:LI ハイと HI ロー | | | 1 | 5 | ns |
| $t_{MOFF}$ [2] [3] | 遅延マッチング:LI ローと HI ハイ | | | 1 | 5 | ns |
| $t_{MHIR(P-P)}$ [2] [3] | 部品間の遅延マッチング:HI 立ち上がり | LI = 0V、GVDD = 5V、BOOT-HS = 5V、VM = 48V | | 7 | 14 | ns |
| $t_{MHIF(P-P)}$ [2] [3] | 部品間の遅延マッチング:HI 立ち下がり | LI = 0V、GVDD = 5V、BOOT-HS = 5V、VM = 48V | | 7 | 14 | ns |
| $t_{MLIR(P-P)}$ [2] [3] | 部品間の遅延マッチング:LI 立ち上がり | HI = 0V、GVDD = 5V、BOOT-HS = 5V、VM = 48V | | 9 | 14 | ns |
| $t_{MLIF(P-P)}$ [2] [3] | 部品間の遅延マッチング:LI 立ち下がり | HI = 0V、GVDD = 5V、BOOT-HS = 5V、VM = 48V | | 9 | 14 | ns |
| $t_{PW}$ | 出力を変化させる最小入力パルス幅 | | | 8 | | ns |
| **入力ピン (ENIN/HI、PWM/LI、EN)** | | | | | | |
| $V_{IH}$ | ハイ レベル入力電圧スレッショルド | 立ち上がりエッジ | | | 2.1 | V |
| $V_{IL}$ | ロー レベル入力電圧スレッショルド | 立ち下がりエッジ | 1.2 | | | V |
| $V_{HYS}$ | 立ち上がりスレッショルドと立ち下がりスレッショルド間のヒステリシス | | | 300 | | mV |
| $R_I$ | 入力プルダウン抵抗 | | 200 | 300 | 500 | kΩ |
| **出力ピン (ZVDx)** | | | | | | |
| $V_{OL}$ | Low レベル出力電圧 | $I_{OL}$ = 3mA | | | 0.25 | V |
| $V_{OH}$ | High レベル出力電圧 | $I_{OL}$ = -1.5m ～ 0mA | 2.6 | | 3.5 | V |
| **低電圧 / 過電圧保護** | | | | | | |
| $V_{GVDDR}$ | $V_{GVDD}$ UVLO 立ち上がりエッジ スレッショルド | 立ち上がり | 3.3 | 3.7 | 4.0 | V |
| $V_{GVDDF}$ | $V_{GVDD}$ UVLO 立ち下がりエッジ スレッショルド | | 3.1 | 3.5 | 3.8 | V |
| $V_{GVDD(hyst)}$ | $V_{GVDD}$ UVLO スレッショルドのヒステリシス | | | 200 | | mV |
| $V_{GVDD(Deglitch)}$ | $V_{GVDD}$ UVLO グリッチ耐性 | | | 1 | | µs |
| $V_{BOOTR}$ | BOOT UVLO 立ち上がりエッジ スレッショルド | 立ち上がり | 3.3 | 3.7 | 4.0 | V |
| $V_{BOOTF}$ | BOOT UVLO 立ち下がりエッジ スレッショルド | | 3.1 | 3.5 | 3.8 | V |
| $V_{BOOT(hyst)}$ | BOOT UVLO スレッショルドのヒステリシス | | | 200 | | mV |
| $V_{BOOT(Deglitch)}$ | BOOT UVLO グリッチ耐性 | | | 1 | | µs |
| $t_{start-up}$ | VGVDD > $V_{GVDDR}$ からデバイスが PWM 入力準備完了になるまでの時間 | | | | 180 | µs |
| **同期ブートストラップ** | | | | | | |
| $V_{DH}$ | 順方向電圧降下 | $I_{VDD-BOOT}$ = 5mA | | 25 | | mV |
| | | $I_{VDD-BOOT}$ = 50mA | | 250 | | mV |
| $t_{SS}$ | ブート パワーアップ時間 (LI = High の場合) | $C_{BOOT}$ = 220nF | | 2.2 | | µs |
| $t_{SS}$ | ブート パワーアップ時間 (LI = High の場合) | $C_{BOOT}$ = 1µF | | 12 | | µs |

ADVANCE INFORMATION


Copyright © 2026 Texas Instruments Incorporated

GVDD = 5V、$C_{GVDD}$ = 1µF + 220nF、$C_{BOOT-HS}$ = 200nF、EN/$\overline{FLT}$ は 4.7KΩ 抵抗で GVDD にプルアップされます。電圧は AGND を基準としており、代表的な仕様は 25℃[(1)]、–40℃ ≤ $T_J$ ≤ 125℃、(特に記述のない限り)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $Q_{RR}$ | ブートストラップの逆回復電荷 | VM = 50V | | 0 | | nC |
| $V_{BOOTth_U}$ | ブート キャパシタ充電が停止したときの立ち上がりスレッショルド。 | VM = 5V、LI = 5V | 4.8 | 5 | 5.2 | V |
| $V_{BOOTth_L}$ | ブート キャパシタ充電が再開したときの立ち下がりスレッショルド | VM = 5V、LI = 5V | 4.6 | 4.8 | 5 | V |
| **供給電流** | | | | | | |
| $I_{GVDD}$ | GVDD 静止時電流 | LI = HI = 0V、GVDD = 5V、EN = 0 | | 0.4 | | mA |
| $I_{GVDD}$ | GVDD 静止時電流 | LI = HI = 0V、GVDD = 5V | | 1 | 1.5 | mA |
| $I_{GVDD}$ | GVDD 静止時電流 | LI = GVDD=5V、HI = 0V | | 1.8 | 4.5 | mA |
| $I_{GVDDO}$ | GVDD の総動作電流 | f = 500kHz、50% デューティ サイクル、$V_M$ = 48V、 | | 18 | 24 | mA |
| $I_{BOOT}$ | BOOT 静止時電流 | LI = HI = 0V、GVDD = 5V、BOOT-HS = 5V | | 0.5 | 1 | mA |
| $I_{BOOT}$ | BOOT 静止時電流 | LI = 0V、HI = GVDD=5V、BOOT-HS=5V、VM = 48V | | 1.8 | 4.5 | mA |
| $I_{BOOTO}$ | BOOT 動作電流 | f = 500kHz、50% デューティ サイクル、GVDD = 5V、BOOT-HS = 5V、$V_M$ = 48V | | 12 | 15 | mA |
| **スルーレート制御 (実効ゲート抵抗)** | | | | | | |
| Rgfh | RDHF = 0Ω | ドライバ FET 両端の電圧 = 1.2V | | 0.3 | | Ω |
| | RDHF = 4kΩ | | | 1.3 | | |
| | RDHF = 8kΩ | | | 2.6 | | |
| | RDHF = 16kΩ | | | 5.3 | | |
| Rgfl | RDLF = 0Ω | ドライバ FET 両端の電圧 = 1.2V | | 0.3 | | Ω |
| | RDLF = 4kΩ | | | 1.3 | | |
| | RDLF = 8kΩ | | | 2.6 | | |
| | RDLF = 16kΩ | | | 5.3 | | |
| Rgrh | RDHR = 0Ω | ドライバ FET 両端の電圧 = 1.2V | | 0.8 | | Ω |
| | RDHR = 4kΩ | | | 3.6 | | |
| | RDHR = 8kΩ | | | 7 | | |
| | RDHR = 16kΩ | | | 14 | | |
| Rgrl | RDLR = 0Ω | ドライバ FET 両端の電圧 = 1.2V | | 0.8 | | Ω |
| | RDLR = 4kΩ | | | 3.6 | | |
| | RDLR = 8kΩ | | | 7 | | |
| | RDLR = 16kΩ | | | 14 | | |
| **デッドタイム制御** | | | | | | |
| $t_{DEAD_MIN}$ | 最小デッド タイム | DLH、DHL = 0Ω、最小スルーレート設定。 | 5 | 7.5 | 10 | ns |
| $t_{DEAD_MAX}$ | 最大デッドタイム | DLH、DHL = 100kΩ、最大スルーレート設定。 | 32 | 40 | 48 | ns |
| **OCP** | | | | | | |
| $V_{DSAT}$ | 飽和保護電圧スレッショルド | | | 0.75 | | V |
| $t_{BLANK}$ | $V_{DSAT}$ 検出のブランキング時間 | | 38 | 60 | 88 | ns |
| $t_{SATFLT}$ | ブランキング時間後の $V_{DS}$ 過電圧検出時に FLT を通知する時間 | | | 30 | | ns |
| **ZVD 出力 (アクティブ Low)** | | | | | | |
| $V_{THRESH_ZVD}$ | ZVD 検出器スレッショルド | | 0.32 | | 0.85 | V |
| $t_{3RD_ZVD}$ | ZVD 検出器 (ローサイド) によって検出可能な最小第 3 クアドラント時間 | 立ち上がり / 立ち下がり時間が 100ps の、0 ～−1.5V～0 のパルスの場合 | 6 | 10 | 14 | ns |
| $t_{3RD_ZVD}$ | ZVD 検出器 (ハイサイド) によって検出可能な最小第 3 クアドラント時間 | 立ち上がり / 立ち下がり時間が 100ps の、0 ～−1.5V～0 のパルスの場合 | 6 | 10 | 14 | ns |

ADVANCE INFORMATION

GVDD = 5V、$C_{GVDD}$ = 1µF + 220nF、$C_{BOOT-HS}$ = 200nF、EN/$\overline{FLT}$ は 4.7KΩ 抵抗で GVDD にプルアップされます。電圧は AGND を基準としており、代表的な仕様は 25℃(1)、–40℃ ≤ $T_J$ ≤ 125℃、(特に記述のない限り)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $t_{DLY_ZVD_L}$ | $V_{THRESH_ZVD}$ クロスと ZVD 出力が Low になる間の遅延 | 立ち上がり / 立ち下がり時間が 100ps の、0～−1.5V～0 のパルスの場合 | | 15 | 30 | ns |
| $t_{DLY_ZVD_H}$ | $V_{THRESH_ZVD}$ クロスと ZVD 出力が Low になる間の遅延 | 立ち上がり / 立ち下がり時間が 100ps の、0～−1.5V～0 のパルスの場合 | | 20 | 30 | ns |
| $t_{WD_ZVD}$ | ZVD パルス幅 | 立ち上がり / 立ち下がり時間が 100ps の、0～−1.5V～0 のパルスの場合 | 40 | 65 | 110 | ns |
| **OTD** | | | | | | |
| OTD+ | 過温検出の上限スレッショルド | | | 170 | | ℃ |
| OTD- | 過温検出の上限スレッショルド | | | 154 | | ℃ |
| $OTD_{HYS}$ | 過温検出の上限スレッショルド | | | 16 | | ℃ |
| **フォルト** | | | | | | |
| $I_{FLT}$ | フォルト ピンのプルダウン電流 | $V_{FLT}$ = 0.4 V | 3 | | | mA |
| $t_{FLTDLY_1}$ | OCP および OTD の故障が発生した後で FLT を示す時間 | | | 20 | | ns |
| $t_{FLTDLY_2}$ | GVDD UVLO の故障が発生した後で FLT を示す時間 | | | 1 | | µs |
| $t_{FLT}$ | 最小フォルト表示時間 | | 6 | 14 | 24 | µs |
| $t_{ENBLK}$ | FLT リリース後、EN = 0 が有効になるまでの時間 | | | 1 | | µs |

(1) 標準値のみを示すパラメータは設計によって決定され、本番環境ではテストされていない場合があります。
(2) 「伝搬遅延とミスマッチ測定」セクションを参照してください。
(3) 最速のスルーレートの測定値。

ADVANCE INFORMATION


Copyright © 2026 Texas Instruments Incorporated

## 6 代表的特性

$T_A$ = 25°C、GVDD = 5V、$C_{GVDD}$ = 1µF、$C_{BOOT-HS}$ = 220nF (特に記述のない限り)

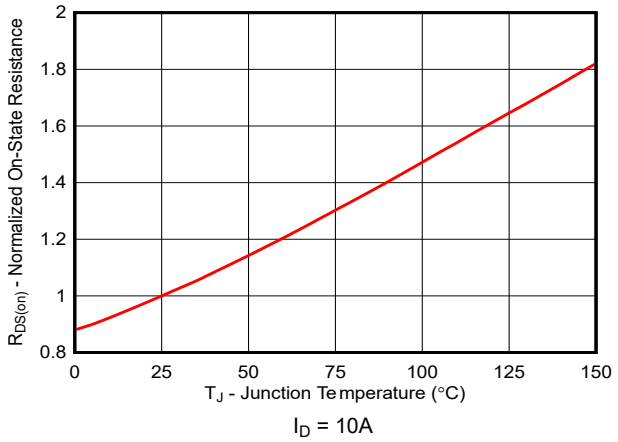



図 6-1. DRV7167 の通常のオン状態抵抗と温度との関係

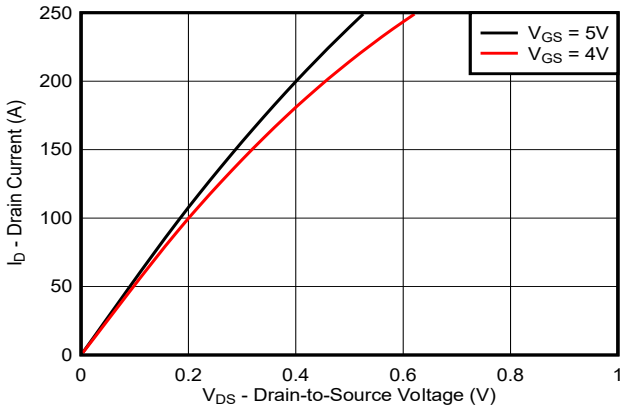



図 6-2. DRV7167 の代表的特性

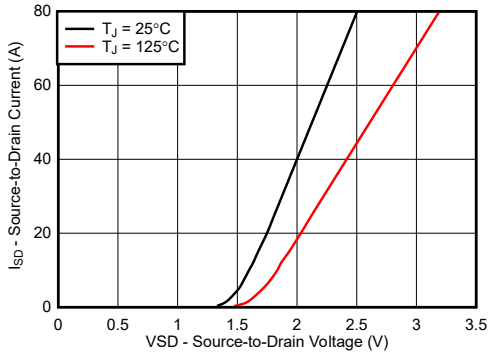



図 6-3. DRV7167 の逆ドレイン ソース間特性

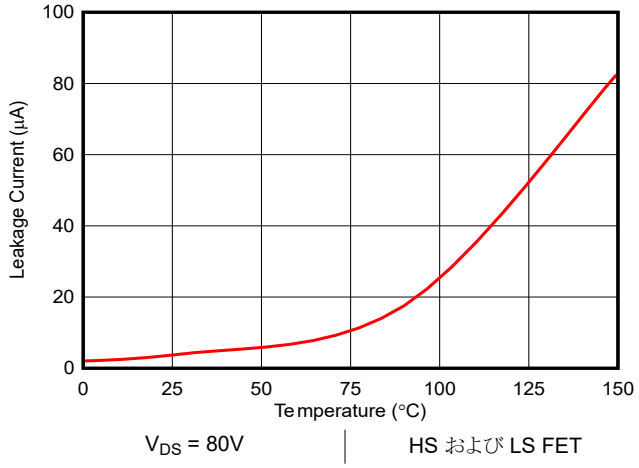



図 6-4. DRV7167：ドレイン リーク電流

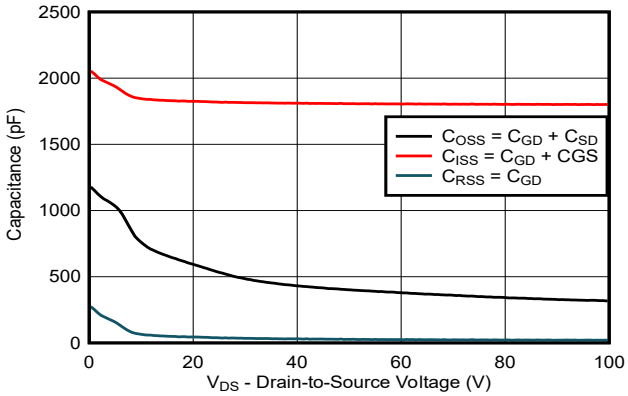



図 6-5. DRV7167：代表的な容量

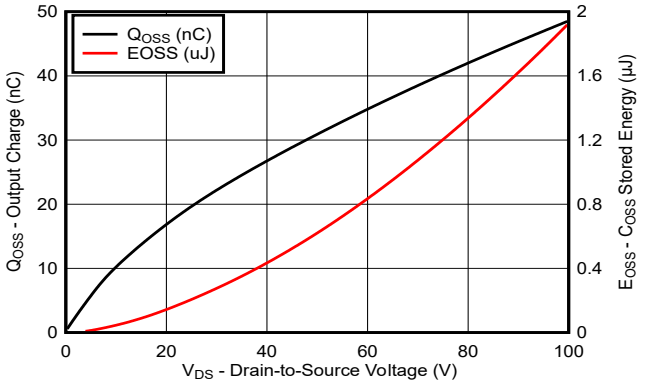



図 6-6. DRV7167 の代表的な出力電荷量および蓄積エネルギー

ADVANCE INFORMATION

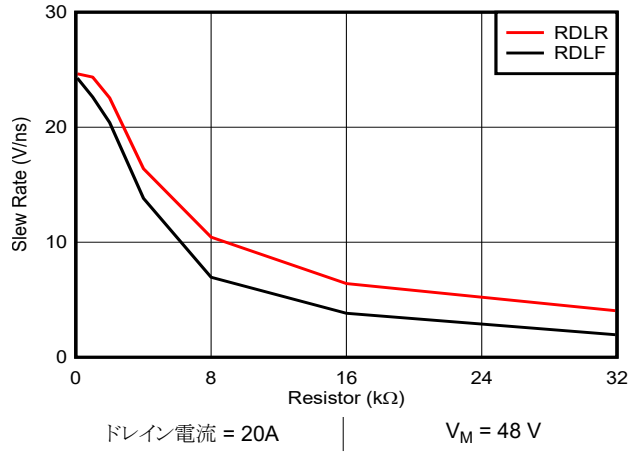



図 6-7. DRV7167：スルーレート制御 - OUT ピンに流入する電流

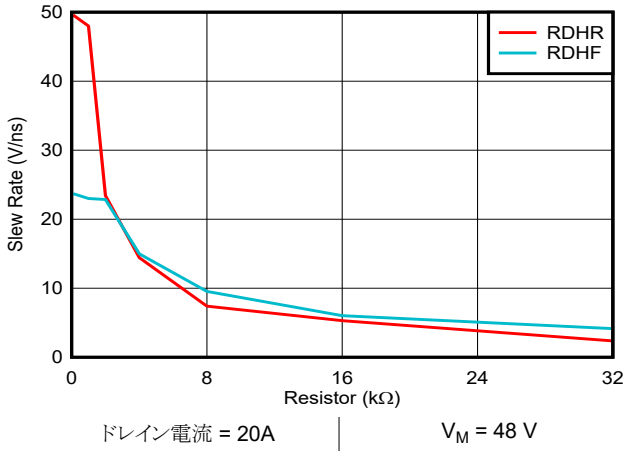



図 6-8. DRV7167：スルーレート制御 - OUT ピンから流出する電流

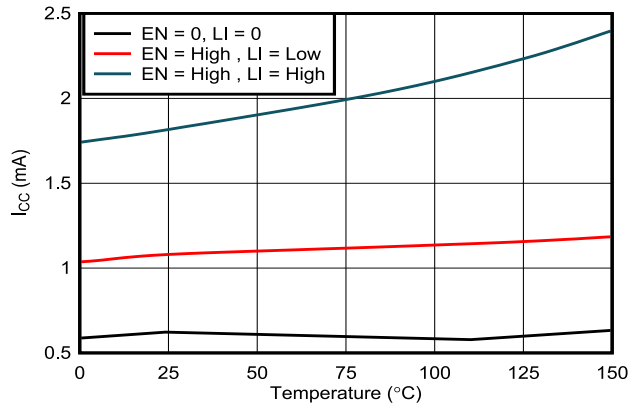



図 6-9. GVDD-AGND 電流

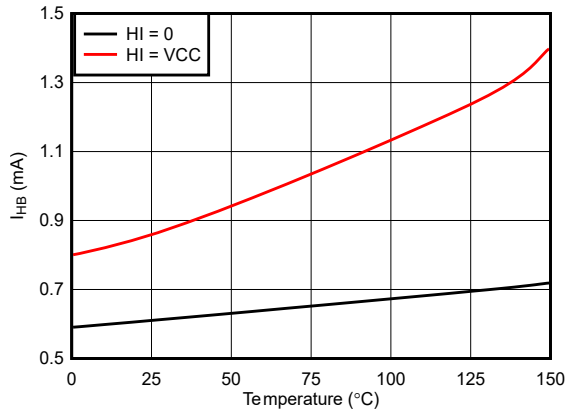



図 6-10. BOOT-HS 電流

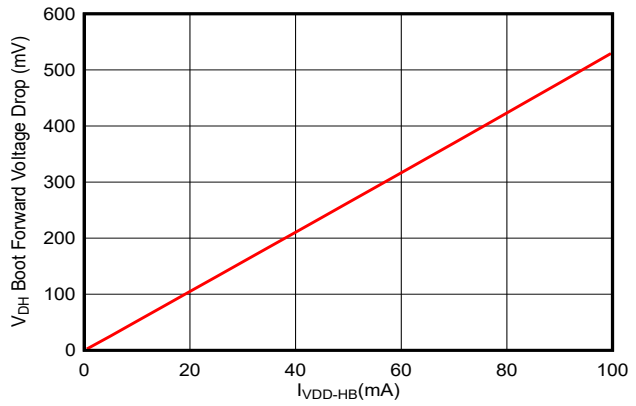



図 6-11. ブートストラップの順方向電圧と電流との関係

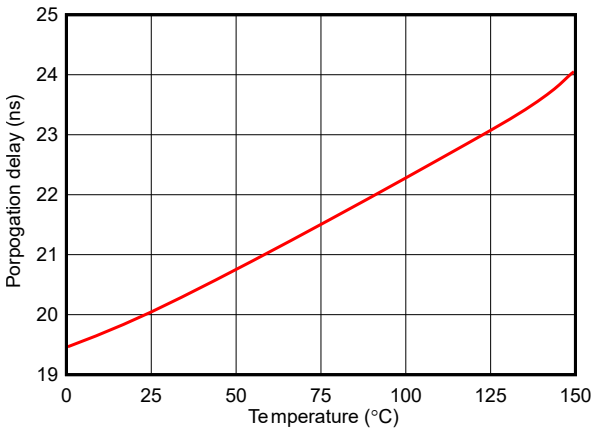



図 6-12. HI/LI 伝搬遅延


Copyright © 2026 Texas Instruments Incorporated

# 7 パラメータ測定情報

## 7.1 伝搬遅延とミスマッチ測定

図 7-1 および図 7-2 は、ドライバ入力から OUT ノード出力までの伝搬遅延と遅延の不一致を測定するために使用されます。HI 信号の伝搬遅延 $t_{HIPLH}$ と $t_{HIPHL}$ は、図 7-3 に示すように、RDHR および RDHF 抵抗を 0Ω とし、「OUT ピンから流出する電流」モードで測定されます。LI 信号の伝搬遅延 $t_{LIPLH}$ と $t_{LIPHL}$ は、図 7-4 に示すように、RDLR および RDLF 抵抗を 0Ω とし、「OUT ピンに流入する電流」モードで測定されます。伝搬遅延不一致のパラメータは次のように定義されます

$$t_{MON} = |t_{HIPLH} - t_{LIPHL}| \quad (1)$$

$$t_{MOFF} = |t_{LIPLH} - t_{HIPHL}| \quad (2)$$

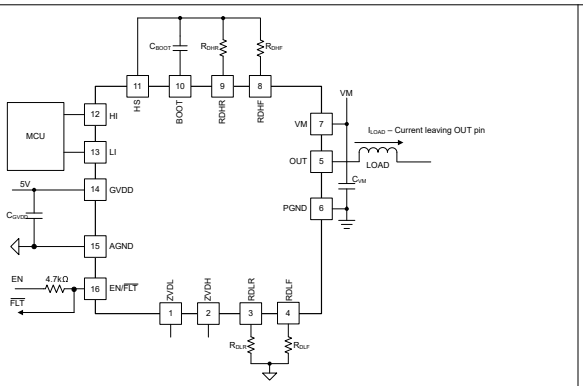



図 7-1. 伝搬遅延 - OUT ピンから流出する電流

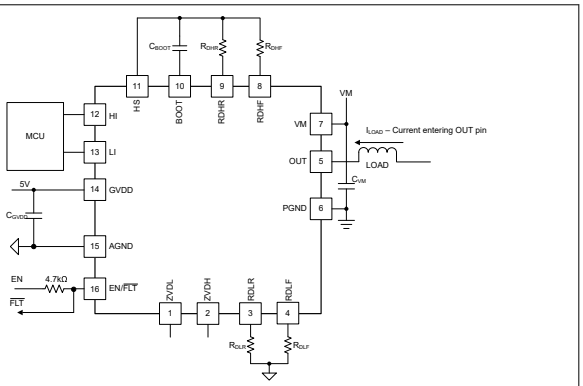



図 7-2. 伝搬遅延 - OUT ピンに流入する電流

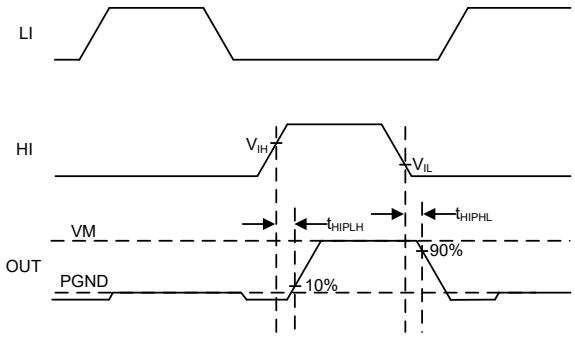



図 7-3. $t_{PHILH}$ と $t_{PHIHL}$ の測定

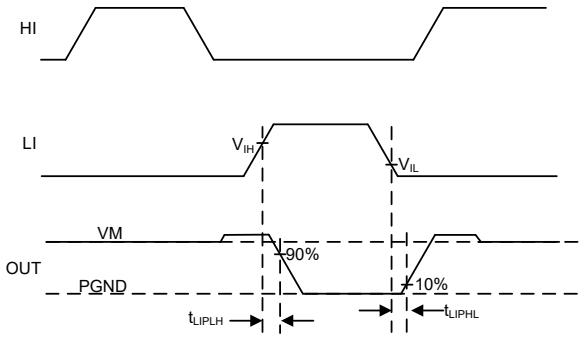



図 7-4. $t_{PLILH}$ と $t_{PLIHL}$ の測定

## 7.2 スルーレート測定

図 7-1 は、図 7-5 に示すように、選択された RDHR および RDHF 抵抗の HI パルスに対応する OUT ノードの立ち上がりおよび立ち下がりスルーレートを測定するものです。スルーレートは、式 3 に基づき、OUT ノードの立ち上がりまたは立ち下がり時間の 20% から 80% の範囲で算出されます。

$$Slew_{RDXX}=(0.6 \times VM) / t_{RDXX} \quad (3)$$

ADVANCE INFORMATION

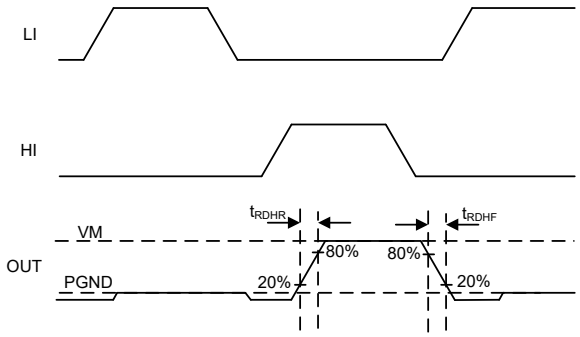



図 7-5. RDHR および RDHF のスルーレート測定

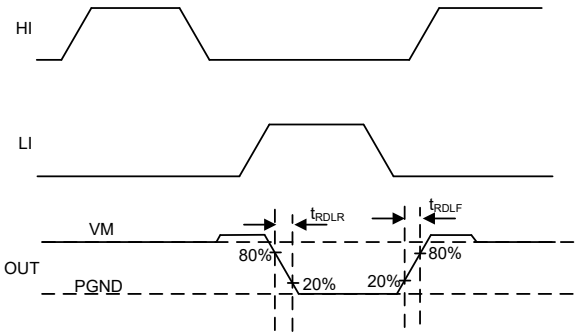



図 7-6. RDLR および RDLF のスルーレート測定

ADVANCE INFORMATION


Copyright © 2026 Texas Instruments Incorporated

# 8 詳細説明

## 8.1 概要

DRV7167A は、ハイサイドおよびローサイドのゲートドライバと、ハーフブリッジ構成の 2 つの GaN FET を内蔵した、高集積ハーフブリッジ GaN 電力段です。このデバイスは、絶縁型および非絶縁型電源アーキテクチャでの使用をサポートしており、ドライバと電力段の統合により設計を簡素化できます。最適化されたパッケージ レイアウトにより、寄生インダクタンスを最小化し、PCB 設計を簡素化します。このドライバは、プログラム可能なターンオン / ターンオフ制御をサポートしており、EMI 性能を最適化できます。システム性能、効率、保護機能を向上させる機能を複数搭載しているため、このデバイスは電力密度の高い BLDC アプリケーションに最適です。

## 8.2 機能ブロック図

図 8-1 に、ハイサイドとローサイドの GaN FET を統合した DRV7167A デバイスの機能ブロック図を示します。

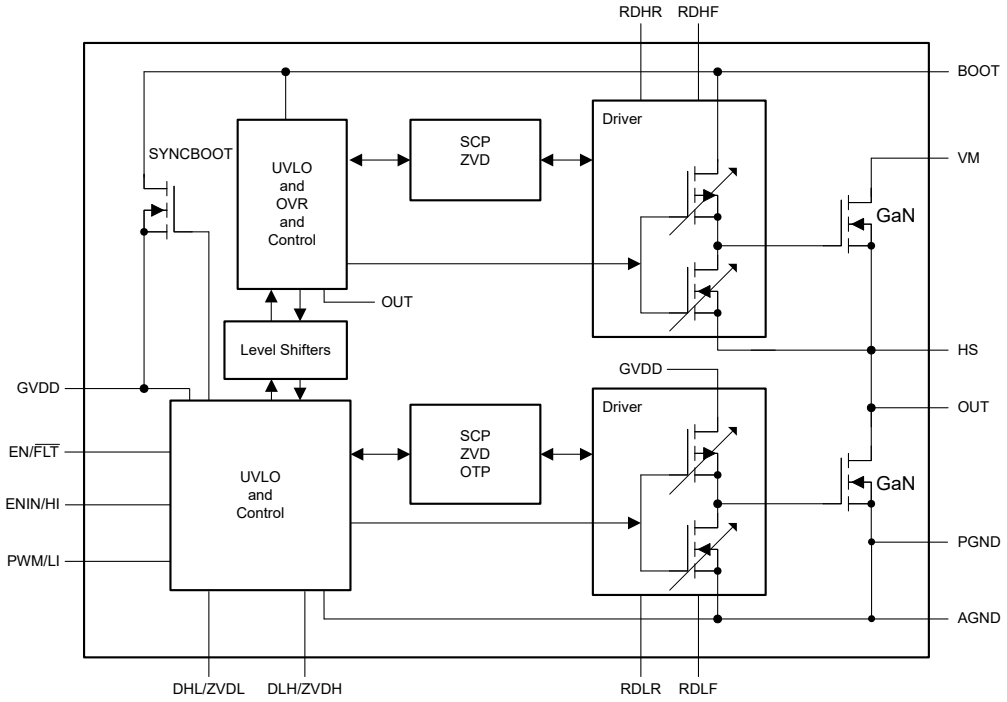



**図 8-1. 機能ブロック図**

ADVANCE INFORMATION

ADVANCE INFORMATION

## 8.3 機能説明

DRV7167A デバイスは、必要な沿面距離と空間距離を維持しながら、アンダーフィルを不要にすることで、高電力密度 PCB の設計を簡素化します。このデバイスは、ハイサイド ゲートドライバとローサイド ゲートドライバの間の伝搬遅延を厳密にマッチングさせており、GaN FET ベースのアプリケーションで高効率を実現するのに不可欠な要因である、高精度のデッドタイム制御を実現します。HI 入力と LI 入力はどちらも独立して制御可能で、第 3 象限伝導時間を最小化できます。立ち上がりエッジと立ち下がりエッジの両方について、HI チャネルと LI チャネル間の伝搬遅延の不一致は標準 2ns であるため、非常に厳密なデッドタイム最適化が可能です。また、このデバイスは単一の PWM 入力モードもサポートしており、デッドタイム調整を抵抗でプログラム可能で、I/O 機能が限られているコントローラで使用できます。GaN FET ハーフブリッジをドライバと共同パッケージ化することで、DRV7167A は最適化されたゲート ループ インダクタンスを実現し、ハード スイッチング トポロジでの性能を大幅に向上します。

過電圧レギュレーションを備えた内蔵ブートストラップ回路により、ハイサイド ゲート ソース間電圧 ($V_{GS}$) が GaN FET の安全な動作制限内に維持されるため、外部の保護部品は不要です。内蔵ドライバは、GVDD および BOOT-HS の両レールにおいて、低電圧誤動作防止 (UVLO) 機能を備えています。どちらかのレール電圧が UVLO スレッショルドを下回ると、デバイスは HI および LI コマンドを無視して、FET の部分的ターンオンを防止します。GVDD が 2.5V を超え、かつ UVLO スレッショルドを下回った場合、ドライバは両方のゲートドライバ出力をアクティブに Low にプルします。UVLO スレッショルドのヒステリシスにより、電源ノイズまたは過渡によるチャタリングや誤トリガが防止されます

DRV7167A には、両方の FET に対する $V_{DS}$ ベースの短絡保護回路と過熱通知機能が内蔵されています。その他の機能には、デッドタイム最適化が可能で、第 3 象限導通損失を最小化するゼロ電圧検出 (ZVD) があります。

### *8.3.1 制御入力*

DRV7167A は、IIM モードとシングル PWM モードをサポートしています。独立入力モード (IIM) では、DRV7167A の入力ピンは TTL 入力スレッショルドで独立して制御され、3.3V および 5V のロジック レベルに対応しています。表 8-1 に、シングル PWM モードと IIM モードの構成を示します。

**表 8-1. 制御入力構成**

| モード | 構成 |
|---|---|
| IIM モード | • RDLF ピン (ピン 4) の抵抗を AGND ピン (ピン 15) に接続します。<br>• ENIN/HI (ピン 12) はハイサイド ゲートドライブの制御入力、PWM/LI (ピン 13) はローサイド ゲートドライブの制御入力です。 |
| シングル PWM モード | • シングル PWM モードを有効にするには、RDLF ピン (ピン 4) をフローティング状態にするか 。フローティング検出を確実に行うため、RDLF ピンの寄生容量が 10pF 未満であることを確認してください。<br>• ENIN/HI (ピン 12) を High に維持して、ハイサイドとローサイド両方の FET のゲートドライブを有効にします。<br>• PWM/LI (ピン 13) は、PWM の制御入力です。ローサイド FET は、PWM が High のときにオンになり、PWM が Low のときにハイサイド FET がオンになります。 |


Copyright © 2026 Texas Instruments Incorporated

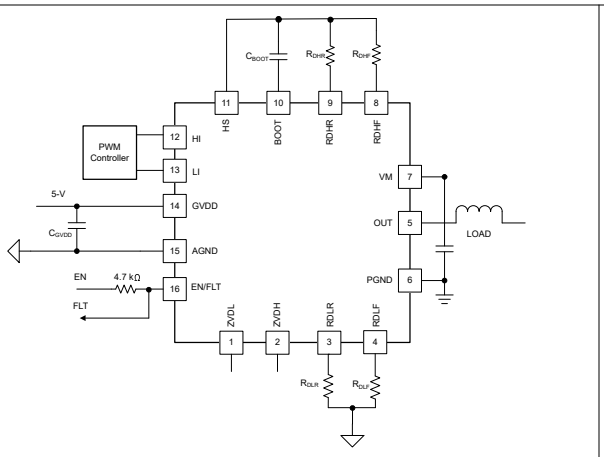



**図 8-2. IIM モード**

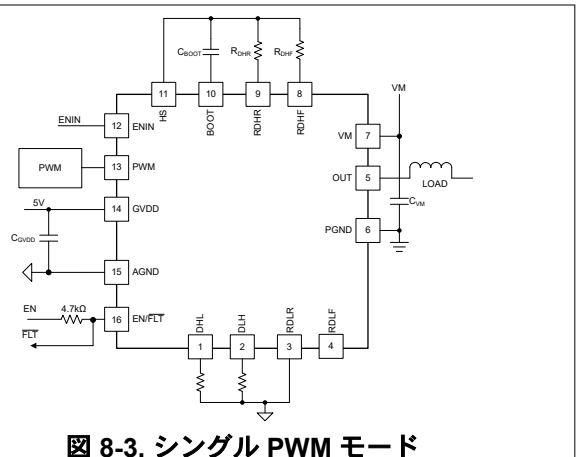



**図 8-3. シングル PWM モード**

DRV7167A は、HI と LI の両方が High にアサートされた場合に貫通電流状態を防止するため、オーバーラップ保護機能 (インターロック) を実装しています。HI と LI の両方がアサートされると、ハイサイドとローサイドの両方の GaN FET がオンになります。

シングル PWM モードで使用する場合、DRV7167A は単一の PWM 入力で動作します。その際、セクション 8.3.2 で規定されている通り、Low から High への遷移時のデッドタイムは DLH ピンに接続された外付け抵抗によって、High から Low への遷移時のデッドタイムは DHL ピンに接続された外付け抵抗によって設定されます。

#### 8.3.1.1 EN/$\overline{\text{FLT}}$ 制御

EN/$\overline{\text{FLT}}$ は、多重化されたデバイス イネーブルおよびフォルト インジケータ ピンです。デバイスの機能をイネーブルの状態に保つため、EN/$\overline{\text{FLT}}$ ピンを High に維持します。フォルト条件が発生すると、セクション 8.3.8 に示すように、デバイスは $t_{FLT}$ の間、EN/$\overline{\text{FLT}}$ ピンをオープン ドレイン構成で Low にします。この期間中に EN/$\overline{\text{FLT}}$ ピンに流れ込む電流を制限するには、イネーブル抵抗が必要です。図 8-4 で説明されているように、イネーブル機能はマスクされ、フォルト条件中、デバイスはイネーブルのままになります。EN/$\overline{\text{FLT}}$ ピンでのノイズ結合を避けるため、デカップリング コンデンサはデバイスの近くに配置します。フォルトが解除された後、イネーブル信号が $t_{ENBLK}$ 時間マスクされます。フォルトが解除された後の立ち上がりを高速化できるよう、EN/$\overline{\text{FLT}}$ ピンの寄生容量が小さいことを確認します。EN/$\overline{\text{FLT}}$ を外部から Low にすると、ドライバはディスエーブルになります。

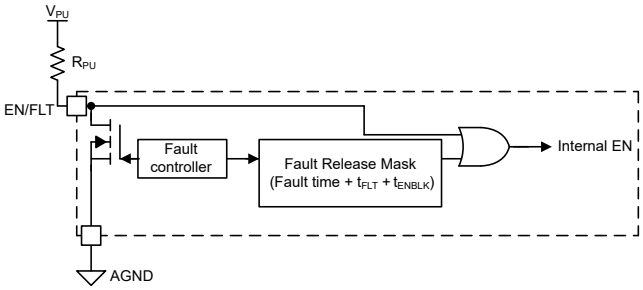



**図 8-4. EN/$\overline{\text{FLT}}$ ピンのブロック図**

### *8.3.2 シングル PWM モードでのデッド タイム設定*

DRV7167A は、IO 制限付きコントローラ向けのシングル PWM モードをサポートしています。RDLF ピンをフロート状態にすることで、シングル PWM モードが有効になります。ドライバをイネーブルにするには、ENIN/HI ピンを High に維持します。DHL および DLH の抵抗 (0Ω から 100kΩ) は、式 4 と式 5 に示すように、スイッチ ノードでの High から Low への遷移、および Low から High への遷移のデッド タイムを設定します。図 8-5 は、ハイサイド (HS) とローサイド (LS) の GaN FET への PWM 入力が単一の PWM 入力からどのように派生するかを説明したものです。DRV7167A は、PWM

ADVANCE INFORMATION

入力の 180° 位相シフト信号である相補 PWM を生成します。このデバイスは、PWM 入力の立ち上がりエッジを $t_{DHL}$ 時間遅延させてデッド タイムを設けることで LS FET 用 PWM 入力を生成し、相補 PWM 入力の立ち上がりエッジを $t_{DLH}$ 時間遅延させてデッド タイムを設けることで HS FET 用 PWM 入力を生成します。TI では、貫通電流を防止するため、選択したスルーレート設定に対して十分なデッド タイムを選択することを推奨しています。

$$t_{DHL}(ns) = 1/3 \times R_{DHL}(k\Omega) + 7.5 \quad (4)$$

$$t_{DLH}(ns) = 1/3 \times R_{DLH}(k\Omega) + 7.5 \quad (5)$$

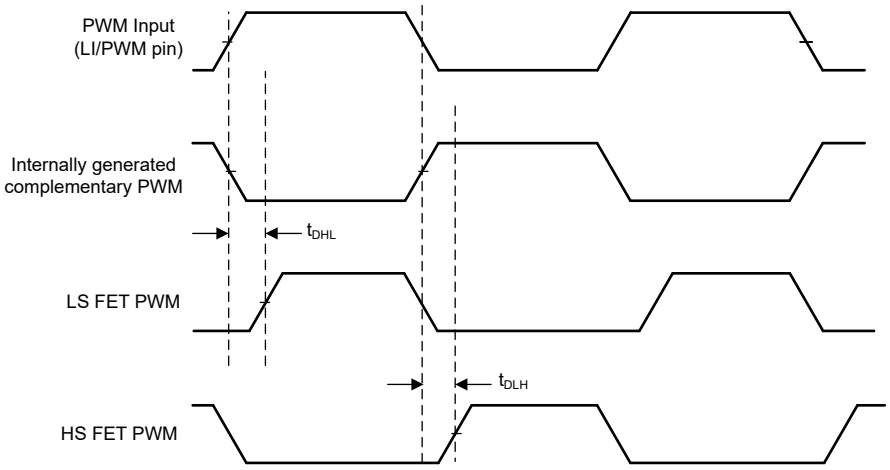


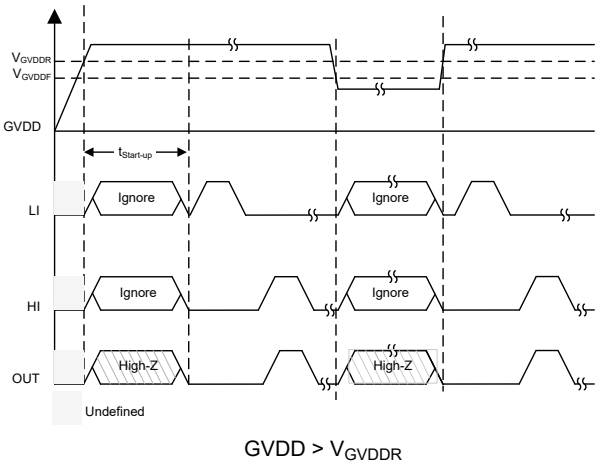

**図 8-5. PWM モード動作**

### *8.3.3 起動と UVLO*

DRV7167A は、起動時の $t_{start-up}$ 期間中、HI および LI 入力を無視します。デバイスは、GVDD と BOOT (ブートストラップ) の両方の電源に UVLO 保護機能を備えています。起動後、GVDD 電圧が GVDD 立ち下がりエッジ スレッショルド ($V_{GVDDF}$) を下回ると、HI 入力と LI 入力の両方が無視され、ハイサイドとローサイドの GaN FET のゲートがアクティブに Low になり、GaN FET が部分的にオンにならないようにします。BOOT から HS へのブートストラップ電圧が UVLO スレッショルド $V_{BOOTF}$ を下回ると、ハイサイド GaN FET ゲートのみが Low になります。どちらの UVLO スレッショルド電圧も、チャタリングを防止するために 200mV のヒステリシスを備えています。UVLO 検出回路には、ノイズによる誤トリガを防止するため、1µs のグリッチ除去フィルタが実装されています。このデバイスは、図 8-14 に示すように、GVDD UVLO のフォルトを通知します。

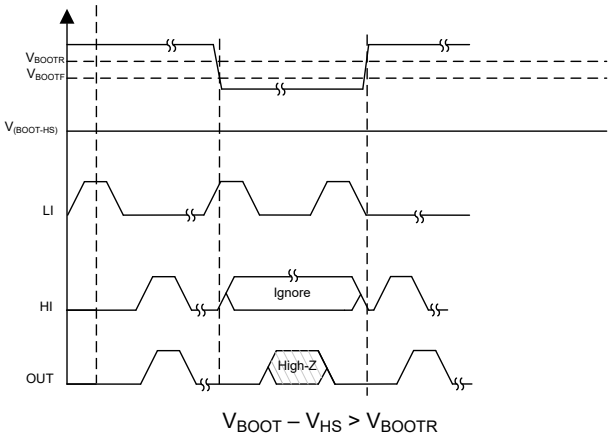
ADVANCE INFORMATION


Copyright © 2026 Texas Instruments Incorporated




GVDD > $V_{GVDDR}$

**図 8-6. GVDD UVLO**




$V_{BOOT} – V_{HS} > V_{BOOTR}$

**図 8-7. BOOT UVLO**

### *8.3.4 同期ブートストラップ*

DRV7167A には、GVDD から BOOT への同期ブートストラップ回路が組み込まれており、ハイサイド ドライバにバイアス ($V_{BOOT-HS}$) を供給します。安定化された電源により、第 3 象限導通が原因でゲート電圧がエンハンスメント モード GaN FET の最大ゲート・ソース間電圧 ($V_{BOOTth_R}$) 定格を超えないようにしています。内蔵ブートストラップ FET により、高速回復、5Ω の低オン抵抗、十分な電圧マージンを備えており、効率的で信頼性の高いブートストラップ動作を実現します。図 8-8 に、ブートストラップの制御機構を示します。LI 入力が High になると、BOOT ピンと HS ピンの間に接続された外付けコンデンサがスイッチング サイクルごとに再充電されます。図 8-9 に記載されているように、ブート レギュレータは、$V_{BOOTth_U}$ と $V_{BOOTth_L}$ の間でブート コンデンサが充電されていることを検証します。TI では、スタートアップ時の $t_{ss}$ 時間に従って、ブート コンデンサを充電するのに十分な LI パルスを供給することを推奨しています。DRV7167A は、起動時にブートストラップ充電中の突入電流制御機能を備えており、GVDD ピンの電圧ドループを回避します。このブート制御メカニズムは、同期ブートストラップ FET ボディ ダイオードが GVDD ピンと BOOT ピンに結合するような逆回復を防止するため、同期ブートストラップの実効 $Q_{RR}$ は 0 です。ブート制御メカニズムにより、GVDD と HS コンデンサのリップルを低減し、GVDD-AGND と BOOT-HS コンデンサのサイズ制限を緩和します。ブート コンデンサを充電するのに十分な LI パルスを確保できないアプリケーションでは、TI は HS ノードに対して絶縁された電源を使用することを推奨しています。ハイサイド GaN FET のゲート電圧は内部でクランプされていないことに注意してください。したがって、ハイサイド GaN トランジスタのゲート ブレークダウン電圧を超えないように、外部絶縁型バイアス電源を推奨動作条件内に維持してください。ブートストラップ コンデンサの推奨値については、セクション 9.2.2.1 を参照してください。

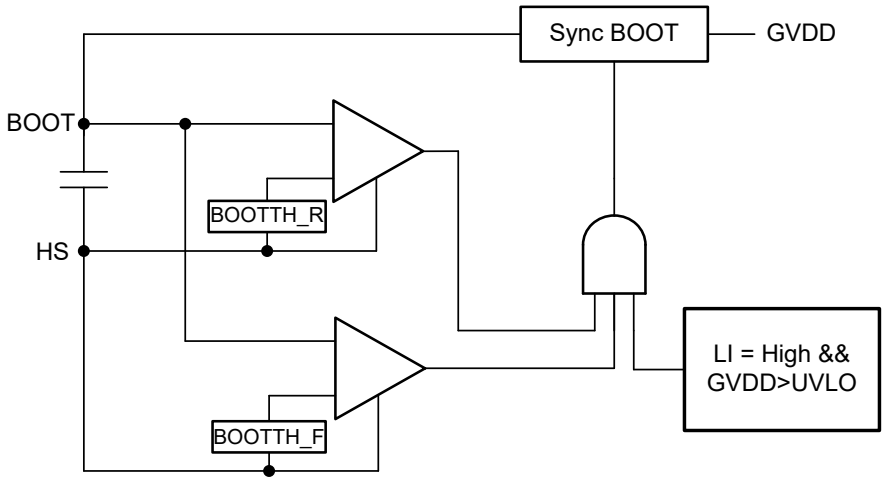



**図 8-8. 同期ブートストラップ制御ロジック**

ADVANCE INFORMATION

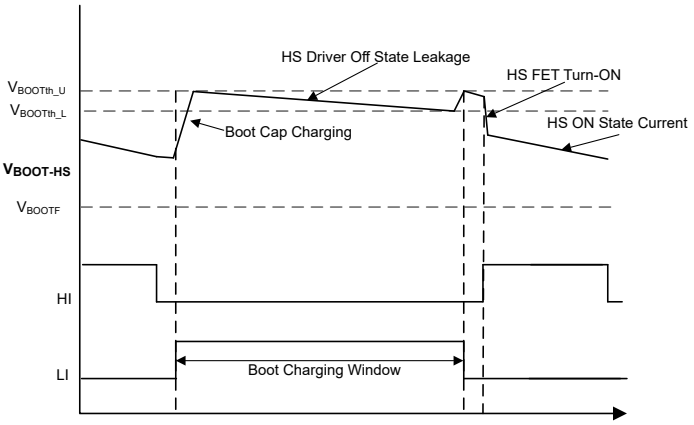



**図 8-9. ブート キャパシタの充電プロファイル**

### *8.3.5 レベル シフト*

レベル シフト回路は、ハイサイド入力 HI から、スイッチ ノード (HS) を基準とするハイサイド ドライバ段へのインターフェイスです。レベル シフト回路により、HS ピンを基準としたハイサイド GaN FET ゲート ドライバ出力を制御でき、ローサイド ドライバとの優れた遅延マッチングが実現します。

### *8.3.6 ゼロ電圧検出 (ZVD) レポート*

DRV7167A は、ゼロ電圧検出 (ZVD) をサポートしており、任意のスイッチング サイクルにおいて、ハイサイドおよびローサイドの FET が $t_{3RD_ZVD}$ 時間を超えて第 3 象限に移行したかどうかを検出します。ZVD の情報は、ZVDH (ハイサイド FET 用) および ZVDL (ローサイド FET 用) ピンで通知されます。ZVD の機能は IIM モードでのみ利用可能です。

ローサイド FET について、特定の遷移においてスイッチ ノードの電圧が AGND より $V_{THRESH_ZVD}$ だけ低下し、その状態が $t_{3RD_ZVD}$ を超える期間続いた場合、$t_{DLY_ZVD_L}$ の遅延を伴って $t_{WD_ZVD}$ 幅の low パルスが生成されます。

特定のスイッチング遷移において、ハイサイド FET のスイッチ ノード電圧が VM より $V_{THRESH_ZVD}$ 高い状態で $t_{3RD_ZVD}$ を超える時間維持された場合、対応する LI の遷移から $t_{DLY_ZVD_H}$ の遅延を経て、1 PWM サイクル後に $t_{WD_ZVD}$ 幅の low パルスが生成されます。

DRV7167A に接続されたコントローラは、ZVD 情報を使用してデッドタイムを調整し、ハイサイドおよびローサイド FET の第 3 象限導通時間を最小限に抑えることができます。

図 8-10 に、DRV7167A がモーター巻線に電流をアクティブに供給している (位相電流が OUT ピンからモーターに向かって流れている) ときの ZVDL 信号を示します。デッドタイム中、両方の FET がオフになると、スイッチノードは AGND を下回り、ローサイド FET は第 3 クアドラント導通に移行します。この情報は ZVDL で報告されています。ローサイド GaN のみがソフト スイッチングされている場合は、ZVDH 信号を無視します。

ADVANCE INFORMATION


Copyright © 2026 Texas Instruments Incorporated

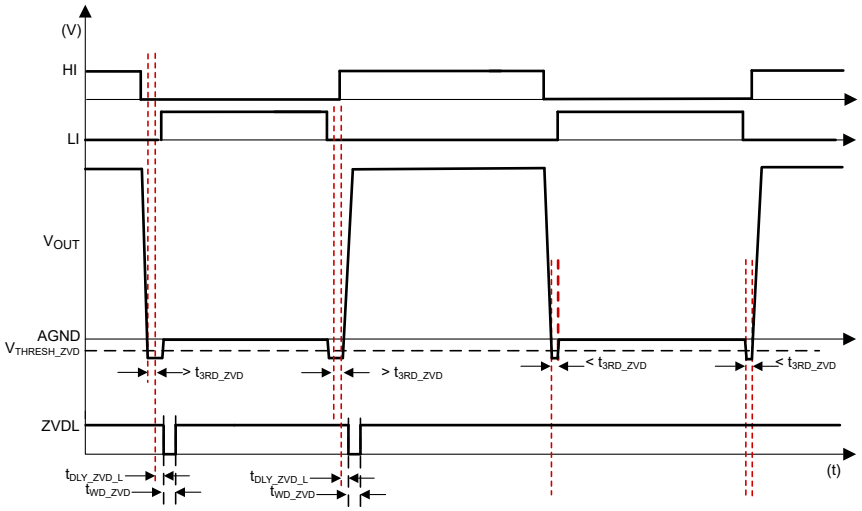



**図 8-10. ZVD レポート - OUT ピンから流出する電流**

図 8-11 に、DRV7167A がモーター巻線から電流をシンクしているる (位相電流が OUT ピンに流れている) ときの ZVDH 信号を示します。デッドタイム中、両方の FET がオフになると、スイッチ ノードは VM を上回り、ハイサイド FET は第 3 象限導通に移行します。この情報は、1 PWM サイクルの遅延付き ZVDH で通知されます。ハイサイド GaN のみがソフト スイッチングされている場合は、ZVDL 信号を無視します。

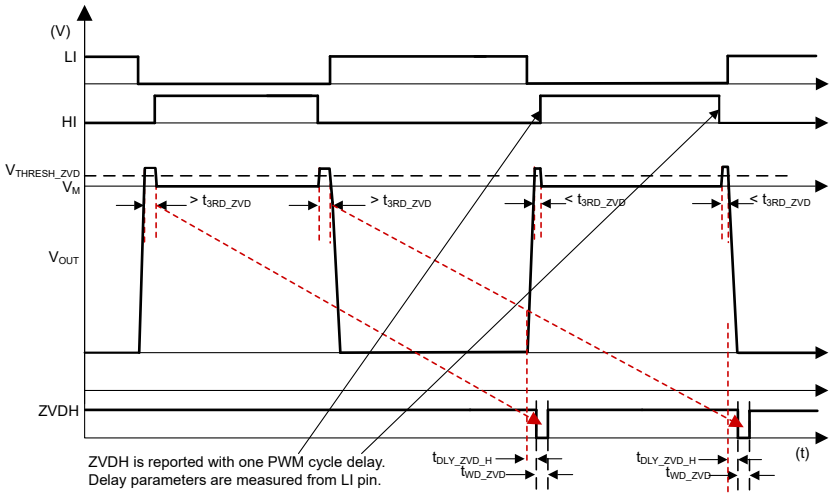



**図 8-11. ZVD レポート - OUT ピンに流入する電流**

### *8.3.7 スルー レート制御*

ピンの機能で説明したように、HS および LS FET のターンオンおよびターンオフ駆動強度は、以下を介して個別に制御されます。

- RDHF ピンは、ハイサイド FET の立ち下がりゲート駆動強度を制御します。
- RDHR ピンは、ハイサイド FET の立ち上がりゲート駆動能力を制御します。
- RDLF ピンは、ローサイド FET の立ち下がりゲート駆動能力を制御します。
- RDLR ピンは、ローサイド FET の立ち上がりゲート駆動能力を制御します。

上記の抵抗を使用すると、高効率 (スルーレートの高速化) とリンギングの低減 (スルーレートの低速化) の間のトレードオフを最適化できます。図 8-12 および図 8-13 は、抵抗によるスルーレートの代表的な変動を示しています。デバイスの回路は、温度に対して駆動強度を調整し、温度範囲全体にわたってスルーレートを一定に維持します。そのため、RDxx は

ADVANCE INFORMATION

メイン ゲート駆動ループにないため、ゲート全体のループは小さく保たれ、外部ゲート抵抗を使用するディスクリート ゲート ドライバよりも優れた性能を実現します。

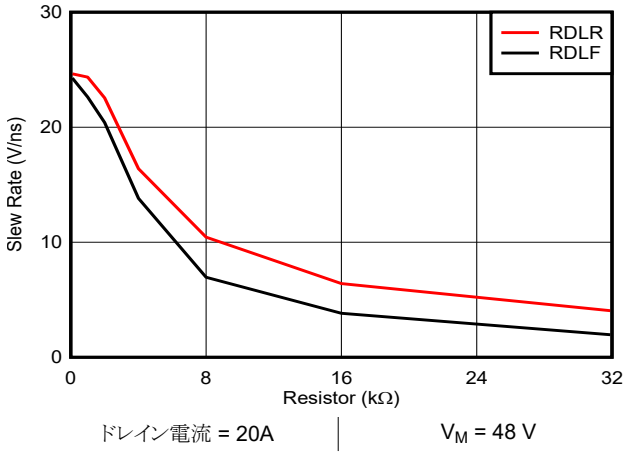



**図 8-12. DRV7167 : スルーレート制御 - OUT ピンに流入する電流**

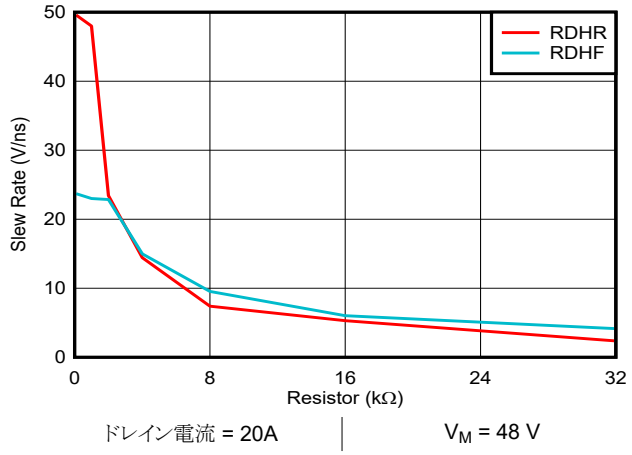



**図 8-13. DRV7167 : スルーレート制御 - OUT ピンから流出する電流**

### *8.3.8 フォルト通知*

DRV7167A は EN/$\overline{\text{FLT}}$ ピンで以下の 3 種類のフォルトを示します。

- GVDD 電源での UVLO イベント
- ローサイド GaN FET の短絡イベント
- ドライバの過熱イベント

一度アサートされると、アクティブ「Low」のフォルト信号は、3 つのいずれかのフォルトが存在する間、そしてすべてのフォルトが解消された後も $t_{FLT}$ の間はアサート状態を維持します。

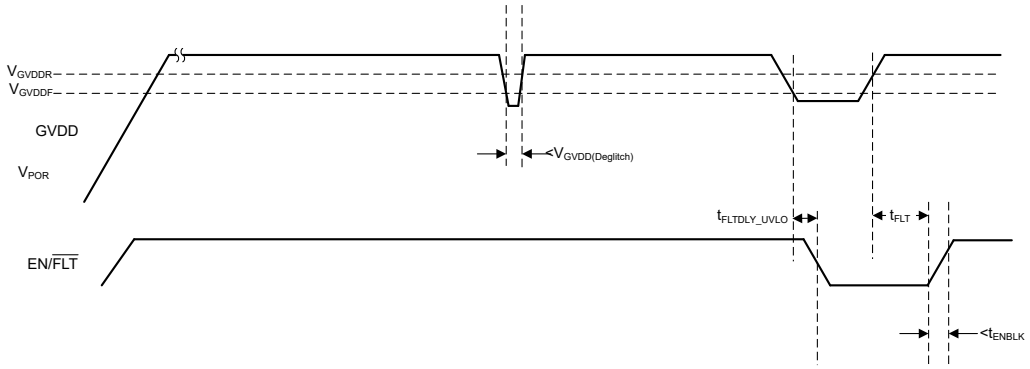



**図 8-14. UVLO フォルト通知**

### *8.3.9 過電流保護 (OCP)*

DRV7167A は、ドレイン ソース間電圧 ($V_{DS}$) の監視に基づく過電流 / 短絡保護機能を両方の FET に実装しています。いずれかの FET が HI/LI = High 経由でオンになると、デバイスは $t_{BLANK}$ 時間待機します。待機後、FET の $V_{DS}$ 電圧が検出され、その電圧が $V_{DSAT}$ を上回ると、短絡が推測されます。その後、損傷を防止するために FET は概ね 10ns 以内にオフになります。過電流保護はサイクルごとに動作し、HI/LI ロジックの Low から High のサイクルが FET をオンにするたびに行われます。$V_{DS}$ が設定されたスレッショルドを超えた場合、OCP は、HI/LI ロジック「High」の残りの時間 FET をオフにします。OCP 保護は、ドレインからソースに流れる電流に対してのみ実装されます。DRV7167A は、図 8-15 に

ADVANCE INFORMATION


Copyright © 2026 Texas Instruments Incorporated

示すように、ローサイド FET OCP イベントに対してのみフォルトをトリガします。図 8-16 に示すように、HS FET OCP イベントは指定されたサイクルにわたって FET をオフにし、EN/$\overline{\text{FLT}}$ ステータスは変更されません。

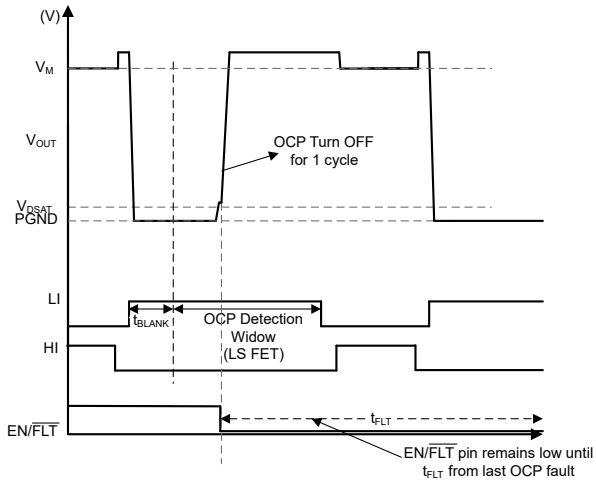



**図 8-15. LS FET OCP イベント - OUT ピンに流入する電流**

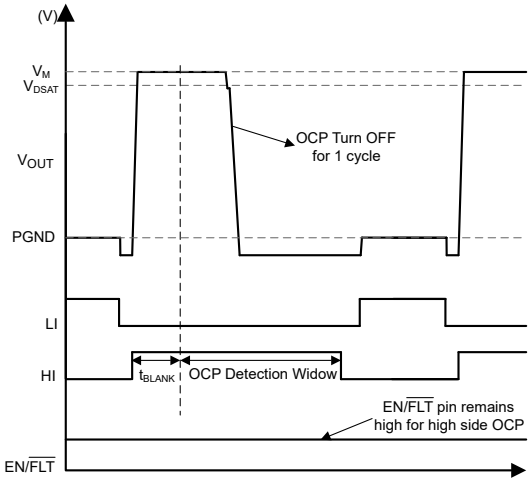



**図 8-16. HS FET OCP イベント - OUT ピンから流出する電流**

### *8.3.10 過熱検出 (OTD)*

DRV7167A は内蔵ゲートドライバのダイ温度を監視し、OTD+ スレッショルドを超過した場合に故障を示します。このデバイスは、たとえば過温検出時に GaN FET を強制的にオフするなどの動作は行わず、そのような保護動作は外部の PWM コントローラに委ねます。

動作条件およびシステムの熱設計に応じて、GaN FET と内蔵ドライバの温度差が発生する可能性があります。

ADVANCE INFORMATION

## 8.4 デバイスの機能モード

GVDD-AGND と BOOT-HS が UVLO を上回っている場合、DRV7167A は通常モードで動作します。UVLO の動作モードについては、「セクション 8.3.3」を参照してください。通常モードでは、出力の状態は HI ピンと LI ピンの状態に依存します。

表 8-2 には、IIM モードにおける DRV7167A の入力ピンの組み合わせごとの出力状態が一覧表示されています。このデバイスは、オーバーラップ保護 / インターロック機能をサポートしています。HI と LI の両方がアサートされると、電力段内の両方の GaN FET がオフになります。

**表 8-2. 真理値表 ( DRV7167A )**

| HI | LI | ハイサイド GaN FET | ローサイド GaN FET | OUT |
|---|---|---|---|---|
| L | L | OFF | OFF | ハイ インピーダンス |
| L | H | OFF | ON | PGND |
| H | L | ON | OFF | VM |
| H | H | OFF | OFF | ハイ インピーダンス |

表 8-3 には、シングル PWM モードにおける DRV7167A の入力ピンの組み合わせごとの出力状態が一覧表示されています。

**表 8-3. シングル PWM モードの真理値表**

| ENIN | PWM | ハイサイド GaN FET | ローサイド GaN FET | OUT |
|---|---|---|---|---|
| L | L | OFF | OFF | ハイ インピーダンス |
| L | H | OFF | OFF | ハイ インピーダンス |
| H | L | ON | OFF | VM |
| H | H | OFF | ON | PGND |

ADVANCE INFORMATION


Copyright © 2026 Texas Instruments Incorporated

# 9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

## 9.1 使用上の注意

DRV7167A GaN 電力段は、モータードライバ アプリケーション用の汎用ビルディング ブロックです。GaN FET を統合した高性能ゲートドライバにより、寄生容量を最小化し、GaN FET の非常に高速で効率的なスイッチングを実現できます。

## 9.2 代表的なアプリケーション

図 9-1 に、GVDD を 5V 電源に接続した BLDC モーター ドライバ アプリケーションを示します。電源ループ (VM コンデンサから PGND へのループ インピーダンス) を最適化することが重要です。電源ループインダクタンスが大きいと、OUT ノードに大きなリンギングが発生し、関連する電力損失も発生します。DRV7167A には、VM ピンと PGND ピンが互いに隣接しています。これにより、VM コンデンサを PCB の最上層で DRV7167A のすぐ近くに配置して、電源ループのインダクタンスを最小化できます。

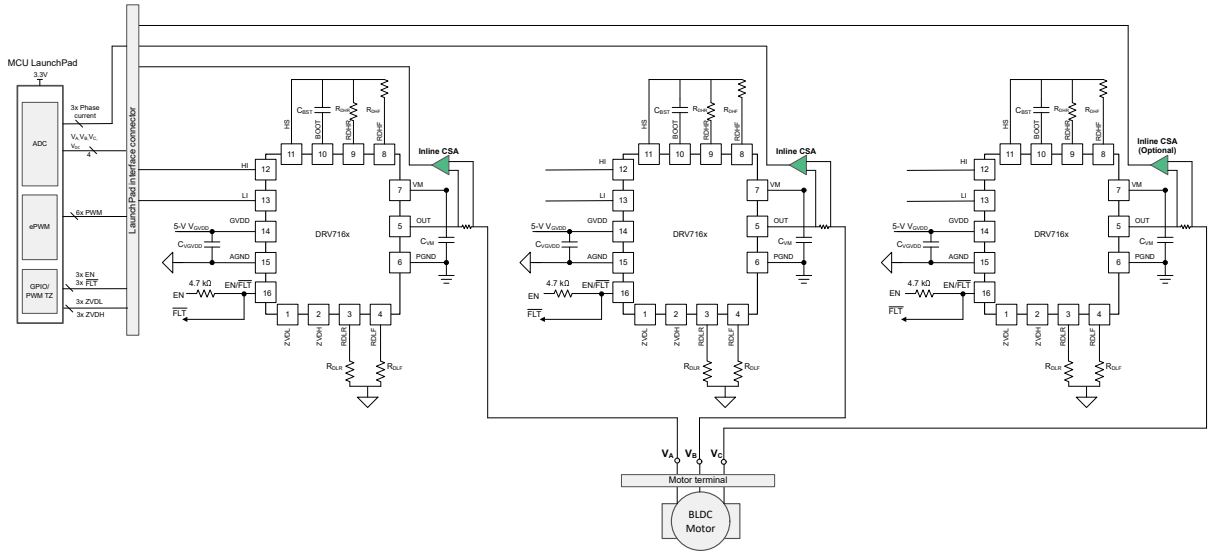



図 9-1. IIM モードの BLDC モーターの代表的なピン配置

### 9.2.1 設計要件

表 9-1 に、システム設計の入力パラメータの例を示します。

表 9-1. 設計パラメータ

| パラメータ | サンプル値 |
|---|---|
| ハーフ ブリッジの入力電源電圧、$V_M$ | 48V |
| モーター rms 電流 | 20A |
| モーターのピーク電流 | 60A |
| $V_{BOOT}$- $V_{HS}$ ブートストラップ コンデンサ | 0.22uF、X5R |
| スイッチング周波数 | 100kHz |
| デッド タイム | 15ns |

ADVANCE INFORMATION

**表 9-1. 設計パラメータ (続き)**

| パラメータ | サンプル値 |
|---|---|
| スルーレートの設定 | 10V/ns |

### 9.2.2 詳細な設計手順

この手順では、BLDC モーター アプリケーションで DRV7167A を使用する設計上の検討事項について概説します。設計の詳細については、「セクション 10.1.1」を参照してください。

#### 9.2.2.1 ブートストラップ コンデンサ

ブートストラップコンデンサは、ハイサイドゲート駆動用のゲート電荷、BOOT UVLO 回路用の直流バイアス電力、ブートストラップダイオードの逆方向回復電荷を提供します。必要なバイパス キャパシタンスの値は、式 6 で計算できます。

$$C_{BST} = (Q_G + Q_{RR} + I_{BOOT} * t_{ON(max)}) / \Delta V \quad (6)$$

ここで、

- $I_{BOOT}$ はハイサイド ゲートドライバの静止電流です
- $t_{ON}$(最大) は、ハイサイド ゲートドライバの最大オン時間周期です
- $Q_{RR}$ はブートストラップ ダイオードの逆方向回復電荷です
- $Q_G$ はハイサイド GaN FET のゲート電荷量です
- ΔV はブートストラップ コンデンサの許容リップルです (100mV 未満、標準値)

0.22µF、16V、0402 セラミック コンデンサは大半のアプリケーションに適しています。ブートストラップ コンデンサを BOOT および HS ピンにできるだけ近づけて配置してください。

#### 9.2.2.2 GVDD バイパス コンデンサ

GVDD バイパス コンデンサは、ローサイドおよびハイサイド GaN FET のゲート電荷を供給します。必要なバイパス キャパシタンスの値は、式 7 で計算します。

$$C_{GVDD} = (2 \times Q_G) / \Delta V \quad (7)$$

ここで、

- $Q_G$ = ハイサイドとローサイドの各 GaN FET の、それぞれの等しいゲート電荷
- ΔV = バイパス コンデンサの両端で許容される最大電圧降下

1µF 以上の値のコンデンサと、高周波、高品質、小型パッケージの 100nF セラミック コンデンサを推奨します。ローサイド ゲート ドライブ ループ内の寄生インダクタンスを最小限に抑えるため、高周波バイパス コンデンサをデバイスの GVDD ピンおよび AGND ピンの可能な限り近くに配置します。

#### 9.2.2.3 消費電力

DRV7167A デバイスの総消費電力は、ハイサイドおよびローサイドのゲートドライバ損失、ブート ストラップ電力損失、ならびに GaN FET におけるスイッチング損失および導通損失の合計です。

ゲートドライバの損失は、GaN FET の寄生容量の充放電によって生じます。式 8 を使用して損失を概算します。

$$P = Q_G \times f_{SW} \times (GVDD + V_{BOOT}) \quad (8)$$

ここで、

- $Q_G$ = ゲート電荷量
- $f_{SW}$ = スイッチング周波数
- GVDD = GVDD ピンの バイアス電源
- $V_{BOOT}$ = BOOT-HS ピン間の電圧

ADVANCE INFORMATION


Copyright © 2026 Texas Instruments Incorporated

ブートストラップ回路は、ブート FET ターンオン抵抗を介してブート ストラップ コンデンサを充電している間に電力を消費します。この損失は周波数に比例します。内部ドライバ段により、ゲート ドライバ内でさらに損失が発生します。

GaN FET に起因する電力損失は、導通損失とスイッチング損失に分けられます。導通損失は抵抗性損失であり、式 9 を使用して計算されます。

$$P_{COND} = \left[\left(I_{RMS(HS)}\right)^2 \times RDS_{(on)HS}\right] + \left[\left(I_{RMS(LS)}\right)^2 \times RDS_{(on)LS}\right] \quad (9)$$

ここで、

- $R_{DS(on)HS}$ = 動作時の $T_J$ におけるハイサイド GaN FET オン抵抗。
- $R_{DS(on)LS}$ = 動作時の $T_J$ におけるローサイド GaN FET オン抵抗。
- $I_{RMS(HS)}$ = ハイサイド GaN FET RMS 電流。
- $I_{RMS(LS)}$ = ローサイド GaN FET RMS 電流。

式 10 を使用して、スイッチング損失を 1 次まで計算します。ここで、$t_{TR}$ は、ハード スイッチング FET 用の RDXX 抵抗で設定されるスルーレート (V/ns) で $V_M$ を除算することで概算できます。

$$P_{SW} = 0.5 \times V_M \times I_{OUT} \times (t_{TR_R} + t_{TR_F}) \times f_{SW} + (V_M \times V_M \times C_{OSS(TR)} \times f_{SW}) \quad (10)$$

ここで、

- $t_{TR_R}$ = スイッチ ノードがオンからオフ、およびオフからオンへ遷移する時間の合計。
- $C_{OSS(TR)}$ = 各 GaN FET の出力キャパシタンス。

スイッチング損失の詳細な計算については、$E_{ON}$ 値と $E_{OFF}$ 値を参照してください。デッド タイム中に、ソフト スイッチング GaN FET は第 3 象限に入ります。式 11 を使用して、第 3 象限損失を計算します。

$$P = 2 \times V_{SD} \times I_{LOAD} \times f_{SW} \times t_{3rd} \quad (11)$$

ここで、

- $V_{SD}$ = 第 3 象限電圧。
- $I_{LOAD}$ = ソフト スイッチング FET の電流。
- $F_{SW}$ = スイッチング周波数。
- $T_{3rd}$ = GaN FET が第 3 象限に維持される時間。この式は、LS FET がオンになる前の第 3 象限の期間と、LS FET がオフになった後の第 3 象限の期間が等しいと仮定しています。

スイッチング周波数はデバイスの消費電力に直接影響します。DRV7167A デバイスのゲート ドライバは最大 500kHz の周波数で GaN FET を駆動できますが、推奨動作温度の仕様を満たしていることを確認するため、デバイスの動作条件を慎重に検討してください。BLDC モーター ドライバのようなハード スイッチング トポロジは、ソフト スイッチング アプリケーションに比べて損失や自己発熱が多くなる傾向があります。

GaN FET のドライバ損失、ブートストラップ損失、スイッチング損失、導通損失の合計が、デバイスの総電力損失になります。パワー パッド (VM および PGND) の近くに十分な量のサーマル ビアを配置する慎重な基板レイアウトにより、パッケージからの電力消費を最適化できます。上面にエアフロー付きのヒートシンクを取り付けると、パッケージの消費電力も改善されます。ドライバと GaN FET の電力損失が、動作温度におけるパッケージの最大消費電力制限を下回っていることを確認してください。

### *9.2.3 アプリケーション曲線*

#### 9.2.3.1 スルーレートのプロット

図 9-2 から 図 9-5 に、スイッチング過渡電圧、伝搬遅延、および立ち上がりと立ち下がりの両方のエッジについて設定可能なスルーレート (20% ～ 80%) の概要を示します。出力位相電流は $10A_{RMS}$ および 80kHz PWM 周波数で設定可能です。0Ω の制御抵抗を実装した場合、オーバーシュート電圧は約 14V です。

ADVANCE INFORMATION

ADVANCE INFORMATION

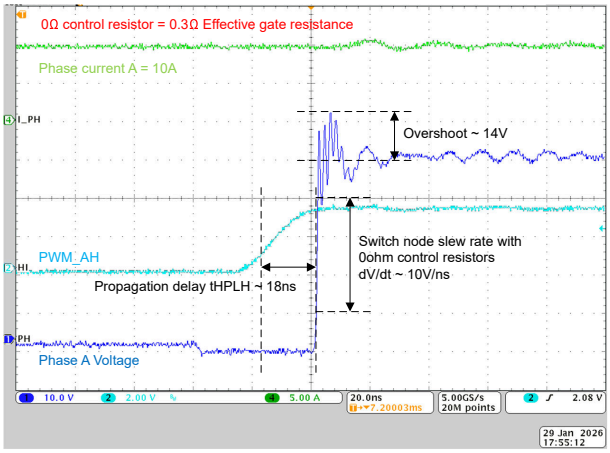



図 9-2. 0Ω の制御抵抗による立ち上がりスルーレート

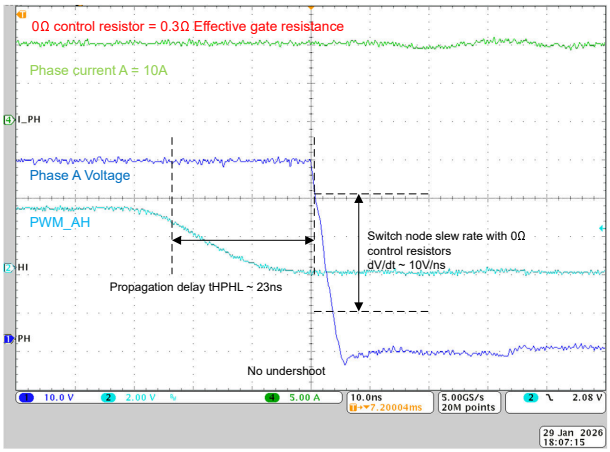



図 9-3. 0Ω の制御抵抗による立ち下がりスルーレート

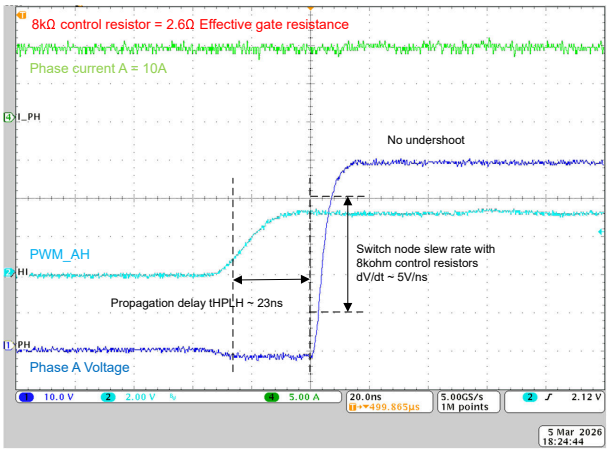



図 9-4. 8kΩ の制御抵抗による立ち上がりスルーレート

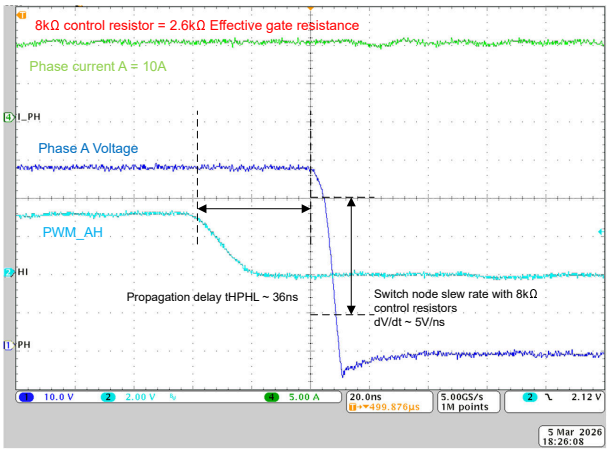



図 9-5. 8kΩ の制御抵抗による立ち下がりスルーレート

## 9.3 電源に関する推奨事項

DRV7167A の推奨バイアス電源電圧範囲は 4.5V ～ 5.5V です。なお、ローサイド GaN FET のゲート電圧は内部でクランプされていません。したがって、ローサイド GaN トランジスタのゲート ブレークダウン電圧を超えないように、GVDD バイアス電源を推奨動作範囲内に保つことが重要です。

UVLO 保護機能は、ヒステリシス機能も備えています。これは、デバイスが通常モードで動作し始めた後に GVDD 電圧が降下した場合、電圧降下がヒステリシス仕様値 $V_{GVDD(hyst)}$ を超えない限り、デバイスは通常モードで動作を継続することを意味します。電圧降下がヒステリシスの仕様値を超える場合、デバイスはシャットダウンします。したがって、4.5V またはそれに近い範囲の電圧で動作しているときは、デバイスのシャットダウンがトリガされないように、補助電源出力の電圧リップルを DRV7167A のヒステリシス仕様値よりも小さくする必要があります。

GVDD ピンと AGND ピンの間にローカル バイパス コンデンサを配置します。このコンデンサは、できる限りデバイスに近づけて配置する必要があります。低 ESR の表面実装型セラミック コンデンサを推奨します。TI では、GVDD と AGND の間に 2 つのコンデンサを使用することを推奨します。1 つは 100nF の表面実装型セラミック コンデンサで、高周波フィルタリングのために GVDD ピンと AGND ピンのすぐ近くに配置します。もう 1 つは IC のバイアス要件に対応する 1μF ～ 10μF の表面実装型コンデンサです。


Copyright © 2026 Texas Instruments Incorporated

## 9.4 レイアウト

### 9.4.1 レイアウトのガイドライン

高速スイッチングの効率上の利点を最大にするには、電源ループのインピーダンスが最小限になるように基板レイアウトを最適化することが非常に重要です。多層基板 (2 層以上) を使用する場合は、入力コンデンサへの帰路 (VM と PGND 間) を小さくして、最初の層の直下に配置することで、電源ループの寄生インピーダンスを最小限に抑えることができます (図 9-6 と 図 9-7 を参照)。帰還電流が真下を反対方向に流れてフラックスをキャンセルするため、ループ インダクタンスが減少します。

上記の電源ループ レイアウトのガイドラインに十分な注意を払わないと、スイッチ ノードで過度のオーバーシュートとアンダーシュートが発生する可能性があります。

また、GVDD コンデンサとブートストラップ コンデンサをデバイスのできるだけ近くの、最初の層に配置することが重要です。DRV7167A デバイスの AGND 接続を注意深く検討してください。PGND に直接接続することはできません。PGND ノイズが AGND を直接シフトして、HI と LI 信号に入るノイズによるスプリアス スイッチング イベントが発生することを避けるため、PGND に直接接続しないでください。

これらの推奨事項の実際のレイアウトについては、DRV7167A EVM を参照してください。

### 9.4.2 レイアウト例

図 9-6 に示す配置と 図 9-7 の断面は、VM、ブートストラップ コンデンサ (HS と BOOT) および GVDD コンデンサなどの敏感な受動部品に対して推奨されるデバイスの配置を示しています。レイアウト内の適切な間隔を使用して沿面距離を減らし、アプリケーションの汚染レベルに応じて空間距離の要件を維持します。内部の層 (存在する場合) では汚染がごくわずかなので、間隔をより狭くできます。

レイアウトは OUT ノードの容量を最小限に抑えるよう設計する必要があります。デバイスの OUT ピンは、できるだけ小さな銅の領域を使って、インダクタ、トランス、その他の出力負荷に接続します。さらに、グランド プレーンや他の銅プレーンに切り欠きがあり、OUT ノード重ならないことを確認してください。これにより、プリント基板上に効果的にコンデンサを形成できます。このノードにキャパシタンスを追加すると、DRV7167A の高度なパッケージング手法の利点が減り、性能が低下する可能性があります。

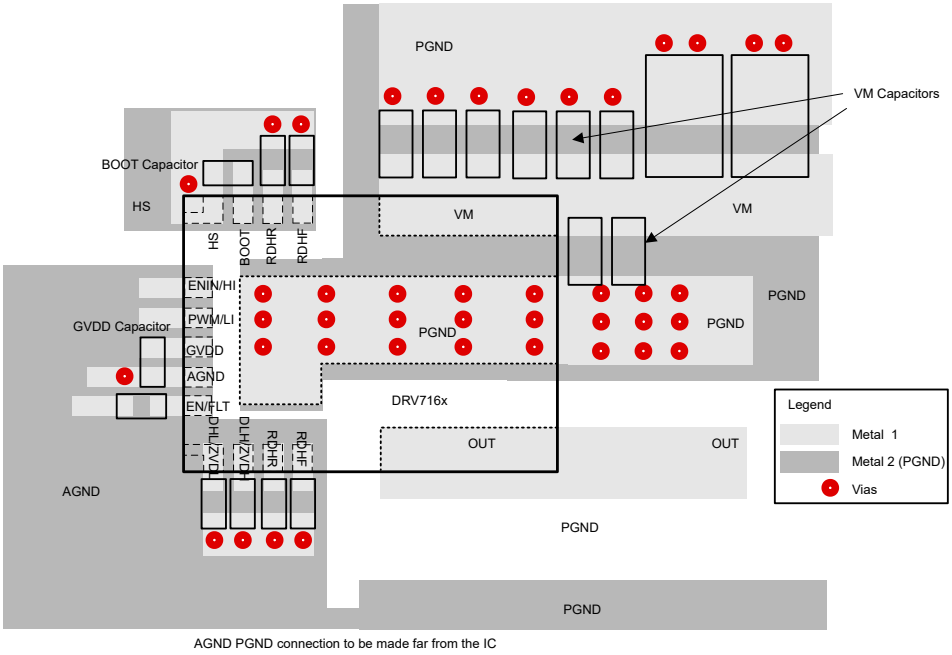



**図 9-6. 外付け部品の配置 (複数層 PCB)**

ADVANCE INFORMATION

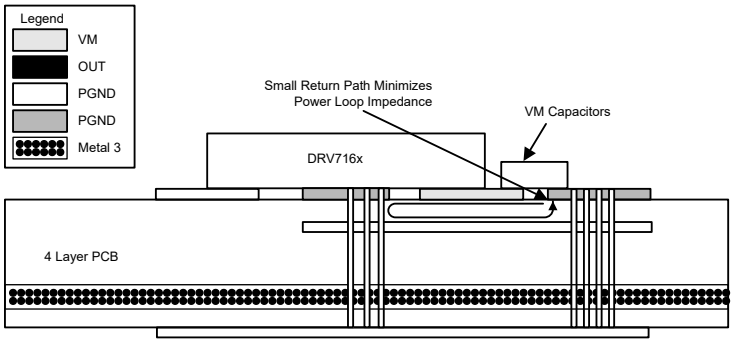



**図 9-7. 電源ループの直下に帰路を配置した 4 層基板の断面図**

ADVANCE INFORMATION


Copyright © 2026 Texas Instruments Incorporated

# 10 デバイスおよびドキュメントのサポート

## 10.1 ドキュメントのサポート

### *10.1.1 関連資料*

- テキサス インスツルメンツ、『ヒューマノイド ロボットのモーター制御』
- テキサス インスツルメンツ、『産業用通信機能搭載、48V 1kW ロボット関節モーター制御のリファレンス デザイン』
- テキサス インスツルメンツ、『LMG2100R044 GaN 電力ステージ モジュールのレイアウト ガイドライン』
- テキサス インスツルメンツ、『LMG2100 評価基板』

## 10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の [*アラートを受け取る*] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

## 10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

## 10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

## 10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 10.6 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

# 11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

| Changes from Revision * (October 2025) to Revision A (July 2026) | Page |
|---|---|
| • 概要の誤字を修正 | 1 |
| • の誤字を修正 | 13 |
| • 図 8-1 の誤字を修正 | 15 |
| • 図 9-1 の誤字を修正 | 25 |

ADVANCE INFORMATION

## 12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

ADVANCE INFORMATION


Copyright © 2026 Texas Instruments Incorporated

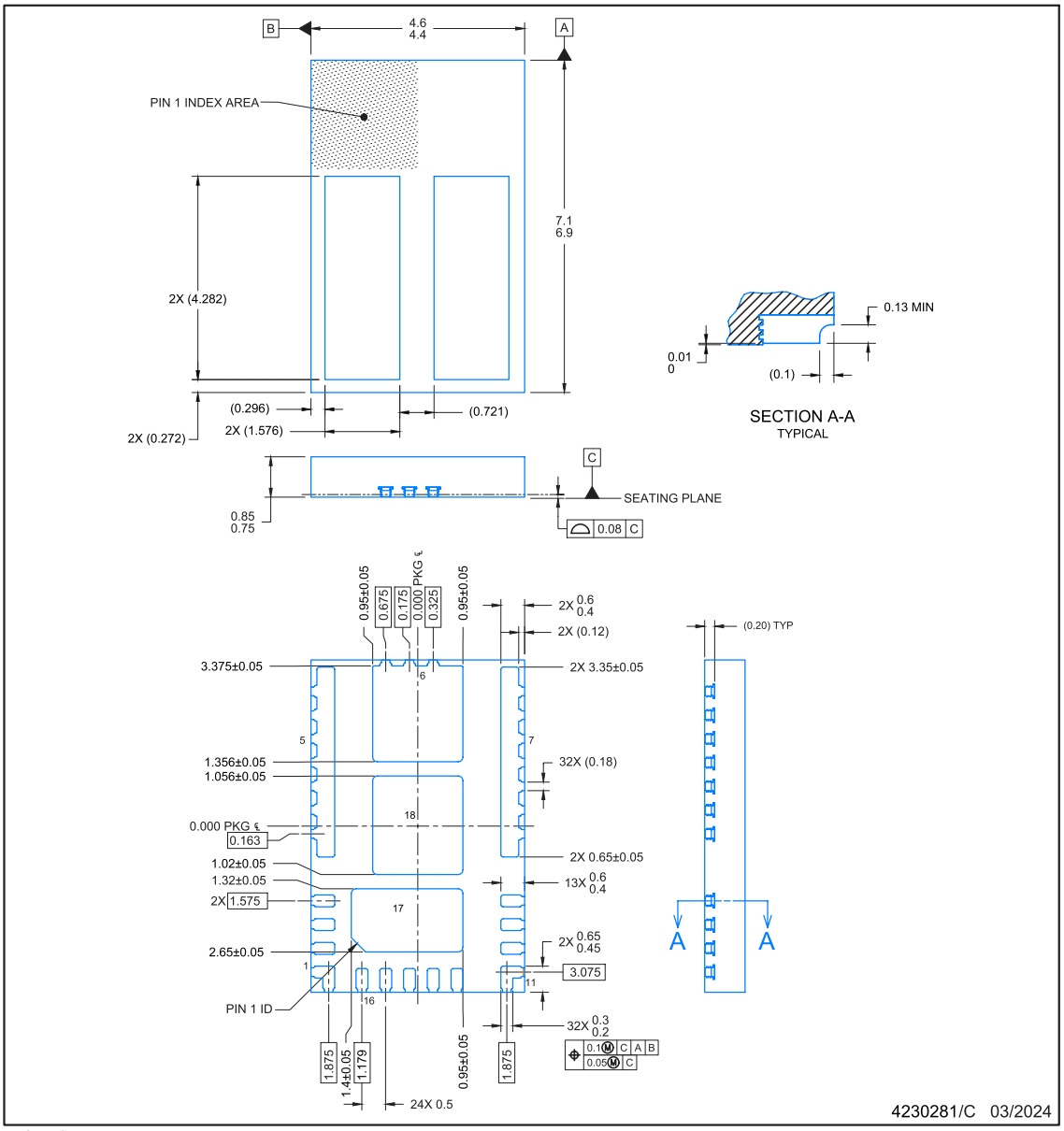
## 12.1 パッケージ情報

### *12.1.1 メカニカル データ*

**PACKAGE OUTLINE**

**VBN0018A** — **VQFN-FCRLF - 0.85 mm max height**

PLASTIC QUAD FLAT PACK- NO LEAD




NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

ADVANCE INFORMATION


Copyright © 2026 Texas Instruments Incorporated

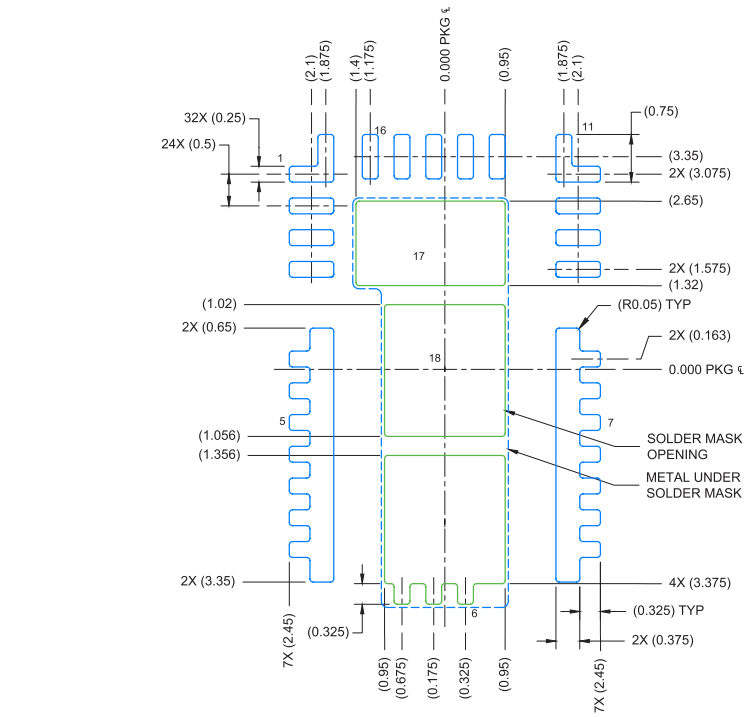
ADVANCE INFORMATION

# EXAMPLE BOARD LAYOUT

## VBN0018A

## VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLAT PACK- NO LEAD




NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

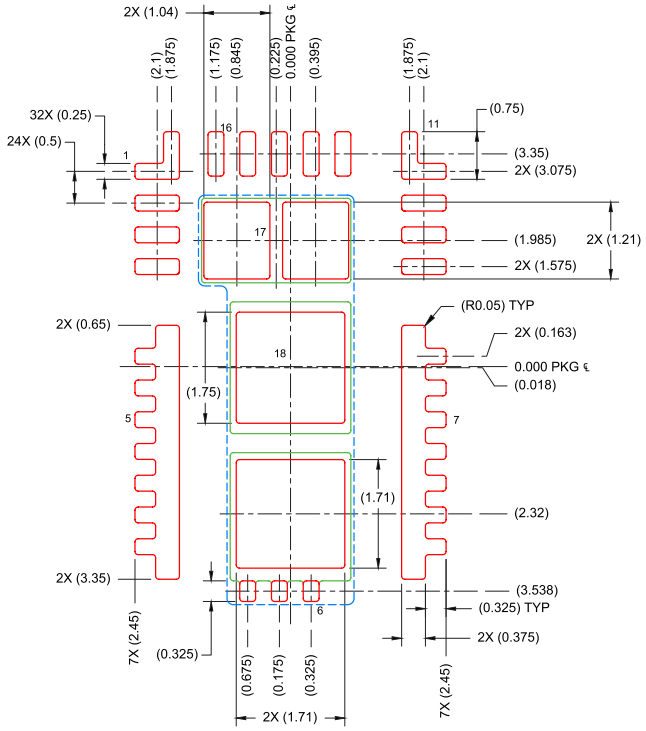

Copyright © 2026 Texas Instruments Incorporated

# EXAMPLE STENCIL DESIGN

## VBN0018A

### VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLAT PACK- NO LEAD




SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 10X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PAD 6: 78%
PAD 17: 81%
PAD 18: 76%

4230281/C 03/2024

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

ADVANCE INFORMATION



Copyright © 2026 Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| PDRV7167AVBNR | Active | Preproduction | VQFN-FCRLF (VBN) \| 18 | 2500 \| LARGE T&R | - | Call TI | Call TI | -40 to 175 | |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

# GENERIC PACKAGE VIEW

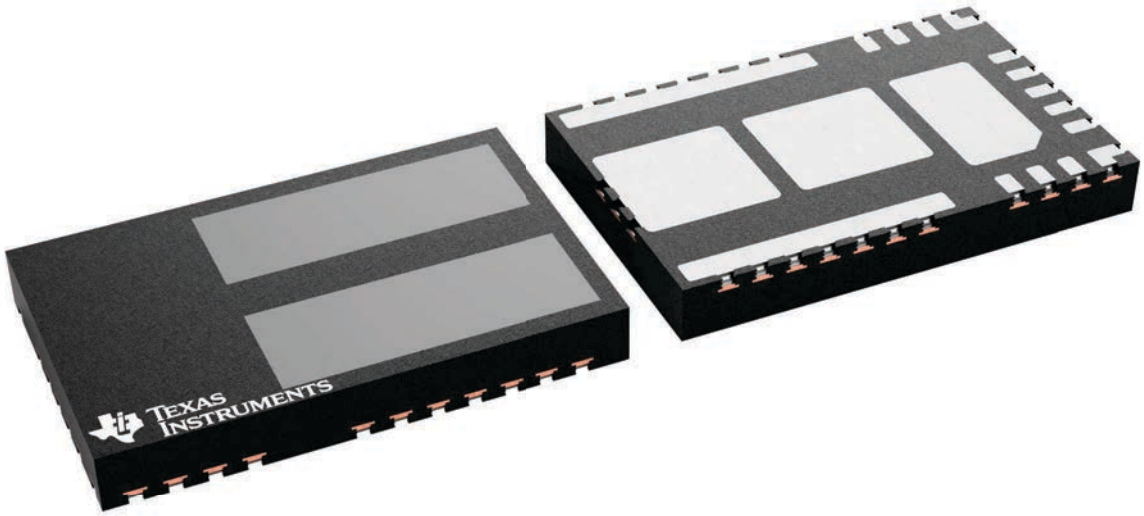
## VBN 18

## VQFN-FCRLF - 0.85 mm max height

**4.5 x 7, 0.5 mm pitch**

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.




4230977/A

# 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月