# DRV8001-Q1 ドア制御用高集積、多機能ドライバ

## 1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:-40℃～+125℃、$T_A$
- 機能安全準拠予定
  - 機能安全アプリケーション向けに開発
  - ISO26262 システム設計を支援するためのドキュメント
  - ASIL D までのインテグリティ レベル
  - ASIL B までのハードウェア安全度
- 5V～35V (絶対最大定格 40V) 動作範囲
- 1 個の統合ハーフブリッジ、$I_{OUT}$ 最大 8A ($R_{DSON}$ HS + LS FET = 155mΩ)
- 1 個の統合ハーフブリッジ、$I_{OUT}$ 最大 7A ($R_{DSON}$ HS + LS FET = 185mΩ)
- 2 個の統合ハーフブリッジ、$I_{OUT}$ 最大 4A ($R_{DSON}$ HS + LS FET = 440mΩ)
- 2 個の統合ハーフブリッジ、$I_{OUT}$ 最大 1.3A ($R_{DSON}$ HS + LS FET = 1540mΩ)
- 1 個の構成可能な内蔵ハイサイド ドライバをランプまたは LED ドライバとして使用、最大 $I_{OUT}$ 1.5/0.5A ($R_{DSON}$ = 0.4/1.2Ω)
- 5 個の 0.5/0.25A 負荷用のハイサイド ドライバを内蔵 ($R_{DSON}$=1.2Ω)
- 1 つの外部 MOSFET ゲートドライバ、エレクトロ クロミック ガラス充電用
- 1 つのエレクトロクロミック ガラス放電用ローサイド FET 内蔵
- ハイサイド ドライバ用の内部 10 ビット PWM ジェネレータ
- すべてのハイサイド ドライバは、幅広い LED モジュールを駆動するための低電流または高電流のスレッショルド定電流モードをサポートしています
- 1 個のヒータ用外部 MOSFET ゲートドライバ
  - オフライン開放負荷診断
  - 短絡検出に適した低 $R_{DSON}$ MOSFET の $V_{DS}$ 監視
- 統合ドライバ出力は電流調整機能付き(ITRIP
- 多重化可能なセンス出力(IPROPI)
  - 比例電流出力(IPROPI)付きの内部電流検出
  - 複数の熱クラスタによる高度なダイ温度モニタリング
  - モーターの電源電圧モニター
- 設定可能な障害動作を備えた保護および診断機能
  - オフ状態とオン状態の両方で負荷診断を行い、開放負荷および短絡を検出
  - 過電流および過熱保護
- デバイス比較表

## 2 アプリケーション

- ドア モジュール
- 車体制御モジュール
- ゾーン型モジュール

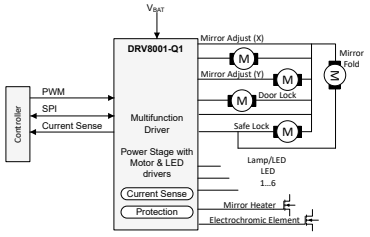
## 3 説明

DRV8001-Q1 デバイスには、モーター(誘導性)、抵抗性および容量性負荷の駆動と診断、ランプまたは LED の駆動、加熱素子やエレクトロクロミック素子などの特殊な負荷用 MOSFET の駆動など、複数のドア制御固有の機能が内蔵されています。これらのドライバには、過電圧および低電圧モニタリング、オフラインでの開放負荷および短絡診断、ゾーン ベースの温度モニタリングおよびシャットダウン保護などのオフラインおよびアクティブ診断用の保護機能が含まれています。このデバイスは、、6 つの統合ハーフブリッジ(2 つのハイサイド代替モード)、6 つの統合ハイサイド ドライバ、ヒータ用の外部ハイサイド ゲート ドライバ 1 つ、エレクトロクロミック充電用の外部ハイサイド ゲートドライバ 1 つ、エレクトロクロミック負荷放電用の統合ローサイド ドライバ 1 つを搭載しています。ハーフブリッジ、、ハイサイド、ヒータ、ゲートドライバは、PWM 入力制御構成、センシング、診断、デバイス システム保護機能を備えています。各ハイサイド ドライバに対して、専用のプログラマブルな内部 PWM ジェネレータがあります。すべての内蔵ドライバで比例電流センス ピン出力を利用できる

**パッケージ情報**

| 部品番号 | パッケージ (1) | パッケージ サイズ (公称) (2) |
|---|---|---|
| DRV8001-Q1 | VQFN (40) | 6.00mm × 6.00mm |

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。




**概略回路図**

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

# 目次

**1 特長**.....1
**2 アプリケーション**.....1
**3 説明**.....1
**4 デバイスの比較**.....3
**5 ピン構成および機能**.....4
**6 仕様**.....6
6.1 絶対最大定格.....6
6.2 ESD 定格 (車載機器).....6
6.3 推奨動作条件.....6
6.4 熱に関する情報 (RHA パッケージ).....7
6.5 電気的特性.....7
6.6 タイミング要件.....18
**7 詳細説明**.....19
7.1 概要.....19
7.2 機能ブロック図.....20
7.3 外付け部品.....20
7.4 機能説明.....21
7.5 プログラミング.....56
**8 DRV8001-Q1 レジスタ マップ**.....59
8.1 DRV8000-Q1_STATUS レジスタ.....62
8.2 DRV8000-Q1_CNFG レジスタ.....71
8.3 DRV8000-Q1_CTRL レジスタ.....98
**9 アプリケーションと実装**.....108
9.1 アプリケーション情報.....108
9.2 代表的なアプリケーション.....108
9.3 初期設定.....110
9.4 電源に関する推奨事項.....110
9.5 レイアウト.....110
**10 デバイスおよびドキュメントのサポート**.....112
10.1 ドキュメントの更新通知を受け取る方法.....112
10.2 サポート・リソース.....112
10.3 商標.....112
10.4 静電気放電に関する注意事項.....112
10.5 用語集.....112
**11 メカニカル、パッケージ、および注文情報**.....112


Copyright © 2025 Texas Instruments Incorporated

# 4 デバイスの比較

**表 4-1. デバイスの比較**

| デバイス名 | H ブリッジ ゲートドライバ | ハーフ ブリッジ ドライバ | ハイサイド ドライバ | ランプ/LED HS ドライバ | EC ゲートドライバ | ヒータ HS ゲートドライバ | 電流シャント アンプ | パッケージ |
|---|---|---|---|---|---|---|---|---|
| DRV8000-Q1 | 1x | 6x | 5x | 1x | 1x | 1x | 1x | 7x7 QFN-48 ウェッタブル フランク |
| DRV8000E-Q1 | 1x | 6x | 5x | 1x | 1x | 1x | 1x | 7x7 QFN-48 ウェッタブル フランク |
| DRV8001-Q1 | X | 6x | 5x | 1x | 1x | 1x | X | 6x6 QFN-40 ウェッタブル フランク |
| DRV8002-Q1 | 1x | 6x | 5x | 1x | X | X | 1x | 7x7 QFN-48 ウェッタブル フランク |

**表 4-2. デバイス注文情報**

| デバイス | 量産開始前の部品番号 | 発注用型番 | EVM |
|---|---|---|---|
| DRV8000-Q1 | PDRV8000QWRGZRQ1 | DRV8000QWRGZRQ1 | DRV8000-Q1EVM |
| | P2DRV8000QWRGZRQ1 | | |
| DRV8000E-Q1 | PDRV8000EQWRHARQ1 | DRV8000EQWRHARQ1 | DRV8000-Q1EVM |
| DRV8001-Q1 | PDRV8001QWRHARQ1 | DRV8001QWRHARQ1 | DRV8001-Q1EVM |
| DRV8002-Q1 | PDRV8002QRGZRQ1 | DRV8002QWRGZRQ1 | DRV8000-Q1EVM |
| | P2DRV8002QWRGZRQ1 | | |

選択の検討事項:

1. DRV8000E-Q1 は High でオフ状態の抵抗と独立ハーフブリッジゲートドライバを搭載しており、低消費電力ブラシ付きモーターの開放負荷検出用に最適化されています。
2. DRV8001-Q1 は H ブリッジゲートドライバが不要な小型パッケージのアプリケーション用に最適化されています。
3. DRV8002-Q1 は、サイドミラーを使用せず、DRV8000/E-Q1 とピン互換のアプリケーション用に最適化されています。

# 5 ピン構成および機能

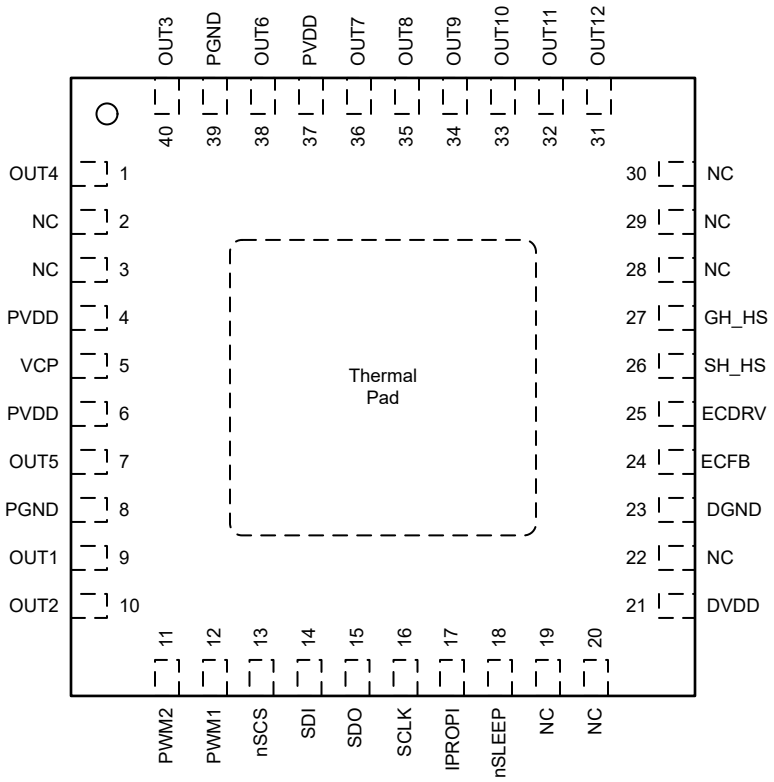



**図 5-1. VQFN（RHA） 40 ピン パッケージおよびピン機能**

**表 5-1. ピンの機能**

| ピン | | I/O[(1)] | タイプ | 説明 |
|---|---|---|---|---|
| 番号 | 名称 | | | |
| 1 | OUT4 | O | 電源 | 440mΩ ハーフ ブリッジ出力 4。 |
| 2 | NC | — | — | 接続なし。 |
| 3 | NC | — | — | 接続なし。 |
| 4 | PVDD | I | 電源 | デバイスドライバ電源入力。ブリッジ電源に接続します。PVDD ピンと GND ピンの間に 0.1μF の PVDD 定格セラミック コンデンサと 10μF 以上のローカル バルク容量を接続します。 |
| 5 | VCP | I/O | 電源 | チャージ ポンプ出力。1μF、16V セラミック コンデンサを VCP ピンと PVDD ピンの間に接続します。 |
| 6 | PVDD | I | 電源 | デバイスドライバ電源入力。ブリッジ電源に接続します。PVDD ピンと GND ピンの間に 0.1μF の PVDD 定格セラミック コンデンサと 10μF 以上のローカル バルク容量を接続します。 |
| 7 | OUT5 | O | 電源 | 155mΩ ハーフ ブリッジ出力 5。 |
| 8 | PGND | I/O | グランド | デバイスのグランド。システム グランドに接続。 |
| 9 | OUT1 | O | 電源 | 1.54Ω ハーフブリッジ出力 1。 |
| 10 | OUT2 | O | 電源 | 1.54Ω ハーフブリッジ出力 2。 |
| 11 | PWM2 | I | デジタル | ハーフブリッジドライバのレギュレーション用 PWM 入力 2 |
| 12 | PWM1 | I | デジタル | エレクトロクロムを除くすべてのドライバのレギュレーション用の PWM 入力 1。 |
| 13 | nSCS | I | デジタル | シリアル チップ選択。このピンのロジック LOW により、シリアル インターフェイス通信が可能になります。内部プルアップ抵抗。 |


Copyright © 2025 Texas Instruments Incorporated

**表 5-1. ピンの機能 (続き)**

| ピン | | I/O[(1)] | タイプ | 説明 |
|---|---|---|---|---|
| 番号 | 名称 | | | |
| 14 | SDI | I | デジタル | シリアル データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます。内部プルダウン抵抗。 |
| 15 | SDO | O | デジタル | シリアル データ出力。データは、SCLK ピンの立ち上がりエッジでシフト アウトされます。プッシュプル出力。 |
| 16 | SCLK | I | デジタル | シリアル クロック入力。シリアル データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト アウトおよびキャプチャされます。内部プルダウン抵抗。 |
| 17 | IPROPI | I/O | アナログ | センス出力は、ドライバ負荷電流フィードバック、PVDD 電圧フィードバック、またはサーマル クラスタ温度フィードバックのいずれかから多重化されます。 |
| 18 | nSLEEP | I | アナログ | デバイス イネーブル ピン。デバイスをシャットダウンし、スリープ モードに移行するロジック Low。内部プルダウン抵抗。 |
| 19 | NC | — | — | 接続なし。 |
| 20 | NC | — | — | 接続なし。 |
| 21 | DVDD | I | 電源 | デバイスのロジック / デジタル出力電源入力。1.0μF、6.3V セラミック コンデンサを DVDD ピンと GND ピンの間に接続することを推奨します。 |
| 22 | NC | — | — | 接続なし。 |
| 23 | DGND | I/O | グランド | デバイスのグランド。システム グランドに接続。 |
| 24 | ECFB | I/O | 電源 | EC 制御用として、ピンは電圧モニタ入力および高速放電ローサイドスイッチとして使用されます。EC 駆動機能を使用しない場合は、このピンを 10kΩ 抵抗を介して GND に接続します。 |
| 25 | ECDRV | O | アナログ | EC 制御では、ピンは EC 電圧調整用の外部 MOSFET のゲートを制御します |
| 26 | SH_HS | I | アナログ | ハイサイド ヒータ MOSFET のソース ピン、ヒータ負荷への出力。ハイサイド MOSFET のソースに接続します。 |
| 27 | GH_HS | O | アナログ | ヒータ MOSFET 用ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。 |
| 28 | NC | — | — | 接続なし。 |
| 29 | NC | — | — | 接続なし。 |
| 30 | NC | — | — | 接続なし。 |
| 31 | OUT12 | O | 電源 | 1.2Ω ハイサイド ドライバ出力 12。ローサイド負荷に接続します。 |
| 32 | OUT11 | O | 電源 | 1.2Ω ハイサイド ドライバ出力 11。EC 駆動用の SC 保護スイッチとして構成できます。ローサイド負荷に接続します。 |
| 33 | OUT10 | O | 電源 | 1.2Ω ハイサイド ドライバ出力 10。ローサイド負荷に接続します。 |
| 34 | OUT9 | O | 電源 | 1.2Ω ハイサイド ドライバ出力 9。ローサイド負荷に接続します。 |
| 35 | OUT8 | O | 電源 | 1.2Ω ハイサイド ドライバ出力 8。ローサイド負荷に接続します。 |
| 36 | OUT7 | O | 電源 | 構成可能な $R_{DSON}$ (400mΩ/ 1200mΩ) を搭載したハイサイド ドライバ出力。ローサイド負荷に接続します。 |
| 37 | PVDD | I | 電源 | デバイスドライバ電源入力。ブリッジ電源に接続します。PVDD ピンと GND ピンの間に 0.1μF の PVDD 定格セラミック コンデンサと 10μF 以上のローカル バルク容量を接続します。 |
| 38 | OUT6 | O | 電源 | 185mΩ ハーフ ブリッジ出力 6。 |
| 39 | PGND | I/O | グランド | デバイスのグランド。システム グランドに接続。 |
| 40 | OUT3 | O | 電源 | 440mΩ ハーフ ブリッジ出力 3。 |

(1) I = 入力、O = 出力

# 6 仕様

## 6.1 絶対最大定格

動作温度範囲外 (特に記述のない限り)[(1)]

| | | 最小値 | 最大値 | 単位 |
|---|---|---|---|---|
| 電源ピン電圧 | PVDD | -0.3 | 40 | V |
| 電源過渡電圧ランプ | PVDD | | 2 | V/µs |
| デジタル ロジック電源電圧ランプ | DVDD | | 2 | V/µs |
| グランド ピン間の電圧差 | GND、PGND | -0.3 | 0.3 | V |
| チャージ ポンプ ピン電圧 | VCP | -0.3 | PVDD + 15 | V |
| デジタル レギュレータ ピン電圧 | DVDD | -0.3 | 5.75 | V |
| ロジック ピン電圧 | PWM1、IPROPI、PWM2、DRVOFF、nSLEEP、SCLK、SDI、nSCS | -0.3 | 5.75 | V |
| 出力ロジック ピン電圧 | SDO | -0.3 | $V_{DVDD}$ + 0.3 | V |
| 出力ピン電圧 | OUT1-OUT12 | -0.3 | $V_{PVDD}$ + 0.9 | V |
| 出力電流 | OUT1-OUT12、ECFB、ECDRV | 内部的に制限 | 内部的に制限 | A |
| ヒータおよびエレクトロクロミック MOSFET ゲート駆動ピン電圧 | GH_HS | $V_{SH_HS}$ –0.3 ～ $V_{SH_HS}$ + 13 | $V_{VCP}$ + 0.3 | V |
| ヒータおよびエレクトロクロミック MOSFET ソースピン電圧 | SH_HS、ECFB、ECDRV | -0.3 | $V_{PVDD}$ + 0.3 | V |
| ハイサイド ドライバおよびヒーター MOSFET ソース ピンの最大エネルギー消費、$T_J$ = 25 °C、$L_{LOAD}$ < 100µH | OUT7-OUT12、SH_HS | - | 1 | mJ |
| 周囲温度、$T_A$ | | -40 | 125 | °C |
| 接合部温度、$T_J$ | | -40 | 150 | °C |
| 保管温度、$T_{stg}$ | | -65 | 150 | °C |

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

## 6.2 ESD 定格 (車載機器)

| | | | | 値 | 単位 |
|---|---|---|---|---|---|
| $V_{(ESD)}$ | 静電放電 | 人体モデル (HBM)、AEC Q100-002 HBM ESD [(1)]分類レベル 2 準拠 | PVDD、OUT1~OUT12、ECFB、GND | ±4000 | V |
| | | | その他のすべてのピン | ±2000 | V |
| | | 荷電デバイス モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠 | 角のピン | ±750 | V |
| | | | その他のピン | ±500 | V |

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

## 6.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

| | | | 最小値 | 公称値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $V_{PVDD}$ | 電源電圧 | PVDD | 5 | | 35 | V |
| $V_{DVDD}$ | ロジック入力電圧 | DVDD | 3.1 | | 5.5 | V |
| $V_{DIN}$ | デジタル入力電圧 | PWM1、IPROPI、PWM2、SCLK、SDI | 0 | | 5.5 | V |
| $I_{DOUT}$ | デジタル出力電流 | SDO | 0 | | 5 | mA |
| $f_{PWM}$ | 入力 PWM 周波数 | PWM1、PWM2 | 0 | | 25 | kHz |


Copyright © 2025 Texas Instruments Incorporated

動作温度範囲内 (特に記述のない限り)

| | | | 最小値 | 公称値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $V_{IPROPI}$ | $V_{PVDD}$ < 7 V のアナログ出力電圧 | IPROPI | 0 | | 5.2 | V |
| $V_{IPROPI}$ | $V_{PVDD}$ < 7 V のアナログ出力電圧 | IPROPI | 0 | | $V_{PVDD}$ - 1.8 | V |
| $T_A$ | 動作時周囲温度 | | -40 | | 125 | °C |
| $T_J$ | 動作時接合部温度 | | -40 | | 150 | °C |

## 6.4 熱に関する情報 (RHA パッケージ)

| 熱評価基準[(1)] | | RHA パッケージ | 単位 |
|---|---|---|---|
| | | | |
| $R_{\theta JA}$ | 接合部から周囲への熱抵抗 | 26.8 | °C/W |
| $R_{\theta JC(top)}$ | 接合部からケース (上面) への熱抵抗 | 15.8 | °C/W |
| $R_{\theta JB}$ | 接合部から基板への熱抵抗 | 9.3 | °C/W |
| $\Psi_{JT}$ | 接合部から上面への特性パラメータ | 0.2 | °C/W |
| $\Psi_{JB}$ | 接合部から基板への特性パラメータ | 9.2 | °C/W |
| $R_{\theta JC(bot)}$ | 接合部からケース (底面) への熱抵抗 | 2.9 | °C/W |

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

## 6.5 電気的特性

5 V ≦ $V_{PVDD}$ ≦ 35 V、3.1 V ≦ $V_{DVDD}$ ≦ 5.5 V、-40°C ≦ $T_J$ ≦ 150°C (特に記述のない限り)。標準的な制限は、$V_{PVDD}$ = 13.5 V、$V_{DVDD}$ = 5 V および $T_J$ = 25°C に対して適用されます。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| **電源 (DVDD、VCP、PVDD)** | | | | | | |
| $I_{PVDDQ}$ | PVDD スリープ モード電流 | $V_{PVDD}$ = 13.5V、nSLEEP = 0V -40 ≤ $T_J$ ≤ 85˚C | | 3.5 | 5.5 | µA |
| $I_{DVDDQ}$ | DVDD スリープ モード電流 | $V_{PVDD}$ = 13.5V、nSLEEP = 0V -40 ≤ $T_J$ ≤ 85˚C | | 3 | 4 | µA |
| $I_{PVDD}$ | PVDD アクティブ モード電流 | $V_{PVDD}$ = 13.5、nSLEEP = $V_{DVDD}$ | | 6.2 | 11.5 | mA |
| $I_{DVDD}$ | DVDD アクティブ モード電流 | SDO = 0V | | 3.1 | 6.5 | mA |
| $I_{PVDD_CP_DIS}$ | PVDD チャージ ポンプ無効モード電流 | $V_{PVDD}$ = 13.5 V、DIS_CP = 1、HEAT_EN = 0、EC_ON = 0、OUTx_EN = 0 | | 1.4 | 4 | mA |
| $I_{DVDD_CP_DIS}$ | DVDD チャージ ポンプ無効モード電流 | $V_{PVDD}$ = 13.5 V、DIS_CP = 1、HEAT_EN = 0、EC_ON = 0、OUTx_EN = 0 | | 2.8 | 5.5 | mA |
| $t_{SLEEP}$ | ターンオフ時間 | nSLEEP = 0V でスリープ モード | | | 1 | ms |
| $t_{READY_HB_HS}$ | ハーフ ブリッジおよびハイサイド ドライバのターンオン時間 | | | | 5 | ms |
| $t_{READY_HEAT}$ | ヒーターのターンオン時間 | | | | 10 | ms |
| $f_{VDD}$ | デジタル発信器のスイッチング周波数 | 拡散スペクトラムの 1 次周波数 | 12.83 | 14.25 | 15.68 | MHz |
| $f_{VDD}$ | デジタル発振器のスペクトラム拡散範囲 | 主要周波数のセンタースプレッド | -7 | | 7 | % |
| $V_{VCP}$ | PVDD を基準とするチャージ ポンプ レギュレータ電圧 | $V_{PVDD}$ ＞ 7 V、$I_{VCP}$ ≦ 80 µA | 8.5 | 9 | 12.5 | V |
| | | $V_{PVDD}$ = 5V、$I_{VCP}$ ≤ 60µA | 6.8 | 7.5 | 11 | V |
| $t_{CP_EN}$ | OUTx イネーブル後のチャージ ポンプのターンオン時間。初期化を含む。 | | | 3 | | ms |
| $I_{VCP_LIM}$ | チャージ ポンプの出力電流制限 | $V_{PVDD}$ = 13.5 V、$C_{VCP}$ = 1 µF、チャージ ポンプ起動時の突入電流 | | | 750 | µA |
| $V_{CP_UV}$ | チャージ ポンプ低電圧スレッショルド | $V_{VCP}$ - $V_{PVDD}$、$V_{VCP}$ 立ち下がり | 5 | 6 | 7 | V |

5 V ≦ $V_{PVDD}$ ≦ 35 V、3.1 V ≦ $V_{DVDD}$ ≦ 5.5 V、-40°C ≦ $T_J$ ≦ 150°C (特に記述のない限り)。標準的な制限は、$V_{PVDD}$ = 13.5 V、$V_{DVDD}$ = 5 V および $T_J$ = 25℃ に対して適用されます。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $t_{CP_UV_DG}$ | チャージ ポンプ低電圧グリッチ除去時間 | | 8 | 10 | 12.75 | µs |
| **論理レベル入力 (INx、nSLEEP、SCLK、SDI、など)** | | | | | | |
| $V_{IL}$ | 入力ロジック Low 電圧 | PWM1、PWM2、nSLEEP、SCLK、SDI | 0.3 | | $V_{DVDD}$ x 0.3 | V |
| $V_{IH}$ | 入力ロジック High 電圧 | PWM1、PWM2、nSLEEP、SCLK、SDI | $V_{DVDD}$ x 0.7 | | 5.5 | V |
| $V_{HYS}$ | 入力ヒステリシス | PWM1、PWM2、nSLEEP、SCLK、SDI | | $V_{DVDD}$ x 0.15 | | V |
| $I_{IL}$ | 入力ロジック Low 電流 | $V_{DIN}$ = 0 V、PWM1、PWM2、nSLEEP、SCLK、SDI | -5 | | 5 | µA |
| $I_{IL}$ | 入力ロジック Low 電流 | $V_{DIN}$ = 0V、nSCS | | 25 | 50 | µA |
| $I_{IH}$ | 入力ロジック High 電流 | $V_{DIN}$ = $V_{DVDD}$、nSCS | -5 | | 5 | µA |
| $I_{IH}$ | 入力ロジック High 電流 | $V_{DIN}$ = $V_{DVDD}$、PWM1、PWM2、nSLEEP、SCLK、SDI | | 25 | 50 | µA |
| $R_{PD}$ | 入力プルダウン抵抗 | GND、PWM1、PWM2、nSLEEP、SCLK、SDI へ | 140 | 200 | 260 | kΩ |
| $R_{PU}$ | 入力プルアップ抵抗 | DVDD、nSCS へ接続 | 140 | 200 | 265 | kΩ |
| **プッシュプル出力 SDO** | | | | | | |
| $V_{OL}$ | 出力ロジック Low 電圧 | $I_{OD}$ = 5mA | | | 0.5 | V |
| $V_{OH}$ | ロジック High 出力電圧 | $I_{OD}$ = –5mA、SDO | DVDD x 0.8 | | | V |
| **ヒーター MOSFET ドライバ** | | | | | | |
| $I_{GH_HS_HEAT}$ | 平均充電電流 | $T_J$ = 25˚C | | 50 | | mA |
| $R_{GL_HEAT}$ | オン抵抗(放電段) | $I_{GH_HS_HEAT}$ = 25mA、$T_J$ = 25˚C | 15 | 20 | 25 | Ω |
| $R_{GL_HEAT}$ | オン抵抗(放電段) | $I_{GH_HS_HEAT}$ = 25mA、$T_J$ = 125˚C | | 28 | 36 | Ω |
| $V_{GH_HS_HIGH}$ | GH_HS の High レベル出力電圧 | $V_{PVDD}$ = 5V、$I_{CP}$ = 15mA | $V_{SH_HS}$ + 6 | | | V |
| $V_{GH_HS_HIGH}$ | GH_HS の High レベル出力電圧 | $V_{PVDD}$ = 13.5V、$I_{CP}$ = 15mA | $V_{SH_HS}$ + 7.5 | $V_{SH_HS}$ + 10 | $V_{SH_HS}$ + 11.5 | V |
| $I_{HEAT_SH_STBY_LK}$ | SH_HS のリーク電流スタンバイ | | | | 25 | µA |
| $R_{GS_HEAT}$ | パッシブ ゲート クランプ抵抗 | | | 150 | | kΩ |
| $t_{PDR_GH_HS}$ | GH_HS の立ち上がり伝搬遅延 | $V_{PVDD}$ = 13.5V、$R_G$ = 0Ω、$C_G$ = 2.7nF | | 0.6 | | µs |
| $t_{PDF_GH_HS}$ | GH_HS の立ち下がり伝搬遅延 | $V_{PVDD}$ = 13.5V、$V_{SH_HS}$ = 0V、$R_G$ = 0Ω、$C_G$ = 2.7nF | | 0.5 | | µs |
| $t_{RISE_GH_HS}$ | 立ち上がり時間(スイッチ モード) | $V_{PVDD}$ = 13.5V、$V_{SH_HS}$ = 0V、$R_G$ = 0Ω、$C_G$ = 2.7nF | | 300 | | ns |
| $t_{FALL_GH_HS}$ | 立ち下がり時間(スイッチ モード) | $V_{PVDD}$ = 13.5V、$V_{SH_HS}$ = 0V、$R_G$ = 0Ω、$C_G$ = 2.7nF | | 170 | | ns |
| **ヒーター保護回路** | | | | | | |


Copyright © 2025 Texas Instruments Incorporated

5 V ≦ $V_{PVDD}$ ≦ 35 V、3.1 V ≦ $V_{DVDD}$ ≦ 5.5 V、-40°C ≦ $T_J$ ≦ 150°C (特に記述のない限り)。標準的な制限は、$V_{PVDD}$ = 13.5 V、$V_{DVDD}$ = 5 V および $T_J$ = 25℃ に対して適用されます。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $V_{DS_LVL_HEAT}$ | ヒーター用 MOSFET の $V_{DS}$ 過電流保護スレッショルド | HEAT_VDS_LVL = 0000b | 0.050 | 0.06 | 0.07 | V |
| | | HEAT_VDS_LVL = 0001b | 0.067 | 0.08 | 0.093 | V |
| | | HEAT_VDS_LVL = 0010b | 0.085 | 0.10 | 0.115 | V |
| | | HEAT_VDS_LVL = 0011b | 0.102 | 0.12 | 0.138 | V |
| | | HEAT_VDS_LVL = 0100b | 0.119 | 0.14 | 0.161 | V |
| | | HEAT_VDS_LVL = 0101b | 0.136 | 0.16 | 0.184 | V |
| | | HEAT_VDS_LVL = 0110b | 0.153 | 0.18 | 0.207 | V |
| | | HEAT_VDS_LVL = 0111b | 0.17 | 0.2 | 0.23 | V |
| | | HEAT_VDS_LVL = 1000b | 0.204 | 0.240 | 0.276 | V |
| | | HEAT_VDS_LVL = 1001b | 0.238 | 0.280 | 0.322 | V |
| | | HEAT_VDS_LVL = 1010b | 0.272 | 0.320 | 0.368 | V |
| | | HEAT_VDS_LVL = 1011b | 0.306 | 0.360 | 0.414 | V |
| | | HEAT_VDS_LVL = 1100b | 0.340 | 0.400 | 0.460 | V |
| | | HEAT_VDS_LVL = 1101b | 0.374 | 0.440 | 0.506 | V |
| | | HEAT_VDS_LVL = 1110b | 0.476 | 0.560 | 0.644 | V |
| | | HEAT_VDS_LVL = 1111b | 0.85 | 1 | 1.15 | V |
| $t_{DS_HEAT_DG}$ | $V_{DS}$ 過電流保護グリッチ除去時間 | HEAT_VDS_DG = 00b | 0.75 | 1 | 1.5 | µs |
| | | HEAT_VDS_DG = 01b | 1.5 | 2 | 2.5 | µs |
| | | HEAT_VDS_DG = 10b | 3.25 | 4 | 4.75 | µs |
| | | HEAT_VDS_DG = 11b | 6 | 8 | 10 | µs |
| $t_{DS_HEAT_BLK}$ | $V_{DS}$ 過電流保護ブランキング時間 | HEAT_VDS_BLK = 00b | 3.25 | 4 | 4.75 | µs |
| | | HEAT_VDS_BLK = 01b | 6 | 8 | 10 | µs |
| | | HEAT_VDS_BLK = 10b | 13 | 16 | 19 | µs |
| | | HEAT_VDS_BLK = 11b | 27 | 32 | 37 | µs |
| $V_{OL_HEAT}$ | 開放負荷スレッショルド電圧 | $V_{SH_HS}$ = 0V | 1.8 | 2 | 2.2 | V |
| $I_{OL_HEAT}$ | プルアップ電流ソースの開放負荷診断が有効化 | $V_{SH_HS}$ = 0 V、$V_{SHheater}$ = 4.5 V | | 1 | | mA |
| $t_{OL_HEAT}$ | ヒーター MOSFET の開放負荷フィルタ時間 | | | 2 | | ms |
| **エレクトロクロミック ドライバ** | | | | | | |
| $R_{DSON}$ ECFB | EC 放電用ローサイド MOSFET のオン抵抗 | $V_{PVDD}$ = 13.5V、$T_J$ = 25˚C、$I_{ECFB}$ = ±0.25A<br>ECFB_LS_EN = 1b | | 1375 | | mΩ |
| $R_{DSON}$ ECFB | EC 放電用ローサイド MOSFET のオン抵抗 | $V_{PVDD}$ = 13.5V、$T_J$ = 150˚C、$I_{ECFB}$ = ±0.125A<br>ECFB_LS_EN = 1b | | | 2500 | mΩ |
| $I_{OC_ECFB}$ | ローサイド MOSFET の過電流スレッショルド | $V_{PVDD}$ = 13.5V、$I_{ECFB}$ 電流シンク | 0.5 | | 1 | A |
| $t_{DG_OC_ECFB}$ | 過電流シャットダウン グリッチ除去時間 | $V_{PVDD}$ < 20V、$I_{ECFB}$ 電流シンク | | 40 | | µs |
| | | $V_{PVDD}$ > 20V、$I_{ECFB}$ 電流シンク | | 15 | | µs |
| $dV_{ECFB}/dt$ | ECFB およびローサイド MOSFET のスルーレート | $V_{PVDD}$ = 13.5V、Rload = 64 Ω を $P_{VDD}$ への接続 | | 7 | | V/µs |
| $I_{OL_ECFB_LS}$ | 放電中の EC の開放負荷検出スレッショルド | EC_OLEN = 1b、ECFB_LS_EN = 1b | 10 | 20 | 32 | mA |
| $t_{DG_OL_ECFB_LS}$ | 開放負荷グリッチ解除時間 | EC_OLEN = 1b、ECFB_LS_EN = 1b | 400 | | 600 | µs |

5 V ≦ $V_{PVDD}$ ≦ 35 V、3.1 V ≦ $V_{DVDD}$ ≦ 5.5 V、-40°C ≦ $T_J$ ≦ 150°C (特に記述のない限り)。標準的な制限は、$V_{PVDD}$ = 13.5 V、$V_{DVDD}$ = 5 V および $T_J$ = 25℃ に対して適用されます。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $V_{EC_CTRLmax}$ | ECFB 用の最大 EC 制御電圧ターゲット | ECFB_MAX = 1b | 1.4 | | 1.6 | V |
| $V_{EC_CTRLmax}$ | ECFB 用の最大 EC 制御電圧ターゲット | ECFB_MAX = 0b | 1.12 | | 1.28 | V |
| $V_{EC_res}$ | ECFB の可変電圧の最小分解能 | EC_ON = 1b | | 23.8 | | mV |
| $DNL_{ECFB}$ | 微分非直線性 | EC_ON = 1b | -2 | | 2 | LSB |
| $\|dV_{ECFB}\|$ | ターゲットと ECFB 間の電圧偏差 | $V_{target}$ = 23.8mV、$dV_{ECFB}$=$V_{target}$ - $V_{ECFB}$、$\|I_{ECDRV}\|$ < 1μA | –5% (–1LSB) | | +5% (+1LSB) | mV |
| $\|dV_{ECFB}\|$ | ターゲットと ECFB 間の電圧偏差 | $V_{target}$ = 1.5V、$dV_{ECFB}$=$V_{target}$ - $V_{ECFB}$、$\|I_{ECDRV}\|$ < 1μA | –5% (–1LSB) | | +5% (+1LSB) | mV |
| $V_{ECFB_HI}$ | ECFB の電圧が目標より高いことを示します | EC_ON = 1b | | $V_{target}$ + 0.12 | | V |
| $V_{ECFB_LO}$ | ECFB の電圧が目標値より低いことを示します | EC_ON = 1b | | $V_{target}$ – 0.12 | | V |
| $t_{FT_ECFB}$ | ECFB High/Low フラグのフィルタ時間 | EC_ON = 1b | | 32 | | μs |
| $t_{BLK_ECFB}$ | EC 制御フラグのブランキング時間 | 任意の EC ターゲット電圧変更 | 200 | 250 | 300 | μs |
| $V_{ECFB_OV_TH}$ | ECFB の過電圧スレッショルド | ECFB_OV_MODE = 01b または 10b、EC_ON = 1b | | 3 | | V |
| $t_{ECFB_OV_DG}$ | ECFB の過電圧フラグのグリッチ除去時間 | ECFB_OV_MODE = 01b または 10b、ECFB_OV_DG = 00b | 16 | 20 | 24 | μs |
| | | ECFB_OV_MODE = 01b または 10b、ECFB_OV_DG = 01b | 40 | 50 | 60 | μs |
| | | ECFB_OV_MODE = 01b または 10b、ECFB_OV_DG = 10b | 80 | 100 | 120 | μs |
| | | ECFB_OV_MODE = 01b または 10b、ECFB_OV_DG = 11b | 160 | 200 | 240 | μs |
| $V_{ECDRVminHIGH}$ | EC_ON = 1 のときの ECDRV の出力電圧範囲 | $I_{ECDRV}$ = -10μA | 4.5 | | 6.5 | V |
| $V_{ECDRVmaxLOW}$ | EC_ON = 0 のときの ECDRV の出力電圧範囲 | $I_{ECDRV}$ = 10μA | 0 | | 0.7 | V |
| $I_{ECDRV}$ | ECDRV への電流 | $V_{target}$ > $V_{ECFB}$ + 500 mV、$V_{ECDRV}$ = 3.5V | -730 | | -80 | μA |
| $I_{ECDRV}$ | ECDRV への電流 | $V_{target}$ < $V_{ECFB}$ - 500 mV、$V_{ECDRV}$ = 1.0V、$V_{target}$ = 1 LSB、$V_{ECFB}$ = 0.5V | 150 | | 350 | μA |
| $R_{ECDRV_DIS}$ | 高速放電モードにおける ECDRV のプルダウン抵抗 | $V_{ECDRV}$ = 0.7V、EC が有効であれば EC<5:0> = 0 または EC 無効 | | | 11 | kΩ |
| $t_{DISCHARGE}$ | 自動放電パルス幅 | ECFB_LS_PWM = 1b、ECFB_LS_EN = 1b | 240 | 300 | 360 | ms |
| $t_{ECFB_DISC_BLK}$ | 自動放電ブランキング時間 | ECFB_LS_PWM = 1b、ECFB_LS_EN = 1b | 2.25 | 3 | 3.75 | ms |
| $V_{DISC_TH}$ | PWM 放電レベル $V_{ECDRV}$ | ECFB_LS_PWM = 1b、ECFB_LS_EN = 1b | 335 | 400 | 465 | mV |
| $V_{DISC_TH_DIFF}$ | PWM 放電スレッショルド レベル $V_{ECDRV}$ - $V_{ECFB}$ | ECFB_LS_PWM = 1b、ECFB_LS_EN = 1b | -50 | 0 | 50 | mV |
| $V_{ECFB_OLP_TH}$ | ECFB での開放負荷検出 スレッショルド | EC_EN = 0b、EC_DIAG = 10b | | 2 | | V |
| $I_{ECFB_OLP}$ | 開放負荷検出中の ECFB への電流 | EC_EN = 0b、EC_DIAG = 10b | | 0.5 | | mA |
| $t_{ECFB_OLP}$ | ECFB の開放負荷フィルタ時間 | EC_ON = 0b、ECFB_DIAG = 10b | 2 | 3 | 4 | ms |


Copyright © 2025 Texas Instruments Incorporated

5 V ≦ $V_{PVDD}$ ≦ 35 V、3.1 V ≦ $V_{DVDD}$ ≦ 5.5 V、-40°C ≦ $T_J$ ≦ 150°C (特に記述のない限り)。標準的な制限は、$V_{PVDD}$ = 13.5 V、$V_{DVDD}$ = 5 V および $T_J$ = 25℃ に対して適用されます。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $V_{ECFB_SC_TH}$ | ECFB の短絡検出のスレッショルド | EC_EN = 0b、EC_DIAG = 01b、ECFB_SC_RSEL = 00b | | 25 | | mV |
| | | EC_EN = 0b、EC_DIAG = 01b、ECFB_SC_RSEL = 01b | | 50 | | mV |
| | | EC_EN = 0b、EC_DIAG = 01b、ECFB_SC_RSEL = 10b | | 100 | | mV |
| | | EC_EN = 0b、EC_DIAG = 01b、ECFB_SC_RSEL = 11b | | 150 | | mV |
| $I_{ECFB_SC}$ | 短絡検出中の ECFB への電流 | EC_EN = 0b、EC_DIAG = 01b | | 50 | | mA |
| $t_{ECFB_SC}$ | ECFB の短絡診断フィルタ時間 | EC_ON = 0b、ECFB_DIAG = 01b | 2 | 3 | 4 | ms |
| **ハーフ ブリッジ ドライバ** | | | | | | |
| $R_{ON_OUT1,2_HS}$ | ハイサイド MOSFET オン抵抗 | $I_{OUT}$ = 0.325A、$T_J$ = 25˚C | | 775 | | mΩ |
| | | $I_{OUT}$ = 0.325A、$T_J$ = 150˚C | | | 1480 | mΩ |
| $R_{ON_OUT1,2_LS}$ | ローサイド MOSFET オン抵抗 | $I_{OUT}$ = 0.325A、$T_J$ = 25˚C | | 765 | | mΩ |
| | | $I_{OUT}$ = 0.325A、$T_J$ = 150˚C | | | 1460 | mΩ |
| $R_{ON_OUT3,4_HS}$ | ハイサイド MOSFET オン抵抗 | $I_{OUT}$ = 1A、$T_J$ = 25˚C | | 220 | | mΩ |
| | | $I_{OUT}$ = 1A、$T_J$ = 150˚C | | | 450 | mΩ |
| $R_{ON_OUT3,4_LS}$ | ローサイド MOSFET オン抵抗 | $I_{OUT}$ = 1A、$T_J$ = 25˚C | | 220 | | mΩ |
| | | $I_{OUT}$ = 1A、$T_J$ = 150˚C | | | 450 | mΩ |
| $R_{ON_OUT5_HS}$ | ハイサイド MOSFET オン抵抗 | $I_{OUT}$ = 2A、$T_J$ = 25˚C | | 80 | | mΩ |
| | | $I_{OUT}$ = 2A、$T_J$ = 150˚C | | | 160 | mΩ |
| $R_{ON_OUT5_LS}$ | ローサイド MOSFET オン抵抗 | $I_{OUT}$ = 2A、$T_J$ = 25˚C | | 75 | | mΩ |
| | | $I_{OUT}$ = 2A、$T_J$ = 150˚C | | | 150 | mΩ |
| $R_{ON_OUT6_HS}$ | ハイサイド MOSFET オン抵抗 | $I_{OUT}$ = 1.75A、$T_J$ = 25˚C | | 90 | | mΩ |
| $R_{ON_OUT6_HS}$ | ハイサイド MOSFET オン抵抗 | $I_{OUT}$ = 1.75A、$T_J$ = 150˚C | | | 180 | mΩ |
| $R_{ON_OUT6_LS}$ | ローサイド MOSFET オン抵抗 | $I_{OUT}$ = 1.75A、$T_J$ = 25˚C | | 95 | | mΩ |
| $R_{ON_OUT6_LS}$ | ローサイド MOSFET オン抵抗 | $I_{OUT}$ = 1.75A、$T_J$ = 150˚C | | | 190 | mΩ |
| $SR_{OUT_HB}$ | ハーフ ブリッジ OUTx の出力電圧の立ち上がり/立ち下がり時間、10% ～ 90% | PVDD = 13.5V、OUTx_SR = 00b | | 1.6 | | V/µs |
| $SR_{OUT_HB}$ | ハーフ ブリッジ OUTx の出力電圧の立ち上がり/立ち下がり時間、10% ～ 90% | PVDD = 13.5V、OUTx_SR = 01b | | 13.5 | | V/µs |
| $SR_{OUT_HB}$ | ハーフ ブリッジ OUTx の出力電圧の立ち上がり/立ち下がり時間、10% ～ 90% | PVDD = 13.5V、OUTx_SR = 10b | | 24 | | V/µs |
| $t_{PD_OUT_HB_HS_R}$ | HS における出力電圧上昇時の伝搬時間 | ON コマンドまたは INx(SPI 最終遷移)から OUTx が 10% 電圧上昇に達するまでの時間(任意の SR 設定時) | 2 | | 10 | µs |
| $t_{PD_OUT_HB_HS_F}$ | HS における出力電圧降下時の伝搬時間 | ON コマンドまたは INx(SPI 最終遷移)から OUTx が 10% 電圧低下に達するまでの時間(任意の SR 設定時) | 1.5 | | 11 | µs |
| $t_{PD_OUT_HB_LS_R}$ | LS における出力電圧上昇時の伝搬時間 | ON コマンドまたは INx(SPI 最終遷移)から OUTx が 10% 電圧上昇に達するまでの時間(任意の SR 設定時) | 1.5 | | 10 | µs |

5 V ≦ $V_{PVDD}$ ≦ 35 V、3.1 V ≦ $V_{DVDD}$ ≦ 5.5 V、-40°C ≦ $T_J$ ≦ 150°C (特に記述のない限り)。標準的な制限は、$V_{PVDD}$ = 13.5 V、$V_{DVDD}$ = 5 V および $T_J$ = 25℃ に対して適用されます。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $t_{PD_OUT_HB_LS_F}$ | LS における出力電圧降下時の伝搬時間 | ON コマンドまたは INx(SPI 最終遷移)から OUTx が 10% 電圧低下に達するまでの時間(任意の SR 設定時) | 1.5 | | 10 | µs |
| $t_{DEAD_HS_ON}$ | HS における出力電圧上昇時のデッドタイム | PVDD = 13.5V、OUTx_ITRIP_LVL = 00b、すべての SR | 1 | | 6 | µs |
| $t_{DEAD_HS_OFF}$ | HS における出力電圧降下時のデッドタイム | PVDD = 13.5V、OUTx_ITRIP_LVL = 00b、すべての SR | 1 | | 6 | µs |
| $t_{DEAD_LS_ON}$ | LS における出力電圧上昇時のデッドタイム | PVDD = 13.5V、OUTx_ITRIP_LVL = 00b、すべての SR | 1 | | 7 | µs |
| $t_{DEAD_LS_OFF}$ | LS における出力電圧降下時のデッドタイム | PVDD = 13.5V、OUTx_ITRIP_LVL = 00b、すべての SR | 1.7 | | 14 | µs |
| **ハーフブリッジ保護回路** | | | | | | |
| $I_{OCP_OUT1,2}$ | 過電流保護スレッショルド | | 1.2 | | 2.2 | A |
| $I_{OCP_OUT3,4}$ | 過電流保護スレッショルド | | 4 | | 8 | A |
| $I_{OCP_OUT5}$ | 過電流保護スレッショルド | | 8 | | 16 | A |
| $I_{OCP_OUT6}$ | 過電流保護スレッショルド | | 7 | | 13 | A |
| $t_{DG_OCP_HB}$ | ハーフ ブリッジ ドライバの過電流保護グリッチ除去時間 | OUTX_OCP_DG = 00b | 4.5 | 6 | 7.3 | µs |
| | | OUTX_OCP_DG = 01b | 8 | 10 | 12 | µs |
| | | OUTX_OCP_DG = 10b | 12 | 15 | 18 | µs |
| | | OUTX_OCP_DG = 11b | 48 | 60 | 72 | µs |
| $I_{ITRIP_OUT1,2}$ | OUT1 および OUT2 に対する ITRIP レギュレーションのトリガーとなる電流スレッショルド | OUT1_ITRIP_LVL = 1b および OUT2_ITRIP_LVL = 1b | 0.65 | | 1.1 | A |
| | | OUT1_ITRIP_LVL = 0b および OUT2_ITRIP_LVL = 0b | 0.5 | | 0.9 | A |
| $I_{ITRIP_OUT3,4}$ | OUT3 および OUT4 に対する ITRIP レギュレーションのトリガーとなる電流スレッショルド | OUT3_ITRIP_LVL = 10b および OUT4_ITRIP_LVL = 10b | 2.9 | | 4.1 | A |
| | | OUT3_ITRIP_LVL = 01b および OUT4_ITRIP_LVL = 01b | 1.6 | | 3.25 | A |
| | | OUT3_ITRIP_LVL = 00b および OUT4_ITRIP_LVL = 00b | 1 | | 1.6 | A |
| $I_{ITRIP_OUT5}$ | OUT5 の ITRIP 制御をトリガする電流スレッショルド | OUT5_ITRIP_LVL = 10b | 6.65 | | 8.95 | A |
| | | OUT5_ITRIP_LVL = 01b | 5.65 | | 7.8 | A |
| | | OUT5_ITRIP_LVL = 00b | 2.5 | | 3.4 | A |
| $I_{ITRIP_OUT6}$ | OUT6 の ITRIP 制御をトリガする電流スレッショルド | OUT6_ITRIP_LVL = 10b | 5.35 | | 7.35 | A |
| $I_{ITRIP_OUT6}$ | OUT6 の ITRIP 制御をトリガする電流スレッショルド | OUT6_ITRIP_LVL = 01b | 4.65 | | 6.4 | A |
| $I_{ITRIP_OUT6}$ | OUT6 の ITRIP 制御をトリガする電流スレッショルド | OUT6_ITRIP_LVL = 00b | 1.75 | | 2.75 | A |
| $f_{ITRIP_HB}$ | ハーフブリッジ ドライバの ITRIP レギュレーションの固定周波数 | OUTX_ITRIP_FREQ = 00b | 17 | 20 | 23 | kHz |
| | | OUTX_ITRIP_FREQ = 01b | 8 | 10 | 12 | kHz |
| | | OUTX_ITRIP_FREQ = 10b | 4 | 5 | 6 | kHz |
| | | OUTX_ITRIP_FREQ = 11b | 2 | 2.5 | 3 | kHz |
| $t_{DG_ITRIP_HB}$ | ハーフブリッジ ドライバの ITRIP レギュレーション グリッチ除去時間 | OUTX_ITRIP_DG = 00b | 1.5 | 2 | 2.5 | µs |
| | | OUTX_ITRIP_DG = 01b | 4 | 5 | 6 | µs |
| | | OUTX_ITRIP_DG = 10b | 8 | 10 | 12 | µs |
| | | OUTX_ITRIP_DG = 11b | 16 | 20 | 24 | µs |


Copyright © 2025 Texas Instruments Incorporated

5 V ≦ $V_{PVDD}$ ≦ 35 V、3.1 V ≦ $V_{DVDD}$ ≦ 5.5 V、-40°C ≦ $T_J$ ≦ 150°C (特に記述のない限り)。標準的な制限は、$V_{PVDD}$ = 13.5 V、$V_{DVDD}$ = 5 V および $T_J$ = 25℃ に対して適用されます。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $I_{OLA_OUT1,2}$ | ハーフブリッジ 1 および 2 の低電流スレッショルド | | 6 | 20 | 30 | mA |
| $I_{OLA_OUT3,4}$ | ハーフブリッジ 3 および 4 の低電流スレッショルド | | 15 | 50 | 90 | mA |
| $I_{OLA_OUT5}$ | ハーフブリッジ 5 の低電流スレッショルド | | 40 | 150 | 300 | mA |
| $I_{OLA_OUT6}$ | ハーフブリッジ 6 の低電流スレッショルド | | 30 | 120 | 240 | mA |
| $t_{OLA_HB}$ | ハーフブリッジ回路における開放負荷信号のフィルタ時間 | ステータス ビットをセットするための開放負荷状態の継続時間 | | 10 | | ms |
| $A_{IPROPI1,2}$ | OUT1 ～ 2 の電流スケーリング係数 | | | 650 | | A/A |
| $A_{IPROPI3,4}$ | OUT3～ 4 の電流スケーリング係数 | | | 1940 | | A/A |
| $A_{IPROPI5}$ | OUT5 の電流スケーリング係数 | | | 4000 | | A/A |
| $A_{IPROPI6}$ | OUT6 の電流スケーリング係数 | | | 3500 | | A/A |
| $I_{ACC_1,2}$ | OUT1 ～ 2 の電流センス出力の精度 | 0.1A < $I_{OUT1,2}$ < 0.25A | -15 | | 15 | % |
| | | 0.25A < $I_{OUT1,2}$ < 0.5A | -10 | | 10 | % |
| | | 0.5 A < $I_{OUT1,2}$ < 1 A、$T_J$ < 125C | -8 | | 8 | % |
| | | 0.5 A < $I_{OUT1,2}$ < 1 A、$T_J$ > 125C | -12 | | 12 | % |
| $I_{ACC_3,4}$ | OUT3～4 の電流センス出力の精度 | 0.1A < $I_{OUT3,4}$ < 0.5A | -15 | | 15 | % |
| | | 0.5A < $I_{OUT3,4}$ < 1A | -12 | | 12 | % |
| | | 1A < $I_{OUT3,4}$ < 2A | -10 | | 10 | % |
| | | 2 A < $I_{OUT3,4}$ < 4 A、$T_J$ < 125C | -8 | | 8 | % |
| | | 2 A < $I_{OUT3,4}$ < 4 A、$T_J$ > 125C | -10 | | 10 | % |
| $I_{ACC_5}$ | OUT5 の電流センス出力の精度 | 0.1A < $I_{OUT5}$ < 0.8A | -40 | | 40 | % |
| $I_{ACC_5}$ | | 0.8A < $I_{OUT5}$ < 2A | -12 | | 12 | % |
| $I_{ACC_5}$ | | 2A < $I_{OUT5}$ < 4A | -10 | | 10 | % |
| $I_{ACC_5}$ | | 4A < $I_{OUT5}$ < 8A | -8 | | 8 | % |
| $I_{ACC_6}$ | OUT6 の電流センス出力エラー | 0.1A < $I_{OUT6}$ < 0.8A | -40 | | 40 | % |
| $I_{ACC_6}$ | | 0.8A < $I_{OUT6}$ < 2A | -12 | | 12 | % |
| $I_{ACC_6}$ | | 2A < $I_{OUT6}$ < 4A | -10 | | 10 | % |
| $I_{ACC_6}$ | | 4A < $I_{OUT6}$ < 8A | -8 | | 8 | % |
| $R_{S_GND}$ | OLP 動作中、OUTx から GND への抵抗スレッショルドをショートとして検出 | $V_{DVDD}$ = 5V、$V_{OLP_REF}$ = 2.65V、OUTX_CNFG = 0b、HB_OLP_CNFG > 0b および HB_OLP_SEL > 0b | 0.8 | | 3 | kΩ |
| $R_{S_PVDD}$ | OLP 動作中、OUTx から PVDD への抵抗スレッショルドをショートとして検出 | $V_{PVDD}$ = 13.5 V、$V_{DVDD}$ = 5 V、$V_{OLP_REF}$ = 2.65 V、OUTX_CNFG = 0b、HB_OLP_CNFG > 0b、HB_OLP_SEL > 0b | 3 | | 15 | kΩ |
| $R_{S_PVDD}$ | OLP 動作中、OUTx から PVDD への抵抗スレッショルドをショートとして検出 | 5 V ≤ VPVDD ≤ 35 V、$V_{DVDD}$ = 5 V、$V_{OLP_REF}$ = 2.65 V、OUTX_CNFG = 0b、HB_OLP_CNFG > 0b、HB_OLP_SEL > 0b | 1 | | 40 | kΩ |
| $R_{OPEN_HB}$ | OUTx の抵抗を開放として検出 | $V_{DVDD}$ = 5V、$V_{OLP_REF}$ = 2.65V、OUTX_CNFG = 0b、HB_OLP_CNFG > 0b および HB_OLP_SEL > 0b | 320 | | 1500 | Ω |
| $V_{OLP_REFH}$ | OLP コンパレータ基準電圧 High | OUTX_CNFG = 0b、HB_OLP_CNFG > 0b および HB_OLP_SEL > 0b | | 2.85 | | V |

5 V ≦ $V_{PVDD}$ ≦ 35 V、3.1 V ≦ $V_{DVDD}$ ≦ 5.5 V、-40°C ≦ $T_J$ ≦ 150°C (特に記述のない限り)。標準的な制限は、$V_{PVDD}$ = 13.5 V、$V_{DVDD}$ = 5 V および $T_J$ = 25℃ に対して適用されます。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $V_{OLP_REFL}$ | OLP コンパレータ基準電圧 Low | OUTX_CNFG = 0b、HB_OLP_CNFG > 0b および HB_OLP_SEL > 0b | | 1.7 | | V |
| $R_{OLP_PU}$ | OLP 動作中の OUTx から VDD への内部プルアップ抵抗 | OUTX_CNFG = 0b、HB_OLP_CNFG > 0b および HB_OLP_SEL > 0b | | 1 | | kΩ |
| $R_{OLP_PD}$ | OLP 動作中の OUTx から VDD への内部プルダウン抵抗 | OUTX_CNFG = 0b、HB_OLP_CNFG > 0b および HB_OLP_SEL > 0b | | 1 | | kΩ |
| ハイサイド ドライバ | | | | | | |
| $R_{DSON}$ OUT7 (低 RDSON モード) | 低抵抗モードにおけるハイサイド MOSFET のオン抵抗 | $T_J$ = 25˚C、$I_{OUT7}$ = ±0.375A | | 400 | | mΩ |
| | | $T_J$ = 150˚C、$I_{OUT7}$ = ±0.375A | | | 730 | mΩ |
| $R_{DSON}$ OUT7 (高 RDSON モード) | 高抵抗モードにおけるハイサイド MOSFET のオン抵抗 | $T_J$ = 25˚C、$I_{OUT7}$ = ±0.125A | | 1200 | | mΩ |
| | | $T_J$ = 150˚C、$I_{OUT7}$ = ±0.125A | | | 2200 | mΩ |
| $R_{DSON}$ OUT8 | ハイサイド MOSFET オン抵抗 | $T_J$ = 25˚C、$I_{OUT8}$ = ±0.125A | | 1200 | | mΩ |
| | | $T_J$ = 150˚C、$I_{OUT8}$ = ±0.125A | | | 2200 | mΩ |
| $R_{DSON}$ OUT9 | ハイサイド MOSFET オン抵抗 | $T_J$ = 25˚C、$I_{OUT9}$ = ±0.125A | | 1200 | | mΩ |
| | | $T_J$ = 150˚C、$I_{OUT9}$ = ±0.125A | | | 2200 | mΩ |
| $R_{DSON}$ OUT10 | ハイサイド MOSFET オン抵抗 | $T_J$ = 25˚C、$I_{OUT10}$ = ±0.125A | | 1200 | | mΩ |
| | | $T_J$ = 150˚C、$I_{OUT10}$ = ±0.125A | | | 2200 | mΩ |
| $R_{DSON}$ OUT11 | ハイサイド MOSFET オン抵抗 | $T_J$ = 25˚C、$I_{OUT11}$ = ±0.125A | | 1200 | | mΩ |
| | | $T_J$ = 150˚C、$I_{OUT11}$ = ±0.125A | | | 2200 | mΩ |
| $R_{DSON}$ OUT12 | ハイサイド MOSFET オン抵抗 | $T_J$ = 25˚C、$I_{OUT12}$ = ±0.125A | | 1200 | | mΩ |
| | | $T_J$ = 150˚C、$I_{OUT12}$ = ±0.125A | | | 2200 | mΩ |
| $SR_{HS_OUT7_HI}$ | OUT7 の High $R_{DSON}$ モードにおけるスルーレート (最終的な OUT 値の 10 ～ 90%) | OUT7_RDSON_MODE = 0b、PVDD = 13.5V、Rload = 64 Ω | | 0.3 | | V/µs |
| $SR_{HS_OUT7_LO}$ | OUT7 の Low $R_{DSON}$ モードにおけるスルーレート (最終的な OUT 値の 10 ～ 90%) | OUT7_RDSON_MODE = 1b、PVDD = 13.5V、Rload = 16 Ω | | 0.24 | | V/µs |
| $SR_{HS}$ | OUT8 ～ OUT12 のスルーレート (最終的な OUT 値の 10 ～ 90%) | PVDD = 13.5V、Rload 64 Ω | | 1.4 | | V/µs |
| $t_{PD_OUT7_HI_ON}$ | OUT7 の High $R_{DSON}$ モードにおけるドライバ立ち上がり伝搬遅延時間 (ハイサイド ON コマンド間 (SPI 最終遷移) から最終的な OUT7 値の 10% までの遅延) | OUT7_RDSON_MODE = 0b、PVDD = 13.5V、Rload = 64 Ω | | 16 | | µs |
| $t_{PD_OUT7_HI_OFF}$ | OUT7 の High $R_{DSON}$ モードにおけるドライバ立ち上がり伝搬遅延時間 (ハイサイド OFF コマンド間 (SPI 最終遷移) から最終的な OUT7 値の 90% までの遅延) | OUT7_RDSON_MODE = 0b、PVDD = 13.5V、Rload = 64 Ω | | 16 | | µs |
| $t_{PD_OUT7_LO_ON}$ | OUT7 の Low $R_{DSON}$ モードにおけるドライバ立ち上がり伝搬遅延時間 (ハイサイド ON コマンド間 (SPI 最終遷移) から最終的な OUT7 値の 10% までの遅延) | OUT7_RDSON_MODE = 1b、PVDD = 13.5V、Rload = 16 Ω | | 19 | | µs |


Copyright © 2025 Texas Instruments Incorporated

5 V ≦ $V_{PVDD}$ ≦ 35 V、3.1 V ≦ $V_{DVDD}$ ≦ 5.5 V、-40°C ≦ $T_J$ ≦ 150°C (特に記述のない限り)。標準的な制限は、$V_{PVDD}$ = 13.5 V、$V_{DVDD}$ = 5 V および $T_J$ = 25℃ に対して適用されます。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $t_{PD_OUT7_LO_OFF}$ | OUT7 の Low $R_{DSON}$ モードにおけるドライバ立ち上がり伝搬遅延時間 (ハイサイド OFF コマンド間 (SPI 最終遷移) から最終的な OUT7 値の 90% までの遅延) | OUT7_RDSON_MODE = 1b、PVDD = 13.5V、Rload = 16 Ω | | 19 | | μs |
| $t_{PD_HS_ON}$ | ハイサイドドライバ OUT8～OUT12 の立ち上がり伝播遅延時間ドライバ (ハイサイド ON コマンド (SPI 最終遷移) から最終 OUTx 値の 10% 到達までの遅延) | PVDD= 13.5V、Rload = 64 Ω | | 4 | | μs |
| $t_{PD_HS_OFF}$ | ハイサイドドライバ OUT8～OUT12 の立ち下がり伝播遅延時間ドライバ (ハイサイド OFF コマンド (SPI 最終遷移) から最終 OUTx 値の 90% 到達までの遅延) | PVDD= 13.5V、Rload = 64 Ω | | 4 | | μs |
| $f_{PWMx(00)}$ | PWM スイッチング周波数 | PWM_OUTX_FREQ = 00b | 78 | 108 | 138 | Hz |
| $f_{PWMx(01)}$ | PWM スイッチング周波数 | PWM_OUTX_FREQ = 01b | 157 | 217 | 277 | Hz |
| $f_{PWMx(10)}$ | PWM スイッチング周波数 | PWM_OUTX_FREQ = 10b | 229 | 289 | 359 | Hz |
| $f_{PWMx(11)}$ | PWM スイッチング周波数 | PWM_OUTX_FREQ = 11b | 374 | 434 | 494 | Hz |
| $I_{LEAK_H}$ | OUT7 ～ 12 のスイッチオフ出力電流ハイサイド ドライバ | $V_{OUT}$ = 0V、スタンバイ モード | -10 | | | μA |
| **ハイサイド ドライバ保護回路** | | | | | | |
| $I_{OC7}$ | 高 RDSON モードでの過電流スレッショルド | OUT7_RDSON_MODE = 0b | 500 | | 1000 | mA |
| | 低 RDSON モードでの過電流スレッショルド | OUT7_RDSON_MODE = 1b | 1500 | | 3000 | mA |
| $I_{OC8}$、$I_{OC9}$、$I_{OC10}$、$I_{OC11}$、$I_{OC12}$ | OUT8 ～ OUT12 の過電流しきい値 | OUTX_OC_TH = 0b | 250 | | 500 | mA |
| | | OUTX_OC_TH = 1b | 500 | | 1000 | mA |
| $I_{CCM_OUT7}$ | ハイサイド ドライバ OUT7 の高 $R_{DSON}$ における定電流レベル | OUT7_RDSON_MODE = 0b、OUT7_CCM_EN = 1b、OUT7_CCM_TO = 0b | 180 | 250 | 330 | mA |
| | | OUT7_RDSON_MODE = 0b、OUT7_CCM_EN = 1b、OUT7_CCM_TO = 1b | 240 | 330 | 420 | mA |
| $I_{CCM_OUT7}$ | ハイサイド ドライバ OUT7 の低 $R_{DSON}$ モードにおける定電流レベル | OUT7_RDSON_MODE = 1b、OUT7_CCM_EN = 1b、OUT7_CCM_TO = 0b | 210 | 360 | 530 | mA |
| $I_{CCM_OUT7}$ | | OUT7_RDSON_MODE = 1b、OUT7_CCM_EN = 1b、OUT7_CCM_TO = 1b | 250 | 450 | 650 | mA |
| $I_{CCM}$ | ハイサイドドライバ OUT8-12 の定電流レベル | OUTX_CCM_EN = 1b、OUTX_CCM_TO = 0b | 240 | 350 | 450 | mA |
| | | OUTX_CCM_EN = 1b、OUTX_CCM_TO = 1b | 320 | 450 | 580 | mA |
| $t_{CCMto}$ | 定電流モードの時間満了 | OUTX_CCM_EN = 1b | 8 | 10 | 12 | ms |
| $V_{SC_DET}$ | OUT7-12 の短絡検出電圧 | | | 2 | | V |
| $t_{SC_BLK}$ | OUT7-12 における短絡検出、ITRIP レギュレーション、過電流保護のためのブランク時間 | | | 40 | | μs |

5 V ≦ $V_{PVDD}$ ≦ 35 V、3.1 V ≦ $V_{DVDD}$ ≦ 5.5 V、-40°C ≦ $T_J$ ≦ 150°C (特に記述のない限り)。標準的な制限は、$V_{PVDD}$ = 13.5 V、$V_{DVDD}$ = 5 V および $T_J$ = 25℃ に対して適用されます。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $T_{_HS_DG_OUT7}$ | OUT7 における短絡検出、ITRIP レギュレーション、過電流保護のためのグリッチ除去時間 | OUT7_ITRIP_DG = 00b、PVDD≤20V | 39 | 48 | 59 | µs |
| | | OUT7_ITRIP_DG = 01b、PVDD≤20V | 32 | 40 | 48 | µs |
| | | OUT7_ITRIP_DG = 10b、PVDD≤20V | 26 | 32 | 38 | µs |
| | | OUT7_ITRIP_DG = 11b、PVDD≤20V | 19 | 24 | 29 | µs |
| | | PVDD > 20V | 9 | 12 | 14 | µs |
| $f_{ITRIP_HS_OUT7}$ | ハイサイド ドライバ OUT7 の ITRIP 周波数 | OUT7_ITRIP_FREQ = 00b | | 1.7 | | kHz |
| | | OUT7_ITRIP_FREQ = 01b | | 2.2 | | kHz |
| | | OUT7_ITRIP_FREQ = 10b | | 3 | | kHz |
| | | OUT7_ITRIP_FREQ = 11b | | 4.4 | | kHz |
| $t_{_HS_DG_OUTx}$ | OUT8-12 における短絡検出、ITRIP レギュレーション、過電流保護のためのグリッチ除去時間 | OUTX_ITRIP_DG = 00b、PVDD≤20V | 39 | 48 | 59 | µs |
| | | OUTX_ITRIP_DG = 01b、PVDD≤20V | 32 | 40 | 48 | µs |
| | | OUTX_ITRIP_DG = 10b、PVDD≤20V | 26 | 32 | 38 | µs |
| | | OUTX_ITRIP_DG = 11b、PVDD≤20V | 19 | 24 | 29 | µs |
| | | PVDD > 20V | 9 | 12 | 14 | µs |
| $f_{ITRIP_HS_OUTX}$ | ハイサイド ドライバ OUT8-12 の ITRIP 周波数 | HS_OUT_ITRIP_FREQ = 00b | | 1.7 | | kHz |
| | | HS_OUT_ITRIP_FREQ = 01b | | 2.2 | | kHz |
| | | HS_OUT_ITRIP_FREQ = 10b | | 3 | | kHz |
| | | HS_OUT_ITRIP_FREQ = 11b | | 4.4 | | kHz |
| $I_{OLD7}$ | OUT7 の開放負荷スレッショルド | OUT7_RDSON_MODE = 1b | 15 | | 30 | mA |
| | OUT7 の開放負荷スレッショルド | OUT7_RDSON_MODE = 0b | 5 | | 10 | mA |
| $I_{OLD8}$、$I_{OLD9}$、$I_{OLD10}$、$I_{OLD11}$、$I_{OLD12}$ | OUT8 ～ OUT12 の開放負荷スレッショルド | OUTX_OLA_TH = 0b | 1.3 | | 3.3 | mA |
| | | OUTX_OLA_TH = 1b | 4 | | 12 | mA |
| $t_{OLD_HS}$ | ハイサイド ドライバの開放負荷信号のフィルタ時間 | ステータス ビットをセットするための開放負荷状態の継続時間 | | 200 | 250 | µs |
| $A_{IPROPI7_HI}$ | 高オン抵抗モードでの OUT7 の電流スケーリング係数 | OUT7_RDSON_MODE = 0b | | 250 | | A/A |
| $A_{IPROPI7_LO}$ | 低オン抵抗モードでの OUT7 の電流スケーリング係数 | OUT7_RDSON_MODE = 1b | | 750 | | A/A |
| $A_{IPROPI8}$、$A_{IPROPI9}$、$A_{IPROPI10}$、$A_{IPROPI11}$、$A_{IPROPI12}$、 | OUT8 ～12 の電流スケーリング係数 | | | 250 | | A/A |
| $I_{ACC_7_HI_RDSON}$ | 高 R_DSON モードにおける OUT7 の電流センス出力精度 | 0.1A < $I_{OUT7}$ < 0.5A | -18 | | 18 | % |
| $I_{ACC_7_HI_RDSON}$ | 高 R_DSON モードにおける OUT7 の電流センス出力精度 | $I_{OUT7}$ = 0.25A | -10 | | 10 | % |
| $I_{ACC_7_LOW_RDSON}$ | 低 RDSON モードでの OUT7 の電流センス出力精度 | 0.5A < $I_{OUT7}$ < 1.5A | -14 | | 14 | % |
| $I_{ACC_7_LOW_RDSON}$ | 低 RDSON モードでの OUT7 の電流センス出力精度 | $I_{OUT7}$ = 1A | -8 | | 8 | % |
| $I_{ACC_8_12_LO}$ | 低電流時の OUT8 ～ OUT12 の電流センス出力精度 | 0.05A < $I_{OUT8_12}$ < 0.1A | -28 | | 28 | % |


Copyright © 2025 Texas Instruments Incorporated

5 V ≦ $V_{PVDD}$ ≦ 35 V、3.1 V ≦ $V_{DVDD}$ ≦ 5.5 V、-40°C ≦ $T_J$ ≦ 150°C (特に記述のない限り)。標準的な制限は、$V_{PVDD}$ = 13.5 V、$V_{DVDD}$ = 5 V および $T_J$ = 25℃ に対して適用されます。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $I_{ACC_8\text{-}12_LO}$ | 低電流時の OUT8 ～ OUT12 の電流センス出力精度 | $I_{OUT8\text{-}12}$ < 0.075A | -20 | | 20 | % |
| $I_{ACC_8\text{-}12_LO}$ | 低電流時の OUT8 ～ OUT12 の電流センス出力精度 | $I_{OUT8\text{-}12}$ < 0.1A | -18 | | 18 | % |
| $I_{ACC_8\text{-}12_HI}$ | 高電流時の OUT8 ～ OUT12 の電流センス出力精度 | 0.1A < $I_{OUT8\text{-}12}$ < 0.5A | -18 | | 18 | % |
| $I_{ACC_8\text{-}12_HI}$ | 高電流時の OUT8 ～ OUT12 の電流センス出力精度 | $I_{OUT8\text{-}12}$ = 0.25A | -10 | | 10 | % |
| $I_{ACC_8\text{-}12_HI}$ | 高電流時の OUT8 ～ OUT12 の電流センス出力精度 | $I_{OUT8\text{-}12}$ = 0.5A | -6 | | 6 | % |
| $t_{IPROPI_BLK}$ | IPROPI ブランキング時間 | OUT7-12 は IPROPI 準備完了時に High になり、ハイサイドドライバ電流を監視する場合にのみ適用されます | | 60 | | µs |
| | | IPROPI マルチプレクサの IPROPI 準備完了への切り替え | | 5 | | µs |
| **保護回路** | | | | | | |
| $V_{PVDD_UV}$ | PVDD 低電圧スレッショルド | $V_{PVDD}$ 立ち上がり | 4.425 | 4.725 | 5 | V |
| | | $V_{PVDD}$ 立ち下がり | 4.225 | 4.525 | 4.8 | V |
| $V_{PVDD_UV_HYS}$ | PVDD 低電圧ヒステリシス | 立ち上がりから立ち下がりへのスレッショルド | | 250 | | mV |
| $t_{PVDD_UV_DG}$ | PVDD 低電圧グリッチ除去時間 | | 8 | 10 | 12.75 | µs |
| $V_{PVDD_OV}$ | PVDD 過電圧スレッショルド | $V_{PVDD}$ 立ち上がり、PVDD_OV_LVL = 0b | 20 | 21 | 22 | V |
| | | $V_{PVDD}$ 立ち下がり、PVDD_OV_LVL = 0b | 19 | 20 | 21 | V |
| | | $V_{PVDD}$ 立ち上がり、PVDD_OV_LVL = 1b | 25.75 | 26.8 | 28 | V |
| | | $V_{PVDD}$ 立ち下がり、PVDD_OV_LVL = 1b | 24.75 | 25.8 | 27 | V |
| $V_{PVDD_OV_HYS}$ | PVDD 過電圧ヒステリシス | 立ち上がりから立ち下がりへのスレッショルド | | 1 | | V |
| $t_{PVDD_OV_DG}$ | PVDD 過電圧グリッチ除去時間 | PVDD_OV_DG = 00b | 0.75 | 1 | 1.5 | µs |
| | | PVDD_OV_DG = 01b | 1.5 | 2 | 2.5 | µs |
| | | PVDD_OV_DG = 10b | 3.25 | 4 | 4.75 | µs |
| | | PVDD_OV_DG = 11b | 7 | 8 | 9 | µs |
| $V_{DVDD_POR}$ | DVDD 電源 POR スレッショルド | DVDD 立ち下がり | 2.5 | 2.7 | 2.9 | V |
| | | DVDD 立ち上がり | 2.6 | 2.8 | 3 | V |
| $V_{DVDD_POR_HYS}$ | DVDD POR ヒステリシス | 立ち上がりから立ち下がりへのスレッショルド | | 100 | | mV |
| $t_{DVDD_POR_DG}$ | DVDD POR グリッチ除去時間 | | 5 | 12 | 25 | µs |
| $t_{WD}$ | ウォッチドッグウィンドウの最小値 | WD_WIN = 0b | 3.4 | 4 | 4.6 | ms |
| | | WD_WIN = 1b | 8.5 | 10 | 11.5 | ms |
| | ウォッチドッグウィンドウの最大値 | WD_WIN = 0b | 10.5 | 12 | 13.5 | ms |
| | | WD_WIN = 1b | 85 | 100 | 115 | ms |
| $A_{IPROPI_PVDD_VOUT}$ | IPROPI PVDD 電圧センス出力スケーリング係数 ($V_{PVDD}$ /I $_{IPROPI}$ ) | IPROPI_SEL = 10000b (5V ～ 22V のセンス範囲) | 9 | 11 | 13 | V/mA |
| $A_{IPROPI_PVDD_VOUT}$ | IPROPI PVDD 電圧センス出力スケーリング係数 ($V_{PVDD}$ /I $_{IPROPI}$ ) | IPROPI_SEL = 101010b (20V ～ 32V のセンス範囲) | 13.5 | 16.5 | 19.5 | V/mA |
| $V_{IPROPI_TEMP_VOUT}$ | IPROPI 温度検出出力 | | -20 | | +20 | °C |

5 V ≦ $V_{PVDD}$ ≦ 35 V、3.1 V ≦ $V_{DVDD}$ ≦ 5.5 V、-40°C ≦ $T_J$ ≦ 150°C (特に記述のない限り)。標準的な制限は、$V_{PVDD}$ = 13.5 V、$V_{DVDD}$ = 5 V および $T_J$ = 25℃ に対して適用されます。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $T_{OTW1}$ | 低温警告温度 | $T_J$ 立ち上がり | 105 | 120 | 135 | °C |
| $T_{OTW2}$ | 過熱警告温度 | $T_J$ 立ち上がり | 125 | 140 | 155 | °C |
| $T_{HYS}$ | 過熱警告ヒステリシス | | | 20 | | °C |
| $T_{OTSD}$ | サーマル シャットダウン温度 | $T_J$ 立ち上がり | 155 | 170 | 185 | °C |
| $T_{HYS}$ | サーマル シャットダウン ヒステリシス | | | 20 | | °C |
| $t_{OTSD_DG}$ | サーマル シャットダウン グリッチ除去時間 | | | 10 | | µs |

## 6.6 タイミング要件

| | | 最小値 | 公称値 | 最大値 | 単位 |
|---|---|---|---|---|---|
| $f_{SPI}$ | SPI 対応クロック周波数(1) (2) | | | 5 | MHz |
| $t_{READY_SPI}$ | パワーアップ後、SPI レディまで | | | 1 | ms |
| $t_{CLK}$ | SCLK の最小周期 | 200 | | | ns |
| $t_{CLKH}$ | SCLK 最小 High 時間 | 100 | | | ns |
| $t_{CLKL}$ | SCLK の最小 Low 時間 | 100 | | | ns |
| $t_{HI_nSCS}$ | nSCS 最小 HIGH 時間 | 300 | | | ns |
| $t_{SU_nSCS}$ | nSCS 入力セットアップ時間 | 25 | | | ns |
| $t_{H_nSCS}$ | nSCS 入力ホールド時間 | 25 | | | ns |
| $t_{SU_SDI}$ | SDI 入力データ セットアップ時間 | 25 | | | ns |
| $t_{H_SDI}$ | SDI 入力データ ホールド時間 | 25 | | | ns |
| $t_{D_SDO}$ | SDO 出力データ遅延時間、$C_L$ = 20pF(1) | | | 60 | ns |
| $t_{EN_nSCS}$ | イネーブル遅延時間、nSCS Low から SDO アクティブまで | | | 50 | ns |
| $t_{DIS_nSCS}$ | ディセーブル遅延時間、nSCS High から SDO Hi-Z まで | | | 50 | ns |

(1) SDO 遅延時間は、SDO の外部負荷 ($C_L$) が 20pF の場合にのみ有効です。SDO の負荷を増加すると、SDO にさらに遅延が加えられ、SCLK の最大値が制限されます。
(2) パラメータについては SPI タイミング図を参照してください。


Copyright © 2025 Texas Instruments Incorporated

# 7 詳細説明

## 7.1 概要

DRV8001-Q1 デバイスには、モーター（誘導性）、抵抗性、容量性負荷の駆動および診断のための複数の機能を使用する複数のタイプのドライバが内蔵されています。このデバイスは、、6 個の内蔵ハーフブリッジ、6 個の内蔵ハイサイド ドライバ、ヒータ用の 1 個のハイサイド外部 MOSFET ゲートドライバ、1 個のエレクトロクロミック充電用ハイサイド ゲートドライバ、1 個のエレクトロクロミック負荷放電用ローサイド ドライバを搭載しています。各ドライバは、電流検出、保護、診断機能に加え、システム保護および診断機能を備えており、システム統合性を高めるとともに、システム全体のサイズとコストを削減します。

ハーフ ブリッジ ドライバは、SPI レジスタまたは PWM ピンの PWM1 および PWM2 によって制御できます。ハーフ ブリッジには、ITRIP と呼ばれる電流チョッピング方式が設定可能です。保護回路には、短絡保護、アクティブおよびパッシブなオープン ロード検出が含まれます。

ハイサイド ドライバは、SPI レジスタ、外部 PWM ピン（PWM1）、または専用の PWM ジェネレータによって制御でき、動作中の負荷調整が可能です。すべてのハイサイド ドライバには、LED やランプ モジュール負荷向けのオプション機能として、定電流モードおよび ITRIP 制御が備わっています。1 個のハイサイド ドライバは、ランプまたは LED 負荷のいずれかを駆動するように構成できます。保護回路には、短絡保護や開放負荷検出が搭載されています。

このデバイスは、抵抗性発熱体用の外付け MOSFET ドライバも備えています。ヒータ MOSFET ドライバは、SPI レジスタまたは PWM ピン（PWM1）で制御でき、短絡および負荷開放検出の両方の機能を備えています。

また、エレクトロクロミック（EC）ミラー ドライバもあります。EC ドライバは、SPI レジスタでのみ制御されます。EC 駆動の場合、ドライバ制御ループは EC 電圧を 6 ビットの目標電圧にレギュレートします。EC 素子を放電したり、目標電圧を変更したりするために、EC 素子を放電する内蔵ローサイド MOSFET が 2 つの放電モード、PWM 放電と高速放電オプションのいずれかで用意されています。EC ドライバ保護には、LS 過電流および開放負荷検出が含まれます。

IPROPI ピンは出力ピンであり、内蔵ドライバのいずれかからの比例電流検出信号、PVDD モータ電源モニタ、または 4 つの内部温度クラスタのいずれかの信号を出力できます。

## 7.2 機能ブロック図

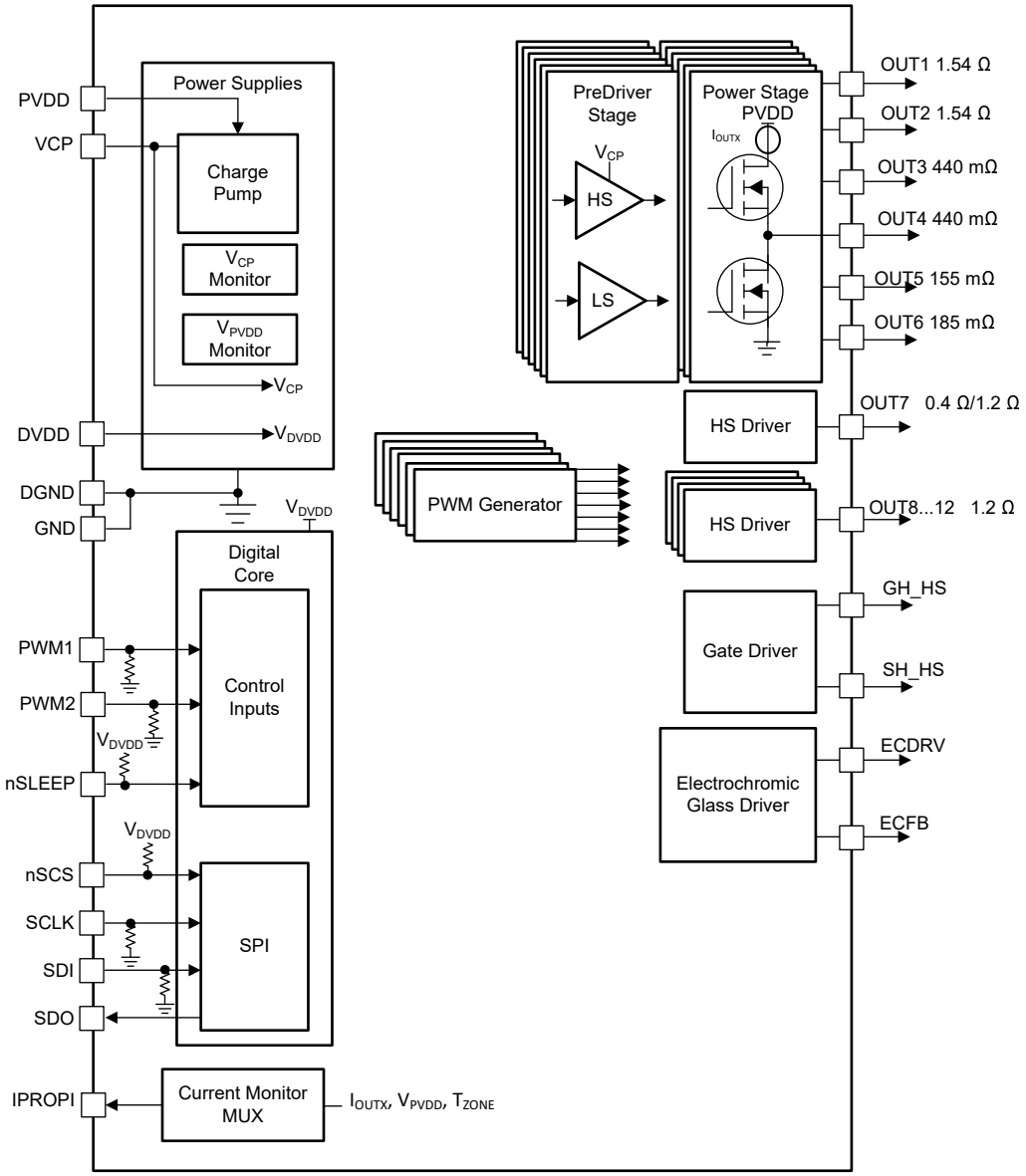



**図 7-1. DRV8001-Q1 のブロック図**

## 7.3 外付け部品

表 7-1 に、推奨の外付け部品を示します。部品の配置例についてはセクション 9.2 を参照してください。

**表 7-1. 推奨外付け部品**

| 部品 | ピン 1 | ピン 2 | 推奨 |
|---|---|---|---|
| $C_{PVDD1}$ | PVDD | GND | 0.1µF、低 ESR セラミック コンデンサ、PVDD 定格。 |
| $C_{PVDD2}$ | PVDD | GND | PVDD 定格の 10µF 以上のローカル バルク容量。 |
| $C_{DVDD}$ | DVDD | GND | 1µF 6.3V、低 ESR セラミック コンデンサ |
| $C_{VCP}$ | VCP | PVDD | 1µF 16V、低 ESR セラミック コンデンサ |
| $R_{IPROPI}$ | IPROPI | GND | 通常、コントローラの電源電圧レールに応じて、最大 2.35kΩ、0.063W、許容差 1% の抵抗が使用されます。 |


Copyright © 2025 Texas Instruments Incorporated

**表 7-1. 推奨外付け部品 (続き)**

| 部品 | ピン 1 | ピン 2 | 推奨 |
|---|---|---|---|
| $R_{FILT}$ | $R_{IPROPI}$ | $C_{FILT}$ | コントローラ入力に応じて、RC フィルタの一部としてオプションで抵抗を使用します。 |
| $C_{FILT}$ | $R_{FILT}$ | GND | コントローラ入力に応じて、RC フィルタの一部としてオプションで低 ESR セラミック コンデンサを使用します。 |
| $R_{ECDRV}$ | ECDRV | GND | 通常、制御ループを安定させるために、ECDRV ピンと外付け MOSFET のゲート間に 220Ω の直列抵抗を挿入します (ESD 対策のみ)。<br>$R_{ECDRV}$ は、$C_{ECDRV}$ の後の外部 MOSFET のゲートの近くに配置します。 |
| $C_{ECDRV}$ | ECDRV | GND | 4.7nF、低 ESR セラミック コンデンサ。$C_{ECDRV}$ は、直列抵抗 $R_{ECDRV}$ の ECDRV ピン側に配置します。<br>**注**<br>このコンデンサの電圧定格は、ECFB のバッテリ短絡の想定に基づいています。 |
| $C_{ECFB}$ | ECFB | GND | 220nF、低 ESR セラミック コンデンサ<br>**注**<br>このコンデンサの電圧定格は、ECFB のバッテリ短絡の想定に基づいています。 |
| $R_{GH_HS}$ | GH_HS | MOSFET ゲート | オプションの 0Ω を使用して、ヒーターのスルーレート制御を実現できます。 |
| $R_{SH_HS}$ | SH_HS | MOSFET ソース | オプションの 0Ω はヒーターのバッテリ短絡の想定に使用できます。<br>**注**<br>誘導性の短絡が発生した場合に備えて、適切な電流定格を持つ外付けダイオードを推奨します。 |

## 7.4 機能説明

次の表に、デバイスの主要なブロックの機能に関するすべての説明へのリンクを示します。

**表 7-2. セクションごとのデバイスの特長表**

| デバイスのブロック |
|---|
| ヒータ MOSFET ドライバ |
| エレクトロクロミック ガラス ドライバ |
| ハイサイド ドライバ |
| ハーフ ブリッジ ドライバ |
| IPROPI |
| 保護回路 |
| サーマル クラスタ |
| 障害表 |

### 7.4.1 ヒータ MOSFET ドライバ

**表 7-3. ヒータ ドライバ セクションの目次**

| ヒータ セクション | セクションへのリンク |
|---|---|
| 機能セクションのトップに戻る | セクション 7.4 |
| ヒータドライバ制御 | セクション 7.4.1.1 |
| ヒータドライバの保護 | セクション 7.4.1.2 |

これは、抵抗性発熱素子の駆動に使用できる外付けのハイサイド MOSFET ゲートドライバです。ドライバは SPI または PWM で制御され、アクティブ短絡検出とオフ状態での開放負荷検出がプログラム可能です。

#### 7.4.1.1 ヒータ MOSFET ドライバ制御

ヒータ MOSFET ドライバ制御モードは、レジスタ HS_HEAT_OUT_CNFG の HEAT_CNFG ビットで設定されます。ヒータ構成ビットは、ヒーター出力の制御をイネーブルまたはディセーブルにし、制御ソースを構成します。ヒータドライバの場合、制御ソースは SPI レジスタ制御と PWM ピン制御です。

SPI レジスタ制御モード (HEAT_CNFG = 01b) では、レジスタ HS_EC_HEAT_CTRL のビット HEAT_EN をセットすることで、ヒータ MOSFET ゲート駆動がイネーブルおよびディスエーブルされます。

PWM 制御モード (HEAT_CNFG = 10b) では、ゲートドライバはピン PWM1 の外部 PWM 信号によって制御されます。ヒータドライバが PWM 制御モードにある場合、HEAT_EN は無視されます。

次の表は、ヒータドライバの設定および制御オプションをまとめたものです。

**表 7-4. ヒータの設定**

| HEAT_CNFG ビット | 構成 | 説明 |
|---|---|---|
| 00b | ディセーブル | ヒータ コントロール無効 |
| 01b | SPI レジスタの制御 | ヒータ SPI 制御がイネーブル |
| 10b | PWM1 制御 | PWM1 ピンによるヒーター制御 |
| 11b | 予約済み | 予約済み |

以下は、ヒータドライバ ブロックのブロック図です。

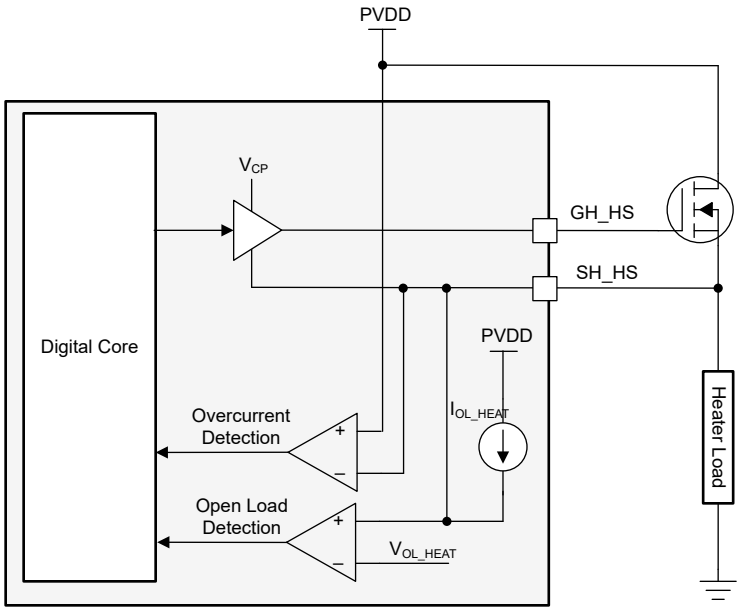



**図 7-2. ヒータ MOSFET ドライバのブロック図**


Copyright © 2025 Texas Instruments Incorporated

以下のタイミング波形は、ヒータドライバに予想されるタイミングを示しています。

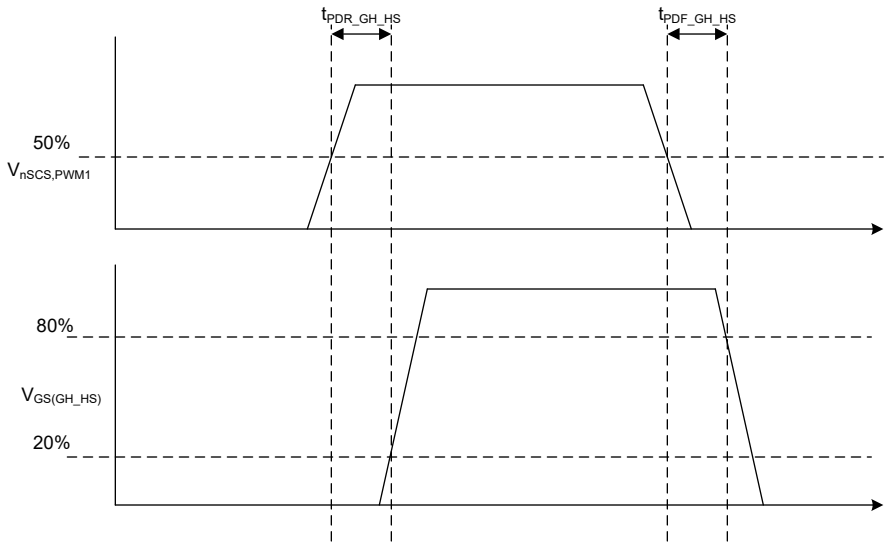



**図 7-3. ヒータのタイミング図**

#### 7.4.1.2 ヒータ MOSFET ドライバの保護

ヒータドライバは、アクティブな短絡検出と、オフ状態の開路検出を備えています。

##### *7.4.1.2.1 ヒータ SH_HS 内部ダイオード*

SH_HS ピンの内部 ESD ダイオードによって消費されるのは、限られた量のエネルギー（1mJ 未満）のみです。負荷短絡が発生した場合に備え、グランドと SH_HS ピンの間に外付けダイオードを追加することを TI は推奨しています。ヒータ負荷が短絡しているとき、電流は外部ヒータ MOSFET の飽和電流のみによって制限されます。短絡検出によりヒータ出力をシャットオフするように構成した場合、同じ電流がグランドから SH_HS まで内部 ESD ダイオードを経由して消費されますが、これは、内部 ESD ダイオードが消費できる量より大きい値です。

##### *7.4.1.2.2 ヒータ MOSFET $V_{DS}$ 過電流保護 (HEAT_VDS)*

ヒータドライバ $V_{DS}$ 過電流コンパレータの両端の電圧が 、$V_{DS_LVL_HEAT}$ を超えた状態が、$t_{DS_HEAT_DG}$ 時間より長く続くと、ヒータ過電流状態が検出されます。電圧スレッショルドとグリッチ除去時間は、HEAT_CNFG レジスタの設定により調整できます。

**表 7-5. ヒータ VDS レベル**

| HEAT_VDS_LVL | VDS 電圧レベル |
|---|---|
| 0000b | 0.06V |
| 0001b | 0.08V |
| 0010b | 0.10V |
| 0011b | 0.12V |
| 0100b | 0.14V |
| 0101b | 0.16V |
| 0110b | 0.18V |
| 0111b | 0.2V |
| 1000b | 0.24V |
| 1001b | 0.28V |
| 1010b | 0.32V |
| 1011b | 0.36V |
| 1100b | 0.4V |

**表 7-5. ヒータ VDS レベル (続き)**

| HEAT_VDS_LVL | VDS 電圧レベル |
|---|---|
| 1101b | 0.44V |
| 1110b | 0.56V |
| 1111b | 1V |

**表 7-6. ヒータ VDS グリッチ除去時間**

| HEAT_VDS_DG | 時間 |
|---|---|
| 00b | 1µs |
| 01b | 2µs |
| 10b | 4µs |
| 11b | 8µs |

ヒータ MOSFET $V_{DS}$ モニタ ブランキング期間もあり、レジスタ HEAT_CNFG 内のビット HEAT_VDS_BLK で設定されます。4 つのブランキング時間の選択肢があります。

**表 7-7. ヒータ VDS のブランキング時間**

| HEAT_VDS_BLK | 時間 |
|---|---|
| 00b | 4µs |
| 01b | 8µs |
| 10b | 16µs |
| 11b | 32µs |

ヒータ過電流モニターは、HEAT_VDS_MODE レジスタ設定により設定された 4 つの異なるモードで応答し、回復することができます。

- **ラッチ フォルト モード**:過電流イベントの検出後、ゲートドライバプルダウンはイネーブルになり、HEAT_VDS ビット、EC_HEAT ビットがアサートされます。ゲート フォルト イベントの解消後、CLR_FLT が発行されるまではフォルト状況はラッチされた状態のままです。
- **サイクルごとのモード**:過電流イベントの検出後、ゲートドライバプルダウンはイネーブルになり、HEAT_VDS、EC_HEAT、FAULT ビットがアサートされます。レジスタ IC_STAT1 の EC_HEAT、FAULT ステータスビットは、ドライバ制御入力が変化するまでアサートされたままです (SPI または PWM)。**HEAT_VDS ビットをクリアするには、入力の変更後に CLR_FLT コマンドを送信する必要があります。**入力を変更する前に CLR_FLT が発行された場合、すべてのステータス ビットはすべてアサートされたままになり、ドライバ プルダウンはイネーブルのままです。
- **警告レポートのみモード**:過電流イベントは、WARN と HEAT_VDS ビットで通知されます。デバイスは何も動作を行いません。CLR_FLT が発行されるまで、警告はラッチされたままです。
- **ディセーブル モード**:ヒータ $V_{DS}$ 過電流監視はディセーブルとなり、応答や通知を行いません。

#### *7.4.1.2.3 ヒータ MOSFET 開放負荷検出*

オフ状態の開放負荷監視は、電流源でプルアップしたときの電圧差 SH_HS ノードを開放負荷スレッショルド電圧 $V_{OL_HEAT}$ と比較することで行われます。SH_HS 電圧が開放負荷スレッショルド $V_{OL_HEAT}$ をフィルタ時間 $t_{OL_HEAT}$ より長い時間上回ると、開放負荷ビット HEAT_OL が設定されます。開放負荷モニタはビット HEAT_OLP_EN で制御されます。

> **注**
> ヒータの開放負荷診断は、ヒータ構成が無効化されており、ビット HEAT_CNFG が 00b である必要がある場合のみ機能します。


Copyright © 2025 Texas Instruments Incorporated

### 7.4.2 ハイサイド ドライバ

**表 7-8. ハイサイド ドライバ セクションの目次**

| ハーフブリッジ セクション | セクションへのリンク |
|---|---|
| 機能セクションのトップに戻る | セクション 7.4 |
| ハイサイド ドライバ制御 | セクション 7.4.2.1 |
| ハイサイド ドライバ レギュレーション | セクション 7.4.2.1.3 |
| ハイサイド ドライバ保護 | セクション 7.4.2.2 |

このデバイスは、6 つのハイサイド ドライバ（OUT7～OUT12）を統合しており、複数の負荷タイプを駆動するようにプログラムできます。各ハイサイド ドライバには、高電流および低電流の過電流保護と、開放負荷電流のスレッショルドを選択できます。OUT7 は、ランプ、電球、または LED を駆動するように構成できます。すべてのハイサイド ドライバには、高容量 LED モジュールを駆動するための固定時定電流モードもあります。

すべてのハイサイド ドライバには、開放負荷検出と短絡保護機能が搭載されています。低 $R_{DSON}$ モードと高 $R_{DSON}$ モードのどちらのモードでも、OUT7 は、ランプまたは電球負荷用のオプションの ITRIP レギュレーション機能を備えています。OUT8-OUT12 にはオプションの ITRIP レギュレーションもあり、それぞれの過電流スレッショルド (high または low) を超えた場合にアクティブになります。この機能は、より大きな LED モジュールや、OUT8-OUT12 を使用して他の負荷タイプを駆動するために使用できます。エレクトロクロミック ドライバが使用される場合、OUT11 は EC 素子用の保護されたバッテリ電圧を供給するために使用されます。

ハイサイド ドライバのブロック図を以下に示します。

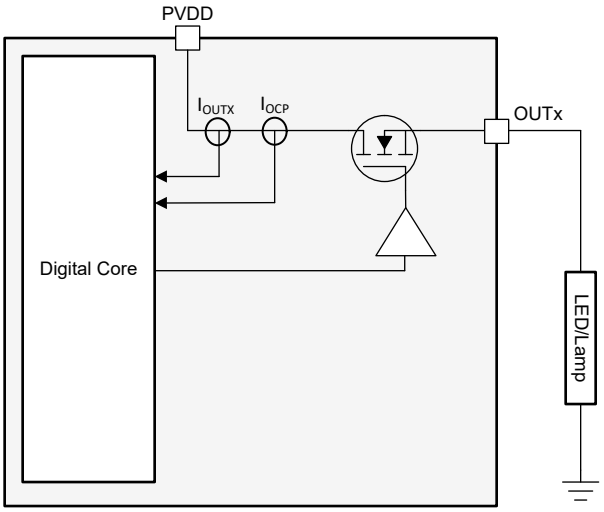



**図 7-4. ハイサイド ドライバ ブロック図**

以下の表に、すべてのデバイスのハイサイド ドライバと、それぞれに対応する機能セットを示します：

**表 7-9. ハイサイド ドライバとその機能**

| ハイサイド ドライバ | RDSON（Ω） | OL 検出 | 過電流および短絡保護 | ITRIP | CCM | EC 電源に使用 |
|---|---|---|---|---|---|---|
| OUT7 | 0.4/1.2 | あり | あり | あり | あり | なし |
| OUT8 | 1.2 | あり | あり | あり | あり | なし |
| OUT9 | 1.2 | あり | あり | あり | あり | なし |
| OUT10 | 1.2 | あり | あり | あり | あり | なし |
| OUT11 | 1.2 | あり | あり | あり | あり | あり |
| OUT12 | 1.2 | あり | あり | あり | あり | なし |

#### 7.4.2.1 ハイサイド ドライバ制御

ハイサイド ドライバは、SPI レジスタ、10 ビット PWM ジェネレータから内部で生成される PWM 信号、PWM1 ピンからの外部 PWM 信号による制御用に構成できます。この構成は、HS_HEAT_OUT_CNFG レジスタの OUTx_CNFG (OUT7-OUT12) ビットを設定することで行われます。

SPI レジスタ制御モード (OUTx_CNFG = 01b) では、ハイサイド出力は HS_EC_HEAT_CNFG 内の各出力の有効ビット (ON/OFF) に従います。

次の表に、ハイサイド ドライバの構成オプションを要約します。

**表 7-10. ハイサイド ドライバ構成**

| OUTx_CNFG ビット | 構成 | 説明 |
|---|---|---|
| 00 | OFF | ハイサイド ゲートドライバが無効 |
| 01 | SPI レジスタの制御 | ハイサイド ドライバの SPI 制御が有効 |
| 10 | PWM1 ピン制御 | PWM1 ピン によるハイサイド ドライバ制御 |
| 11 | PWM ジェネレータ | 専用内部 PWM ジェネレータを搭載したハイサイド ドライバ制御 |

##### *7.4.2.1.1 ハイサイド ドライバ PWM ジェネレータ*

各ハイサイド ドライバには、10 ビットのデューティ サイクル分解能を持つ専用の PWM ジェネレータがあります。各 PWM ジェネレータの周波数とデューティは、互いに独立して制御できます。

ハイサイドドライバのデューティサイクルを設定する際、最大 1022 (99.8%) までの値を選択できます。

必要なレジスタ設定シーケンス:

1. レジスタ HS_PWM_FREQ_CNFG のハイサイド ドライバ PWM 周波数値を設定します
2. デューティ サイクルをレジスタ OUTx_DC に設定します。設定値は 0 から 1022 (デューティサイクル 0%～99.8%) です
3. レジスタ HS_HEAT_OUT_CNFG でドライバの動作モードを設定します

PWM ジェネレータの周波数は、以下の表に示すように、レジスタ HS_PWM_FREQ_CNFG の PWM_OUTX_FREQ ビットで制御されます。

**表 7-11. PWM 周波数**

| PWM_OUTX_FREQ | PWM 周波数 (Hz) |
|---|---|
| 00b | 108 |
| 01b | 217 |
| 10b | 289 |
| 11b | 434 |

##### *7.4.2.1.2 定電流モード*

すべてのハイサイド ドライバにはタイマー付き定電流モード (CCM) 機能があり、所望の出力に対して短時間の定電流を供給するために使用できます。このモードは、レジスタ HS_REG_CNFG2 内のビット OUTx_CCM_EN を使用してイネーブルされます。有効化されると、ハイサイド ドライバからの電流は、設定された制限値に 10ms の短時間制限されます。

定電流モードには 2 つの電流制限オプションがあります。これは、レジスタ HS_REG_CNFG2 内のビット OUTx_CCM_EN で構成され、以下の表でまとめられています:

**表 7-12. 定電流モードに関する複数のオプション：**

| ハイサイド出力 | OUTX_CCM_TO | 電流制限 ($I_{CCM}$) | タイムアウト ($t_{CCMto}$) |
|---|---|---|---|
| OUT7 (RDSON High) | 0b | 250mA | 10ms |
| | 1b | 330mA | 10ms |


Copyright © 2025 Texas Instruments Incorporated

表 7-12. 定電流モードに関する複数のオプション： (続き)

| ハイサイド出力 | OUTX_CCM_TO | 電流制限 ($I_{CCM}$) | タイムアウト($t_{CCMto}$) |
|---|---|---|---|
| OUT7 (RDSON Low) | 0b | 360mA | 10ms |
| | 1b | 450mA | 10ms |
| OUT8-12 | 0b | 350mA | 10ms |
| | 1b | 450mA | 10ms |

この定電流モード機能は、構成された出力をイネーブルにする前に OUTx_CCM_EN ビットが構成されている場合、および出力がディスエーブル状態の場合にのみイネーブルされます。CCM は、有効時間 $t_{CCMto}$ が経過すると自動的に終了します。タイムアウト後も、ドライバはレジスタ HS_EC_HEAT_CTRL 内の OUTx_EN ビットに従って有効のまま保持され、HS_HEAT_OUT_CNFG レジスタ内の OUTx_CNFG ビット設定に基づいて構成されます。

必要なレジスタ設定シーケンス:

1. レジスタ HS_REG_CNFG2 のハイサイド ドライバ CCM モードを設定します
2. レジスタ HS_HEAT_OUT_CNFG のハイサイド ドライバの動作を設定します

CCM モードが設定され、ドライバ構成が完了すると、レジスタ HS_HEAT_OUT_CNFG に対応する OUTx_CNFG ビットが設定されると、CCM タイマが開始されます。

CCM タイマが終了した後は、SPI 制御または外部 PWM ジェネレータ制御 (OUTx_CNFG = 01b または 10b) のみがサポートされます。内部 PWM ジェネレータ制御は CCM モードをサポートしていません。

ハイサイド ドライバを構成した後に定電流モードを構成した場合、CCM モードは起動しません。

OUTx_CCM_EN ビットの場合:

- 定電流モードのタイムアウト前にコントローラによって OUTx_CCM_EN がクリアされた場合、ドライバはこのコマンドに従い、OUTx_CNFG ビットに対応するモードに切り替えます
- ドライバがすでにイネーブルになってから OUTx_CCM_EN がセットされると、OUTx_CCM_EN ビットは無視されます。この場合、OUTx_CCM_EN はオフのままです。

短絡および過電流検出は、ドライバがオンで PWM 駆動されているが定電流モードではない場合、アクティブ/イネーブルになります。開放負荷検出は常に機能しています。

#### *7.4.2.1.3 OUTx HS ITRIP 動作*

すべてのハイサイド ドライバには、HS ITRIP と呼ばれる固定周波数の電流制御機能が利用できます。この機能は、特定の負荷を駆動中に過電流状態が発生した場合、ドライバを再起動します。過電流検出は、検出された負荷電流に基づいています。この機能は、ドライバの過電流しきい値を超える大きな突入電流を伴う負荷、例えばランプ、電球、大型 LED モジュールなどを駆動するために使用されます。

ハイサイド ドライバは、OUT7 には HS_REG_CNFG1 レジスタ内の OUT7_ITRIP_EN を、OUT8～12 には HS_REG_CNFG3 レジスタ内の HS_OUTx_ITRIP_EN を設定することで、ITRIP 制御を有効に構成できます。デフォルトでは、ITRIP レギュレーションは、すべてのハイサイド ドライバに対して無効になっています。ITRIP レギュレーションがディセーブルされていて、ブランク時間後にドライバ電流がグリッチ除去時間の間過電流スレッショルド ($I_{OCx}$) を超えると、出力は無効になります。

**ITRIP レギュレーション有効:**

ITRIP レギュレーションがイネーブルになった場合、ブランク時間後にドライバ電流がグリッチ除去時間の間、過電流スレッショルド $I_{OCx}$ を超えると、出力はオフになります。ITRIP サイクルが終了すると、自動的に再度オンになります。過電流スレッショルド (high または low) は、HS_OC_CNFG レジスタの OUT7 の OUT7_RDSON_MODE ビットを、OUT8 ～ 12 ビットの OUTx_OC_TH ビットをセットすることで構成されます。

ITRIP レギュレーションのブランク時間は、すべてのハイサイド ドライバ出力の 40µs です。OUTx がイネーブルになると、ブランク時間が開始します。OUT7 には専用の ITRIP 周波数およびグリッチ除去時間の設定があり、HS_REG_CNFG1

レジスタ内の OUT7_ITRIP_FREQ ビットおよび OUT7_ITRIP_DG ビットで構成できます。OUT8～12 については、ITRIP 周波数およびグリッチ除去時間の設定は共通であり、HS_REG_CNFG3 レジスタ内の HS_OUT_ITRIP_FREQ ビットおよび HS_OUT_ITRIP_DG ビットで構成できます。$V_{PVDD}$ < 20V の場合、すべてのグリッチ除去オプション (24、32、40、48µs) が使用可能です。$V_{PVDD}$ > 20V の場合、グリッチ除去時間は自動的に 10µs に短縮されます。

ITRIP 制御が有効で、過電流が検出されると、OUT7 ドライバの場合は EC_HEAT_ITRIP_STAT レジスタ内の OUT7_ITRIP_STAT ビットが、OUT8～12 ドライバの場合は HS_ITRIP_STAT レジスタ内の OUTx_ITRIP_STAT ビットがセットされ、ラッチされます。この故障ビットは、CLR_FLT ビットがセットされるまでセットされたままです。

**表 7-13. ハイサイド ITRIP 周波数オプション概要**

| 周波数 ($f_{ITRIP_HS}$) | HS_OUT_ITRIP_FREQ/OUT7_ITRIP_FREQ |
|---|---|
| 1.7kHz | 00b |
| 2.2kHz | 01b |
| 3kHz | 10b |
| 4.4kHz | 11b |

**表 7-14. ハイサイド ITRIP グリッチ除去オプション概要**

| グリッチ除去時間 ($t_{ITRIP_HS_DG}$) | HS_OUT_ITRIP_DG/OUT7_ITRIP_DG |
|---|---|
| 48µs | 00b |
| 40µs | 01b |
| 32µs | 10b |
| 24µs | 11b |

ITRIP グリッチ除去タイマは、OUTx ITRIP ブランキング時間が経過すると開始します。最小 OUTx ITRIP オン時間は、ブランキング時間とグリッチ除去時間の合計であり、合計期間は OUTx の ITRIP 周波数によって決定されます。下の図は ITRIP の動作を示しています。

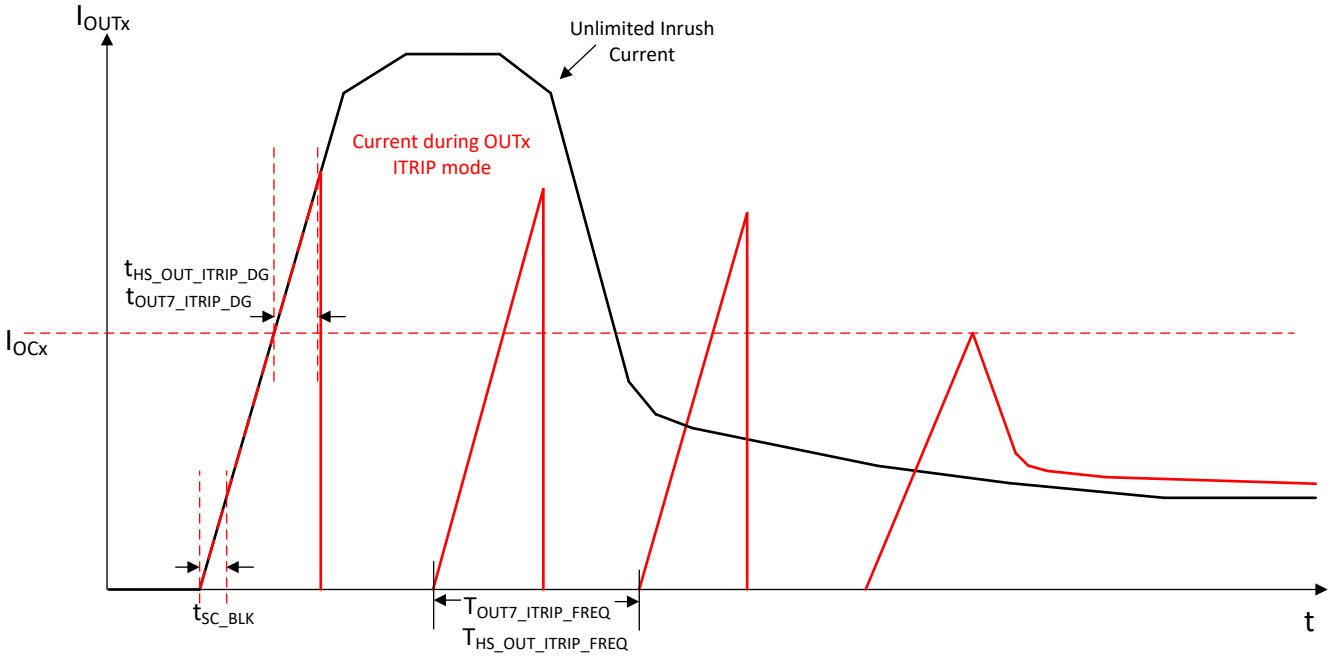



**図 7-5. 白熱電球を使用した OUTx HS の ITRIP 動作**

ブランキング時間 $t_{SC_BLK}$ は 40µs であり、その後に過電流状態を検出できます。$t_{OUT7_ITRIP_DG}$ または $t_{HS_OUT_ITRIP_DG}$ は、過電流保護スレッショルドを超えた後も OUTx がオンのまま維持される時間です。


Copyright © 2025 Texas Instruments Incorporated

$T_{OUT7_ITRIP_FREQ}$ または $T_{HS_OUT_ITRIP_FREQ}$ は ITRIP ループの周期であり、$t_{OUT7_ITRIP_FREQ}$ または $t_{HS_OUT_ITRIP_FREQ}$ の逆数に相当します。OUT7-12 の ITRIP 故障は、ビット OUT7_ITRIP_STAT および OUTx_ITRIP_STAT で通知されます。

#### *7.4.2.1.4 ハイサイド – パラレル出力*

ハイサイド ドライバ OUT8 から OUT12 までを並列に接続することで、さらに大きな電流負荷をサポートできます。たとえば、OUT8 と OUT9 を効果的に 600mΩ ドライバとして並列に接続するか、OUT9、OUT10、OUT12 を実質的に 400mΩ ドライバとして並列に接続できます。

ただし、この動作モードには以下の制限があります。

- 並列ハイサイド ドライバでは内部 PWM 制御は機能しないため、この動作モードには設定しないでください。
- 定電流モードは不可能であり、無効にする必要があります。
- ITRIP レギュレーションはサポートされていません。
- 過電流保護、短絡保護回路、アクティブ開放負荷検出をサポートしています。

並列動作する場合は、ハイサイド ドライバをオン / オフ SPI レジスタ制御用に構成するか、ピンによる外部 PWM 信号制御用に構成する必要があります。

### 7.4.2.2 ハイサイド ドライバ保護回路

#### *7.4.2.2.1 ハイサイド ドライバの内部ダイオード*

各ハイサイド ドライバには、ESD 保護用に、グランドからハイサイド OUTx ノードまでの内部ダイオードが搭載されています。次のいずれかが発生すると、このダイオードは大きなエネルギー消費にさらされる可能性があります。

- ハイサイド出力で、グランド接続が喪失し、グランドへの短絡が両方とも発生します。
- ハイサイド出力には誘導性負荷が接続されています

フリーホイール中に内部 ESD ダイオードによって消費されるのは、限られた量のエネルギー（1mJ 未満）のみです。100μH を超える誘導性負荷の場合、PGND と対応する出力との間に外部フリーホイール ダイオードに接続する必要があります

#### *7.4.2.2.2 ハイサイド ドライバの短絡保護回路*

短絡保護回路は、OUTx ノードの 2V コンパレータを使用して、各ハイサイド出力 (OUT7 ～ 12) を監視します。ブランク時間後に OUTx 電圧がグリッチ除去時間内で 2V の短絡スレッショルドを超えた場合、グランド短絡故障が検出され、出力は無効化されます。

2V のコンパレータ ブランク時間 ($t_{SC_BLK}$) は、すべてのハイサイド ドライバ出力の 40μs です。OUTx がイネーブルになると、ブランク時間が開始します。OUT7 には専用のグリッチ除去時間設定があり、HS_REG_CNFG1 レジスタの OUT7_ITRIP_DG ビットで構成可能です。OUT8～12 のグリッチ除去時間の設定は共有され、HS_REG_CNFG3 レジスタ内の HS_OUT_ITRIP_DG ビットで構成できます。$V_{PVDD}$ < 20V の場合、すべてのグリッチ除去オプション (24、32、40、48μs) が使用可能です。$V_{PVDD}$ > 20V の場合、グリッチ除去時間は自動的に 10μs に短縮されます。

短絡検出時に、HS_STAT レジスタの対応する OUTx_OCP 故障ステータス ビットがラッチされ、対応する出力がシャットオフされます。この故障ビットは、CLR_FLT ビットがセットされるまでセットされたままです。次の図に、ハイサイド ドライバの短絡動作を示します：

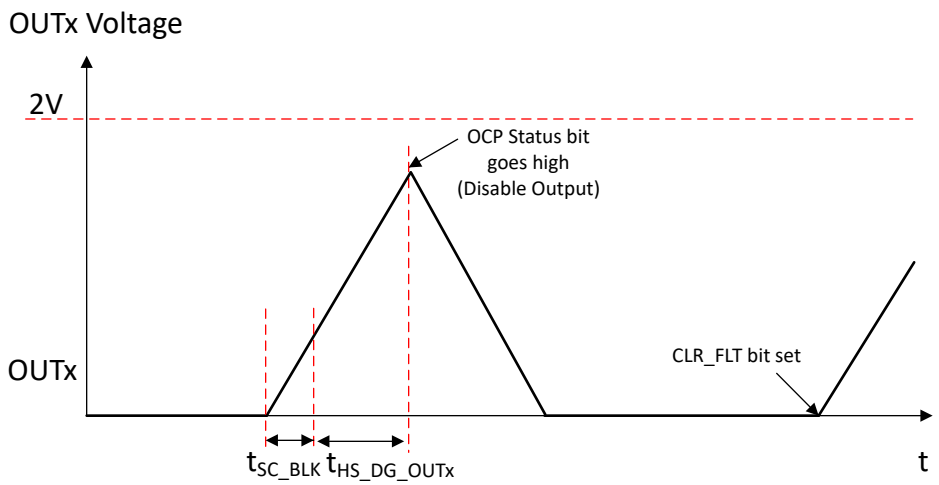



**図 7-6. ハイサイド ドライバ短絡保護回路**

#### *7.4.2.2.3 ハイサイド ドライバの過電流保護*

過電流保護機能は、ITRIP レギュレーションが無効の場合に利用できます。すべてのドライバ (OUT7-OUT12) の出力電流が監視され、ブランク時間の後にグリッチ除去時間の経過後に電流が過電流スレッショルドを超えると、出力が無効になります。

OUT7 の ITRIP を無効にするには、HS_REG_CNFG1 レジスタ内で OUT7_ITRIP_EN = 0b に設定します。同様に、OUT8 ～ 12 の 無効にするには、HS_REG_CNFG3 レジスタ内で HS_OUTx_ITRIP_EN = 0b に設定します。過電流スレッショルド (high または low) は、HS_OC_CNFG レジスタの OUT7 の OUT7_RDSON_MODE ビットを、OUT8 ～ 12 ビットに対して OUTx_OC_TH ビットを設定することで構成されます。

過電流保護のブランク時間は、すべてのハイサイド ドライバ出力の 40µs です。OUTx がイネーブルになると、ブランク時間が開始します。OUT7 には専用のグリッチ除去時間設定があり、HS_REG_CNFG1 レジスタの OUT7_ITRIP_DG ビットで構成可能です。OUT8～12 のグリッチ除去時間の設定は共有され、 HS_REG_CNFG3 レジスタ内の HS_OUT_ITRIP_DG ビットで構成できます。$V_{PVDD}$ < 20V の場合、すべてのグリッチ除去オプション (24、32、40、48µs) が使用可能です。$V_{PVDD}$ > 20V の場合、グリッチ除去時間は自動的に 10µs に短縮されます。過電流検出が検出されると、OUT7 ドライバの EC_HEAT_ITRIP_STAT レジスタの OUT7_ITRIP_STAT ビット、または OUT8-12 ドライバの HS_ITRIP_STAT レジスタの OUTx_ITRIP_STAT ビットがラッチされ、対応する出力が遮断されます。この故障ビットは、CLR_FLT ビットがセットされるまでセットされたままです。

#### *7.4.2.2.4 ハイサイド ドライバの開放負荷検出*

ハイサイド ドライバは、開放負荷検出機能を備えています。DRV800x-Q1 のハーフブリッジ ドライバ OLA 検出方式と同様に、ハイサイド ドライバの開放負荷検出方式では、各ドライバを順番にチェックし、負荷電流が開放負荷電流スレッショルド以下であるかどうかを確認します。開放負荷電流スレッショルド $I_{OLDx}$ は、OUT8-12 のレジスタ HS_OL_CNFG のビット OUTx_OLA_TH を使って、高電流スレッショルドと低電流スレッショルドの間で設定できます。これらのスレッショルドは、OUT7_RDSON_MODE に基づいて、ハイサイドドライバ OUT7 に対してのみ自動的に調整されます。

開放負荷検出は、OUT7-12 ハイサイドドライバに対してレジスタ HS_OL_CNFG のビット OUTx_OLA_EN をイネーブルにする必要があります。

負荷電流 $I_{OUTX}$ が $t > t_{OLD_HS}$ の間、開放負荷スレッショルド ($I_{OLD_HS}$) を下回ると、対応するハイサイド開放負荷ステータス ビット OUTx_OLA がステータス レジスタに設定されます。開放負荷で検出されたドライバはオフになりません。


Copyright © 2025 Texas Instruments Incorporated

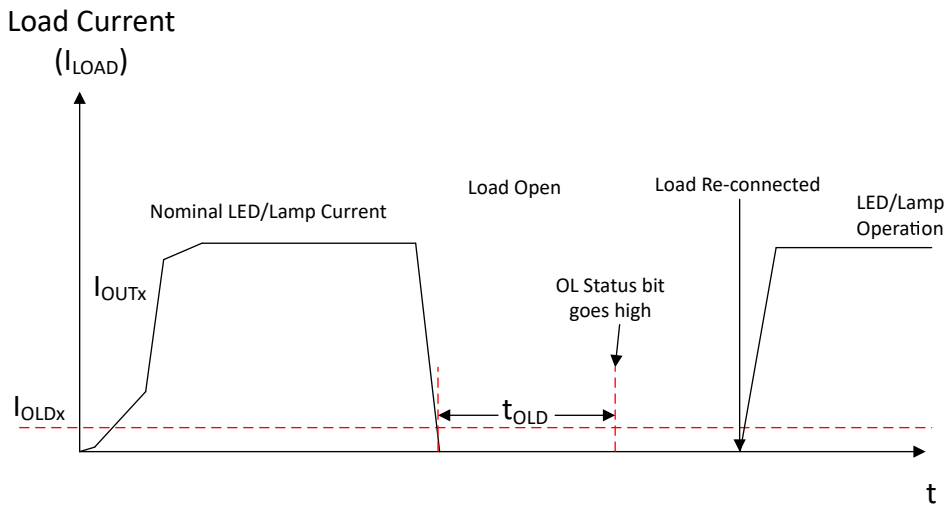



**図 7-7. ハイサイド ドライバの開放負荷検出**

各ハイサイド ドライバの開放負荷検出テスト時間は 200µs です。出力がイネーブルになるまで、タイマは起動しません。イネーブルになっているすべてのドライバがサイクルされると、検出サイクルが再開されます。OUTx に対して OLA ビットのフラグが設定されると、ステータスはラッチされ、OUTx は検出サイクルから除外されます。OUTx の OLA チェックを再開するには、CLR_FLT が必要です。

OLA 検出を完了するには、下限側ドライバを最小 200µs でオンにする必要があります。それ以外の場合、本デバイスは次の PWM サイクルまで待機します。OLA 検出用の OFF カウンタは、ハイサイド ドライバがオフになると開始し、ドライバが 10ms を超えてオフになった場合に OLA 検出を終了します。

### 7.4.3 エレクトロクロミック ガラス ドライバ

**表 7-15. EC ドライバ セクションの目次**

| EC ドライバ セクション | セクションへのリンク |
|---|---|
| 機能セクションのトップに戻る | セクション 7.4 |
| EC ドライバ制御 | セクション 7.4.3.1 |
| EC ドライバの保護 | セクション 7.4.3.2 |

このデバイスは、ミラーのエレクトロクロミック素子を充電または放電するために使用できる統合エレクトロクロミック ドライバ ブロックを搭載しています。エレクトロクロミック ドライバ ブロックは、外部 MOSFET を充電し、素子の充電電圧と放電電圧を制御します。ドライバ構成は、OUT11 を素子への保護された電源として使用するか、OUT11 を使用しない（OUT11 を独立制御）かのいずれかで動作します。

#### 7.4.3.1 エレクトロクロミック ドライバ制御

エレクトロクロミック ドライバのブロック図を以下に示します。

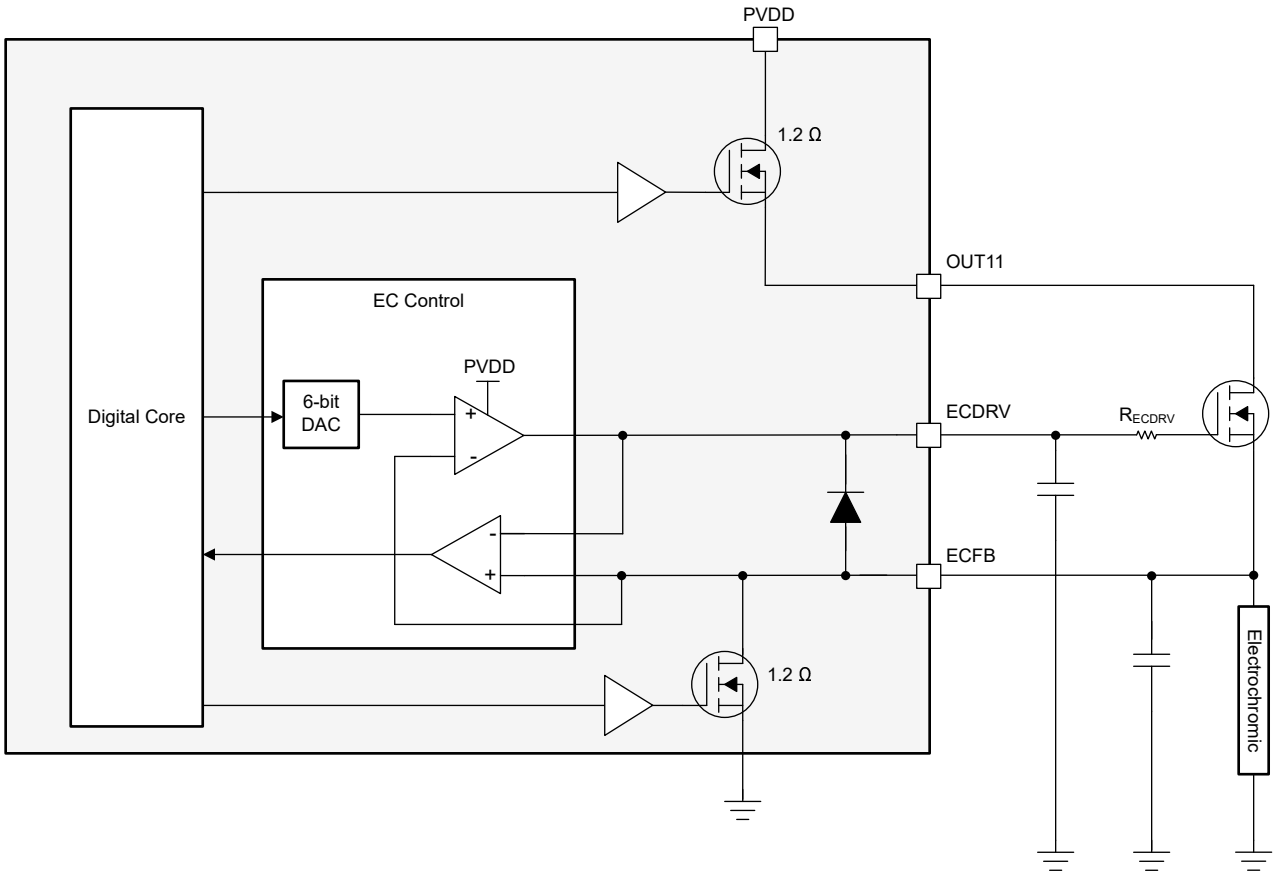



**図 7-8. エレクトロクロミック ドライバのブロック図 - デフォルト構成**

システムの実装に応じて、エレクトロクローム ドライバは、エレクトロクローム ハイサイド電荷 MOSFET のドレインをハイサイド ドライバ OUT11 から供給するか、または電源電圧（PVDD）から直接供給する構成をサポートします。EC 制御ブロックは、OUT11 または外部 FET 電源 (PVDD) とは独立して動作でき、いずれの構成においても独立した保護回路を備えています。この機能は、別の負荷を駆動するために追加のハイサイド ドライバが必要な場合に役立ちます。この構成における主な制限は、チャージ MOSFET がショートで故障した場合、OUT11 が EC 電源として使用されていると、電源への接続を遮断できないことです。EC が PVDD から直接供給される場合 (OUT11 が独立に構成されている場合) でも、短絡、過電圧、開放負荷の状態を検出できます。


Copyright © 2025 Texas Instruments Incorporated

**EC 電源の OUT11：**この構成はレジスタ HS_OC_CNFG、のビット OUT11_EC_MODE で設定されます。デフォルトでは OUT11_EC_MODE = 1b であり、ブロック図 エレクトロクロミック ドライバのブロック図 - デフォルト構成 に示すように EC 駆動の電源として構成されています。この構成では、レジスタ HS_HEAT_OUT_CNFG の OUT11_CNFG ビットは無視されます（オン/オフ、SPI/PWM）。OUT11 と 1.2Ω の ECFB ローサイド放電 MOSFET は、EC の充電および放電状態において、それぞれ過電流、過電圧、およびパッシブ開放負荷検出が有効になっています。

**EC 電源の PVDD、独立した OUT11：**OUT11 を独立したハイサイド ドライバとして（EC 制御に独立して）使用して別の負荷を駆動するには、EC 充電 MOSFET のドレインを電源電圧に直接接続するので、レジスタ HS_OC_CNFG の OUT11_EC_MODE = 0b に設定します。

独立モードの ITRIP レギュレーションは、OUT11 に対して、ピンが EC として使用されていない場合、有効です。OUT11 が EC モードの場合、レギュレーション モードが設定されていても、電流レギュレーションは実行されません。

以前と同様に、ECFB ローサイド放電 MOSFET 保護回路は、EC 放電状態中アクティブになります。次の図は、この構成を示しています。

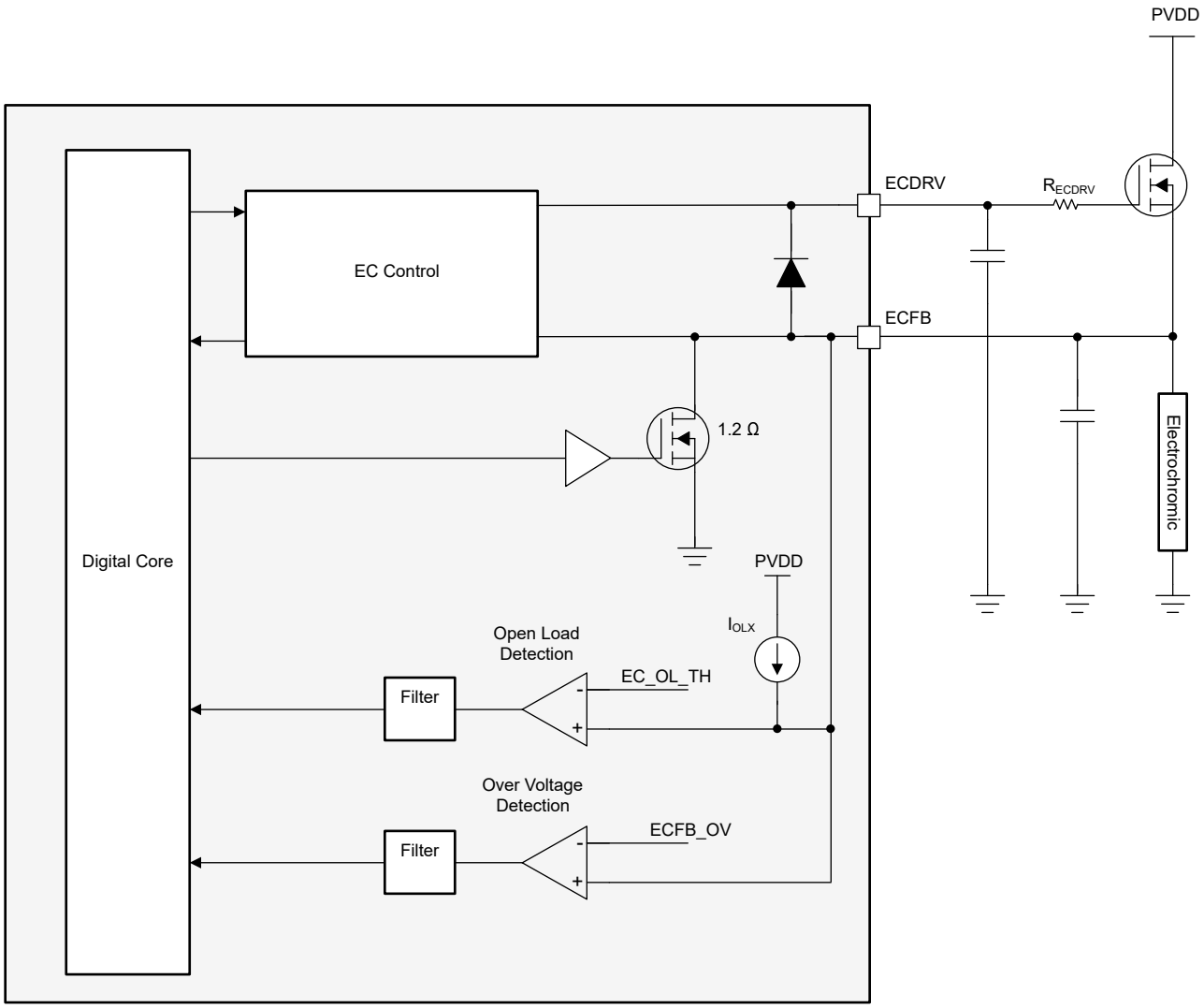



**図 7-9. 直接 PVDD 供給によるエレクトロクロム (OUT11 独立)**

**EC ドライバをイネーブルにする場合:** EC_ON ビットと EC_V_TAR ビットをレジスタ HS_EC_HEAT_CTRL 内で目的の目標電圧に設定し、EC ドライバの制御ループをイネーブルします。これらのビットを設定すると、EC ドライバの制御ループがイネーブルになります。

**EC 素子の電圧制御:** EC ドライバがイネーブルになると、ドライバの帰還ループがアクティブになり、ECFB ピンの電圧はレジスタ HS_EC_HEAT_CTRL のビット EC_V_TAR で設定された目標電圧にレギュレートされます。ECFB ピンの目標電圧は、レジスタ EC_CNFG の ECFB_MAX ビットがそれぞれ 1 または 0 に設定されているかどうかに応じて、1.5V または 1.2V のフルスケール範囲でバイナリコード化されます。ECFB_MAX= 0b はデフォルト値(1.2V)です。

EC 電圧の新しい値が設定されるたびに、制御ループが新しい目標値へのレギュレーションを開始すると、ECFB_HI の 250µs のブランキング時間 $t_{BLK_ECFB}$ または ECFB の ECFB_LO ステータス表示が行われます。

このデバイスには、高速放電と PWM 放電の 2 つの放電モードがあります。

**EC 素子の高速放電:** 高速放電 ECFB_LS_PWM を使用して EC 素子を完全に放電するには、0b に設定する必要があります。EC_CNFG の目標出力電圧 EC_V_TAR も 0b に設定し、ECFB_LS_EN ビットと EC_ON ビットを 1b に設定する必要があります。これら 4 つの条件が満たされると、ECFB ピンの内部 1.2Ω ローサイド MOSFET がグランドにプルダウンされ、ピン ECFB の電圧が放電されます。

1. レジスタ EC_CNFG で ECFB_LS_PWM = 0b に設定します
2. ECFB_LS_EN = 1b、EC_ON = 1b、EC_V_TAR = 0b をレジスタ HS_EC_HEAT_CTRL 内で設定します。
3. ECFB LS MOSFET がイネーブルになり、EC ミラーの高速放電を実行します。

**EC 素子の PWM 放電:** エレクトロクロムドライバの PWM 放電サイクルの概要を以下に示します。

1. レジスタ EC_CNFG で ECFB_LS_PWM = 1b に設定します
2. レジスタ HS_EC_HEAT_CTRL 内のビット ECFB_LS_EN = 1b、EC_ON = 1b を設定します。
3. 制御ループが $V_{ECDRV} < V_{ECFB}$ かつ $V_{ECDRV} < 400mV$ の状態が $t_{RECHARGE}$ または 3ms を超えて続くと、ECDRV レギュレータはオフになり、ECFB 上の LS MOSFET が約 300ms ($t_{DISCHARGE}$) の間アクティブ化されます。この放電中は、ECDRV 出力が Low になり、貫通電流が防止されます。
4. 放電パルス $t_{DISCHARGE}$ の終わりに、放電 MOSFET のスイッチがオフになり、新しい低い値でレギュレーション ループが再度アクティブになります。制御ループはステップ 2 に戻り、再び制御外の状態 ($V_{ECDRV} < 400mV$ または $V_{ECDRV} < V_{ECFB}$) が確認されます。レギュレーション範囲外の条件が満たされない場合、ループは通常動作状態に戻ります。

次の図は、エレクトロクロムドライバの PWM 放電サイクルを示しています。


Copyright © 2025 Texas Instruments Incorporated

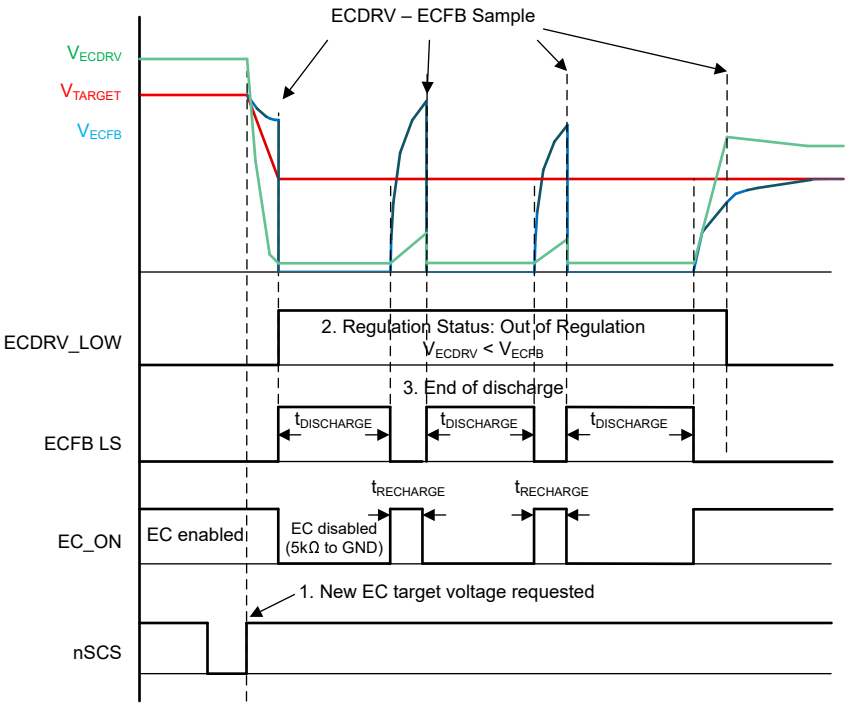



**図 7-10. PWM によるエレクトロクロム放電**

電圧制御ループのステータスは SPI 経由で通知されるため、EC の充電／放電制御タイミングを判断するには、このレポートを参照することが TI により推奨されています。ECFB ピンの電圧が目標値より 120mV を超えて高い場合、ビット ECFB_HI が設定されます。ECFB ピンの電圧が目標値より 120mV 低い場合、ECFB_LO が設定されます。ビット $t_{FT_ECFB}$ 以上のフィルタ時間にわたって安定している場合、ECFB ステータス ビット ECFB_HI と ECFB_LO の両方が有効になります。これらのビットはラッチされず、グローバル フォルトとして指定されません。

**終了放電モード:**放電モードを終了するには、EC_V_TAR をゼロ以外の値に設定します。新しい目標電圧がプログラムされる際に、ECFB_LS_EN ビットを変更する必要はありません。制御ループ内部ロジックにより、OUT11 と ECFB LS の両方が同時にオンになることが防止されます。

ピン ECDRV に 4.7nF 以上のコンデンサを追加し、ECFB とグランドとの間に 220nF のコンデンサを追加して、制御ループの安定性を高める必要があります。ノイズ耐性を高めるために、ループコンデンサはそれぞれのピンのできるだけ近くに配置することを TI は推奨しています。

EC ドライバを使用しない場合は、ECFB ピンをグランドに接続できます。

#### 7.4.3.2 エレクトロクロミック ドライバ保護

エレクトロクロミック ドライバ ブロックには、充電および放電状態の両方に対応する複数の保護および検出回路が搭載されています。コンパレータ ベースの検出回路、EC 充電状態（OUT11 を電源として構成した場合）でアクティブになる OUT11 の保護回路、ECFB 低側ディスチャージ MOSFET の保護回路があります。

**OUT11 から供給される EC:**エレクトロクロム駆動が統合されたハイサイド ドライバ OUT11 から供給されるように構成されている場合、他のハイサイド ドライバと同様の保護および診断機能が利用できます (例えば、過電流検出時には制御ループがオフになります)。これらのハイサイド ドライバ保護は、エレクトロクロームが充電状態のとき（電圧上昇時）にアクティブになります。OUT11 EC モード (OUT11_EC_MODE = 1b) の場合、OUT11 を PWM モードで制御できず、EC_CNFG は診断の構成に使用されます。EC_OUT11_OCP_DG の場合、$V_{PVDD}$ < 20V のとき、グリッチ除去オプション (6µs、10µs、15µs、60µs) が使用可能です。$V_{PVDD}$ > 20V の場合、グリッチ除去時間は自動的に 10µs に短縮されます。

**EC 充電中の OUT11 での故障:** EC_ON = 1b（EC 制御イネーブル）のときに過熱シャットダウン故障（ゾーン 3 または 4）または OUT11 の過電流故障が発生した場合:

- OUT11 がシャットオフされます（ステータス レジスタ セット）
- ECDRV ピンはグランドにプルされます
- EC_ON は「1」のまま
- ECFB_LS_EN はプログラムされたままになります

OUT11 の障害が発生した後に EC 制御を再開するには、コントローラが対応するフォルトを読み取り、クリアする必要があります。再起動が発生すると、ドライバは以前の EC_V_TAR 値に戻ります。

EC 充電中に OUT11 で開放負荷が検出されると、レジスタ HS_STAT の OUT11_OLA ビットがセットされます。

**放電過電流保護 LS FET:** ローサイド FET (LSFET) による ECFB の放電中、ECFB ピンの負荷電流が過電流スレッショルド ($I_{OC_ECFB}$) を超えると、過電流故障が検出されます。過電流故障応答はレジスタ EC_CNFG の EC_FLT_MODE ビットで設定できます。

**EC_FLT_MODE = 0b:**

EC LSFET を流れる電流がグリッチ除去時間の後に OCP スレッショルド ($I_{OC_ECFB}$) を超えると、LSFET はディスエーブルになります。EC LSFET のグリッチ除去時間は $V_{PVDD}$ に依存します。$V_{PVDD}$ < 20V の場合、グリッチ除去時間は 40µs です。$V_{PVDD}$ > 20V の場合、グリッチ除去時間は自動的に 15µs に短縮されます。

**EC_FLT_MODE = 1b:**

ブランク時間の後に EC LSFET を流れる電流がグリッチ除去時間の間 OCP スレッショルド ($I_{OC_ECFB}$) を超えると、ドライバは HS ドライバ OUT7-12 の ITRIP レギュレーションと同様に過電流回復モード (OCR) に移行します。グリッチ除去時間と ITRIP 周波数は、OUT7 の ITRIP 設定から取得されます。

ECFB_OV ビットが ECFB から $V_{PVDD}$ への短絡のため High になると、ECFB_OV_MODE に関わらずドライバがシャットオフされます。ECFB_OV のグリッチ除去時間は、ECFB_OV_DG 構成設定に関係なく 20µs です。

**表 7-16. 放電過電流保護**

| EC_FLT_MODE | フォルト応答 |
|---|---|
| 0b | ラッチ（Hi-Z） |
| 1b | 過電流復帰 (OUT7 ITRIP 設定) |

**開放負荷検出あり:** EC の放電中は、開放負荷も検出できます。レジスタ EC_CNFG の EC_OLEN ビットをセットする必要があります。ECFB の負荷電流が $t_{DG_OL_ECFB_LS}$ より長い間 $I_{OL_ECFB_LS}$ を下回ると、開放負荷ステータスビット ECFB_OL がセットされ、レジスタ IC_STAT1 の WARN ビットがセットされます。

**バッテリ/ OV 検出までの時間:**

EC_ON = 1 の時に、ECFB 電圧が $V_{ECFB_OV_TH}$ を超え、その状態がグリッチ除去時間 $t_{ECFB_OV_DG}$ を超えて続くと、ECFB の過電圧またはバッテリ短絡が検出されます。ビット ECFB_OV_MODE は、ドライバ ECFB 過電圧フォルト応答を決定します。EC 過電圧グリッチ除去時間は、レジスタ EC_CNFG のビット ECFB_OV_DG で設定されます。

過電圧フォルト応答制御の場合、ビット ECFB_OV_MODE をレジスタ EC_CNFG で設定できます。ECFB_OV_MODE = 00b の場合、このフォルト中は何の動作も行われません。ECFB_OV_MODE = 01b の場合、ECFB 電圧がプログラムされたデグリッチ時間 $t_{ECFB_OV_DG}$ より長い時間 3V を超えると、EC_HEAT_ITRIP_STAT レジスタ内の ECFB_OV ビットがセットされ、IC_STAT1 レジスタ内の EC_HEAT 故障ビットがセットされます。ECFB_OV_MODE = 10b の場合、ECFB の OV が発生すると、ECDRV ピンがプルダウンされ、ECFB LS FET は Hi-Z です。ECFB_OV_MODE = 01b の場合と同じレジスタでフォルトが通知されます。

フォルト応答とビット値を以下の表にまとめます。


Copyright © 2025 Texas Instruments Incorporated

**表 7-17. エレクトロクロム 過電圧障害応答**

| ECFB_OV_MODE | フォルト応答 |
|---|---|
| 00b | 動作なし |
| 01b | レジスタで故障を通知 |
| 10b | プルダウン ECDRV および ECFB LS FET、レジスタの故障を通知 |
| 11b | 動作なし |

**表 7-18. EC 過電圧グリッチ除去時間**

| ECFB_OV_DG | グリッチ除去時間 |
|---|---|
| 00b | 20µs |
| 01b | 50µs |
| 10b | 100µs |
| 11b | 200µs |

**短絡または開放負荷の検出:**EC 診断は、短絡または開放負荷を通知するように構成できます。このモードは、EC_CNFG レジスタの ECFB_DIAG ビットをセットすることで選択され、EC_ON ビットが 0b である必要があります。

**注**

PVDD を備えた EC 電源では、短絡および開放負荷の検出が利用できます。外部 FET が損傷しないようにするため、開路検出の実行前に短絡テストに合格する必要があります。

**表 7-19. ECFB 診断検出オプション**

| ECFB_DIAG | 検出設定 |
|---|---|
| 00b | 無効 |
| 01b | 短絡 |
| 10b | 開放回路 |

**短絡の検出:**短絡の検出は、ECFB と GND の間に低インピーダンス状態を検出できます。ビット ECFB_SC_RSEL は、0.5Ω ～ 3Ω の短絡が検出されるインピーダンスを選択します。電圧 $V_{ECFB_SC_TH}$ は $I_{ECFB_SC}$ * ECFB_SC_RSEL と比較されます。EC アンプがオフ、ECFB_DIAG = 01b、EC_ON = 0b のとき、以下の短絡検出が実行されます:

- $I_{ECFB_SC}$ 電流を ECFB ピンに供給し、最初の 3ms ブランキング時間を待機します
- 短絡検出を有効にした後で ECFB 電圧が $I_{ECFB_SC}$ * ECFB_SC_RSEL よりも低い場合、ECFB_DIAG_STAT = 1b を設定することで、レジスタ A の短絡 (ECFB_SC) を登録します。
- 短絡検出がアクティブである限り、$I_{ECFB_SC}$ は ECFB ピンを通過し続けます。

**表 7-20. ECFB 診断検出オプション**

| ECFB_SC_RSEL | インピーダンス スレッショルド |
|---|---|
| 00b | 0.5 Ω |
| 01b | 1.0 Ω |
| 10b | 2.0 Ω |
| 11b | 3.0 Ω |

**開放負荷検出:**パッシブ開放負荷検出は、ECFB_DIAG = 10b、EC_ON = 0b のとき、EC アンプがオフになります。出力インピーダンスが 4kΩ より高いときに開放負荷が検出されると、$I_{ECFB_OLP}$ * 4kΩ の ECFB 電圧スレッショルド $V_{ECFB_OLP_TH}$ が生成されます。開放負荷検出の手順は次のとおりです:

- $I_{ECFB_OLP}$ 電流を ECFB ピンに流し、最初の 3ms のブランキング時間を待機します
- 検出された ECFB 電圧が $V_{ECFB_OLP_TH}$ より大きい場合、ECFB_DIAG_STAT = 1b を設定することで、開放負荷条件 (ECFB_OLP) を登録します。
- 開放負荷検出がアクティブである限り、$I_{ECFB_OLP}$ は ECFB ピンを通過し続けます。


Copyright © 2025 Texas Instruments Incorporated

### 7.4.4 ハーフ ブリッジ ドライバ

**表 7-21. ハーフ ブリッジ セクションの目次**

| ハーフブリッジ セクション | セクションへのリンク |
|---|---|
| 機能セクションのトップに戻る | セクション 7.4 |
| ハーフブリッジ制御 | セクション 7.4.4.1 |
| ハーフ ブリッジ レギュレーション | セクション 7.4.4.4 |
| ハーフ ブリッジ保護 | ハーフブリッジの保護と診断 |

このデバイスは、合計 6 つのハーフ ブリッジ ハイサイドおよびローサイド FET を統合し、最大 5 つのモータの双方向駆動をサポートします。1.54Ω ハーフブリッジ 2 つ、440mΩ ハーフブリッジ 2 つ、185mΩ ハーフブリッジ 1 つ、155mΩ ハーフブリッジ 1 つで構成されています。これらのドライバはすべて、SPI レジスタ、PWM1 ピンまたは PWM2 ピンから供給される PWM 信号で制御できます。各ドライバには、ITRIP と呼ばれる構成可能な電流レギュレーション機能もあります。ハーフ ブリッジ保護回路には、過電流保護、オフ状態、アクティブの開路診断が含まれます。

下の図は、最大 5 つのミラーおよびロック モーター、およびすべてのミラー モータをサポートする統合ハーフ ブリッジの一般的な構成を示しています。

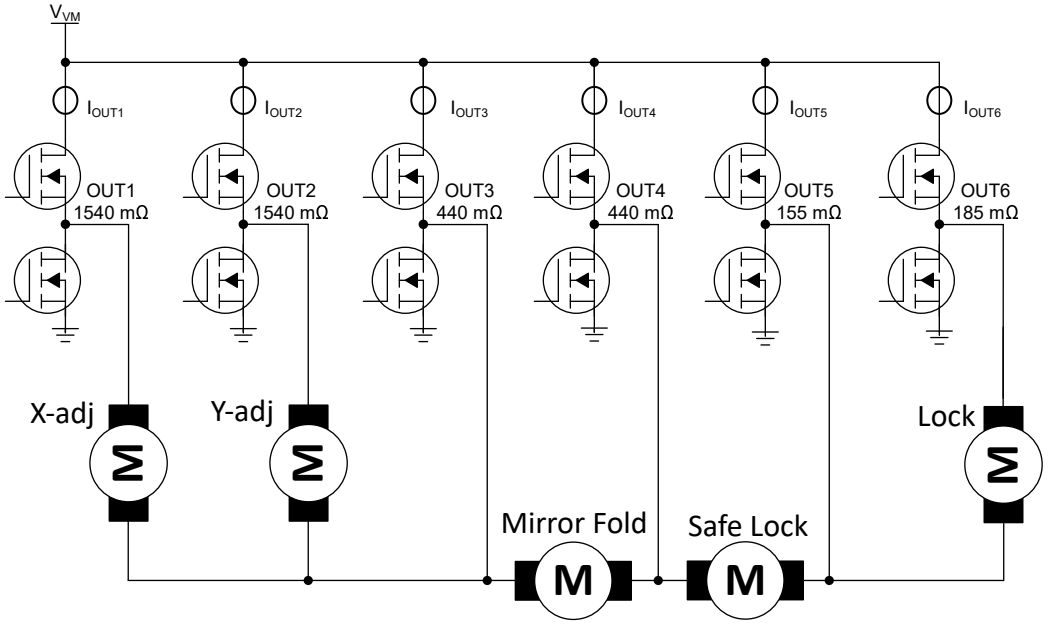



**図 7-11. 最大 5 つのモータ（ミラーおよびロック）のハーフ ブリッジ構成**

次の図は、ミラーリングのみの負荷の構成を示しています。

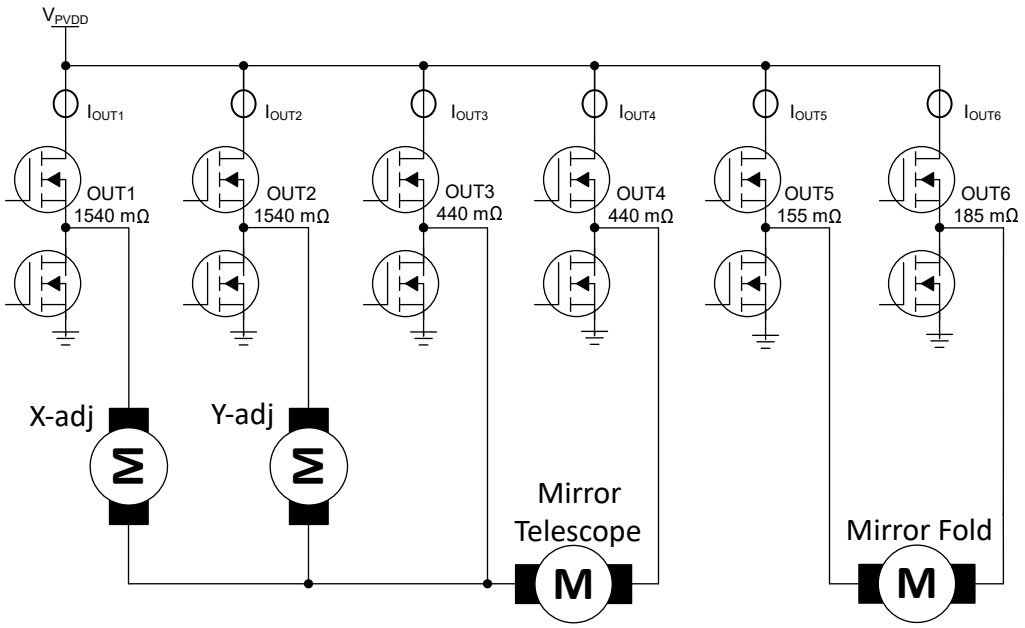



**図 7-12. 最大 4 つのモータのハーフ ブリッジ構成（ミラーのみ）**

#### 7.4.4.1 ハーフブリッジ制御

ハーフブリッジ ドライバは 2 つのモードで制御することにより、PWM 入力ピンまたは SPI レジスタでの制御方式をサポートします。ハーフブリッジ ドライバには、ハーフブリッジ制御をイネーブルにし、制御モード（PWM または SPI）を設定するための構成レジスタ（HB_OUT_CNFG1 および HB_OUT_CNFG2）もあります。

ハーフブリッジは、PWM1 ピンと PWM2 ピンのいずれかの入力信号で制御するように構成できます。PWM1 ピンへの信号は、ハーフブリッジ、ハイサイド ドライバ、ヒータ ドライバに内部で多重化できます。PWM2 ピンによる PWM2 制御は、ハーフブリッジにのみ使用できます。各ハーフブリッジ ドライバのスルーレートは HB_SR_CNFG で設定できます。

構成表を以下に示します。OUT5 と OUT6 は HB_OUT_CNFG1 で構成され、OUT4 経由で OUT1 は HB_OUT_CNFG2 で構成されていることに注意します。

**表 7-22. OUTX_CNFG ハーフブリッジ構成**

| OUTX_CNFG[2] | OUTX_CNFG[1] | OUTX_CNFG[0] | OUTx | HS オン | LS オン |
|---|---|---|---|---|---|
| 0 | 0 | 0 | OFF | OFF | OFF |
| 0 | 0 | 1 | SPI レジスタの制御 | OUTX_CTRL | OUTX_CTRL |
| 0 | 1 | 0 | PWM 1 相補制御 | 約 PWM1 | PWM1 |
| 0 | 1 | 1 | PWM 1 LS 制御 | OFF | PWM1 |
| 1 | 0 | 0 | PWM 1 HS 制御 | PWM1 | OFF |
| 1 | 0 | 1 | PWM 2 相補制御 | ~PWM2 | PWM2 |
| 1 | 1 | 0 | PWM 2 LS 制御 | OFF | PWM2 |
| 1 | 1 | 1 | PWM 2 HS 制御 | PWM2 | OFF |

ハーフブリッジを SPI レジスタ制御用に構成した場合 (OUTx_CNFG = 01b)、ビット OUTx_CTRL を持つレジスタ HB_CTRL で、ハーフブリッジのハイサイドおよびローサイド MOSFET を個別に制御できます。以下 に、独立ハーフブリッジ モードの真理値表を示します。

**表 7-23. ハーフ ブリッジ ドライバ コントローラ**

| OUTx_CTRL (OUT1-6) ビット | 構成 | 説明 |
|---|---|---|
| 00 | OFF | ハーフブリッジ制御 OFF |


Copyright © 2025 Texas Instruments Incorporated

表 7-23. ハーフ ブリッジ ドライバ コントローラ (続き)

| OUTx_CTRL (OUT1-6) ビット | 構成 | 説明 |
|---|---|---|
| 01 | HS オン | ハイサイド MOSFET ON |
| 10 | LS オン | ローサイド MOSFET ON |
| 11 | RSVD | 予約済み。 |

ハーフブリッジ制御モードは、SPI 通信が利用可能なときに、そのビットに書き込むことで、いつでも変更できます。この変更はすぐに反映されます。

ハーフブリッジが PWM 動作用に構成されている場合 (OUTx_CNFG = 01xb、10xb または 11xb)、入力は 100% 駆動モードまたは PWM 駆動モードの静的またはパルス幅変調 (PWM) 電圧信号を受け付けます。

本デバイスは、ハーフブリッジ切り替え時におけるハイサイド FET とローサイド FET の切り替え時に必要なデッドタイムを自動的に生成します。このタイミングは、内部での FET ゲートとソース間電圧フィードバックに基づきます。外部タイミングは必要ありません。この方式では、シュートスルー電流を防止しながら、デッドタイムを最小限に抑えます。

#### 7.4.4.2 OUT1 および OUT2 ハイサイド ドライバ モード

OUT1 および OUT2 2 のハーフブリッジは、HB_OUT_CNFG2 レジスタの OUT1_MODE ビットと OUT2_MODE ビットを設定することで、ハイサイド ドライバとして構成できます。OUTx_MODE が 1b に設定されている場合、対応する出力はハイサイド モードで動作します。

ハイサイド ドライバ構成では、OUT1 と OUT2 出力は、内部 PWM ジェネレータによってのみ制御されます。この制御は、OUT1_CNFG と OUT2_CNFG を xx1b に設定することで有効化されます。これらのビットを xx0b に設定すると、出力 OUT1 および OUT2 はディスエーブルになります。

ハイサイド モードに設定された場合、OUT1 および OUT2 の PWM 周波数は、HB_ITRIP_FREQ レジスタ内の PWM_OUT1_FREQ ビットおよび PWM_OUT2_FREQ ビットを使用して設定できます。ビット OUT1_DC および OUT2_DC は、内部 PWM ジェネレータからのデューティ サイクル制御を 1022 (99.8% デューティ サイクル) の値まで設定します。

表 7-24. ハイサイド ドライバ モードでの OUT1 または OUT2 PWM 周波数

| PWM_OUTx_FREQ | PWM 周波数(Hz) |
|---|---|
| 00b | 108 |
| 01b | 217 |
| 10b | 289 |
| 11b | 434 |

ハーフブリッジ モードと同じ保護機能および診断機能が、ハイサイド モードの OUT1 および OUT2 に適用されます。

#### 7.4.4.3 ハーフ ブリッジ レジスタ コントロール

ハーフブリッジはデフォルトで無効化されていますが、SPI レジスタ制御モードで動作するように設定すると、HB_CTRL レジスタ内の OUTx_CTRL ビットにあるハイサイド (HS_ON) およびローサイド (LS_ON) の個別のイネーブルビットを構成することで、任意のハイサイドまたはローサイドを有効化できます。

例として、2 つのハーフブリッジ (OUT1/OUT2、OUT3/OUT4、OUT5/OUT6) を、それぞれハーフブリッジ X (OUTX) およびハーフブリッジ Y (OUTY) として接続する場合が挙げられます。特定のハーフブリッジのハイサイドおよびローサイドのイネーブル ビットは、モータを順転モード、逆転モード、ブレーキ モード、コースト モードで駆動するように、以下のように構成されます:

表 7-25. モーターの動作 (OUTX と OUTY の間に接続されたモーター)

| nSLEEP | ハーフブリッジ X HS | ハーフブリッジ X LS | ハーフブリッジ Y HS | ハーフブリッジ Y LS | OUTX | OUTY | |
|---|---|---|---|---|---|---|---|
| 0 | X | X | X | X | Z | Z | スリープ |

**表 7-25. モーターの動作 (OUTX と OUTY の間に接続されたモーター) (続き)**

| nSLEEP | ハーフブリッジ X HS | ハーフブリッジ X LS | ハーフブリッジ Y HS | ハーフブリッジ Y LS | OUTX | OUTY | |
|---|---|---|---|---|---|---|---|
| 1 | 0 | 0 | 0 | 0 | Z | Z | コースト |
| 1 | HS_ON = 1 | LS_ON = 0 | HS_ON = 0 | LS_ON = 1 | H | L | 順方向 |
| 1 | HS_ON = 0 | LS_ON = 1 | HS_ON = 1 | LS_ON = 0 | L | H | 逆方向 |
| 1 | HS_ON = 0 | LS_ON = 1 | HS_ON = 0 | LS_ON = 1 | L | L | ブレーキ (ローサイド) |
| 1 | HS_ON = 1 | LS_ON = 0 | HS_ON = 1 | LS_ON = 0 | H | H | ブレーキ (ハイサイド) |

#### 7.4.4.4 ハーフ ブリッジ ITRIP レギュレーション

デバイスのハーフブリッジには、ITRIP と呼ばれるオプションの固定周波数負荷電流調整機能があります。具体的にはアクティブな出力電流を、OUTx_ITRIP_LVL で決定される設定済み電流スレッショルドと比較します。OUT1-2 には 2 つの ITRIP 電流スレッショルドがあり、OUT3-6 には 3 つの電流スレッショルド オプションもあります。ITRIP スレッショルド、イネーブル、およびタイミング設定は、HB_ITRIP_CONFIG 、HB_ITRIP_FREQ、および HB_ITRIP_DG で各ハーフ ブリッジに対して個別に設定されます。

このデバイスには常にイネーブルになる複数のドライバが内蔵されているため、ITRIP ハーフブリッジ レギュレーション中の消費電力を低減する目的でフリーホイール構成があります。同期整流（MOSFET）により、非同期整流（ダイオード）に比べて消費電力が低くなります。ハーフブリッジのフリーホイール動作は、非同期 (パッシブ フリーホイール) と同期整流 (アクティブ フリーホイール) の間で構成可能です。ITRIP レギュレーション中のハーフブリッジの同期整流は、構成レジスタ HB_OUT_CNFG1 の NSR_OUTx_DIS ビットを設定することでイネーブルになります。

ITRIP 検出は各ハーフブリッジのハイサイドおよびローサイド MOSFET の両方で行われ、ブランキングは内部で制御されます。

設定可能な ITRIP タイミング パラメータは、周波数およびグリッチ除去です。以下の表に、ITRIP の設定オプションをまとめます。

**表 7-26. ハーフ ブリッジの ITRIP 同期整流設定**

| NSR_OUTx_DIS | ITRIP ハーフブリッジのオフ時間応答 |
|---|---|
| 0b | ハイ インピーダンス |
| 1b | 相補型 MOSFET がオン |

**表 7-27. ハーフ ブリッジの ITRIP 電流スレッショルド**

| ハーフ ブリッジ | ITRIP 電流スレッショルド（標準値） | OUTx_ITRIP_LVL |
|---|---|---|
| OUT6 | 6.2A | 10b |
| | 5.4A | 01b |
| | 2.3A | 00b |
| OUT5 | 7.6A | 10b |
| | 6.6A | 01b |
| | 2.9A | 00b |
| OUT3 および OUT4 | 3.4A | 10b |
| | 2.5A | 01b |
| | 1.3A | 00b |


Copyright © 2025 Texas Instruments Incorporated

**表 7-27. ハーフ ブリッジの ITRIP 電流スレッショルド (続き)**

| ハーフ ブリッジ | ITRIP 電流スレッショルド(標準値) | OUTx_ITRIP_LVL |
|---|---|---|
| OUT1 および OUT2 | 0.875A | 1b |
| | 0.7A | 0b |

**表 7-28. ITRIP タイミング - グリッチ除去オプション**

| グリッチ除去時間 | OUTx_ITRIP_DG |
|---|---|
| 2µs | 00b |
| 5µs | 01b |
| 10µs | 10b |
| 20µs | 11b |

**表 7-29. ITRIP タイミング - 周波数オプション**

| ITRIP 周波数 | OUTx_ITRIP_FREQ |
|---|---|
| 20kHz | 00b |
| 10kHz | 01b |
| 5kHz | 10b |
| 2.5kHz | 11b |

注

20kHz の ITRIP 周波数が必要な場合は、最も速いグリッチ除去時間を推奨します(2µs)。

ITRIP レギュレーションは、次のステップに従います。

- ハーフブリッジのローサイドまたはハイサイドがイネーブルになります。最初の ITRIP クロック エッジは、ハーフ ブリッジがイネーブルのときに発生します。
- ローサイドまたはハイサイドのいずれかで ITRIP 制限を超過すると、デバイスはグリッチ除去時間 $t_{DG_ITRIP_HB}$ よりも長い間待機します。
- グリッチ除去時間が経過しても ITRIP 制限を超えた場合、どちらかのハーフブリッジが Hi-Z に入るか、NSR_OUTx_DIS ビットの設定に応じて、ITRIP サイクルの残りの期間中、反対側の MOSFET をオンにします。ITRIP ステータスビットが設定され、レギュレーションループが再起動します。
- NSR_OUTx_DIS = 1b (同期整流がイネーブル) の場合、イネーブルされている MOSFET を流れる電流が反転しているかどうかを監視されます。電流の反転が検出された場合、ITRIP サイクルの残りの期間、ハーフブリッジ出力は Hi-Z になります。

同期整流またはフリーホイール機能は、NSR_OUTx_DIS ビットを構成レジスタ HB_OUT_CNFG1 で設定することによって有効になります。NSR_OUTx_DIS = 0b の場合、いずれかの MOSFET で ITRIP が発生すると、ハーフブリッジは Hi-Z になります。NSR_OUTx_DIS = 1b の場合、いずれかの MOSFET で ITRIP が発生すると、反対側の MOSFET がイネーブルになります。

例えば、補完モードでは NSR_OUTx_DIS = 1b、OUTx_CNFG = 101b および 010b に設定します。PWM 入力が HS MOSFET をオンに設定し、HS MOSFET の ITRIP に達すると、ITRIP サイクルの残りの時間にわたって LS MOSFET がオンになります。HS MOSFET はサイクルの終わりにオンになります。PWM 入力が ITRIP 周期内に変化すると、ITRIP カウンタはリセットされ、LS MOSFET がオンの間、ITRIP レギュレーションがアクティブです。

ITRIP が発生したときに同期整流が有効であり MOSFET がオンになると、電流の反転またはゼロクロス検出が監視されます。ハイサイドとローサイドの両方の MOSFET にゼロクロス検出があります。ITRIP レギュレーション中に、検出された負荷電流がグリッチ除去時間より長い間 0A に達すると、ITRIP サイクルの残りの期間、ハーフブリッジ出力は Hi-Z になります。ゼロクロス グリッチ除去時間は、同じ ITRIP グリッチ除去時間です。

下の図は、OUTx_ITRIP_LVL、NSR_OUTx_DIS、HB_ITRIP_FREQ、HB_TOFF_SEL、HB_ITRIP_DG を設定した後のハーフブリッジにおける ITRIP 動作を示しています:

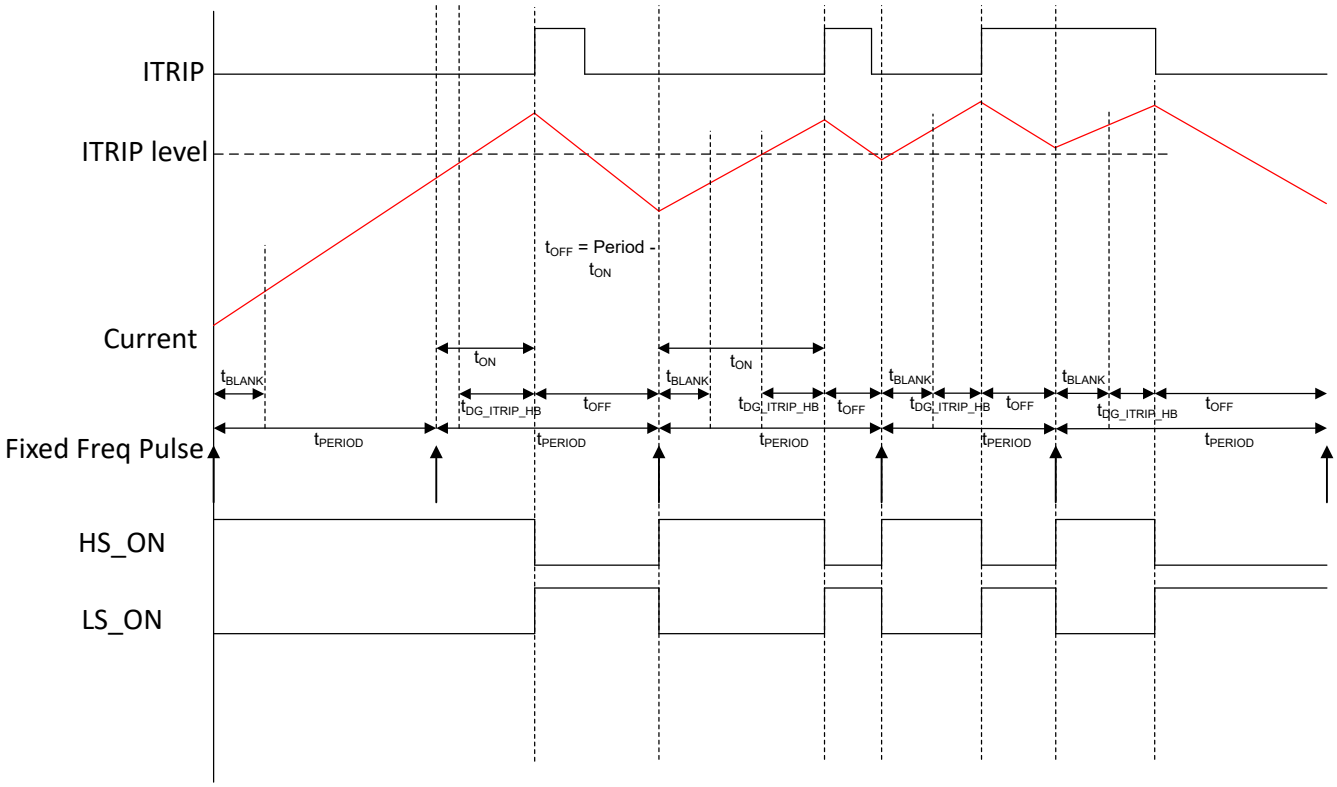



**図 7-13. ハーフブリッジの固定周波数 ITRIP 電流レギュレーション**

ITRIP の設定は、SPI 通信が利用可能な場合、OUTx_ITRIP_LVL ビットへの書き込みによりいつでも変更できます。変更は即座にデバイスの動作に反映されます。

ハーフブリッジが PWM 制御と ITRIP 用に構成されている場合、ITRIP に達すると、動作は SPI レジスタ制御の場合と同じですが、入力は構成された PWM ピンから行われます。

HB_ITRIP_FREQ レジスタの HB_TOFF_SEL ビットに基づいて、$t_{OFF}$ の最小値が強制されます。この設定を有効にすると、Period = $1/f_{PWM}$、$t_{OFF}$ = (Period - $t_{ON}$) となります。(Period - $t_{ON}$) > $t_{OFF_MIN}$ または $t_{OFF}$ = $t_{OFF_MIN}$ (Period - $t_{ON}$) < $t_{OFF_MIN}$ の場合です。

たとえば、HB_TOFF_SEL = 01b の場合、T/2 の $t_{OFF}$ の最小挿入です。

1. ITRIP がデューティ サイクルの 50% を超えて発生した場合、ITRIP 後に最小固定 T/2 オフ時間が挿入されます。動作は $t_{OFF}$ = T/2 です。
2. ITRIP が 50% デューティ サイクル以内に発生した場合、動作は $t_{OFF}$ =(周期 - $t_{ON}$)です。

**表 7-30. 最小 $t_{OFF}$ 時間オプション**

| HB_TOFF_SEL | 最小 $t_{OFF}$ は強制 |
|---|---|
| 00b | ディセーブル、ゼロ |
| 01b | $T_{OFF}$= T/2、50% T |
| 10b | $T_{OFF}$= T/4、25% T |
| 11b | $T_{OFF}$= T |


Copyright © 2025 Texas Instruments Incorporated

#### 7.4.4.5 ハーフブリッジの保護と診断

ハーフブリッジ ドライバは過電流から保護されています。また、このデバイスは、オン状態およびオフ状態の負荷監視機能も備えています。フォルト信号はレジスタ HB_STATX によって行われます。

##### *7.4.4.5.1 ハーフブリッジ オフ状態診断（OLP）*

ユーザーは、ハーフブリッジが無効になっている間、レジスタ HB_OUT_CNFGx でハーフブリッジがディセーブルされているときに、オフ状態診断を使用して、ペアのハーフブリッジのインピーダンスを判断できます。この診断により、次の故障状態をパッシブに検出することが可能です:

- VM または GND への出力短絡 < 1000Ω
- ハイサイド負荷用に開放負荷 (最小 $R_{OPEN_HB}$)、VM = 13.5V

**表 7-31. オフ状態の開放負荷スレッショルド**

| デバイス | 最小 $R_{OPEN_HB}$ |
|---|---|
| DRV8000-Q1 | 35 Ω |
| DRV8000E-Q1 | 320 Ω |
| DRV8001-Q1 | 320 Ω |
| DRV8002-Q1 | 35 Ω |

注

この診断では、**負荷の短絡**を検出することはできません。しかし、出力がアクティブに駆動されている際に過電流エラー (OCP) が発生しているにもかかわらず、出力が無効になっている際に OLP 診断がエラーを報告しない場合、ユーザーはこれを論理的に推論することができます。出力がアクティブに駆動されているときに OCP が発生し、出力が無効化されているときに OLP が発生する場合、端子短絡 (選択された出力ノードでの短絡) を意味します。

- ユーザーは、次の組み合わせを設定できます。
  - OUTx 上の内部プルアップ抵抗 ($R_{OLP_PU}$)
  - OUTx 上の内部プルダウン抵抗（$R_{OLP_PD}$）
  - コンパレータの基準電圧レベル
- この組み合わせは、HB_OL_CNFG1 レジスタの HB_OLP_CNFG ビットによって決定されます。
- 診断されるハーフブリッジ ペアは、HB_OL_CNFG1 レジスタの HB_OLP_SEL ビットによって決定されます。
- オフ状態診断コンパレータ出力は、HB_OLP_STAT ビットを HB_STAT2 レジスタ内で利用可能です。出力はラッチされません。
- ユーザーはすべての組み合わせを切り替え、出力が安定した後のステータス ビット出力を記録することが期待されます。
- 入力の組み合わせとステータス レジスタに基づいて、ユーザーは出力にエラーがあるかどうかを判断できます。

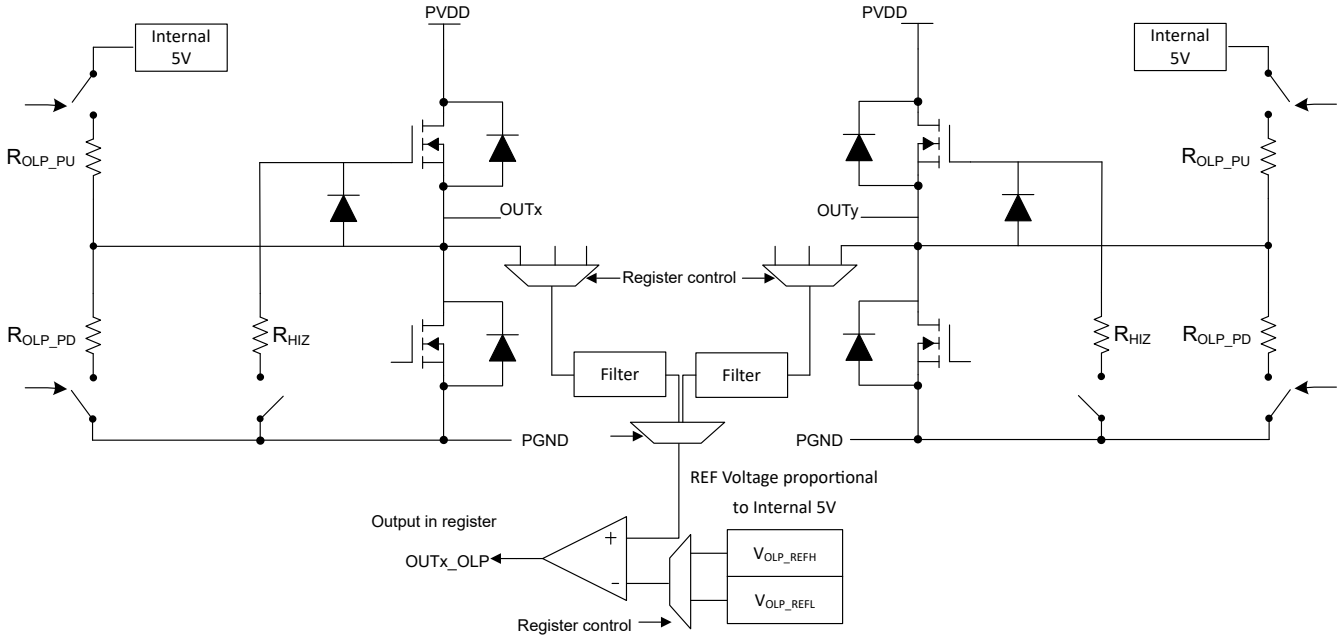



**図 7-14. オフ状態 (パッシブ) 診断**

以下の出力、プルダウン / プルアップ、VREF の組み合わせを示します。

**表 7-32. オフ状態の出力プルアップ / プルダウンおよび VREF オプション**

| HB_OLP_CNFG | 説明 |
|---|---|
| 00b | OLP オフ |
| 01b | 出力 X プルアップ有効、出力 Y プルダウン有効、出力 Y 選択、VREF Low |
| 10b | 出力 x プルアップ有効、出力 Y プルダウン有効、出力 X 選択、VREF High |
| 11b | 出力 X プルダウン有効、出力 Y プルアップ有効、出力 Y を選択、VREF Low |

故障がないシナリオおよびフォルトのある シナリオに対する OLP の組み合わせおよび真理値表を表 7-33 に示します。診断がアクティブかつ有効になるにはビット OUTx_CNFG をレジスタ HB_OUT_CNFGx において、すべてのハーフブリッジ構成をゼロ (ディスエーブル) にする必要があります。

**表 7-33. オフ状態診断制御表**

| ユーザー入力 | | OLP の設定 | | | | HB_OLP_STAT | | | |
|---|---|---|---|---|---|---|---|---|---|
| HB_OLP_CNFG | nSLEEP | OUTX | OUTY | CMP REF | 選択された出力 | 通常 | オープン | GND 短絡 | VM 短絡 |
| 01b | 1 | $R_{OLP_PU}$ | $R_{OLP_PD}$ | $V_{OLP_REFL}$ | OUTY | **1b** | **0b** | **0b** | **1b** |
| 10b | 1 | $R_{OLP_PU}$ | $R_{OLP_PD}$ | $V_{OLP_REFH}$ | OUTX | **0b** | **1b** | **0b** | **1b** |
| 11b | 1 | $R_{OLP_PD}$ | $R_{OLP_PU}$ | $V_{OLP_REFL}$ | OUTY | **1b** | **1b** | **0b** | **1b** |

以下に、ハーフブリッジのペアのオフ状態の組み合わせと選択値を示します。


Copyright © 2025 Texas Instruments Incorporated

注

いずれかのハーフブリッジが有効化されると、すべてのハーフブリッジ OLP ビットは自動的に無効化され、デバイスはオフ状態診断を終了します。

**表 7-34. OUTx と OUTy の構成**

| HB_OLP_SEL | OUTX と OUTY ペアが選択されています |
|---|---|
| 0000b | 出力なし |
| 0001b | OUT1 および OUT2 |
| 0010b | OUT1 および OUT3 |
| 0011b | OUT1 および OUT4 |
| 0100b | OUT1 および OUT5 |
| 0101b | OUT1 および OUT6 |
| 0110b | OUT2 および OUT3 |
| 0111b | OUT2 および OUT4 |
| 1000b | OUT2 および OUT5 |
| 1001b | OUT2 および OUT6 |
| 1010b | OUT3 および OUT4 |
| 1011b | OUT3 および OUT5 |
| 1100b | OUT3 および OUT6 |
| 1101b | OUT4 および OUT5 |
| 1110b | OUT4 および OUT6 |
| 1111b | OUT5 および OUT6 |

#### *7.4.4.5.2 ハーフ ブリッジ開放負荷検出*

デバイスがアクティブで駆動コマンドを待機しているとき、ハーフブリッジ OUT1～OUT6 には開放負荷検出ループがあります。検出方式では、各ハーフブリッジ出力のハイサイドとローサイドそれぞれの開放負荷ステータスを順にチェックし、レジスタ HB_STAT2 の OUTx_xx_OLA ビット、およびレジスタ IC_STAT1 の WARN ビットのステータスを報告します。

スタンバイまたはスリープ モードから、OUT1 から開始して、制御ループは開放負荷フィルタ時間の完了後に、そのハーフブリッジの電流を低電流のスレッショルドと比較することで開放負荷状態を確認し始めます。PWM モードで動作する場合、この遅延は、レジスタ HB_OL_CNFG2 の OUTx_OLA_TH ビットを使用して、32、128、512、1024 PWM サイクルに設定できます。読み戻しには 1 つの追加サイクルが必要です。たとえば、OUTx_OLA_TH が 32 サイクルに構成されている場合、読み戻しする値が 33 番目のサイクルの終了時に利用可能になります。出力が EN/DIS のみで駆動される場合 (PWM スイッチングなし)、開放負荷検出の遅延は 10ms です。

**表 7-35. 開放負荷検出サイクル遅延**

| OUTx_OLA_TH | 遅延サイクル カウント |
|---|---|
| 00b | 32 |
| 01b | 128 |
| 10b | 512 |
| 11b | 1024 |

サイクル カウント スレッショルドの終了時、または 10ms のタイムアウトが発生した場合、OUTx_HS_OLA/OUTx_LS_OLA ビットが報告されます。設定された遅延サイクル数の後に開放負荷が検出されなければ、ループは次のハーフブリッジに移ります。ループは OUT6 を介して各出力のチェックを継続し、その後 OUT1 に戻り、OLA ループを再起動します。開放負荷チェックを有効にするには、ハーフブリッジの開放負荷検出が有効化されている必要があり

(OUTx_OLA = 1b)、かつ出力 OUTx_CNFG が無効化されていない必要があります。下の図は、OLA スキームを示しています。

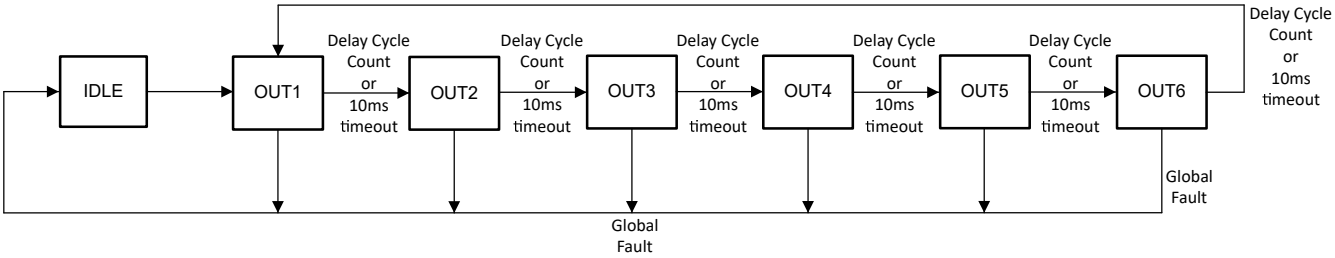



**図 7-15. ハーフブリッジ開放負荷アクティブ検出**

次の 3 つの条件のいずれかが満たされると、いずれかのハーフブリッジはスキップされます。

1. OUTx は無効化されます（OUTx_CNFG = 00b）。
2. ハーフブリッジの開放負荷検出はイネーブルされていません（OUTx_OLA = 0b）。
3. OUTx は 10ms を超える間オフになります
4. HS_OLA と LS_OLA の両方がすでに検出されフラグが立っている場合、または OUTx に他のフォルト状態 (過電流、過熱) が発生している場合

すべてのハーフブリッジ OUTx が PWM なしで有効になっている場合、すべてのハーフブリッジを巡回するループの合計時間は最大 60 ミリ秒かかる可能性があります。ハーフブリッジが個別または順次に駆動される場合、ループは 10ms 以上 (EN または PWM 制御周波数に依存) で開放負荷を検出します。ハーフブリッジが低周波の外部 PWM 信号で駆動される場合、出力のオフ時間が 10ms の開放負荷検出ウィンドウを超えることがあります。そのため、ハーフブリッジはタイムアウト終了時、または PWM サイクル数が 10ms 未満の場合にステータスを報告し、その後処理を継続します。

#### *7.4.4.5.3 ハーフ ブリッジ過電流保護*

ハーフ ブリッジがアクティブのとき、ハード短絡事象の発生時に各 MOSFET のアナログ電流保護回路により MOSFET がシャットオフされます。出力電流が過電流スレッショルド $I_{OCP_OUTX}$ を上回る状態になり、その時間が $t_{DG_OCP_HB}$ を超えると、過電流フォルトが検出されます。対応する出力は Hi-Z（ラッチ動作）であり、レジスタ（HB_STAT1）にフォルトがラッチされます。PVDD_OV_MODE で $V_{PVDD} > V_{PVDD_OV}$ が構成されている場合、ハーフブリッジはディセーブルになります。

ハーフ ブリッジ ドライバの過電流グリッチ除去時間 $t_{DG_OCP_HB}$ の場合、以下の表にまとめる 4 つの過電流グリッチ除去のオプションがあります。

**表 7-36. ハーフ ブリッジ過電流グリッチ除去**

| OUTx_OCP_DG | 電圧制限 | グリッチ除去時間 |
|---|---|---|
| 00b | $V_{PVDD} < V_{PVDD_OV}$ | 6µs |
| 01b | $V_{PVDD} < V_{PVDD_OV}$ | 10µs |
| 10b | $V_{PVDD} < V_{PVDD_OV}$ | 15µs |
| 11b | $V_{PVDD} < 20$ V | 60µs |
| | $V_{PVDD} > 20$ V | 15µs |

ドライバを再起動するには、まず MCU がステータス レジスタを読み取ってレジスタ内のエラーをクリアする必要があります。次の図に、ハーフ ブリッジの過電流動作を示します。


Copyright © 2025 Texas Instruments Incorporated

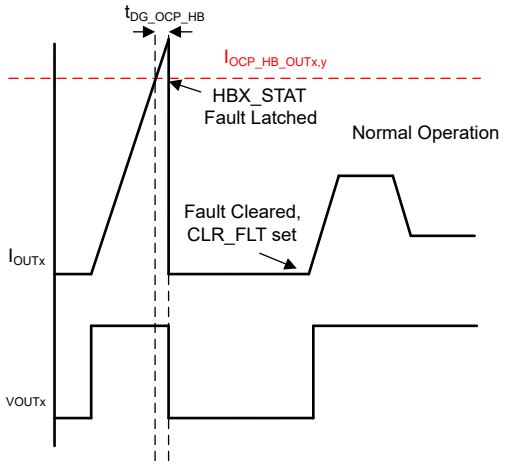



**図 7-16. ハーフ ブリッジの過電流動作**

### *7.4.5 センス出力（IPROPI）*

このデバイスは、IPROPI ピンで電流センス、$V_{PVDD}$ の監視、およびダイ温度の出力を備えています。この情報は、負荷のステータスやレギュレーション (OUTx 上)、ダイ温度のチェック、またはローカル モータ電源電圧の供給に使用できます。これらの統合機能により、複数の外部センス抵抗やセンス回路が不要になり、システム サイズ、コスト、複雑さを削減できます。

シャントレス ハイサイド電流ミラー構成により、負荷電流を検出します。IPROPI 出力電流は、有効化されたドライバ (OUTx) の瞬時電流に対して、固定の比率 $A_{IPROPI}$ で決まります。サーマル クラスタ出力は、対応するゾーン温度検出回路から供給されます。ローカル モータ電源の PVDD センスと温度センスは、IPROPI 抵抗を介して IPROPI ピンの電流出力に変換され、5V および 3.3V の ADC ピンに対応するスケーラブルな出力電圧を可能にします。

IPROPI センス出力においては、選択されたスケール (負荷電流、電圧、または温度) の最大値が、最大 IPROPI 出力電流 2 mA で表されます。例えば、8A の負荷を駆動している場合 (これはドライバの最小 OCP)、OUT5 の IPROPI を選択すると、想定される IPROPI 出力電流は 2mA になります。負荷電流がドライバの最小 OCP をわずかに上回る場合、IPROPI 出力電流が IPROPI の電流検出比に従っているかどうかを確認できず、場合によっては OCP シャットダウンが発生することがあります。

ビット IPROPI_SEL は、IPROPI ピンにどの出力が多重化されるかを定義します (以下の表に示す制御値を示します):

**表 7-37. IPROPI _SEL オプション**

| IPROPI_SEL | 出力 |
|---|---|
| 00000b | 出力なし |
| 00001b | OUT1 による電流検出 |
| 00010b | OUT2 による電流検出 |
| 00011b | OUT3 による電流検出 |
| 00100b | OUT4 による電流検出 |
| 00101b | OUT5 による電流検出 |
| 00110b | OUT6 による電流検出 |
| 00111b | OUT7 による電流検出 |
| 01000b | OUT8 による電流検出 |
| 01001b | OUT9 による電流検出 |
| 01010b | OUT10 による電流検出 |
| 01011b | OUT11 による電流検出 |
| 01100b | OUT12 による電流検出 |

**表 7-37. IPROPI _SEL オプション (続き)**

| IPROPI_SEL | 出力 |
|---|---|
| 01101b | RSVD |
| 01110b | RSVD |
| 01111b | RSVD |
| 10000b | $V_{PVDD}$ 検出の公称範囲 (5V ～ 22V) |
| 10001b | サーマル クラスタ 1 |
| 10010 | サーマル クラスタ 2 |
| 10011 | サーマル クラスタ 3 |
| 10100 | サーマル クラスタ 4 |
| 10101 | $V_{PVDD}$ 検出 High レンジ (20V ～ 32V) |

次の図は、選択可能な IPROPI 出力の簡単なブロック図を示しています。

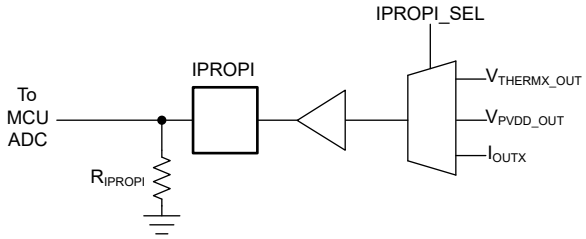



**図 7-17. IPROPI 出力回路**

**IPROPI リセット、ブランク、セトリング時間:** 上記の表から IPROPI 出力オプションのいずれかを選択するとき、IPROPI_SEL ビットを使用して、最初に IPROPI 出力は 5.5µs 内で 0V にリセットされます。このリセットは、すべての IPROPI 出力の選択または遷移に対して発生します。誤った読み取りを防ぐために、いずれかのドライバまたはセンス出力をオンにした後、回路が安定するまで IPROPI の信号はブランキングされます。ハイサイド ドライバの場合、その時間はおおよそ 60µs です。

**電流 ($I_{OUTx}$) センス:** 電流出力の場合、IPROPI 出力のアナログ電流は $A_{IPROPI}$ で次のようにスケーリングされます。

$$I_{IPROPI} = I_{OUTX} / A_{IPROPI} \quad (1)$$

**PVDD センス:** PVDD 電圧センス出力には、次の 2 つの範囲があります:

- 公称範囲:5V ～ 22V、ここで、IPROPI 出力電流は以下の通りです:$V_{PVDD}$/11,000
- ハイレンジ:20V ～ 32V、ここで、IPROPI 出力電流は以下の通りです:$V_{PVDD}$/16,500

次に例を示します。

- 公称 PVDD 範囲 1 に対して IPROPI_SEL を選択します (IPROPI_SEL = 10000b)
- $V_{PVDD}$ は 13.5V です
- $I_{IPROPI}$ = 1.2mA

**PVDD 検出フォルト動作:** IPROPI PVDD 電圧センス出力は有効で、$V_{PVDD}$ が PVDD UV スレッショルドを上回っているとき、および $V_{DVDD}$ が推奨される最小動作電圧を上回っているときに利用可能です。

$V_{PVDD}$ が PVDD OV スレッショルドを上回っても、PVDD 検出出力はサポートされます。ただし、公称範囲 (5V ～ 22V) の IPROPI PVDD 検出出力は、$V_{PVDD}$ > 22V 以上では検証できません。1/16,500 のハイレンジ IPROPI PVDD 検出出力比は 20V ～ 32V 以内で有効ですが、$V_{PVDD}$ (32V) を超えると検証することはできません。

PVDD センスが利用できない故障:


Copyright © 2025 Texas Instruments Incorporated

- チャージ ポンプ低電圧 (VCP_UV)
- グローバル シャットダウン用に構成されている場合のサーマル シャットダウン (デフォルト)

**温度検出出力:**IPROPI 出力は、4 つのサーマル クラスタ温度のいずれか 1 つの電流値を表すこともできます。これはテストと評価に使用することを意図していますが、デバイスの実行時に使用することはできません。

IPROPI 出力電流が利用可能な最大内部温度は 195°C で、この時点で IPROPI 出力電流は 1.94mA です。IPROPI 電流出力は、-40°C ～ 195°C の温度範囲に従ってスケーリングされます。IPROPI 出力電流の式は次のとおりです:

$I_{IPROPI} = \alpha + \beta \times t$

ここで、α はオフセットが 1.49mA にほぼ等しく、β は 2.24µA/°C、「t」は温度です。温度に戻すためには、温度について解くと次のようになります:

$t = (I_{IPROPI} - \alpha)/\beta$

$R_{IPROPI}$ で生成される電圧は、次のようになります:

$t = ([V_{IPROPI}/R_{IPROPI}] - \alpha)/\beta$

例えば、クラスタ温度が 0°C のとき、IPROPI 出力電流は 1.49mA です。145°C での IPROPI の出力電流は 1.81mA です。

比例電圧 $V_{IPROPI}$ を生成するには、外付け抵抗 ($R_{IPROPI}$) を介して IPROPI ピンをグランドに接続する必要があります。これにより、アプリケーション内の $R_{IPROPI}$ 抵抗の両端の電圧降下として IPROPI 電流を測定することができ、コントローラの ADC の全範囲が利用可能になります。

IPROPI 抵抗の値を選択するときは、最大動作 IPROPI 出力電圧は 4.7V であることに注意してください。この値は、最大センス値 (ドライバの最大負荷電流など) で IPROPI 出力電圧を 5.3V に駆動する IPROPI の出力誤差 10% を考慮しています。この電圧を下回るようにするには、2.35kΩ による 2mA が約 4.7V であるため、2.35kΩ 未満の抵抗値を使用します。MCU の電圧 3.3V が必要な場合、この IPROPI の出力誤差が 10% であることを考慮して、MCU の絶対最大電圧を下回るような抵抗を求めます。

### *7.4.6 保護回路*

#### 7.4.6.1 フォルト リセット (CLR_FLT)

DRV8001-Q1 には、ドライバからフォルト状況をクリアし、動作を再開するための特定のシーケンスが用意されています。この機能は CLR_FLT レジスタ ビットによって動作します。フォルト通知をクリアするには、フォルト状況の解消後、CLR_FLT レジスタ ビットをアサートする必要があります。アサート後、ドライバはフォルトをクリアし、CLR_FLT レジスタ ビットをリセットします。

#### 7.4.6.2 DVDD ロジック電源パワーオン リセット (DVDD_POR)

DVDD ピンの入力ロジック供給電圧が $V_{DVDD_POR}$ スレッショルドを下回る時間が、$t_{DVDD_POR_DG}$ より長くなったり、nSLEEP ピンがローにアサートされたりすると、デバイスは非アクティブ状態に入り、ゲート ドライバ、チャージ ポンプ、OUTx 出力、および保護モニタが無効になります。DVDD 低電圧状態が解消されるか、nSLEEP ピンが High にアサートされると、通常動作が再開されます。DVDD パワーオンリセット (POR) 後、CLR_FLT が発行されるまで POR レジスタビットがアサートされます。

#### 7.4.6.3 PVDD 電源低電圧監視 (PVDD_UV)

PVDD ピンの電源電圧が $V_{PVDD_UV}$ スレッショルドを下回る状態が、$t_{PVDD_UV_DG}$ 時間より長く続くと常に、DRV8001-Q1 は PVDD 低電圧イベントを検出します。低電圧状態の検出後、ゲートドライバプルダウンはイネーブル、チャージポンプはディセーブルになり、すべての OUTx がディセーブルされ、FAULT ビットおよび PVDD_UV レジスタビットがアサートされます。

PVDD 低電圧モニタは PVDD_UV_MODE レジスタで設定される 2 つの異なるモードで回復できます。

- **ラッチ フォルト モード:**低電圧状態の解消後、CLR_FLT が発行されるまでは、フォルト状態はラッチされたままで、すべての出力はディスエーブルのままです。

- **自動回復モード:** 低電圧状態が解消されると、FAULT レジスタのビットが自動的にクリアされ、出力は再びイネーブルになります。PVDD_UV レジスタビットは、CLR_FLT が発行されるまでラッチされたままです。

#### 7.4.6.4 PVDD 電源過電圧監視 (PVDD_OV)

DRV8001-Q1 には、2 つの $V_{PVDD_OV}$ スレッショルド、Low および High スレッショルドがあります。過電圧応答の選択肢は、構成されたドライバ出力 (ハイサイド、EC、ヒータードライバ、ハーフブリッジ ドライバ) に依存します。IC_STAT1 には、PVDD_OV_22V と PVDD_OV_28V の 2 つの故障ステータス ビットが用意されています。

PVDD 過電圧モニタは PVDD_OV_MODE レジスタで設定される 2 つの異なるモードで回復できます。

- **ラッチ故障モード (0b):** 過電圧状態の検出後、すべてのドライバが無効になり、FAULT レジスタビットおよび PVDD_OV_22V または PVDD_OV_28V レジスタビットがアサートされます。過電圧状態の解消後、CLR_FLT が発行されるまではフォルト状態はラッチされたままです。
- **自動回復モード (1b):** 過電圧状態の検出後、すべてのドライバが無効になり、FAULT レジスタビット、および PVDD_OV_22V または PVDD_OV_28V レジスタビットがアサートされます。過電圧状態が解消されると、FAULT レジスタのビットが自動的にクリアされ、チャージ ポンプは自動的に再びイネーブルになります。PVDD_OV_22V または PVDD_OV_28V レジスタ ビットは、CLR_FLT が発行されるまでラッチされたままです。

**ハイサイド、EC、ヒーター ドライバの過電圧フォルト (PVDD_OV_22V):**

- $V_{PVDD}$ が低い $V_{PVDD}$ スレッショルド電圧 (22V) を超えると、ハイサイド ドライバ、EC ドライバ、およびヒーター ドライバはシャットオフします。
- PVDD_OV_22V 故障ステータスは、ハイサイド、EC、ヒーター ドライバの PVDD 過電圧動作表で定義されています。
- ハイサイド、EC、ヒータードライバの出力では、PVDD_OV_LVL 設定は利用できません
- PVDD_OV_MODE は、故障応答のラッチ故障モードまたは自動復帰モードに設定できます。

**表 7-38. ハイサイド、EC、ヒーター ドライバの PVDD 過電圧動作**

| PVDD 電圧 | ハイサイド、EC、ヒーター ドライバ | PVDD_OV_22V のステータス | PVDD_OV_28V | 故障 |
|---|---|---|---|---|
| $V_{PVDD}$ < 22 V | 通常動作 | 0b | 該当なし | 0b |
| $V_{PVDD}$ > 22 V | シャットダウン | 1b | 該当なし | 1b |

**ハーフブリッジ過電故障圧 (PVDD_OV_22V または PVDD_OV_28V):**

- ハーフブリッジは、$V_{PVDD}$ が Low $V_{PVDD}$ スレッショルド電圧 (22V) を超えた場合の警告またはシャットオフ、あるいは High $V_{PVDD}$ スレッショルド電圧 (28V) を超えた場合のシャットオフに対応しています。
- PVDD_OV_22V は、ハーフブリッジおよびゲートドライバの PVDD 過電圧動作テーブルに定義されているように、これらのドライバ出力に対して利用可能なレジスタ PVDD_OV_LVL 設定を使用して、警告または故障条件に構成できます。
- PVDD_OV_22V のグリッチ除去時間は、PVDD_OV_DG レジスタ設定によって調整できます。
- PVDD_OV_MODE は、故障応答のラッチ故障モードまたは自動復帰モードに設定できます。

**表 7-39. ハーフブリッジとゲート ドライバの PVDD 過電圧動作**

| PVDD_OV_LVL | PVDD 電圧 | ハーフ ブリッジとゲートドライバ | ハイサイド、EC、ヒーター ドライバ | PVDD_OV_22V | PVDD_OV_28V | 故障 |
|---|---|---|---|---|---|---|
| 0b | $V_{PVDD}$ < 22 V | 通常動作 | 通常動作 | 0b | 0b | 0b |
| 0b | $V_{PVDD}$ > 22 V | シャットダウン | シャットダウン | 1b | 0b | 1b |
| 1b | $V_{PVDD}$ < 22 V | 通常動作 | 通常動作 | 0b | 0b | 0b |
| 1b | 28 V> $V_{PVDD}$ > 22 V | 警告ありの通常動作 | シャットダウン | 1b | 0b | 1b |
| 1b | $V_{PVDD}$ > 28 V | シャットダウン | シャットダウン | 1b | 1b | 1b |


Copyright © 2025 Texas Instruments Incorporated

#### 7.4.6.5 VCP チャージ ポンプ低電圧誤動作防止 (VCP_UV)

VCP ピンの電圧が $V_{VCP_UV}$ スレッショルドを下回る状態が、$t_{VCP_UV_DG}$ 時間を超えると常に、DRV8001-Q1 は VCP 低電圧状態を検出します。低電圧状態の検出後、すべての出力がディスエーブルになり、FAULT レジスタビットおよび VCP_UV レジスタビットがアサートされます。

VCP 低電圧モニタは VCP_UV_MODE レジスタで設定される 2 つの異なるモードで回復できます。

- **ラッチ フォルト モード:**さらに、ラッチ フォルト モードではチャージ ポンプがディセーブルになります。低電圧状態の解消後、CLR_FLT が発行されるまでは、フォルト状態はラッチされたままで、チャージ ポンプはディセーブルのままです。
- **自動回復モード:**低電圧状態が解消されると、FAULT レジスタビットがクリアされ、ドライバは自動的に再びイネーブルになります。VCP_UV レジスタビットは、CLR_FLT が発行されるまでラッチされたままです。

#### 7.4.6.6 サーマル クラスタ

このデバイスには複数のドライバとドライバの種類があるため、チップ上の主要ブロックの温度を監視するために、チップ上に複数の専用サーマル センサが配置されています。これらのセンサはそれぞれ、サーマル クラスタと呼ばれ、特定のデバイス ブロックのローカル ダイ温度を測定します。これらの測定値は電流に変換され、IPROPI ピンから出力されます。これは、温度警告をトリガーしたり、許容温度範囲を超えた特定のクラスタ、またはデバイス全体をシャットダウンするために使用されます。

サーマル クラスタ警告に対するデバイスの応答は 、IC_CNFG1 レジスタの OTSD_MODE ビットで構成できます。

- デフォルト モード（OTSD_MODE = 0b）:いずれかのクラスタが $t_{OTSD_DG}$ より長い間サーマル シャットダウン スレッショルドに達すると、デバイス全体がシャットダウンされます。
- クラスタ モード（OTSD_MODE = 1b）:クラスタが $t_{OTSD_DG}$ より長い間サーマル シャットダウン スレッショルドに達した場合、そのクラスタのみがシャットオフされます。

次の表と図に示すように、サーマル クラスタで定義された 4 つのゾーンがあります。

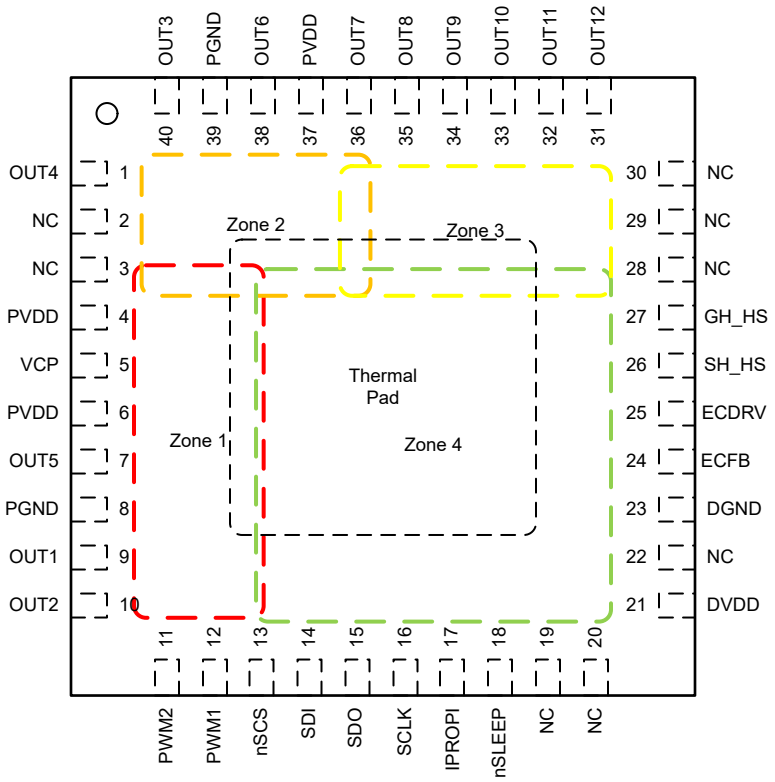



**図 7-18. サーマル センサ ゾーン**

**表 7-40. サーマル クラスタの位置**

| サーマル クラスタ 1 | サーマル クラスタ 2 | サーマル クラスタ 3 | サーマル クラスタ 4 |
|---|---|---|---|
| OUT5、OUT1 および OUT2 | OUT3、OUT4 および OUT6 | ハイサイド ドライバ | グローバル ドライバと残りのドライバ |

各ゾーンに、2 つの温度ポイントに対してコンパレータ ベースの警告があり、Low が 120°C、High が 140°C です。ビット ZONEX_OTW_X（L または H）がレジスタ IC_STAT2 でラッチされます。各警告は、レジスタ IC_CNFG2 のビット ZONEX_OTW_X_DIS を使用して個別に無効化できます。過熱シャットダウンが発生すると、レジスタ IC_STAT2 の ZONEX_OTSD ビットがラッチされます。

#### 7.4.6.7 ウォッチドッグ タイマ

このデバイスは、外部コントローラが動作していることを確認し、SPI バスの整合性を監視するために、プログラマブル ウィンドウ タイプの SPI ウォッチドッグ タイマを統合しています。SPI ウォッチドッグタイマは、WD_EN SPI レジスタビットでイネーブルにできます。ウォッチドッグ タイマは、デフォルトで無効になっています。ウォッチドッグ タイマがイネーブルになると、内部タイマはカウントアップを開始します。ウォッチドッグ タイマは、WD_RST SPI レジスタを反転することでリセットされます。この WD_RST は、下位ウィンドウ時間と上位ウィンドウ時間の間に発行する必要があります。ウォッチドッグ タイマのフォルトが検出された場合、デバイスの応答は、警告のみを通知するか、障害を通知して、すべてのドライバをディセーブルにするかのどちらかを構成できます。ウォッチドッグ故障は、CLR_FLT コマンドでクリアできます。ウォッチドッグがすべてのドライバをディセーブルに設定されている場合、CLR_FLT コマンドを送信した後でドライバがイネーブルになり、ウォッチドッグのフォルト状態が解消されます。クリア故障後にウォッチドッグを再起動するには、WD_EN ビットを使用してウォッチドッグをディスエーブルにし、再度イネーブルにします。

#### 7.4.6.8 障害検出と応答の概略表

| 故障イベント | 条件 | モード | デジタル コア | チャージ ポンプ | ドライバ | ステータス ビット | 故障 / 警告 | 機能的回復 | ステータスビットの回復 |
|---|---|---|---|---|---|---|---|---|---|
| SPI クロック障害 | 無効な SPI クロック フレーム | ラッチ | アクティブ | アクティブ | アクティブ | SPI_OK、SCLK_FLT、SDO フレームでのフレーム SPI_ERR を拒否 | 該当なし | 有効な SPI フレーム | CLR_FLT |
| SPI アドレス障害 | アドレスが範囲外 | ラッチ | アクティブ | アクティブ | アクティブ | SDO フレームの SPI_ERR | 該当なし | 有効な SPI フレーム | 該当なし |
| DVDD パワーオン リセット | DVDD < VDVDD_POR | 該当なし | リセット | 無効 | セミアクティブ プルダウン | POR | 該当なし | DVDD > VDVDD_POR | CLR_FLT |
| PVDD 低電圧 | PVDD < VPVDD_UV | ラッチ | アクティブ | 無効 | プルダウン | SDO フレーム上の PVDD_UV OV / UV | 故障 | PVDD > VPVDD_UV および CLR_FLT | CLR_FLT |
| | | 自動 | アクティブ | 無効 | プルダウン | SDO フレーム上の PVDD_UV OV / UV | 故障 | PVDD > VPVDD_UV | CLR_FLT |
| VCP 低電圧 | VCP < VVCP_UV | ラッチ | アクティブ | 無効 | プルダウン | SDO フレームでの VCP_UV OV / UV | 故障 | VCP > VVCP_UV および CLR_FLT | CLR_FLT |
| | | 自動 | アクティブ | アクティブ | プルダウン | SDO フレームでの VCP_UV OV / UV | 故障 | VCP > VVCP_UV | CLR_FLT |


Copyright © 2025 Texas Instruments Incorporated

| 故障イベント | 条件 | モード | デジタルコア | チャージポンプ | ドライバ | ステータス ビット | 故障 / 警告 | 機能的回復 | ステータスビットの回復 |
|---|---|---|---|---|---|---|---|---|---|
| PVDD 過電圧 | PVDD_OV_LVL = 0、PVDD > 22V | ラッチ | アクティブ | アクティブ | プルダウン | SDO フレーム上の PVDD_OV_22V OV / UV | 故障 | PVDD < VPVDD_OV_LO および CLR_FLT | CLR_FLT |
| | | 自動 | アクティブ | アクティブ | プルダウン | SDO フレーム上の PVDD_OV_22V OV / UV | 故障 | PVDD < VPVDD_OV_LO | CLR_FLT |
| | PVDD_OV_LVL = 1 28V > PVDD > 22V | ラッチ | アクティブ | アクティブ | EC、ヒータ、および HS はプルダウン | SDO フレーム上の PVDD_OV_22V OV / UV | 故障 | PVDD < VPVDD_OV_LO および CLR_FLT | CLR_FLT |
| | | 自動 | アクティブ | アクティブ | EC、ヒータ、および HS はプルダウン | SDO フレーム上の PVDD_OV_22V OV / UV | 故障 | PVDD < VPVDD_OV_LO | CLR_FLT |
| | PVDD_OV_LVL = 1、PVDD > 28V | ラッチ | アクティブ | アクティブ | プルダウン | SDO フレームの PVDD_OV_22V、PVDD_OV_28V OV / UV | 故障 | PVDD < VPVDD_OV_LO および CLR_FLT | CLR_FLT |
| | | 自動 | アクティブ | アクティブ | プルダウン | SDO フレームの PVDD_OV_22V、PVDD_OV_28V OV / UV | 故障 | PVDD < VPVDD_OV_LO | CLR_FLT |
| ハーフブリッジ過電流フォルト（OUT1~OUT6） | IOUTx > IOCPx | ラッチ | アクティブ | アクティブ | 影響を受けるドライバ Hi-Z | HB、OUTx_HS_OCP、OUTx_LS_OCP | 故障 | IOUTx < IOCPx および CLR_FLT | CLR_FLT |
| ハーフブリッジ アクティブ開放負荷フォルト（OUT1~OUT6） | IOUTx < IOLA_OUTx | ラッチ | アクティブ | アクティブ | アクティブ | HB、OUTx_HS_OLA、OUTx_LS_OLA | WARN | IOUTx > IOLA_OUTx および CLR_FLT | CLR_FLT |
| ハイサイド ドライバ過電流フォルト（OUT7-OUT12） | OUTx_ITRIP_EN = 0 IOUTx > IOCx | ラッチ | アクティブ | アクティブ | 影響を受けるドライバ Hi-Z | HS、ITRIP、OUTx_ITRIP_STAT | 故障 | IOUTx < IOCx および CLR_FLT | CLR_FLT |
| ハイサイド ドライバ OUTx ITRIP (OUT7-OUT12) | OUTx_ITRIP_EN = 1 IOUTx > IOCx | ラッチ | アクティブ | アクティブ | アクティブ | HS、ITRIP、OUTx_ITRIP_STAT | 該当なし | IOUTx < IOCx | CLR_FLT |
| ハイサイドドライバ短絡フォルト (OUT7-12) | VOUTx < VSC_DET | ラッチ | アクティブ | アクティブ | 影響を受けるドライバ Hi-Z | HS, OUTx_OCP | 故障 | VOUTx > VSC_DET および CLR_FLT | CLR_FLT |
| ハイサイド ドライバ開放負荷フォルト（OUT7-OUT12） | IOUTx < IOLDx | ラッチ | アクティブ | アクティブ | アクティブ | HS、OUTx_OLA | WARN | IOUTx > IOLDx および CLR_FLT | CLR_FLT |
| ECFB 過電圧 | ECFB_OV_MODE = 00b または 11b VECFB > VECFB_OV_TH | 無効 | アクティブ | アクティブ | アクティブ | 該当なし | 該当なし | 該当なし | 該当なし |
| | ECFB_OV_MODE = 01b VECFB > VECFB_OV_TH | ラッチ | アクティブ | アクティブ | アクティブ | EC_HEAT、ECFB_OV | 該当なし | 該当なし | CLR_FLT |
| | ECFB_OV_MODE = 10b VECFB > VECFB_OV_TH | ラッチ | アクティブ | アクティブ | EC ドライバ Hiz | EC_HEAT、ECFB_OV | 故障 | VECFB < VECFB_OV_TH および CLR_FLT | CLR_FLT |
| ECFB 短絡 (パッシブ) | ECFB_DIAG = 01b VECFB < VECFB_SC_TH | 自動 | アクティブ | アクティブ | 該当なし | EC_HEAT、ECFB_DIAG_STAT | 該当なし | VECFB > VECFB_SC_TH | 該当なし |
| ECFB 開放負荷 (パッシブ) | ECFB_DIAG = 10b VECFB > VECFB_OLP_TH | 自動 | アクティブ | アクティブ | 該当なし | EC_HEAT、ECFB_DIAG_STAT | 該当なし | VECFB < VECFB_OLP_TH | 該当なし |
| ECFB が目標電圧より高い | VECFB > VECFB_HI | 自動 | アクティブ | アクティブ | アクティブ | EC_HEAT、ECFB_HI | 該当なし | VECFB < VECFB_HI | 該当なし |
| ECFB が目標電圧より低い | VECFB < VECFB_LO | 自動 | アクティブ | アクティブ | アクティブ | EC_HEAT、ECFB_LO | 該当なし | VECFB > VECFB_LO | 該当なし |
| ECFB 過電流（放電） | EC_FLT_MODE = 0b IECFB > IOC_ECFB | ラッチ | アクティブ | アクティブ | ECFB Hi-Z | EC_HEAT、ECFB_OC | 故障 | IECFB < IOC_ECFB および CLR_FLT | CLR_FLT |

| 故障イベント | 条件 | モード | デジタル コア | チャージ ポンプ | ドライバ | ステータス ビット | 故障 / 警告 | 機能的回復 | ステータスビットの回復 |
|---|---|---|---|---|---|---|---|---|---|
| ECFB 開放負荷アクティブ(放電) | IECFB < IOL_ECFB_LS | ラッチ | アクティブ | アクティブ | アクティブ | EC_HEAT、ECFB_OL | WARN | IECFB > IOL_ECFB_LS および CLR_FLT | CLR_FLT |
| ヒータ VDS 過電流の故障 | VHEAT_VDS > VDS_LVL_HEAT | ラッチ | アクティブ | アクティブ | ヒータはプルダウンです | EC_HEAT、HEAT_VDS | 故障 | VHEAT_VDS < VDS_LVL_HEAT および CLR_FLT | CLR_FLT |
| | | サイクル | アクティブ | アクティブ | ヒータはプルダウンです | EC_HEAT、HEAT_VDS | 故障 | VHEAT_VDS < VDS_LVL_HEAT および (CLR_FLT または PWM) | CLR_FLT |
| | | 警告 | アクティブ | アクティブ | アクティブ | EC_HEAT、HEAT_VDS | WARN | 該当なし | CLR_FLT |
| | | 無効 | アクティブ | アクティブ | アクティブ | 該当なし | 該当なし | 該当なし | 該当なし |
| ヒータ VDS オープン負荷不良 | VSH_HS> VOL_HEAT | ラッチ | アクティブ | アクティブ | ヒータはプルダウンです | EC_HEAT、HEAT_OL | 故障 | VSH_HS < VOL_HEAT および CLR_FLT | CLR_FLT |
| ゾーン X サーマル警告 | TJ > TOTW1、TOTW2 | 自動 | アクティブ | アクティブ | アクティブ | OTW、ZONEx_OTW_L、ZONEx_OTW_H | 該当なし | TJ < TOTW1、TOTW2 | 該当なし |
| ゾーン X サーマルシャットダウン | TJ > TOTSD | ラッチ | アクティブ | 無効 | セミアクティブプルダウン、Hi-Z | OTSD、ZONEx_OTSD | 故障 | TJ < TOTSD および CLR_FLT | CLR_FLT |
| ウォッチドッグ | WD_FLT_M = 0b、無効なアクセスまたは期限切れ | 警告 | アクティブ | アクティブ | アクティブ | WD_FLT | WARN | CLR_FLT および WD_EN のディスエーブルおよび再イネーブル | CLR_FLT |
| ウォッチドッグ | WD_FLT_M = 1b、無効なアクセスまたは期限切れ | ラッチ | アクティブ | アクティブ | プルダウン | WD_FLT | 故障 | CLR_FLT および WD_EN のディスエーブルおよび再イネーブル | CLR_FLT |

## 7.5 プログラミング

### *7.5.1 シリアル・ペリフェラル・インターフェイス (SPI)*

SPI バスは、デバイス構成と動作パラメータの設定、DRV8001-Q1 デバイスの診断情報の読み出しに使用します。SPI は、ペリフェラル モードで動作し、コントローラに接続します。SPI 入力データ (SDI) ワードは 24 ビットのワード、8 ビットのコマンド、16 ビットのデータで構成されています。読み取りコマンド用の SPI 出力データ（SDO）ワードは、故障状態表示ビットと、読み取りコマンドでアクセスされるレジスタ データで構成されます。SDO ワードの書き込みコマンドは、故障ステータスに続いて書き込みレジスタの既存のデータが続く構成です。MCU と SPI ペリフェラル ドライバ間のデータ シーケンス 図 7-19 をに示します。

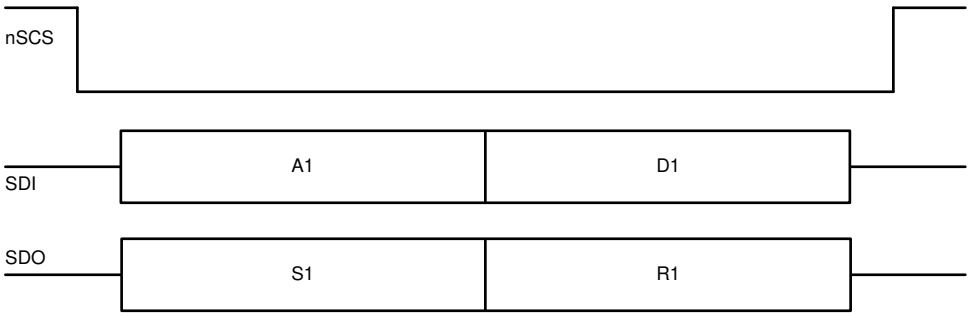



**図 7-19. SPI データ フレーム**


Copyright © 2025 Texas Instruments Incorporated

有効なフレームは次の条件を満たしていなければなりません。

- nSCS ピンが High から Low、Low から High に遷移すると、SCLK ピンの Low にプルされます。
- nSCS ピンは、ワードとワードの間では High にされている必要があります。
- nSCS ピンが High にされているときは、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンが Hi-Z 状態になる。
- データは SCLK ピンの立ち下がりエッジで収集され、SCLK ピンの立ち上がりエッジで伝搬される。
- 最上位ビット (MSB) が最初にシフト イン / シフト アウトされる。
- トランザクションを有効にするには、24 SCLK サイクルすべてが発生しなければならない。
- SDI ピンに送信されるデータ ワードが 24 ビットより多い / 少ない場合は、フレーム エラー (SCLK_FLT) が発生してデータ ワードが無視される。
- 書き込みコマンドの場合、16 ビットのコマンド データに続いて、書き込み先のレジスタの既存データが、エラー状態バイト、16 ビット データという順序で SDO ピンからシフトアウトされます。

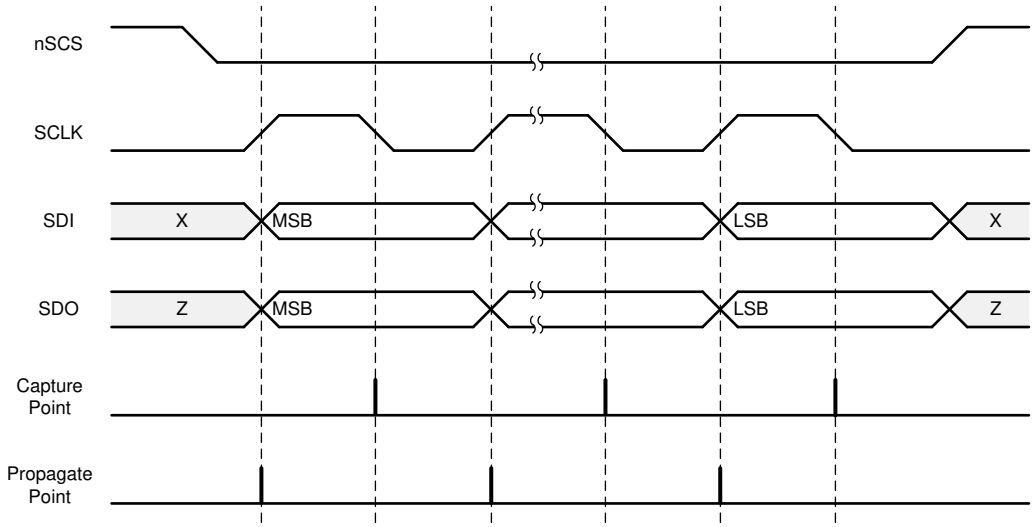



**図 7-20. SPI ペリフェラルのタイミング図**

### *7.5.2 SPI フォーマット*

SDI 入力データ ワードは 24 ビット長であり、以下のフォーマットで構成されています。

- MSB ビットはフレームの種類を示します (標準フレームの場合、ビット B23 = 0)
- 1 読み取りまたは書き込みビット、W（ビット B22、書き込み = 0、読み取り = 1）
- 6 アドレス ビット、A (ビット B21～B16)
- 16 データ ビット、D (ビット B15～B0)読み取り動作では、これらのビットは通常ヌル値に設定されます。書き込み動作では、アドレス指定されたレジスタのデータ値がこれらのビットに設定されます。

**表 7-41. SDI 入力データ ワードのフォーマット**

| | | R/W | アドレス | | | | | | データ | | | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| ビット | B23 | B22 | B21 | B20 | B19 | B18 | B17 | B16 | B15 | B14 | B13 | B12 | B11 | B10 | B9 | B8 | B7 | B6 | B5 | B4 | B3 | B2 | B1 | B0 |
| データ | 0 | W0 | A5 | A4 | A3 | A2 | A1 | A0 | D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |

SDO 出力データ ワードは 24 ビット長で、最初の 8 ビットが IC ステータス レジスタを構成します。レポート ワードはアクセス中のレジスタの内容です。

書き込みコマンド (W0 = 0) の場合、応答ワードは、フォルト ステータス表示ビットと、書き込まれるレジスタの既存データの後に続きます。

読み取りコマンド (W0 = 1) の場合、応答ワードはフォルト ステータス表示ビットとそれに続く、読み取り中のレジスタ内のデータで構成されます。

**表 7-42. SDO 出力データ ワードのフォーマット**

| | IC のステータス | | | | | | | | レポート | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| ビット | B23 | B22 | B21 | B20 | B19 | B18 | B17 | B16 | B15 | B14 | B13 | B12 | B11 | B10 | B9 | B8 |
| | | | | | | | | | B7 | B6 | B5 | B4 | B3 | B2 | B1 | B0 |
| データ | 1 | 1 | フォルト | WARN | OV_UV | DRV | OTSD | SPI_ERR | D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 |
| | | | | | | | | | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |

- 故障 - デバイス故障の「OR」(グローバルまたはドライバ)
- 警告 - デバイスの警告の「OR」
- OV_UV - PVDD、VCP の過電圧および低電圧ステータスの「OR」
- DRV - ドライバの故障の「OR」
- OTSD - 過熱シャットダウンが発生するときに設定
- SPI_ERR - 受信された SCLK 数が正しくないときに設定

### *7.5.3 タイミング図*

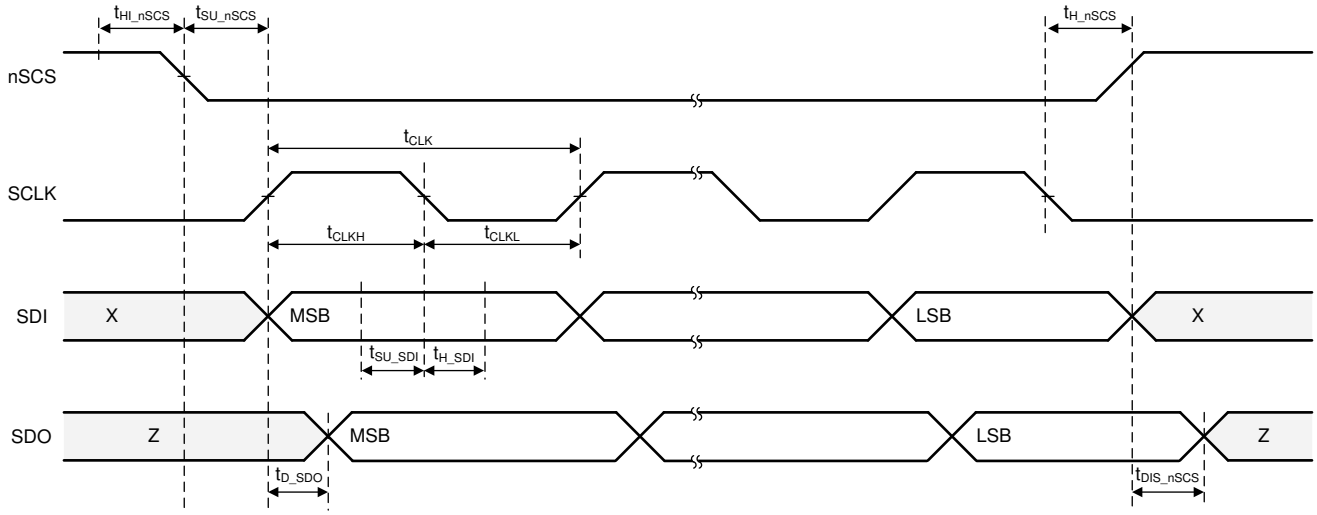



**図 7-21. SPI タイミング図**


Copyright © 2025 Texas Instruments Incorporated

# 8 DRV8001-Q1 レジスタ マップ

表 8-2 は、DRV8001-Q1 のメモリ マップトレジスタを一覧表示します。記載されていないレジスタ アドレスはすべて予約領域とみなされ、レジスタの内容は変更できません。予約済み位置の説明は、あくまでも参照目的で提供されています。デバイス ID 表は、DRV800x デバイスのデバイス ID をまとめたものです。

**表 8-1. デバイス ID サマリー**

| デバイス | デバイス ID |
|---|---|
| DRV8000-Q1 | レジスタ アドレス 0x8h、DEVICE_ID = 0x02 |
| DRV8001-Q1 | レジスタ アドレス 0x8h、DEVICE_ID = 0x12 |
| DRV8002-Q1 | レジスタ アドレス 0x8h、DEVICE_ID = 0x22 |

**表 8-2. DRV8001-Q1 レジスタ マップ**

| 名称 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | タイプ | アドレス |
|---|---|---|---|---|---|---|---|---|---|---|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| IC_ STAT1 | SPI_OK | POR | 故障 | WARN | RSVD | HB | EC_HEAT | HS | R | 00h |
| | PVDD_UV | PVDD_OV_22V | VCP_UV | OTW | OTSD | WD_FLT | ITRIP | PVDD_OV_28V | | |
| IC_STAT2 | DEVICE_ERR | RSVD | SCLK_FLT | RSVD | ZONE4_OTSD | ZONE3_OTSD | ZONE2_OTSD | ZONE1_OTSD | R | 01h |
| | ZONE4_OTW_H | ZONE3_OTW_H | ZONE2_OTW_H | ZONE1_OTW_H | ZONE4_OTW_L | ZONE3_OTW_L | ZONE2_OTW_L | ZONE1_OTW_L | | |
| RSVD | RSVD | | | | | | | | R | 02h |
| HB_STAT1 | RSVD | | OUT6_LS_OCP | OUT5_LS_OCP | OUT4_LS_OCP | OUT3_LS_OCP | OUT2_LS_OCP | OUT1_LS_OCP | R | 03h |
| | RSVD | | OUT6_HS_OCP | OUT5_HS_OCP | OUT4_HS_OCP | OUT3_HS_OCP | OUT2_HS_OCP | OUT1_HS_OCP | | |
| HB_STAT2 | RSVD | | | HB_OLP_STAT | OUT6_LS_OLA | OUT5_LS_OLA | OUT4_LS_OLA | OUT3_LS_OLA | R | 04h |
| | OUT2_LS_OLA | OUT1_LS_OLA | OUT6_HS_OLA | OUT5_HS_OLA | OUT4_HS_OLA | OUT3_HS_OLA | OUT2_HS_OLA | OUT1_HS_OLA | | |
| EC_HEAT_ITRIP_STAT | ECFB_DIAG_STAT | ECFB_OV | ECFB_HI | ECFB_LO | ECFB_OC | ECFB_OL | HEAT_OL | HEAT_VDS | R | 05h |
| | RSVD | OUT7_ITRIP_STAT | OUT6_ITRIP_STAT | OUT5_ITRIP_STAT | OUT4_ITRIP_STAT | OUT3_ITRIP_STAT | OUT2_ITRIP_STAT | OUT1_ITRIP_STAT | | |
| HS_STAT | RSVD | | OUT12_OLA | OUT11_OLA | OUT10_OLA | OUT9_OLA | OUT8_OLA | OUT7_OLA | R | 06h |
| | RSVD | | OUT12_OCP | OUT11_OCP | OUT10_OCP | OUT9_OCP | OUT8_OCP | OUT7_OCP | | |
| HS_ITRIP_STAT | RSVD | | | | | | | | R | 07h |
| | RSVD | ECFB_LS_ITRIP_STAT | RSVD | OUT12_ITRIP_STAT | OUT11_ITRIP_STAT | OUT10_ITRIP_STAT | OUT9_ITRIP_STAT | OUT8_ITRIP_STAT | | |
| SPARE_STAT2 | RSVD | | | | | | | | R | 08h |
| | DEV_ID | | | | | | | | | |
| IC_CNFG1 | OTSD_MODE | DIS_CP | RSVD | PVDD_OV_MODE | PVDD_OV_DG | | PVDD_OV_LVL | RSVD | R/W | 09h |
| | RSVD | | VCP_UV_MODE | PVDD_UV_MODE | WD_EN | WD_FLT_M | WD_WIN | EN_SSC | | |
| IC_CNFG2 | RSVD | | | | | | | | R/W | 0Ah |
| | ZONE4_OTW_H_DIS | ZONE3_OTW_H_DIS | ZONE2_OTW_H_DIS | ZONE1_OTW_H_DIS | ZONE4_OTW_L_DIS | ZONE3_OTW_L_DIS | ZONE2_OTW_L_DIS | ZONE1_OTW_L_DIS | | |
| RSVD | RSVD | | | | | | | | R | 0Bh ～ 13h |
| HB_ITRIP_DG | RSVD | | | | OUT6_ITRIP_DG | | OUT5_ITRIP_DG | | R/W | 14h |
| | OUT4_ITRIP_DG | | OUT3_ITRIP_DG | | OUT2_ITRIP_DG | | OUT1_ITRIP_DG | | | |
| HB_OUT_CNFG1 | RSVD | NSR_OUT6_DIS | NSR_OUT5_DIS | NSR_OUT4_DIS | NSR_OUT3_DIS | NSR_OUT2_DIS | NSR_OUT1_DIS | IPROPI_SH_EN | R/W | 15h |
| | RSVD | | OUT6_CNFG | | | OUT5_CNFG | | | | |
| HB_OUT_CNFG2 | RSVD | | OUT4_CNFG | | | OUT3_CNFG | | | R/W | 16h |
| | OUT2_MODE | OUT1_MODE | OUT2_CNFG | | | OUT1_CNFG | | | | |
| HB_OCP_CNFG | RSVD | | | | OUT6_OCP_DG | | OUT5_OCP_DG | | R/W | 17h |
| | OUT4_OCP_DG | | OUT3_OCP_DG | | OUT2_OCP_DG | | OUT1_OCP_DG | | | |
| HB_OL_CNFG1 | RSVD | | HB_OLP_CNFG | | HB_OLP_SEL | | | | R/W | 18h |
| | RSVD | | OUT6_OLA_EN | OUT5_OLA_EN | OUT4_OLA_EN | OUT3_OLA_EN | OUT2_OLA_EN | OUT1_OLA_EN | | |
| HB_OL_CNFG2 | RSVD | | | | OUT6_OLA_TH | | OUT5_OLA_TH | | R/W | 19h |
| | OUT4_OLA_TH | | OUT3_OLA_TH | | OUT2_OLA_TH | | OUT1_OLA_TH | | | |

## 表 8-2. DRV8001-Q1 レジスタ マップ (続き)

| 名称 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | タイプ | アドレス |
|---|---|---|---|---|---|---|---|---|---|---|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| HB_SR_CNFG | RSVD | | | | OUT6_SR | | OUT5_SR | | R/W | 1Ah |
| | OUT4_SR | | OUT3_SR | | OUT2_SR | | OUT1_SR | | | |
| HB_ITRIP_CNFG | OUT6_ITRIP_EN | OUT5_ITRIP_EN | OUT4_ITRIP_EN | OUT3_ITRIP_EN | OUT2_ITRIP_EN | OUT1_ITRIP_EN | OUT6_ITRIP_LVL | | R/W | 1Bh |
| | OUT5_ITRIP_LVL | | OUT4_ITRIP_LVL | | OUT3_ITRIP_LVL | | OUT2_ITRIP_LVL | OUT1_ITRIP_LVL | | |
| HB_ITRIP_FREQ | RSVD | | HB_TOFF_SEL | | OUT6_ITRIP_FREQ | | OUT5_ITRIP_FREQ | | R/W | 1Ch |
| | OUT4_ITRIP_FREQ | | OUT3_ITRIP_FREQ | | OUT2_ITRIP_PWM_FREQ/ PWM_OUT2_FREQ | | OUT1_ITRIP_PWM_FREQ/ PWM_OUT1_FREQ | | | |
| HS_HEAT_OUT_CNFG | HEAT_CNFG | | RSVD | | OUT12_CNFG | | OUT11_CNFG | | R/W | 1Dh |
| | OUT10_CNFG | | OUT9_CNFG | | OUT8_CNFG | | OUT7_CNFG | | | |
| HS_OC_CNFG | RSVD | | | OUT11_EC_MODE | RSVD | | | | R/W | 1Eh |
| | RSVD | | OUT12_OC_TH | OUT11_OC_TH | OUT10_OC_TH | OUT9_OC_TH | OUT8_OC_TH | OUT7_RDSON_MODE | | |
| HS_OL_CNFG | RSVD | | OUT12_OLA_TH | OUT11_OLA_TH | OUT10_OLA_TH | OUT9_OLA_TH | OUT8_OLA_TH | RSVD | R/W | 1Fh |
| | RSVD | | OUT12_OLA_EN | OUT11_OLA_EN | OUT10_OLA_EN | OUT9_OLA_EN | OUT8_OLA_EN | OUT7_OLA_EN | | |
| HS_REG_CNFG1 | RSVD | | | | | | | | R/W | 20h |
| | OUT7_ITRIP_EN | RSVD | | | OUT7_ITRIP_FREQ | | OUT7_ITRIP_DG | | | |
| HS_REG_CNFG2 | RSVD | | OUT12_CCM_TO | OUT11_CCM_TO | OUT10_CCM_TO | OUT9_CCM_TO | OUT8_CCM_TO | OUT7_CCM_TO | R/W | 21h |
| | RSVD | | OUT12_CCM_EN | OUT11_CCM_EN | OUT10_CCM_EN | OUT9_CCM_EN | OUT8_CCM_EN | OUT7_CCM_EN | | |
| HS_PWM_FREQ_CNFG | RSVD | | | | PWM_OUT12_FREQ | | PWM_OUT11_FREQ | | R/W | 22h |
| | PWM_OUT10_FREQ | | PWM_OUT9_FREQ | | PWM_OUT8_FREQ | | PWM_OUT7_FREQ | | | |
| HEAT_CNFG | RSVD | | | | HEAT_VDS_LVL | | | | R/W | 23h |
| | HEAT_VDS_MODE | | HEAT_VDS_BLK | | HEAT_VDS_DG | | HEAT_OLP_EN | RSVD | | |
| EC_CNFG | ECFB_DIAG | | EC_OUT11_OCP_DG | | ECFB_SC_RSEL | | ECFB_OV_DG | | R/W | 24h |
| | RSVD | | ECFB_OV_MODE | | EC_FLT_MODE | ECFB_LS_PWM | EC_OLEN | ECFB_MAX | | |
| HS_REG_CNFG3 | RSVD | | | | HS_OUT_ITRIP_FREQ | | HS_OUT_ITRIP_DG | | R/W | 25h |
| | RSVD | | | HS_OUT12_ITRIP_EN | HS_OUT11_ITRIP_EN | HS_OUT10_ITRIP_EN | HS_OUT9_ITRIP_EN | HS_OUT8_ITRIP_EN | | |
| SPARE_CNFG2 | RSVD | | | | | | | | R/W | 26h |
| OUT1_HS_MODE_DC | RSVD | | | | | | OUT1_DC | | R/W | 27h |
| | OUT1_DC | | | | | | | | | |
| OUT2_HS_MODE_DC | RSVD | | | | | | OUT2_DC | | R/W | 28h |
| | OUT2_DC | | | | | | | | | |
| IC_CTRL | RSVD | | | IPROPI_SEL | | | | | R/W | 29h |
| | CTRL_LOCK | | | CNFG_LOCK | | | WD_RST | CLR_FLT | | |
| HB_CTRL | RSVD | | | | OUT6_CTRL | | OUT5_CTRL | | R/W | 2Ah |
| | OUT4_CTRL | | OUT3_CTRL | | OUT2_CTRL | | OUT1_CTRL | | | |
| HS_EC_HEAT_CTRL | ECFB_LS_EN | EC_ON | EC_V_TAR | | | | | | R/W | 2Bh |
| | HEAT_EN | RSVD | OUT12_EN | OUT11_EN | OUT10_EN | OUT9_EN | OUT8_EN | OUT7_EN | | |
| OUT7_PWM_DC | RSVD | | | | | | OUT7_DC | | R/W | 2Ch |
| | OUT7_DC | | | | | | | | | |
| OUT8_PWM_DC | RSVD | | | | | | OUT8_DC | | R/W | 2Dh |
| | OUT8_DC | | | | | | | | | |
| OUT9_PWM_DC | RSVD | | | | | | OUT9_DC | | R/W | 2Eh |
| | OUT9_DC | | | | | | | | | |
| OUT10_PWM_DC | RSVD | | | | | | OUT10_DC | | R/W | 2Fh |
| | OUT10_DC | | | | | | | | | |
| OUT11_PWM_DC | RSVD | | | | | | OUT11_DC | | R/W | 30h |
| | OUT11_DC | | | | | | | | | |


Copyright © 2025 Texas Instruments Incorporated

### 表 8-2. DRV8001-Q1 レジスタ マップ (続き)

| 名称 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | タイプ | アドレス |
|---|---|---|---|---|---|---|---|---|---|---|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| OUT12_PWM_DC | RSVD | | | | | | OUT12_DC | | R/W | 31h |
| | OUT12_DC | | | | | | | | | |

## 8.1 DRV8000-Q1_STATUS レジスタ

DRV8000-Q1_STATUS レジスタのメモリマップされたレジスタを、表 8-3 に示します。表 8-3 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

**表 8-3. DRV8000-Q1_STATUS レジスタ**

| オフセット | 略称 | レジスタ名 | セクション |
|---|---|---|---|
| 0h | IC_STAT1 | デバイス ステータス レジスタ 1 | セクション 8.1.1 |
| 1h | IC_STAT2 | デバイス ステータス レジスタ 2 | セクション 8.1.2 |
| 3h | HB_STAT1 | ハーフ ブリッジの過電流ステータス。 | セクション 8.1.3 |
| 4h | HB_STAT2 | ハーフ ブリッジの開放負荷ステータス。 | セクション 8.1.4 |
| 5h | EC_HEAT_ITRIP_STAT | エレクトロクロム、ヒータ、および ITRIP ステータス。 | セクション 8.1.5 |
| 6h | HS_STAT | ハイサイド ドライバ スタータス。 | セクション 8.1.6 |
| 7h | HS_ITRIP_STAT | エレクトロクロムおよびハイサイド ITRIP ステータス | セクション 8.1.7 |
| 8h | SPARE_STAT2 | スペア ステータス 2。 | セクション 8.1.8 |

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-4 に、このセクションでアクセス タイプに使用しているコードを示します。

**表 8-4. DRV8000-Q1_STATUS のアクセス タイプ コード**

| アクセス タイプ | コード | 説明 |
|---|---|---|
| 読み取りタイプ | | |
| R | R | 読み出し |
| リセットまたはデフォルト値 | | |
| *-n* | | リセット後の値またはデフォルト値 |


Copyright © 2025 Texas Instruments Incorporated

### 8.1.1 IC_STAT1 レジスタ (オフセット = 0h) [リセット = C000h]

IC_STAT1 を表 8-5 に示します。

概略表に戻ります。

ドライバ、電源電圧、過熱フォルト ステータス用のメイン デバイス ステータス レジスタ。ウォッチドッグおよび ITRIP レギュレーション フォルト ステータスも含まれています。

**表 8-5. IC_STAT1 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | SPI_OK | R | 1h | SPI 通信フォルトが検出されたかどうかを示します。<br>0b = 直前のフレームにおける SCLK_FLT の 1 つまたは複数。<br>1b = SPI 障害は検出されていません。 |
| 14 | POR | R | 1h | パワーオン リセット状態を示します。<br>0b = パワーオン リセット状態は検出されていません。<br>1b = パワーオン リセット状態が検出されています。 |
| 13 | 故障 | R | 0h | 汎用障害インジケータ。デバイスまたはドライバの障害が発生したことを示します。<br>0b = 障害なし。<br>1b = フォルト検出あり。 |
| 12 | WARN | R | 0h | 一般的な警告インジケータ。警告が存在することを示します。<br>0b = 警告なし。<br>1b = 警告あり。 |
| 11 | 予約済み | R | 0h | 予約済み |
| 10 | HB | R | 0h | ハーフ ブリッジの過電流および開放負荷障害インジケータの論理和。 |
| 9 | EC_HEAT | R | 0h | EC およびヒーターに対する EC OV、過電流、開放負荷フォルト インジケータの論理 OR。 |
| 8 | HS | R | 0h | 内蔵ハイサイド ドライバに対する過電流、短絡、および開放負荷フォルト インジケータの論理 OR。 |
| 7 | PVDD_UV | R | 0h | PVDD ピンの低電圧障害を示します。 |
| 6 | PVDD_OV_22V | R | 0h | PVDD ピンで 22V を超える過電圧故障を示します。 |
| 5 | VCP_UV | R | 0h | VCP ピンの低電圧障害を示します。 |
| 4 | OTW | R | 0h | 過熱警告を示します。 |
| 3 | OTSD | R | 0h | 過熱シャットダウンを示します。 |
| 2 | WD_FLT | R | 0h | ウォッチドッグ タイムアウト フォルトを示します。 |
| 1 | ITRIP | R | 0h | OUTx が ITRIP に移行したときに、ITRIP レギュレーション警告を示します。 |
| 0 | PVDD_OV_28V | R | 0h | PVDD ピンで 28V を超える過電圧故障を示します。 |

### 8.1.2 IC_STAT2 レジスタ (オフセット = 1h) [リセット = 0000h]

IC_STAT2 を表 8-6 に示します。

概略表に戻ります。

SPI フォルトおよび特定のサーマル クラスタ フォルト / 警告ステータスを備えた 2 番目のデバイス ステータス レジスタ。

**表 8-6. IC_STAT2 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | DEVICE_ERR | R | 0h | デバイスの OTP メモリ エラーが発生したことを示します。 |
| 14 | 予約済み | R | 0h | 予約済み |
| 13 | SCLK_FLT | R | 0h | トランザクション フレーム内の SCLK パルス数が 24 ビット (1 バイトのアドレスと 2 バイトのデータ) と一致しない場合、SPI クロック (フレーム) フォルトを示します。ビット SPI_ERR で報告されます。 |
| 12 | 予約済み | R | 0h | 予約済み |
| 11 | ZONE4_OTSD | R | 0h | ゾーン 4 で過熱シャットダウンが発生したことを示します。 |
| 10 | ZONE3_OTSD | R | 0h | ゾーン 3 で過熱シャットダウンが発生したことを示します。 |
| 9 | ZONE2_OTSD | R | 0h | ゾーン 2 で過熱シャットダウンが発生したことを示します。 |
| 8 | ZONE1_OTSD | R | 0h | ゾーン 1 で過熱シャットダウンが発生したことを示します。 |
| 7 | ZONE4_OTW_H | R | 0h | ゾーン 4 で高温警告（145°C を上回る）が発生したことを示します。 |
| 6 | ZONE3_OTW_H | R | 0h | ゾーン 3 で高温警告（145°C を上回る）が発生したことを示します。 |
| 5 | ZONE2_OTW_H | R | 0h | ゾーン 2 で高温警告（145°C を上回る）が発生したことを示します。 |
| 4 | ZONE1_OTW_H | R | 0h | ゾーン 1 で高温警告（145°C を上回る）が発生したことを示します。 |
| 3 | ZONE4_OTW_L | R | 0h | ゾーン 4 で低温警告（125°C を上回る）が発生したことを示します。 |
| 2 | ZONE3_OTW_L | R | 0h | ゾーン 3 で低温警告（125°C を上回る）が発生したことを示します。 |
| 1 | ZONE2_OTW_L | R | 0h | ゾーン 2 で低温警告（125°C を上回る）が発生したことを示します。 |
| 0 | ZONE1_OTW_L | R | 0h | ゾーン 1 で低温警告（125°C を上回る）が発生したことを示します。 |


Copyright © 2025 Texas Instruments Incorporated

### 8.1.3 HB_STAT1 レジスタ (オフセット = 3h) [リセット = 0000h]

HB_STAT1 を表 8-7 に示します。

概略表に戻ります。

各ハーフ ブリッジのハイサイドまたはローサイドのハーフ ブリッジ過電流フォルト。

**表 8-7. HB_STAT1 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R | 0h | 予約済み |
| 14 | 予約済み | R | 0h | 予約済み |
| 13 | OUT6_LS_OCP | R | 0h | ハーフブリッジ OUT6 のローサイドで過電流エラーが発生していることを示します。 |
| 12 | OUT5_LS_OCP | R | 0h | ハーフブリッジ OUT5 のローサイドで過電流エラーが発生していることを示します。 |
| 11 | OUT4_LS_OCP | R | 0h | ハーフブリッジ OUT4 のローサイドで過電流エラーが発生していることを示します。 |
| 10 | OUT3_LS_OCP | R | 0h | ハーフブリッジ OUT3 のローサイドで過電流エラーが発生していることを示します。 |
| 9 | OUT2_LS_OCP | R | 0h | ハーフブリッジ OUT2 のローサイドで過電流エラーが発生していることを示します。 |
| 8 | OUT1_LS_OCP | R | 0h | ハーフブリッジ OUT1 のローサイドで過電流エラーが発生していることを示します。 |
| 7 | 予約済み | R | 0h | 予約済み |
| 6 | 予約済み | R | 0h | 予約済み |
| 5 | OUT6_HS_OCP | R | 0h | ハーフブリッジ OUT6 のハイサイドでの過電流フォルトを示します。 |
| 4 | OUT5_HS_OCP | R | 0h | ハーフブリッジ OUT5 のハイサイドでの過電流フォルトを示します。 |
| 3 | OUT4_HS_OCP | R | 0h | ハーフブリッジ OUT4 のハイサイドでの過電流フォルトを示します。 |
| 2 | OUT3_HS_OCP | R | 0h | ハーフブリッジ OUT3 のハイサイドでの過電流フォルトを示します。 |
| 1 | OUT2_HS_OCP | R | 0h | ハーフブリッジ OUT2 のハイサイドでの過電流フォルトを示します。 |
| 0 | OUT1_HS_OCP | R | 0h | ハーフブリッジ OUT1 のハイサイドでの過電流フォルトを示します。 |

Copyright © 2025 Texas Instruments Incorporated

### 8.1.4 HB_STAT2 レジスタ (オフセット = 4h) [リセット = 0000h]

HB_STAT2 を表 8-8 に示します。

概略表に戻ります。

ハーフブリッジのアクティブおよびオフ状態の開放負荷フォルト。

**表 8-8. HB_STAT2 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R | 0h | 予約済み |
| 14 | 予約済み | R | 0h | 予約済み |
| 13 | 予約済み | R | 0h | 予約済み |
| 12 | HB_OLP_STAT | R | 0h | 内蔵ハーフブリッジ OLP ステータスを示します。 |
| 11 | OUT6_LS_OLA | R | 0h | ハーフブリッジ OUT6 のローサイドでアクティブな開放負荷フォルトを示します。 |
| 10 | OUT5_LS_OLA | R | 0h | ハーフブリッジ OUT5 のローサイドでアクティブな開放負荷フォルトを示します。 |
| 9 | OUT4_LS_OLA | R | 0h | ハーフブリッジ OUT4 のローサイドでアクティブな開放負荷フォルトを示します。 |
| 8 | OUT3_LS_OLA | R | 0h | ハーフブリッジ OUT3 のローサイドでアクティブな開放負荷フォルトを示します。 |
| 7 | OUT2_LS_OLA | R | 0h | ハーフブリッジ OUT2 のローサイドでアクティブな開放負荷フォルトを示します。 |
| 6 | OUT1_LS_OLA | R | 0h | ハーフブリッジ OUT1 のローサイドでアクティブな開放負荷フォルトを示します。 |
| 5 | OUT6_HS_OLA | R | 0h | ハーフブリッジ OUT6 のハイサイドでアクティブな開放負荷フォルトを示します。 |
| 4 | OUT5_HS_OLA | R | 0h | ハーフブリッジ OUT5 のハイサイドでアクティブな開放負荷フォルトを示します。 |
| 3 | OUT4_HS_OLA | R | 0h | ハーフブリッジ OUT4 のハイサイドでアクティブな開放負荷フォルトを示します。 |
| 2 | OUT3_HS_OLA | R | 0h | ハーフブリッジ OUT3 のハイサイドでアクティブな開放負荷フォルトを示します。 |
| 1 | OUT2_HS_OLA | R | 0h | ハーフブリッジ OUT2 のハイサイドでアクティブな開放負荷フォルトを示します。 |
| 0 | OUT1_HS_OLA | R | 0h | ハーフブリッジ OUT1 のハイサイドでアクティブな開放負荷フォルトを示します。 |


Copyright © 2025 Texas Instruments Incorporated

### 8.1.5 EC_HEAT_ITRIP_STAT レジスタ (オフセット = 5h) [リセット = 0000h]

EC_HEAT_ITRIP_STAT を表 8-9 に示します。

概略表に戻ります。

エレクトロクロムおよびヒータ ドライバのすべての故障および警告を含みます。ITRIP レギュレーション ステータス警告も含まれています。

**表 8-9. EC_HEAT_ITRIP_STAT レジスタ フィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | ECFB_DIAG_STAT | R | 0h | ECFB_DIAG = 0x01 のとき、ECFB_SC フォルトが存在することを示します。<br>ECFB_DIAG = 10b の場合の ECFB OLP フォルトを示します。 |
| 14 | ECFB_OV | R | 0h | ECFB ピンの過電圧（バッテリへの短絡）フォルトを示します。 |
| 13 | ECFB_HI | R | 0h | ECFB ピンにおけるレギュレーション過電圧障害を示します。 |
| 12 | ECFB_LO | R | 0h | ECFB ピンのレギュレーション低電圧故障を示します。 |
| 11 | ECFB_OC | R | 0h | ECFB ピンの過電流故障を示します。 |
| 10 | ECFB_OL | R | 0h | ECFB ピンの開放負荷検出を示します。 |
| 9 | HEAT_OL | R | 0h | SH_HS ピンの開放負荷障害を示します。 |
| 8 | HEAT_VDS | R | 0h | ヒータ MOSFET の過電流障害を示します。 |
| 7 | 予約済み | R | 0h | 予約済み |
| 6 | OUT7_ITRIP_STAT | R | 0h | OUT7 の ITRIP レギュレーション警告を示します。 |
| 5 | OUT6_ITRIP_STAT | R | 0h | OUT6 の ITRIP レギュレーション警告を示します。 |
| 4 | OUT5_ITRIP_STAT | R | 0h | OUT5 の ITRIP レギュレーション警告を示します。 |
| 3 | OUT4_ITRIP_STAT | R | 0h | OUT4 の ITRIP レギュレーション警告を示します。 |
| 2 | OUT3_ITRIP_STAT | R | 0h | OUT3 の ITRIP レギュレーション警告を示します。 |
| 1 | OUT2_ITRIP_STAT | R | 0h | OUT2 の ITRIP レギュレーション警告を示します。 |
| 0 | OUT1_ITRIP_STAT | R | 0h | OUT1 の ITRIP レギュレーション警告を示します。 |

Copyright © 2025 Texas Instruments Incorporated

### 8.1.6 HS_STAT レジスタ (オフセット = 6h) [リセット = 0000h]

HS_STAT を表 8-10 に示します。

概略表に戻ります。

ハイサイド ドライバの過電流と開放負荷の障害ステータス。

**表 8-10. HS_STAT レジスタ フィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R | 0h | 予約済み |
| 14 | 予約済み | R | 0h | 予約済み |
| 13 | OUT12_OLA | R | 0h | OUT12 の開放負荷を示します。 |
| 12 | OUT11_OLA | R | 0h | OUT11 の開放負荷を示します。 |
| 11 | OUT10_OLA | R | 0h | OUT10 の開放負荷を示します。 |
| 10 | OUT9_OLA | R | 0h | OUT9 の開放負荷を示します。 |
| 9 | OUT8_OLA | R | 0h | OUT8 の開放負荷を示します。 |
| 8 | OUT7_OLA | R | 0h | OUT7 の開放負荷を示します。 |
| 7 | 予約済み | R | 0h | 予約済み |
| 6 | 予約済み | R | 0h | 予約済み |
| 5 | OUT12_OCP | R | 0h | OUT12 の過電流障害を示します。 |
| 4 | OUT11_OCP | R | 0h | OUT11 の過電流障害を示します。 |
| 3 | OUT10_OCP | R | 0h | OUT10 の過電流障害を示します。 |
| 2 | OUT9_OCP | R | 0h | OUT9 の過電流障害を示します。 |
| 1 | OUT8_OCP | R | 0h | OUT8 の過電流障害を示します。 |
| 0 | OUT7_OCP | R | 0h | OUT7 の過電流障害を示します。 |


Copyright © 2025 Texas Instruments Incorporated

### 8.1.7 HS_ITRIP_STAT レジスタ (オフセット = 7h) [リセット = 0000h]

表 8-11 に、HS_ITRIP_STAT を示します。

概略表に戻ります。

エレクトロクロムおよびハイサイド ITRIP ステータス レジスタを含みます。

**表 8-11. HS_ITRIP_STAT レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R | 0h | 予約済み |
| 14 | 予約済み | R | 0h | 予約済み |
| 13 | 予約済み | R | 0h | 予約済み |
| 12 | 予約済み | R | 0h | 予約済み |
| 11 | 予約済み | R | 0h | 予約済み |
| 10 | 予約済み | R | 0h | 予約済み |
| 9 | 予約済み | R | 0h | 予約済み |
| 8 | 予約済み | R | 0h | 予約済み |
| 7 | 予約済み | R | 0h | 予約済み |
| 6 | ECFB_LS_ITRIP_STAT | R | 0h | ECFB_LS_ITRIP が発生したかどうかを示します。<br>CLR_FLT でのみクリアされます。 |
| 5 | 予約済み | R | 0h | 予約済み |
| 4 | OUT12_ITRIP_STAT | R | 0h | OUT12 の ITRIP レギュレーション警告を示します。 |
| 3 | OUT11_ITRIP_STAT | R | 0h | OUT11 の ITRIP レギュレーション警告を示します。 |
| 2 | OUT10_ITRIP_STAT | R | 0h | OUT10 の ITRIP レギュレーション警告を示します。 |
| 1 | OUT9_ITRIP_STAT | R | 0h | OUT9 の ITRIP レギュレーション警告を示します。 |
| 0 | OUT8_ITRIP_STAT | R | 0h | OUT8 の ITRIP レギュレーション警告を示します。 |

### 8.1.8 SPARE_STAT2 レジスタ (オフセット = 8h) [リセット = 0000h]

SPARE_STAT2 を表 8-12 に示します。

概略表に戻ります。

スペア ステータス レジスタ。

**表 8-12. SPARE_STAT2 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R | 0h | 予約済み |
| 14 | 予約済み | R | 0h | 予約済み |
| 13 | 予約済み | R | 0h | 予約済み |
| 12 | 予約済み | R | 0h | 予約済み |
| 11 | 予約済み | R | 0h | 予約済み |
| 10 | 予約済み | R | 0h | 予約済み |
| 9 | 予約済み | R | 0h | 予約済み |
| 8 | 予約済み | R | 0h | 予約済み |
| 7-0 | DEV_ID | R | 0h | 0x02= DRV8000<br>0x21= DRV8001<br>0x22= DRV8002 |


Copyright © 2025 Texas Instruments Incorporated

## 8.2 DRV8000-Q1_CNFG レジスタ

DRV8000-Q1_CNFG レジスタのメモリマップされたレジスタを、表 8-13 に示します。表 8-13 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

**表 8-13. DRV8000-Q1_CNFG レジスタ**

| オフセット | 略称 | レジスタ名 | セクション |
|---|---|---|---|
| 9h | IC_CNFG1 | IC 構成レジスタ 1 | セクション 8.2.1 |
| Ah | IC_CNFG2 | IC 構成レジスタ 2 | セクション 8.2.2 |
| 14h | HB_ITRIP_DG | ハーフブリッジ ITRIP グリッチ除去構成レジスタ 2。 | セクション 8.2.3 |
| 15h | HB_OUT_CNFG1 | ハーフブリッジ出力 5 および 6 構成レジスタ。 | セクション 8.2.4 |
| 16h | HB_OUT_CNFG2 | ハーフブリッジ出力 1-4 構成レジスタ。 | セクション 8.2.5 |
| 17h | HB_OCP_CNFG | ハーフブリッジ過電流グリッチ除去構成レジスタ。 | セクション 8.2.6 |
| 18h | HB_OL_CNFG1 | ハーフブリッジ アクティブおよびパッシブ オープンロード イネーブル レジスタ | セクション 8.2.7 |
| 19h | HB_OL_CNFG2 | ハーフブリッジ アクティブ オープンロードしきい値選択レジスタ。 | セクション 8.2.8 |
| 1Ah | HB_SR_CNFG | ハーフブリッジ スルーレート設定レジスタ。 | セクション 8.2.9 |
| 1Bh | HB_ITRIP_CNFG | ハーフブリッジ ITRIP 構成レジスタ 1。 | セクション 8.2.10 |
| 1Ch | HB_ITRIP_FREQ | ハーフブリッジ ITRIP 周波数構成レジスタ 2。 | セクション 8.2.11 |
| 1Dh | HS_HEAT_OUT_CNFG | ハイサイドおよびヒータ ドライバ出力構成レジスタ。 | セクション 8.2.12 |
| 1Eh | HS_OC_CNFG | ハイサイド ドライバ過電流スレッショルド構成レジスタ。 | セクション 8.2.13 |
| 1Fh | HS_OL_CNFG | ハイサイドドライバ開放負荷スレッショルド構成レジスタ。 | セクション 8.2.14 |
| 20h | HS_REG_CNFG1 | ハイサイド ドライバのレギュレーション構成レジスタ。 | セクション 8.2.15 |
| 21h | HS_REG_CNFG2 | ハイサイド ドライバのレギュレーション構成レジスタ。 | セクション 8.2.16 |
| 22h | HS_PWM_FREQ_CNFG | ハイサイド ドライバ PWM ジェネレータ周波数構成レジスタ。 | セクション 8.2.17 |
| 23h | HEAT_CNFG | ヒータコン構成レジスタ。 | セクション 8.2.18 |
| 24h | EC_CNFG | エレクトロクロミック構成レジスタ。 | セクション 8.2.19 |
| 25h | HS_REG_CNFG3 | ハイサイド ドライバのレギュレーション構成レジスタ。 | セクション 8.2.20 |
| 26h | SPARE_CNFG2 | 予備構成 | セクション 8.2.21 |
| 27h | OUT1_HS_MODE_DC | OUT1 のデューティ サイクル設定。 | セクション 8.2.22 |
| 28h | OUT2_HS_MODE_DC | OUT2 のデューティ サイクル設定。 | セクション 8.2.23 |

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-14 に、このセクションでアクセス タイプに使用しているコードを示します。

**表 8-14. DRV8000-Q1_CNFG のアクセス タイプ コード**

| アクセス タイプ | コード | 説明 |
|---|---|---|
| 読み取りタイプ | | |
| R | R | 読み出し |
| 書き込みタイプ | | |
| W | W | 書き込み |
| リセットまたはデフォルト値 | | |
| *-n* | | リセット後の値またはデフォルト値 |

### 8.2.1 IC_CNFG1 レジスタ (オフセット = 9h) [リセット = 0002h]

IC_CNFG1 を表 8-15 に示します。

概略表に戻ります。

チャージ ポンプとウォッチドッグの構成、および電源、チャージ ポンプ、熱、ウォッチドッグの各障害の障害レベルと対応を含みます。

**表 8-15. IC_CNFG1 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | OTSD_MODE | R/W | 0h | 過熱シャットダウン動作を設定します。サーマル クラスタが OT に達すると、デバイスはすべてのドライバまたは影響を受けるドライバのみ (ゾーン 3 のドライバなど) をシャットダウンします。<br>0b = グローバル シャットダウン。<br>1b = 影響を受けるドライバ シャットダウンのみ。 |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | RSVD | R | 0h | 予約済み。 |
| 12 | PVDD_OV_MODE | R/W | 0h | PVDD 電源過電圧監視モード。<br>0b = ラッチ障害。<br>1b = 自動復帰。 |
| 11-10 | PVDD_OV_DG | R/W | 0h | PVDD 電源過電圧監視グリッチ除去時間。<br>00b = 1µs<br>01b = 2µs<br>10b = 4µs<br>11b = 8µs |
| 9 | PVDD_OV_LVL | R/W | 0h | PVDD 電源過電圧監視スレッショルド。<br>0b = 22V<br>1b = 28V |
| 8 | 予約済み | R/W | 0h | 予約済み |
| 7-6 | CP_MODE | R/W | 0h | チャージ ポンプ動作モード。<br>00b = 3 倍速と 2 倍速の自動切り替えモード。<br>01b = 常に倍速モード。<br>10b = 常に 3 倍速モード。<br>11b = RSVD |
| 5 | VCP_UV_MODE | R/W | 0h | VCP チャージ ポンプ低電圧監視モード。<br>0b = ラッチ障害。<br>1b = 自動復帰。 |
| 4 | PVDD_UV_MODE | R/W | 0h | PVDD 電源低電圧監視モード。<br>0b = ラッチ障害。<br>1b = 自動復帰。 |
| 3 | WD_EN | R/W | 0h | ウォッチドッグ タイマが有効。<br>0b = ウォッチドッグ タイマが無効。<br>1b = ウォッチドッグ タイマを有効化。 |
| 2 | WD_FLT_M | R/W | 0h | ウォッチドッグ フォルト モード。ウォッチドッグ フォルトは CLR_FLT によってクリアされます。<br>0b = ウォッチドッグ フォルトは WD_FLT および WARN レジスタ ビットに通知されます。ドライバーは有効なまま、FAULT ビットはアサートされません。<br>1b = ウォッチドッグ フォルトは WD_FLT および FAULT レジスタ ビットに通知されます。ウォッチドッグ フォルトに応答してすべてのドライバがディセーブルになります。 |
| 1 | WD_WIN | R/W | 1h | ウォッチドッグ タイマ ウィンドウ。<br>0b = 4 to 12ms<br>1b = 10 to 100ms |


Copyright © 2025 Texas Instruments Incorporated

**表 8-15. IC_CNFG1 レジスタのフィールドの説明 (続き)**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 0 | EN_SSC | R/W | 0h | スペクトラム拡散クロック。<br>0b = 無効。<br>1b = 有効。 |

### 8.2.2 IC_CNFG2 レジスタ (オフセット = Ah) [リセット = 0000h]

IC_CNFG2 を表 8-16 に示します。

概略表に戻ります。

サーマル クラスタ警告無効ビットを含みます。

**表 8-16. IC_CNFG2 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | 予約済み | R/W | 0h | 予約済み |
| 12 | 予約済み | R/W | 0h | 予約済み |
| 11 | 予約済み | R/W | 0h | 予約済み |
| 10 | 予約済み | R/W | 0h | 予約済み |
| 9 | 予約済み | R/W | 0h | 予約済み |
| 8 | 予約済み | R/W | 0h | 予約済み |
| 7 | ZONE4_OTW_H_DIS | R/W | 0h | ゾーン 4 の過熱警告を無効にします。<br>有効 = 0b<br>無効 = 1b |
| 6 | ZONE3_OTW_H_DIS | R/W | 0h | ゾーン 3 の過熱警告を無効にします。<br>有効 = 0b<br>無効 = 1b |
| 5 | ZONE2_OTW_H_DIS | R/W | 0h | ゾーン 2 の過熱警告を無効にします。<br>有効 = 0b<br>無効 = 1b |
| 4 | ZONE1_OTW_H_DIS | R/W | 0h | ゾーン 1 の過熱警告を無効にします。<br>有効 = 0b<br>無効 = 1b |
| 3 | ZONE4_OTW_L_DIS | R/W | 0h | ゾーン 4 の低過熱警告を無効にします。<br>有効 = 0b<br>無効 = 1b |
| 2 | ZONE3_OTW_L_DIS | R/W | 0h | ゾーン 3 の低過熱警告を無効にします。<br>有効 = 0b<br>無効 = 1b |
| 1 | ZONE2_OTW_L_DIS | R/W | 0h | ゾーン 2 の低過熱警告を無効にします。<br>有効 = 0b<br>無効 = 1b |
| 0 | ZONE1_OTW_L_DIS | R/W | 0h | ゾーン 1 の低過熱警告を無効にします。<br>有効 = 0b<br>無効 = 1b |


Copyright © 2025 Texas Instruments Incorporated

### 8.2.3 HB_ITRIP_DG レジスタ (オフセット = 14h) [リセット = 0000h]

HB_ITRIP_DG を表 8-17 に示します。

概略表に戻ります。

各ハーフブリッジの ITRIP グリッチ除去を設定します。ITRIP タイミングは、ハーフブリッジ ペア間で共有されます。

**表 8-17. HB_ITRIP_DG レジスタ フィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | 予約済み | R/W | 0h | 予約済み |
| 12 | 予約済み | R/W | 0h | 予約済み |
| 11-10 | OUT6_ITRIP_DG | R/W | 0h | ハーフブリッジ 6 の ITRIP グリッチ除去時間を設定します。<br>00b = 2µs<br>01b = 5µs<br>10b = 10µs<br>11b = 20µs |
| 9-8 | OUT5_ITRIP_DG | R/W | 0h | ハーフブリッジ 5 の ITRIP グリッチ除去時間を設定します。<br>00b = 2µs<br>01b = 5µs<br>10b = 10µs<br>11b = 20µs |
| 7-6 | OUT4_ITRIP_DG | R/W | 0h | ハーフブリッジ 4 の ITRIP グリッチ除去時間を設定します。<br>00b = 2µs<br>01b = 5µs<br>10b = 10µs<br>11b = 20µs |
| 5-4 | OUT3_ITRIP_DG | R/W | 0h | ハーフブリッジ 3 の ITRIP グリッチ除去時間を設定します。<br>00b = 2µs<br>01b = 5µs<br>10b = 10µs<br>11b = 20µs |
| 3-2 | OUT2_ITRIP_DG | R/W | 0h | ハーフブリッジ 2 の ITRIP グリッチ除去時間を設定します。<br>00b = 2µs<br>01b = 5µs<br>10b = 10µs<br>11b = 20µs |
| 1-0 | OUT1_ITRIP_DG | R/W | 0h | ハーフブリッジ 1 の ITRIP グリッチ除去時間を設定します。<br>00b = 2µs<br>01b = 5µs<br>10b = 10µs<br>11b = 20µs |

Copyright © 2025 Texas Instruments Incorporated

### 8.2.4 HB_OUT_CNFG1 レジスタ (オフセット = 15h) [リセット = 0000h]

HB_OUT_CNFG1 を表 8-18 に示します。

概略表に戻ります。

各ハーフブリッジの出力モードを設定し、IPROPI サンプルおよびホールド回路、ハーフブリッジペアのフリーホイールを設定します。

**表 8-18. HB_OUT_CNFG1 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | NSR_OUT6_DIS | R/W | 0h | ハーフブリッジ 6 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ・フリーホイルを設定)。<br>パッシブ フリーホイール = 0b<br>アクティブ フリーホイール = 1b |
| 13 | NSR_OUT5_DIS | R/W | 0h | ハーフブリッジ 5 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ・フリーホイルを設定)。<br>パッシブ フリーホイール = 0b<br>アクティブ フリーホイール = 1b |
| 12 | NSR_OUT4_DIS | R/W | 0h | ハーフブリッジ 4 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ・フリーホイルを設定)。<br>パッシブ フリーホイール = 0b<br>アクティブ フリーホイール = 1b |
| 11 | NSR_OUT3_DIS | R/W | 0h | ハーフブリッジ 3 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ フリーホイールを設定)。<br>パッシブ フリーホイール = 0b<br>アクティブ フリーホイール = 1b |
| 10 | NSR_OUT2_DIS | R/W | 0h | ハーフブリッジ 2 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ・フリーホイルを設定)。<br>パッシブ フリーホイール = 0b<br>アクティブ フリーホイール = 1b |
| 9 | NSR_OUT1_DIS | R/W | 0h | ハーフブリッジ 1 の ITRIP レギュレーション中に非同期整流を無効にする (アクティブ・フリーホイルを設定)。<br>パッシブ フリーホイール = 0b<br>アクティブ フリーホイール = 1b |
| 8 | IPROPI_SH_EN | R/W | 0h | IPROPI サンプル/ホールド回路をイネーブルします。 |
| 7 | 予約済み | R/W | 0h | 予約済み |
| 6 | 予約済み | R/W | 0h | 予約済み |
| 5-3 | OUT6_CNFG | R/W | 0h | ハーフブリッジ 6 の設定。<br>ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。<br>000b = ディスエーブル<br>001b = イネーブル (SPI レジスタ制御)<br>010b = PWM1 相補制御<br>011b = PWM1 LS 制御<br>100b = PWM1 HS 制御<br>101b = PWM2 相補制御<br>110b = PWM2 LS 制御<br>111b = PWM2 HS 制御 |


Copyright © 2025 Texas Instruments Incorporated

**表 8-18. HB_OUT_CNFG1 レジスタのフィールドの説明 (続き)**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 2-0 | OUT5_CNFG | R/W | 0h | ハーフブリッジ 5 の設定。<br>ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。<br>000b = ディスエーブル<br>001b = イネーブル (SPI レジスタ制御)<br>010b = PWM1 相補制御<br>011b = PWM1 LS 制御<br>100b = PWM1 HS 制御<br>101b = PWM2 相補制御<br>110b = PWM2 LS 制御<br>111b = PWM2 HS 制御 |

### 8.2.5 HB_OUT_CNFG2 レジスタ (オフセット = 16h) [リセット = 0000h]

HB_OUT_CNFG2 を表 8-19 に示します。

概略表に戻ります。

各ハーフブリッジの出力モードを設定します。

**表 8-19. HB_OUT_CNFG2 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13-11 | OUT4_CNFG | R/W | 0h | ハーフブリッジ 4 の設定。<br>ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。<br>000b = ディスエーブル<br>001b = イネーブル (SPI レジスタ制御)<br>010b = PWM1 相補制御<br>011b = PWM1 LS 制御<br>100b = PWM1 HS 制御<br>101b = PWM2 相補制御<br>110b = PWM2 LS 制御<br>111b = PWM2 HS 制御 |
| 10-8 | OUT3_CNFG | R/W | 0h | ハーフブリッジ 3 の設定。<br>ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。<br>000b = ディスエーブル<br>001b = イネーブル (SPI レジスタ制御)<br>010b = PWM1 相補制御<br>011b = PWM1 LS 制御<br>100b = PWM1 HS 制御<br>101b = PWM2 相補制御<br>110b = PWM2 LS 制御<br>111b = PWM2 HS 制御 |
| 7 | OUT2_MODE | R/W | 0h | OUT2 を内部 PWM を用いたハイサイド ドライバとして有効化するビット。<br>OUT2_CNFG はドライバの有効化および無効化に使用されます<br>PWM 設定 - Freq：PWM_OUT2_FREQ、DC：OUT2_DC の詳細を示します。 |
| 6 | OUT1_MODE | R/W | 0h | OUT1 を内部 PWM を用いたハイサイド ドライバとして有効化するビット。<br>OUT1_CNFG はドライバの有効化および無効化に使用されます<br>PWM 設定 - Freq：PWM_OUT1_FREQ、DC：OUT1_DC の詳細を示します。 |
| 5-3 | OUT2_CNFG | R/W | 0h | ハーフブリッジ 2 の設定。<br>ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。<br>000b = ディスエーブル<br>001b = イネーブル (SPI レジスタ制御)<br>010b = PWM1 相補制御<br>011b = PWM1 LS 制御<br>100b = PWM1 HS 制御<br>101b = PWM2 相補制御<br>110b = PWM2 LS 制御<br>111b = PWM2 HS 制御 |


Copyright © 2025 Texas Instruments Incorporated

**表 8-19. HB_OUT_CNFG2 レジスタのフィールドの説明 (続き)**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 2-0 | OUT1_CNFG | R/W | 0h | ハーフブリッジ 1 の設定。<br>ハーフブリッジの制御を有効または無効にし、PWM と SPI の間で制御モードを設定します。<br>000b = ディスエーブル<br>001b = イネーブル (SPI レジスタ制御)<br>010b = PWM1 相補制御<br>011b = PWM1 LS 制御<br>100b = PWM1 HS 制御<br>101b = PWM2 相補制御<br>110b = PWM2 LS 制御<br>111b = PWM2 HS 制御 |

### 8.2.6 HB_OCP_CNFG レジスタ (オフセット = 17h) [リセット = 0000h]

HB_OCP_CNFG を表 8-20 に示します。

概略表に戻ります。

ハーフブリッジ構成レジスタの過電流グリッチ除去。

**表 8-20. HB_OCP_CNFG レジスタ フィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | 予約済み | R/W | 0h | 予約済み |
| 12 | 予約済み | R/W | 0h | 予約済み |
| 11-10 | OUT6_OCP_DG | R/W | 0h | ハーフ ブリッジ 6 の過電流グリッチ除去時間。<br>00b = 6µs<br>01b = 10µs<br>10b = 15µs<br>11b = 60µs |
| 9-8 | OUT5_OCP_DG | R/W | 0h | ハーフ ブリッジ 5 の過電流グリッチ除去時間。<br>00b = 6µs<br>01b = 10µs<br>10b = 15µs<br>11b = 60µs |
| 7-6 | OUT4_OCP_DG | R/W | 0h | ハーフ ブリッジ 4 の過電流グリッチ除去時間。<br>00b = 6µs<br>01b = 10µs<br>10b = 15µs<br>11b = 60µs |
| 5-4 | OUT3_OCP_DG | R/W | 0h | ハーフ ブリッジ 3 の過電流グリッチ除去時間。<br>00b = 6µs<br>01b = 10µs<br>10b = 15µs<br>11b = 60µs |
| 3-2 | OUT2_OCP_DG | R/W | 0h | ハーフ ブリッジ 2 の過電流グリッチ除去時間。<br>00b = 6µs<br>01b = 10µs<br>10b = 15µs<br>11b = 60µs |
| 1-0 | OUT1_OCP_DG | R/W | 0h | ハーフ ブリッジ 1 の過電流グリッチ除去時間。<br>00b = 6µs<br>01b = 10µs<br>10b = 15µs<br>11b = 60µs |


Copyright © 2025 Texas Instruments Incorporated

### 8.2.7 HB_OL_CNFG1 レジスタ (オフセット = 18h) [リセット = 0000h]

HB_OL_CNFG1 を表 8-21 に示します。

概略表に戻ります。

ハーフブリッジのアクティブおよびオフ状態の開放負荷検出回路を構成します。

**表 8-21. HB_OL_CNFG1 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13-12 | HB_OLP_CNFG | R/W | 0h | オフ状態診断構成。<br>00b = オフ状態無効<br>01b = OUT X プルアップ有効、OUT Y プルダウン有効、OUT Y 選択、VREF Low<br>10b = OUT X プルダウン有効、OUT Y プルダウン有効、OUT X 選択、VREF High<br>11b = OUT X プルダウン有効、OUT Y プルダウン有効、OUT Y 選択、VREF Low |
| 11-8 | HB_OLP_SEL | R/W | 0h | ハーフブリッジのオフ状態開放負荷診断イネーブル。<br>0000b = ディスエーブル<br>0001b = OUT1 および OUT2<br>0010b = OUT1 および OUT3<br>0011b = OUT1 および OUT4<br>0100b = OUT1 および OUT5<br>0101b = OUT1 および OUT6<br>0110b = OUT2 および OUT3<br>0111b = OUT2 および OUT4<br>1000b = OUT2 および OUT5<br>1001b = OUT2 および OUT6<br>1010b = OUT3 および OUT4<br>1011b = OUT3 および OUT5<br>1100b = OUT3 および OUT6<br>1101b = OUT4 および OUT5<br>1110b = OUT4 および OUT6<br>1111b = OUT5 および OUT6 |
| 7 | 予約済み | R/W | 0h | 予約済み |
| 6 | 予約済み | R/W | 0h | 予約済み |
| 5 | OUT6_OLA_EN | R/W | 0h | ハーフブリッジ 6 のアクティブ開放負荷診断イネーブル。<br>0b = ディスエーブル<br>1b = イネーブル |
| 4 | OUT5_OLA_EN | R/W | 0h | ハーフブリッジ 5 のアクティブ開放負荷診断イネーブル。<br>0b = ディスエーブル<br>1b = イネーブル |
| 3 | OUT4_OLA_EN | R/W | 0h | ハーフブリッジ 4 のアクティブ開放負荷診断イネーブル。<br>0b = ディスエーブル<br>1b = イネーブル |
| 2 | OUT3_OLA_EN | R/W | 0h | ハーフブリッジ 3 のアクティブ開放負荷診断イネーブル。<br>0b = ディスエーブル<br>1b = イネーブル |
| 1 | OUT2_OLA_EN | R/W | 0h | ハーフブリッジ 2 のアクティブ開放負荷診断イネーブル。<br>0b = ディスエーブル<br>1b = イネーブル |
| 0 | OUT1_OLA_EN | R/W | 0h | ハーフブリッジ 1 のアクティブ開放負荷診断イネーブル。<br>0b = ディスエーブル<br>1b = イネーブル |

Copyright © 2025 Texas Instruments Incorporated

### 8.2.8 HB_OL_CNFG2 レジスタ (オフセット = 19h) [リセット = 0000h]

HB_OL_CNFG2 を表 8-22 に示します。

概略表に戻ります。

ハーフブリッジのアクティブ開放負荷検出回路のサイクル数スレッショルドを設定します。

**表 8-22. HB_OL_CNFG2 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | 予約済み | R/W | 0h | 予約済み |
| 12 | 予約済み | R/W | 0h | 予約済み |
| 11-10 | OUT6_OLA_TH | R/W | 0h | ハーフブリッジ 6 のアクティブ開放負荷サイクル カウント スレッショルドを設定します。<br>0b = 32 サイクル<br>1b = 128 サイクル<br>10b ～ 512 サイクル<br>11b ～ 1024 サイクル |
| 9-8 | OUT5_OLA_TH | R/W | 0h | ハーフブリッジ 5 のアクティブ開放負荷サイクル カウント スレッショルドを設定します。<br>0b = 32 サイクル<br>1b = 128 サイクル<br>10b ～ 512 サイクル<br>11b ～ 1024 サイクル |
| 7-6 | OUT4_OLA_TH | R/W | 0h | ハーフブリッジ 4 のアクティブ開放負荷サイクル カウント スレッショルドを設定します。<br>0b = 32 サイクル<br>1b = 128 サイクル<br>10b ～ 512 サイクル<br>11b ～ 1024 サイクル |
| 5-4 | OUT3_OLA_TH | R/W | 0h | ハーフブリッジ 3 のアクティブ開放負荷サイクル カウント スレッショルドを設定します。<br>0b = 32 サイクル<br>1b = 128 サイクル<br>10b ～ 512 サイクル<br>11b ～ 1024 サイクル |
| 3-2 | OUT2_OLA_TH | R/W | 0h | ハーフブリッジ 2 のアクティブ開放負荷サイクル カウント スレッショルドを設定します。<br>0b = 32 サイクル<br>1b = 128 サイクル<br>10b ～ 512 サイクル<br>11b ～ 1024 サイクル |
| 1-0 | OUT1_OLA_TH | R/W | 0h | ハーフブリッジ 1 のアクティブ開放負荷サイクル カウント スレッショルドを設定します。<br>0b = 32 サイクル<br>1b = 128 サイクル<br>10b ～ 512 サイクル<br>11b ～ 1024 サイクル |


Copyright © 2025 Texas Instruments Incorporated

### 8.2.9 HB_SR_CNFG レジスタ (オフセット = 1Ah) [リセット = 0000h]

HB_SR_CNFG を表 8-23 に示します。

概略表に戻ります。

各ハーフブリッジのスルー レート タイミングを設定します。

**表 8-23. HB_SR_CNFG レジスタ フィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | 予約済み | R/W | 0h | 予約済み |
| 12 | 予約済み | R/W | 0h | 予約済み |
| 11-10 | OUT6_SR | R/W | 0h | ハーフブリッジ 6 のスルー レートを設定します。<br>00b = 1.6V/µs<br>01b = 13.5V/µs<br>10b = 24V/µs |
| 9-8 | OUT5_SR | R/W | 0h | ハーフブリッジ 5 のスルー レートを設定します。<br>00b = 1.6V/µs<br>01b = 13.5V/µs<br>10b = 24V/µs |
| 7-6 | OUT4_SR | R/W | 0h | ハーフブリッジ 4 のスルー レートを設定します。<br>00b = 1.6V/µs<br>01b = 13.5V/µs<br>10b = 24V/µs |
| 5-4 | OUT3_SR | R/W | 0h | ハーフブリッジ 3 のスルー レートを設定します。<br>00b = 1.6V/µs<br>01b = 13.5V/µs<br>10b = 24V/µs |
| 3-2 | OUT2_SR | R/W | 0h | ハーフブリッジ 2 のスルー レートを設定します。<br>00b = 1.6V/µs<br>01b = 13.5V/µs<br>10b = 24V/µs |
| 1-0 | OUT1_SR | R/W | 0h | ハーフブリッジ 1 のスルー レートを設定します。<br>00b = 1.6V/µs<br>01b = 13.5V/µs<br>10b = 24V/µs |

Copyright © 2025 Texas Instruments Incorporated

### 8.2.10 HB_ITRIP_CNFG レジスタ (オフセット = 1Bh) [リセット = 0000h]

HB_ITRIP_CNFG を表 8-24 に示します。

概略表に戻ります。

ITRIP レベルを設定し、各ハーフブリッジの ITRIP をイネーブルにします。ITRIP レベルは、ハーフブリッジペア間で共有されます。

**表 8-24. HB_ITRIP_CNFG レジスタ フィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | OUT6_ITRIP_EN | R/W | 0h | ハーフブリッジ 6 の ITRIP レギュレーションをイネーブルにします。 |
| 14 | OUT5_ITRIP_EN | R/W | 0h | ハーフブリッジ 5 の ITRIP レギュレーションをイネーブルにします。 |
| 13 | OUT4_ITRIP_EN | R/W | 0h | ハーフブリッジ 4 の ITRIP レギュレーションをイネーブルにします。 |
| 12 | OUT3_ITRIP_EN | R/W | 0h | ハーフブリッジ 3 の ITRIP レギュレーションをイネーブルにします。 |
| 11 | OUT2_ITRIP_EN | R/W | 0h | ハーフブリッジ 2 の ITRIP レギュレーションをイネーブルにします。 |
| 10 | OUT1_ITRIP_EN | R/W | 0h | ハーフブリッジ 1 の ITRIP レギュレーションをイネーブルにします。 |
| 9-8 | OUT6_ITRIP_LVL | R/W | 0h | ハーフブリッジ 6 の ITRIP 電流スレッショルド レベルを設定します。<br>00b = 2.3A。<br>01b = 5.4A<br>10b = 6.2A<br>11b = 予約済み。 |
| 7-6 | OUT5_ITRIP_LVL | R/W | 0h | ハーフブリッジ 5 の ITRIP 電流スレッショルド レベルを設定します。<br>00b = 2.9A<br>01b = 6.6A<br>10b = 7.6A<br>11b = 予約済み。 |
| 5-4 | OUT4_ITRIP_LVL | R/W | 0h | ハーフブリッジ 4 の ITRIP 電流スレッショルド レベルを設定します。<br>00b = 1.3A<br>01b = 2.5A<br>10b = 3.4A<br>11b = 予約済み。 |
| 3-2 | OUT3_ITRIP_LVL | R/W | 0h | ハーフブリッジ 3 の ITRIP 電流スレッショルド レベルを設定します。<br>00b = 1.3A<br>01b = 2.5A<br>10b = 3.4A<br>11b = 予約済み。 |
| 1 | OUT2_ITRIP_LVL | R/W | 0h | ハーフブリッジ 2 の ITRIP 電流スレッショルド レベルを設定します。<br>0b = 0.7A<br>1b = 0.875A |
| 0 | OUT1_ITRIP_LVL | R/W | 0h | ハーフブリッジ 1 の ITRIP 電流スレッショルド レベルを設定します。<br>0b = 0.7A<br>1b = 0.875A |


Copyright © 2025 Texas Instruments Incorporated

### 8.2.11 HB_ITRIP_FREQ レジスタ (オフセット = 1Ch) [リセット = 0000h]

HB_ITRIP_FREQ を表 8-25 に示します。

概略表に戻ります。

各ハーフ ブリッジの ITRIP 周波数とグリッチ除去を設定します。ITRIP タイミングは、ハーフブリッジ ペア間で共有されます。

**表 8-25. HB_ITRIP_FREQ レジスタ フィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13-12 | HB_TOFF_SEL | R/W | 0h | OUT1 ～ 6 ハーフブリッジドライバの Toff の選択。ここで、T は OUTx_ITRIP_FREQ によって決定されます。<br>00b - ゼロ、無効<br>01b - Toff = T/2<br>10b-Toff = T/4<br>11b-Toff = T |
| 11-10 | OUT6_ITRIP_FREQ | R/W | 0h | ハーフブリッジ 6 の ITRIP レギュレーション周波数を設定します。<br>00b = 20kHz<br>01b = 10kHz<br>10b = 5kHz<br>11b = 2.5kHz |
| 9-8 | OUT5_ITRIP_FREQ | R/W | 0h | ハーフブリッジ 5 の ITRIP レギュレーション周波数を設定します。<br>00b = 20kHz<br>01b = 10kHz<br>10b = 5kHz<br>11b = 2.5kHz |
| 7-6 | OUT4_ITRIP_FREQ | R/W | 0h | ハーフブリッジ 4 の ITRIP レギュレーション周波数を設定します。00b = 20kHz<br>01b = 10kHz<br>10b = 5kHz<br>11b = 2.5kHz |
| 5-4 | OUT3_ITRIP_FREQ | R/W | 0h | ハーフブリッジ 3 の ITRIP レギュレーション周波数を設定します。<br>00b = 20kHz<br>01b = 10kHz<br>10b = 5kHz<br>11b = 2.5kHz |
| 3-2 | OUT2_ITRIP_FREQ/<br>PWM_OUT2_FREQ | R/W | 0h | ハーフブリッジ 2 の ITRIP レギュレーション周波数を設定します。<br>00b = 20kHz<br>01b = 10kHz<br>10b = 5kHz<br>11b = 2.5kHz<br>OUT2_MODE = 1 のとき。PWM FREQ 設定 PWM_OUT2_FREQ に使用されます:<br>00b - 108Hz<br>01b - 217Hz<br>10b - 289Hz<br>11b - 434Hz |
| 1-0 | OUT1_ITRIP_FREQ/<br>PWM_OUT1_FREQ | R/W | 0h | ハーフブリッジ 1 の ITRIP レギュレーション周波数を設定します。<br>00b = 20kHz<br>01b = 10kHz<br>10b = 5kHz<br>11b = 2.5kHz<br>OUT1_MODE = 1 のとき。PWM FREQ 設定 PWM_OUT1_FREQ に使用されます:<br>00b - 108Hz<br>01b - 217Hz<br>10b - 289Hz<br>11b - 434Hz |

### 8.2.12 HS_HEAT_OUT_CNFG レジスタ (オフセット = 1Dh) [リセット = 0000h]

HS_HEAT_OUT_CNFG を表 8-26 に示します。

概略表に戻ります。

各ハイサイド ドライバとヒーターの出力モードを構成します。

**表 8-26. HS_HEAT_OUT_CNFG レジスタ フィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-14 | HEAT_CNFG | R/W | 0h | ヒータ ドライバの構成。ヒータの制御を有効または無効にし、PWM または SPI の間で制御モードを設定します。<br>00b = ディスエーブル<br>01b = SPI 制御イネーブル<br>10b = PWM1 ピン制御<br>11b = 予約済み |
| 13 | 予約済み | R/W | 0h | 予約済み |
| 12 | 予約済み | R/W | 0h | 予約済み |
| 11-10 | OUT12_CNFG | R/W | 0h | ハイサイド ドライバの構成 12。ハイサイド ドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。<br>00b = ディセーブル<br>01b = SPI 制御イネーブル<br>10b = PWM ピン制御<br>11b = PWM ジェネレータ |
| 9-8 | OUT11_CNFG | R/W | 0h | ハイサイド ドライバの構成 11。ハイサイド ドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。<br>00b = ディセーブル<br>01b = SPI 制御イネーブル<br>10b = PWM ピン制御<br>11b = PWM ジェネレータ |
| 7-6 | OUT10_CNFG | R/W | 0h | ハイサイド ドライバの構成 10。ハイサイド ドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。<br>00b = ディセーブル<br>01b = SPI 制御イネーブル<br>10b = PWM ピン制御<br>11b = PWM ジェネレータ |
| 5-4 | OUT9_CNFG | R/W | 0h | ハイサイド ドライバの構成 9。ハイサイド ドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。<br>00b = ディセーブル<br>01b = SPI 制御イネーブル<br>10b = PWM ピン制御<br>11b = PWM ジェネレータ |
| 3-2 | OUT8_CNFG | R/W | 0h | ハイサイド ドライバの構成 8。ハイサイド ドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。<br>00b = ディセーブル<br>01b = SPI 制御イネーブル<br>10b = PWM ピン制御<br>11b = PWM ジェネレータ |
| 1-0 | OUT7_CNFG | R/W | 0h | ハイサイド ドライバの構成 7。ハイサイド ドライバの制御を有効化または無効化し、PWM または SPI の間で制御モードを設定します。<br>00b = ディセーブル<br>01b = SPI 制御イネーブル<br>10b = PWM ピン制御<br>11b = PWM ジェネレータ |


Copyright © 2025 Texas Instruments Incorporated

### 8.2.13 HS_OC_CNFG レジスタ (オフセット = 1Eh) [リセット = 1000h]

HS_OC_CNFG を表 8-27 に示します。

概略表に戻ります。

各ハイサイド ドライバの過電流スレッショルドを設定します。

**表 8-27. HS_OC_CNFG レジスタ フィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | 予約済み | R/W | 0h | 予約済み |
| 12 | OUT11_EC_MODE | R/W | 1h | このビットは、ハイサイド OUT11 を OUT11_CNFG ビットによる独立制御用、またはエレクトロクロミック ドライバへの電源供給用に設定します。<br>0b = OUT11 は独立したハイサイド ドライバとして構成されています。EC FET のドレインは PVDD に接続<br>1b = OUT11 は EC FET の電源として構成 |
| 11 | 予約済み | R/W | 0h | 予約済み |
| 10 | 予約済み | R/W | 0h | 予約済み |
| 9 | 予約済み | R/W | 0h | 予約済み |
| 8 | 予約済み | R/W | 0h | 予約済み |
| 7 | 予約済み | R/W | 0h | 予約済み |
| 6 | 予約済み | R/W | 0h | 予約済み |
| 5 | OUT12_OC_TH | R/W | 0h | ハイサイド ドライバ 12 の High または Low の過電流スレッショルドを設定します。<br>0b = Low 電流スレッショルド<br>1b = High 電流スレッショルド |
| 4 | OUT11_OC_TH | R/W | 0h | ハイサイド ドライバ 11 の High または Low の過電流スレッショルドを設定します。<br>0b = Low 電流スレッショルド<br>1b = High 電流スレッショルド |
| 3 | OUT10_OC_TH | R/W | 0h | ハイサイド ドライバ 10 の High または Low の過電流スレッショルドを設定します。<br>0b = Low 電流スレッショルド<br>1b = High 電流スレッショルド |
| 2 | OUT9_OC_TH | R/W | 0h | ハイサイド ドライバ 9 の High または Low の過電流スレッショルドを設定します。<br>0b = Low 電流スレッショルド<br>1b = High 電流スレッショルド |
| 1 | OUT8_OC_TH | R/W | 0h | ハイサイド ドライバ 8 の High または Low の過電流スレッショルドを設定します。<br>0b = Low 電流スレッショルド<br>1b = High 電流スレッショルド |
| 0 | OUT7_RDSON_MODE | R/W | 0h | ハイサイド ドライバ 7 を高 RDSON モードと低 RDSON モードの間（電球/ランプ負荷用）に構成します。<br>0b = 高 RDSON モード（LED ドライバ モード<br>）1b = 低 RDSON モード（電球/ランプ ドライバ モード） |

### 8.2.14 HS_OL_CNFG レジスタ (オフセット = 1Fh) [リセット = 0000h]

HS_OL_CNFG を表 8-28 に示します。

概略表に戻ります。

ハイサイド ドライバごとにオープン負荷閾値を設定します。

**表 8-28. HS_OL_CNFG レジスタ フィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | OUT12_OLA_TH | R/W | 0h | ハイサイド ドライバ 12 の開放負荷スレッショルドを設定します。<br>0b = Low スレッショルド<br>1b = High スレッショルド |
| 12 | OUT11_OLA_TH | R/W | 0h | ハイサイド ドライバ 11 の開放負荷スレッショルドを設定します。<br>0b = Low スレッショルド<br>1b = High スレッショルド |
| 11 | OUT10_OLA_TH | R/W | 0h | ハイサイド ドライバ 10 の開放負荷スレッショルドを設定します。<br>0b = Low スレッショルド<br>1b = High スレッショルド |
| 10 | OUT9_OLA_TH | R/W | 0h | ハイサイド ドライバ 9 の開放負荷スレッショルドを設定します。<br>0b = Low スレッショルド<br>1b = High スレッショルド |
| 9 | OUT8_OLA_TH | R/W | 0h | ハイサイド ドライバ 8 の開放負荷スレッショルドを設定します。<br>0b = Low スレッショルド<br>1b = High スレッショルド |
| 8 | 予約済み | R/W | 0h | 予約済み |
| 7 | 予約済み | R/W | 0h | 予約済み |
| 6 | 予約済み | R/W | 0h | 予約済み |
| 5 | OUT12_OLA_EN | R/W | 0h | ハイサイド ドライバ 12 の開放負荷検出回路を有効にします。 |
| 4 | OUT11_OLA_EN | R/W | 0h | ハイサイド ドライバ 11 の開放負荷検出回路を有効にします。 |
| 3 | OUT10_OLA_EN | R/W | 0h | ハイサイド ドライバ 10 の開放負荷検出回路を有効にします。 |
| 2 | OUT9_OLA_EN | R/W | 0h | ハイサイド ドライバ 9 の開放負荷検出回路を有効にします。 |
| 1 | OUT8_OLA_EN | R/W | 0h | ハイサイド ドライバ 8 の開放負荷検出回路を有効にします。 |
| 0 | OUT7_OLA_EN | R/W | 0h | ハイサイド ドライバ 7 の開放負荷検出回路を有効にします。 |


Copyright © 2025 Texas Instruments Incorporated

### 8.2.15 HS_REG_CNFG1 レジスタ (オフセット = 20h) [リセット = 0000h]

HS_REG_CNFG1 を表 8-29 に示します。

概略表に戻ります。

OUT7 の ITRIP 設定を構成します。

**表 8-29. HS_REG_CNFG1 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | 予約済み | R/W | 0h | 予約済み |
| 12 | 予約済み | R/W | 0h | 予約済み |
| 11 | 予約済み | R/W | 0h | 予約済み |
| 10 | 予約済み | R/W | 0h | 予約済み |
| 9 | 予約済み | R/W | 0h | 予約済み |
| 8 | 予約済み | R/W | 0h | 予約済み |
| 7 | OUT7_ITRIP_EN | R/W | 0h | ハイサイド ドライバ 7 の ITRIP を有効にします。 |
| 6 | 予約済み | R/W | 0h | 予約済み |
| 5 | 予約済み | R/W | 0h | 予約済み |
| 4 | 予約済み | R/W | 0h | 予約済み |
| 3-2 | OUT7_ITRIP_FREQ | R/W | 0h | OUT7 の ITRIP レギュレーション周波数を設定します。<br>00b = 1.7kHz<br>01b = 2.2kHz<br>10b = 3kHz<br>11b = 4.4kHz |
| 1-0 | OUT7_ITRIP_DG | R/W | 0h | OUT7 の ITRIP グリッチ除去時間を設定します。<br>00b = 48µs<br>01b = 40µs<br>10b = 32µs<br>11b = 24µs |

### 8.2.16 HS_REG_CNFG2 レジスタ (オフセット = 21h) [リセット = 0000h]

HS_REG_CNFG2 を表 8-30 に示します。

概略表に戻ります。

各ハイサイド ドライバの定電流モードを設定します。

**表 8-30. HS_REG_CNFG2 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | OUT12_CCM_TO | R/W | 0h | ハイサイド出力 12 の定電流モードにおける電流制限オプションを設定します。<br>0b = 350mA<br>1b = 450mA |
| 12 | OUT11_CCM_TO | R/W | 0h | ハイサイド出力 11 の定電流モードにおける電流制限オプションを設定します。<br>0b = 350mA<br>1b = 450mA |
| 11 | OUT10_CCM_TO | R/W | 0h | ハイサイド出力 10 の定電流モードにおける電流制限オプションを設定します。<br>0b = 350mA<br>1b = 450mA |
| 10 | OUT9_CCM_TO | R/W | 0h | ハイサイド出力 9 の定電流モードにおける電流制限オプションを設定します。<br>0b = 350mA<br>1b = 450mA |
| 9 | OUT8_CCM_TO | R/W | 0h | ハイサイド出力 8 の定電流モードにおける電流制限オプションを設定します。<br>0b = 350mA<br>1b = 450mA |
| 8 | OUT7_CCM_TO | R/W | 0h | ハイサイド出力 7 の定電流モードにおける電流制限オプションを設定します。CCM の値は OUT7_RDSON_MODE に基づいています。<br>OUT7_RDSON_MODE = 0b の場合:<br>0b = 250mA<br>1b = 330mA<br>IF OUT7_RDSON_MODE = 1b:<br>0b = 360mA 1b = 450mA |
| 7 | 予約済み | R/W | 0h | 予約済み |
| 6 | 予約済み | R/W | 0h | 予約済み |
| 5 | OUT12_CCM_EN | R/W | 0h | ハイサイド ドライバ 12 の定電流モード回路を有効化します。 |
| 4 | OUT11_CCM_EN | R/W | 0h | ハイサイド ドライバ 11 の定電流モード回路を有効化します。 |
| 3 | OUT10_CCM_EN | R/W | 0h | ハイサイド ドライバ 10 の定電流モード回路を有効化します。 |
| 2 | OUT9_CCM_EN | R/W | 0h | ハイサイド ドライバ 9 の定電流モード回路を有効化します。 |
| 1 | OUT8_CCM_EN | R/W | 0h | ハイサイド ドライバ 8 の定電流モード回路を有効化します。 |
| 0 | OUT7_CCM_EN | R/W | 0h | ハイサイド ドライバ 7 の定電流モード回路を有効化します。 |


Copyright © 2025 Texas Instruments Incorporated

### 8.2.17 HS_PWM_FREQ_CNFG レジスタ (オフセット = 22h) [リセット = 0000h]

HS_PWM_FREQ_CNFG を表 8-31 に示します。

概略表に戻ります。

各専用 PWM ジェネレータの周波数を設定します。

**表 8-31. HS_PWM_FREQ_CNFG レジスタ フィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | 予約済み | R/W | 0h | 予約済み |
| 12 | 予約済み | R/W | 0h | 予約済み |
| 11-10 | PWM_OUT12_FREQ | R/W | 0h | ハイサイド ドライバ 12 の専用 PWM ジェネレータの周波数出力を構成します。<br>00b = 108Hz<br>01b = 217Hz<br>10b = 289Hz<br>11b = 434Hz |
| 9-8 | PWM_OUT11_FREQ | R/W | 0h | ハイサイド ドライバ 11 の専用 PWM ジェネレータの周波数出力を構成します。<br>00b = 108Hz<br>01b = 217Hz<br>10b = 289Hz<br>11b = 434Hz |
| 7-6 | PWM_OUT10_FREQ | R/W | 0h | ハイサイド ドライバ 10 の専用 PWM ジェネレータの周波数出力を構成します。<br>00b = 108Hz<br>01b = 217Hz<br>10b = 289Hz<br>11b = 434Hz |
| 5-4 | PWM_OUT9_FREQ | R/W | 0h | ハイサイド ドライバ 9 の専用 PWM ジェネレータの周波数出力を構成します。<br>00b = 108Hz<br>01b = 217Hz<br>10b = 289Hz<br>11b = 434Hz |
| 3-2 | PWM_OUT8_FREQ | R/W | 0h | ハイサイド ドライバ 8 の専用 PWM ジェネレータの周波数出力を構成します。<br>00b = 108Hz<br>01b = 217Hz<br>10b = 289Hz<br>11b = 434Hz |
| 1-0 | PWM_OUT7_FREQ | R/W | 0h | ハイサイド ドライバ 7 の専用 PWM ジェネレータの周波数出力を構成します。<br>00b = 108Hz<br>01b = 217Hz<br>10b = 289Hz<br>11b = 434Hz |

Copyright © 2025 Texas Instruments Incorporated

### 8.2.18 HEAT_CNFG レジスタ (オフセット = 23h) [リセット = 0A3Ch]

HEAT_CNFG を表 8-32 に示します。

概略表に戻ります。

ヒーター・ドライバとフォルト応答を構成します。

**表 8-32. HEAT_CNFG レジスタ フィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | 予約済み | R/W | 0h | 予約済み |
| 12 | 予約済み | R/W | 0h | 予約済み |
| 11-8 | HEAT_VDS_LVL | R/W | Ah | ヒータ MOSFET VDS 監視保護スレッショルド。<br>0000b = 0.06V<br>00001b = 0.08V<br>0010b = 0.10V<br>0011b = 0.12V<br>0100b = 0.14V<br>0101b = 0.16V<br>0110b = 0.18V<br>0111b = 0.2V<br>1000b = 0.24V<br>1001b = 0.28V<br>1010b = 0.32V<br>1011b = 0.36V<br>1100b = 0.4V<br>1101b = 0.44V<br>1110b = 0.56V<br>1111b = 1V |
| 7-6 | HEAT_VDS_MODE | R/W | 0h | ヒータ MOSFET VDS 過電流監視フォルト モード。<br>00b = ラッチ障害。<br>01b = サイクルごと。<br>10b = 警告レポートのみ。<br>11b = 無効。 |
| 5-4 | HEAT_VDS_BLK | R/W | 3h | ヒータ MOSFET VDS 監視ブランキング時間。<br>00b = 4µs<br>01b = 8µs<br>10b = 16µs<br>11b = 32µs |
| 3-2 | HEAT_VDS_DG | R/W | 3h | ヒータ MOSFET VDS 過電流モニタのグリッチ除去時間。<br>00b = 1µs<br>01b = 2µs<br>10b = 4µs<br>11b = 8µs |
| 1 | HEAT_OLP_EN | R/W | 0h | ヒータ オフライン開放負荷検出回路をイネーブルにします。 |
| 0 | 予約済み | R/W | 0h | 予約済み |


Copyright © 2025 Texas Instruments Incorporated

### 8.2.19 EC_CNFG レジスタ (オフセット = 24h) [リセット = 0000h]

EC_CNFG を表 8-33 に示します。

概略表に戻ります。

エレクトロクロム ドライバとフォルト応答を設定します。

**表 8-33. EC_CNFG レジスタ フィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-14 | ECFB_DIAG | R/W | 0h | ECFB のオープンロード検出回路を有効にします。<br>00b = 無効化<br>01b = SC<br>10b = OLP<br>11b = ディスエーブル/予約済み |
| 13-12 | EC_OUT11_OCP_DG | R/W | 0h | EC_MODE = 1 のときの OUT11 OCP グリッチ除去設定<br>00b = 6µs<br>01b = 10µs<br>10b = 15µs<br>11b = 60µs |
| 11-10 | ECFB_SC_RSEL | R/W | 0h | ECFB 診断短絡検出オプション。<br>00b = 0.5Ω<br>01b = 1.0Ω<br>10b = 2.0Ω<br>11b = 3.0Ω |
| 9-8 | ECFB_OV_DG | R/W | 0h | 過電圧フォルト グリッチ除去時間を構成します。00b = 20µs<br>01b = 50µs<br>10b = 100µs<br>11b = 200µs |
| 7 | 予約済み | R/W | 0h | 予約済み |
| 6 | 予約済み | R/W | 0h | 予約済み |
| 5-4 | ECFB_OV_MODE | R/W | 0h | EC ドライバの ECFB OV フォルト応答を構成します。<br>0b = アクションなし<br>01b = 電圧が 3V を超える状態が EFB_OV_DG 時間より長く続いた場合に、ECFB_OV を報告します。<br>10b = 電圧が 3V を超える状態が EFB_OV_DG 時間を超えて続いた場合、ECFB_OV を報告し、ECDRV をプルダウンして Low に駆動します。 |
| 3 | EC_FLT_MODE | R/W | 0h | EC ドライバの過電流フォルト応答を構成します。<br>0b = Hi-Z EC ドライバ<br>1b = OUT7 の ITRIP 設定で再試行 |
| 2 | ECFB_LS_PWM | R/W | 0h | EC 負荷の LS PWM 放電をイネーブルします。<br>0b = PWM 放電なし（高速放電）<br>1b = PWM 放電イネーブル |
| 1 | EC_OLEN | R/W | 0h | このビットは、EC 放電中のオープン負荷検出回路を有効にします。<br>0b = EC 放電中はオープンロード検出を無効化<br>1b = EC 放電中の開放負荷検出を有効化 |
| 0 | ECFB_MAX | R/W | 0h | EC の最大目標電圧を設定します。<br>0b = 1.2V<br>1b = 1.5V |

### 8.2.20 HS_REG_CNFG3 レジスタ (オフセット = 25h) [リセット = 0000h]

HS_REG_CNFG3 を表 8-34 に示します。

概略表に戻ります。

HS ITRIP 設定を構成します。

**表 8-34. HS_REG_CNFG3 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | 予約済み | R/W | 0h | 予約済み |
| 12 | 予約済み | R/W | 0h | 予約済み |
| 11-10 | HS_OUT_ITRIP_FREQ | R/W | 0h | OUT8-12 の ITRIP FREQ 設定<br>00b ～ 1.7KHz<br>01b ～ 2.2KHz<br>10b ～ 3KHz<br>11b ～ 4.4KHz |
| 9-8 | HS_OUT_ITRIP_DG | R/W | 0h | OUT8-12 ドライバの一般的な ITRIP グリッチ除去設定<br>00b - 48µs<br>01b- 40µs<br>10b - 32µs<br>11b- 24µs |
| 7 | 予約済み | R/W | 0h | 予約済み |
| 6 | 予約済み | R/W | 0h | 予約済み |
| 5 | 予約済み | R/W | 0h | 予約済み |
| 4 | HS_OUT12_ITRIP_EN | R/W | 0h | ハイサイド ドライバ 12 の ITRIP を有効にします。 |
| 3 | HS_OUT11_ITRIP_EN | R/W | 0h | ハイサイド ドライバ 11 の ITRIP を有効にします。 |
| 2 | HS_OUT10_ITRIP_EN | R/W | 0h | ハイサイド ドライバ 10 の ITRIP を有効にします。 |
| 1 | HS_OUT9_ITRIP_EN | R/W | 0h | ハイサイド ドライバ 9 の ITRIP を有効にします。 |
| 0 | HS_OUT8_ITRIP_EN | R/W | 0h | ハイサイド ドライバ 8 の ITRIP を有効にします。 |


Copyright © 2025 Texas Instruments Incorporated

### 8.2.21 SPARE_CNFG2 レジスタ (オフセット = 26h) [リセット = 0000h]

SPARE_CNFG2 を表 8-35 に示します。

概略表に戻ります。

予備構成レジスタ。

**表 8-35. SPARE_CNFG2 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | 予約済み | R/W | 0h | 予約済み |
| 12 | 予約済み | R/W | 0h | 予約済み |
| 11 | 予約済み | R/W | 0h | 予約済み |
| 10 | 予約済み | R/W | 0h | 予約済み |
| 9 | 予約済み | R/W | 0h | 予約済み |
| 8 | 予約済み | R/W | 0h | 予約済み |
| 7 | 予約済み | R/W | 0h | 予約済み |
| 6 | 予約済み | R/W | 0h | 予約済み |
| 5 | 予約済み | R/W | 0h | 予約済み |
| 4 | 予約済み | R/W | 0h | 予約済み |
| 3 | 予約済み | R/W | 0h | 予約済み |
| 2 | 予約済み | R/W | 0h | 予約済み |
| 1 | 予約済み | R/W | 0h | 予約済み |
| 0 | 予約済み | R/W | 0h | 予約済み |

Copyright © 2025 Texas Instruments Incorporated

### 8.2.22 OUT1_HS_MODE_DC レジスタ (オフセット = 27h) [リセット = 0000h]

OUT1_HS_MODE_DC を表 8-36 に示します。

概略表に戻ります。

デューティ サイクルの 10 ビットを構成します

**表 8-36. OUT1_HS_MODE_DC レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | 予約済み | R/W | 0h | 予約済み |
| 12 | 予約済み | R/W | 0h | 予約済み |
| 11 | 予約済み | R/W | 0h | 予約済み |
| 10 | 予約済み | R/W | 0h | 予約済み |
| 9-0 | OUT1_DC | R/W | 0h | OUT1_MODE=1 の場合、OUT1 専用 PWM ジェネレータのデューティサイクルを 10 ビット分解能で制御し、最大値は 1022 になります。 |


Copyright © 2025 Texas Instruments Incorporated

### 8.2.23 OUT2_HS_MODE_DC レジスタ (オフセット = 28h) [リセット = 0000h]

OUT2_HS_MODE_DC を表 8-37 に示します。

概略表に戻ります。

デューティ サイクルの 10 ビットを構成します

**表 8-37. OUT2_HS_MODE_DC レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | 予約済み | R/W | 0h | 予約済み |
| 12 | 予約済み | R/W | 0h | 予約済み |
| 11 | 予約済み | R/W | 0h | 予約済み |
| 10 | 予約済み | R/W | 0h | 予約済み |
| 9-0 | OUT2_DC | R/W | 0h | OUT2_MODE=1 の場合、OUT2 専用 PWM ジェネレータのデューティサイクルを 10 ビット分解能で制御し、最大値は 1022 になります。 |

## 8.3 DRV8000-Q1_CTRL レジスタ

DRV8000-Q1_CTRL レジスタのメモリマップされたレジスタを、表 8-38 に示します。表 8-38 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

**表 8-38. DRV8000-Q1_CTRL レジスタ**

| オフセット | 略称 | レジスタ名 | セクション |
|---|---|---|---|
| 29h | IC_CTRL | IC 制御レジスタ。 | セクション 8.3.1 |
| 2Ah | HB_CTRL | ゲートドライバとハーフ ブリッジ制御レジスタ。 | セクション 8.3.2 |
| 2Bh | HS_EC_HEAT_CTRL | ハイサイド ドライバ、EC、ヒータ ドライバの制御レジスタ。 | セクション 8.3.3 |
| 2Ch | OUT7_PWM_DC | OUT7 PWM デューティ サイクル制御レジスタ。 | セクション 8.3.4 |
| 2Dh | OUT8_PWM_DC | OUT8 PWM デューティ サイクル制御レジスタ。 | セクション 8.3.5 |
| 2Eh | OUT9_PWM_DC | OUT9 PWM デューティ サイクル制御レジスタ。 | セクション 8.3.6 |
| 2Fh | OUT10_PWM_DC | OUT10 PWM デューティ サイクル制御レジスタ。 | セクション 8.3.7 |
| 30h | OUT11_PWM_DC | OUT11 PWM デューティ サイクル制御レジスタ。 | セクション 8.3.8 |
| 31h | OUT12_PWM_DC | OUT12 PWM デューティ サイクル制御レジスタ。 | セクション 8.3.9 |

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-39 に、このセクションでアクセス タイプに使用しているコードを示します。

**表 8-39. DRV8000-Q1_CTRL のアクセス タイプ コード**

| アクセス タイプ | コード | 説明 |
|---|---|---|
| 読み取りタイプ | | |
| R | R | 読み出し |
| 書き込みタイプ | | |
| W | W | 書き込み |
| リセットまたはデフォルト値 | | |
| *-n* | | リセット後の値またはデフォルト値 |


Copyright © 2025 Texas Instruments Incorporated

### 8.3.1 IC_CTRL レジスタ (オフセット = 29h) [リセット = 006Ch]

表 8-40 に、IC_CTRL の詳細を示します。

概略表に戻ります。

構成レジスタまたは制御レジスタをロックまたはロック解除し、エラーをクリアするための制御レジスタ。

**表 8-40. IC_CTRL レジスタ フィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | IPROPI_MODE | R/W | 0h | IPROPI/PWM2 ピンのモードを入力モードと出力モードの間で選択します。<br>0b = 出力(IPROPI モード)<br>1b = 入力(PWM モード) |
| 12-8 | IPROPI_SEL | R/W | 0h | 電流、電圧、温度センス出力間の IPROPI MUX 出力を制御します。<br>00000b = 出力なし<br>00001b = OUT1 電流センス出力<br>00010b = OUT2 電流センス出力<br>00011b = OUT3 電流センス出力<br>00100b = OUT4 電流センス出力<br>00101b = OUT5 電流センス出力<br>00110b = OUT6 電流センス出力<br>00111b = OUT7 電流センス出力<br>01000b = OUT8 電流センス出力<br>01001b = OUT9 電流センス出力<br>01010b = OUT10 電流センス出力<br>01011b = OUT11 電流センス出力<br>01100b = OUT12 電流センス出力<br>01101b = 予約済み。<br>01110b = 予約済み。<br>01111b = 予約済み。<br>10000b = VPVDD センス公称範囲 (5V ～ 22V)<br>10001b = サーマル クラスタ 1 出力<br>10010b = サーマル クラスタ 2 出力<br>10011b = サーマル クラスタ 3 出力<br>10100b = サーマル クラスタ 4 出力<br>10101b = VPVDD センス高範囲 (20V ～ 32V) |
| 7-5 | CTRL_LOCK | R/W | 3h | 制御レジスタのロックとロック解除。一覧にないビット設定は無効です。<br>011b = すべての制御レジスタをロック解除します。<br>110b = IC_CTRL レジスタ以外の追加の書き込みを無視することで、制御レジスタをロックします。 |
| 4-2 | CNFG_LOCK | R/W | 3h | 構成レジスタのロックおよびロック解除。一覧にないビット設定は無効です。<br>011b = すべての構成レジスタをロック解除します。<br>110b = 追加の書き込みを無視することで、構成レジスタをロックします。 |
| 1 | WD_RST | R/W | 0h | ウォッチドッグの再起動。<br>電源投入後のデフォルトは 0b です。<br>このビットを反転して、ウォッチドッグ タイマを再開します。<br>書き込むと、このビットは新しい反転値を反映します。 |
| 0 | CLR_FLT | R/W | 0h | ラッチされた障害状態情報をクリア。<br>0b = デフォルト状態。<br>1b = 障害がクリアされ、完了後 0b にリセットされます。また、SPI 故障およびウォッチドッグ故障ステータスもクリアされます。 |

### 8.3.2 HB_CTRL レジスタ (オフセット = 2Ah) [リセット = 0000h]

HB_CTRL を表 8-41 に示します。

概略表に戻ります。

ハーフブリッジ出力制御レジスタ。

**表 8-41. HB_CTRL レジスタ フィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | 予約済み | R/W | 0h | 予約済み |
| 12 | 予約済み | R/W | 0h | 予約済み |
| 11-10 | OUT6_CTRL | R/W | 0h | ハーフブリッジ出力 6 制御機能を内蔵。<br>00b = オフ<br>01b = HS オン<br>10b = LS オン<br>11b = RSVD |
| 9-8 | OUT5_CTRL | R/W | 0h | ハーフブリッジ出力 5 制御機能を内蔵。<br>00b = オフ<br>01b = HS オン<br>10b = LS オン<br>11b = RSVD |
| 7-6 | OUT4_CTRL | R/W | 0h | ハーフブリッジ出力 4 制御機能を内蔵。<br>00b = オフ<br>01b = HS オン<br>10b = LS オン<br>11b = RSVD |
| 5-4 | OUT3_CTRL | R/W | 0h | ハーフブリッジ出力 3 制御機能を内蔵。<br>00b = オフ<br>01b = HS オン<br>10b = LS オン<br>11b = RSVD |
| 3-2 | OUT2_CTRL | R/W | 0h | ハーフブリッジ出力 2 制御機能を内蔵。<br>00b = オフ<br>01b = HS オン<br>10b = LS オン<br>11b = RSVD |
| 1-0 | OUT1_CTRL | R/W | 0h | ハーフブリッジ出力 1 制御機能を内蔵。<br>00b = オフ<br>01b = HS オン<br>10b = LS オン<br>11b = RSVD |


Copyright © 2025 Texas Instruments Incorporated

### 8.3.3 HS_EC_HEAT_CTRL レジスタ (オフセット = 2Bh) [リセット = 0000h]

HS_EC_HEAT_CTRL を表 8-42 に示します。

概略表に戻ります。

ハイサイド ドライバ、EC、ヒータ ドライバの出力制御レジスタ。

**表 8-42. HS_EC_HEAT_CTRL レジスタ フィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | ECFB_LS_EN | R/W | 0h | ECFB 上の LS MOSFET で EC 放電を可能にしながら、EC 規制を有効にします。 |
| 14 | EC_ON | R/W | 0h | EC 出力をイネーブルにします。 |
| 13-8 | EC_V_TAR | R/W | 0h | ECFB の目標電圧を制御するための 6 ビットの分解能。0V ~ ECFB の最大値（1.2 または 1.5V）。 |
| 7 | HEAT_EN | R/W | 0h | ヒータ出力をイネーブルにします。 |
| 6 | 予約済み | R/W | 0h | 予約済み |
| 5 | OUT12_EN | R/W | 0h | ハイサイド ドライバ 12 をイネーブルにします。 |
| 4 | OUT11_EN | R/W | 0h | ハイサイド ドライバ 11 をイネーブルにします。 |
| 3 | OUT10_EN | R/W | 0h | ハイサイド ドライバ 10 をイネーブルにします。 |
| 2 | OUT9_EN | R/W | 0h | ハイサイド ドライバ 9 をイネーブルにします。 |
| 1 | OUT8_EN | R/W | 0h | ハイサイド ドライバ 8 をイネーブルにします。 |
| 0 | OUT7_EN | R/W | 0h | ハイサイド ドライバ 7 をイネーブルにします。 |

Copyright © 2025 Texas Instruments Incorporated

### 8.3.4 OUT7_PWM_DC レジスタ (オフセット = 2Ch) [リセット = 0000h]

OUT7_PWM_DC を表 8-43 に示します。

概略表に戻ります。

ハイサイド ドライバ 7 用の 10 ビット デューティ サイクル制御。

**表 8-43. OUT7_PWM_DC レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | 予約済み | R/W | 0h | 予約済み |
| 12 | 予約済み | R/W | 0h | 予約済み |
| 11 | 予約済み | R/W | 0h | 予約済み |
| 10 | 予約済み | R/W | 0h | 予約済み |
| 9-0 | OUT7_DC | R/W | 0h | ハイサイド ドライバ 7 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御でき、最大値は 1022 です。 |


Copyright © 2025 Texas Instruments Incorporated

### 8.3.5 OUT8_PWM_DC レジスタ (オフセット = 2Dh) [リセット = 0000h]

OUT8_PWM_DC を表 8-44 に示します。

概略表に戻ります。

ハイサイド ドライバ 8 用の 10 ビット デューティ サイクル制御。

**表 8-44. OUT8_PWM_DC レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | 予約済み | R/W | 0h | 予約済み |
| 12 | 予約済み | R/W | 0h | 予約済み |
| 11 | 予約済み | R/W | 0h | 予約済み |
| 10 | 予約済み | R/W | 0h | 予約済み |
| 9-0 | OUT8_DC | R/W | 0h | ハイサイド ドライバ 8 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御でき、最大値は 1022 です。 |

### 8.3.6 OUT9_PWM_DC レジスタ (オフセット = 2Eh) [リセット = 0000h]

OUT9_PWM_DC を表 8-45 に示します。

概略表に戻ります。

ハイサイド ドライバ 9 用の 10 ビット デューティ サイクル制御。

**表 8-45. OUT9_PWM_DC レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | 予約済み | R/W | 0h | 予約済み |
| 12 | 予約済み | R/W | 0h | 予約済み |
| 11 | 予約済み | R/W | 0h | 予約済み |
| 10 | 予約済み | R/W | 0h | 予約済み |
| 9-0 | OUT9_DC | R/W | 0h | ハイサイド ドライバ 9 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御でき、最大値は 1022 です。 |


Copyright © 2025 Texas Instruments Incorporated

### 8.3.7 OUT10_PWM_DC レジスタ (オフセット = 2Fh) [リセット = 0000h]

OUT10_PWM_DC を表 8-46 に示します。

概略表に戻ります。

ハイサイド ドライバ 10 用の 10 ビット デューティ サイクル制御。

**表 8-46. OUT10_PWM_DC レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | 予約済み | R/W | 0h | 予約済み |
| 12 | 予約済み | R/W | 0h | 予約済み |
| 11 | 予約済み | R/W | 0h | 予約済み |
| 10 | 予約済み | R/W | 0h | 予約済み |
| 9-0 | OUT10_DC | R/W | 0h | ハイサイド ドライバ 10 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御でき、最大値は 1022 です。 |

### 8.3.8 OUT11_PWM_DC レジスタ (オフセット = 30h) [リセット = 0000h]

OUT11_PWM_DC を表 8-47 に示します。

概略表に戻ります。

ハイサイド ドライバ 11 用の 10 ビット デューティ サイクル制御。

**表 8-47. OUT11_PWM_DC レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | 予約済み | R/W | 0h | 予約済み |
| 12 | 予約済み | R/W | 0h | 予約済み |
| 11 | 予約済み | R/W | 0h | 予約済み |
| 10 | 予約済み | R/W | 0h | 予約済み |
| 9-0 | OUT11_DC | R/W | 0h | ハイサイド ドライバ 11 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御でき、最大値は 1022 です。 |


Copyright © 2025 Texas Instruments Incorporated

### 8.3.9 OUT12_PWM_DC レジスタ (オフセット = 31h) [リセット = 0000h]

OUT12_PWM_DC を表 8-48 に示します。

概略表に戻ります。

ハイサイド ドライバ 12 用の 10 ビット デューティ サイクル制御。

**表 8-48. OUT12_PWM_DC レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R/W | 0h | 予約済み |
| 14 | 予約済み | R/W | 0h | 予約済み |
| 13 | 予約済み | R/W | 0h | 予約済み |
| 12 | 予約済み | R/W | 0h | 予約済み |
| 11 | 予約済み | R/W | 0h | 予約済み |
| 10 | 予約済み | R/W | 0h | 予約済み |
| 9-0 | OUT12_DC | R/W | 0h | ハイサイド ドライバ 12 用 PWM ジェネレータのデューティ サイクルを 10 ビット分解能で制御でき、最大値は 1022 です。 |

# 9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

## 9.1 アプリケーション情報

DRV800x-Q1 は、高度な設定が可能なマルチチャネル統合ハーフ ブリッジおよびハーフブリッジ MOSFET ゲート ドライバであり、さまざまな異なる出力負荷を駆動するために使用できます。以下の設計例では、さまざまなアプリケーションの使用事例に合わせてデバイスを使用し、構成する方法を示しています。

## 9.2 代表的なアプリケーション

DRV8001-Q1 の代表的なアプリケーションは、一般的な自動車のドアにおける複数の負荷の制御です。これには、複数の統合ハーフブリッジおよびハイサイド ドライバ、含まれます。加熱素子向けのエレクトロクロミック ミラー ドライバと外部ハイサイド MOSFET ドライバ。高レベルの回路図の例を、以下の 図 9-1 に示します。


Copyright © 2025 Texas Instruments Incorporated

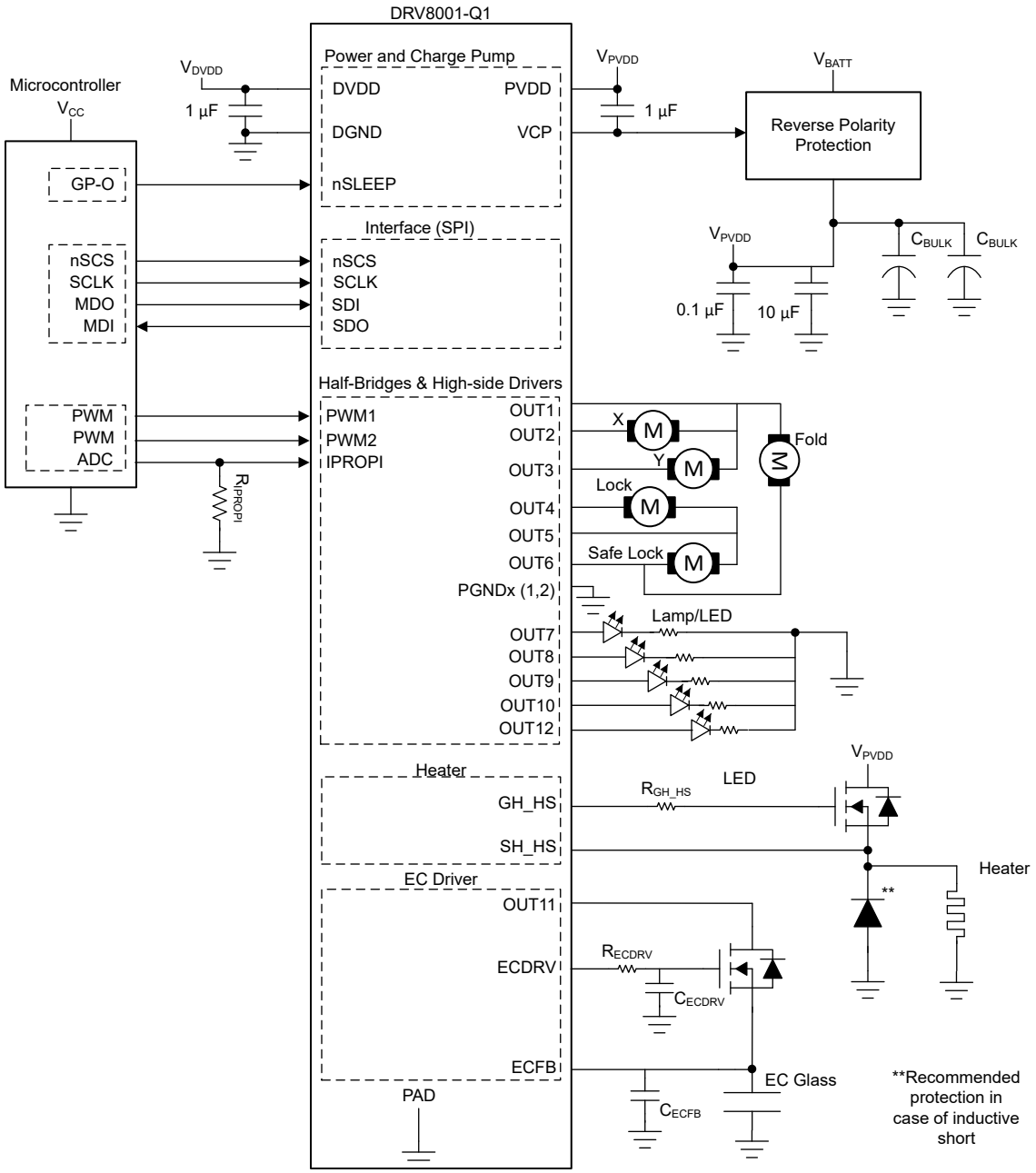



**図 9-1. DRV8001-Q1 の代表的なアプリケーション**

### *9.2.1 設計要件*

表 9-1 に、システム設計の入力パラメータ例のセットを示します。

**表 9-1. 設計パラメータ**

| パラメータ | 値 |
|---|---|
| PVDD 電源電圧範囲 | 9～18V |
| PVDD 公称電源電圧 | 13.5V |
| DVDD ロジック電源電圧範囲 | 3.3V |
| IPROPI 抵抗 | 2.35kΩ |

**表 9-1. 設計パラメータ (続き)**

| パラメータ | 値 |
|---|---|
| PWM 周波数 | 20kHz |

## 9.3 初期設定

## 9.4 電源に関する推奨事項

### *9.4.1 バルク容量の決定*

適切なローカル バルク容量の確保は、モーター駆動システムの設計において重要な要素です。一般的に、バルク容量が大きいことは有益ですが、コストと物理的なサイズが大きくなるというデメリットもあります。ローカル容量値は、次のようなさまざまな要因で決まります。

- モーター システムが必要とする最大電流
- 電源の種類、静電容量、電流供給能力
- 電源とモーター システムの間の寄生インダクタンスの大きさ
- 許容される電源電圧リップル
- モータの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)
- モータの始動および制動方法

電源とモーター駆動システム間のインダクタンスは、電源からの電流レートを制限する可能性があります。ローカル バルク容量が小さすぎると、モーターに大電流を供給しようとする場合、または負荷ダンプが発生した場合、システムの電圧が変動します。十分なバルク容量を備えることで、モータの電圧は安定し、大電流を素早く供給できます。

データシートには推奨最小値が記載されていますが、バルク コンデンサの容量が適切かどうかを判断するには、システム レベルのテストが必要です。

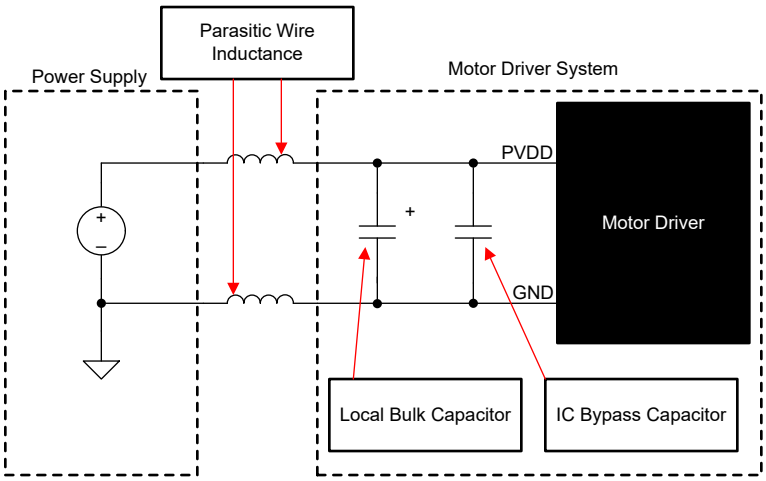



**図 9-2. モーター ドライバ電源の寄生インダクタンスの例**

## 9.5 レイアウト

### *9.5.1 レイアウトのガイドライン*

PVDD ピンを GND ピンに低 ESR セラミック バイパス コンデンサ $C_{PVDD1}$ を使用してバイパスします。このコンデンサは、幅の広いパターン、または GND ピンに接続されたグランド プレーンを使用して、PVDD ピンのできるだけ近くに配置してください。さらに、PVDD 用のバルク コンデンサ $C_{PVDD2}$ を使用して PVDD ピンをバイパスします。この部品は電解質である可能性があります。容量は 10µF 以上とします。外付けパワー MOSFET 用のバルク容量と容量を共有することは許容されます。


Copyright © 2025 Texas Instruments Incorporated

DVDD ピンは $C_{DVDD}$ で DGND ピンにバイパスします。このコンデンサはピンにできる限り近づけて配置し、コンデンサから DGND ピンまでのパスを最短にします。ノイズを最小限に抑えるために、これらの電源にデバイスの近傍にローカル バイパス コンデンサがすでに存在している場合は、DVDD 用の追加成分は必要ありません。

EC ドライバの場合、$C_{ECDRV}$ および $C_{ECFB}$ バイパス コンデンサの両方を GND にできるだけ近づけて配置します。

### *9.5.2 レイアウト例*

**図 9-3. DRV8001-Q1 の部品の配置とレイアウト**

上記のレイアウト画面のスクリーンショットは、デバイスに関連するデバイス コンポーネントとレイアウトを示しています。このレイアウトのスクリーンショットはデバイスの評価基板から取得したものです。すべての電源デカップリング コンデンサ、特に小容量のコンデンサとチャージポンプ コンデンサは、ピンにできるだけ近づけて配置され、デバイスの同じ層に配置されていることに注意してください。前のセクションで概説したすべての一般的なガイドラインは、可能な限り評価モジュールのレイアウト設計に反映されています。

# 10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能評価、コード生成、およびシステム開発に使用するツールとソフトウェアを以下に示します。

## 10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

## 10.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

## 10.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

## 10.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 10.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

# 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。


Copyright © 2025 Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| DRV8001QWRHARQ1 | Active | Production | VQFN (RHA) \| 40 | 2500 \| LARGE T&R | - | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | DRV8001 |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

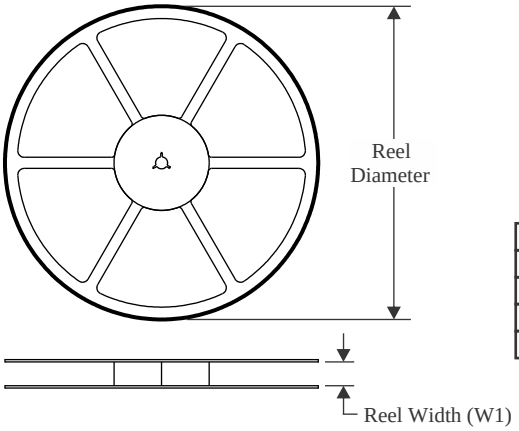
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

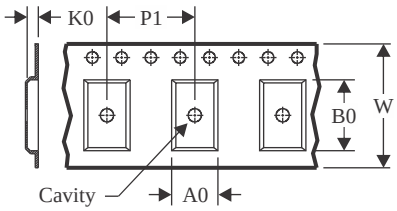
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## TAPE AND REEL INFORMATION

**REEL DIMENSIONS**

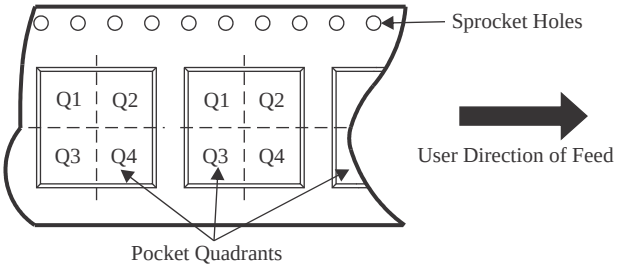



**TAPE DIMENSIONS**




| | |
|---|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

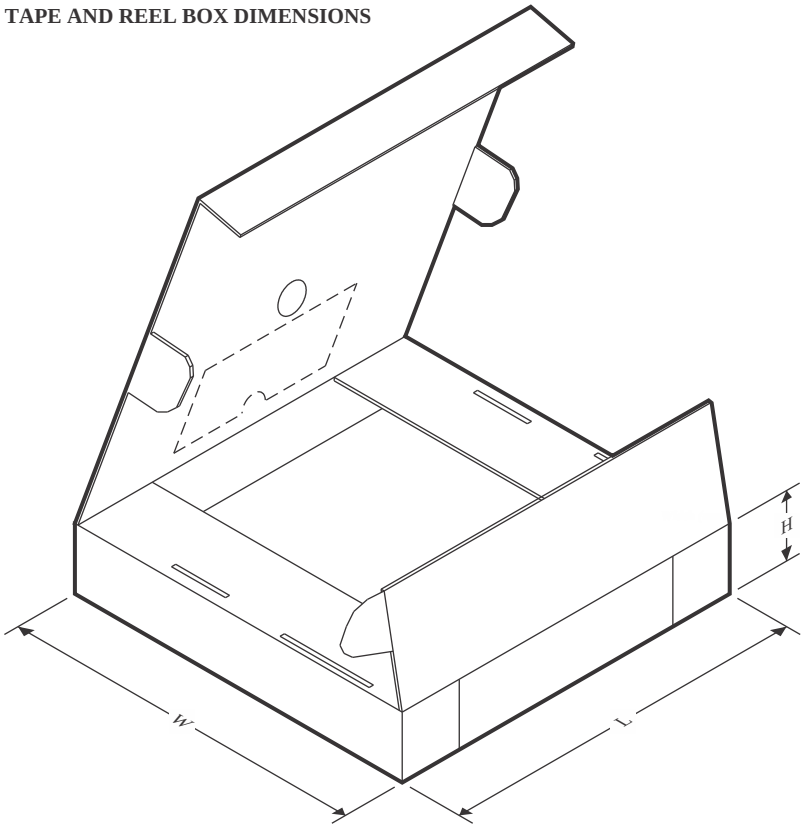
**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| DRV8001QWRHARQ1 | VQFN | RHA | 40 | 2500 | 330.0 | 16.4 | 6.3 | 6.3 | 1.1 | 12.0 | 16.0 | Q2 |

TAPE AND REEL BOX DIMENSIONS




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|---|---|---|---|---|---|---|---|
| DRV8001QWRHARQ1 | VQFN | RHA | 40 | 2500 | 360.0 | 360.0 | 36.0 |

# GENERIC PACKAGE VIEW

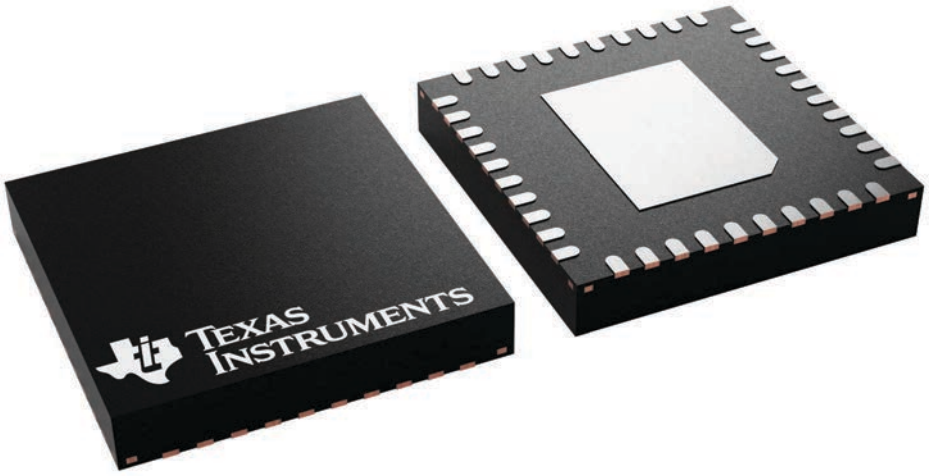
## RHA 40

## VQFN - 1 mm max height

**6 x 6, 0.5 mm pitch**

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



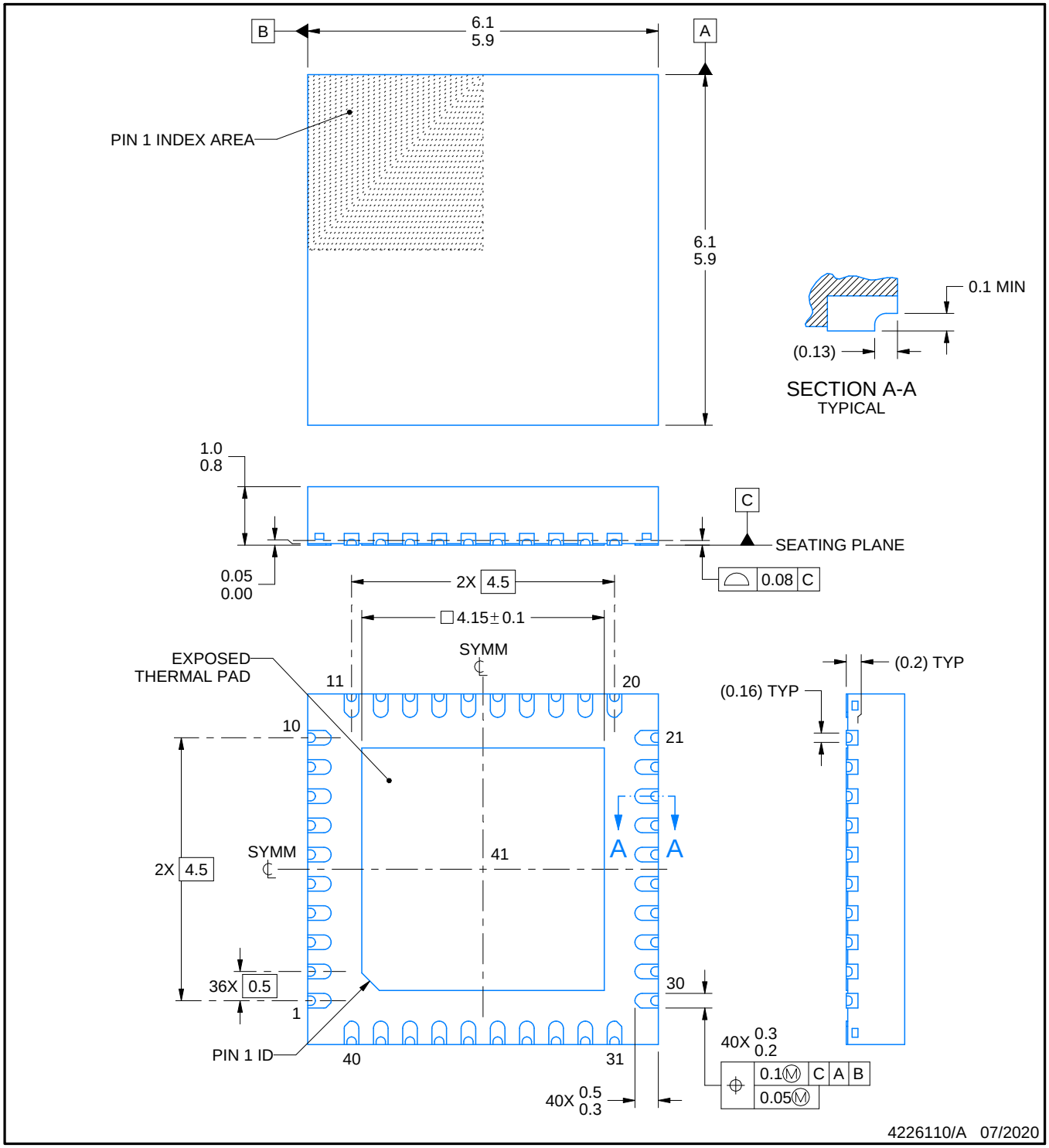

4225870/A

# PACKAGE OUTLINE

## RHA0040M

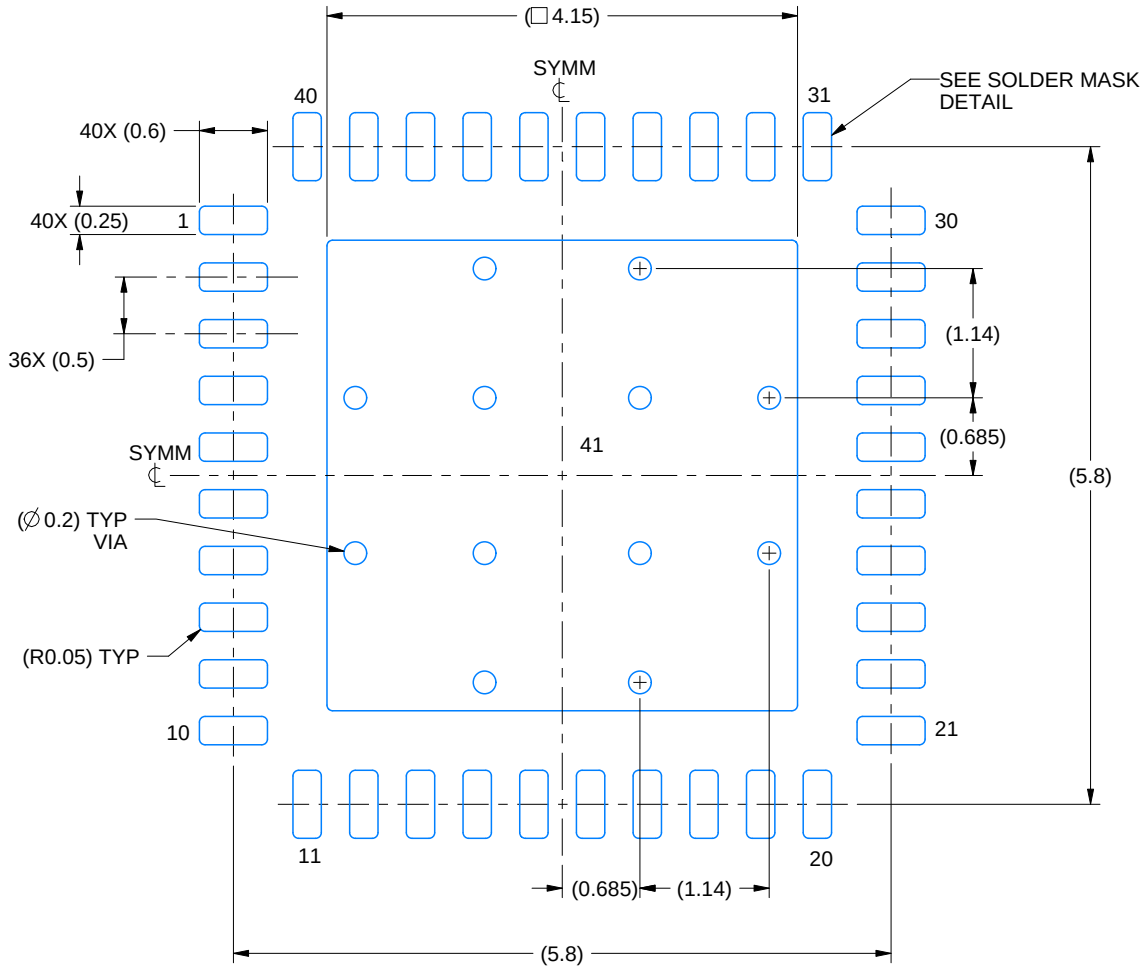
## VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

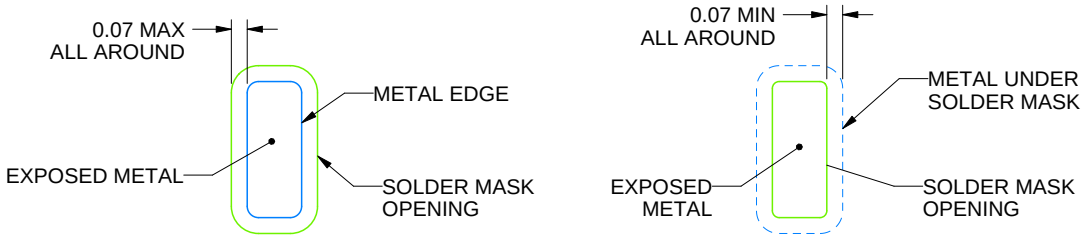



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X




NON SOLDER MASK DEFINED (PREFERRED)

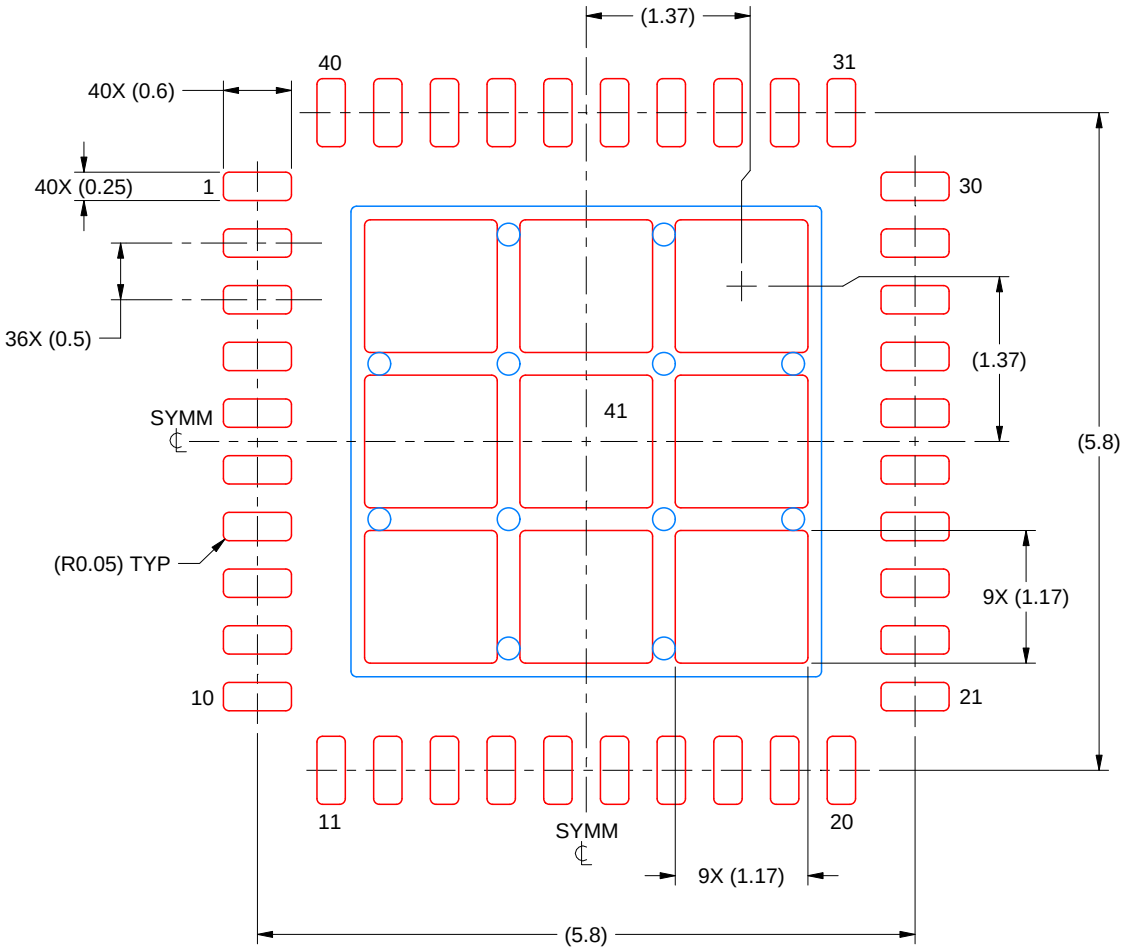
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4226110/A 07/2020

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.




SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 41
72% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4226110/A 07/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

# 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月