TEXAS INSTRUMENTS
DRV8106-Q1
JAJSIH0B – JULY 2020 – REVISED JUNE 2021

DRV8106-Q1 車載用ハーフブリッジ・スマート・ゲート・ドライバ、ワイド同相インライン電流センス・アンプ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:–40℃～+125℃、T_A
- ハーフブリッジ・スマート・ゲート・ドライバ
  - 動作範囲: 4.9V～37V (絶対最大定格 40V)
  - 100% PWM に対応するダブラー・チャージ・ポンプ
- ピン互換ゲート・ドライバのバリアント
  - DRV8705-Q1:H ブリッジ、ローサイド・アンプ付
  - DRV8706-Q1:H ブリッジ、インライン・アンプ付
- スマート・ゲート・ドライブ・アーキテクチャ
  - 調整可能なスルーレート制御
  - 0.5mA～62mA のピーク・ソース電流出力
  - 0.5mA～62mA のピーク・シンク電流出力
  - デッドタイム・ハンドシェイクを集積
- ワイド同相電流シャント・アンプ
  - インライン、ハイサイド、またはローサイドをサポート
  - 可変ゲイン設定 (10、20、40、80V/V)
  - 高集積帰還抵抗
  - 可変 PWM ブランキング方法
- 複数のインターフェイス・オプションを利用可能
  - SPI:詳細な構成と診断
  - H/W:制御ピンの簡素化とマイコン (MCU) ピンの削減
- 拡散スペクトラム・クロック処理による EMI の低減
- コンパクトな VQFN パッケージ (ウェッタブル・フランク)
- 保護機能内蔵
  - 専用ドライバ・ディセーブル・ピン (DRVOFF)
  - 電源 / レギュレータ電圧監視
  - MOSFET V_{DS} 過電流監視
  - MOSFET V_{GS} ゲート・フォルト監視
  - 反転極性 MOSFET 用チャージ・ポンプ
  - オフライン・オープン負荷と短絡診断
  - デバイス熱警告とシャットダウン
  - フォルト状況割り込みピン (nFAULT)

2 アプリケーション

- 車載用ブラシ付き DC モーター
- ソレノイドとリレー
- BDC 燃料、水、オイル・ポンプ
- ウインドシールド・ワイパ
- コードレス掃除機

3 説明

DRV8106-Q1 は高集積ハーフブリッジ・ゲート・ドライバであり、ハイサイドとローサイドの各 N チャネル・パワー MOSFET を駆動することが可能です。ハイサイドで内蔵の電圧増倍チャージ・ポンプを使用し、ローサイドでリニア・レギュレータを使用して、適切なゲート・ドライブ電圧を生成します。

このデバイスはスマート・ゲート・ドライブ・アーキテクチャを使用し、システム・コストの削減と信頼性の向上に貢献します。ゲート・ドライバはデッドタイムを最適化して貫通電流の条件成立を回避し、調整可能なゲート・ドライブ電流を通じて電磁干渉 (EMI) を低減するための制御を実施するほか、V_{DS} モニタと V_{GS} モニタを使用して、ドレイン - ソース間、およびドレイン - ゲート間の短絡条件からの保護を実現します。

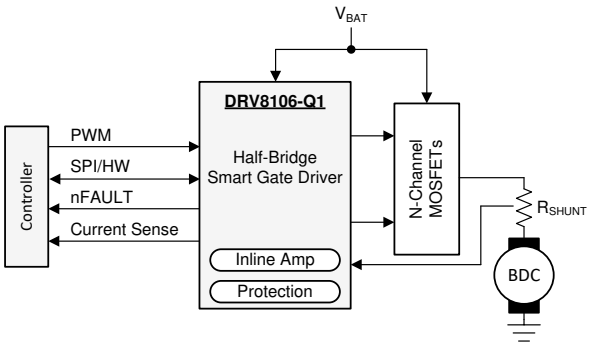
広い同相シャント・アンプにより、インライン電流検出機能が実現し、ウィンドウの再循環中であっても、モーター電流を連続的に測定できます。インライン検出が必要ない場合は、ローサイドまたはハイサイドのセンス構成でアンプを使用できます。

DRV8106-Q1 は、一連の保護機能を搭載しており、信頼性の高いシステム動作の確実な実現に貢献します。保護機能には、電源とチャージ・ポンプの低電圧監視と過電圧監視、外部 MOSFET の V_{DS} 過電流監視と V_{GS} ゲート障害監視、オフライン・オープン負荷および短絡の診断、内部的な温度警告と過熱保護機能があります。

製品情報(1)

部品番号	パッケージ	本体サイズ (公称)
DRV8106-Q1	VQFN (32)	5.00mm × 5.00mm

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。



概略回路図

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長 1
2 アプリケーション 1
3 説明 1
4 改訂履歴 2
5 ピン構成 4
DRV8106-Q1_RHB パッケージ (VQFN) ピン機能 4
6 仕様 6
6.1 絶対最大定格 6
6.2 ESD 定格 7
6.3 推奨動作条件 7
6.4 熱に関する情報 7
6.5 電気的特性 7
6.6 タイミング要件 14
6.7 タイミング図 14
6.8 代表的特性 15
7 詳細説明 17
7.1 概要 17
7.2 機能ブロック図 18
7.3 機能説明 20
7.4 デバイスの機能モード 35
7.5 プログラミング 35
7.6 レジスタ・マップ 40
8 アプリケーションと実装 52
8.1 アプリケーション情報 52
8.2 代表的なアプリケーション 52
9 電源に関する推奨事項 58
9.1 バルク容量 58
10 レイアウト 59
10.1 レイアウトのガイドライン 59
10.2 レイアウト例 60
11 デバイスおよびドキュメントのサポート 61
11.1 ドキュメントのサポート 61
11.2 サポート・リソース 61
11.3 商標 61
11.4 Electrostatic Discharge Caution 61
11.5 Glossary 61
12 メカニカル、パッケージ、および注文情報 62

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (April 2021) to Revision B (June 2021) — **Page**

- V_{OFF} 仕様が ±1.5mV に改善。 6
- CMRR 仕様の最小値仕様を 70 (125C) および 69dB (150C) に改善。 6
- EN_DRV レジスタ・ビットの説明の改善 42

Changes from Revision * (July 2020) to Revision A (April 2021) — **Page**

- デバイスのステータスを「量産データ」に変更 1

Copyright © 2022 Texas Instruments Incorporated

デバイス比較表

デバイス	ハーフブリッジ	アンプ	インターフェイス
DRV8106S-Q1	1	1	シリアル (SPI)
DRV8106H-Q1	1		ハードウェア (H/W)

表 5-1. SPI と H/W 機能との比較

機能	SPI (S) インターフェイス	H/W (H) インターフェイス
ゲート・ドライブ出力電流 (I_{DRIVE})	16 設定、HS と LS に非依存	6 設定、HS と LS にリンク済み
デッドタイム	ハンドシェイク + 7 固定設定	ハンドシェイクのみ
V_{DS} コンパレータ・スレッショルド	16 設定、HS と LS に非依存	6 設定、HS と LS にリンク済み
V_{DS} および V_{GS} ブランキング時間 (t_{DRIVE})	4 設定	固定、4µs
V_{DS} グリッチ除去時間	4 設定	固定、4µs
V_{GS} グリッチ除去時間	固定、2µs	固定、2µs
V_{DS} 障害応答	4 モード	固定、サイクルごと
V_{GS} 障害応答	4 モード	固定、サイクルごと
アンプ・ゲイン	4 設定	4 設定
アンプ・ブランキング時間	8 設定	N/A
アンプ・サンプル / ホールド	使用可能	N/A
アンプ・リファレンス電圧	2 設定	固定、V_{AREF}/2
V_{PVDD} 低電圧障害応答	2 モード	自動リトライ
V_{PVDD} 過電圧障害応答	4 モード	N/A
V_{VCP} 低電圧障害応答	2 モード	自動リトライ
V_{VCP} 低電圧スレッショルド	2 設定	固定、2.5V
オフライン・オープン負荷診断	使用可能	N/A
オフライン短絡診断	使用可能	N/A

Copyright © 2022 Texas Instruments Incorporated

5 ピン構成

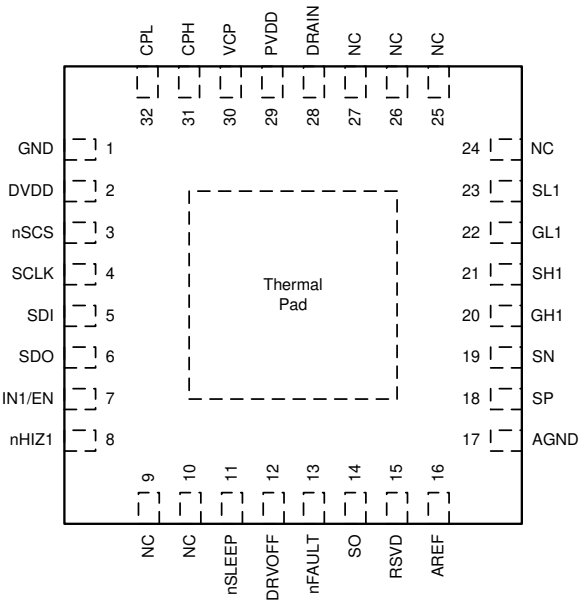


図 5-1. DRV8106S-Q1 RHB パッケージ 32 ピン VQFN 上面図

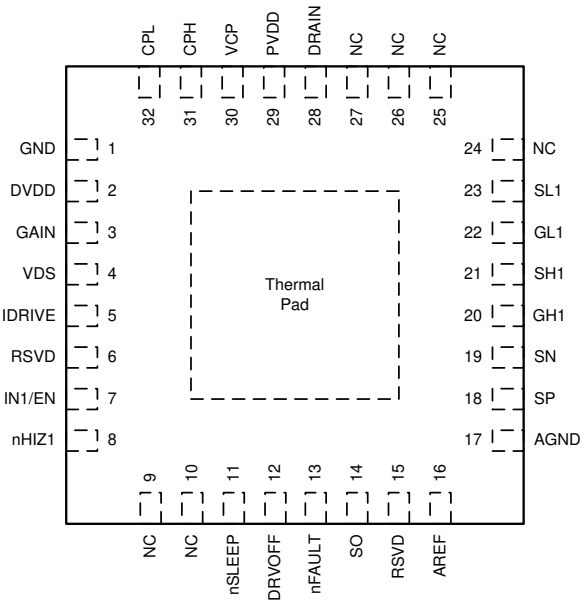


図 5-2. DRV8106H-Q1 RHB パッケージ 32 ピン VQFN 上面図

DRV8106-Q1_RHB パッケージ (VQFN) ピン機能

ピン			I/O	種類	説明
番号	名称 DRV8106S-Q1	名称 DRV8106H-Q1			
1	GND		I/O	グランド	デバイスのグランド。システム・グランドに接続します。
2	DVDD		I	電源	デバイスのロジック / デジタル出力電源入力。1.0µF、6.3V セラミック・コンデンサを DVDD ピンと GND ピンの間に接続します。
3	nSCS	—	I	デジタル	シリアル・チップ選択。このピンのロジック LOW により、シリアル・インターフェイス通信が可能になります。内部プルアップ抵抗。
	—	GAIN	I	アナログ	アンプ・ゲイン設定。外部抵抗により設定された 4 レベル入力ピン。
4	SCLK	—	I	デジタル	シリアル・クロック入力。シリアル・データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト・アウトおよびキャプチャされます。内部プルダウン抵抗。
	—	VDS	I	アナログ	VDS 監視スレッショルド設定。外部抵抗により設定された 6 レベル入力ピン。
5	SDI	—	I	デジタル	シリアル・データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます。内部プルダウン抵抗。
	—	IDRIVE	I	アナログ	ゲート・ドライバ出力電流設定。外部抵抗により設定された 6 レベル入力ピン。
6	SDO	—	O	デジタル	シリアル・データ出力。データは、SCLK ピンの立ち上がりエッジでシフト・アウトされます。プッシュプル出力。
	—	RSVD	—	—	予約済み。フローティング状態、または GND に接続された状態のままで可。
7	IN1/EN		I	デジタル	ハーフブリッジ制御入力。詳細については、PWM モードを参照してください。内部プルダウン。
8	nHIZ1		I	デジタル	ハーフブリッジ制御入力。詳細については、PWM モードを参照してください。内部プルダウン。
9	NC		—	—	接続なし。
10	NC		—	—	接続なし。

Copyright © 2022 Texas Instruments Incorporated

ピン			I/O	種類	説明
番号	名称	名称			
	DRV8106S-Q1	DRV8106H-Q1			
11	nSLEEP		I	デジタル	デバイス・イネーブル・ピン。デバイスをシャットダウンし、スリープ・モードに移行するロジック Low。内部プルダウン抵抗。
12	DRVOFF		I	デジタル	ドライバ・シャットダウン・ピン。ハイサイドとローサイド両方のゲート・ドライバ出力をプルダウンするロジック High。内部プルダウン抵抗。
13	nFAULT		O	デジタル	フォルト通知出力。このピンは、障害状態を示すため、ロジック Low にプルダウンされます。オープン・ドレイン出力。外部プルアップ抵抗が必要です。
14	SO		O	アナログ	シャント・アンプ出力。
15	RSVD		—	—	予約済み。グランドに接続するか、切断したままにします。
16	AREF		I	電源	電流センス・アンプ用外部基準電圧と電源。0.1µF、6.3V セラミック・コンデンサを AREF ピンと AGND ピンの間に接続します。
17	AGND		I/O	電源	デバイスのグランド。システム・グランドに接続します。
18	SP		I	アナログ	シャント・アンプ正入力。電流シャント抵抗のハイサイドに接続します。
19	SN		I	アナログ	シャント・アンプ負入力。電流シャント抵抗のローサイドに接続します。
20	GH1		O	アナログ	ハイサイド・ゲート・ドライバ出力。ハイサイド・パワー MOSFET のゲートに接続します。
21	SH1		I	アナログ	ハイサイド・ソース・センス入力。ハイサイド・パワー MOSFET ソースに接続します。
22	GL1		O	アナログ	ローサイド・ゲート・ドライバ出力。ローサイド・パワー MOSFET のゲートに接続します。
23	SL1		I	アナログ	ローサイド MOSFET ゲート・ドライブ・センス機能とパワー・リターン。ローサイド MOSFET グランド・リターンへの低インピーダンス・パスにより、システム・グランドに接続します。
24	NC		—	—	接続なし。
25	NC		—	—	接続なし。
26	NC		—	—	接続なし。
27	NC		—	—	接続なし。
28	DRAIN		I	アナログ	ブリッジ MOSFET ドレイン電圧センス・ピン。ハイサイド MOSFET ドレインの共通ポイントに接続します。
29	PVDD		I	電源	デバイス・ドライバ電源入力。ブリッジ電源に接続します。PVDD ピンと GND ピンの間に 0.1µF の PVDD 定格セラミック・コンデンサと 10µF 以上のローカル・バルク容量を接続します。
30	VCP		I/O	電源	チャージ・ポンプの出力。1µF、16V セラミック・コンデンサを VCP ピンと PVDD ピンの間に接続します。
31	CPH		I/O	電源	チャージ・ポンプのスイッチング・ノード。100nF、PVDD 定格セラミック・コンデンサを CPH ピンと CPL ピンの間に接続します。
32	CPL		I/O	電源	チャージ・ポンプのスイッチング・ノード。100nF、PVDD 定格セラミック・コンデンサを CPH ピンと CPL ピンの間に接続します。

Copyright © 2022 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
ドライバ電源ピン電圧	PVDD	–0.3	40	V
MOSFET ドレイン・センス・ピン電圧	DRAIN	–0.3	40	V
グランド・ピン間の電圧差	AGND、GND	–0.3	0.3	V
チャージ・ポンプ・ピン電圧	VCP	–0.3	55	V
チャージ・ポンプ・ハイサイド・ピン電圧	CPH	V_{PVDD} – 0.3	V_{VCP} + 0.3	V
チャージ・ポンプ・ローサイド・ピン電圧	CPL	–0.3	V_{PVDD} + 0.3	V
デジタル電源ピン電圧	DVDD	–0.3	5.75	V
ロジック・ピン電圧	DRVOFF、GAIN、IDRIVE、IN1/EN、nHIZx、nSLEEP、nFAULT、nSCS、SCLK、SDI、VDS	–0.3	5.75	V
出力ロジック・ピン電圧	SDO	–0.3	V_{DVDD} + 0.3	V
ハイサイド・ゲート・ドライブ・ピン電圧	GHx(2)	–2	V_{VCP} + 0.3	V
過渡 1µs ハイサイド・ゲート・ドライブ・ピン電圧		–5	V_{VCP} + 0.3	
SHx を基準とするハイサイド・ゲート・ドライブ・ピン電圧		–0.3	13.5	
ハイサイド・センス・ピン電圧	SHx(2)	–2	40	V
過渡 1µs ハイサイド・センス・ピン電圧		–5	40	
ローサイド・ゲート・ドライブ・ピン電圧	GLx(2)	–2	13.5	V
過渡 1µs ローサイド・ゲート・ドライブ・ピン電圧		–3	13.5	
SLx を基準とするローサイド・ゲート・ドライブ・ピン電圧		–0.3	13.5	
ローサイド・センス・ピン電圧	SLx(2)	–2	2	V
過渡 1µs のローサイド・センス・ピン電圧		–3	3	
ピーク・ゲート・ドライブ電流	GHx、GLx	内部的に制限	内部的に制限	mA
アンプ用電源と基準ピン電圧	AREF	–0.3	5.75	V
アンプ入力ピン電圧	SN、SP	–2	V_{VCP} + 0.3	V
過渡 1µs アンプ入力ピン電圧		–5	V_{VCP} + 0.3	
アンプ入力差動電圧	SN、SP	-5.75	5.75	V
アンプ出力ピン電圧	SO	–0.3	V_{AREF} + 0.3	V
周囲温度、T_A		–40	125	℃
接合部温度、T_J		–40	150	℃
保存温度、T_{stg}		–65	150	℃

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(2) GHx、SHx、GLx、または SLx を基準とする PVDD と DRAIN は、40V を超えないようにしてください。PVDD または DRAIN が 35V を上回る場合は、GHx、SHx、GLx、SLx 上の負電圧が、この定格を超えないよう制限しなければなりません。PVDD と DRAIN が 35V 未満の場合、GHx、SHx、GLx、SLx の最大負電圧定格が利用可能です。

Copyright © 2022 Texas Instruments Incorporated

6.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、AEC Q100-002[1] HBM ESD 分類レベル 2 準拠		±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	角のピン	±750	
			その他のピン	±500	

(1) AEC Q100-002 では、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施することを示しています。

6.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

			最小	公称	最大	単位
V_{PVDD}	ドライバ電源電圧	PVDD	4.9		37	V
I_{HS} [1]	ハイサイド平均ゲート・ドライブ電流	GHx	0		15	mA
I_{LS} [1]	ローサイド平均ゲート・ドライブ電流	GLx	0		15	mA
V_{DVDD}	デジタル電源電圧	DVDD	3		5.5	V
V_{DIN}	デジタル入力電圧	DRVOFF、IN1/EN、nHIZx、nSLEEP、nSCS、SCLK、SDI	0		5.5	V
I_{DOUT}	デジタル出力電流	SDO	0		5	mA
V_{OD}	オープン・ドレイン・プルアップ電圧	nFAULT	0		5.5	V
I_{OD}	オープン・ドレイン出力電流	nFAULT	0		5	mA
V_{AREF}	アンプ基準電源電圧	AREF	3		5.5	V
I_{SO}	シャント・アンプ出力電流	SO	0		5	mA
T_A	動作時周囲温度		–40		125	℃
T_J	動作時ジャンクション温度		–40		150	℃

(1) 消費電力および温度の制限に従う必要があります。

6.4 熱に関する情報

熱特性[1]		DRV8106-Q1 RHB (VQFN) 32 ピン	単位
$R_{\theta JA}$	ジャンクションから周囲までの熱抵抗	34.9	℃/W
$R_{\theta JC(top)}$	ジャンクションからケース (上部) までの熱抵抗	25.6	℃/W
$R_{\theta JB}$	ジャンクションから基板までの熱抵抗	15.0	℃/W
Ψ_{JT}	ジャンクションから上部までの熱特性パラメータ	0.5	℃/W
Ψ_{JB}	ジャンクションから基板までの熱特性パラメータ	15.0	℃/W
$R_{\theta JC(bot)}$	ジャンクションからケース (底部) までの熱抵抗	5.2	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

6.5 電気的特性

4.9V ≤ V_{PVDD} ≤ 37V、–40℃ ≤ T_J ≤ 150℃ (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25℃に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (DRAIN、DVDD、PVDD、VCP)						
I_{PVDDQ}	PVDD スリープ・モード電流	V_{PVDD}、V_{DRAIN} = 13.5V、nSLEEP = 0V –40 ≤ T_J ≤ 85℃		2.25	3	µA

4.9V ≤ V_{PVDD} ≤ 37V、–40℃ ≤ T_J ≤ 150℃ (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25℃に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{DRAINQ}	DRAIN スリープ・モード電流	V_{PVDD}、V_{DRAIN} = 13.5V、nSLEEP = 0V –40 ≤ T_J ≤ 85℃		2	2.75	μA
I_{DVDDQ}	DVDD スリープ・モード電流	V_{PVDD}、V_{DRAIN} = 13.5V、nSLEEP = 0V –40 ≤ T_J ≤ 85℃		2	3.5	μA
I_{PVDD}	PVDD アクティブ・モード電流	V_{PVDD}、V_{DRAIN} = 13.5V、nSLEEP = 5V		2	3	mA
I_{DRAIN}	DRAIN アクティブ・モード電流	V_{PVDD}、V_{DRAIN} = 13.5V、nSLEEP = 5V、 V_{DS_LVL} ≤ 500mV		250	325	μA
I_{DVDD}	DVDD アクティブ・モード電流	V_{DVDD} = 5V、SDO = 0V		3.5	5.5	mA
f_{DVDD}	デジタル・オシレーター・スイッチング周波数	拡散スペクトラムの 1 次周波数		14.25		MHz
t_{WAKE}	ターンオン時間	nSLEEP = 5V でアクティブ・モード			1	ms
t_{SLEEP}	ターンオフ時間	nSLEEP = 0V でスリープ・モード			1	ms
V_{VCP}	PVDD を基準とするチャージ・ポンプ・レギュレータ電圧	V_{PVDD} ≥ 13V、I_{VCP} ≤ 15mA	9.5	10.5	11	V
		V_{PVDD} = 11V、I_{VCP} ≤ 15mA	8.4	10	11	
		V_{PVDD} = 9V、I_{VCP} ≤ 11mA	7	8	9	
		V_{PVDD} = 7V、I_{VCP} ≤ 7.5mA	5.5	6	7	
		V_{PVDD} = 5.5V、I_{VCP} ≤ 5mA	4.5	5	5.5	
f_{VCP}	チャージ・ポンプ・スイッチング周波数	拡散スペクトラムの 1 次周波数		400		kHz
ロジック・レベル入力 (DRVOFF、IN1/EN、nHIZx、nSLEEP、nSCS、SCLK、SDI)						
V_{IL}	入力ロジック Low 電圧	DRVOFF、IN1/EN、nHIZx、nSLEEP、 SCLK、SDI	0		V_{DVDD} x 0.3	V
V_{IH}	入力ロジック High 電圧	DRVOFF、IN1/EN、nHIZx、nSLEEP、 SCLK、SDI	V_{DVDD} x 0.7		5.5	V
V_{HYS}	入力ヒステリシス			V_{DVDD} x 0.1		V
I_{IL}	入力ロジック Low 電流	V_{DIN} = 0V、DRVOFF、IN1/EN、nHIZx、 nSLEEP、SCLK、SDI	–5		5	μA
		V_{DIN} = 0V、nSCS		50	100	
I_{IH}	入力ロジック High 電流	V_{DIN} = 5V、DRVOFF、IN1/EN、nHIZx、 nSLEEP、SCLK、SDI		50	100	μA
		V_{DIN} = 5V、V_{DVDD} = 5V、nSCS	–5		5	
R_{PD}	入力プルダウン抵抗	GND、DRVOFF、IN1/EN、nHIZx、 nSLEEP、SCLK、SDI へ接続	50	100	150	kΩ
R_{PU}	入力プルアップ抵抗	DVDD、nSCS へ接続	50	100	150	kΩ
マルチレベル入力 (GAIN、IDRIVE、VDS)						
V_{QI1}	クワッドレベル入力 1	GAIN 電圧をレベル 1 に設定	0		V_{DVDD} x 0.1	V
R_{QI2}	クワッドレベル入力 2	GAIN GND への抵抗をレベル 2 に設定	44.65	47	49.35	kΩ
R_{QI3}	クワッドレベル入力 3	GAIN GND への抵抗をレベル 3 に設定	500	Hi-Z		kΩ
V_{QI4}	クワッドレベル入力 4	GAIN 電圧をレベル 4 に設定	V_{DVDD} x 0.9		5.5	V
R_{QPD}	クワッドレベル・プルダウン抵抗	GAIN、GND へ接続		98		kΩ
R_{QPU}	クワッドレベル・プルアップ抵抗	GAIN、DVDD へ接続		98		kΩ
V_{SI1}	6 レベル入力 1	IDRIVE、VDS 電圧をレベル 1 に設定	0		V_{DVDD} x 0.1	V

Copyright © 2022 Texas Instruments Incorporated

4.9V ≤ V_{PVDD} ≤ 37V、–40℃ ≤ T_J ≤ 150℃ (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25℃に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{SI2}	6 レベル入力 2	IDRIVE、VDS GND への抵抗をレベル 2 に設定	28.5	30	31.5	kΩ
R_{SI3}	6 レベル入力 3	IDRIVE、VDS GND への抵抗をレベル 3 に設定	95	100	105	kΩ
R_{SI4}	6 レベル入力 4	IDRIVE、VDS GND への抵抗をレベル 4 に設定	500	Hi-Z		kΩ
R_{SI5}	6 レベル入力 5	IDRIVE、VDS DVDD への抵抗をレベル 5 に設定	58.9	62	65.1	kΩ
R_{SI6}	6 レベル入力 6	IDRIVE、VDS 電圧をレベル 6 に設定	V_{DVDD} x 0.9		5.5	V
R_{SPD}	6 レベル・プルダウン抵抗	IDRIVE、VDS、GND へ接続		98		kΩ
R_{SPU}	6 レベル・プルアップ抵抗	IDRIVE、VDS、DVDD へ接続		69		kΩ
ロジック・レベル出力 (nFAULT、SDO)						
V_{OL}	出力ロジック Low 電圧	I_{DOUT} = 5mA			0.5	V
V_{OH}	ロジック High 出力電圧	I_{DOUT} = –5mA、SDO	V_{DVDD} x 0.8			V
I_{ODZ}	オープン・ドレイン・ロジック High 電流	V_{OD} = 5V、nFAULT	–10		10	µA
ゲート・ドライバ (GHx、GLx)						
V_{GHx_L}	GHx Low レベル出力電圧	I_{DRVN_HS} = I_{STRONG}、I_{GHx} = 1mA、 GHx～SHx	0		0.25	V
V_{GLx_L}	GLx Low レベル出力電圧	I_{DRVN_LS} = I_{STRONG}、I_{GLx} = 1mA、 GLx～SLx	0		0.25	V
V_{GHx_H}	GHx High レベル出力電圧	I_{DRVP_HS} = I_{HOLD}、I_{GHx} = 1mA、 VCP～GHx	0		0.25	V
V_{GLx_H}	GLx High レベル出力電圧	I_{DRVP_LS} = I_{HOLD}、I_{GLx} = 1mA、 10.5V ≤ V_{PVDD} ≤ 37V、GLx～SLx	10.25	10.5	12.5	V
		I_{DRVP_LS} = I_{HOLD}、I_{GLx} = 1mA、 4.9V ≤ V_{PVDD} ≤ 10.5V、GLx～SLx	V_{PVDD} - 0.25	V_{PVDD}	V_{PVDD}	V
$I_{DRVP、SPI}$	ピーク・ゲート電流 (ソース) SPI デバイス	IDRVP = 0000b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	0.2	0.5	0.8	mA
		IDRVP = 0001b、V_{GSx}= 3V、V_{PVDD}≥ 7V	0.5	1	1.5	
		IDRVP = 0010b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	1.3	2	2.7	
		IDRVP = 0011b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	2.1	3	3.9	
		IDRVP = 0100b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	2.9	4	5.1	
		IDRVP = 0101b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	4.5	6	7.5	
		IDRVP = 0110b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	6	8	10	
		IDRVP = 0111b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	9	12	15	
		IDRVP = 1000b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	12	16	20	
		IDRVP = 1001b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	15	20	25	
		IDRVP = 1010b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	18	24	30	
		IDRVP = 1011b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	21	28	35	
		IDRVP = 1100b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	23.25	31	38.75	
		IDRVP = 1101b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	26.5	40	50	
		IDRVP = 1110b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	28	48	60	
		IDRVP = 1111b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	30	62	77.5	

Copyright © 2022 Texas Instruments Incorporated

4.9V ≤ V_{PVDD} ≤ 37V、–40℃ ≤ T_J ≤ 150℃ (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25℃に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{DRVP, H/W}$	ピーク・ゲート電流 (ソース) H/W デバイス	IDRIVE レベル 1、V_{GSx} = 3V、V_{PVDD} ≥ 7V	0.5	1	1.5	mA
		IDRIVE レベル 2、V_{GSx} = 3V、V_{PVDD} ≥ 7V	2.9	4	5.1	
		IDRIVE レベル 3、V_{GSx} = 3V、V_{PVDD} ≥ 7V	6	8	10	
		IDRIVE レベル 4、V_{GSx} = 3V、V_{PVDD} ≥ 7V	12	16	20	
		IDRIVE レベル 5、V_{GSx} = 3V、V_{PVDD} ≥ 7V	23.25	31	38.75	
		IDRIVE レベル 6、V_{GSx} = 3V、V_{PVDD} ≥ 7V	30	62	77.5	
$I_{DRVN, SPI}$	ピーク・ゲート電流 (シンク) SPI デバイス	IDRVN = 0000b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	0.15	0.5	0.85	mA
		IDRVN = 0001b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	0.35	1	1.65	
		IDRVN = 0010b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	0.85	2	3.15	
		IDRVN = 0011b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	1.4	3	4.6	
		IDRVN = 0100b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	2.1	4	5.9	
		IDRVN = 0101b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	3.5	6	8.5	
		IDRVN = 0110b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	5	8	11	
		IDRVN = 0111b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	8	12	16	
		IDRVN = 1000b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	11.5	16	20	
		IDRVN = 1001b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	14.7	20	25	
		IDRVN = 1010b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	18	24	30	
		IDRVN = 1011b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	21	28	35	
		IDRVN = 1100b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	23.25	31	38.75	
		IDRVN = 1101b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	30	40	52	
		IDRVN = 1110b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	36	48	62	
		IDRVN = 1111b、V_{GSx} = 3V、V_{PVDD} ≥ 7V	46.5	62	80	
$I_{DRVN, H/W}$	ピーク・ゲート電流 (シンク) H/W デバイス	IDRIVE レベル 1、V_{GSx} = 3V、V_{PVDD} ≥ 7V	0.35	1	1.65	mA
		IDRIVE レベル 2、V_{GSx} = 3V、V_{PVDD} ≥ 7V	2.1	4	5.9	
		IDRIVE レベル 3、V_{GSx} = 3V、V_{PVDD} ≥ 7V	5	8	11	
		IDRIVE レベル 4、V_{GSx} = 3V、V_{PVDD} ≥ 7V	11.5	16	20	
		IDRIVE レベル 5、V_{GSx} = 3V、V_{PVDD} ≥ 7V	23.25	31	38.75	
		IDRIVE レベル 6、V_{GSx} = 3V、V_{PVDD} ≥ 7V	46.5	62	80	
I_{HOLD}	ゲート・プルアップ・ホールド電流	V_{GSx} = 3V、V_{PVDD} ≥ 7V	5	16	30	mA
I_{STRONG}	ゲート・プルダウン強電流	V_{GSx} = 3V、V_{PVDD} ≥ 7V、 0.5 ≤ I_{DRVP} ≤ 12mA	30	62	100	mA
		V_{GSx} = 3V、V_{PVDD} ≥ 7V、 16 ≤ I_{DRVP} ≤ 62mA	45	128	205	mA
R_{PDSA_LS}	ローサイド・セミアクティブ・プルダウン	GLx～SLx、V_{GSx} = 3V		1.8		kΩ
		GLx～SLx、V_{GSx} = 1V		5		kΩ
R_{PD_HS}	ハイサイド・パッシブ・プルダウン抵抗	GHx～SHx		150		kΩ
R_{PD_LS}	ローサイド・パッシブ・プルダウン抵抗	GLx～SLx		150		kΩ
I_{SHx}	スイッチ・ノード・センス・リーク電流	SHx へ流入、SHx = DRAIN ≤ 37V GHx – SHx = 0V、nSLEEP = 0V	–5	0	25	μA
		SHx へ流入、SHx = DRAIN ≤ 37V GHx – SHx = 0V、nSLEEP = 5V	–150	–100	–40	μA
ゲート・ドライバ・タイミング (GHx、GLx)						
t_{PDR_LS}	ローサイド立ち上がり伝搬遅延	GLx への入力の立ち上がり		300	850	ns

Copyright © 2022 Texas Instruments Incorporated

4.9V ≤ V_{PVDD} ≤ 37V、–40℃ ≤ T_J ≤ 150℃ (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25℃に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PDF_LS}	ローサイド立ち下がり伝搬遅延	GLx への入力の立ち下がり		300	600	ns
t_{PDR_HS}	ハイサイド立ち上がり伝搬遅延	GHx への入力の立ち上がり		300	600	ns
t_{PDF_HS}	ハイサイド立ち下がり伝搬遅延	GHx への入力の立ち下がり		300	600	ns
t_{DEAD}	内部ハンドシェイク・デッドタイム	V_{GSx_L}/V_{GSx_H} 立ち下がり 10%～ V_{GSx_H}/V_{GSx_L} 立ち上がり 10%		350		ns
$t_{DEAD_D, SPI}$	挿入可能なデジタル・デッドタイム SPI デバイス	VGS_TDEAD = 000b、ハンドシェイクのみ		0		ns
		VGS_TDEAD = 001b	150	250	350	
		VGS_TDEAD = 010b	400	500	600	
		VGS_TDEAD = 011b	600	750	900	
		VGS_TDEAD = 100b	800	1000	1200	
		VGS_TDEAD = 101b	1600	2000	2400	
		VGS_TDEAD = 110b	3400	4000	4600	
		VGS_TDEAD = 111b	7200	8000	8800	
$t_{DEAD_D、H/W}$	挿入可能なデジタル・デッドタイム H/W デバイス	ハンドシェイクのみ		0		ns
電流シャント・アンプ (AREF、SN、SO、SP)						
V_{COM}	同相入力範囲		–2		V_{PVDD} + 2	V
$G_{CSA、SPI}$	センス・アンプ・ゲイン SPI デバイス	CSA_GAIN = 00b	9.9	10.15	10.4	V/V
		CSA_GAIN = 01b	19.5	20	20.5	
		CSA_GAIN = 10b	39	40	41	
		CSA_GAIN = 11b	78	80	82	
$G_{CSA、H/W}$	センス・アンプ・ゲイン H/W デバイス	GAIN クワッドレベル 1	9.9	10.15	10.4	V/V
		GAIN クワッドレベル 2	19.5	20	20.5	
		GAIN クワッドレベル 3	39	40	41	
		GAIN クワッドレベル 4	78	80	82	
t_{SET}	±1% までのセンス・アンプ・セトリング・タイム	V_{SO_STEP} = 1.5V、G_{CSA} = 10V/V C_{SO} = 60pF		2.2		µs
		V_{SO_STEP} = 1.5V、G_{CSA} = 20V/V C_{SO} = 60pF		2.2		
		V_{SO_STEP} = 1.5V、G_{CSA} = 40V/V C_{SO} = 60pF		2.2		
		V_{SO_STEP} = 1.5V、G_{CSA} = 80V/V C_{SO} = 60pF		3		
$t_{BLK、SPI}$	センス・アンプ出力ブランキング時間 SPI デバイス	CSA_BLK = 000b、t_{DRIVE} 期間の割合 (%)		0		%
		CSA_BLK = 001b、t_{DRIVE} 期間の割合 (%)		25		
		CSA_BLK = 010b、t_{DRIVE} 期間の割合 (%)		37.5		
		CSA_BLK = 011b、t_{DRIVE} 期間の割合 (%)		50		
		CSA_BLK = 100b、t_{DRIVE} 期間の割合 (%)		62.5		
		CSA_BLK = 101b、t_{DRIVE} 期間の割合 (%)		75		
		CSA_BLK = 110b、t_{DRIVE} 期間の割合 (%)		87.5		
		CSA_BLK = 111b、t_{DRIVE} 期間の割合 (%)		100		
$t_{BLK、H/W}$	センス・アンプ出力ブランキング時間 H/W デバイス			0		ns
t_{SLEW}	出力スルーレート	C_{SO} = 60pF		2.5		V/µs

Copyright © 2022 Texas Instruments Incorporated

4.9V ≤ V_{PVDD} ≤ 37V、–40℃ ≤ T_J ≤ 150℃ (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25℃に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{BIAS_SPI}	出力電圧バイアス SPI デバイス	V_{SPx} = V_{SNx} = 0V、CSA_DIV = 0b		V_{AREF}/2		V
		V_{SPx} = V_{SNx} = 0V、CSA_DIV = 1b		V_{AREF}/8		
$V_{BIAS_H/W}$	出力電圧バイアス H/W デバイス			V_{AREF}/2		V
V_{LINEAR}	リニア出力電圧範囲	V_{AREF} = 3.3V = 5V	0.25		V_{AREF} – 0.25	V
V_{OFF}	入力オフセット電圧	V_{SPx} = V_{SNx} = 0V、T_J = 25℃	–1.5		1.5	mV
V_{OFF_D}	入力オフセット電圧ドリフト	V_{SPx} = V_{SNx} = 0V		±10	±25	µV/℃
I_{BIAS}	入力バイアス電流	V_{SPx} = V_{SNx} = 0V、ピンへ流入			100	µA
I_{BIAS_OFF}	入力バイアス電流オフセット	I_{SPx} – I_{SNx}	–1		1	µA
I_{AREF}	AREF 入力電流	V_{VREF} = 3.3V = 5V		1	1.8	mA
CMRR	同相除去比	DC、–40 ≤ T_J ≤ 125℃	72	90		dB
		DC、–40 ≤ T_J ≤ 150℃	69	90		
		20kHz		80		
PSRR	電源電圧除去比	PVDD～SOx、DC		100		dB
		PVDD～SOx、20kHz		90		
		PVDD～SOx、400kHz		70		
保護回路						
V_{PVDD_UV}	PVDD 低電圧スレッショルド	V_{PVDD} 立ち上がり	4.325	4.625	4.9	V
		V_{PVDD} 立ち下がり	4.25	4.525	4.8	
$V_{PVDD_UV_HYS}$	PVDD 低電圧ヒステリシス	立ち上がりから立ち下がりへのスレッショルド		100		mV
$t_{PVDD_UV_DG}$	PVDD 低電圧グリッチ除去時間		8	10	12.75	µs
V_{PVDD_OV}	PVDD 過電圧スレッショルド	V_{PVDD} 立ち上がり、PVDD_OV_LVL = 0b	21	22.5	24	V
		V_{PVDD} 立ち下がり、PVDD_OV_LVL = 0b	20	21.5	23	
		V_{PVDD} 立ち上がり、PVDD_OV_LVL = 1b	27	28.5	30	
		V_{PVDD} 立ち下がり、PVDD_OV_LVL = 1b	26	27.5	29	
$V_{PVDD_OV_HYS}$	PVDD 過電圧ヒステリシス	立ち上がりから立ち下がりへのスレッショルド		1		V
$t_{PVDD_OV_DG}$	PVDD 過電圧グリッチ除去時間	PVDD_OV_DG = 00b	0.75	1	1.5	µs
		PVDD_OV_DG = 01b	1.5	2	2.5	
		PVDD_OV_DG = 10b	3.25	4	4.75	
		PVDD_OV_DG = 11b	7	8	9	
V_{DVDD_POR}	DVDD 電源 POR スレッショルド	DVDD 立ち下がり	2.5	2.7	2.9	V
		DVDD 立ち上がり	2.6	2.8	3	
$V_{DVDD_POR_HYS}$	DVDD POR ヒステリシス	立ち上がりから立ち下がりへのスレッショルド		100		mV
$t_{DVDD_POR_DG}$	DVDD POR グリッチ除去時間		5	8	12.75	µs
$V_{CP_UV_SPI}$	チャージ・ポンプ低電圧スレッショルド SPI デバイス	V_{VCP} - V_{PVDD}、立ち下がり、VCP_UV = 0b	2	2.5	3	V
		V_{VCP} - V_{PVDD}、立ち下がり、VCP_UV = 1b	4	5	6	
$V_{CP_UV_H/W}$	チャージ・ポンプ低電圧スレッショルド H/W デバイス		2	2.5	3	V
$t_{CP_UV_DG}$	チャージ・ポンプ低電圧グリッチ除去時間		8	10	12.75	µs
V_{GS_CLP}	ハイサイド・ドライバ V_{GS} 保護クランプ		12.5	15	17	V

Copyright © 2022 Texas Instruments Incorporated

4.9V ≤ V_{PVDD} ≤ 37V、–40℃ ≤ T_J ≤ 150℃ (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25℃に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{GS_LVL}	ゲート電圧監視スレッショルド	$V_{GH/Lx}$ – $V_{SH/Lx}$、VGS_LVL = 0b	1.1	1.4	1.75	V
		$V_{GH/Lx}$ – $V_{SH/Lx}$、VGS_LVL = 1b	0.8	1	1.2	V
$t_{GS_FLT_DG}$	V_{GS} 障害監視グリッチ除去時間		1.5	2	2.75	µs
$t_{GS_HS_DG}$	V_{GS} ハンドシェイク監視グリッチ除去時間			210		ns
$t_{DRIVE、SPI}$	V_{GS}/V_{DS} 監視ブランキング時間 SPI デバイス	VGS_TDRV = 00b	80	96	120	µs
		VGS_TDRV = 01b	1.5	2	2.5	
		VGS_TDRV = 10b	3.25	4	4.75	
		VGS_TDRV = 11b	7.5	8	9	
$t_{DRIVE、H/W}$	V_{GS} および V_{DS} 監視、ブランキング時間 H/W デバイス		3.25	4	4.75	µs
$V_{DS_LVL、SPI}$	V_{DS} 過電流保護スレッショルド SPI デバイス	VDS_LVL = 0000b	0.04	0.06	0.08	V
		VDS_LVL = 0001b	0.06	0.08	0.10	
		VDS_LVL = 0010b	0.08	0.10	0.12	
		VDS_LVL = 0011b	0.10	0.12	0.14	
		VDS_LVL = 0100b	0.12	0.14	0.16	
		VDS_LVL = 0101b	0.14	0.16	0.18	
		VDS_LVL = 0110b	0.16	0.18	0.20	
		VDS_LVL = 0111b	0.18	0.2	0.22	
		VDS_LVL = 1000b	0.27	0.3	0.33	
		VDS_LVL = 1001b	0.36	0.4	0.44	
		VDS_LVL = 1010b	0.45	0.5	0.55	
		VDS_LVL = 1011b	0.54	0.6	0.66	
		VDS_LVL = 1100b	0.63	0.7	0.77	
		VDS_LVL = 1101b	0.9	1	1.1	
		VDS_LVL = 1110b	1.26	1.4	1.54	
		VDS_LVL = 1111b	1.8	2	2.2	
$V_{DS_LVL、H/W}$	V_{DS} 過電流保護スレッショルド H/W デバイス	VDS 6 レベル入力 1	0.04	0.06	0.08	V
		VDS 6 レベル入力 2	0.08	0.10	0.12	
		VDS 6 レベル入力 3	0.18	0.2	0.22	
		VDS 6 レベル入力 4	0.45	0.5	0.55	
		VDS 6 レベル入力 5	0.9	1	1.1	
		VDS 6 レベル入力 6		無効		
$t_{DS_DG、SPI}$	V_{DS} 過電流保護グリッチ除去時間 SPI デバイス	VDS_DG = 00b	0.75	1	1.5	µs
		VDS_DG = 01b	1.5	2	2.5	
		VDS_DG = 10b	3.25	4	4.75	
		VDS_DG = 11b	7.5	8	9	
$t_{DS_DG、H/W}$	V_{DS} 過電流保護グリッチ除去時間 H/W デバイス		3.25	4	4.75	µs
I_{OLD}	オフライン診断用電流ソース	プルアップ電流		3		mA
		プルダウン電流		3		
T_{OTW}	過熱警告温度	T_J 立ち上がり	130	150	170	℃
T_{HYS}	過熱警告ヒステリシス			20		℃
T_{OTSD}	過熱シャットダウン温度	T_J 立ち上がり	150	170	190	℃

Copyright © 2022 Texas Instruments Incorporated

4.9V ≤ V_{PVDD} ≤ 37V、–40℃ ≤ T_J ≤ 150℃ (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25℃に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
T_{HYS}	過熱シャットダウン・ヒステリシス			20		℃

6.6 タイミング要件

		最小	公称	最大	単位
t_{SCLK}	SCLK の最小周期	100			ns
t_{SCLKH}	SCLK 最小 High 時間	50			ns
t_{SCLKL}	SCLK 最小 Low 時間	50			ns
t_{SU_SDI}	SDI 入力データ・セットアップ時間	25			ns
t_{H_SDI}	SDI 入力データ・ホールド時間	25			ns
t_{D_SDO}	SDO 出力データ遅延時間、C_L = 20pF			30	ns
t_{SU_nSCS}	nSCS 入力セットアップ時間	25			ns
t_{H_nSCS}	nSCS 入力ホールド時間	25			ns
t_{HI_nSCS}	nSCS 最小 High 時間	450			ns
t_{EN_nSCS}	イネーブル遅延時間、nSCS Low から SDO アクティブまで			50	ns
t_{DIS_nSCS}	ディセーブル遅延時間、nSCS High から SDO Hi-Z まで			50	ns

6.7 タイミング図

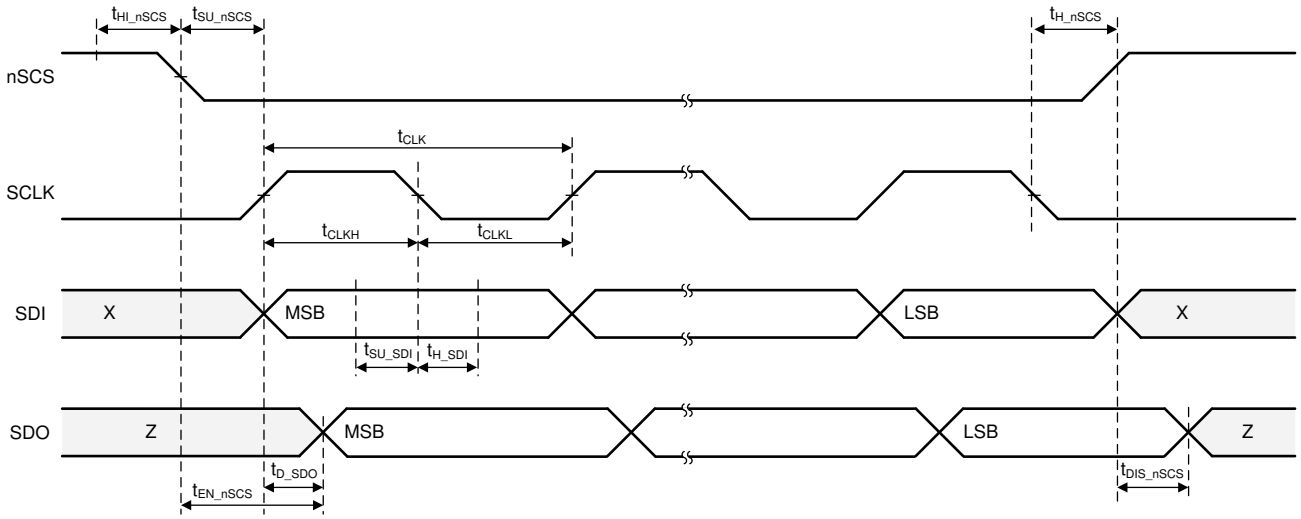


図 6-1. SPI タイミング図

Copyright © 2022 Texas Instruments Incorporated

6.8 代表的特性

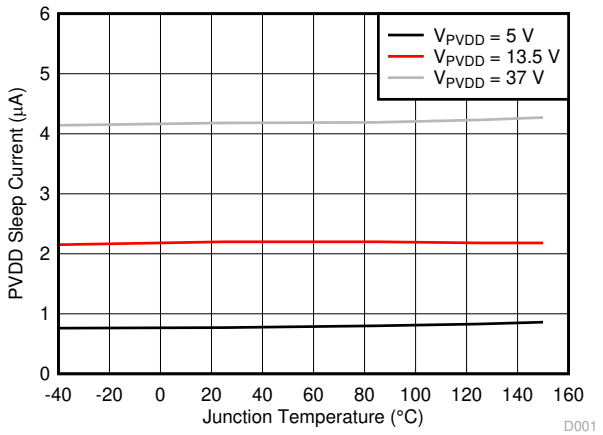


図 6-2. PVDD スリープ電流

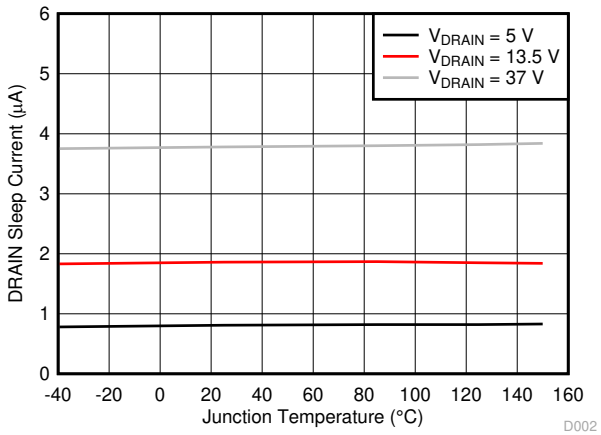


図 6-3. DRAIN スリープ電流

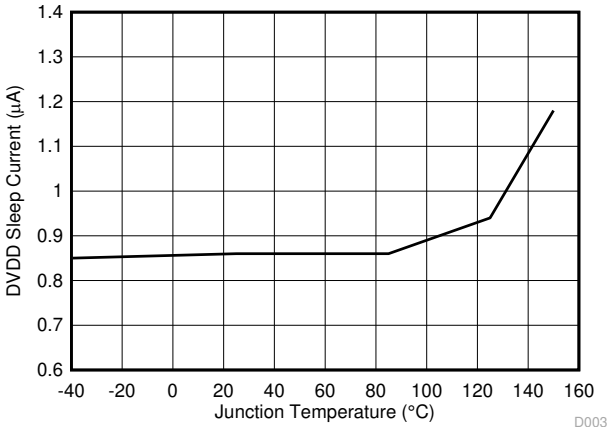


図 6-4. DVDD スリープ電流

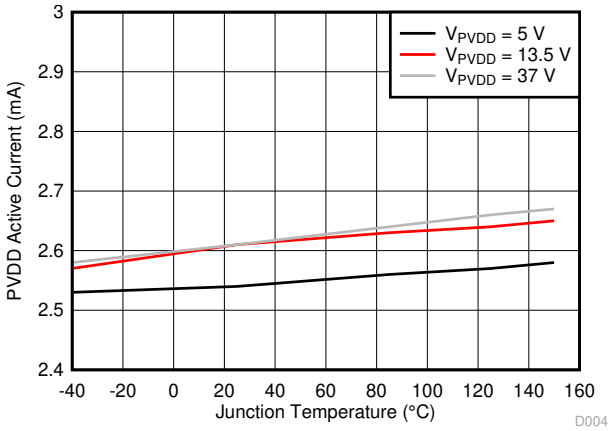


図 6-5. PVDD アクティブ電流

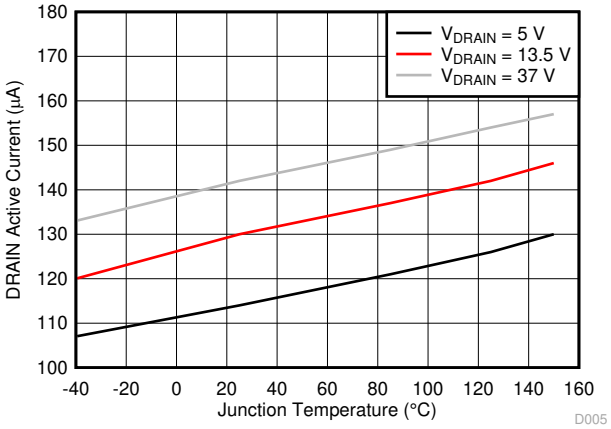


図 6-6. DRAIN アクティブ電流

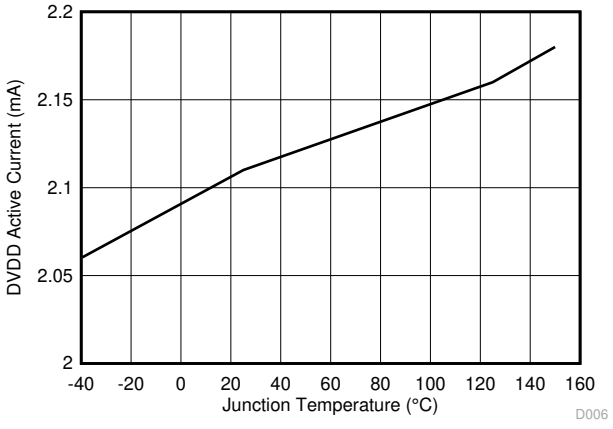
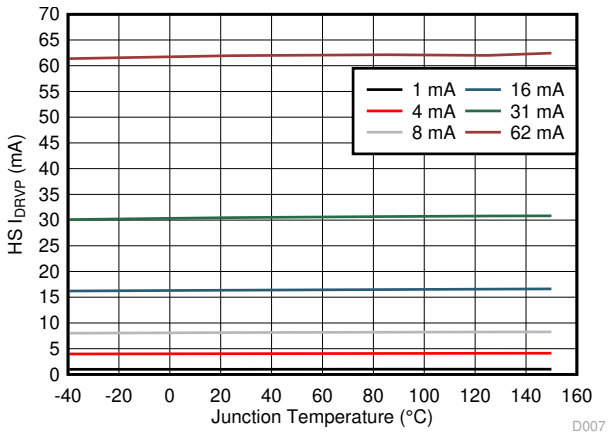
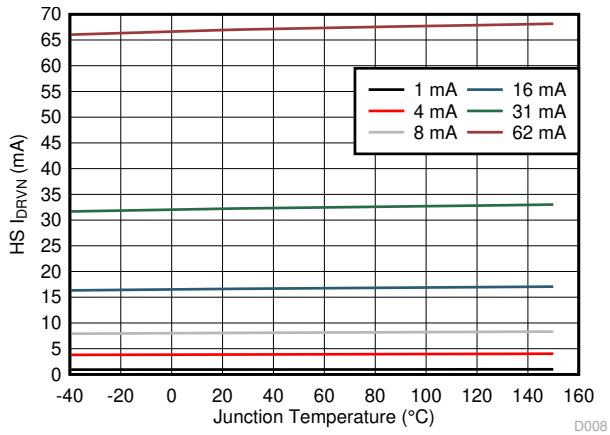


図 6-7. DVDD アクティブ電流



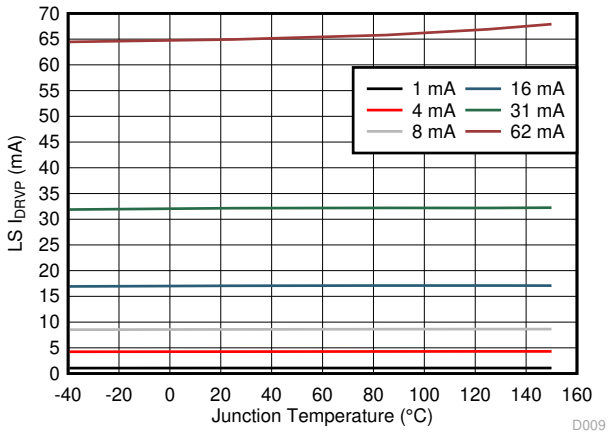
V_{PVDD} = 13.5V

図 6-8. ハイサイド・ゲート・ドライバ・ソース電流



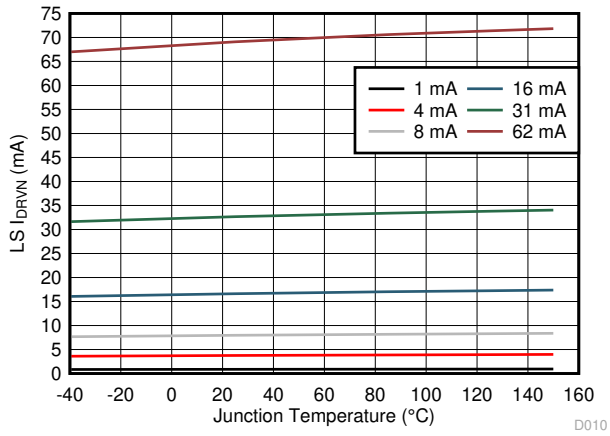
V_{PVDD} = 13.5V

図 6-9. ハイサイド・ゲート・ドライバ・シンク電流



V_{PVDD} = 13.5V

図 6-10. ローサイド・ゲート・ドライバ・ソース電流



V_{PVDD} = 13.5V

図 6-11. ローサイド・ゲート・ドライバ・シンク電流

Copyright © 2022 Texas Instruments Incorporated

7 詳細説明

7.1 概要

DRV8106-Q1 は、ブラシ付き DC モーター・アプリケーション用の高集積 ハーフブリッジ・スマート・ゲート・ドライバです。このデバイスには、ハーフブリッジ・ゲート・ドライバがあり、ハイサイドとローサイドの N チャネル・パワー MOSFET を駆動できます。 DRV8106-Q1 は、ハイサイドで内蔵の電圧増倍チャージ・ポンプを使用し、ローサイドでリニア・レギュレータを使用して、適切なゲート・ドライブ電圧を生成します。ゲート・ドライバは、最高 62mA のソースと 62mA のシンク・ピーク・ゲート・ドライブ電流の性能をサポートします。このデバイスは、4.9V～37V の幅広い電源電圧範囲をサポートします。

DRV8106-Q1 は、システム・コストを削減し信頼性を向上するスマート・ゲート・ドライブ・アーキテクチャ (SGD) をベースにしています。SGD アーキテクチャはデッドタイムを最適化して貫通電流の条件成立を回避し、調整可能なゲート・ドライブ電流を経由する MOSFET スルーレート制御により電磁干渉 (EMI) を低減するためのフレキシビリティがあるほか、V_{DS} モニタと V_{GS} モニタを使用して、ドレイン - ソース間、およびドレイン - ゲート間の短絡状況からの保護を実現します。強力なプルダウン回路は、dV/dt 寄生ゲート・カップリングの防止に役立ちます。可変出力ゲート・ドライバによる外部 MOSFET のスルー制御がサポートされています。ゲート・ドライバのピーク・ソース電流は、0.5mA～62mA の範囲で構成できます。ゲート・ドライバのピーク・シンク電流は、0.5mA～62mA の範囲で構成できます。

DRV8106-Q1 は、3.3V または 5V の外部コントローラ (MCU) で動作可能です。専用 DVDD ピンにより、デバイスのデジタル・コアへの外部電源供給、およびコントローラの I/O 電圧を基準とするデジタル出力が可能です。これは、外部コントローラと SPI バス経由で通信し、構成設定と診断フィードバックを管理します。このデバイスには AREF ピンもあり、シャント・アンプ基準電圧を外部コントローラ ADC の基準電圧に接続できます。シャント・アンプ出力は、過剰な電圧スパイクからコントローラの入力を保護するため、AREF ピン電圧にもクランプされます。

DRV8106-Q1 は、動作前にシステムの状態を監視し、システム動作中に障害から保護するための一連の診断機能と保護機能を搭載しています。これらの機能には、電源とチャージ・ポンプ用低電圧 / 過電圧モニタ、外部 MOSFET 用 V_{DS} 過電流および V_{GS} ゲート障害監視、オフライン・オープン負荷 / 短絡検出、内部温度警告 / シャットダウン保護機能などがあります。電流シャント・アンプを使用して、システムの負荷電流を監視できます。このアンプは同相範囲が高いため、インライン、ハイサイド、またはローサイドのいずれかに基づく、シャント抵抗電流センシングが可能です。

Copyright © 2022 Texas Instruments Incorporated

7.2 機能ブロック図

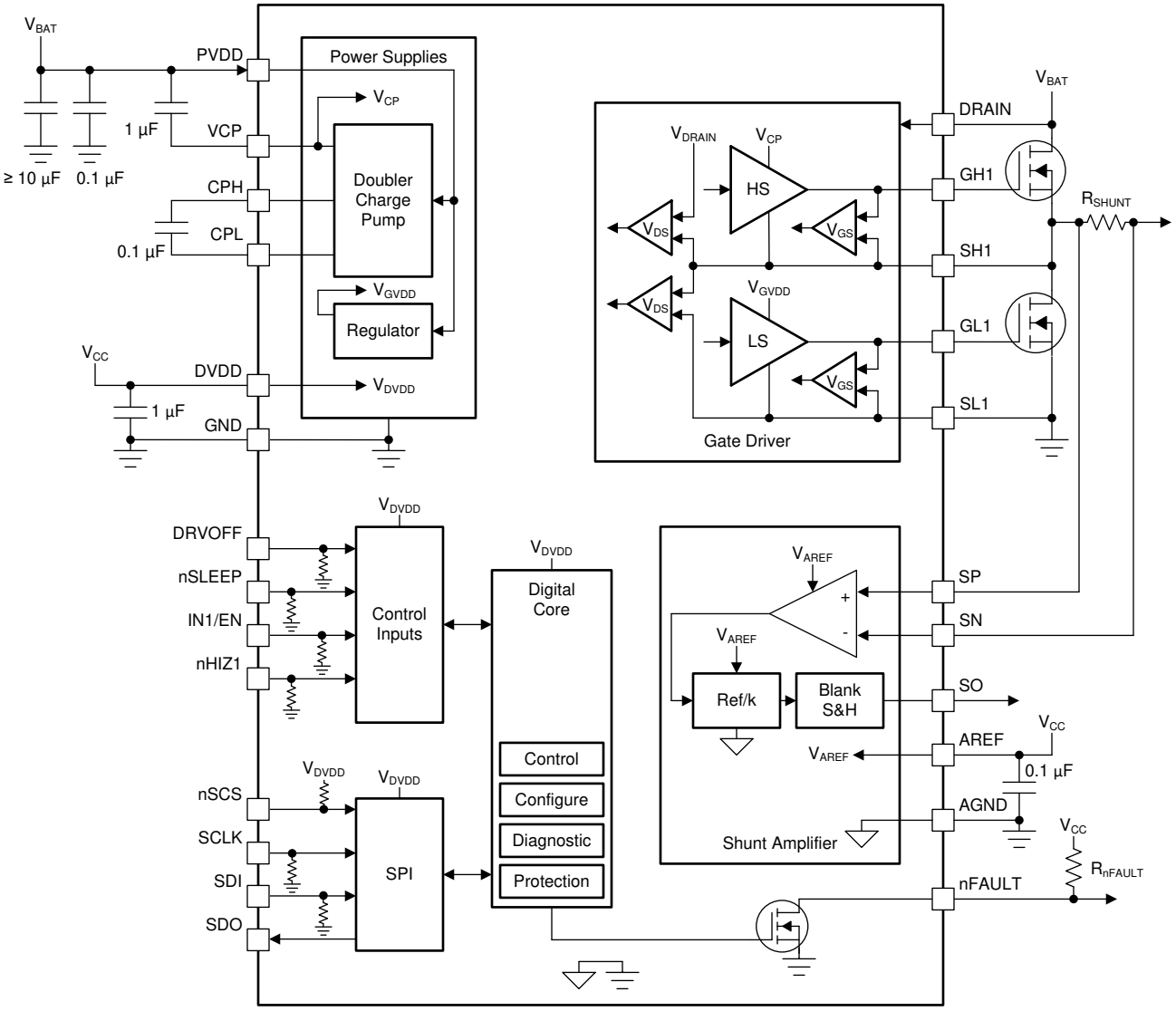


図 7-1. DRV8106S-Q1 の機能ブロック図

Copyright © 2022 Texas Instruments Incorporated

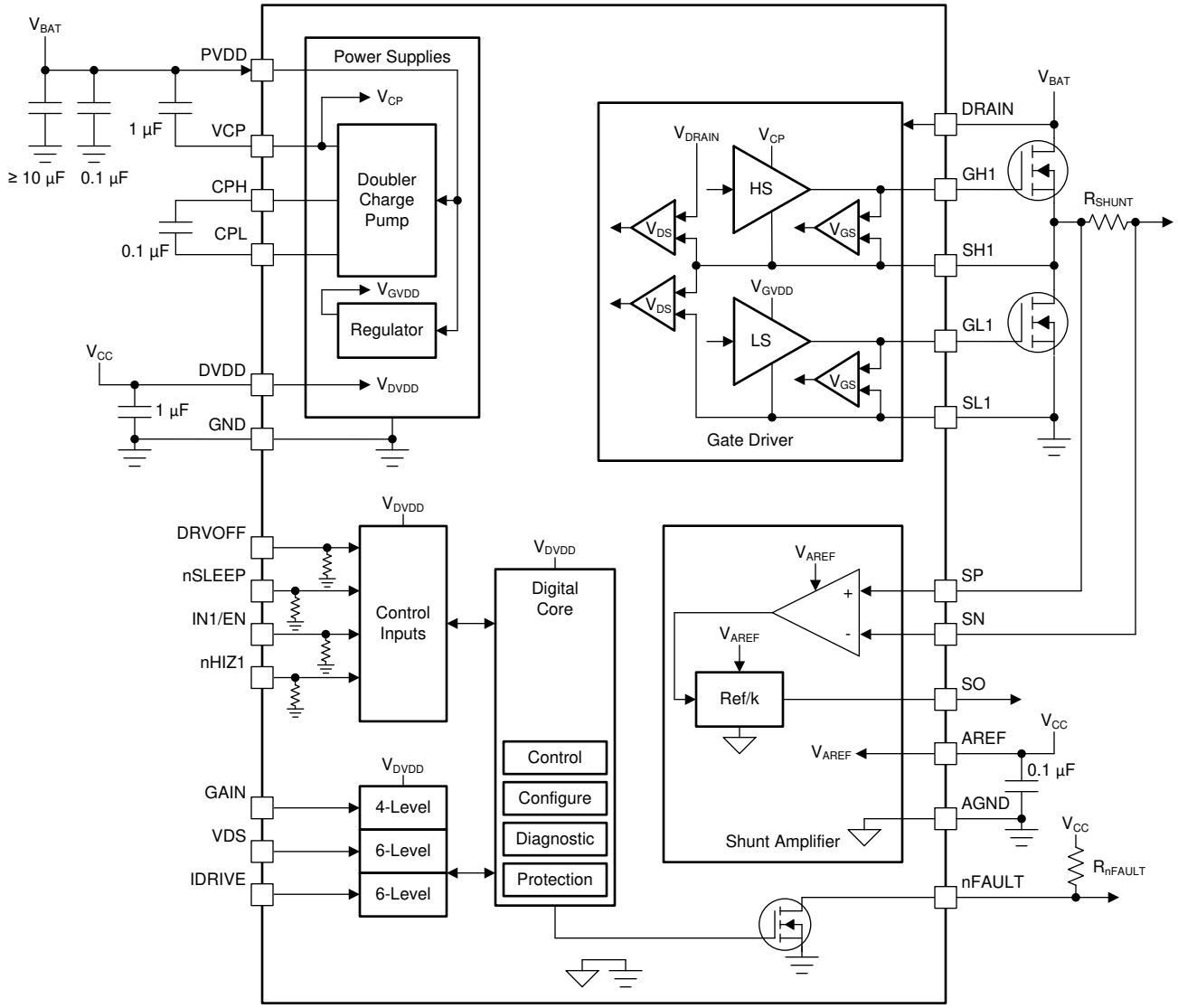


図 7-2. DRV8106H-Q1 の機能ブロック図

7.3 機能説明

7.3.1 外付け部品

表 7-1 に、推奨外付け部品を示します。

表 7-1. 推奨外付け部品

部品	ピン 1	ピン 2	推奨する事項
C_{PVDD1}	PVDD	GND	0.1µF、低 ESR セラミック・コンデンサ、PVDD 定格。
C_{PVDD2}	PVDD	GND	10µF 以上のローカル・バルク容量、PVDD 定格。
C_{DVDD} (1)	DVDD	GND	1.0µF、6.3V、低 ESR セラミック・コンデンサ
C_{AREF} (1)	AREF	GND	0.1µF、6.3V、低 ESR セラミック・コンデンサ
C_{VCP}	VCP	PVDD	1µF、16V、低 ESR セラミック・コンデンサ
C_{FLY}	CPH	CPL	0.1µF、PVDD 定格、低 ESR セラミック・コンデンサ
R_{nFAULT}	VCC(2)	nFAULT	プルアップ抵抗、I_{OD} ≤ 5mA

(1) 外部低電圧電源のノイズを低減するため、ローカル・バイパス・コンデンサを推奨します。別のバイパス・コンデンサがデバイスと外部低電圧電源の近接した位置にあり、電源のノイズが最小限である場合は、この部品を取り外すこともできます。
(2) VCC はデバイス上のピンではなく、低電圧外部電源です。

7.3.2 デバイス・インターフェイス・バリアント

DRV8106-Q1 ファミリのデバイスでは、最終的なアプリケーションを柔軟な設計にするか単純な設計にするか選択できるように、2 種類のインターフェイス・モード (SPI とハードウェア) をサポートしています。2 つのインターフェイス・モードで同じ 4 つのピンが共有されているので、異なるバージョン間でのピン互換が実現します。こうしたことから、アプリケーション設計者は、設計に最小限の変更を加えるだけで、評価に使用するインターフェイス・バージョンを切り替えることができます。

7.3.2.1 シリアル・ペリフェラル・インターフェイス (SPI)

SPI デバイス・バリアントは、外部コントローラと DRV8106-Q1 の間でデータを送受信できるシリアル通信バスをサポートしています。これにより、外部コントローラがデバイスの設定を行ったり、詳細な障害情報を読み取ったりできます。このインターフェイスは SCLK、SDI、SDO、nSCS の各ピンを使用した 4 線式インターフェイスです。

- nSCS ピンはチップ選択入力です。このピンに論理 Low 信号を印加すると、SPI 通信がイネーブルになります。
- SCLK ピンは、クロック信号を受け付けて SDI と SDO 上のデータの収集と伝搬のタイミングを決める入力ピンです。
- SDI ピンはデータ入力です。
- SDO ピンはデータ出力です。SDO ピンは、DVDD 入力を基準とするプッシュプル出力構造を使用します。

SPI の詳細については、「SPI インターフェイス」セクションを参照してください。

7.3.2.2 ハードウェア (H/W)

ハードウェア・インターフェイス・デバイスでは、4 つの SPI ピンが抵抗によって設定可能な 4 つの入力 (GAIN、VDS、IDRIVE、MODE) に変換されます。この結果、ピンをロジック High やロジック Low に接続するか、または単純なプルアップ抵抗やプルダウン抵抗を使用することで、アプリケーション設計者がごく一般的に使用されるデバイス設定を行えるようになります。外部コントローラには SPI バスが不要になります。全般的な障害情報は、引き続き nFAULT ピンを介して取得できます。

ハードウェア・インターフェイス設定は、デバイスの電源投入時にラッチされます。nSLEEP ピンでデバイスをスリープ・モードにし、設定を変更して、nSLEEP によりデバイスを再イネーブルすることで、設定を再構成できます。

- GAIN ピンでは、電流シャント・アンプのゲインを構成します
- VDS ピンでは V_{DS} 過電流監視の電圧スレッショルドを構成します。
- IDRIVE ピンではゲート・ドライブ電流の強さを構成します。

ハードウェア・インターフェイスの詳細については、「ピン配置」セクションを参照してください。

Copyright © 2022 Texas Instruments Incorporated

7.3.3 入力 PWM モード

7.3.3.1 ハーフブリッジ制御

ハーフブリッジ・ゲート・ドライバは、IN1/EN ピンと nHIZ1 入力ピンにより制御されます。nHIZ1 信号は IN1/EN 信号に対して優先されます。DRV8106-Q1 は、ハイサイド・スイッチングとローサイド・スイッチング間のデッドタイム生成を内部的に処理し、ハーフブリッジを単一の PWM 入力で制御できるようにします。

SPI デバイス・バリアントでは IN1/EN と HIZ1 信号も SPI レジスタにより制御できます。IN1/EN SPI 制御は、IN1/EN_MODE レジスタ設定によりイネーブルにでき、信号は S_IN1/EN レジスタ設定により制御されます。HIZ1 信号は、nHIZ1 ピンと S_HIZ1 レジスタ設定の論理和です。この機能が必要ない場合は、nHIZx ピンを DVDD に接続する必要があります。

表 7-2. ハーフブリッジ制御

nHIZ1	IN1/EN	GH1	GL1	SH1
0	X	L	L	Z
1	0	L	H	L
1	1	H	L	H

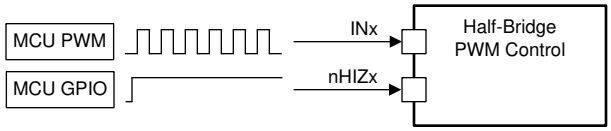


図 7-3. ハーフブリッジ制御

7.3.4 スマート・ゲート・ドライバ

DRV8106-Q1 は、先進の可変フローティング・スマート・ゲート・ドライバ・アーキテクチャを採用し、先進の MOSFET 制御と堅牢なスイッチング性能を実現しています。DRV8106-Q1 は、スルーレート制御用ドライバ機能と、デッド・タイム・ハンドシェイク、寄生 dV/dt ゲート・カップリング防止および MOSFET ゲート障害検出用のドライバ・ステートマシンを実現します。

スマート・ゲート・ドライバのコア機能:

- ゲート・ドライバの機能ブロック図
- スルーレート制御 (IDRIVE)
- ゲート駆動ステート・マシン (TDRIVE)

表 7-3. スマート・ゲート・ドライバ用語の説明

コア機能	用語	説明
IDRIVE/TDRIVE	I_{DRVP}	可変 MOSFET スルーレート制御を行うためのプログラマブル・ゲート・ドライバ駆動ソース電流。IDRVP_x 制御レジスタまたは IDRIVE ピンを使用して構成。
	I_{DRVN}	可変 MOSFET スルーレート制御を行うためのプログラマブル・ゲート駆動シンク電流。IDRVN_x 制御レジスタまたは IDRIVE ピンを使用して構成。
	I_{HOLD}	非スイッチング期間中の固定ゲート・ドライバ・ホールド・プルアップ電流。
	I_{STRONG}	非スイッチング期間中の固定ゲート・ドライバ強プルダウン電流。
	t_{DRIVE}	I_{HOLD} または I_{STRONG} 以前の $I_{DRVP/N}$ 駆動電流期間。V_{GS} と V_{DS} 障害監視ブランキング期間も実現。VGS_TDRV_x 制御レジスタを使用して構成。
	t_{PD}	ロジック制御信号からゲート・ドライバ出力変更までの伝搬遅延。
	t_{DEAD}	ハイサイド・スイッチとローサイド・スイッチの遷移間のボディ・ダイオードの導通期間。TDEAD_x 制御レジスタを使用して構成。

Copyright © 2022 Texas Instruments Incorporated

7.3.4.1 機能ブロック図

図 7-4 は、ハーフブリッジ・ゲート・ドライバ・アーキテクチャの高レベル機能ブロック図を示しています。ゲート・ドライバ・ブロックは、MOSFET 制御、フィードバック、保護のための各種機能を提供します。これには、可変駆動電流、制御ロジック・レベル・シフタ、V_{DS}、および V_{GS} フィードバック・コンパレータ、ハイサイド・ツェナー・クランプ、パッシブ / アクティブ・プルダウン抵抗を持つ、相補型のプッシュプル・ハイサイド / ローサイド・ゲート・ドライバが含まれています。

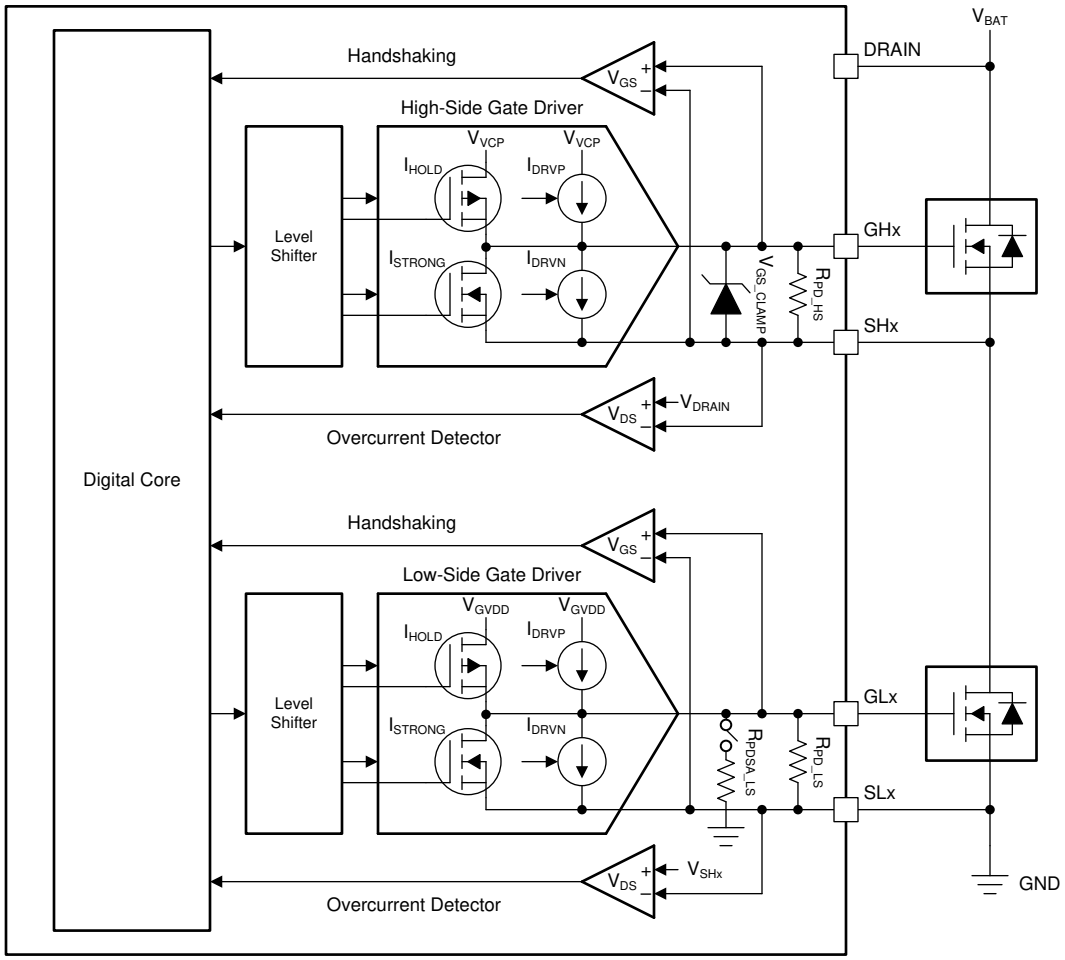


図 7-4. ゲート・ドライバの機能ブロック図

7.3.4.2 スルーレート制御 (IDRIVE)

スマート・ゲート・ドライブ・アーキテクチャの IDRIVE コンポーネントには、外部 MOSFET V_{DS} スルーレートを調整するための可変ゲート・ドライブ電流制御が実装されています。これは、内部ゲート・ドライバ・アーキテクチャ用に可変プルアップ (I_{DRVP}) およびプルダウン (I_{DRVN}) 電流ソースを実装することで実現します。

外部 MOSFET の V_{DS} スルーレートは、放射ノイズ / 伝導ノイズ、ダイオード逆回復、dV/dt 寄生ゲート・カップリング、ハーフブリッジのスイッチ・ノード上の過電圧または低電圧過渡を最適化するのに不可欠な要素です。IDRIVE は、V_{DS} スルーレートが主に MOSFET Q_{GD} またはミラー充電領域中のゲート電荷率 (またはゲート電流) によって決定されるという原理に基づいて動作します。ゲート・ドライバでゲート電流を調整できるようにすることで、外部パワー MOSFET のスルーレートを効果的に制御できます。

IDRIVE を使用することで、DRV8106-Q1 は、H/W インターフェイス・デバイス上の IDRVP_x と IDRVN_x SPI レジスタまたは IDRIVE ピンにより、ゲート・ドライバ電流設定を動的に変更できます。表 7-4 に示すように、このデバイスではソースとシンク電流について、0.5mA～62mA の範囲で、16 の設定が用意されています。ピーク・ゲート駆動電流を、t_{DRIVE}

Copyright © 2022 Texas Instruments Incorporated

期間に対して使用可能です。MOSFET がスイッチされ、t_{DRIVE} 期間が経過した後、ゲート・ドライバは、短絡状態の場合に、プルアップ・ソース電流に対するホールド電流 (I_{HOLD}) へスイッチして出力電流を制限し、ドライバの効率を向上させます。

表 7-4. IDRIVE ソース (I_{DRVP}) とシンク (I_{DRVN}) 電流

IDRVP_x/IDRVN_x	ソース / シンク電流 (mA)
0000b	0.5
0001b	1
0010b	2
0011b	3
0100b	4
0101b	6
0110b	8
0111b	12
1000b	16
1001b	20
1010b	24
1011b	28
1100b	31
1101b	40
1110b	48
1111b	62

7.3.4.3 ゲート・ドライブ・ステート・マシン (TDRIVE)

スマート・ゲート・ドライブ・アーキテクチャの TDRIVE 構成要素は、自動デッドタイム挿入、寄生 dV/dt ゲート・カップリング防止、MOSFET ゲート障害検出を実現する統合型ゲート・ドライブ・ステート・マシンです。

TDRIVE ステート・マシンの最初の構成要素は自動デッドタイム・ハンドシェイクです。デッドタイムとは、外部ハイサイド / ローサイド MOSFET のスイッチング間のボディ・ダイオード伝導期間で、クロス伝導または貫通電流を防止します。DRV8106-Q1 は V_{GS} 監視を使用して、ブレークを実施してから、外部 MOSFET V_{GS} 電圧を測定することでデッドタイム・スキーマを構成し、外部 MOSFET を適切にイネーブルにするタイミングを決定します。このスキーマにより、ゲート・ドライバが温度ドリフト、エージング、電圧変動、および外部 MOSFET パラメータの変動など、システム内の変動に対するデッドタイムを調整できるようになります。必要に応じて、固定デジタル・デッドタイム (t_{DEAD_D}) を追加し、SPI レジスタにより調整できます。

2 番目の部品は、寄生 dV/dt ゲート電荷カップリングの防止に重点を置いています。これは、ハーフブリッジ内の反対側の MOSFET がスイッチングしているときに常時、強ゲート電流プルダウン (I_{STRONG}) をイネーブルにすることで実施します。この機能は、ハーフブリッジ・スイッチ・ノードのスルーレートが高い場合に外部 MOSFET ゲートにカップリングする寄生電荷を除去するのに役立ちます。

3 番目の部品は、ゲート電圧の問題を検出するためのゲート障害検出方法を実装しています。これは、ピン間の半田付け不良、MOSFET ゲート障害、またはゲートが High または Low に固着した状態を検出するために使用されます。これは、V_{GS} モニタを使用して、t_{DRIVE} 時間の終了後にゲート電圧を測定することで行います。ゲート電圧が適切なスレッショルドに達していない場合、ゲート・ドライバは対応するフォルト状況を通知します。障害が誤って検出されないように、MOSFET ゲートの充電または放電に必要な時間より長い t_{DRIVE} 時間を選択する必要があります。t_{DRIVE} 時間によって PWM 時間が延長されることはなく、別の PWM コマンドを受け取った場合はその時点で終了します。

Copyright © 2022 Texas Instruments Incorporated

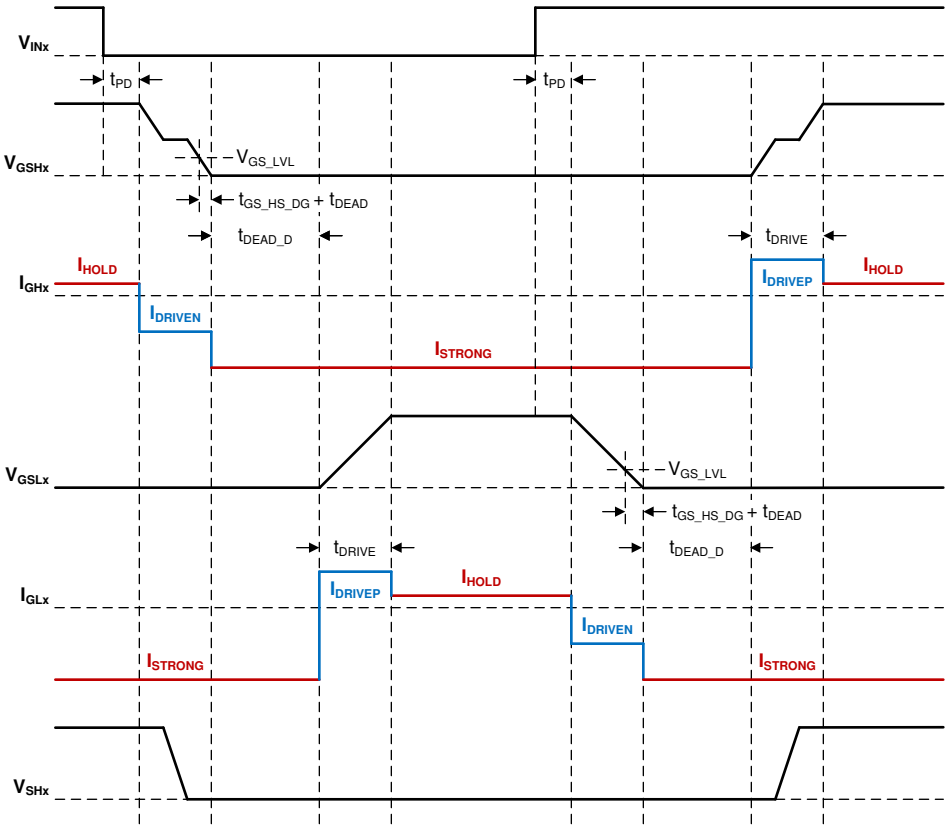


図 7-5. TDRIVE ステート・マシン

7.3.5 電圧増倍 (単段) チャージ・ポンプ

外部 MOSFET 用のハイサイド・ゲート・ドライブ電圧は、PVDD 電源入力で動作する電圧増倍チャージ・ポンプを使用して生成されます。このチャージ・ポンプにより、ハイサイド・ゲート・ドライバは幅広い入力電源電圧範囲にわたるソース電圧を基準として、外部 N チャネル MOSFET を正しくバイアスできます。チャージ・ポンプ出力は、V_{PVDD} を基準として固定電圧を維持するように制御され、15mA の平均出力電流能力をサポートします。低電圧イベントを検出して MOSFET の駆動不足状態を防止するため、チャージ・ポンプは継続的に監視されます。

チャージ・ポンプは PVDD ピン電圧で制御されるため、デバイスは PVDD ピンと DRAIN ピン間で大幅な電圧差をサポートするように設計されておらず、これらは制限される必要があります。

このチャージ・ポンプには、PVDD ピン - VCP ピン間の蓄積コンデンサとして機能する、低 ESR、1µF、16V のセラミック・コンデンサ (X5R または X7R を推奨) が必要です。また、CPH ピン - CPL ピン間には、フライング・コンデンサとして機能する、低 ESR、100nF、PVDD 定格のセラミック・コンデンサ (X5R または X7R を推奨) が必要です。

Copyright © 2022 Texas Instruments Incorporated

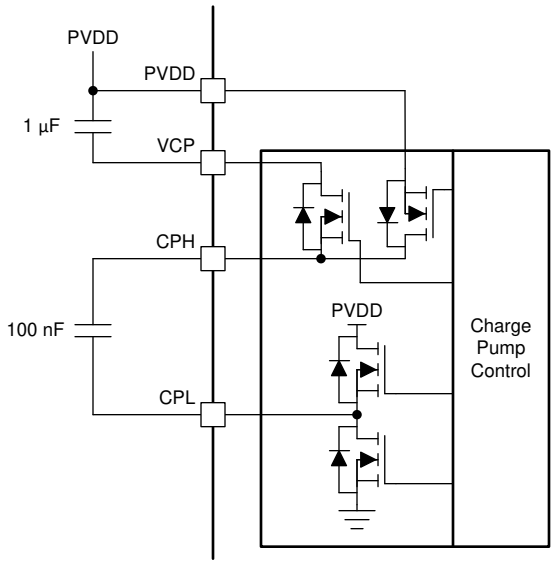


図 7-6. チャージ・ポンプのアーキテクチャ

7.3.6 広同相差動電流シャント・アンプ

DRV8106-Q1 は、外部ハーフブリッジ内のシャント抵抗を使用する電流測定用の高性能で広同相な双方向電流シャント・アンプを内蔵しています。電流測定は、一般に、過電流保護、外部トルク制御、外部コントローラによる整流を実装するために使用されます。シャント・アンプの高い同相範囲により、ローサイド、ハイサイド、またはインライン・シャント構成をサポートできます。電流シャント・アンプにはプログラマブル・ゲイン、単方向と双方向のサポート、出力ブランキングとサンプル / ホールド・スイッチ、アンプ出力の中間点バイアス電圧設定用の専用電圧基準ピン (AREF) などの機能があります。図 7-7 に、簡略化したブロック図を示します。SP はシャント抵抗の正端子に接続し、SN はシャント抵抗の負端子に接続する必要があります。アンプを使用しない場合は、AREF、SN、SP 入力を AGND、AGND～PCB GND に接続して、SO 出力をフローティングのままにすることができます。

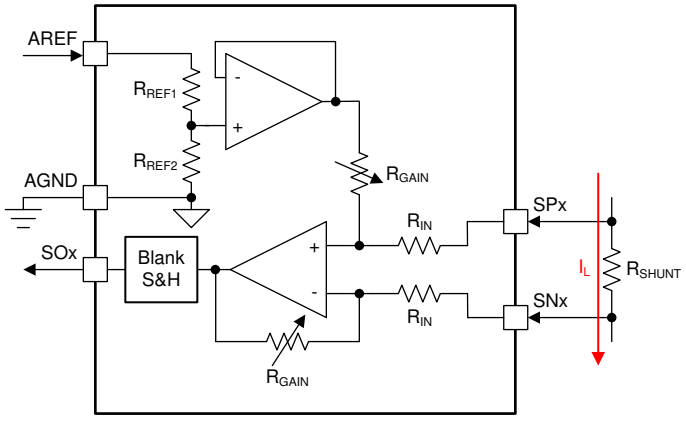


図 7-7. アンプのブロック概略図

図 7-8 に、詳細なブロック図を示します。広同相アンプは、2 段差動アーキテクチャで実装されています。1 番目の差動段では、広い同相入力、差動出力をサポートし、ゲインは G = 2 で固定されています。2 番目の差動段では、可変ゲイン調整、G = 5、10、20、40 をサポートします。2 つの段の合計ゲインは、G = 10、20、40、または 80 となります。

また、アンプは AREF ピンにより、出力電圧バイアスを生成することもできます。AREF ピンは、分圧ネットワークとバッファに向かい、その後、差動アンプの出力電圧バイアスを設定します。SPI デバイス・バリアントでは、レジスタ設定

Copyright © 2022 Texas Instruments Incorporated

CSA_GAIN と CSA_DIV による基準分圧比によって、ゲインが構成されます。H/W デバイス・バリアントでは、基準分圧比は V_{AREF}/2 に固定されています。ゲインは、GAIN ピンにより構成されます。

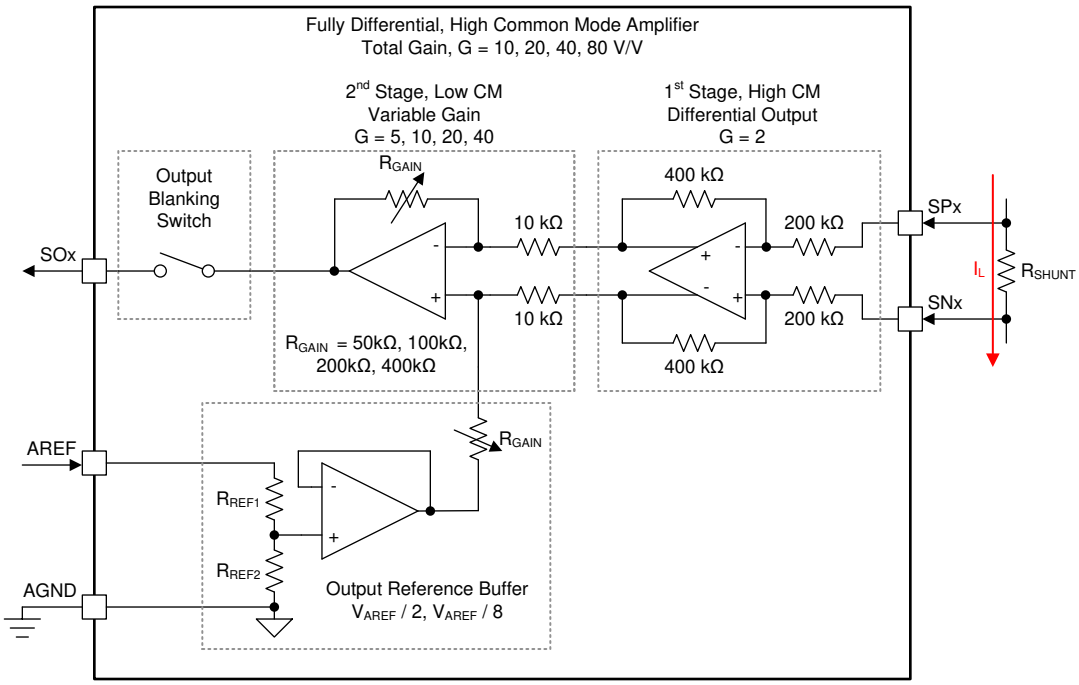


図 7-8. アンプの詳細ブロック図

最後に、アンプには出力ブランキングまたはサンプル / ホールド・スイッチがあります。このオプションは、SPI デバイス・バリアントでのみ利用可能です。出力スイッチを使用して、PWM スイッチング時にアンプ出力を接続解除し、出力ノイズ (ブランキング) を低減したり、シャントがハイサイドまたはローサイド構成で使用されている場合、モーターの制動時に出力値を維持 (サンプル / ホールド) したりすることができます。ブランキング回路は、CSA_BLK_SEL レジスタ設定により、アクティブ・ハーフブリッジ (ハーフブリッジ 1 またはハーフブリッジ 2) でトリガを設定できます。ブランキング期間は、CSA_BLK レジスタ設定により構成できます。サンプル / ホールド回路は、CSA_SH_EN レジスタ設定でイネーブルにできます。アクティブになると、ドライバがハイサイドまたはローサイド制動に移行するたびに、サンプル / ホールドがトリガされます。ブランキング機能またはサンプル / ホールド機能を利用するには、アンプ出力接続解除時の安定化のため、出力保持コンデンサが必要です。通常、このコンデンサは RC フィルタ構成の直列抵抗の後に配置して、アンプ出力部分で直接見られる容量を直接制限することを推奨します。

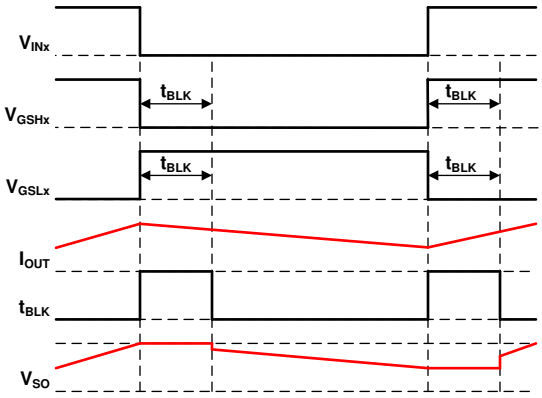


図 7-9. DRV8106-Q1 アンプ・ブランキング例

Copyright © 2022 Texas Instruments Incorporated

図 7-9 は、アンプ・ブランキング機能の例を示しています。この機能は、スイッチング遷移中にアンプ出力を Hi-Z にするために使用できますが、デフォルトでは要求されません。この機能は、PWM スイッチング遷移中に広い同相のスイングまたはグランド・シフトによるノイズが発生し、アンプ出力に干渉している場合にメリットがあります。図に示すように、ブランキング機能は、GHx または GLx のいずれかの遷移後、一定時間、アンプ出力をディセーブルにすることで動作します。この期間は、CSA_BLK レジスタ設定により構成される t_{BLK} 設定によって決定されます。

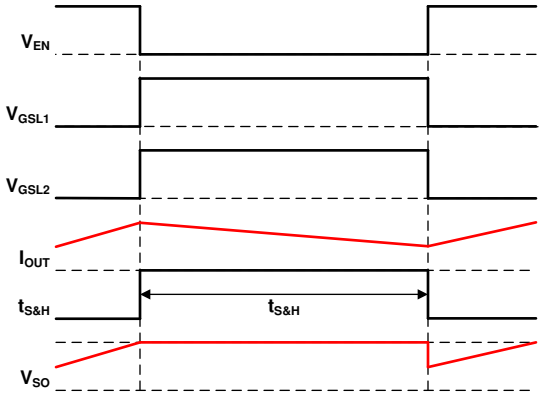


図 7-10. DRV8106-Q1 アンプ・サンプル / ホールド例

図 7-10 は、アンプ・サンプル / ホールド機能の例を示しています。この機能は、H ブリッジ内で電流が循環しているときに、アンプ出力を Hi-Z にするために使用できますが、デフォルトでは要求されません。この機能は、電流の循環中に電流情報が失われる状況で、シャント抵抗を H ブリッジのハイサイドまたはローサイドに構成する場合にメリットがあります。図に示すように、サンプル / ホールド機能では、出力コンデンサが荷電状態を維持するため、アンプのそれまでの出力状態が保持されます。H ブリッジが循環状態を終了すると、アンプは動作を再開します。

7.3.7 ピン配置

ここでは、すべてのデジタル入出力ピンの I/O 構造を示します。

7.3.7.1 ロジック・レベル入力ピン (DRVOFF、IN1/EN、nHIZx、nSLEEP、nSCS、SCLK、SDI)

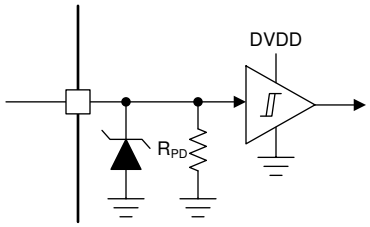


図 7-11. 入力ピンの構造

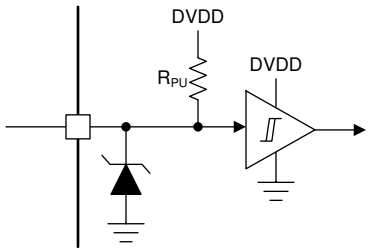


図 7-12. 入力ピンの構造 (nSCS)

Copyright © 2022 Texas Instruments Incorporated

7.3.7.2 ロジック・レベル・プッシュプル出力 (SDO)

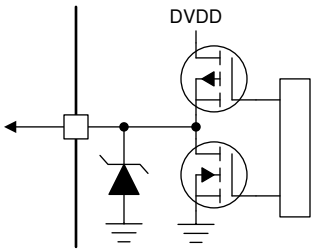


図 7-13. プッシュプル出力構造 (SDO)

7.3.7.3 ロジック・レベル・オープン・ドレイン出力 (nFAULT)

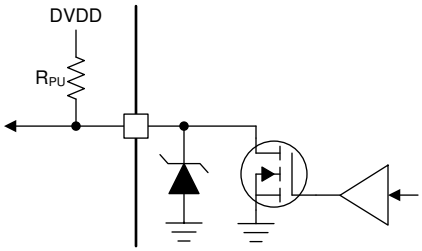


図 7-14. オープン・ドレイン出力構造 (nFAULT)

7.3.7.4 クワッドレベル入力 (GAIN)

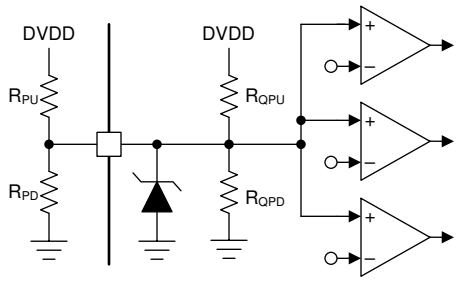


図 7-15. クワッドレベル入力構造 (GAIN)

Copyright © 2022 Texas Instruments Incorporated

7.3.7.5 6 レベル入力 (IDRIVE、VDS)

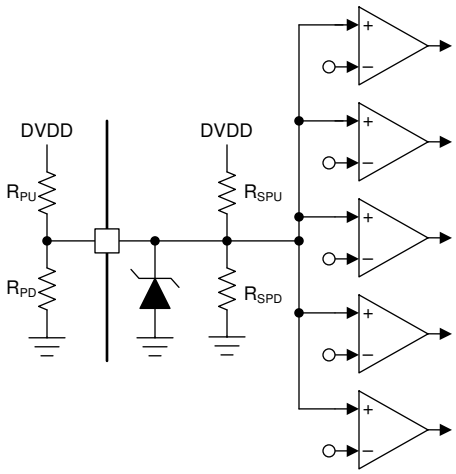


図 7-16. 6 レベル入力構造 (IDRIVE、VDS)

7.3.8 保護および診断機能

7.3.8.1 ゲート・ドライバのディセーブルとイネーブル (DRVOFF と EN_DRV)

DRV8106-Q1 は、DRVOFF ピンで専用ドライバ・ディセーブルを実現します。DRVOFF がアサートされると、ピンまたは SPI 入力に関係なく、ゲート・ドライバのプルダウンがイネーブルされます。

SPI デバイス・バリアントでは、EN_DRV 機能により、制御されたパワーアップ・シーケンスが実現します。デバイスの電源投入後、EN_DRV レジスタ・ビットがアサートされるまでの間、ゲート・ドライバはディセーブルを維持します。これにより、ゲート・ドライバがイネーブルになる前に、システムが起動して構成シーケンスを実行することができます。H/W デバイスでは、この機能は提供されておらず、起動後に自動的にドライバがイネーブルになります。

7.3.8.2 フォルト・リセット (CLR_FLT)

DRV8106-Q1 には、ドライバからフォルト状況をクリアし、動作を再開するための特定のシーケンスが用意されています。この機能は CLR_FLT レジスタ・ビットによって動作します。フォルト通知をクリアするには、フォルト状況の解消後、CLR_FLT レジスタ・ビットをアサートする必要があります。アサート後、ドライバはフォルトをクリアし、CLR_FLT レジスタ・ビットをリセットします。この機能は、SPI デバイスのバリアントでのみ利用できます。H/W デバイスのバリアントでは、その状況が解消されると、すべての障害が自動的に回復します。

7.3.8.3 DVDD ロジック電源パワーオン・リセット (DVDD_POR)

DVDD ピンの入力ロジック電源電圧が $t_{DVDD_POR_DG}$ 時間より長い時間 V_{DVDD_POR} スレッショルドを下回るか、nSLEEP ピンが Low にアサートされる場合は常に、デバイスは非アクティブ状態に移行し、ゲート・ドライバ、チャージ・ポンプ、保護監視をディセーブルします。DVDD 低電圧状態が解消されるか、nSLEEP ピンが High にアサートされると、通常動作が再開されます。DVDD パワーオン・リセット (POR) 後、CLR_FLT が発行されるまで POR レジスタ・ビットがアサートされます。

7.3.8.4 PVDD 電源低電圧監視 (PVDD_UV)

PVDD ピンの電源電圧が V_{PVDD_UV} スレッショルドを下回る状態が、$t_{PVDD_UV_DG}$ 時間より長く続くと常に、DRV8106-Q1 は PVDD 低電圧状態を検出します。低電圧状態の検出後、ゲート・ドライバ・プルダウンはイネーブル、チャージ・ポンプはディセーブルになり、nFAULT ピン、FAULT レジスタ・ビット、および PVDD_UV レジスタ・ビットがアサートされます。

SPI デバイス・バリアントでは、PVDD 低電圧監視が PVDD_UV_MODE レジスタ設定により、2 つの異なるモードで回復できます。

Copyright © 2022 Texas Instruments Incorporated

- **ラッチ・フォルト・モード:** 低電圧状態の解消後、CLR_FLT が発行されるまでは、フォルト状態はラッチされたままで、チャージ・ポンプはディセーブルに維持されます。
- **自動回復モード:** 低電圧状態が解消されると、nFAULT ピンと FAULT レジスタのビットが自動的にクリアされ、チャージ・ポンプは自動的に再びイネーブルになります。PVDD_UV レジスタ・ビットは、CLR_FLT が発行されるまでラッチされたままです。

H/W デバイス・バリアントでは、PVDD 低電圧監視は自動回復モードに固定されています。

7.3.8.5 PVDD 電源過電圧監視 (PVDD_OV)

PVDD ピンの電源電圧が V_{PVDD_OV} スレッショルドを $t_{PVDD_OV_DG}$ 時間より長い時間超えると、DRV8106-Q1 は PVDD 過電圧状態を検出し、PVDD_OV_MODE レジスタ設定に従い、動作を行います。過電圧スレッショルドとグリッチ除去時間は、PVDD_OV_LVL および PVDD_OV_DG レジスタ設定により調整できます。

SPI デバイス・バリアントでは、PVDD 過電圧監視が PVDD_OV_MODE レジスタ設定により、4 つの異なるモードで応答し、回復できます。

- **ラッチ・フォルト・モード:** 過電圧状態の検出後、ゲート・ドライバ・プルダウンはイネーブルになり、nFAULT ピン、FAULT レジスタ・ビット、および PVDD_OV レジスタ・ビットがアサートされます。過電圧状態の解消後、CLR_FLT が発行されるまではフォルト状態はラッチされたままです。
- **自動回復モード:** 過電圧状態の検出後、ゲート・ドライバ・プルダウンはイネーブルになり、nFAULT ピン、FAULT レジスタ・ビット、および PVDD_OV レジスタ・ビットがアサートされます。過電圧状態が解消されると、nFAULT ピンと FAULT レジスタのビットが自動的にクリアされ、ドライバが自動的に再びイネーブルになります。PVDD_OV レジスタ・ビットは、CLR_FLT が発行されるまでラッチされたままです。
- **警告レポートのみモード:** PVDD 過電圧状態は、WARN および PVDD_OV レジスタ・ビット内で通知されます。デバイスは一切対応を行いません。CLR_FLT が発行されるまで、警告はラッチされたままです。
- **ディセーブル・モード:** PVDD 過電圧監視はディセーブルとなり、応答や通知を行いません。

H/W デバイス・バリアントでは、PVDD 過電圧監視はディセーブルになっています。

7.3.8.6 VCP チャージ・ポンプ低電圧誤動作防止 (VCP_UV)

VCP ピンの電圧が V_{VCP_UV} スレッショルドを下回る状態が、$t_{PVDD_UV_DG}$ 時間を超えると常に、DRV8106-Q1 は VCP 低電圧状態を検出します。低電圧状態の検出後、ゲート・ドライバ・プルダウンはイネーブルになり、nFAULT ピン、FAULT レジスタ・ビット、および VCP_UV レジスタ・ビットがアサートされます。低電圧スレッショルドは、VCP_UV_LVL レジスタ設定により調整できます。

SPI デバイス・バリアントでは、VCP 低電圧監視は VCP_UV_MODE レジスタで設定される 2 つの異なるモードで回復できます。

- **ラッチ・フォルト・モード:** さらに、ラッチ・フォルト・モードではチャージ・ポンプがディセーブルになります。低電圧状態の解消後、CLR_FLT が発行されるまでは、フォルト状態はラッチされたままで、チャージ・ポンプはディセーブルのままです。
- **自動回復モード:** 低電圧状態が解消されると、nFAULT ピンと FAULT レジスタのビットが自動的にクリアされ、ドライバが自動的に再びイネーブルになります。VCP_UV レジスタ・ビットは、CLR_FLT が発行されるまでラッチされたままです。

H/W デバイス・バリアントでは、VCP 低電圧監視は自動回復モードに、スレッショルドは 2V にそれぞれ固定されています。

7.3.8.7 MOSFET V_{DS} 過電流保護 (VDS_OCP)

V_{DS} 過電流コンパレータの両端の電圧が V_{DS_LVL} を t_{DS_DG} 時間より長い時間超えている場合、DRV8106-Q1 は V_{DS} 過電流状態を検出します。電圧スレッショルドとグリッチ除去時間は、VDS_LVL と VDS_DG レジスタ設定により調整できます。さらに、独立ハーフブリッジとスプリット HS/LS PWM 制御 (BRG_MODE = 00b、11b) では、すべてのハーフブリッジ、または VDS_IND レジスタ設定により障害が発生した関連するハーフブリッジのみをディスエーブルにするようにデバイスを構成できます。

SPI デバイスのバリアントでは、V_{DS} 過電流モニタが VDS_MODE レジスタにより設定される 4 つの異なるモードで応答し、回復できます。

Copyright © 2022 Texas Instruments Incorporated

- **ラッチ・フォルト・モード**:過電流イベントの検出後、ゲート・ドライバ・プルダウンはイネーブルになり、nFAULT ピン、FAULT レジスタ・ビット、および関連する VDS レジスタ・ビットがアサートされます。過電流イベントの解消後、CLR_FLT が発行されるまでフォルト状態はラッチされた状態のままです。
- **サイクルごとのモード**:過電流イベントの検出後、ゲート・ドライバ・プルダウンはイネーブルになり、nFAULT ピン、FAULT レジスタ・ビット、および関連する VDS レジスタ・ビットがアサートされます。次の PWM 入力により、nFAULT ピンと FAULT レジスタ・ビットがクリアされ、ドライバが再度自動的にイネーブルになります。関連する VDS レジスタ・ビットは、CLR_FLT が発行されるまでアサートされた状態のままです。
- **警告レポートのみモード**:過電流イベントは、警告と関連する VDS レジスタ・ビットで通知されます。デバイスは一切対応を行いません。CLR_FLT が発行されるまで、警告はラッチされたままです。
- **ディセーブル・モード**:V_{DS} 過電流監視はディセーブルとなり、応答や通知を行いません。

H/W デバイスのバリアントでは、V_{DS} 過電流モードはサイクルごとに固定されており、t_{VDS_DG} は 4µs に固定されています。独立ハーフブリッジおよび分割 HS/LS PWM 制御モードでは、独立したハーフブリッジ・シャットダウンが自動的にイネーブルになります。また、VDS ピン・マルチレベル入力のレベル 6 により、V_{DS} 過電流保護をディセーブルにできます。

V_{DS} 過電流障害が発生したときは、外部 MOSFET をディセーブルにする時間を延長または短縮するために、ゲート・プルダウン電流を構成できます。これにより、大電流の短絡状況でのスロー・ターンオフを回避できます。この設定は、SPI デバイスの VDS_IDRVN レジスタ設定により構成されます。ハードウェア・デバイスでは、この設定はプログラムされた I_{DRVN} 電流と自動的にマッチングされます。

7.3.8.8 ゲート・ドライバ・フォルト (VGS_GDF)

V_{GS} 電圧が V_{GS_LVL} コンパレータ・レベルを t_{DRIVE} 時間よりも長い時間にわたって超えない場合、DRV8106-Q1 は V_{GS} ゲート・フォルト状況を検出します。さらに、独立ハーフブリッジとスプリット HS/LS PWM 制御 (BRG_MODE = 00b、11b) では、すべてのハーフブリッジ、または VGS_IND レジスタ設定によりゲート障害が発生した関連するハーフブリッジのみをディセーブルにするようにデバイスを構成できます。

SPI デバイス・バリアントでは、V_{GS} ゲート・フォルト・モニタが VGS_MODE レジスタ設定により、4 つの異なるモードで応答し、回復できます。

- **ラッチ・フォルト・モード**:ゲート・フォルト・イベントの検出後、ゲート・ドライバ・プルダウンはイネーブルになり、nFAULT ピン、FAULT レジスタ・ビット、および関連する VGS レジスタ・ビットがアサートされます。ゲート・フォルト・イベントの解消後、CLR_FLT が発行されるまではフォルト状況はラッチされた状態のままです。
- **サイクルごとのモード**:ゲート・フォルト・イベントの検出後、ゲート・ドライバ・プルダウンはイネーブルになり、nFAULT ピン、FAULT レジスタ・ビット、および関連する VGS レジスタ・ビットがアサートされます。次の PWM 入力により、nFAULT ピンと FAULT レジスタ・ビットがクリアされ、ドライバが再度自動的にイネーブルになります。関連する VGS レジスタ・ビットは、CLR_FLT が発行されるまでアサートされた状態のままです。
- **警告レポートのみモード**:過電流イベントは、警告と関連する VGS レジスタ・ビットで通知されます。デバイスは一切対応を行いません。CLR_FLT が発行されるまで、警告はラッチされた状態のままです。
- **ディセーブル・モード**:V_{GS} ゲートのフォルト監視はディセーブルとなり、応答や通知を行いません。

H/W デバイス・バリアントでは、V_{GS} ゲート・フォルト・モードはサイクルごとに固定されており、t_{DRIVE} は 4µs に固定されています。独立ハーフブリッジおよび分割 HS/LS PWM 制御モードでは、独立したハーフブリッジ・シャットダウンが自動的にイネーブルになります。また、VDS ピン・マルチレベル入力のレベル 6 により、V_{GS} ゲート・フォルト保護をディセーブルにできます。

7.3.8.9 過熱警告 (OTW)

ダイ温度が T_{OTW} 過熱警告スレッショルドを上回ると、DRV8106-Q1 は過熱警告を検出し、WARN および OTW レジスタ・ビットをアサートします。過熱状態の解消後、CLR_FLT が発行されるまでは、WARN および OTW レジスタ・ビットはアサートされたままになります。

H/W デバイス・バリアントでは、過熱警告は検出、通知されません。

Copyright © 2022 Texas Instruments Incorporated

7.3.8.10 サーマル・シャットダウン (OTSD)

ダイ温度が T_{OTSD} サーマル・シャットダウン・スレッショルドを上回ると、DRV8106-Q1 は過熱障害を検出します。過熱障害の検出後、ゲート・ドライバ・プルダウンはイネーブルに、チャージ・ポンプはディセーブルにそれぞれなり、nFAULT ピン、FAULT レジスタ・ビット、および OTSD レジスタ・ビットがアサートされます。過熱状態の解消後、CLR_FLT が発行されるまでは、フォルト状態はラッチされたままです。

H/W デバイス・バリアントでは、過熱状態が解消されると、nFAULT ピンが自動的にクリアされ、ドライバとチャージ・ポンプが自動的に再びイネーブルになります。

7.3.8.11 オフライン短絡とオープン負荷検出 (OOL / OSC)

このデバイスには、オフラインでの短絡を実行し、外部パワー MOSFET と負荷をオープン負荷診断するのに必要なハードウェアが搭載されています。これは外部ハーフブリッジ・スイッチ・ノードに接続される、SHx ピンの集積プルアップ / プルダウン電流ソースにより、実現しています。オフライン診断は、OLSC_CTRL レジスタ内の関連するレジスタ・ビットにより制御されます。まず、OLSC_EN レジスタ設定により、オフライン診断モードをイネーブルにする必要があります。その後、個別の電流ソースを PD_SHx および PU_SHx レジスタ設定によりイネーブルにできます。

SHx ピンの電圧は、内部 V_{DS} コンパレータによって連続的に監視されます。診断状態の間、V_{DS} コンパレータは、関連する VDS レジスタ・ステータス・ビット内の SPI レジスタ内の SHx ピン・ノード上のリアルタイムの電圧帰還を通知します。

オフライン診断をイネーブルにする前に、EN_DRV レジスタ設定により、外部 MOSFET ハーフブリッジをディスエーブル状態にすることを推奨します。また、V_{DS} コンパレータのスレッショルド (VDS_LVL) は、内部ブロッキング・ダイオードの順方向電圧降下に対して十分なヘッドルームを確保するため、1V 以上に調整する必要があります。

H/W デバイスのバリアントでは、この機能は利用できません。

オフライン診断シーケンスを正しく実行するには、以下の手順に従う必要があります。

- EN_DRV 制御レジスタを 0b に設定し、出力ドライバをディセーブルにします。
- OLSC_EN 制御レジスタを 1b に設定し、オフライン診断をイネーブルにします。
- PD_SHx 制御レジスタと PU_SHx 制御レジスタを、適宜イネーブルにします。
- VDS_x ステータス・レジスタを読み戻し、出力ステータスを判定します。
- PD_SHx 制御レジスタと PD_SHx 制御レジスタをディセーブルにします。
- OLSC_EN 制御レジスタを 0b に設定し、オフライン診断をディセーブルにします。
- EN_DRV 制御レジスタを 1b に設定し、出力ドライバを再度イネーブルにします。

Copyright © 2022 Texas Instruments Incorporated

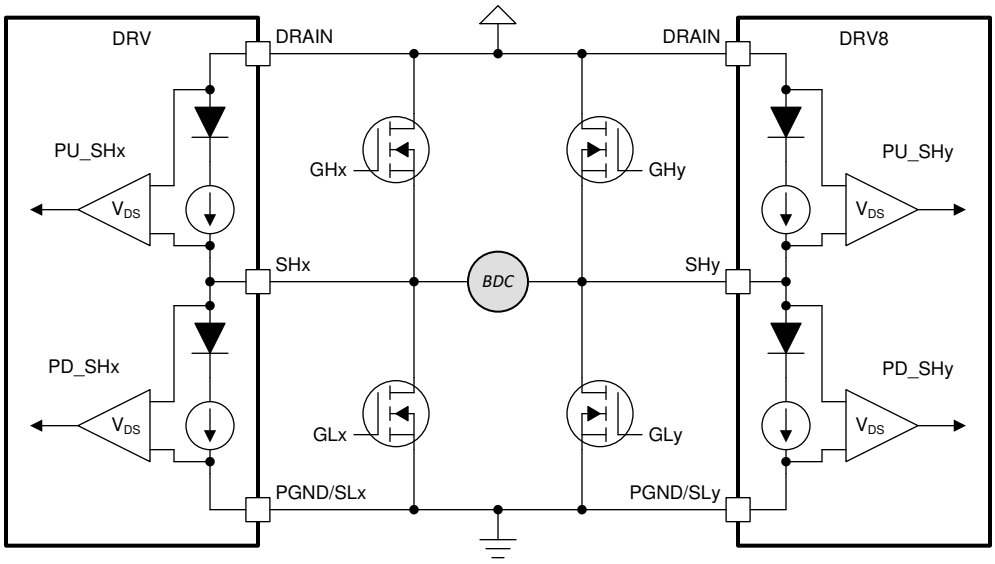


図 7-17. オフライン診断

7.3.8.12 障害検出と応答の概略表

表 7-5. 障害検出と応答の概略

名称	条件	SPI ビット	モード	デジタル・コア	チャージ・ポンプ	ゲート・ドライバ	電流センス	応答
ドライバのディセーブル	DRVOFF = High	n/a	n/a	アクティブ	アクティブ	プルダウン	アクティブ	n/a
DVDD パワーオン・リセット	DVDD < V_{DVDD_POR}	POR	n/a	リセット	ディセーブル	セミアクティブプルダウン	ディセーブル	SPI
PVDD 低電圧	PVDD < V_{PVDD_UV}	UV、PVDD_UV	ラッチ	アクティブ	ディセーブル	セミアクティブプルダウン	ディセーブル	nFAULT、SPI
			自動	アクティブ	ディセーブル	セミアクティブプルダウン	ディセーブル	nFAULT、SPI
PVDD 過電圧	PVDD > V_{PVDD_UV}	OV、PVDD_OV	ラッチ	アクティブ	アクティブ	プルダウン	アクティブ	nFAULT、SPI
		OV、PVDD_OV	自動	アクティブ	アクティブ	プルダウン	アクティブ	nFAULT、SPI
		OV、PVDD_OV	警告	アクティブ	アクティブ	アクティブ	アクティブ	WARN、SPI
		n/a	ディセーブル	アクティブ	アクティブ	アクティブ	アクティブ	n/a
VCP 低電圧	VCP < V_{VCP_UV}	UV、VCP_UV	ラッチ	アクティブ	ディセーブル	セミアクティブプルダウン	ディセーブル	nFAULT、SPI
			自動	アクティブ	アクティブ	セミアクティブプルダウン	ディセーブル	nFAULT、SPI
VDS 過電流	VDS > V_{VDS_LVL}	DS_GS、VDS_X	ラッチ	アクティブ	アクティブ	I_{VDS_IDRVN} プルダウン	アクティブ	nFAULT、SPI
			サイクル	アクティブ	アクティブ	I_{VDS_IDRVN} プルダウン	アクティブ	nFAULT、SPI
			警告	アクティブ	アクティブ	アクティブ	アクティブ	WARN、SPI
			ディセーブル	アクティブ	アクティブ	アクティブ	アクティブ	n/a
VGS ゲート障害	VGS > V_{VGS_LVL}	DS_GS、VGS_X	ラッチ	アクティブ	アクティブ	プルダウン	アクティブ	nFAULT、SPI
			サイクル	アクティブ	アクティブ	プルダウン	アクティブ	nFAULT、SPI
			警告	アクティブ	アクティブ	アクティブ	アクティブ	WARN、SPI
			ディセーブル	アクティブ	アクティブ	アクティブ	アクティブ	n/a
過熱警告	$T_J > T_{OTW}$	OT、OTW	自動	アクティブ	アクティブ	アクティブ	アクティブ	WARN、SPI
サーマル・シャットダウン	$T_J > T_{OTSD}$	OT、OTSD	ラッチ	アクティブ	ディセーブル	セミアクティブプルダウン	ディセーブル	nFAULT、SPI
オフライン・オープン負荷	n/a	VDS_X	マイコン (MCU)	アクティブ	アクティブ	プルダウン	アクティブ	SPI
オフライン短絡	n/a	VDS_X	マイコン (MCU)	アクティブ	アクティブ	プルダウン	アクティブ	SPI

Copyright © 2022 Texas Instruments Incorporated

7.4 デバイスの機能モード

7.4.1 非アクティブまたはスリープ状態

nSLEEP ピンがロジック Low になるか、または DVDD 電源が V_{DVDD_POR} スレッショルドを下回った場合、デバイスは低消費電力スリープ状態に移行し、デバイスの静止電流を減少させます。この状態では、nSLEEP ピンで低消費電力監視以外の主要な機能ブロックをすべて、ディセーブルにします。MOSFET をオフ状態で維持するため、外部 MOSFET ゲートに対して、パッシブ・ゲート・プルダウンが供給されます。

7.4.2 スタンバイ状態

nSLEEP ピンが論理 High で、DVDD 入力が V_{DVDD_POR} スレッショルドを超えた場合、t_{WAKE} 遅延後、デバイスは電源オン・スタンバイ状態に移行します。デジタル・コアおよび SPI 通信はアクティブになりますが、PVDD 入力が V_{PVDD_UV} スレッショルドを超えるまで、チャージ・ポンプとゲート・ドライバはディセーブルのままになります。この状態では、SPI レジスタのプログラムとフォルト通知が可能ですが、ゲート・ドライバ動作はできません。

7.4.3 動作状態

nSLEEP ピンがロジック High で、DVDD 入力が V_{DVDD_POR} スレッショルドを超え、PVDD 入力が V_{PVDD_UV} スレッショルドを超えると、デバイスは最大動作状態に移行します。この状態では、ゲート・ドライバ以外の主要な機能ブロックはすべて、アクティブになります。最大動作が開始できるようにする前に、EN_DRV レジスタ・ビットにより、ゲート・ドライバをイネーブルにする必要があります。

H/W デバイスのバリアントでは、デバイスは動作状態のドライバを自動的にイネーブルにします。

7.5 プログラミング

7.5.1 SPI インターフェイス

SPI バスは、デバイス構成と動作パラメータの設定、DRV8106-Q1 デバイスの診断情報の読み出しに使用します。SPI はスレーブ・モードで動作し、マスタ・コントローラに接続します。SPI 入力データ (SDI) ワードは 16 ビットのワード、8 ビットのコマンド、8 ビットのデータで構成されています。SPI 出力データ (SDO) ワードは、フォルト・ステータス表示ビット、および読み出しコマンド用のアクセス中のレジスタ・データまたは書き込みコマンド用のヌルで構成されています。MCU と SPI スレーブ・ドライバ間のデータ・シーケンスを 図 7-18 に示します。

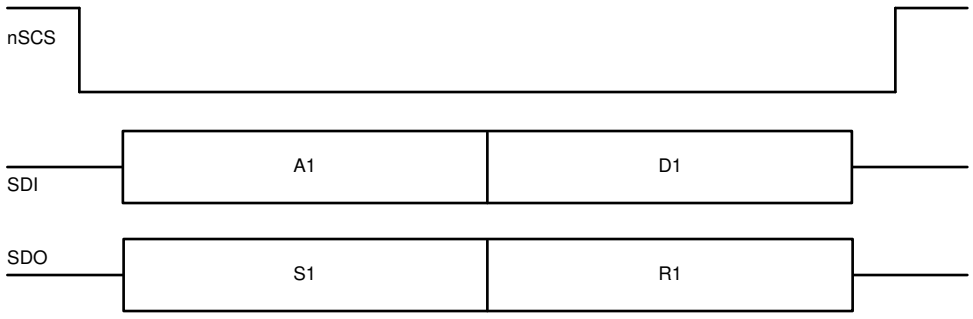


図 7-18. SPI データ・フレーム

有効なフレームは以下の条件を満たしていなければなりません。

- SCLK ピンは、nSCS ピンが High から Low、Low から High に遷移するときに Low になっている必要がある。
- nSCS ピンは、ワードとワードの間では High にされている必要がある。
- nSCS ピンが High にされているときは、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンが Hi-Z 状態になる。
- データは SCLK ピンの立ち下がりエッジで収集され、SCLK ピンの立ち上がりエッジで伝搬される。
- 最上位ビット (MSB) のシフト・イン / シフト・アウトが最初に行われる。
- トランザクションを有効にするには、16 SCLK サイクルすべてが発生しなければならない。

Copyright © 2022 Texas Instruments Incorporated

- SDI ピンに送信されるデータ・ワードが 16 ビットより多い / 少ない場合は、フレーム・エラーが発生してデータ・ワードが無視される。

7.5.2 SPI フォーマット

SDI 入力データ・ワードは 16 ビット長であり、以下のフォーマットで構成されています。

- 1 読み取りまたは書き込みビット、W (ビット B14)
- 6 アドレス・ビット、A (ビット B13～B8)
- 8 データ・ビット、D (ビット B7～B0)

SDO 出力データ・ワードは 16 ビット長で、最初の 8 ビットが IC ステータス・レジスタを構成します。レポート・ワードはアクセス中のレジスタの内容です。

書き込みコマンド (W0 = 0) の場合、応答ワードはフォルト・ステータス表示ビットとそれに続く 8 個のヌル・ビットで構成されます。

読み取りコマンド (W0 = 1) の場合、応答ワードはフォルト・ステータス表示ビットとそれに続く、読み取り中のレジスタ内のデータで構成されます。

表 7-6. SDI 入力データ・ワードのフォーマット

		R/W	アドレス						データ							
ビット	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
データ	0	W0	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0

表 7-7. SDO 出力データ・ワードのフォーマット

	IC ステータス								レポート							
ビット	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
データ	1	1	FAULT	WARN	DS_GS	UV	OV	OT	D7	D6	D5	D4	D3	D2	D1	D0

7.5.3 複数スレーブに対する SPI インターフェイス

複数の DRV8106-Q1 デバイスをマスタ・コントローラに接続するためには、デイジー・チェーンを使う方法と、使わない方法があります。デイジー・チェーンを使用せずに「n」個の DRV8106-Q1 をマスタ・コントローラに接続する場合は、図 7-19 に示すように、nSCS ピンのためにマスタ・コントローラ側で「n」個の I/O リソースを利用する必要があります。これに対して、デイジー・チェーン構成を使用する場合は、単一の nSCS ラインを使って複数の DRV8106-Q1 デバイスを接続できます。図 7-20

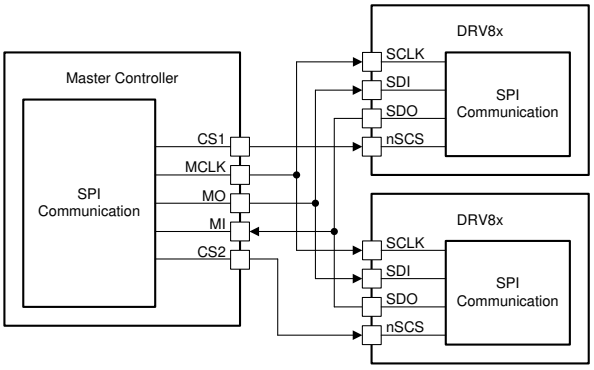


図 7-19. デイジー・チェーンを使わない SPI 動作

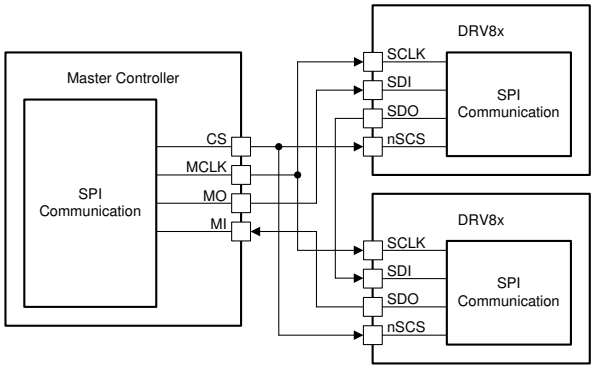


図 7-20. デイジー・チェーンを使った SPI 動作

Copyright © 2022 Texas Instruments Incorporated

7.5.3.1 デイジー・チェーン内の複数のスレーブ用 SPI インターフェイス

複数のデバイスが同じ MCU と通信している場合に、DRV8106-Q1 デバイスをデイジー・チェーン構成で接続することで GPIO ポートを節約できます。図 7-21 には、3 つのデバイスを直列に接続する場合のトポロジを波形で示しています。

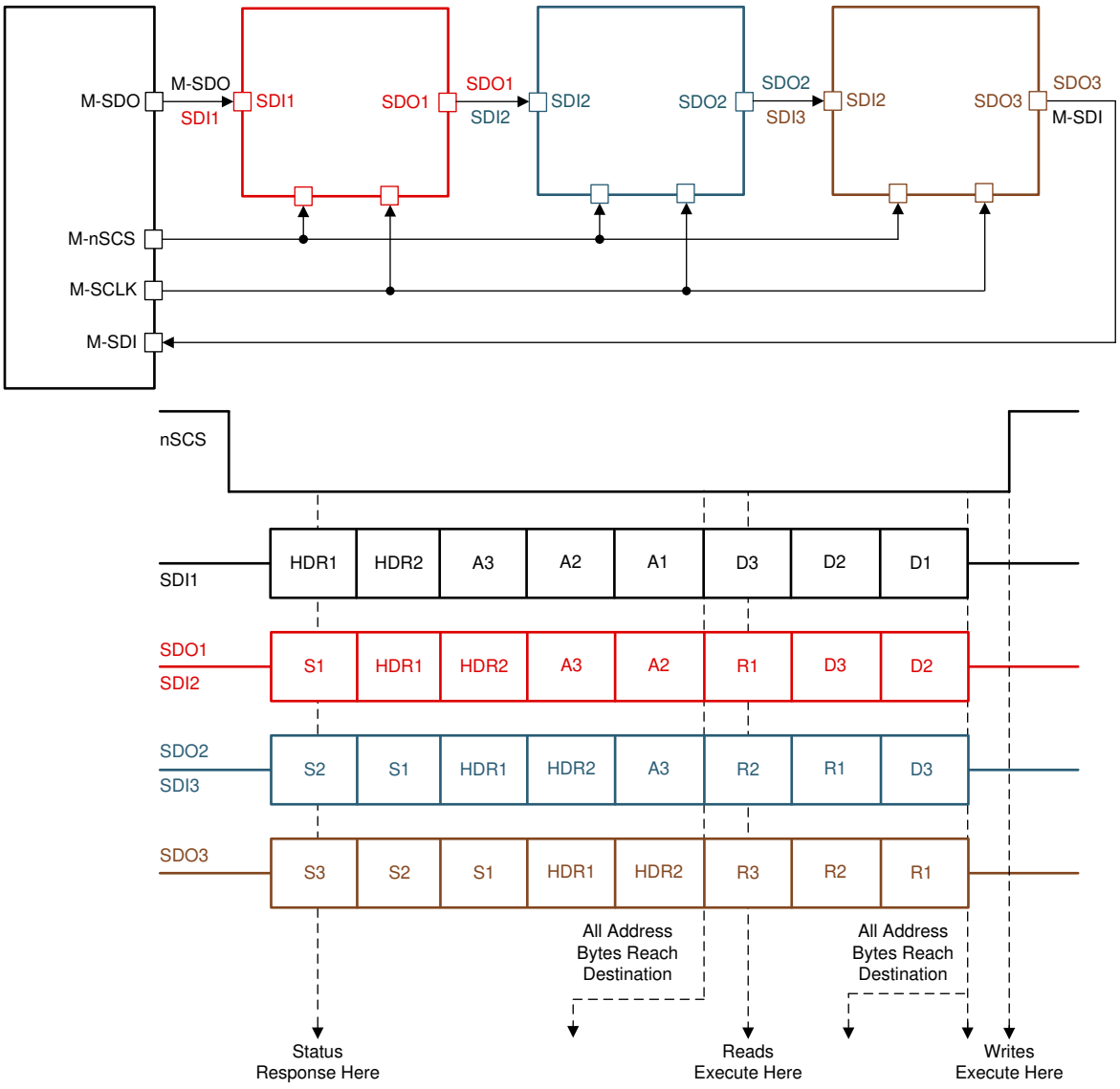


図 7-21. デイジー・チェーン SPI 動作

前述のチェーン内の最初のデバイスは、マスタ・コントローラから以下のフォーマットでデータを受信します。図 7-21 の SDI1 を参照してください。

- 2 バイトのヘッダ
- 3 バイトのアドレス
- 3 バイトのデータ

チェーンを経由してデータが送信されると、マスタ・コントローラは以下のフォーマットでデータを受信します。図 7-21 の SDO3 を参照してください。

- 3 バイトのステータス
- 2 バイトのヘッダ (コントローラが送信した情報と同一であること)

Copyright © 2022 Texas Instruments Incorporated

- 3 バイトのレポート

ヘッダ・バイトには、チェーン接続されたデバイス数とグローバル障害クリア・コマンドの情報が含まれています。グローバル障害クリア・コマンドとは、すべてのデバイスのフォルト・レジスタをチップ選択 (nSCS) 信号の立ち上がりエッジでクリアするコマンドです。N5～N0 は、図 7-22 のようにチェーン内のデバイスの数を示す 6 ビットの値です。各デイジー・チェーン接続に、最大 63 個のデバイスを直列に接続できます。

HDR2 レジスタの下位 5 ビットは、MCU がデイジー・チェーン接続の整合性を判断するために使えるドント・ケア・ビットです。ヘッダ・バイトは、上位 2 ビットが 10 で始まる必要があります。

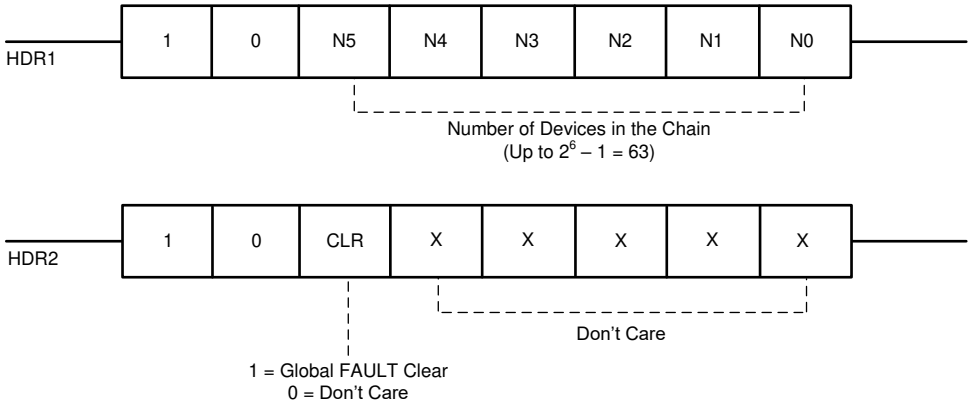


図 7-22. ヘッダ・ビット

図 7-23 に示すように、ステータス・バイトは、デイジー・チェーン内の各デバイスのフォルト・ステータス・レジスタに関する情報を提供します。このため、マスタ・コントローラが読み取りコマンドを実行して、特定のデバイスからフォルト・ステータスを読み取る必要はありません。これにより、追加の読み取りコマンド使用することなく、システムは、デバイス内でフラグが立ったフォルト状況をより効率的に特定できます。

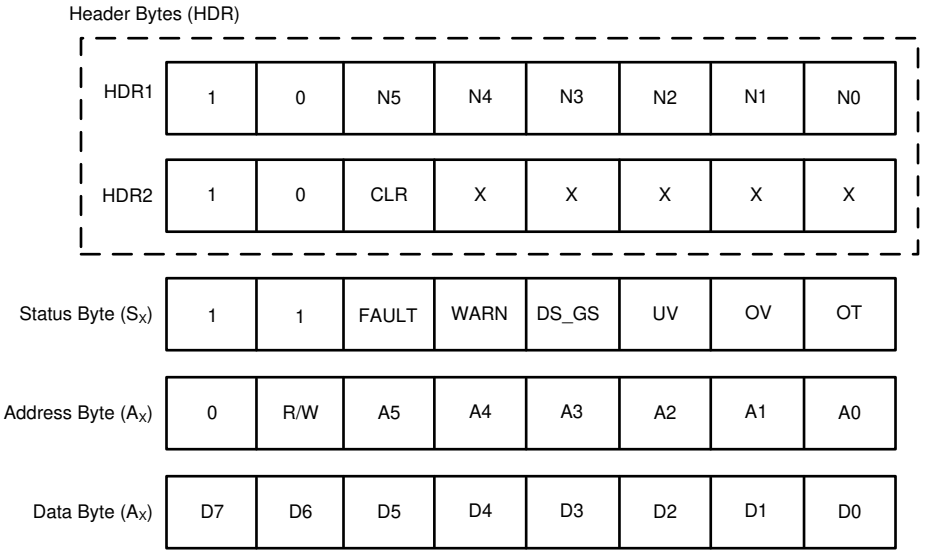


図 7-23. デイジー・チェーン読み取りレジスタ

データがデバイスを通過する際、デバイスは最初のヘッダ・バイトの前に受信したステータス・バイトの数を数えることで、チェーン内の自身の位置を判断します。たとえば、この 3 デバイス構成でチェーン内のデバイス 2 は、HDR1 バイトを受信してから HDR2 バイトを受診する前に、2 つのステータス・バイトを受信します。

Copyright © 2022 Texas Instruments Incorporated

ステータス・バイトが 2 つなので、チェーン内の位置が 2 番目であることがわかります。また、HDR2 バイトから、チェーン内に接続されているデバイスの数がわかります。このようにして、そのデバイスに対応するアドレスおよびデータ・バイトのみをバッファに読み込み、その他のビットは無視してバイパスします。このプロトコルは、チェーン接続した最大 63 台のデバイスのシステムにレイテンシを追加せずに高速な通信を可能にします。

アドレスおよびデータ・バイトは、単一デバイス接続と同じです。前述の図に示すとおり、レポート・バイト (R1～R3) は、アクセス中のレジスタの内容です。

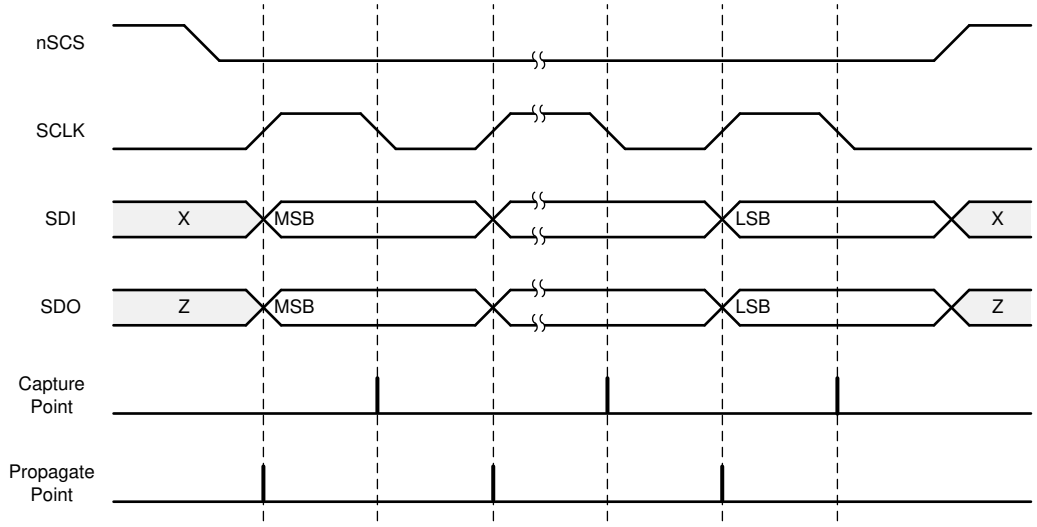


図 7-24. SPI スレーブのタイミング図

7.6 レジスタ・マップ

以下の表に、デバイスのメモリマップされたレジスタを示します。この表に記載のないレジスタ・アドレスは、すべて予約済み位置と見なすべきであり、レジスタ内容は変更しないでください。予約済み位置の説明は、あくまでも参照目的で提供されています。

表 7-8. レジスタ・マップ

名称	7	6	5	4	3	2	1	0	タイプ	アドレス
IC_STAT_1	SPI_OK	POR	FAULT	WARN	DS_GS	UV	OV	OT	R	0h
VGS_VDS_STAT	VGS_H1	VGS_L1	RSVD	RSVD	VDS_H1	VDS_L1	RSVD	RSVD	R	1h
IC_STAT_2	PVDD_UV	PVDD_OV	VCP_UV	OTW	OTSD	RSVD	CLK_FLT	ADDR_FLT	R	2h
RSVD_STAT	RSVD								R	3h
IC_CTRL	EN_DRV	SSC_DIS	IN1/EN_MODE	RVSD	LOCK			CLR_FLT	R/W	4h
BRG_CTRL	VGS_HS_DIS	RSVD		RSVD	S_IN1/EN	RSVD	S_HIZ1	RSVD	R/W	5h
DRV_CTRL_1	IDRVP_HS				IDRVN_HS				R/W	6h
DRV_CTRL_2	IDRVP_LS				IDRVN_LS				R/W	7h
DRV_CTRL_3	VGS_MODE		VGS_TDRV		VGS_TDEAD			VGS_IND	R/W	8h
VDS_CTRL_1	VDS_MODE		VDS_DG		VDS_IDRVN		VGS_LVL	VDS_IND	R/W	9h
VDS_CTRL_2	VDS_HS_LVL				VDS_LS_LVL				R/W	Ah
OLSC_CTRL	RSVD			OLSC_EN	PU_SH1	PD_SH1	RSVD	RSVD	R/W	Bh
UVOV_CTRL	PVDD_UV_MODE	PVDD_OV_MODE		PVDD_OV_DG		PVDD_OV_LVL	VCP_UV_MODE	VCP_UV_LVL	R/W	Ch
CSA_CTRL	CSA_SH_EN	CSA_BLK_SEL	CSA_BLK			CSA_DIV	CSA_GAIN		R/W	Dh

7.6.1 ステータス・レジスタ

表 7-9 に、ステータス・レジスタに対してメモリマップされたレジスタを示します。表 7-9 にないレジスタ・オフセット・アドレスはすべて予約済みと見なすべきであり、レジスタ内容は変更しないでください。

表 7-9. ステータス・レジスタ

アドレス	略称	レジスタ名	セクション
0h	IC_STAT_1	IC ステータス・レジスタ 1	表示
1h	VGS_VDS_STAT	VGS/VDS ステータス・レジスタ	表示
2h	IC_STAT_2	IC ステータス・レジスタ 2	表示
3h	RSVD_STAT	予約済み	表示

表の小さなセルに収まるように、複雑なビット・アクセス・タイプを記号で表記しています。表 7-10 に、このセクションでアクセス・タイプに使用しているコードを示します。

表 7-10. ステータス・アクセス・タイプ・コード

アクセス・タイプ	コード	説明
読み出しタイプ		
R	R	読み出し
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.6.1.1 IC_STAT_1 レジスタ (アドレス = 0h) [リセット = 80h]

IC_STAT_1 は 図 7-25 に示し、表 7-11 で説明します。

概略表に戻ります。

プライマリ IC フォルト・ビットを持つステータス・レジスタ

図 7-25. IC_STAT_1 レジスタ

7	6	5	4	3	2	1	0

Copyright © 2022 Texas Instruments Incorporated

図 7-25. IC_STAT_1 レジスタ (continued)

SPI_OK	POR	FAULT	WARN	DS_GS	UV	OV	OT
R-1b	R-1b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 7-11. IC_STAT_1 レジスタ・フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SPI_OK	R	1b	SPI 障害は検出されていません。 0b = 過去のフレーム内で 1 つまたは複数の SPI_CLK_FLT または SPI_ADR_FLT。 1b = SPI 障害は検出されていません
6	POR	R	1b	パワーオン・リセット状態を示します。 0b = パワーオン・リセット状態は検出されていません。 1b = パワーオン・リセット状態が検出されています。
5	FAULT	R	0b	フォルト・インジケータ。nFAULT ピンを反映。
4	WARN	R	0b	警告インジケータ。
3	DS_GS	R	0b	VDS と VGS インジケータの論理和。
2	UV	R	0b	低電圧インジケータ。
1	OV	R	0b	過電圧インジケータ。
0	OT	R	0b	OTW と OTSD インジケータの論理和。

7.6.1.2 VGS_VDS_STAT レジスタ (アドレス = 1h) [リセット = 0h]

VGS_VDS_STAT は 図 7-26 に示し、表 7-12 で説明します。

概略表に戻ります。

VGS と VDS フォルト・ビットを持つステータス・レジスタ

図 7-26. VGS _VDS_STAT レジスタ

7	6	5	4	3	2	1	0
VGS_H1	VGS_L1	RESERVED	RESERVED	VDS_H1	VDS_L1	RESERVED	RESERVED
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 7-12. VGS_VDS_STAT レジスタ・フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	VGS_H1	R	0b	ハイサイド 1 MOSFET 上の VGS ゲート障害を示します。
6	VGS_L1	R	0b	ローサイド 1 MOSFET 上の VGS ゲート障害を示します。
5	RESERVED	R	0b	予約済み
4	RESERVED	R	0b	予約済み
3	VDS_H1	R	0b	ハイサイド 1 MOSFET 上の VDS 過電流障害を示します。
2	VDS_L1	R	0b	ローサイド 1 MOSFET 上の VDS 過電流障害を示します。
1	RESERVED	R	0b	予約済み
0	RESERVED	R	0b	予約済み

7.6.1.3 IC_STAT_2 レジスタ (アドレス = 2h) [リセット = 10h]

IC_STAT_2 は 図 7-27 に示し、表 7-13 で説明します。

概略表に戻ります。

IC 低電圧、過電圧、SPI フォルト・ビットを持つステータス・レジスタ

Copyright © 2022 Texas Instruments Incorporated

図 7-27. IC_STAT_2 レジスタ

7	6	5	4	3	2	1	0
PVDD_UV	PVDD_OV	VCP_UV	OTW	OTSD	RESERVED	SCLK_FLT	ADDR_FLT
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 7-13. IC_STAT_2 レジスタ・フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PVDD_UV	R	0b	PVDD ピン上の低電圧障害を示します。
6	PVDD_OV	R	0b	PVDD ピン上の過電圧障害を示します。
5	VCP_UV	R	0b	VCP ピンの低電圧障害を示します。
4	OTW	R	0b	過熱警告を示します。
3	OTSD	R	0b	過熱シャットダウンを示します。
2	RESERVED	R	0b	予約済み。
1	SCLK_FLT	R	0b	SPI クロック (フレーム) 障害を示します。
0	ADDR_FLT	R	0b	SPI アドレス障害を示します。

7.6.1.4 RSVD_STAT レジスタ (アドレス = 3h) [リセット = 0h]

RSVD_STAT は 図 7-28 に示し、表 7-14 で説明します。

概略表に戻ります。

予約済みステータス・レジスタ

図 7-28. RSVD_STAT レジスタ

7	6	5	4	3	2	1	0
RESERVED							
R-0b							

表 7-14. RSVD_STAT レジスタ・フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	RESERVED	R	0b	予約済み

7.6.2 制御レジスタ

表 7-15 に、制御レジスタ用にメモリマップされたレジスタを示します。表 7-15 にないレジスタ・オフセット・アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-15. 制御レジスタ

アドレス	略称	レジスタ名	セクション
4h	IC_CTRL	IC 制御レジスタ	表示
5h	BRG_CTRL	BRG 制御レジスタ	表示
6h	DRV_CTRL_1	DRV 制御レジスタ 1	表示
7h	DRV_CTRL_2	DRV 制御レジスタ 2	表示
8h	DRV_CTRL_3	DRV 制御レジスタ 3	表示
9h	VDS_CTRL_1	VDS 制御レジスタ 1	表示
Ah	VDS_CTRL_2	VDS 制御レジスタ 2	表示
Bh	OLSC_CTRL	OLSC 制御レジスタ	表示
Ch	UVOV_CTRL	UVOV 制御レジスタ	表示
Dh	CSA_CTRL	CSA 制御レジスタ	表示

Copyright © 2022 Texas Instruments Incorporated

表の小さなセルに収まるように、複雑なビット・アクセス・タイプを記号で表記しています。表 7-16 に、このセクションでアクセス・タイプに使用しているコードを示します。

表 7-16. 制御アクセス・タイプ・コード

アクセス・タイプ	コード	説明
読み出しタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.6.2.1 IC_CTRL レジスタ (アドレス = 4h) [リセット = 6h]

IC_CTRL は 図 7-29 に示し、表 7-17 で説明します。

概略表に戻ります。

IC 構成用制御レジスタ

図 7-29. IC_CTRL レジスタ

7	6	5	4	3	2	1	0
EN_DRV	SSC_DIS	IN1/EN_MODE	RESERVED	LOCK			CLR_FLT
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-011b			R/W-0b

表 7-17. IC_CTRL レジスタ・フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	EN_DRV	R/W	0b	ゲート・ドライバ・ビットのイネーブル 0b = ドライバ入力は無視され、ゲート・ドライバのパッシブ・プルダウンがイネーブルになります。 1b = ゲート・ドライバ出力がイネーブルになり、デジタル入力により制御されます。
6	SSC_DIS	R/W	0b	デバイスの拡散スペクトラム・クロック処理のディセーブル 0b = イネーブル状態。 1b = ディセーブル状態。
5	IN1/EN_MODE	R/W	0b	IN1/EN 制御モード。 0b = IN1/EN 信号は IN1/EN ピンから供給されます。 1b = IN1/EN 信号は、S_IN1/EN ビットから供給されます。
4	RESERVED	R/W	0b	予約済み
3-1	LOCK	R/W	011b	制御レジスタのロックとロック解除。一覧にないビット設定は無効です。 011b = すべての制御レジスタをロック解除します。 110b = これらのビットと CLR_FLT ビット以外の追加の書き込みを無視することで、制御レジスタをロックします。
0	CLR_FLT	R/W	0b	ラッチされた障害状態情報をクリア。 0b = デフォルト状態。 1b = 障害がクリアされ、完了後 0b にリセットされます。

7.6.2.2 BRG_CTRL レジスタ (アドレス = 5h) [リセット = 0h]

BRG_CTRL は 図 7-30 に示し、表 7-18 で説明します。

概略表に戻ります。

Copyright © 2022 Texas Instruments Incorporated

ブリッジ構成と出力制御用の制御レジスタ

図 7-30. BRG_CTRL レジスタ

7	6	5	4	3	2	1	0
VGS_HS_DIS	RESERVED		RESERVED	S_IN1/EN	RESERVED	S_HIZ1	RESERVED
R/W-0b	R/W-00b		R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-18. BRG_CTRL レジスタ・フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	VGS_HS_DIS	R/W	0b	V_{GS} 監視ベースのデッドタイム・ハンドシェイク。 0b = イネーブル状態。 1b = ディセーブル状態。t_{DRIVE} および t_{DEAD} 持続時間に基づくゲート駆動遷移。
6-5	RESERVED	R/W	00b	予約済み
4	RESERVED	R/W	0b	予約済み
3	S_IN1/EN	R/W	0b	IN1/EN 入力信号用制御ビット。IN1/EN_MODE ビットによりイネーブル。
2	RESERVED	R/W	0b	予約済み
1	S_HIZ1	R/W	0b	HIZ1 入力信号用制御ビット。ロジックまたは nHIZ1 ピンによる。ハーフブリッジ入力制御モードでのみアクティブ。 0b = 出力が IN1/EN 信号に追従。 1b = ゲート・ドライバ・プルダウンがイネーブル。ハーフブリッジ 1 Hi-Z
0	RESERVED	R/W	0b	予約済み

7.6.2.3 DRV_CTRL_1 レジスタ (アドレス = 6h) [リセット = FFh]

DRV_CTRL_1 は 図 7-31 に示し、表 7-19 で説明します。

概略表に戻ります。

DRV ゲート電流構成の制御レジスタ

図 7-31. DRV_CTRL_1 レジスタ

7	6	5	4	3	2	1	0
IDRVP_HS				IDRVN_HS			
R/W-1111b				R/W-1111b			

Copyright © 2022 Texas Instruments Incorporated

表 7-19. DRV_CTRL_1 レジスタ・フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	IDRVP_HS	R/W	1111b	ハイサイド・ピーク・ソース・プルアップ電流。 0000b = 0.5mA 0001b = 1mA 0010b = 2mA 0011b = 3mA 0100b = 4mA 0101b = 6mA 0110b = 8mA 0111b = 12mA 1000b = 16mA 1001b = 20mA 1010b = 24mA 1011b = 28mA 1100b = 31mA 1101b = 40mA 1110b = 48mA 1111b = 62mA
3-0	IDRVN_HS	R/W	1111b	ハイサイド・ピーク・シンク・プルダウン電流。 0000b = 0.5mA 0001b = 1mA 0010b = 2mA 0011b = 3mA 0100b = 4mA 0101b = 6mA 0110b = 8mA 0111b = 12mA 1000b = 16mA 1001b = 20mA 1010b = 24mA 1011b = 28mA 1100b = 31mA 1101b = 40mA 1110b = 48mA 1111b = 62mA

7.6.2.4 DRV_CTRL_2 レジスタ (アドレス = 7h) [リセット = FFh]

DRV_CTRL_2 は 図 7-32 に示し、表 7-20 で説明します。

概略表に戻ります。

DRV ゲート電流構成の制御レジスタ

図 7-32. DRV_CTRL_2 レジスタ

7	6	5	4	3	2	1	0
IDRVP_LS				IDRVN_LS			
R/W-1111b				R/W-1111b			

表 7-20. DRV_CTRL_2 レジスタ・フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	IDRVP_LS	R/W	1111b	ローサイド・ピーク・ソース・プルアップ電流 0000b = 0.5mA 0001b = 1mA 0010b = 2mA 0011b = 3mA 0100b = 4mA 0101b = 6mA 0110b = 8mA 0111b = 12mA 1000b = 16mA 1001b = 20mA 1010b = 24mA 1011b = 28mA 1100b = 31mA 1101b = 40mA 1110b = 48mA 1111b = 62mA
3-0	IDRVN_LS	R/W	1111b	ローサイド・ピーク・シンク・プルダウン電流。 0000b = 0.5mA 0001b = 1mA 0010b = 2mA 0011b = 3mA 0100b = 4mA 0101b = 6mA 0110b = 8mA 0111b = 12mA 1000b = 16mA 1001b = 20mA 1010b = 24mA 1011b = 28mA 1100b = 31mA 1101b = 40mA 1110b = 48mA 1111b = 62mA

7.6.2.5 DRV_CTRL_3 レジスタ (アドレス = 8h) [リセット = 20h]

DRV_CTRL_3 は 図 7-33 に示し、表 7-21 で説明します。

概略表に戻ります。

DRV デッドタイム、ゲート電流駆動時間、VDS ブランキング時間用制御レジスタ

図 7-33. DRV_CTRL_3 レジスタ

7	6	5	4	3	2	1	0
VGS_MODE		VGS_TDRV		VGS_TDEAD			VGS_IND
R/W-00b		R/W-10b		R/W-000b			R/W-0b

Copyright © 2022 Texas Instruments Incorporated

表 7-21. DRV_CTRL_3 レジスタ・フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	VGS_MODE	R/W	00b	VGS ゲート障害監視モード。 00b = ラッチ障害。 01b = サイクルごと。 10b = 警告レポートのみ。 11b = ディセーブル状態。
5-4	VGS_TDRV	R/W	10b	VGS 駆動時間、VDS 監視ブランキング時間。 00b = 96µs 01b = 2µs 10b = 4µs 11b = 8µs
3-1	VGS_TDEAD	R/W	000b	挿入可能なデジタル・デッドタイム。 000b = 0ns 001b = 250ns 010b = 500ns 011b = 750ns 100b = 1000ns 101b = 2000ns 110b = 4000ns 111b = 8000ns
0	VGS_IND	R/W	0b	VGS 独立シャットダウン・モード・イネーブル。BRG_MODE = 00b、11b ではアクティブ。 0b = ディセーブル状態。 1b = イネーブル状態。VGS ゲート障害では、関連するハーフブリッジだけがシャットダウンされます。

7.6.2.6 VDS_CTRL_1 レジスタ (アドレス = 9h) [リセット = 20h]

VDS_CTRL_1 は 図 7-34 に示し、表 7-22 で説明します。

概略表に戻ります。

VDS 過電流コンパレータ用制御レジスタ

図 7-34. VDS_CTRL_1 レジスタ

7	6	5	4	3	2	1	0
VDS_MODE		VDS_DG		VDS_IDRVN		VGS_LVL	VDS_IND
R/W-00b		R/W-10b		R/W-00b		R/W-0b	R/W-0b

表 7-22. VDS_CTRL_1 レジスタ・フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	VDS_MODE	R/W	00b	VDS 過電流監視モード。 00b = ラッチ障害。 01b = サイクルごと。 10b = 警告レポートのみ。 11b = ディセーブル状態。
5-4	VDS_DG	R/W	10b	VDS 過電流監視グリッチ除去時間。 00b = 1µs 01b = 2µs 10b = 4µs 11b = 8µs

Copyright © 2022 Texas Instruments Incorporated

表 7-22. VDS_CTRL_1 レジスタ・フィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
3-2	VDS_IDRVN	R/W	00b	V_{DS_OCP} 障害後の I_{DRVN} ゲート・プルダウン電流。 00b = プログラマブル I_{DRVN} 01b = 8mA 10b = 31mA 11b = 62mA
1	VGS_LVL	R/W	0b	デッドタイム・ハンドシェイクおよびゲート障害検出用 VGS 監視スレッショルド。 0b = 1.4V。 1b = 1.0V
0	VDS_IND	R/W	0b	VDS 独立シャットダウン・モード・イネーブル。BRG_MODE = 00b、11b ではアクティブ。 0b = ディセーブル状態。 1b = イネーブル状態。VDS 過電流障害では、関連するハーフブリッジだけがシャットダウンされます。

7.6.2.7 VDS_CTRL_2 レジスタ (アドレス = Ah) [リセット = DDh]

VDS_CTRL_2 は 図 7-35 に示し、表 7-23 で説明します。

概略表に戻ります。

VDS スレッショルド電圧用制御レジスタ

図 7-35. VDS_CTRL_2 レジスタ

7	6	5	4	3	2	1	0
VDS_HS_LVL				VDS_LS_LVL			
R/W-1101b				R/W-1101b			

表 7-23. VDS_CTRL_2 レジスタ・フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	VDS_HS_LVL	R/W	1101b	ハイサイド VDS 過電流監視スレッショルド。 0000b = 0.06V 00001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V

Copyright © 2022 Texas Instruments Incorporated

表 7-23. VDS_CTRL_2 レジスタ・フィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
3-0	VDS_LS_LVL	R/W	1101b	ローサイド VDS 過電流監視スレッショルド。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V

7.6.2.8 OLSC_CTRL レジスタ (アドレス = Bh) [リセット = 0h]

OLSC_CTRL は 図 7-36 に示し、表 7-24 で説明します。

概略表に戻ります。

オフライン診断の制御レジスタ。

図 7-36. OLSC_CTRL レジスタ

7	6	5	4	3	2	1	0
RESERVED			OLSC_EN	PU_SH1	PD_SH1	RESERVED	RESERVED
R/W-000b			R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-24. OLSC_CTRL レジスタ・フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	RESERVED	R/W	000b	予約済み
4	OLSC_EN	R/W	0b	オフライン・オープン負荷 / 短絡診断イネーブル。 0b = ディセーブル状態。 1b = VDS モニタをリアルタイム電圧監視モードに設定し、診断電流ソースをイネーブル。
3	PU_SH1	R/W	0b	ハーフブリッジ 1 プルアップ診断電流ソース。OLSC_EN ビットを設定して使用する必要あり。 0b = ディセーブル状態。 1b = イネーブル状態。
2	PD_SH1	R/W	0b	ハーフブリッジ 1 プルダウン診断電流ソース。OLSC_EN ビットを設定して使用する必要あり。 0b = ディセーブル状態。 1b = イネーブル状態。
1	RESERVED	R/W	0b	予約済み
0	RESERVED	R/W	0b	予約済み

Copyright © 2022 Texas Instruments Incorporated

7.6.2.9 UVOV_CTRL レジスタ (アドレス = Ch) [リセット = 14h]

UVOV_CTRL は 図 7-37 に示し、表 7-25 で説明します。

概略表に戻ります。

低電圧および過電圧監視用制御レジスタ

図 7-37. UVOV_CTRL レジスタ

7	6	5	4	3	2	1	0
PVDD_UV_MODE	PVDD_OV_MODE		PVDD_OV_DG		PVDD_OV_LVL	VCP_UV_MODE	VCP_UV_LVL
R/W-0b	R/W-00b		R/W-10b		R/W-1b	R/W-0b	R/W-0b

表 7-25. UVOV_CTRL レジスタ・フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PVDD_UV_MODE	R/W	0b	PVDD 電源低電圧監視モード。 0b = ラッチ障害。 1b = 自動復帰。
6-5	PVDD_OV_MODE	R/W	00b	PVDD 電源過電圧監視モード。 00b = ラッチ障害。 01b = 自動復帰。 10b = 警告レポートのみ。 11b = ディセーブル状態。
4-3	PVDD_OV_DG	R/W	10b	PVDD 電源過電圧監視グリッチ除去時間。 00b = 1µs 01b = 2µs 10b = 4µs 11b = 8µs
2	PVDD_OV_LVL	R/W	1b	PVDD 電源過電圧監視スレッショルド。 0b = 21.5V 1b = 28.5V
1	VCP_UV_MODE	R/W	0b	VCP チャージ・ポンプ低電圧監視モード。 0b = ラッチ障害。 1b = 自動復帰。
0	VCP_UV_LVL	R/W	0b	VCP チャージ・ポンプ低電圧監視スレッショルド。 0b = 2.5V 1b = 5V

7.6.2.10 CSA_CTRL レジスタ (アドレス = Dh) [リセット = 1h]

CSA_CTRL は 図 7-38 に示し、表 7-26 で説明します。

概略表に戻ります。

電流シャント・アンプ用制御レジスタ

図 7-38. CSA_CTRL レジスタ

7	6	5	4	3	2	1	0
CSA_SH_EN	CSA_BLK_SEL	CSA_BLK			CSA_DIV	CSA_GAIN	
R/W-0b	R/W-0b	R/W-000b			R/W-0b	R/W-01b	

Copyright © 2022 Texas Instruments Incorporated

表 7-26. CSA_CTRL レジスタ・フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CSA_SH_EN	R/W	0b	電流シャント・アンプ・サンプル / ホールド。 0b = ディセーブル状態 1b = イネーブル状態
6	CSA_BLK_SEL	R/W	0b	電流シャント・アンプのブランキング・トリガ・ソース。 0b = ハーフブリッジ 1 1b = ハーフブリッジ 2
5-3	CSA_BLK	R/W	000b	電流シャント・アンプのブランキング時間。t_{DRV} の割合 (%) 000b = 0%、ディセーブル状態 001b = 25% 010b = 37.5% 011b = 50% 100b = 62.5% 101b = 75% 110b = 87.5% 111b = 100%
2	CSA_DIV	R/W	0b	電流シャント・アンプ基準電圧デバイダ。 0b = AREF/2 1b = AREF/8
1-0	CSA_GAIN	R/W	01b	電流シャント・アンプのゲイン設定。 00b = 10V/V 01b = 20V/V 10b = 40V/V 11b = 80V/V

Copyright © 2022 Texas Instruments Incorporated

8 アプリケーションと実装

NOTE

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

DRV8106-Q1 は、さまざまな出力負荷の駆動に使用できる、高度に構成可能な ハーフブリッジ MOSFET ゲート・ドライバです。以下の設計例では、さまざまなアプリケーションの使用事例に合わせてデバイスを使用し、構成する方法を示しています。

8.2 代表的なアプリケーション

DRV8106-Q1 の代表的なアプリケーションは、単方向ブラシ付き DC モーター制御用の外部 MOSFET ハーフブリッジを制御することです。高レベルの回路図例を、以下の 図 8-1 に示します。

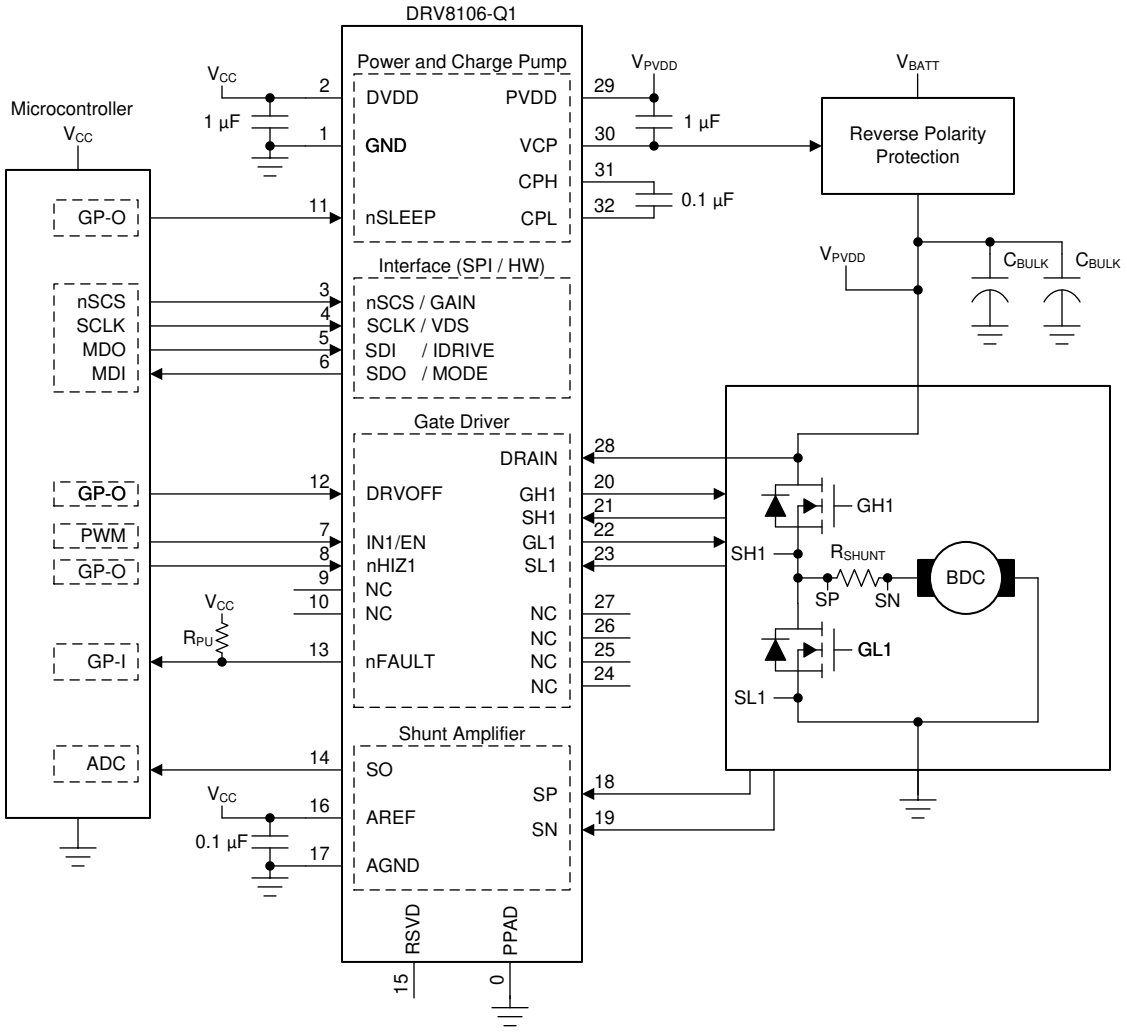


図 8-1. DRV8106-Q1 の代表的なアプリケーション

Copyright © 2022 Texas Instruments Incorporated

8.2.1 設計要件

表 8-1 に、システム設計の入力パラメータ例のセットを示します。

表 8-1. 設計パラメータ例

設計パラメータ	リファレンス	値
PVDD 公称電源電圧	V_{PVDD}	12V
PVDD 電源電圧範囲		9～18V
DVDD/AREF ロジック電源電圧	V_{CC}	3.3V
MOSFET 合計ゲート電荷	Q_G	30nC (標準) V_{GS} = 10V 時
MOSFET ゲート - ドレイン間電荷	Q_{GD}	5nC (標準)
MOSFET ON 抵抗	$R_{DS(on)}$	4mΩ
目標出力立ち上がり時間	t_{rise}	750～1000ns
目標出力立ち下がり時間	t_{fall}	250～500ns
PWM 周波数	f_{PWM}	20kHz
最大モーター電流	I_{MAX}	25A
シャント抵抗パワー能力	P_{SHUNT}	3W

8.2.2 詳細な設計手順

以下のセクションでは、ゲート・ドライバ、シャント・アンプの一般的な設計手順の一部を検討し、デバイスの消費電力を判定します。

8.2.2.1 ゲート・ドライバ構成

8.2.2.1.1 VCP 負荷計算の例

DRV8106-Q1 チャージ・ポンプの負荷能力は、MOSFET と必要な PWM 周波数に対して十分になるようにしてください。このことは、式 1 に示すように、簡単な計算式で確認できます。標準的なハーフブリッジ・ドライブ構成では、1 回に 1 つのハイサイド MOSFET のみがスイッチされます。

$$I_{VCP}\ (A) = Q_G\ (C) \times f_{PWM}\ (Hz) \times \text{スイッチングする HS FET の数} \quad (1)$$

入力設計パラメータを例として使用し、この場合に、式 2 において、チャージ・ポンプの出力負荷能力が十分であることを示すことができます。

$$I_{VCP} = 30nC \times 20kHz \times 1 = 0.6mA \quad (2)$$

8.2.2.1.2 I_{DRIVE} 計算例

ゲート・ドライブ電流 I_{DRIVE} の強さは、外部 MOSFET のゲート - ドレイン間電荷と、スイッチ・ノードにおける目標の立ち上がり / 立ち下がり時間に基づいて選択します。特定の MOSFET に対して選択した I_{DRIVE} が低すぎると、構成した t_{DRIVE} 時間内に MOSFET が完全にオンまたはオフにならず、ゲート障害がアサートされる場合があります。また、立ち上がり時間 / 立ち下がり時間が遅いと、外部パワー MOSFET のスイッチング電力損失が大きくなります。必要な外部 MOSFET と負荷により、システム内のこれらの値を検証し、最適な設定を判定することを推奨します。

SPI デバイス・バリアントでは、ハイサイドとローサイド両方の外部 MOSFET に対して I_{DRIVEP} と I_{DRIVEN} を独立して調整可能です。ハードウェア・インターフェイス・デバイスのバリアントでは、IDRIVE ピンでソースとシンク両方の設定が同時に選択されます。

MOSFET のゲート - ドレイン間電荷 (Q_{GD})、目標立ち上がり時間 (t_{rise})、目標立ち下がり時間 (t_{fall}) が既知である場合は、式 3 と式 4 を使用して I_{DRIVEP} と I_{DRIVEN} の近似値をそれぞれ計算します。

$$I_{DRIVEP} = Q_{GD}/t_{rise} \quad (3)$$

$$I_{DRIVEN} = Q_{GD}/t_{fall} \quad (4)$$

Copyright © 2022 Texas Instruments Incorporated

入力設計パラメータを例として使用し、I_{DRIVEP} と I_{DRIVEN} の近似値を計算できます。

$$I_{DRIVEP_HI} = 5nC/750ns = 6.67mA \quad (5)$$

$$I_{DRIVEP_LO} = 5nC/1000ns = 5mA \quad (6)$$

これらの計算に基づき、I_{DRIVEP} に対して 6mA の値が選択されました。

$$I_{DRIVEN_HI} = 5nC/250ns = 20mA \quad (7)$$

$$I_{DRIVEN_LO} = 5nC/500ns = 10mA \quad (8)$$

これらの計算に基づき、I_{DRIVEN} に対して 16mA の値が選択されました。

8.2.2.2 電流シャント・アンプの構成

DRV8106-Q1 差動シャント・アンプ・ゲインとシャント抵抗値は、動的電流範囲、基準電圧電源、シャント抵抗の電力定格、および動作温度範囲に基づき選択されます。シャント・アンプの双方向動作では、出力のダイナミック・レンジは近似的に 式 9 で計算されます。アンプの出力は、アンプへの入力電圧の極性に応じて、中間点基準電圧 (V_{AREF}/2) から 0.25V または V_{AREF} - 0.25V までスイングさせることができます。

$$V_{SO_BI} = (V_{AREF} - 0.25V) - (V_{AREF}/2) \quad (9)$$

単方向の電流センシングだけが必要な場合は、アンプ基準電圧を変更して、出力のダイナミック・レンジを拡大できます。これは CSA_DIV SPI レジスタ設定によって変更されます。このモードでは、出力のダイナミック・レンジは近似的に 式 10 で計算されます。

$$V_{SO_UNI} = (V_{AREF} - 0.25V) - (V_{AREF}/8) \quad (10)$$

V_{AREF} = 3.3V に基づき、双方向または単方向センシングの両方における動的な範囲逸脱は以下のように計算できます。

$$V_{SO_BI} = (3.3V - 0.25V) - (3.3V/2) = 1.4V \quad (11)$$

$$V_{SO_UNI} = (3.3V - 0.25V) - (3.3V/8) = 2.6375V \quad (12)$$

外部シャント抵抗値と DRV8106-Q1 シャント・アンプ・ゲイン設定は、利用可能な動的出力範囲、シャント抵抗の電力定格、および測定する必要のある最大モーター電流に基づき選択されます。シャント抵抗とアンプ・ゲインの正確な値は 式 13 と 式 14 の両方により決まります。

$$R_{SHUNT} < P_{SHUNT}/I_{MAX}^{2} \quad (13)$$

$$A_V < V_{SO}/(I_{MAX} \times R_{SHUNT}) \quad (14)$$

V_{SO} = 1.4V、I_{MAX} = 25A および P_{SHUNT} = 3W に基づき、シャント抵抗とアンプ・ゲイン値は以下に示すように計算できます。

$$R_{SHUNT} < 3W/25^{2}A = 4.8m\Omega \quad (15)$$

$$A_V < 1.4V/(25A \times 4.8m\Omega) = 11.67V/V \quad (16)$$

結果に基づき、4mΩ のシャント抵抗と 10V/V のアンプ・ゲインを選択できます。

8.2.2.3 消費電力

周囲温度が高い動作環境の場合、ドライバの内部自己発熱を推定することが重要になる場合があります。デバイスの温度を判定するには、まず内部消費電力を計算する必要があります。その後、デバイス・パッケージの温度特性についての推定値を求められます。

内部消費電力には 4 つの主要な要素があります。

Copyright © 2022 Texas Instruments Incorporated

- ハイサイド・ドライバ消費電力 (P_{HS})
- ローサイド・ドライバ消費電力 (P_{LS})
- PVDD バッテリ消費電力 (P_{PVDD})
- DVDD/AREF ロジック / 基準電源消費電力 (P_{VCC})

P_{HS} と P_{LS} の値は、以下に示すように、チャージ・ポンプの負荷電流に関する前述の式を参照することで、概算できます。標準的なスイッチの場合、1 つのハイサイド MOSFET と 1 つのローサイド MOSFET がスイッチします。

$$I_{HS/LS}\ (A) = Q_G\ (C) \times f_{PWM}\ (Hz) \times \text{スイッチングする FET の数} \quad (17)$$

入力設計パラメータを例に使用すると、ハイサイド・ドライバとローサイド・ドライバからの電流負荷を計算できます。

$$I_{HS} = 30nC \times 20kHz \times 1 = 0.6mA \quad (18)$$

$$I_{LS} = 30nC \times 20kHz \times 1 = 0.6mA \quad (19)$$

ここから、以下のドライバ消費電力の式により、消費電力を計算できます。ハイサイドには、チャージ・ポンプ内の損失を考慮した 2 倍の係数が含まれています。

$$P_{HS}\ (W) = I_{HS}\ (A) \times V_{PVDD} \times 2 \quad (20)$$

$$P_{LS}\ (W) = I_{LS}\ (A) \times V_{PVDD} \quad (21)$$

入力設計パラメータを例に使用すると、ハイサイド・ドライバとローサイド・ドライバからの消費電力を計算できます。

$$P_{HS}\ (W) = 0.0144W = 0.6mA \times 12V \times 2 \quad (22)$$

$$P_{LS}\ (W) = 0.0072W = 0.6mA \times 12V \quad (23)$$

P_{PVDD} と P_{VCC} の値は、以下の式を参照して概算できます。

$$P_{PVDD}\ (W) = I_{PVDD}\ (A) \times V_{PVDD} \quad (24)$$

$$P_{VCC}\ (W) = (I_{DVDD}\ (A) \times V_{DVDD}) + (I_{AREF}\ (A) \times V_{AREF}) \quad (25)$$

入力設計パラメータを例として使用し、電源の消費電力を計算できます。

$$P_{PVDD}\ (W) = 0.0024W = 2mA \times 12V \quad (26)$$

$$P_{VCC}\ (W) = 0.0015W = (3.5mA \times 3.3V) + (1mA \times 3.3V) \quad (27)$$

最後に、デバイス・ジャンクション温度を推定するために、次の式を参照できます。

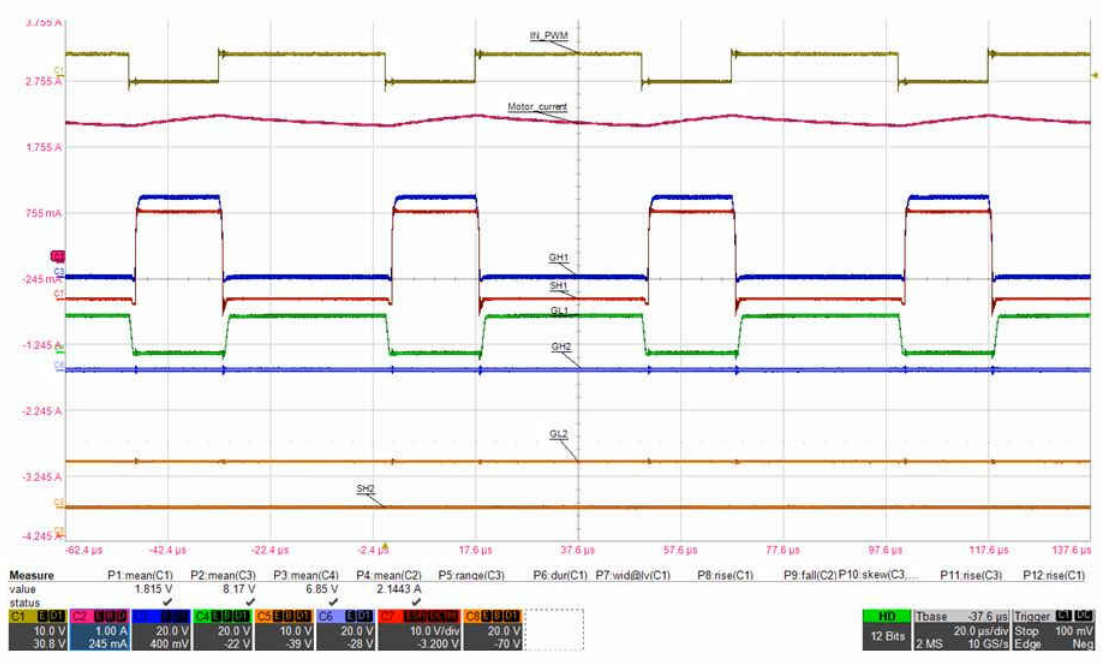
$$T_{JUNCTION}\ (°C) = T_{AMBIENT}\ (°C) + (R_{\theta JA}\ (°C/W) \times P_{TOT}(W)) \quad (28)$$

前述の計算で求めた消費電力値と「熱に関する情報」の表にあるデバイス温度パラメータを使用して、デバイスの内部温度を推定できます。

$$T_{JUNCTION}\ (°C) = 105.9°C = 105°C + (34.9°C/W \times 0.0255W) \quad (29)$$

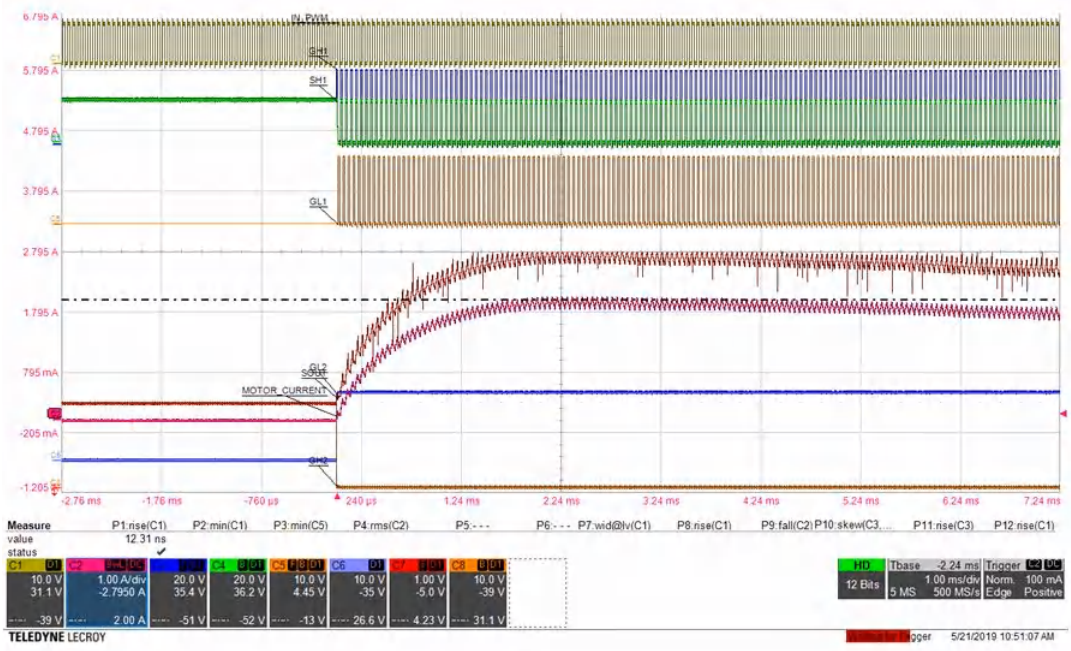
Copyright © 2022 Texas Instruments Incorporated

8.2.3 アプリケーション曲線



この図は、ロジック PWM 制御入力とすべてのドライバ出力を含む、公称 PWM 動作時のドライバを示しています。

図 8-2. ドライバの公称 PWM 動作



この図は、ドライバ出力と電流アンプ・フィードバックを含む、モーター起動時のドライバ性能とアンプ性能を示しています。

図 8-3. モーター・スタートアップ時のドライバ動作

Copyright © 2022 Texas Instruments Incorporated



図 8-4. ウォーム・クランク・パルス時のドライバ PWM 動作

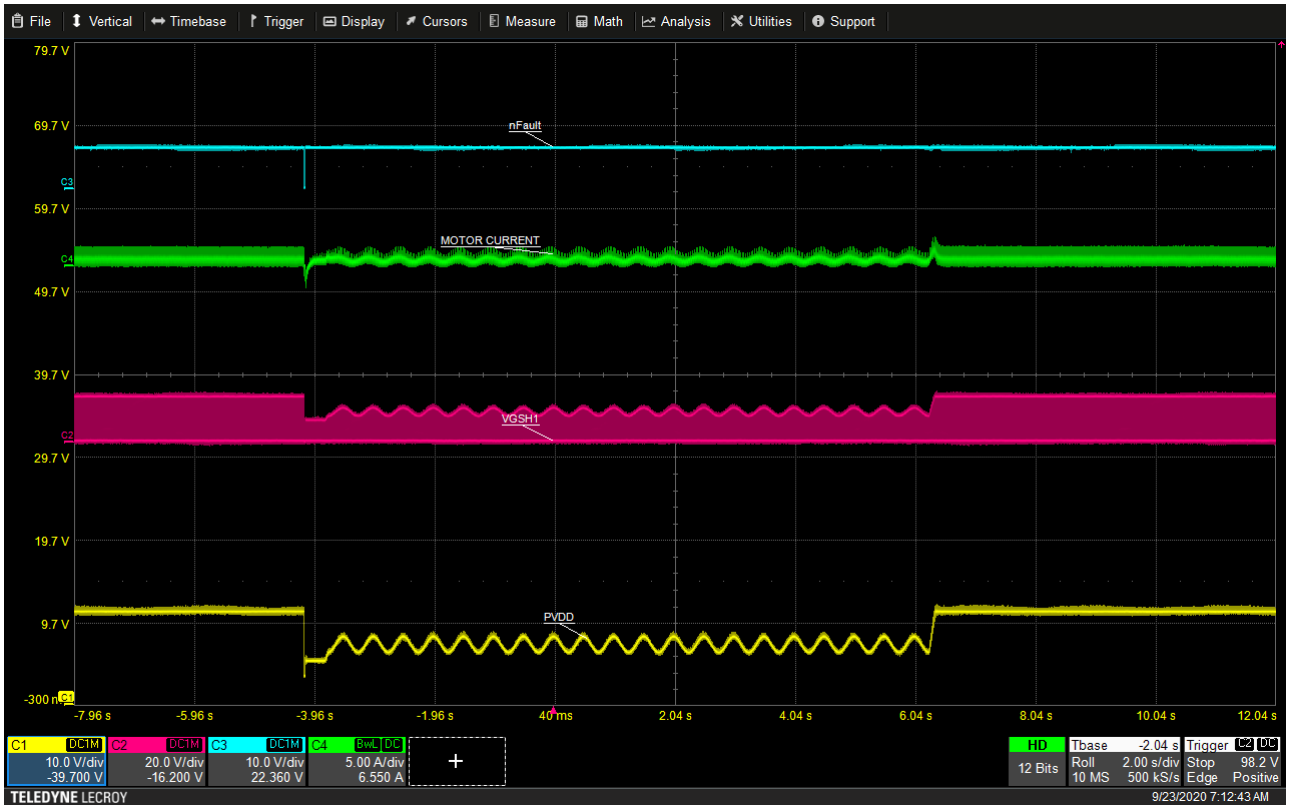


図 8-5. コールド・クランク・パルス時のドライバ PWM 動作

Copyright © 2022 Texas Instruments Incorporated

9 電源に関する推奨事項

9.1 バルク容量

適切なローカル・バルク容量の確保は、モーター・ドライブ・システムの設計において重要な要素です。バルク容量を増やすと、一般にメリットがありますが、コストの増大と大型化というデメリットも伴います。

必要なローカル・バルク容量値は、次のようなさまざまな要素で決まります。

- モーターまたは負荷が必要とする最大電流
- 電源容量と電流供給能力
- 電源とモーター・システムの間の寄生インダクタンスの大きさ
- 許容されるシステムの電圧リップル
- モーター・ブレーキ方式 (該当する場合)

電源とモーター・ドライブ・システムの間のインダクタンスにより、電源からの電流が変化する速度が制限されます。ローカル・バルク容量が小さすぎると、モーターに大電流を供給しようとする場合、または負荷ダンプが発生した場合、システムの電圧が変動します。十分なバルク容量を使うことで、モーターの電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨最小値が記載されていますが、バルク・コンデンサの容量が適切かどうかを判断するには、システム・レベルのテストが必要です。

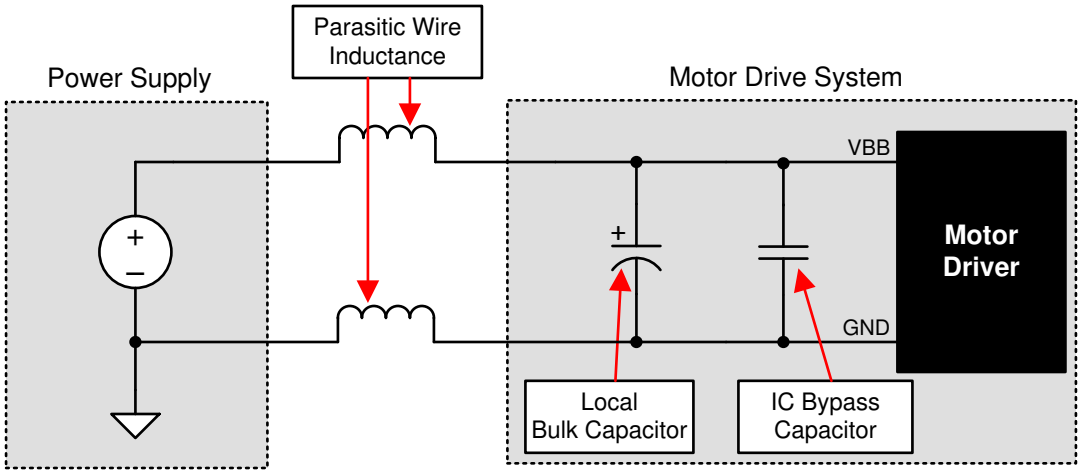


図 9-1. システム電源の寄生成分の例

Copyright © 2022 Texas Instruments Incorporated

10 レイアウト

10.1 レイアウトのガイドライン

推奨値 0.1µF の低 ESR セラミック・バイパス・コンデンサを使用して、PVDD ピンを GND ピンにバイパスします。このコンデンサは、幅の広いパターン、または GND ピンに接続されたグランド・プレーンを使用して、PVDD ピンのできるだけ近くに配置してください。また、PVDD ピンは、VM の定格を持つバルク・コンデンサを使用してバイパスします。これには電解コンデンサを使用できます。容量は 10µF 以上としてください。この容量が外部パワー MOSFET のバルク容量と共有されている場合、これは許容されます。

外部 MOSFET 上の高電流パスをバイパスするために、追加のバルク容量が必要です。このバルク容量は、外部 MOSFET を通過する高電流パスの長さが最小となるよう配置する必要があります。接続用の金属パターンはできる限り幅広くし、PCB の層間を多数のビアで接続します。これらの手法により、インダクタンスが最小限に抑えられ、バルク・コンデンサが大電流を供給できるようになります。

CPL ピンと CPH ピンの間に低 ESR のセラミック・コンデンサを配置します。これには、X5R または X7R タイプで、PVDD の定格を持つ、0.1µF のコンデンサを使用する必要があります。また、VCP ピンと PVDD ピンの間にも低 ESR のセラミック・コンデンサを配置します。これには、X5R または X7R タイプで、16V の定格を持つ、1µF のコンデンサを使用する必要があります。

X5R または X7R タイプで 6.3V の定格を持つ 1.0µF の低 ESR セラミック・コンデンサを使用して、DVDD ピンを GND ピンにバイパスします。このコンデンサはピンにできる限り近づけて配置し、コンデンサから GND ピンまでのパスを最短にします。別のバイパス・コンデンサがデバイスと外部低電圧電源の近接した位置にあり、電源のノイズが最小限である場合は、この部品を取り外すこともできます。

X5R または X7R タイプで 6.3V の定格を持つ 0.1µF の低 ESR セラミック・コンデンサを使用して、AREF ピンを GND ピンにバイパスします。このコンデンサはピンにできる限り近づけて配置し、コンデンサから GND ピンまでのパスを最短にします。別のバイパス・コンデンサがデバイスと外部低電圧電源の近接した位置にあり、電源のノイズが最小限である場合は、この部品を取り外すこともできます。

DRAIN ピンは、直接 PVDD ピンに短絡することができます。ただし、デバイスと外部 MOSFET の間が大きく離れている場合は、専用のパターンを使用して、ハイサイド外部 MOSFET のドレインの共通ポイントに接続します。SLx ピンは直接 GND プレーンに接続しないでください。その代わりに、専用のパターンを使用して、これらのピンをローサイド外部 MOSFET のソースに接続します。これらの推奨事項により、過電流検出のための外部 MOSFET の V_{DS} センシングをより正確に行うことができます。

ハイサイドおよびローサイド・ゲート・ドライバのループ長はできるだけ短くします。ハイサイド・ループはデバイスの GHx ピンからハイサイド・パワー MOSFET のゲートまでであり、その後ハイサイド MOSFET のソースを通って SLx ピンへと戻ります。ローサイド・ループはデバイスの GLx ピンからローサイド・パワー MOSFET のゲートまでであり、その後ローサイド MOSFET のソースを通って SLx ピンへと戻ります。

Copyright © 2022 Texas Instruments Incorporated

10.2 レイアウト例

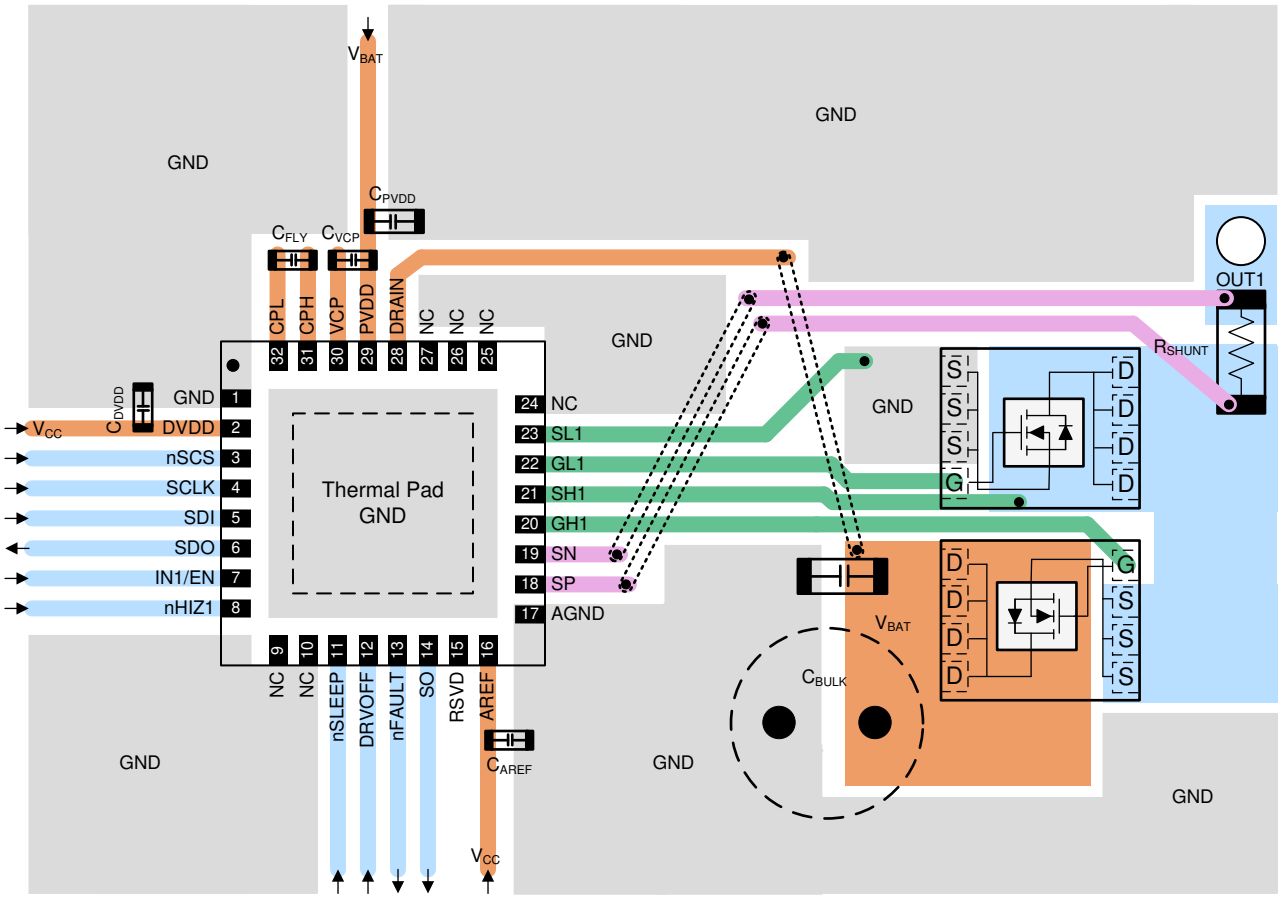


図 10-1. DRV8106-Q1 のレイアウト例

Copyright © 2022 Texas Instruments Incorporated

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントのサポート

11.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『スマート・ゲート・ドライブの理解』アプリケーション・レポート
- テキサス・インスツルメンツ、『モーター・ドライバ消費電力の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『PowerPAD™ を分かりやすく解説』アプリケーション・レポート
- テキサス・インスツルメンツ、『熱特性強化型パッケージ PowerPAD™』アプリケーション・レポート
- テキサス・インスツルメンツ、『モーター・ドライバの基板レイアウトのベスト・プラクティス』アプリケーション・レポート

11.1.2 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

11.2 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

11.3 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.4 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

11.5 Glossary

TI Glossary	This glossary lists and explains terms, acronyms, and definitions.

Copyright © 2022 Texas Instruments Incorporated

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2022 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8106HQRHBRQ1	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8106H
DRV8106HQRHBRQ1.A	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8106H
DRV8106SQRHBRQ1	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8106S
DRV8106SQRHBRQ1.A	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8106S

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

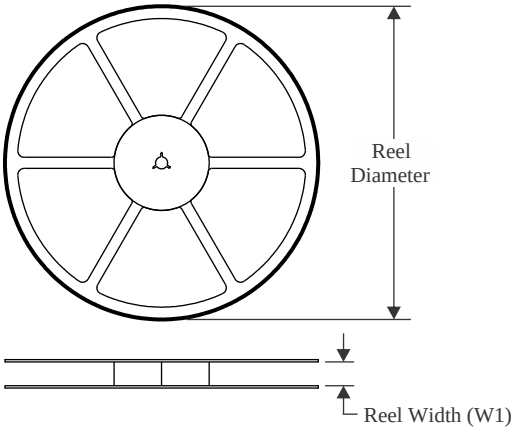
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

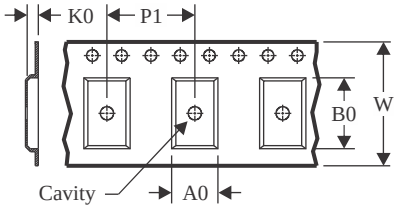
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

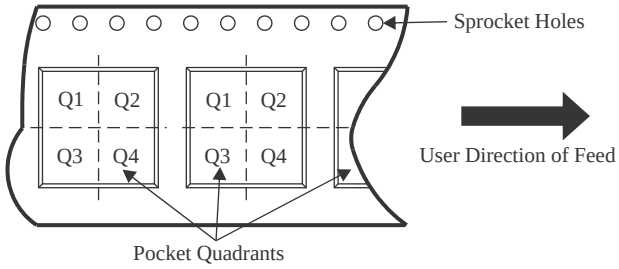


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

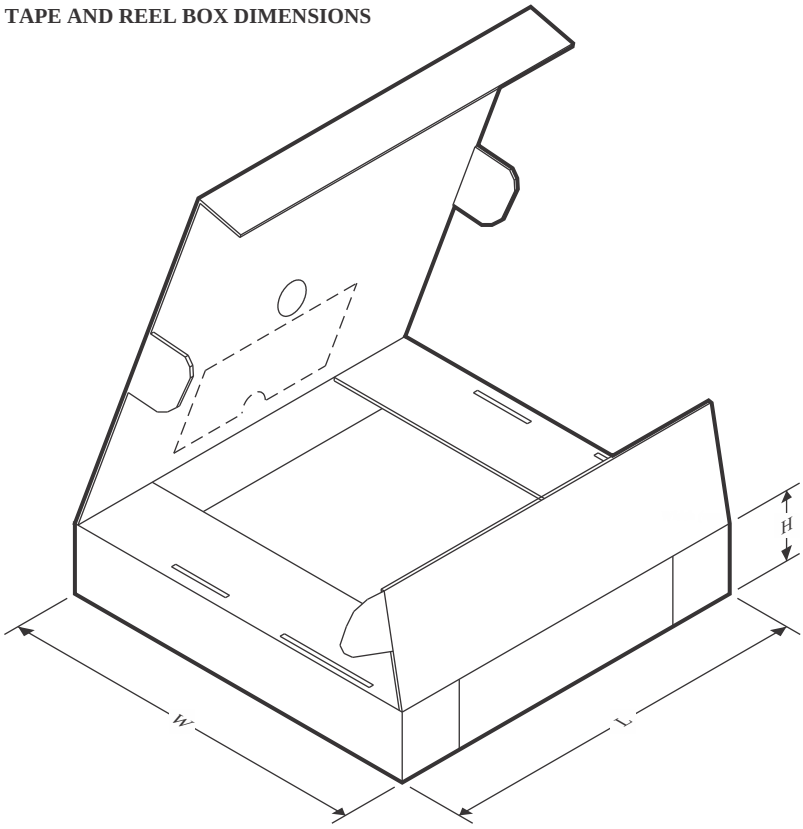
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8106HQRHBRQ1	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DRV8106SQRHBRQ1	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8106HQRHBRQ1	VQFN	RHB	32	3000	367.0	367.0	35.0
DRV8106SQRHBRQ1	VQFN	RHB	32	3000	367.0	367.0	35.0

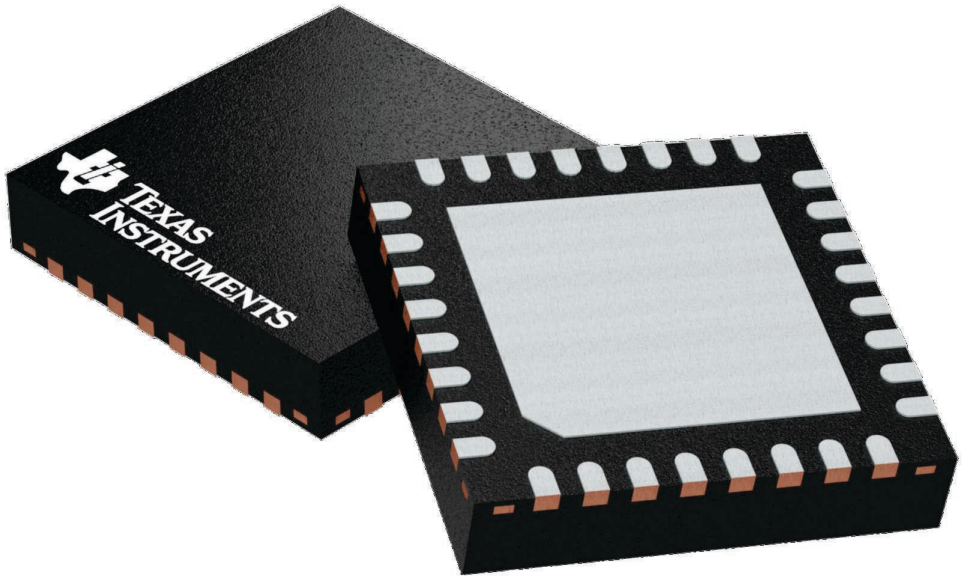
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

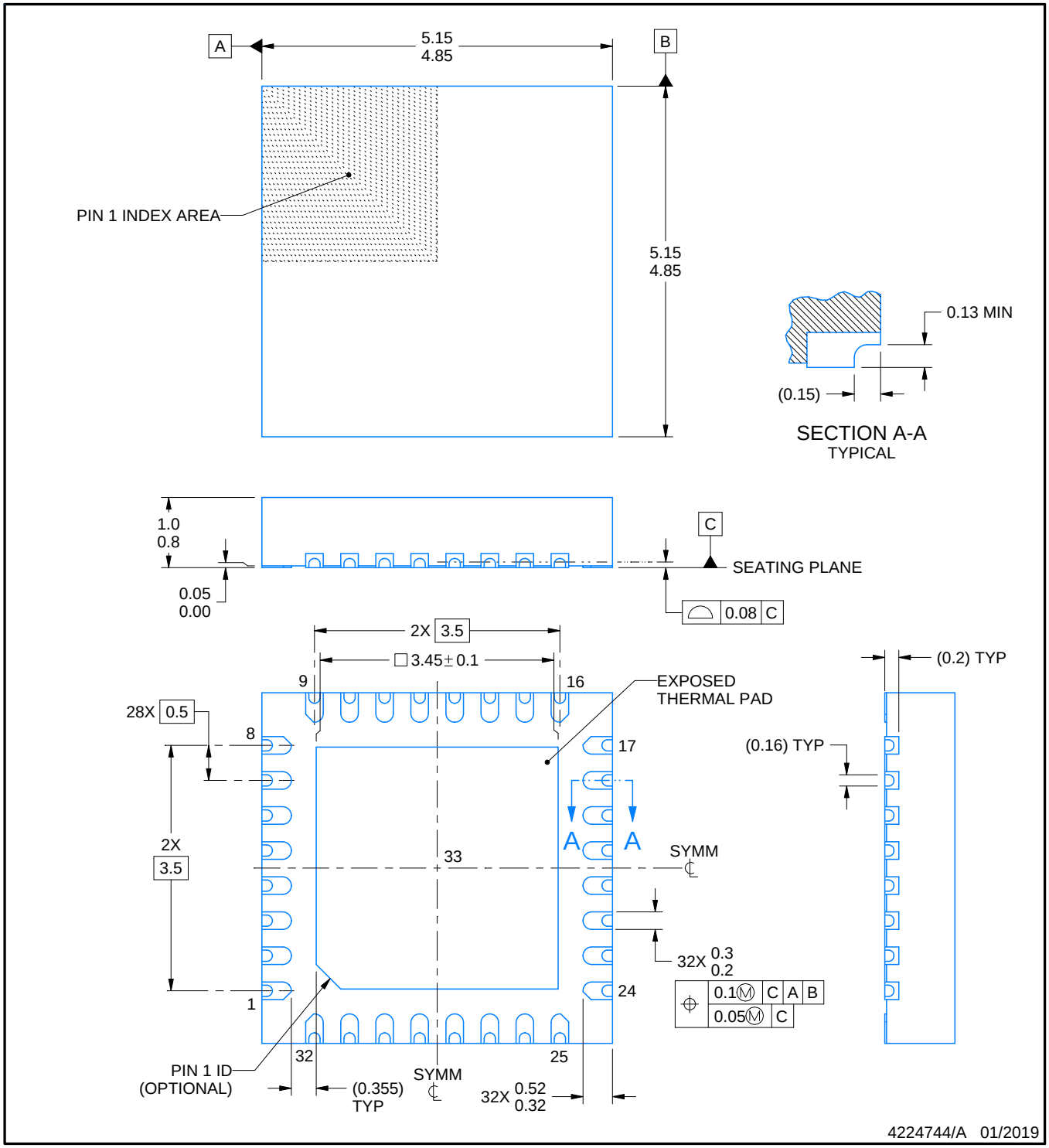
4224745/A

RHB0032T

PACKAGE OUTLINE

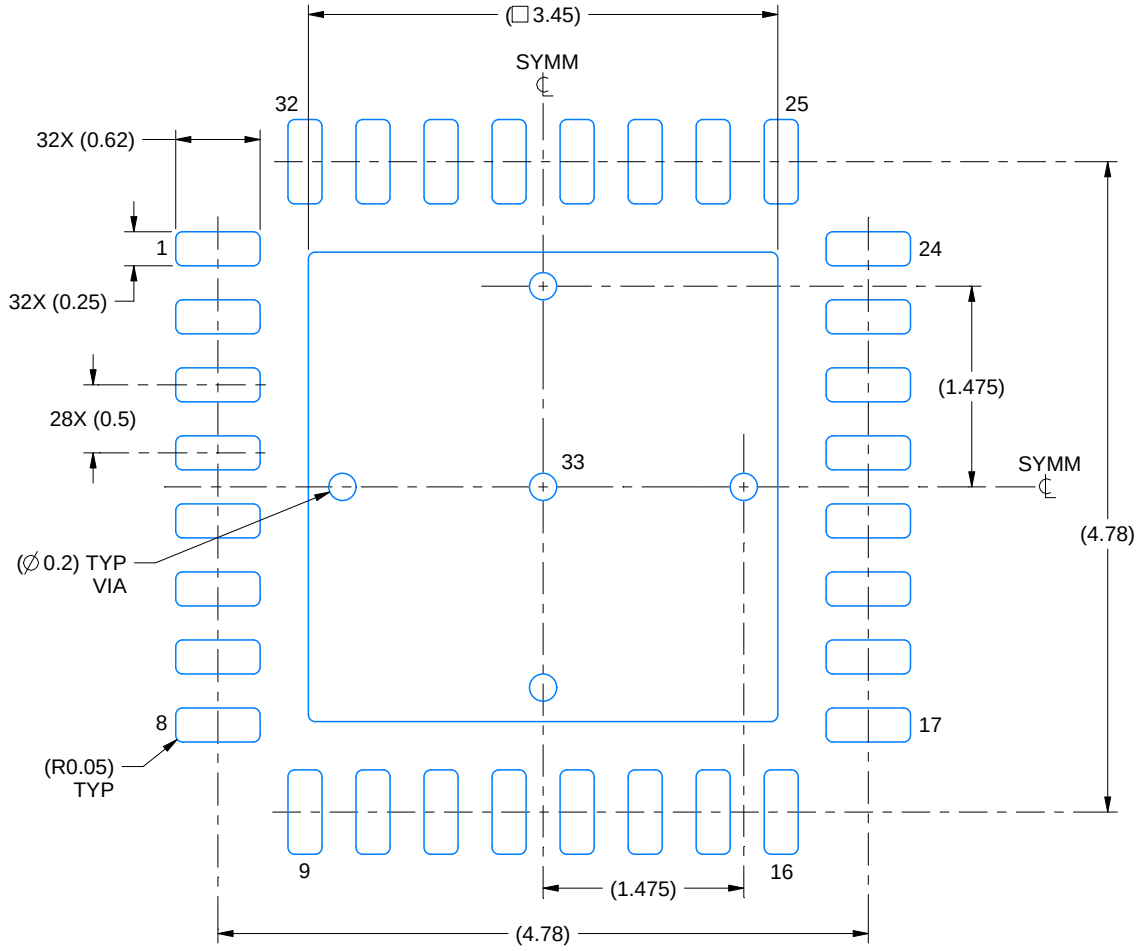
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

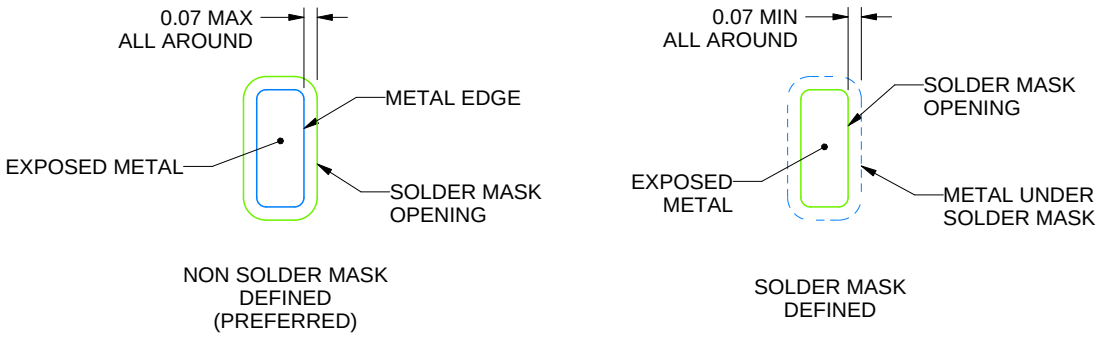
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN

SCALE:18X

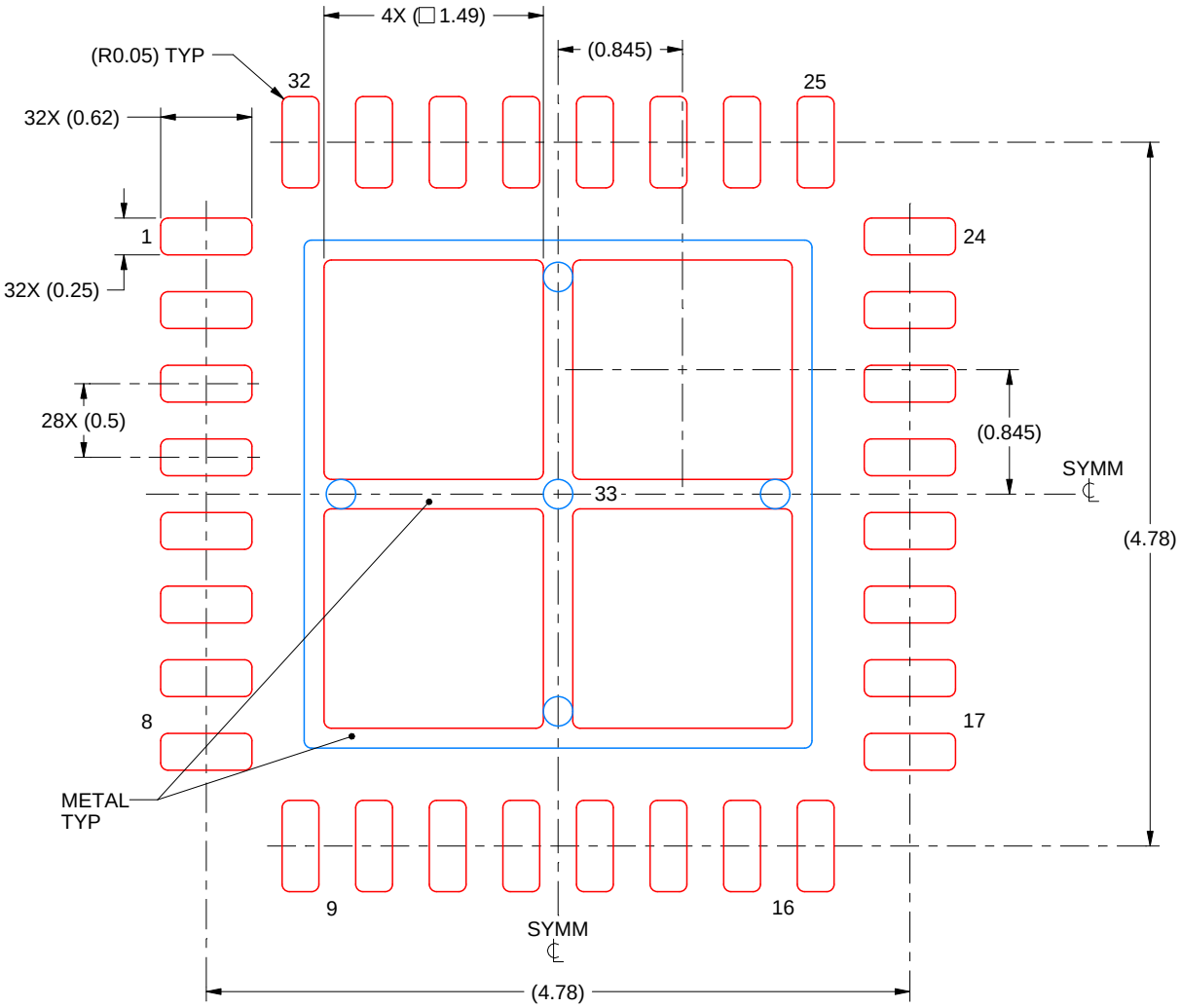


SOLDER MASK DETAILS

4224744/A 01/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4224744/A 01/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月