DRV81315/A-Q1 保護機能搭載、ローサイド スイッチ

1 特長

- シングル チャネル保護ローサイド スイッチ
  - 25°C で **100mΩ $R_{DS(ON)}$**
  - 最大 **40V の動作許容**に対応する出力段
- AEC-Q100 認定済み (最大グレード 1)
- 包括的な保護
  - **内部電流制限**
  - **独立した過熱**保護
    - 動的および絶対過熱保護
  - 誘導性負荷の放電時の**過電圧を抑制するクランプを内蔵**
- **診断フィードバック**
  - マイコン故障割り込み信号 (STATUS)
  - オフ状態の**開放負荷検出** (DRV81315A のみ)
- **2.6V ～ 5.5V の入力**電源電圧範囲
  - **3p3V、5V マイコン** I/O 制御をサポート
- 熱特性を強化した表面実装パッケージ **(DDA-8、DRL-6)**

2 アプリケーション

- エンジンおよびトランスミッション
- ライティング
- ブレーキとサスペンション
- ボディ エレクトロニクスおよびゾーン モジュール
- バッテリ マネージメント システム

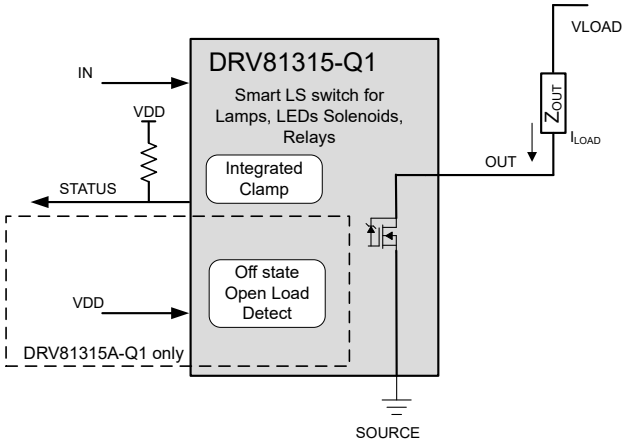
3 説明

DRV81315/A-Q1 は、100mΩ の低い $R_{DS(ON)}$ を持つ、保護機能付きのシングル ローサイド スイッチを搭載しています。このデバイスは、GPIO インターフェイスを介して制御できます。スイッチは、内部の固定スレッショルド電流制限によって過電流から保護されています。内蔵の過熱センサにより、スイッチを過熱から保護します。スイッチには、誘導性負荷の消磁時に発生する出力過電圧に対する保護機能が内蔵されています。故障レポートは、オープンドレインの STATUS 出力として利用できます。DRV81315A は、オフ状態でのオープン ロード / GND 短絡検出診断にも対応しており、その結果は STATUS ピンで通知されます。DRV81315/A は、6 ピン DRL (SOT-563) パッケージ、および放熱特性を強化した 8 ピン HSOIC (DDA) パッケージ (環境配慮型：RoHS 準拠、Sb/Br 非含有) で供給されます。

デバイス情報(1)

部品番号	パッケージ	本体サイズ (公称)
DRV81315DDA	HSOIC (8)	4.90mm × 3.90mm
DRV81315ADDA	HSOIC (8)	4.90mm × 3.90mm
DRV81315ADRL	SOT-563 (6)	1.60mm × 1.20mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
ピンの機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....4
5.5 電気的特性.....5
5.6 過渡熱インピーダンスと電流能力.....8
6 詳細説明.....9
6.1 概要.....9
6.2 機能ブロック図.....9
6.3 機能説明.....10
6.4 保護回路.....12
7 アプリケーションと実装.....18
7.1 代表的なアプリケーション.....18
7.2 レイアウト.....19
7.3 熱に関する注意事項.....21
8 デバイスおよびドキュメントのサポート.....23
8.1 ドキュメントのサポート.....23
8.2 コミュニティリソース.....23
8.3 商標.....23
9 メカニカル、パッケージ、および注文情報.....23

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

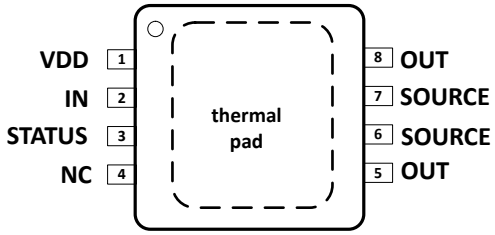


図 4-1. DRV81315A DDA パッケージ 8 ピン HSOIC 上面図

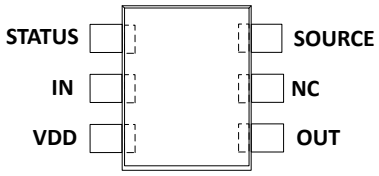


図 4-2. DRV81315A DRL パッケージ 6 ピン SOT-563 (浸漬スズ) 上面図

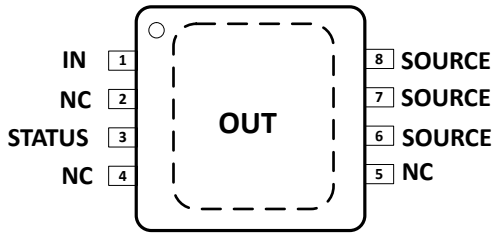


図 4-3. DRV81315 DDA パッケージ 8 ピン HSOIC 上面図

ピンの機能

ピン				タイプ	説明
名称	DRV81315A		DRV81315		
	DDA8	DRL6	DDA8		
IN	2	2	1	I	制御用 GPIO 入力
VDD	1	3	-	P	電源ピン、3p3V、5V に接続
STATUS	3	1	3	O	診断出力
NC	4	5	2、4、5	-	
ソース	6.7	6	6、7、8	G	パワー FET ソースおよびグランド リファレンス
OUT	5.8	4	EP	O	パワー FET のドレイン

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

		最小値	最大値	単位
IN	入力ロジック電圧	-0.3	5.75	V
VDD	入力電源電圧 (DRV81315A)		5.75	V
V_{OUT}	出力許容誤差	-0.3	内部的に制限	V
V_{OUT_SC}	短絡故障時の出力電圧の許容誤差		28	V
$E_{AS_sp_DDA}$	DDA の単一パルス エネルギー容量 T_J = 150 C、R_L = 17Ω、L = 100mH、V_{LOAD}= 14V		50	mJ
$E_{AS_sp_DRL}$	DRL の単一パルス エネルギー容量 T_J = 150 C、R_L = 50Ω、L = 300mH、V_{LOAD}= 24V		50	mJ
$E_{AS_rep_p_DDA}$	200 万サイクルにおける誘導性クランプ エネルギー、DDA パッケージ。T_J = 125C、R_L = 24Ω、L = 100mH、V_{LOAD}= 14V		20	mJ
$E_{AS_rep_p_+DRL}$	200 万サイクルにおける誘導性クランプ エネルギー、DRL パッケージ。T_J = 125C、R_L = 50Ω、L = 300mH、V_{LOAD}= 14V		10	mJ
STATUS	デジタル出力ピン電圧	-0.5	5.75	V
I_{peak}	ピーク モーター駆動出力電流	内部的に制限		A
P_{dis}	連続総許容損失	参照 *セクション 5.4*		
T_J	動作時の仮想接合部温度	-40	150	°C
T_{stg}	保存温度	-60	150	°C

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン(1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±750	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

			最小値	公称値	最大値	単位
V_{IN}	入力電圧 (DRV81315)		3		5.5	V
V_{VDD}	入力電源電圧 (DRV81315A)					
V_{LOAD}	通常動作時のバッテリ電圧		6		18	V
T_{AMB}	動作時周囲温度		-40		125	°C
T_J	動作時接合部温度		-40		150	°C

5.4 熱に関する情報

熱評価基準(1)		DDA (HSOIC-8)	DRL (SOT-563)	単位
		8 ピン	6 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	45.4*[1]	137.4*	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	58.0*	58.8*	°C/W

Copyright © 2026 Texas Instruments Incorporated

熱評価基準(1)		DDA (HSOIC-8)	DRL (SOT-563)	単位
		8 ピン	6 ピン	
$R_{\theta JB}$	接合部から基板への熱抵抗	20.3*	29.8*	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	6.4*	1.3*	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	20.3*	29.4*	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	9.1*	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノート、SPRA953 を参照してください。

5.5 電気的特性

代表値は T_A = 25℃ 時に測定すべての制限は推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
I_{q_off}	非動作時の電源電流	IN = 0、DRV81315A	4	10	25	µA
I_{q_on}	動作時の電源電流	IN = 1	25	40	65	µA
I_{q_fault}	故障状態時の電源電流	IN = 1			400	µA
V_{UVLO_rise}	VDD 低電圧立ち上がり	DRV81315A	2.5		2.9	V
	IN 低電圧立ち上がり	DRV81315				
V_{UVLO_fall}	VDD 低電圧 立ち下がり	DRV81315A	2.3		2.6	V
	IN 低電圧立ち下がり	DRV81315				
ステータス出力						
V_{STAT_L}	ステータス出力 Low 電圧	I_{STAT} = 1mA			0.4	V
I_{STAT_H}	ステータス High リーク電流	V_{STAT} = 5V			1	µA
2 レベル ロジック入力 (DRV81315A)						
V_{IL}	Low レベル ロジック入力				0.8	V
I_{IL}	Low レベル ロジック入力電流	V_{IN} = 0V	-1		1	µA
V_{IH}	High レベル入力電圧		2			V
I_{IH}	High レベル入力電流	V_{IN} = 5.5			10	µA
V_{I_HYS}	入力電圧ヒステリシス		0.13			V
出力段						
$R_{DS(ON)}$	FET オン抵抗	I_O = 1A、T_J = 25°C、V_{VDD} = 3V、IN=1、DRV81315A		125		mΩ
		I_O = 1A、T_J = 25°C、V_{IN} = 3V、DRV81315				
		I_O = 1A、T_J = 150°C、V_{VDD} = 3V、IN=1、DRV81315A			250	
		I_O = 1A、T_J = 150°C、V_{IN} = 3V、DRV81315				
$R_{DS(ON)}$	FET オン抵抗	I_O = 1A、T_J = 25°C、V_{VDD} = 5V、IN=1、DRV81315A		110		
		I_O = 1A、T_J = 25°C、V_{IN} = 5V、DRV81315				
		I_O = 1A、T_J = 150°C、V_{VDD} = 5V、IN=1、DRV81315A			220	
		I_O = 1A、T_J = 150°C、V_{IN} = 5V、DRV81315				

[1] * 値は初期推定値です

Copyright © 2026 Texas Instruments Incorporated

代表値は T_A = 25℃ 時に測定すべての制限は推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{OFF}	オフ状態のリーク電流	V_{OUT} = 18V、T_J = 150°C			5	µA
V_F	ボディ ダイオード順方向電圧	I_O = -1A		0.8		V
V_{CLTH_LT}	ドレイン ソース間クランプ電圧スレッショルド	I_{OUT} = 10mA、T_J = -40℃	40			V
V_{CLAMP}	ドレイン ソース間クランプ電圧	I_{OUT} = 1.5A、T_J = 150℃	41		45	V
オフ状態診断 (DRV81315A)						
V_{OL}	オフ状態での開放負荷検出スレッショルド	IN = 0	0.6	1.2	1.8	V
t_{OL_DG}	出力コンパレータのグリッチ除去			150		µs
スイッチング						
t_R	立ち上がり時間	V_{LOAD} = 13V、R_L = 13Ω、V_{IN} = 5V、DRV81315	20	30	40	µs
		V_{LOAD} = 13V、R_L = 13Ω、V_{VDD} = 5V、DRV81315A				
		V_{LOAD} = 13V、R_L = 13Ω、V_{IN} = 3V、DRV81315	20	30	40	
		V_{LOAD} = 13V、R_L = 13Ω、V_{VDD} = 3V、DRV81315A				
t_F	立ち下がり時間	V_{LOAD} = 13V、R_L = 13Ω、V_{IN} = 5V、DRV81315	15	25	50	µs
		V_{LOAD} = 13V、R_L = 13Ω、V_{VDD} = 5V、DRV81315A				
		V_{LOAD} = 13V、R_L = 13Ω、V_{IN} = 3V、DRV81315	30	60	120	
		V_{LOAD} = 13V、R_L = 13Ω、V_{VDD} = 3V、DRV81315A				
SR_{rise}	立ち上がりスルーレート	V_{LOAD} = 13V、R_L = 13Ω、VOUT = 30% V_{LOAD} ～ 70% V_{LOAD}、V_{IN} = 5V、DRV81315	0.3	0.5	0.7	V/µs
		V_{LOAD} = 13V、R_L = 13Ω、VOUT = 30% V_{LOAD} ～ 70% V_{LOAD}、V_{VDD} = 5V、DRV81315A				
		V_{LOAD} = 13V、R_L = 13Ω、VOUT = 30% V_{LOAD} ～ 70% V_{LOAD}、V_{IN} = 3V、DRV81315	0.3	0.5	0.7	
		V_{LOAD} = 13V、R_L = 13Ω、VOUT = 30% V_{LOAD} ～ 70% V_{LOAD}、V_{VDD} = 3V、DRV81315A				
SR_{fall}	立ち下がりスルーレート	V_{LOAD} = 13V、R_L = 13Ω、VOUT = 30% V_{LOAD} ～ 70% V_{LOAD}、V_{IN} = 5V、DRV81315	0.3	0.5	0.7	V/µs
		V_{LOAD} = 13V、R_L = 13Ω、VOUT = 30% V_{LOAD} ～ 70% V_{LOAD}、V_{VDD} = 5V、DRV81315A				
		V_{LOAD} = 13V、R_L = 13Ω、VOUT = 30% V_{LOAD} ～ 70% V_{LOAD}、V_{IN} = 3V、DRV81315	0.1	0.25	0.4	
		V_{LOAD} = 13V、R_L = 13Ω、VOUT = 30% V_{LOAD} ～ 70% V_{LOAD}、V_{VDD} = 3V、DRV81315A				
$t_{PD_L_to_H}$	伝搬遅延、入力 Low から出力 High	V_{LOAD} = 13V、R_L = 13Ω、V_{IN} = 5V、DRV81315	20	33	40	µs
		V_{LOAD} = 13V、R_L = 13Ω、V_{VDD} = 5V、DRV81315A				
		V_{LOAD} = 13V、R_L = 13Ω、V_{IN} = 3V、DRV81315	20	33	40	
		V_{LOAD} = 13V、R_L = 13Ω、V_{VDD} = 3V、DRV81315A				
$t_{PD_H_to_L}$	伝搬遅延、入力 High から出力 Low	V_{LOAD} = 13V、R_L = 13Ω、V_{IN} = 5V、DRV81315	18	25	45	µs
		V_{LOAD} = 13V、R_L = 13Ω、V_{VDD} = 5V、DRV81315A				
		V_{LOAD} = 13V、R_L = 13Ω、V_{IN} = 3V、DRV81315	18	25	45	
		V_{LOAD} = 13V、R_L = 13Ω、V_{VDD} = 3V、DRV81315A				
保護回路						

Copyright © 2026 Texas Instruments Incorporated

代表値は T_A = 25℃ 時に測定すべての制限は推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{LIM}	電流制限値	V_{INX} = 5、T_J = 25°C、DDA パッケージ		7.8	10	A
		V_{INX} = 5、T_J = 150°C、DDA パッケージ	5.5			A
I_{LIM}	電流制限値	V_{INX} = 5、T_J = 25°C、DRL パッケージ		4.7	6	A
		V_{INX} = 5、T_J = 150°C、DRL パッケージ	3			A
T_{TSD}	サーマル シャットダウン温度	ダイ温度	150	175	200	°C
T_{TSD_hys}	サーマル シャットダウン温度ヒステリシス			7		°C
T_{STAT_reset}	ステータスのサーマル リセット		135			°C
ΔT_J	動的温度			40		K
ΔT_{J_HYS}	動的温度ヒステリシス			15		K
t_{STATUS}	ステータス ピンの過熱グリッチ除去			20		µs

出力タイミング図

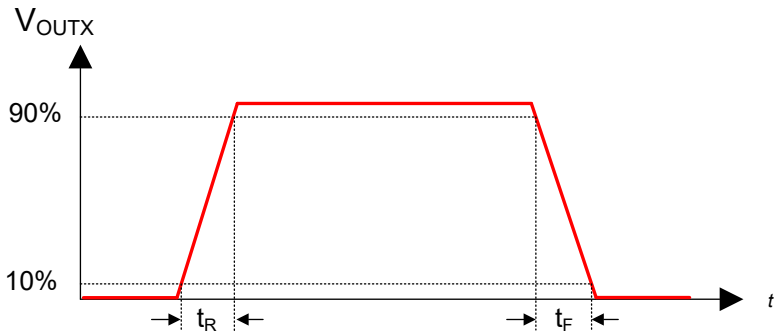


図 5-1. 出力立ち上がり / 立ち下がり時間

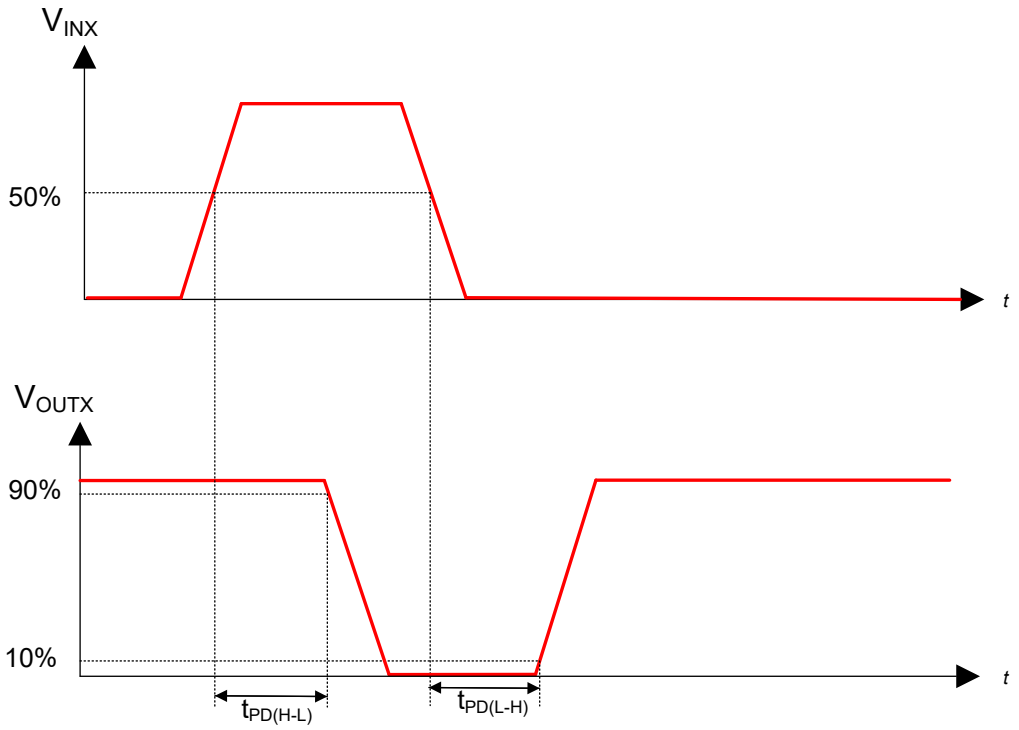


図 5-2. 伝播遅延

5.6 過渡熱インピーダンスと電流能力

熱シミュレーションに基づく情報。値は初期推定値です **

表 5-1. 過渡熱インピーダンス ($R_{\theta JA}$) および電流許容値

部品番号	パッケージ	$R_{\theta JA}$ [℃/W](1)				電流 [A] (2)			
		0.01 秒	0.1 秒	1 秒	DC	0.01 秒	0.1 秒	1 秒	DC
DRV81315A-Q1	DDA (HSOIC8)	5	12	23	47	8.5	5.5	4	2.8
	DRL (SOT-563)	未定	未定	未定	未定	未定	未定	未定	未定
DRV81315-Q1	DDA (HSOIC8)	5	12	23	47	8.5	5.5	4	2.8

(1) 114.3 × 76.2 × 1.6mm の 4 層 PCB セクション 7.2.2 (最上層および最下層は 2 オンスの銅箔、内層は 1 オンスの銅箔、サーマルビアはドリル径 0.3mm で 0.025mm の銅メッキ、最小ビアピッチ 1mm) を使用した熱シミュレーションに基づく。
(2) 周囲温度 85℃ で接合部温度が 150℃ まで上昇した場合の推定過渡電流能力。

Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

6.1 概要

DRV81315/A はシングル チャネル ローサイド スイッチ ドライバで、標準的な Rdson 100mΩ の各スイッチが内蔵されています。スイッチには、誘導性負荷の安全な消磁のための過電圧保護が内蔵されています。DRV81315A のバリアントでは、VDD ピンから電力が供給されます。また、IN ピンは出力を制御するロジック入力として機能します。DRV81315 (A 以外) のバリアントでは、IN ピンが電源と制御ロジックの両方として使用されます。チャネルは、固定の内蔵電流制限によって過電流から保護されています。さらに、スイッチは過熱保護機能も備えています。DRV81315 では、オープン ドレイン出力の STATUS を介して診断フィードバックを取得できます。DRV81315A では、出力のオフ状態診断により、開放負荷または STG 状態を検出できます。DRV81315/A は、8 ピン HSOIC (DDA パッケージ) および 6 ピン SOT-563 (DRL パッケージ) で提供されています。

特性	DRV81315A	DRV81315
パッケージ	DDA (HSOIC8)、DRL (SOT-563)	DDA(HSOIC8)
オフ状態の開放負荷 / STG 診断	Y	N
電源入力	VDD	IN
出力ロジック制御	IN	IN

6.2 機能ブロック図

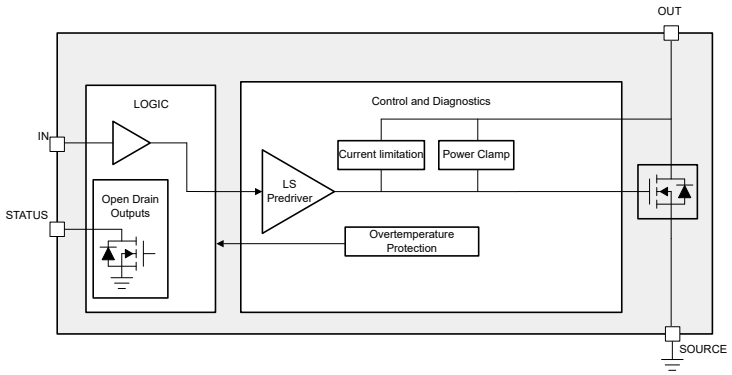


図 6-1. DRV81315-Q1

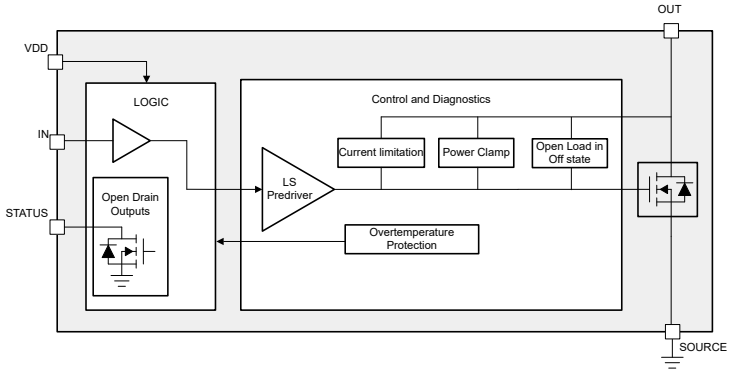


図 6-2. DRV81315A-Q1

6.3 機能説明

6.3.1 オフ状態診断 (OL、STG)

DRV81315A デバイスは、OUT ピンにコンパレータが搭載されています。これは出力状態を示すために使用できます。コンパレータを外付けプルダウン抵抗と組み合わせて使用すると、開放負荷状態 (OL) を検出できます。抵抗の選定には、負荷のリーケージの許容値、出力容量、負荷の PWM 周期が影響します。

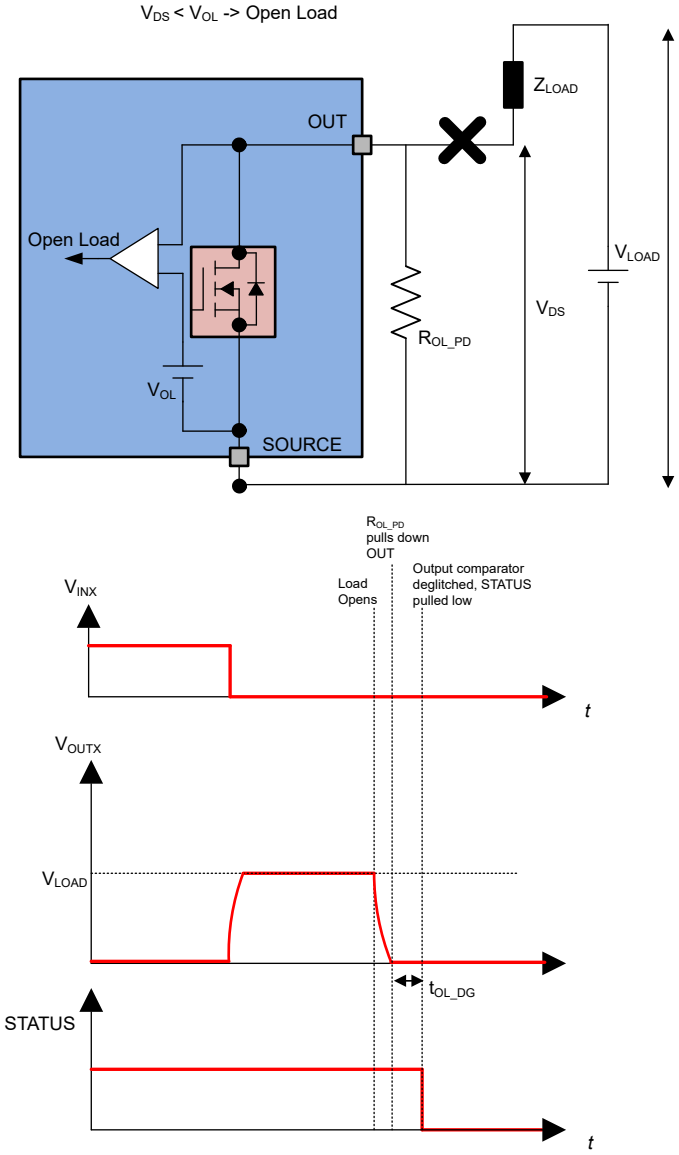


図 6-3. 開放負荷検出

負荷が接続されていない場合は、外付け抵抗 (R_{OL_PD}) を接続して出力をグランドにプルダウンできます。

コンパレータの出力は、OUT ピンに GND 短絡状態 (STG) が発生しているかどうかを判断するのにも役立ちます。検出できる短絡値は次のとおりです。

$$R_{short} \leq \frac{V_{OL}(R_{load})}{(V_{load} - V_{OL})} \quad (1)$$

Copyright © 2026 Texas Instruments Incorporated

ここで、R_{short} は [2] 検出可能な短絡インピーダンス、R_{load} は負荷インピーダンス、V_{load} は負荷側電源電圧、V_{OL} は出力コンパレータ スレッショルドです。

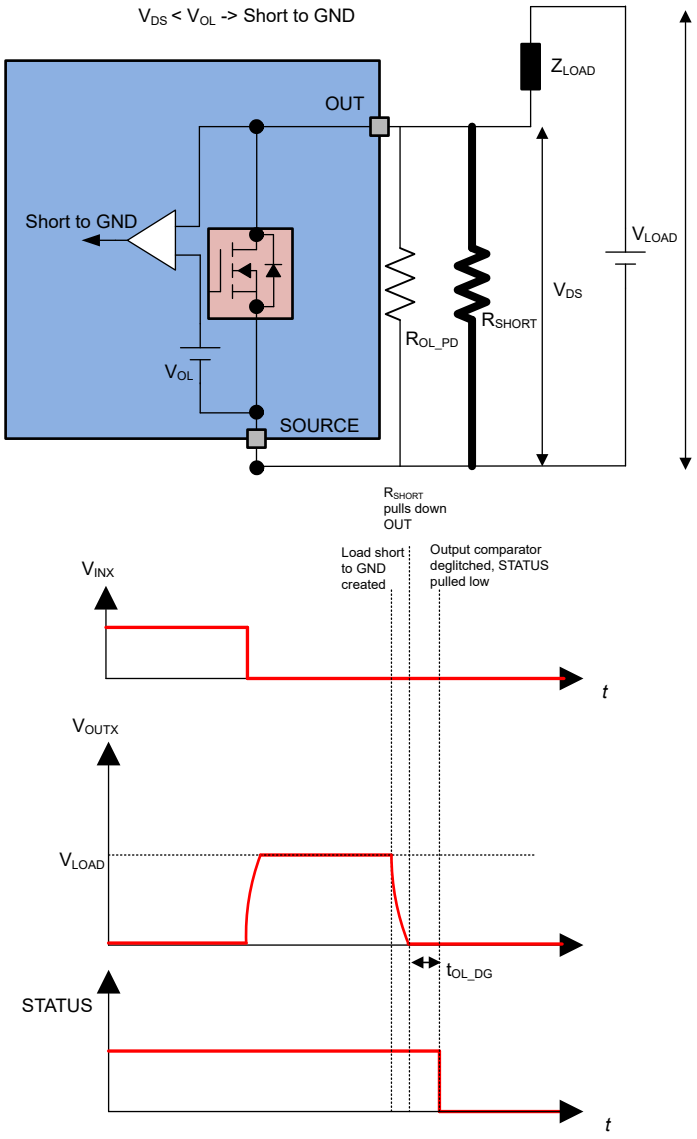


図 6-4. GND への短絡

開放負荷とグランドへの短絡は同じ出力状態になるため、どちらかを区別することはできない点に注意してください。

6.3.2 制御インターフェイス / 電源入力

DRV81315-Q1 デバイスには専用の電源ピンがありません。回路には IN ピンで電力が供給されます。このピンは制御入力としても機能します。DRV81315A-Q1 デバイスには、IN ピンとは別に VDD ピンがあります。VDD ピンが電源として機能し、IN ピンは出力ローサイド FET のロジック制御専用として機能します。

IN ピンにロジック High 電圧を印加すると、対応するチャネルの出力ローサイド FET がオンになり、出力は Low レベルにプルダウンされます。

[2] この式では、開放負荷検出に推奨されるハイ インピーダンスのプルダウン抵抗 R_{OL_PD} は考慮していません

Copyright © 2026 Texas Instruments Incorporated

6.4 保護回路

DRV81315/A-Q1 は、過電流、過熱、FET 過電圧および低電圧の各状態に対して完全に保護されています

6.4.1 過電圧クランプ

誘導性負荷のスイッチオフ時には、デバイスの破壊を防ぐために電圧クランプが必要です。アクティブ クランプ回路は、ドレインとゲートの間に接続されたツェナー スタックで構成されます。キックバック電圧がツェナー スレッショルドを超えると、キックバックはゲートへ電流を押し込み、FET を飽和領域でわずかに再ターンオンさせます。これにより、誘導エネルギーは制御された形で FET 内部に直接消費されます。

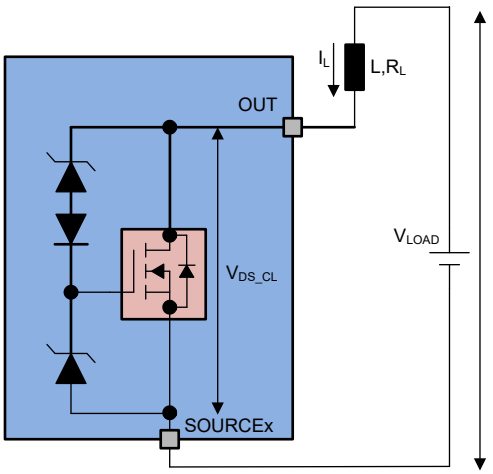


図 6-5. アクティブ過電圧クランプ

6.4.1.1 消磁エネルギー能力

誘導性負荷の減磁中には、磁気エネルギーは DRV813xx-Q1 のローサイド スイッチで消費されます。ローサイド スイッチの V_{DS} クランプ電圧を V_{DS_CL} とした場合、負荷 (L, R_L) に電流 I_L が流れており、負荷のもう一端が V_{LOAD} に接続されているとき、ローサイド スイッチでのエネルギーを計算する方法を示す式を示します:

$$E_{AS} = V_{DS_CL} \times \left[\frac{V_{LOAD} - V_{DS_CL}}{R_L} \times \ln\left(1 - \frac{R_L \times I_L}{V_{LOAD} - V_{DS_CL}}\right) + I_L \right] \times \frac{L}{R_L} \quad (2)$$

R_L = 0 を想定すると、以下のように単純化されます

$$E_{AS} = \frac{1}{2} \times L \times {I_L}^2 \times \left(\frac{V_{DS_CL}}{V_{DS_CL} - V_{LOAD}}\right) \quad (3)$$

熱に変換される最大エネルギーは、部品の熱設計によって制限されます。絶対最大定格に示す E_{AS_sp} 値は、チャネルごとのシングル パルス エネルギー処理能力を示し、絶対最大定格に示す $E_{AS_Rep_p}$ 値は、チャネルごとの反復パルス エネルギー処理能力を示します。

6.4.1.1.1 単発パルスに対するクランプ耐量

125℃ 条件において、一回のパルスによる誘導性損失時にデバイスが耐えられる最大エネルギーと、それに対応する負荷インダクタンスおよび負荷電流をここに示します。このデバイスは、4Hz を超える反復パルスを使用する 100 万個の誘導性反復パルスに対して、このエネルギーの 40% に耐えることができます。アプリケーションのパラメータがこのデバイスの制限を超えた場合は、フリーホイール ダイオードなどの保護デバイスを使用して、インダクタに蓄積されているエネルギーを消費します。

Copyright © 2026 Texas Instruments Incorporated

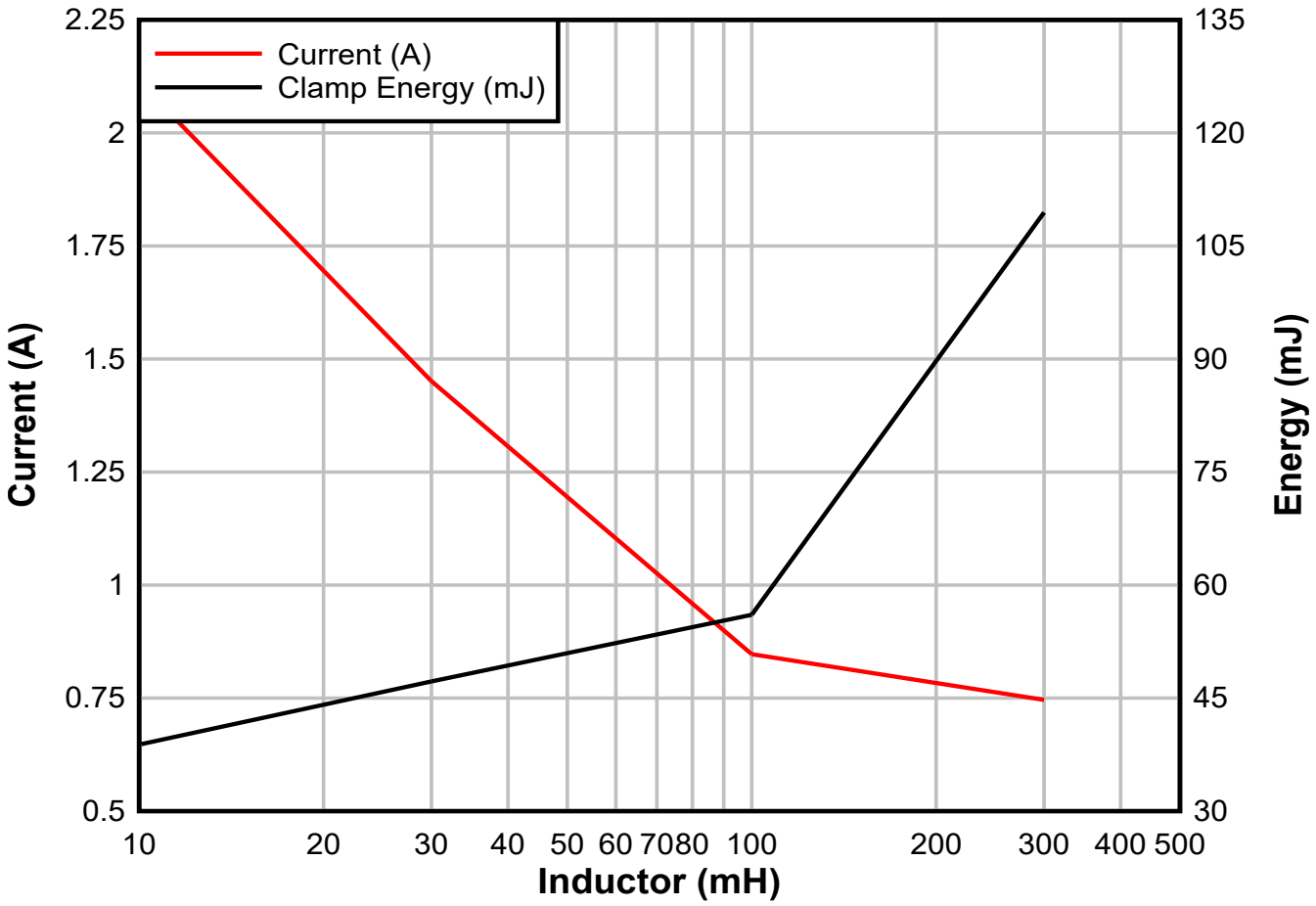


図 6-6. 単一パルス クランプ エネルギー (1 チャネルあたり)、T_J = 150C (DDA パッケージ)

6.4.2 過電流制限

過電流制限は、短絡保護を目的としつつ、ランプ、モーター、容量性負荷などに典型的な突入電流を許容するよう設計されています。検出された負荷電流が制限レベル I_{LIM} を超えると、ローサイド FET のゲート駆動が閉ループで継続的に変更され、出力電流を制限します。

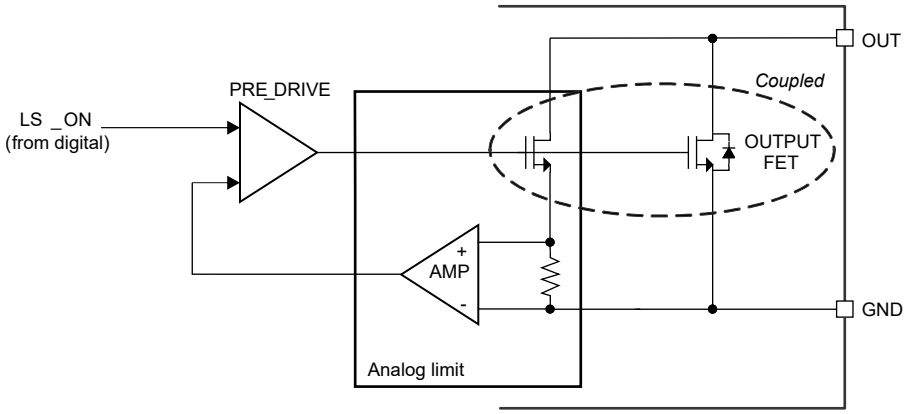


図 6-7. 電流制限回路の動作

その結果として、FET のドレイン ソース電圧が上昇する可能性があり、それに伴い消費電力が急激に増加します。FET は、動的温度シャットダウン (ΔT_{DYN}) または絶対温度シャットオフ (T_{TSD}) に達するまで、I_{LIM} で発熱し続けます。これらのサーマル シャットダウン メカニズムには、それぞれ ΔT_{DYN_HYS} または T_{TSD_HYS} ヒステリシスが備わっています。両方のサーマル シャットダウン イベントは同等の優先度を持ち、ドライバが再試行を行うには両方ともクリアされる必要があります。その結果として、該当するチャネルは通常の自動リスタート型の電流制限デバイスとして動作し続けます。ステータス ピンは、絶対過熱 T_{TSD} に達した場合にのみローになります。動的温度シャットダウン ヒステリシスと絶対温度 STATUS リセット条件の両方がクリアされると、STATUS ピンは解放されます (セクション 6.4.5 を参照)

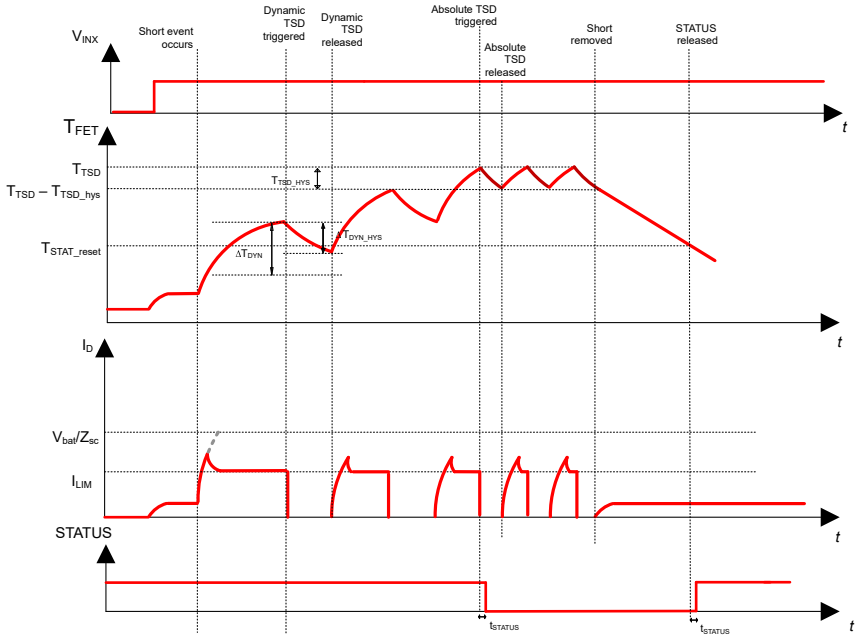


図 6-8. 短絡発生時における過電流制限回路の動作

6.4.3 サーマル シャットダウン (TSD)

電力段の過熱を防ぐため、このデバイスには絶対温度保護 (T_{TSD}) および動的温度制限 (ΔT_{DYN}) が内蔵されています。そのどちらかがトリガされると、出力はオフに切り替わり、その後リトライされます。

6.4.3.1 動的過熱応力 (ΔT_{DYN})

ダイ上の二点間で大きな温度勾配が発生すると、熱的に超過ストレスが発生する可能性があります。動的温度制限は、FET の温度上昇をより制御された形で増加させる機能であり、電流制限などの高い電力損失イベント時に、FET とダイ内のより低温な部分との相対的な温度差を比較することで動作します。動的過熱イベントが発生した場合、ステータスが low になることはありません。ただし、一般的な動的過熱状態により、ステータスの回復が引き起こされる可能性があります。

6.4.3.2 絶対過熱

動的温度保護および監視に加えて、FET には絶対温度センサも備わっています。このセンサがトリガされるとチャネルはシャットダウンされ、その後、STATUS は Low にプルダウンされます。温度が T_{TSD_hys} を下回ると、チャネルは再試行されます。

注

ステータスが Low になるのは、絶対過温度イベントの場合のみです。ステータス ピンの回復は、動的過温度センサが ΔT_{DYN} - ΔT_{DYN_hys} より下に低下し、かつ FET 温度センサが T_{TSD_reset} より下に低下した場合にのみ起こります

Copyright © 2026 Texas Instruments Incorporated

STATUS ピンが Low にプルダウンされ、絶対過熱イベントを示します。温度が T_{TSD_reset} を下回ると、STATUS ピンは解放されます。DRV81315A では、温度が T_{TSD_RESET} 未満に戻ると STATUS ピンは解放されますが、DRV81315 では、IN ピンが Low にプルダウンされるまでは Low にラッチされたままです。

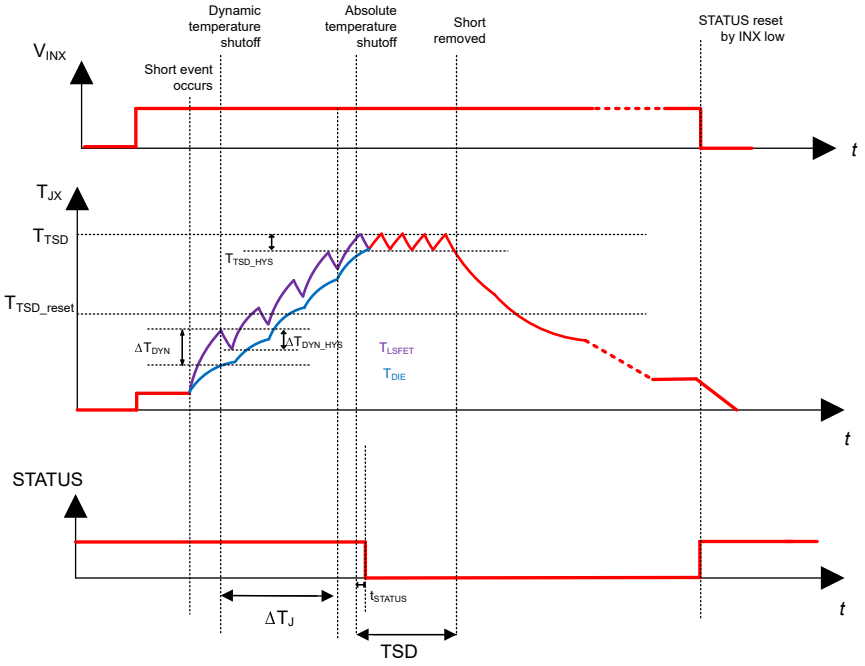


図 6-9. 過熱保護 (DRV81315)

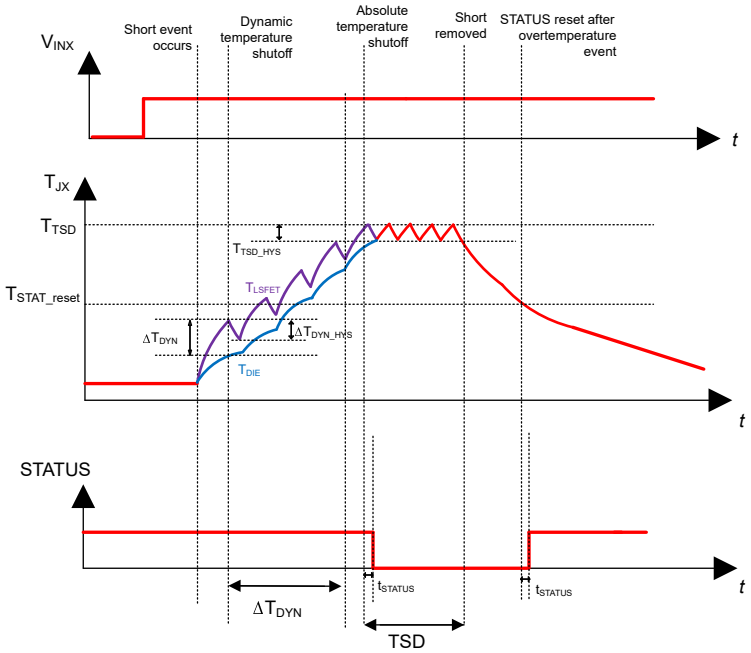


図 6-10. 過熱保護 (DRV81315A)

6.4.4 低電圧誤動作防止 (UVLO)

電源ピン (DRV81315 では INx、DRV81315A では VDD) の電圧が低電圧ロックアウト スレッショルドを下回った場合、デバイス内のすべての回路は無効化され、内部ロジックはリセットされます。電源ピンの電圧が UVLO スレッショルドを上回ると動作は再開されます。ステータス ピンには表示されません。

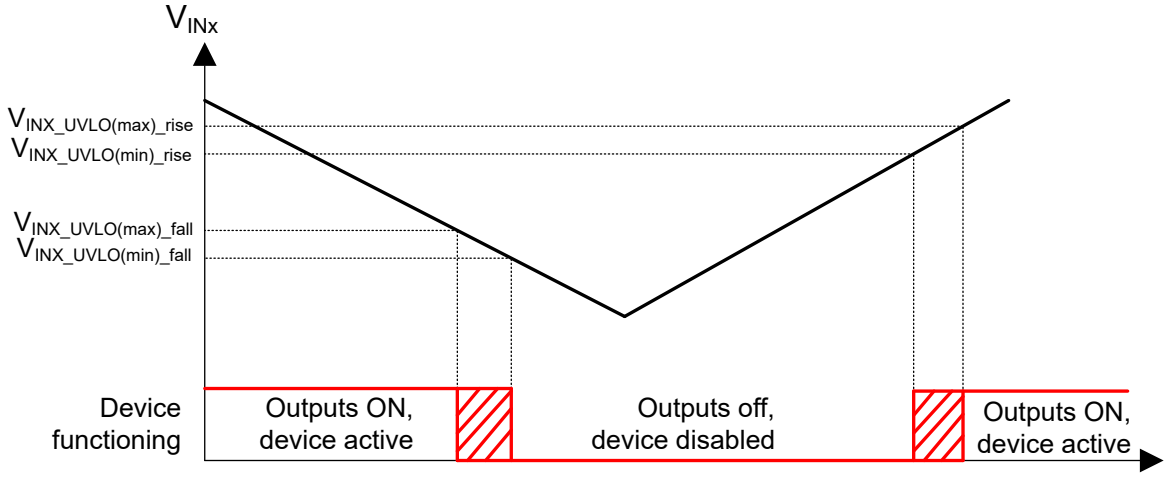


図 6-11. DRV81315 UVLO デバイスの応答

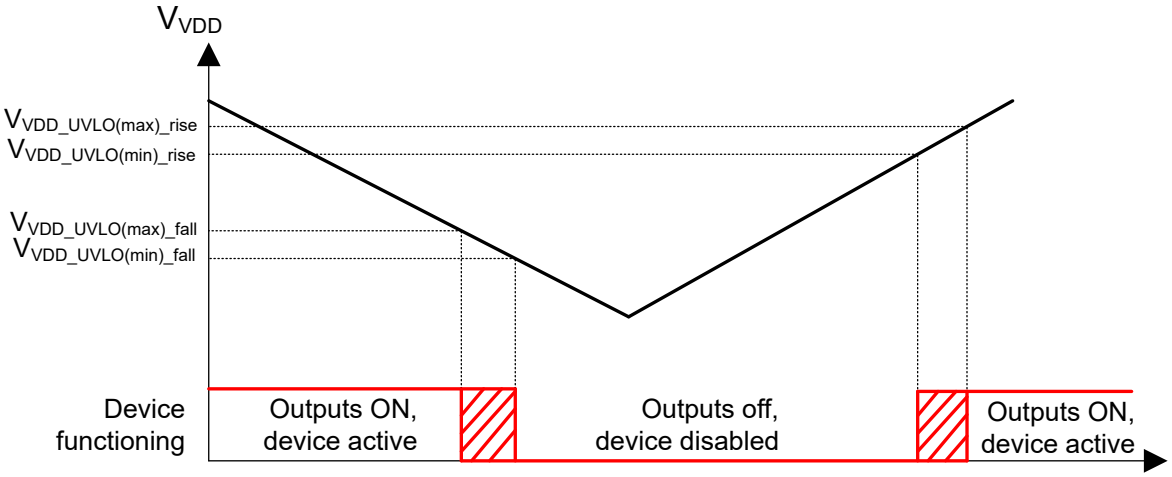


図 6-12. DRV81315A UVLO デバイスの応答

Copyright © 2026 Texas Instruments Incorporated

6.4.5 ステータス ピンの応答の概要

表 6-1. DRV81315A STATUS ピンの応答の概要

T_{FET} (1)> T_{TSD}	T_{STAT_reset} < T_{FET} < T_{TSD} - T_{TSD_hys}	T_{FET} < T_{STAT_reset}	ΔT(2) >ΔT_{DYN}	ΔT < ΔT_{DYN}– ΔT_{DYN_hys}	OUT 応答	STATUS
✓	✖	✖	✖	✓	オフ	Low
✖	✓	✖	✖	✓	オン	Low
✖	✖	✓	✖	✓	オン	High
✖	✖	✖	✖	✓	オン	High
✓	✖	✖	✓	✖	オフ	Low
✖	✓	✖	✓	✖	オフ	Low
✖	✖	✓	✓	✖	オフ	Low
✖	✖	✖	✓	✖	オフ	High

(1) T_{FET} は FET 温度を表します
(2) $\Delta T = T_{FET} - T_{controller}$

表 6-2. DRV81315 STATUS ピンの応答の概要

T_{FET} (1)> T_{TSD}	T_{STAT_reset} < T_{FET} < T_{TSD} - T_{TSD_hys}	T_{FET} < T_{STAT_reset}	ΔT(2) >ΔT_{DYN}	ΔT < ΔT_{DYN}– ΔT_{DYN_hys}	OUTresponse	STATUS
✓	✖	✖	✖	✓	オフ	Low
✖	✓	✖	✖	✓	オン	Low
✖	✖	✓	✖	✓	オン	Low(3)
✖	✖	✖	✖	✓	オン	High
✓	✖	✖	✓	✖	オフ	Low
✖	✓	✖	✓	✖	オフ	Low
✖	✖	✓	✓	✖	オフ	Low
✖	✖	✖	✓	✖	オフ	High

(1) T_{FET} は FET 温度を表します
(2) $\Delta T = T_{FET} - T_{controller}$
(3) IN がトグルされるまで Low にラッチされます

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 代表的なアプリケーション

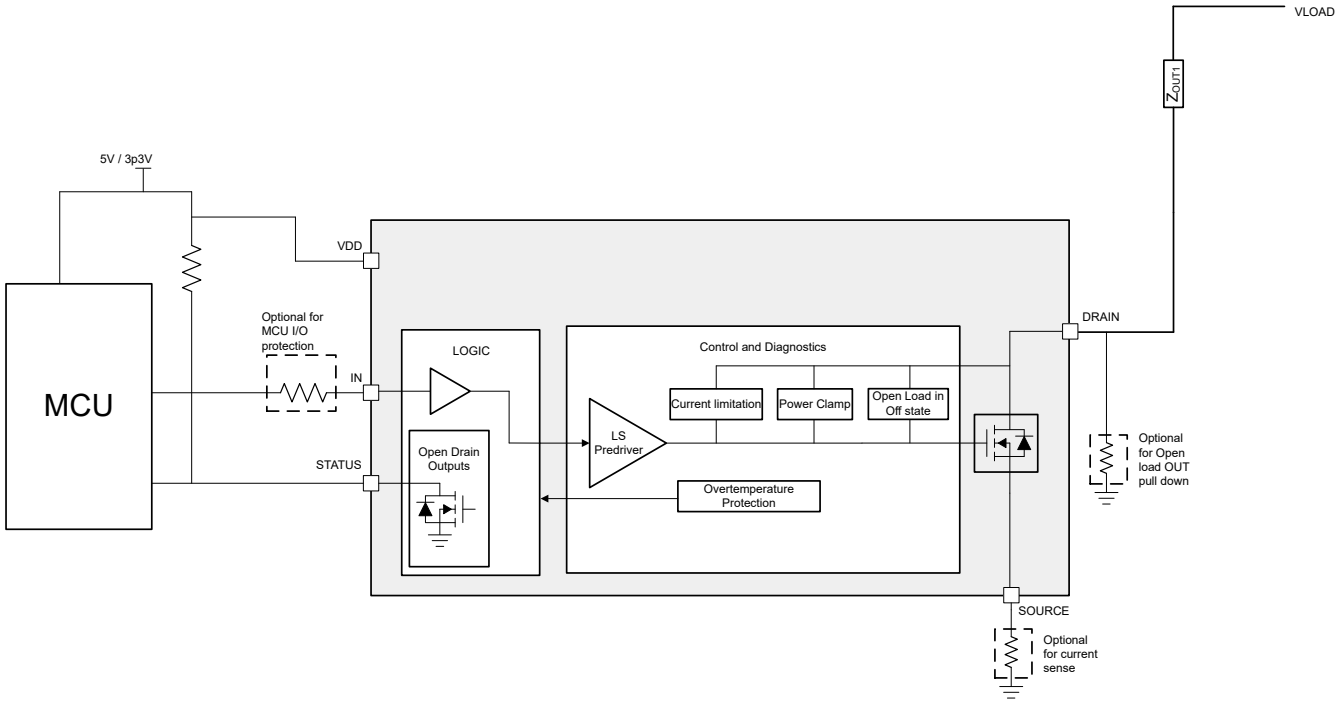


図 7-1. DRV81315A の代表的なアプリケーション回路図

Copyright © 2026 Texas Instruments Incorporated

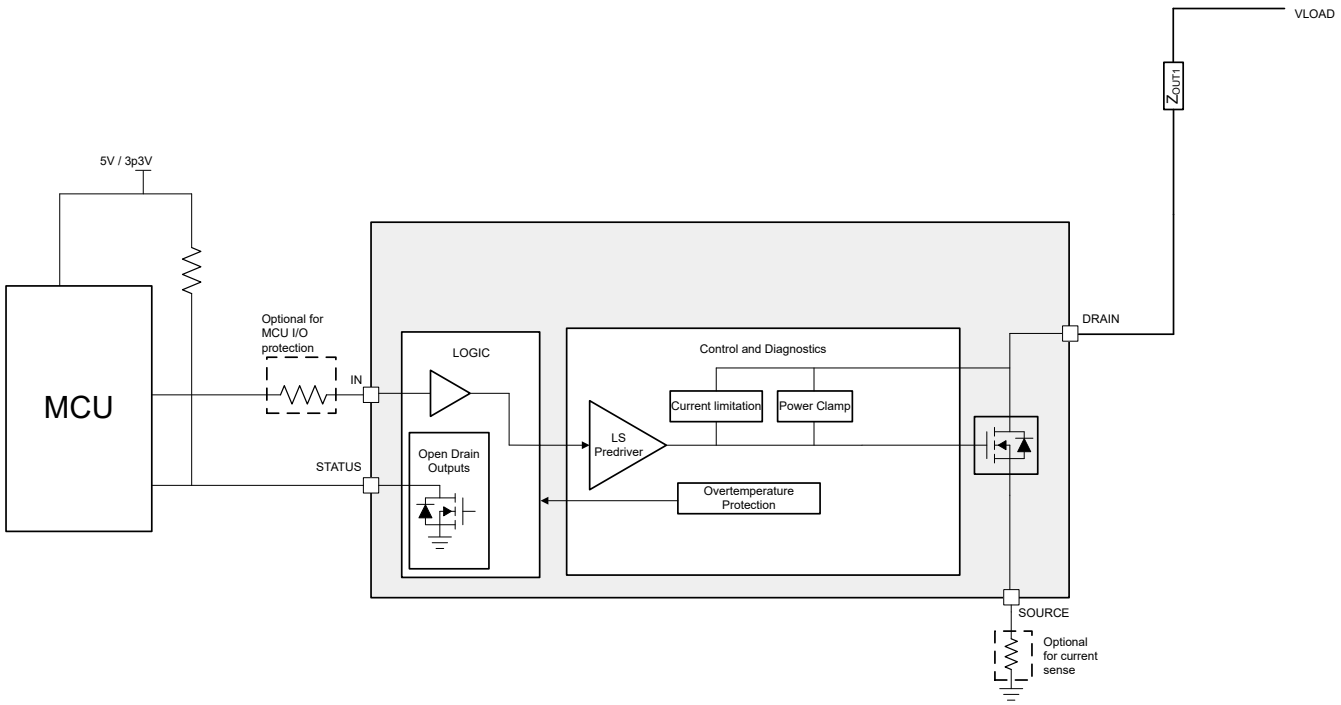


図 7-2. DRV81315 の代表的なアプリケーション回路図

7.1.1 外付け部品

次の表に、DRV81315/A-Q1 の推奨外付け部品を示します

表 7-1. 必要な外付け部品

記号	説明	値	目的
R_{STATUS}	ステータスでのプルアップ抵抗が	10kΩ	ステータス ピンは、Low に引き下げられていない場合に High レベルになるようにバイアスされます。

表 7-2. オプションの外付け部品

記号	説明	値	目的
C_{OUT}	各 OUTx ピンと SOURCEx ピン間のコンデンサ	<10nF	システム レベル ESD のフィルタリング
R_{SNS}	SOURCEx と GND の間のシャント検出抵抗	<200mΩ	負荷電流検出の SOURCE ピンでのオプションの抵抗
R_{series}	マイコンのラッチアップを防止する直列抵抗	<500Ω	マイコン I/O 保護

7.2 レイアウト

7.2.1 レイアウトのガイドライン

小さい値のコンデンサは、セラミック コンデンサとし、デバイス ピンに近づけて配置する必要があります。

DRV81315/A DDA パッケージは、露出した PowerPAD ™付きの HSOIC パッケージを使用しています。PowerPAD パッケージでは、露出したパッドを使用してデバイスから熱を除去します。正常に動作できるようにするためには、このパッド

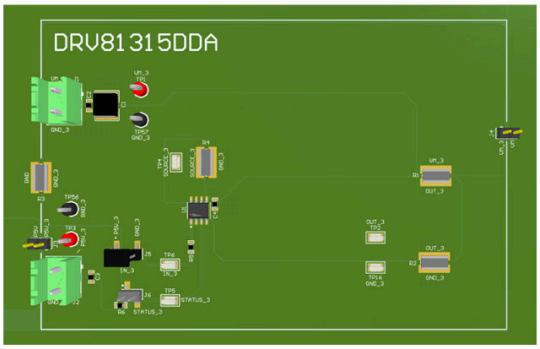
Copyright © 2026 Texas Instruments Incorporated

を PCB 上の銅領域に熱的に接続して、熱を放散させる必要があります。グランド プレーンを備えた多層 PCB では、サーマル パッドをグランド プレーンに接続するためのビアをいくつか追加することでこれを実現できます。内層のない PCB の場合、PCB のいずれかの面に銅領域を追加することで熱を放散できます。銅領域がデバイスから見て PCB の反対側にある場合は、サーマル ビアを使用して上層と下層の間で熱を伝達します。

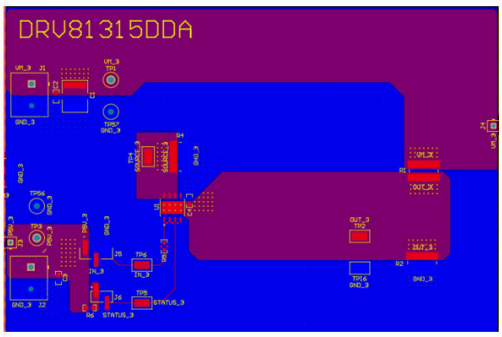
PCB 設計の詳細については、TI アプリケーション ノート「PowerPAD 熱強化パッケージ (SLMA002)」および TI アプリケーション ブリーフ「PowerPAD 入門 (SLMA004)」を参照してください。www.ti.com で入手可能です。

DRV81315ADRL パッケージは、接合部から上面、および接合部から基板への熱抵抗パラメータが非常に優れているという利点があります。良好な放熱性能を得るためには、OUT ピンと SOURCE ピンを広い銅箔に接続することが有効です。PCB 上層では、流し込みがパッケージの寸法を超えて広がる可能性があります。これに加えて、一つ以上の内部 PCB 層や最下層に OUT プレーンを配置することを推奨します。ビアを使用して、これらのプレーンを上側の OUT 流し込みに接続する必要があります。SOURCE ピンは基板の GND に電気的に接続可能であり、ビアを GND 層に配置することで性能を向上できます

7.2.2 レイアウト例



Top Signal Layer



Second Layer (GND)

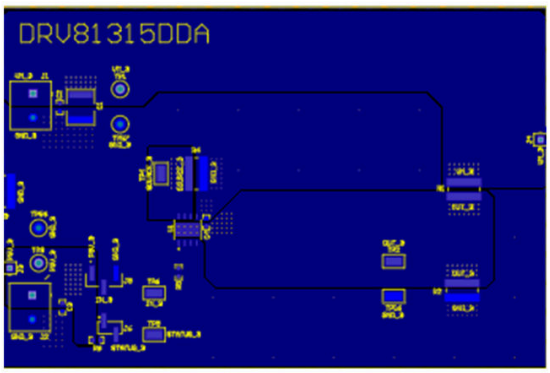
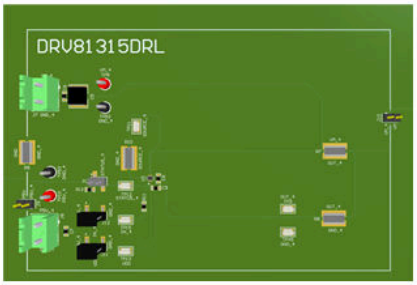
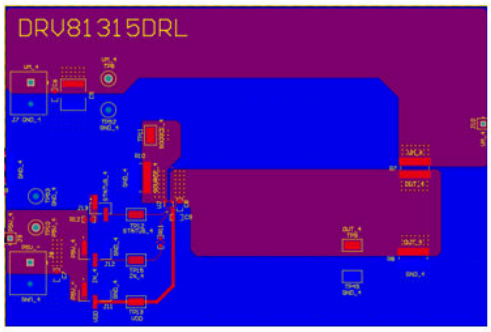


図 7-3. DDA パッケージ (電源パッド付き)、2s2p 構成 (上層と第 2 層のみ表示)

Copyright © 2026 Texas Instruments Incorporated



Top Signal Layer



Second Layer (GND)

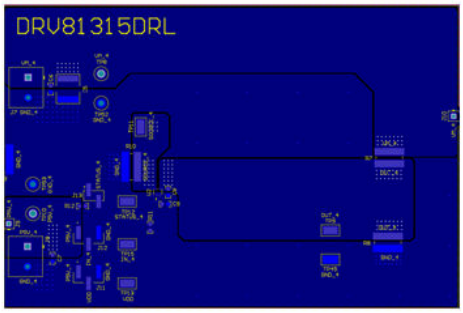


図 7-4. DRL パッケージ、2s2p 構成 (上層と第 2 層のみ表示)

7.3 熱に関する注意事項

7.3.1 消費電力

DRV81315 デバイスの消費電力には二つの要素があります

静的消費電力: 出力 FET 抵抗、または $R_{DS(on)}$ で消費される電力。静的負荷をかけた状態で各 FET が消費する平均電力は、式 4 で概算できます:

$$P = R_{DS(ON)} \cdot (I_{OUT})^2 \quad (4)$$

ここで:

- P は 1 つの FET の電力損失です。
- $R_{DS(ON)}$ は各 FET の抵抗です。
- I_{OUT} は、負荷により流れる平均電流と等しくなります。

起動時および故障時の条件では、この電流は通常動作時の電流よりもはるかに大きくなるため、これらのピーク電流とその継続時間を考慮する必要があります。

スイッチング消費電力: 負荷電流を維持しながら FET をオン / オフするときに出力 FET で消費される電力 (PWM 動作)。消費電力は次の式で表されます:

$$P_{sw} = P_{sw_reg} + P_{sw_clamp}$$

$$P_{sw_reg} = 0.5 \times V_{load} \times I_{load} \times (tr + tf) \times F_{sw}$$

$$P_{sw_clamp} = E_{AS} * F_{sw}$$

ここで

- P_{sw} は一個の FET におけるスイッチング電力損失です
- V_{load} は負荷電源です
- I_{load} は負荷電流です
- t_r と t_f は出力における立ち上がり時間および立ち下がり時間を表します
- F_{sw} はスイッチング周波数です
- E_{AS} は誘導性消磁エネルギーです

注

部品 P_{sw_clamp} は、DRV813XX の統合出力クランプ機能が使用される場合にのみ関連します。外部の循環経路 (例えば循環ダイオードなど) が存在する場合、この項目を考慮する必要はありません。

複数の負荷を同時に駆動する場合は、すべてのアクティブな出力段の電力を加算する必要があります。

デバイスが放散できる電力の最大値は、周囲温度とヒートシンクに依存します。

$R_{DS(on)}$ は温度とともに上昇するので、デバイスが発熱すると消費電力が増大することに注意してください。これは、ヒートシンクのサイズを決定する際に考慮する必要があります。

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- 『PowerPAD 熱特性強化パッケージ』、SLMA002
- 『PowerPAD の簡単な使用法』、SLMA004

8.2 コミュニティ リソース

8.3 商標

PowerPAD ™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PDRV81315AQDRLRQ1	Active	Preproduction	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

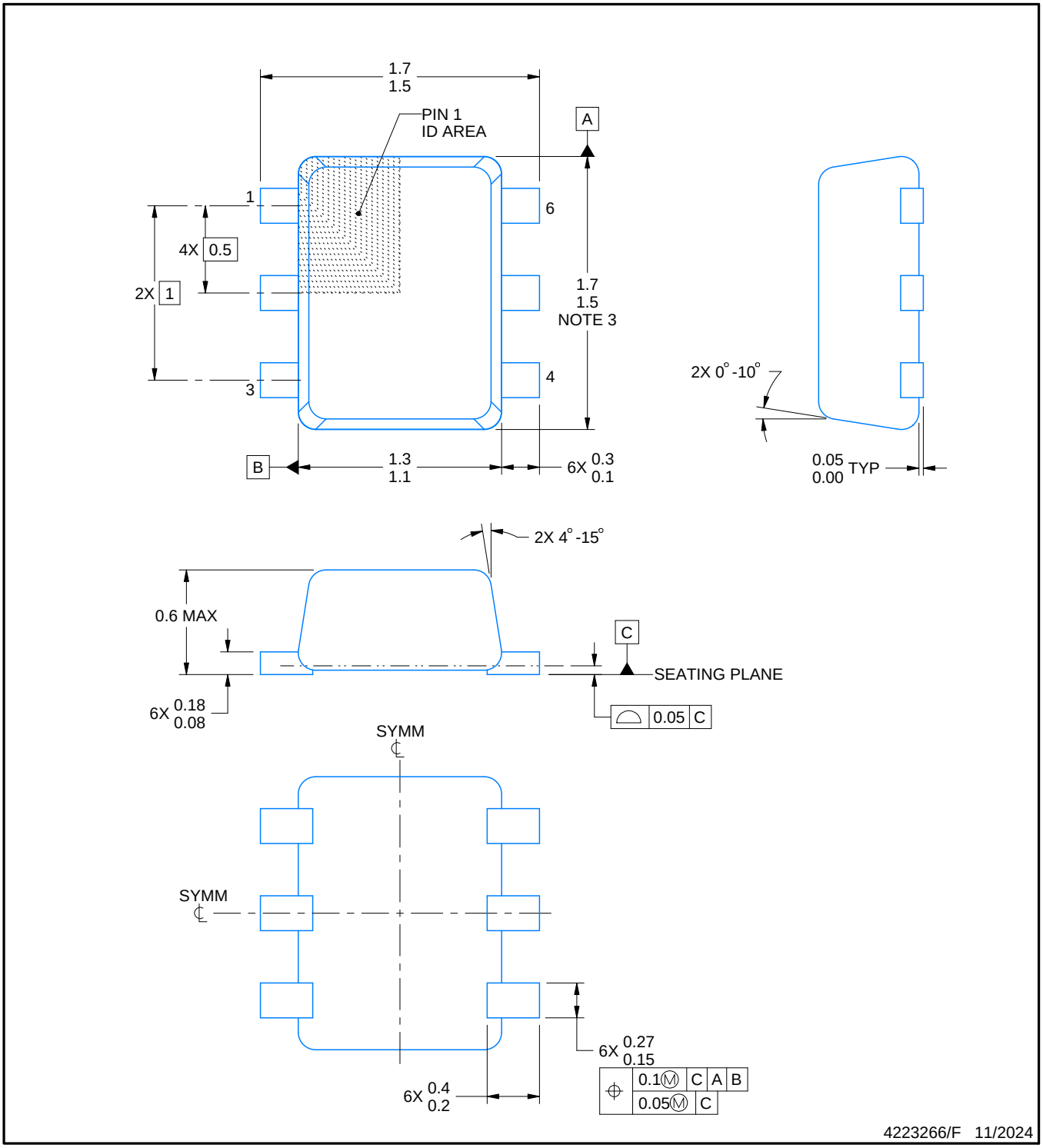


PACKAGE OUTLINE

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



NOTES:

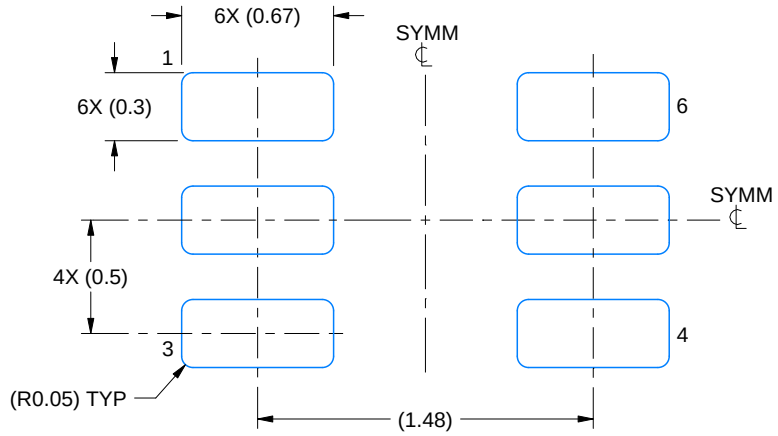
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-293 Variation UAAD

EXAMPLE BOARD LAYOUT

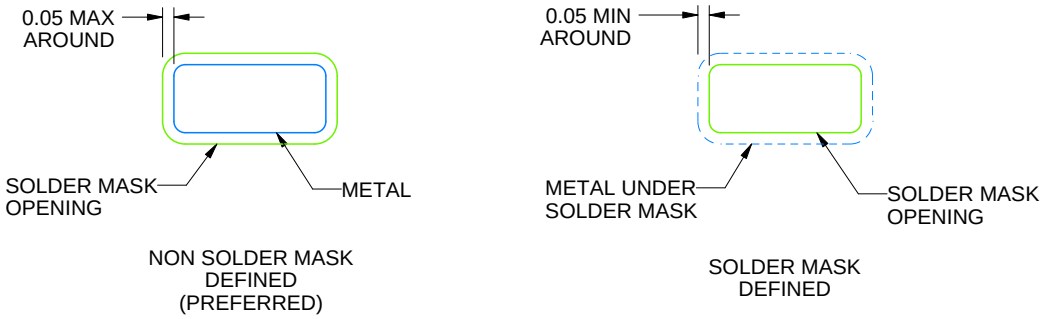
DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:30X



SOLDERMASK DETAILS

4223266/F 11/2024

NOTES: (continued)

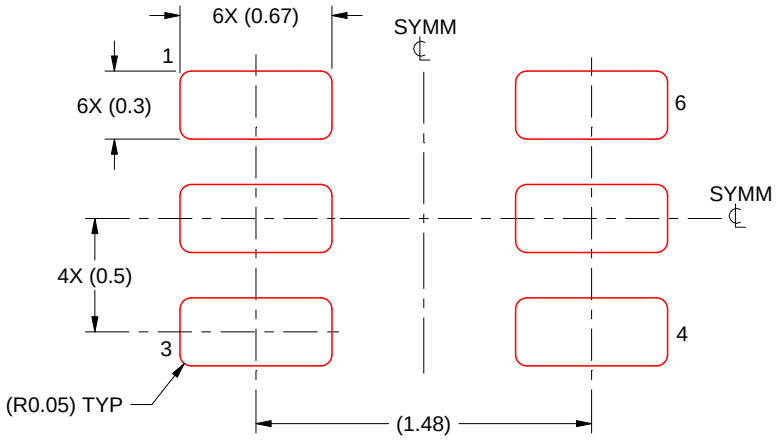
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4223266/F 11/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月