

DRV81325/A-Q1 デュアル チャネル保護ローサイド スイッチ

1 特長

- デュアル保護機能付きローサイド スイッチ内蔵
 - 25°C で **110mΩ** $R_{DS(ON)}$
 - 最大 **40V** の動作許容に対応する出力段
- AEC-Q100 認定済み (最大グレード 1)
- ハードウェア制御インターフェイス
- 包括的な保護
 - 各スイッチの内部電流制限
 - 各スイッチに対して独立した過熱保護
 - 動的および絶対過熱保護
 - 誘導性負荷の放電時の過電圧を抑制するクランプを内蔵
- 診断フィードバック (DRV81325A)
 - チャンネルごとにマイコン故障割り込み信号 (ステータス) が利用可能
- 2.6V ~ 5.5V** 入力電圧の動作範囲
 - 3p3V、5V** マイコン I/O 制御をサポート
- 熱特性強化型表面実装パッケージ (D-SOIC8)、熱特性強化型表面実装パッケージ (DDA8)

2 アプリケーション

- エンジンおよびトランスミッション
- ライティング
- ブレーキとサスペンション
- ボディ エレクトロニクスおよびゾーン モジュール
- バッテリー マネージメント システム

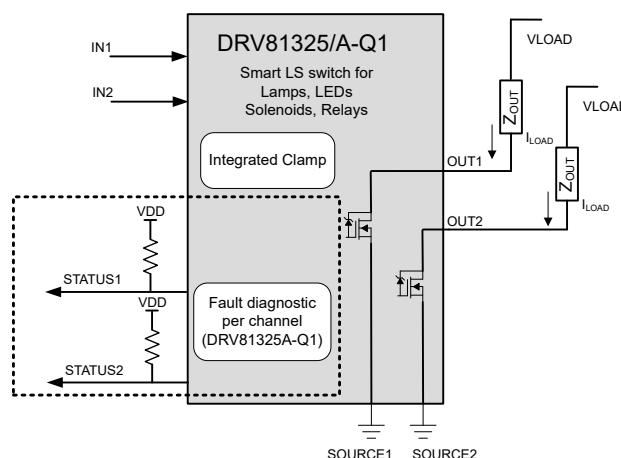
3 説明

DRV81325/A-Q1 は、110mΩ の低い $R_{DS(ON)}$ で二つのローサイド スイッチを搭載しています。このデバイスは、GPIO インターフェイスを介して制御できます。各チャンネルは、内部の固定スレッショルド電流制限によって過電流から保護されています。内蔵の過熱センサにより、チャンネルを過熱から保護します。各チャンネルには、誘導性負荷の消磁時に発生する出力過電圧に対する保護機能が内蔵されています。各チャンネルの保護機能は、他のチャンネルとは独立して動作します。故障情報は、チャンネルごとにオープンドレインのステータス出力として提供されます (A バリエーション)。DRV81325/A-Q1 は、8 ピン SOIC (D) パッケージ、および放熱特性を強化した 8 ピン HSOIC (DDA) パッケージで提供されます (環境配慮型:RoHS 準拠、Sb/Br 非含有) で供給されます。

製品情報 (1)

部品番号	パッケージ	本体サイズ (公称)
DRV81325ADDA ⁽²⁾	HSOIC (8)	4.90mm × 3.90mm
DRV81325AD	SOIC (8)	4.90mm × 3.90mm
DRV81325D ⁽²⁾	SOIC (8)	4.90mm × 3.90mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- 開発中製品



概略回路図



目次

1 特長.....	1	5.5 電气的特性.....	5
2 アプリケーション.....	1	5.6 過渡熱インピーダンスと電流能力.....	7
3 説明.....	1	6 詳細説明.....	8
4 ピン構成および機能.....	3	6.1 概要.....	8
ピンの機能.....	3	6.2 機能ブロック図.....	8
5 仕様.....	4	6.3 保護回路.....	10
5.1 絶対最大定格.....	4	7 デバイスおよびドキュメントのサポート.....	22
5.2 ESD 定格.....	4	7.1 ドキュメントのサポート.....	22
5.3 推奨動作条件.....	4	7.2 コミュニティ リソース.....	22
5.4 熱に関する情報.....	4	7.3 商標.....	22

4 ピン構成および機能

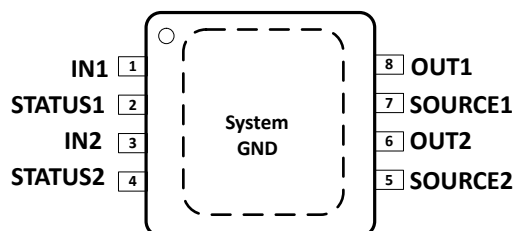


図 4-1. DRV81325A-Q1 DDA パッケージ 8 ピン HSOIC 上面図

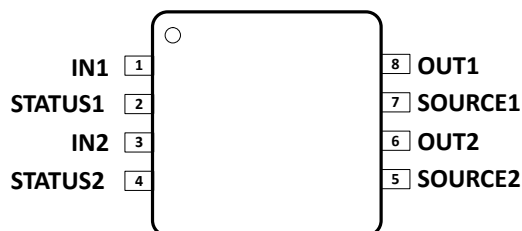


図 4-2. DRV81325A-Q1 D パッケージ、8 ピン SOIC (上面図)

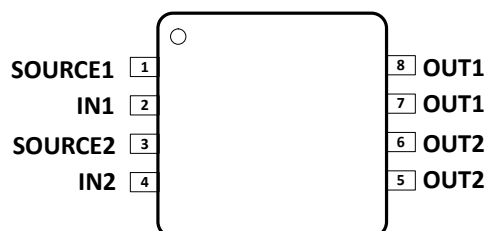


図 4-3. DRV81325-Q1 D パッケージ、8 ピン SOIC (上面図)

ピンの機能

名称	ピン			タイプ	説明
	DRV81325A		DRV81325		
	DDA(8)	D(8)	D(8)		
IN1	1	1	2	P/I	入力チャンネル 1
IN2	3	3	4	P/I	入力チャンネル 2
STATUS1	2	2	-	O	診断出力 1
STATUS2	4	4	-	O	診断出力 2
OUT1	8	8	7.8	O	パワー FET のドレイン 1
OUT2	6	6	5.6	O	パワー FET のドレイン 2
SOURCE1	7	7	1	G	チャンネル 1 のパワー FET ソースおよびグランドリファレンス
SOURCE2	5	5	3	G	チャンネル 2 のパワー FET ソースおよびグランドリファレンス

5 仕様

5.1 絶対最大定格

		最小値	最大値	単位
IN _X	入力電源 / ロジック電圧		5.75	V
V _{OUT}	出力許容誤差	-0.3	内部的に制限	V
V _{SRC1_SRC2}	SOURCE1 と SOURCE2 間の電位差	-0.5	0.5	V
V _{OUT_SC}	短絡許容誤差に対する出力電圧		28	V
E _{AS_sp}	単発パルスのエネルギー耐量 T _A = 125°C、R _L = 17Ω、L = 100mH、V _{LOAD} = 14V		50	mJ
E _{AS_Rep_p}	誘導性クランプ エネルギー 2M サイクルの場合、T _A = 105°C、R _L = 24Ω、L = 100mH、V _{LOAD} = 14V		20	mJ
STATUS	デジタル出力ピン電圧	-0.5	5.75	V
I _{peak}	ピークドライブ出力電流	内部的に制限		A
P _{dis}	連続総許容損失	「熱に関する情報」を参照		W
T _J	動作時の仮想接合部温度	-40	150	°C
T _{stg}	保存温度	-60	150	°C

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン ⁽²⁾	±750	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

			最小値	公称値	最大値	単位
V _{INX}	電源電圧		3		5.5	V
V _{LOAD}	通常動作時のバッテリー電圧		6		18	V
T _{AMB}	動作時周囲温度		-40		125	°C
T _J	動作時接合部温度		-40		150	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		DDA (HSOIC-8)	D (SOIC-8)	単位
		8 ピン	8 ピン	
R _{θJA}	接合部から周囲への熱抵抗	45.4* ¹	118.4*	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	58.0*	54.0*	°C/W
R _{θJB}	接合部から基板への熱抵抗	20.3*	62.5*	°C/W
ψ _{JT}	接合部から上面への特性パラメータ	6.4*	13.0*	°C/W
ψ _{JB}	接合部から基板への特性パラメータ	20.3*	61.7*	°C/W

¹ * 値は初期推定値です

熱評価基準 ⁽¹⁾		DDA (HSOIC-8)	D (SOIC-8)	単位
		8 ピン	8 ピン	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	9.1*	該当なし	°C/W

(1) 従来および最新の熱測定基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポート、[SPRA953](#) を参照してください。

5.5 電気的特性

標準値は $T_J = 25^\circ\text{C}$ 、 $V_{IN} = 5\text{V}$ 時に測定 (特に記述のない限り)。すべての制限は推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (IN1, IN2)						
I_{INx_norm}	通常動作時に消費する制御入力電流	$INx = 1$	25	40	65	μA
I_{INx_fault}	異常動作時に消費される制御入力電流 (電流制限)	$INx = 1$			400	μA
$V_{INx_uvlo_rise}$	IN 低電圧立ち上がり		2.5		2.9	V
$V_{INx_uvlo_fall}$	IN 低電圧立ち下がり		2.3		2.6	V
ステータス出力 (STATUS1, STATUS2) (DRV81325A)						
V_{STAT_L}	ステータス出力 Low 電圧	$I_{STAT} = 1\text{mA}$			0.4	V
I_{STAT_H}	ステータス High リーク電流	$V_{STAT} = 5\text{V}$			1	μA
出力段						
$R_{DS(ON)}$	FET オン抵抗	$I_O = 1\text{A}$, $T_J = 25^\circ\text{C}$, $V_{INx} = 3\text{V}$, DRV81325A		125		m Ω
		$I_O = 1\text{A}$, $T_J = 25^\circ\text{C}$, $V_{INx} = 3\text{V}$, DRV81325				
		$I_O = 1\text{A}$, $T_J = 150^\circ\text{C}$, $V_{INx} = 3\text{V}$, DRV81325A			250	
		$I_O = 1\text{A}$, $T_J = 150^\circ\text{C}$, $V_{INx} = 3\text{V}$, DRV81325				
$R_{DS(ON)}$	FET オン抵抗	$I_O = 1\text{A}$, $T_J = 25^\circ\text{C}$, $V_{INx} = 5\text{V}$, DRV81325A		110		
		$I_O = 1\text{A}$, $T_J = 25^\circ\text{C}$, $V_{INx} = 5\text{V}$, DRV81325				
		$I_O = 1\text{A}$, $T_J = 150^\circ\text{C}$, $V_{INx} = 5\text{V}$, DRV81325A			220	
		$I_O = 1\text{A}$, $T_J = 150^\circ\text{C}$, $V_{INx} = 5\text{V}$, DRV81325				
I_{OFF}	オフ状態のリーク電流	$V_{OUT} = 18\text{V}$, $T_J = 150^\circ\text{C}$			5	μA
V_F	ボディ ダイオード順方向電圧	$I_O = -1\text{A}$		0.8		V
V_{CLTH_LT}	ドレイン ソース間クランプ電圧スレッショルド	$I_{OUT} = 10\text{mA}$, $T_J = -40^\circ\text{C}$	40			V
V_{CLAMP}	ドレイン ソース間クランプ電圧	$I_{OUT} = 1.5\text{A}$, $T_J = 150^\circ\text{C}$	41		45	V
スイッチング						
t_R	立ち上がり時間	$V_{LOAD} = 13\text{V}$, $R_L = 13\Omega$, $V_{INx} = 3\text{V}$	20	30	40	μs
		$V_{LOAD} = 13\text{V}$, $R_L = 13\Omega$, $V_{INx} = 5\text{V}$	20	30	40	
t_F	立ち下がり時間	$V_{LOAD} = 13\text{V}$, $R_L = 13\Omega$, $V_{INx} = 3\text{V}$	30	60	120	μs
		$V_{LOAD} = 13\text{V}$, $R_L = 13\Omega$, $V_{INx} = 5\text{V}$	15	25	50	

標準値は $T_J = 25^\circ\text{C}$ 、 $V_{IN} = 5\text{V}$ 時に測定 (特に記述のない限り)。すべての制限は推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
SR _{rise}	立ち上がりスルーレート	V _{LOAD} = 13V、R _L = 13Ω、V _{OUT} = 30% V _{LOAD} ~ 70% V _{LOAD} 、V _{INx} = 3V	0.3	0.5	0.7	V/ μs
		V _{LOAD} = 13V、R _L = 13Ω、V _{OUT} = 30% V _{LOAD} ~ 70% V _{LOAD} 、V _{INx} = 5V	0.3	0.5	0.7	
SR _{fall}	立ち下がりスルーレート	V _{LOAD} = 13V、R _L = 13Ω、V _{OUT} = 30% V _{LOAD} ~ 70% V _{LOAD} 、V _{INx} = 3V	0.1	0.25	0.4	V/ μs
		V _{LOAD} = 13V、R _L = 13Ω、V _{OUT} = 30% V _{LOAD} ~ 70% V _{LOAD} 、V _{INx} = 5V	0.3	0.5	0.7	
t _{PD_L_to_H}	伝搬遅延、入力 Low から出力 High	V _{LOAD} = 13V、R _L = 13Ω、V _{INx} = 3V	20	33	40	μs
		V _{LOAD} = 13V、R _L = 13Ω、V _{INx} = 5V	20	33	40	
t _{PD_H_to_L}	伝搬遅延、入力 High から出力 Low	V _{LOAD} = 13V、R _L = 13Ω、V _{INx} = 3V	18	25	45	μs
		V _{LOAD} = 13V、R _L = 13Ω、V _{INx} = 5V	18	25	45	
保護回路						
I _{LIM}	電流制限値	V _{INx} = 5、T _J = 25°C、DDA パッケージ		7.8	10	A
		V _{INx} = 5、T _J = 125°C、DDA パッケージ	5.5			A
		V _{INx} = 5、T _J = 25°C、D パッケージ		4.7	6	A
		V _{INx} = 5、T _J = 125°C、D パッケージ	3			A
T _{TSD}	サーマル シャットダウン温度	ダイ温度	150	175	200	°C
T _{TSD_hys}	サーマル シャットダウン温度 ヒステリシス			7		°C
T _{STAT_res et}	ステータスのサーマル リセット	DRV81325A	135			°C
ΔT _J	動的温度			40		°C
ΔT _{J_HYS}	動的温度ヒステリシス			15		°C
t _{STATUS}	ステータス ピンの過熱グリッチ除去	DRV81325A		20		μs

出力タイミング図

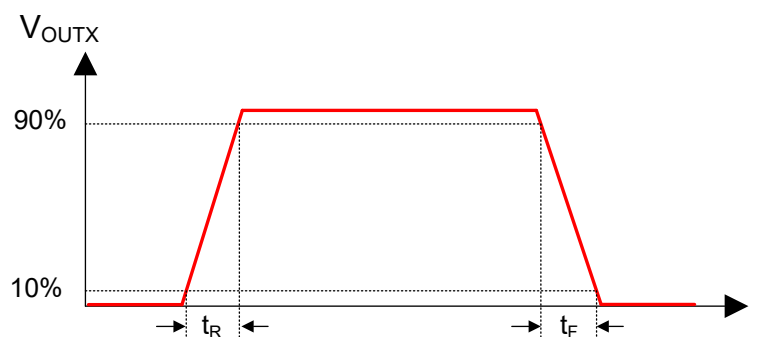


図 5-1. 出力立ち上がり / 立ち下がり時間

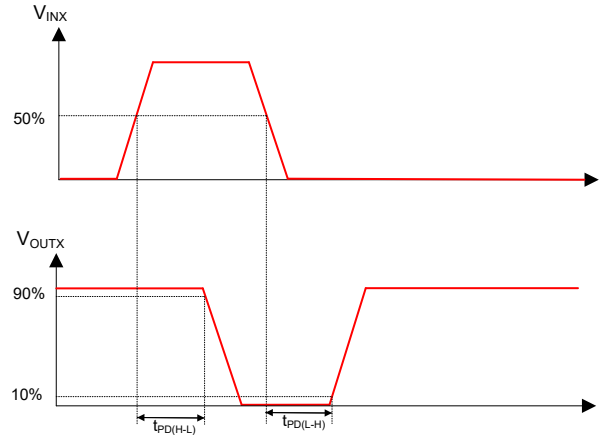


図 5-2. 伝播遅延

5.6 過渡熱インピーダンスと電流能力

熱シミュレーションに基づく情報。値は初期推定値です **

表 5-1. 過渡熱インピーダンス ($R_{\theta JA}$) および電流許容値

部品番号	パッケージ	$R_{\theta JA}$ [°C/W](1)				電流 [A] 導通型 (2) が発生することはシングル チャンネルのみです				電流 [A]、両方のチャンネルが導通して います (チャンネルごとに報告) (3)			
		10ms	0.1 秒	1 秒	DC	0.01 秒	0.1 秒	1 秒	DC	10ms	0.1 秒	1 秒	DC
DRV81325A-Q1	DDA (HSOIC 8)	5	12	23	47	8.5	5.5	4	2.8	6.0	3.9	2.8	2.0
	D (SOIC8)	8	15	40	114	6.7	4.9	3.0	1.8	4.8	3.5	2.1	1.3
DRV81325-Q1	D (SOIC8)	8	15	40	114	6.7	4.9	3.0	1.8	4.8	3.5	2.1	1.3

- 熱シミュレーションに基づく条件であり、 $114.3 \times 76.2 \times 1.6\text{mm}$ の 4 層 PCB セクション 7.4.2 を使用しています。外層 (トップおよびボトム層) は 2oz 銅、内層プレーンは 1oz 銅で構成されています。サーマルビアはドリル径 0.3mm、銅めっき厚 0.025mm、ビアピッチ最小 1mm として設計されています。
- 周囲温度 85°C で接合部温度が 150°C まで上昇した場合の推定過渡電流能力。
- 並列動作で使用した場合、許容できる負荷電流は実質的に二倍になります。例えば、両チャンネルがそれぞれ 1A を流せる場合、チャンネルを並列接続すると、並列出力として合計 2A を供給できます。

6 詳細説明

6.1 概要

DRV81325/A-Q1 はデュアル チャネル ローサイド スイッチ ドライバで、標準的な $R_{DS(ON)}$ 110m Ω の各スイッチが内蔵されています。各スイッチには、誘導性負荷の安全な減磁のための過電圧保護が内蔵されています。各デバイスは、チャンネルごとの制御ピン INx を通じて電源供給されます。各チャンネルは、固定の内蔵電流制限によって過電流から保護されています。各チャンネルはさらに過熱保護機能も備えています。診断フィードバックは、DRV81325A のオープンドレイン出力 STATUSx を通じて各チャンネルごとに利用可能であり、出力の過温度状態をユーザーに通知します。DRV81325A は、8 ピン HSOIC (DDA パッケージ) および 8 ピン SOIC (D パッケージ) で提供されています。DRV81325 は、8 ピンの SOIC (D パッケージ) で供給されます。

特性	DRV81325A	DRV81325
パッケージ	DDA(HSOIC8)、D(SOIC8)	D(SOIC8)
診断出力 (ステータス)	Y	N

6.2 機能ブロック図

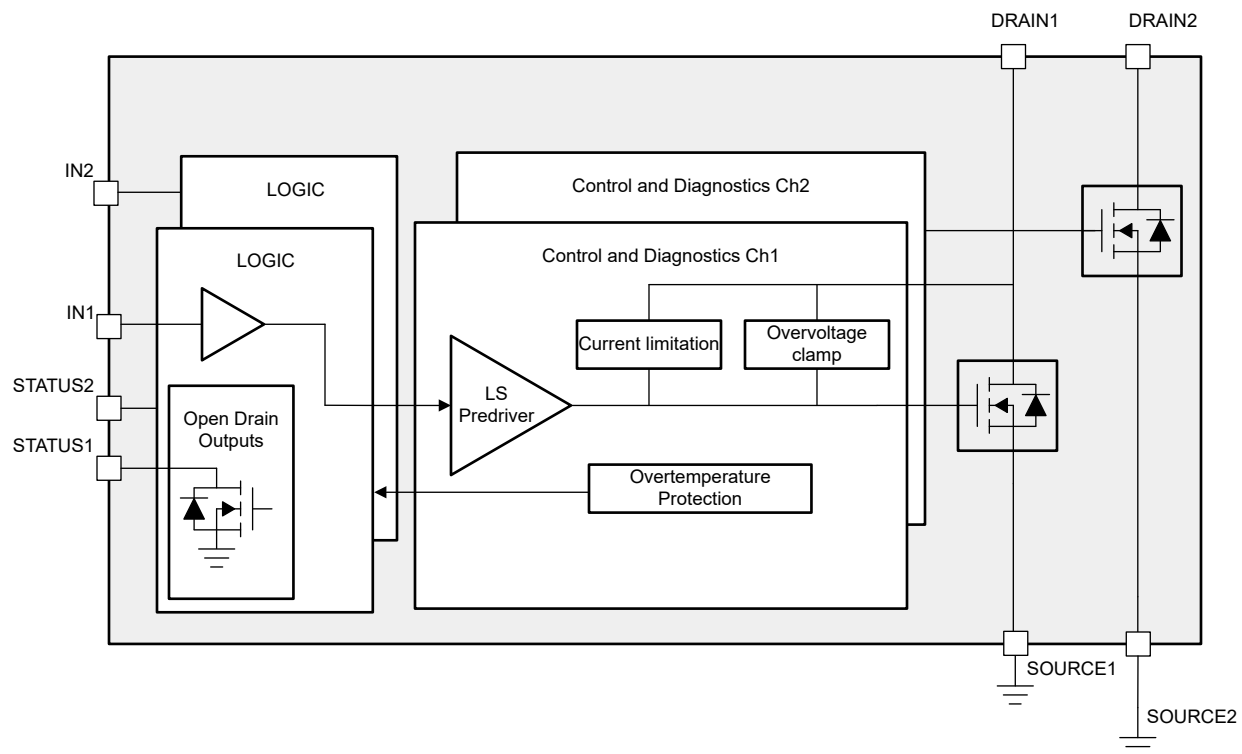


図 6-1. DRV81325A-Q1 の機能ブロック図

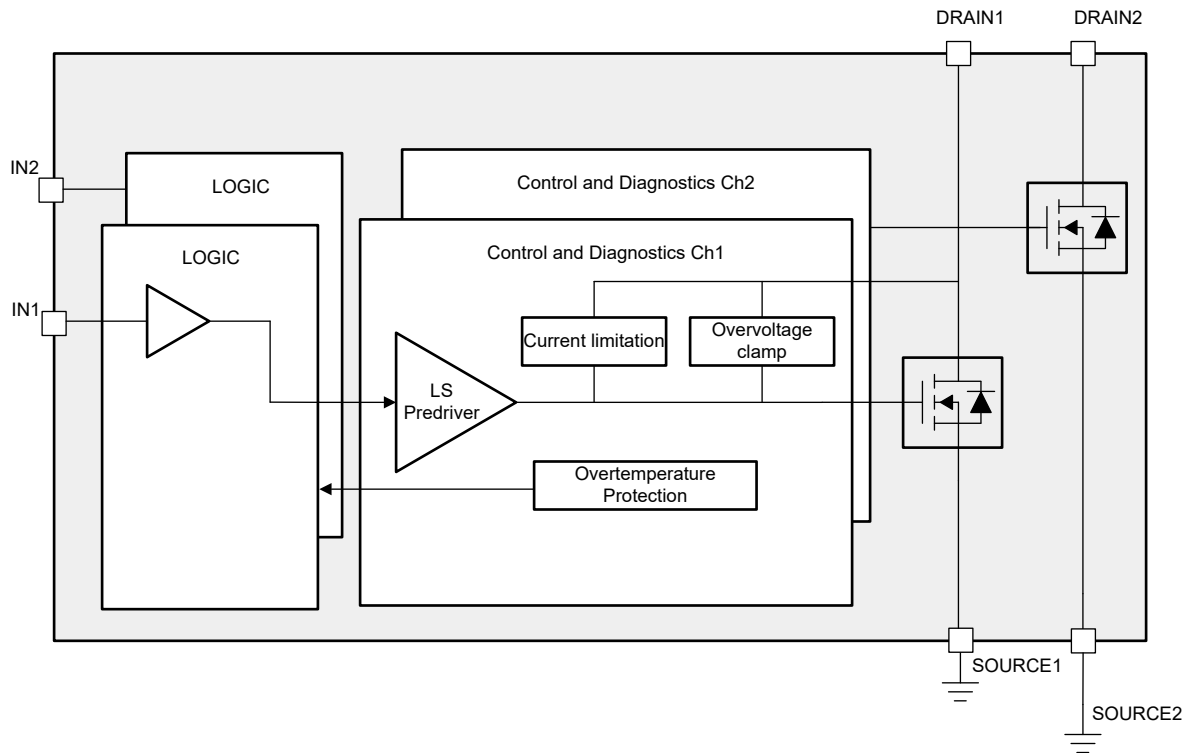


図 6-2. DRV81325-Q1 の機能ブロック図

6.2.1 制御インターフェイス / 電源入力

DRV81325/A デバイスには専用の電源ピンがありません。各チャネルの回路は、対応する制御入力から電力が供給されます。このピンは電源および制御入力として動作します。

このピンにロジック High 電圧を印加すると、対応するチャネルの出力ローサイド FET がオンになり、出力は Low レベルにプルダウンされます。

6.2.2 シャント センシングのサポート

各 MOSFET のソース端子は、SOURCEx ピンに露出しています。図に示されているように、SOURCE ピンと GND の間に外部センス抵抗を接続して、そのチャネルの電流を測定できます

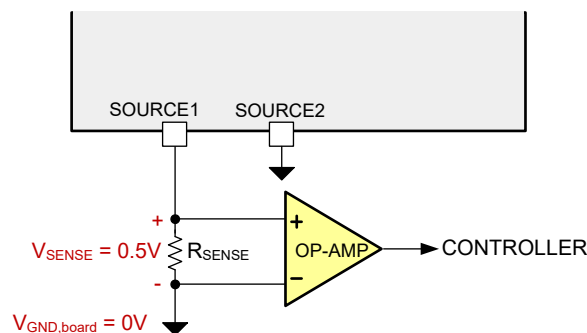


図 6-3. 電流センス抵抗を使用した基板グラウンドを基準とする SOURCEx 電圧

外部電流検出を使用しない場合は、SOURCEx ピンをシステム GND に直接接続する必要があります。

SOURCEx ピンの絶対最大定格では、シャント抵抗の最大電圧が 0.5V に設定されます。最大負荷電流時にセンス抵抗の両端の電圧が 0.5V を超えないように、シャント抵抗のサイズを設定する必要があります。

6.2.3 チャンネルの並列接続

DRV81325/DRV81325A-Q1 チャンネルを並列に接続することで、より大きな駆動電流をサポートできます。並列出力のオン抵抗は、実質的に約 $0.5 * R_{DS(ON)}$ です。並列接続は、基板上で出力端子および入力端子を短絡して行う必要があります。DRV81325A-Q1 では、STATUS1 ピンと STATUS2 ピンも短絡することを TI は推奨しています。

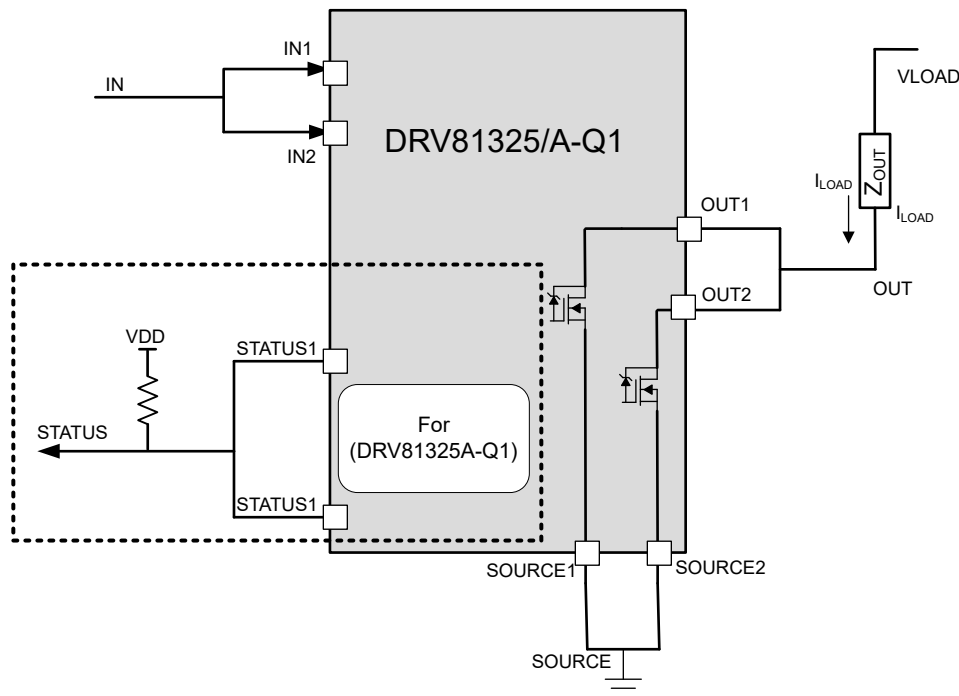


図 6-4. DRV81325/DRV81325A-Q1 の並列チャンネル

6.3 保護回路

DRV81325/A-Q1 は、過電流、過温度、FET 過電圧および低電圧の各状態に対して完全に保護されています

6.3.1 過電圧クランプ

誘導性負荷のスイッチオフ時には、デバイスの破壊を防ぐために電圧クランプが必要です。アクティブ クランプ回路は、ドレインとゲートの間に接続されたツェナー スタックで構成されます。キックバック電圧がツェナー スレッショルドを超えると、キックバックはゲートへ電流を押し込み、FET を飽和領域でわずかに再ターンオンさせます。これにより、誘導エネルギーは制御された形で FET 内部に直接消費されます。

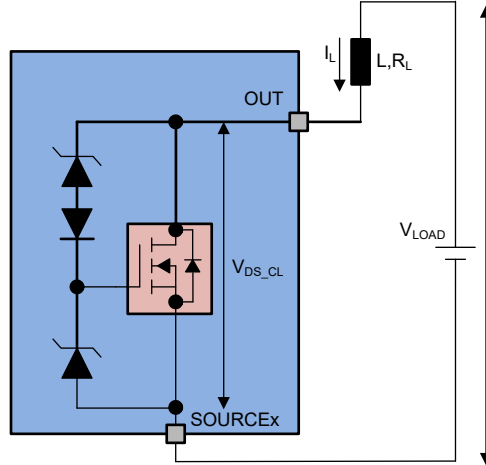


図 6-5. アクティブ過電圧クランプ

6.3.1.1 消磁エネルギー能力

誘導性負荷の減磁中には、磁気エネルギーは DRV813xx-Q1 のローサイド スイッチで消費されます。ローサイド スイッチの V_{DS} クランプ電圧を V_{DS_CL} とした場合、負荷 (L, R_L) に電流 I_L が流れており、負荷の另一端が V_{LOAD} に接続されているとき、ローサイド スイッチでのエネルギーを計算する方法を示す式を示します:

$$E_{AS} = V_{DS_CL} \times \left[\frac{V_{LOAD} - V_{DS_CL}}{R_L} \times \ln \left(1 - \frac{R_L \times I_L}{V_{LOAD} - V_{DS_CL}} \right) + I_L \right] \times \frac{L}{R_L} \quad (1)$$

$R_L = 0$ を想定すると、以下のように単純化されます

$$E_{AS} = \frac{1}{2} \times L \times I_L^2 \times \left(\frac{V_{DS_CL}}{V_{DS_CL} - V_{LOAD}} \right) \quad (2)$$

熱に変換される最大エネルギーは、部品の熱設計によって制限されます。セクション 5.1 に示す E_{AS_sp} 値は、チャネルごとのシングル パルス エネルギー処理能力を示し、セクション 5.1 に示す $E_{AS_Rep_p}$ 値は、チャネルごとの反復パルスエネルギー処理能力を示します。

6.3.2 単発パルスに対するクランプ耐量

125°C 条件において、一回のパルスによる誘導性損失時にデバイスが耐えられる最大エネルギーと、それに対応する負荷インダクタンスおよび負荷電流をここに示します。このデバイスは、このエネルギーの 40% に相当する条件で、100 万回の誘導性繰り返しパルスに耐えることができます。ただし、繰り返し周波数は 4Hz 未満である必要があります。アプリケーションのパラメータがこのデバイスの制限を超えた場合は、フリーホイール ダイオードなどの外部保護デバイスを使用して、インダクタに蓄積されているエネルギーを消費します

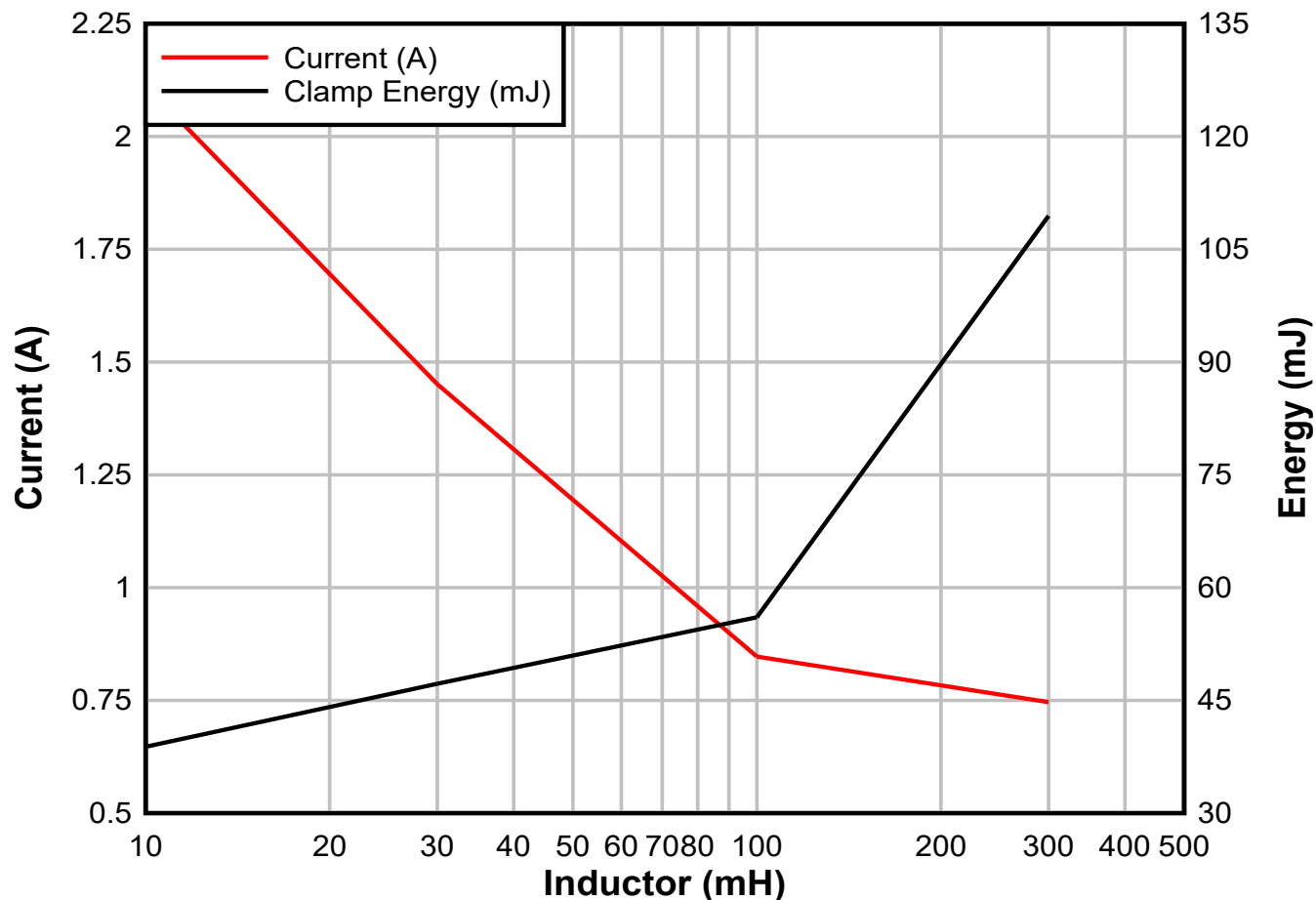


図 6-6. 125C におけるチャネルごとの単発パルス クランプ エネルギー。 $V_{LOAD} = 14V$ および $R_{LOAD} = V_{LOAD} / \text{電流 (A)}$

6.3.3 過電流制限

過電流制限は、短絡保護を目的としつつ、ランプ、モーター、容量性負荷などに典型的な突入電流を許容するよう設計されています。検出された負荷電流が制限レベル I_{LIM} を超えると、ローサイド FET のゲート駆動が閉ループで継続的に変更され、出力電流を制限します。

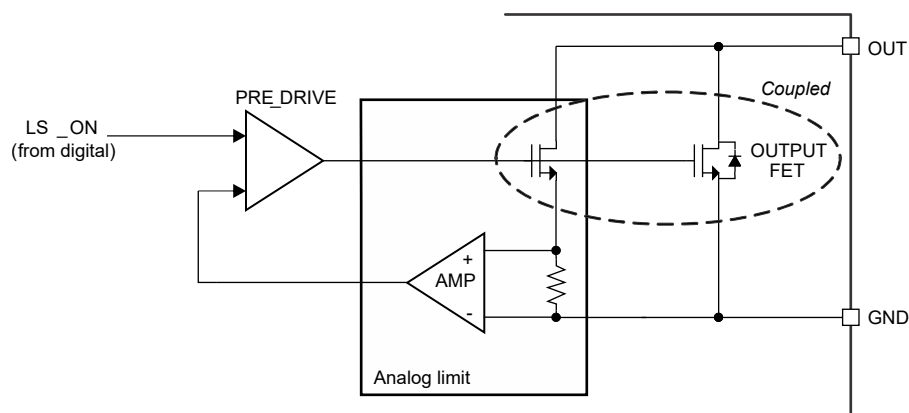


図 6-7. 電流制限回路の動作

その結果として、FET のドレイン ソース電圧が上昇する可能性があり、それに伴い消費電力が急激に増加します。FET は、動的温度シャットダウン (ΔT_{DYN}) または絶対温度シャットオフ (T_{TSD}) に達するまで、 I_{LIM} で発熱し続けます。これらのサーマル シャットダウン メカニズムには、それぞれ ΔT_{DYN_HYS} または T_{TSD_HYS} ヒステリシスが備わっています。両方のサーマル シャットダウン イベントは同等の優先度を持ち、ドライバが再試行を行うには両方ともクリアする必要があります。その結果として、該当するチャンネルは通常の自動リスタート型の電流制限デバイスとして動作し続けます。ステータスピンは、絶対過熱 T_{TSD} に達した場合にのみローになります。動的温度シャットダウン ヒステリシスと絶対温度ステータスリセット条件の両方がクリアされると、ステータスピンは解放されます (ステータスピンの処理を参照)

その結果として、あるチャンネルの電流制限状態は他のチャンネルには影響しませんが、(ダイ レベル) の共通過温度などのイベントが発生する場合は例外です

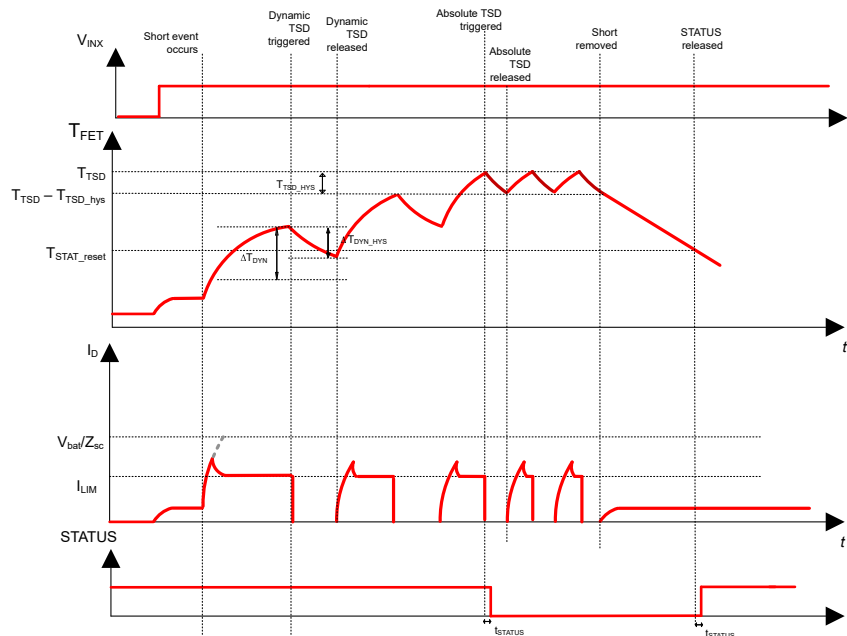


図 6-8. 短絡発生時における過電流制限回路の動作

6.3.3.1 チャンネルを並列に接続したときの電流制限

DRV81325/DRV81325A-Q1 のチャンネルを並列接続した場合、二つの個別チャンネルの動作を同期させる内部回路は存在しません。その結果として、電流制限や突入電流のような熱的ストレス イベントが発生すると、二つのチャンネル間で加熱および冷却が非対称になる可能性があります。その影響として、サーマル シャットオフおよび再試行動作のタイミングに徐々なスキューが生じます。そのためユーザーは、実効的な定常状態の電流制限が $1 \times I_{LIM}$ で発生することを想定する必要があります。

したがって、二つのチャンネル並列化の利点は、電流制限動作に対して実質的に高い動作開始スレッショルドとして現れます。これは、二つのチャンネルを並列接続した際に電流が分流されるためであり、その結果として、いずれか一方のチャンネルの個別電流制限に到達するためには合計で $2 \times I_{LIM}$ が必要になることを意味します。

図 6-9 は、個々のチャンネルのサーマル シャットオフおよび再試行イベントのタイミングのスキューによって、並列出力電流が実効的にどのように見えるかを示しています

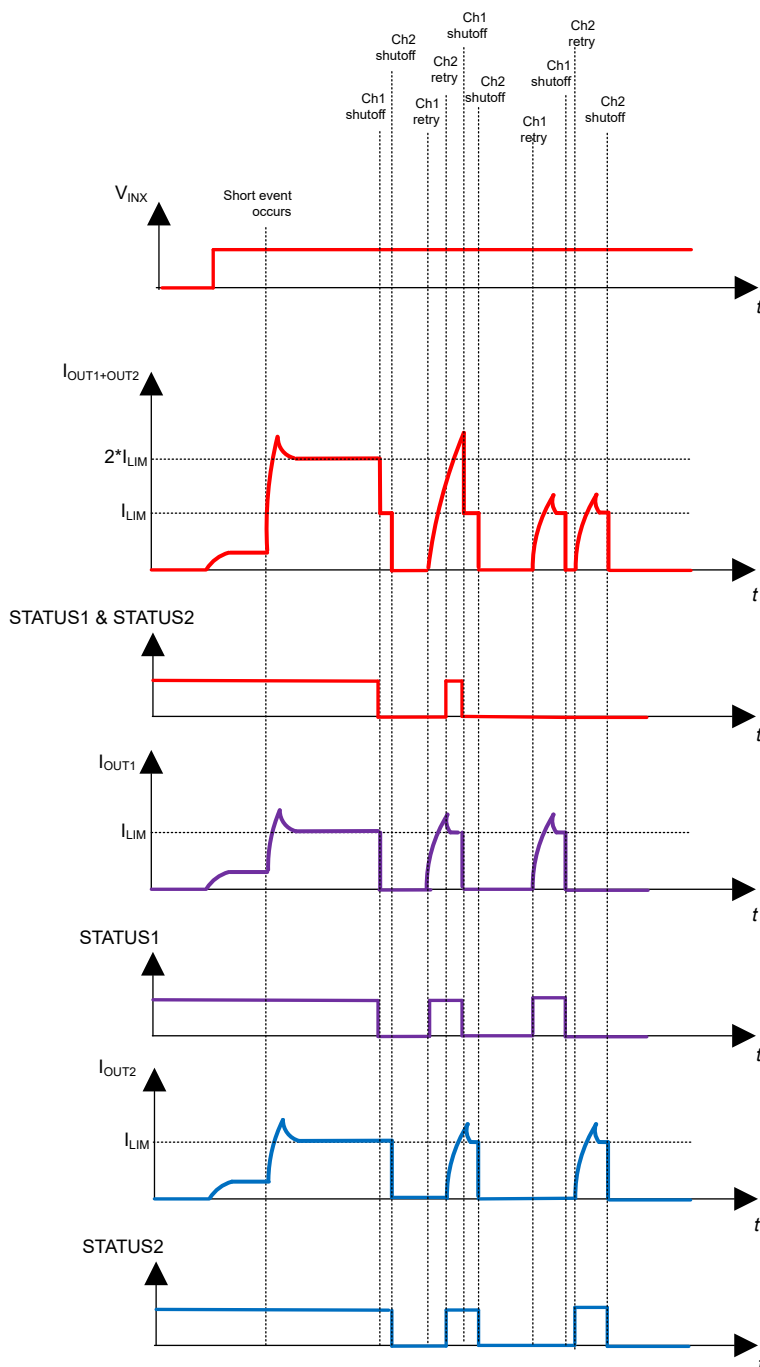


図 6-9. 並列出力における制限電流は、時間経過に伴い低減された状態で維持

6.3.4 サーマル シャットダウン (TSD)

電力段の過熱を防ぐため、このデバイスには絶対温度保護 (T_{TSD}) および動的な温度制限 (ΔT_{DYN}) が内蔵されています。そのどちらかがトリガされると、出力はオフに切り替わり、その後リトライされます。

両方の出力電力段の熱保護は独立しています

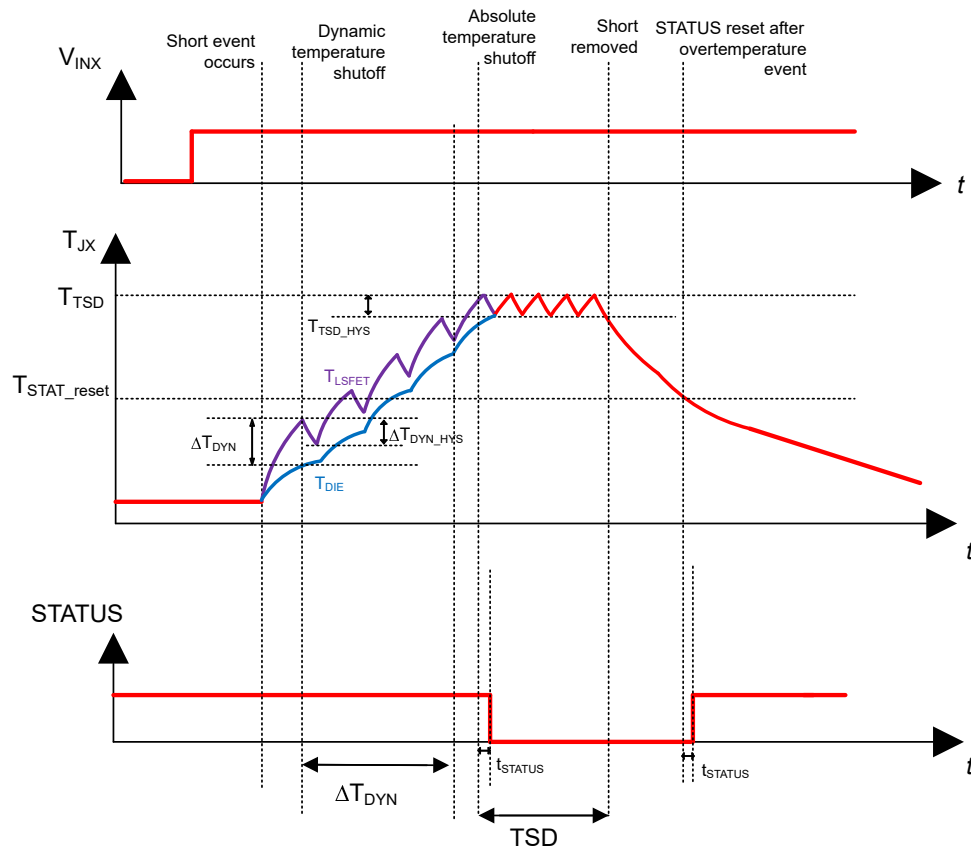


図 6-10. 過熱保護

6.3.4.1 動的過熱応力 (ΔT_{DYN})

ダイ上の二点間で大きな温度勾配が発生すると、熱的に超過ストレスが発生する可能性があります。動的温度制限は、FET の温度上昇をより制御された形で増加させる機能であり、電流制限などの高い電力損失イベント時に、FET とダイ内のより低温な部分との相対的な温度差を比較することで動作します。動的過熱イベントが発生した場合、ステータスが low になることはありません。ただし、一般的な動的過熱状態により、ステータスの回復が引き起こされる可能性があります。

6.3.4.2 絶対過熱 (TSD)

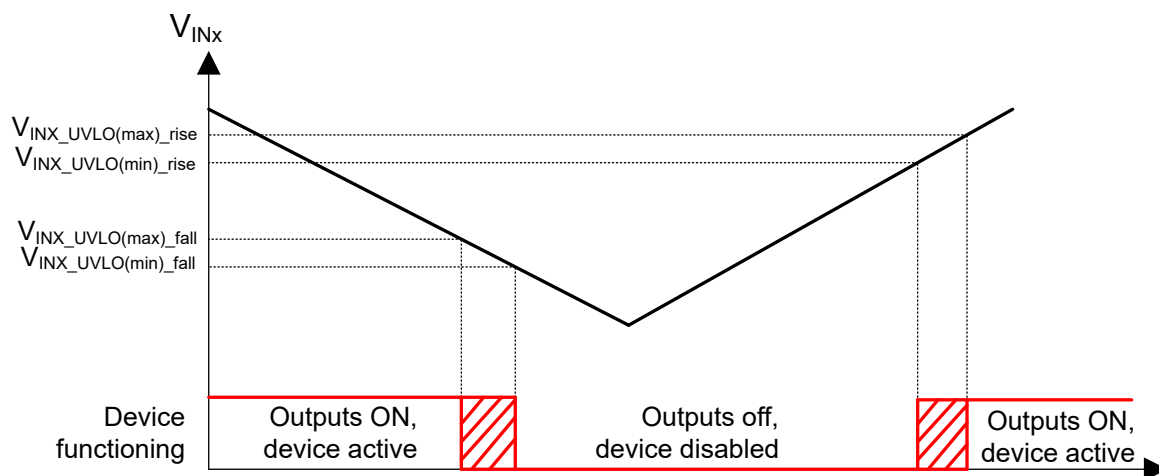
動的温度保護および監視に加えて、FET には絶対温度センサも備わっています。このセンサがトリガされるとチャネルはシャットダウンされ、その後、ステータスは low に引き下げられます。温度が T_{TSD_hys} を下回ると、チャネルは再試行されます。

注

ステータスが Low になるのは、絶対過温度イベントの場合のみです。ステータス ピンの回復は、動的過温度センサが $\Delta T_{DYN} - \Delta T_{DYN_hys}$ より下に低下し、かつ FET 温度センサが T_{TSD_reset} より下に低下した場合のみ起こります。

6.3.5 低電圧誤動作防止 (UVLO)

INx ピンの電圧が、いついかなる時でも低電圧ロックアウト スレッショルドを下回った場合、デバイス内のすべての回路は無効化され、内部ロジックはリセットされます。INx が UVLO スレッショルドを上回ると動作は再開されます。ステータス ピンには表示されません。

図 6-11. V_{INX} UVLO デバイスの応答

6.3.6 ステータス ピンの応答の概要

$T_{FET} (1) > T_{TSD}$	$T_{STAT_reset} < T_{FET} < T_{TSD} - T_{TSD_hys}$	$T_{FET} < T_{STAT_reset}$	$\Delta T (2) > \Delta T_{DYN}$	$\Delta T < \Delta T_{DYN} - \Delta T_{DYN_hys}$	OUT 応答	STATUS
✓	✗	✗	✗	✓	オフ	低
✗	✓	✗	✗	✓	オン	低
✗	✗	✓	✗	✓	オン	高
✗	✗	✗	✗	✓	オン	高
✓	✗	✗	✓	✗	オフ	低
✗	✓	✗	✓	✗	オフ	低
✗	✗	✓	✓	✗	オフ	低
✗	✗	✗	✓	✗	オフ	高

1. T_{FET} は FET 温度を表します2. $\Delta T = T_{FET} - T_{controller}$

アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

1 使用上の注意

DRV81325/A-Q1 は、SOURCE ピン上のオプションのセンス抵抗または電流検出を用いた構成で使用できます。

2 代表的なアプリケーション

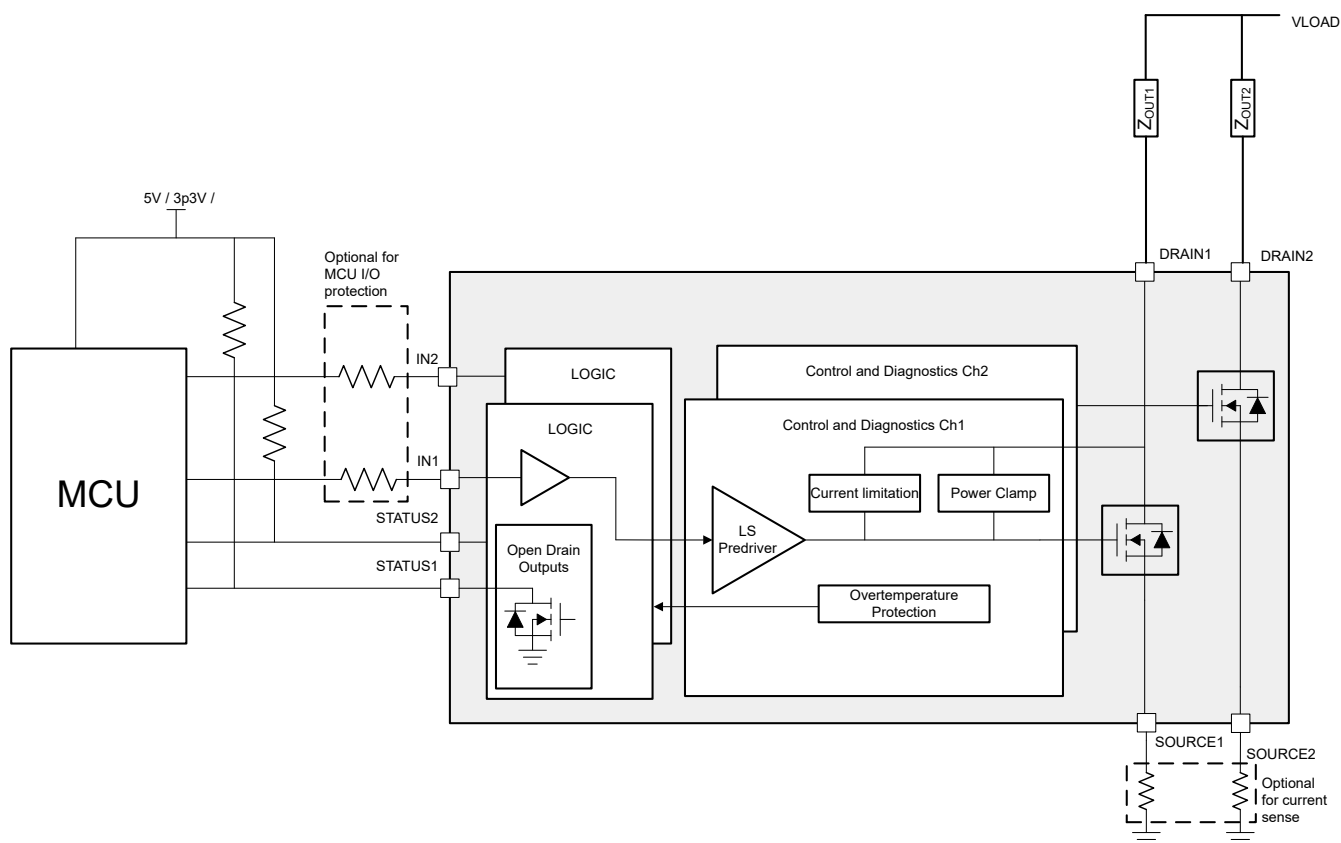


図 7-1. DRV81325A の代表的なアプリケーション回路図

ADVANCE INFORMATION

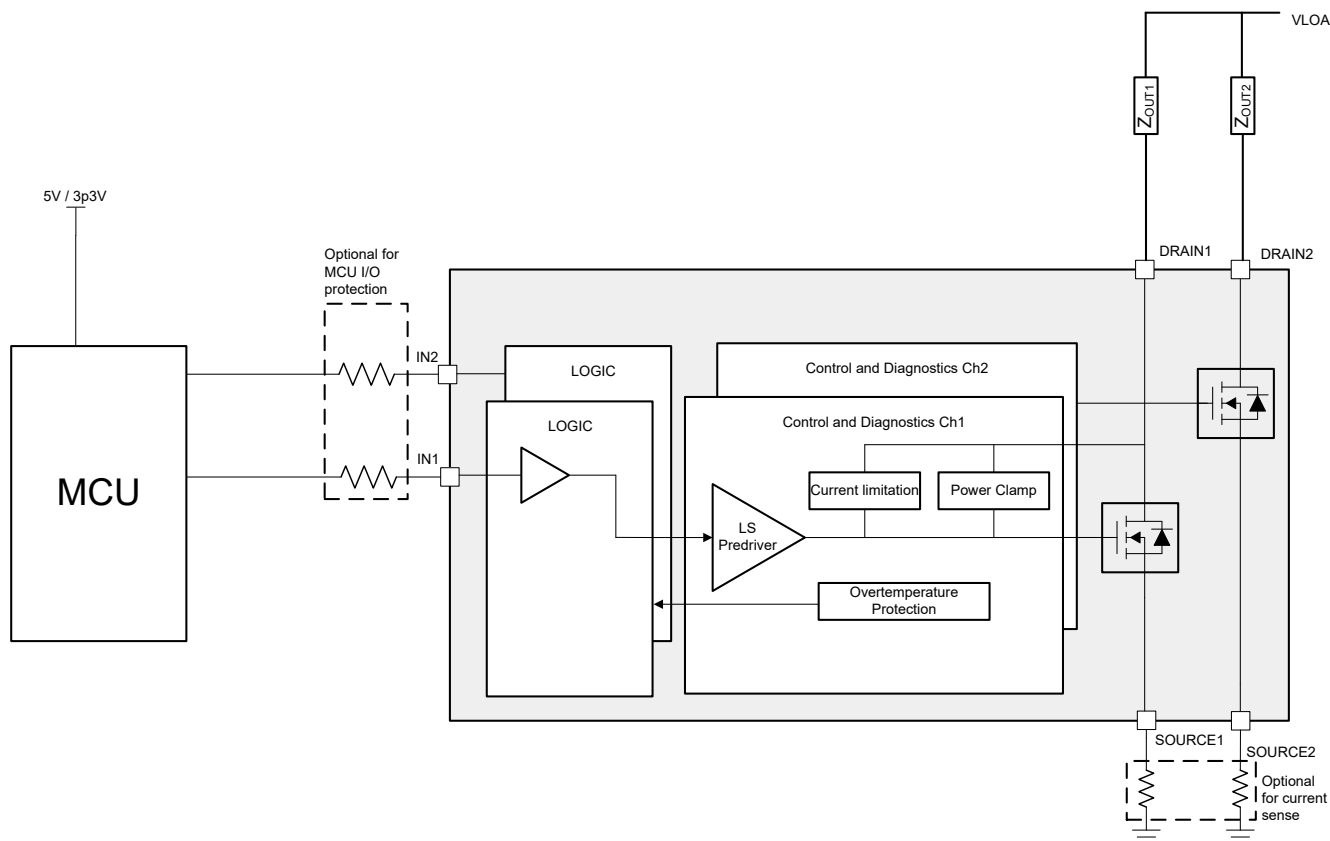


図 7-2. DRV81325 の代表的なアプリケーション回路図

2.1 外付け部品

次の表に、DRV81325/A-Q1 の推奨外付け部品を示します

表 7-1. 必要な外付け部品

記号	説明	値	目的
R _{STATUS}	ステータスでのプルアップ抵抗が	10kΩ	ステータスピンは、Low に引き下げられていない場合に High レベルになるようにバイアスされます。 DRV81325A-Q1 の場合

表 7-2. オプションの外付け部品

記号	説明	値	目的
C _{OUT}	各 OUTx ピンと SOURCEx ピン間のコンデンサ	<10nF	システムレベル ESD のフィルタリング
R _{SNS}	SOURCEx と GND の間のシャント検出抵抗	<200mΩ	負荷電流検出用 SOURCEx ピン外付けオプション抵抗
R _{series}	マイコンのラッチアップを防止する直列抵抗	<500Ω	マイコン I/O 保護

3 過渡放熱性能

図 7-3. D パッケージの 1 層 PCB (1s0p 構成) において、銅面積を増加させた場合の条件	図 7-4. DDA パッケージにおける、銅面積増加を伴う 1 層 (1s0p) PCB 構成
図 7-5. D パッケージの 4 層 PCB (2s2p 構成) において、銅面積を増加させた場合の条件	図 7-6. D パッケージの 4 層 PCB (2s2p 構成) において、銅面積を増加させた場合の条件

4 レイアウト

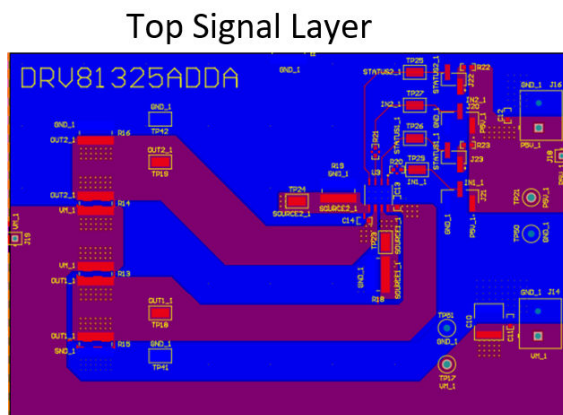
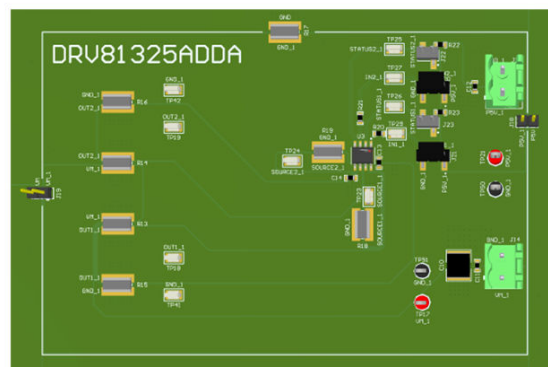
4.1 レイアウトのガイドライン

小さい値のコンデンサは、セラミック コンデンサとし、デバイス ピンに近づけて配置する必要があります。

大電流デバイス出力には、幅の広い金属パターンを使用する必要があります。

本デバイスのサーマル パッドは、PCB の最上層のグランド プレーンにはんだ付けする必要があります。複数のビアを使用して最下層の大きなグランド プレーンに接続する必要があります。大きい金属プレーンおよび複数のビアを使うと、本デバイス内で発生する $I^2 \times R_{DS(on)}$ の熱を放散するのに役立ちます。

4.2 レイアウト例



Second Layer (GND)

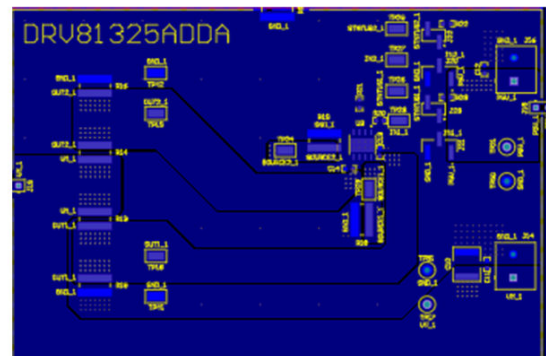


図 7-7. DDA パッケージ (電源パッド付き)、2s2p 構成 (上層と第 2 層のみ表示)

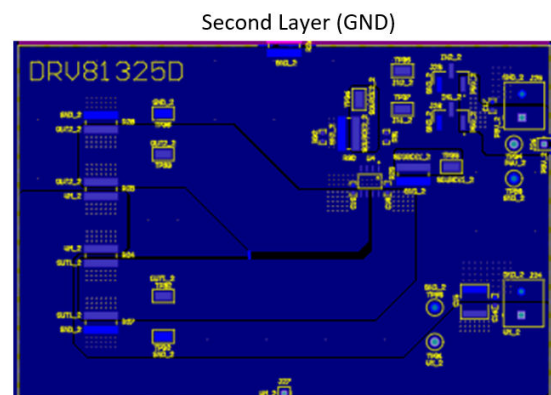
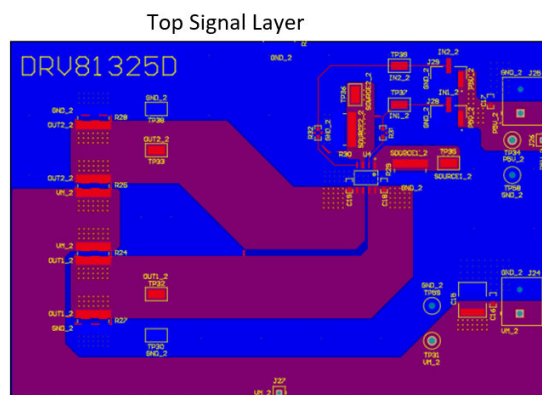
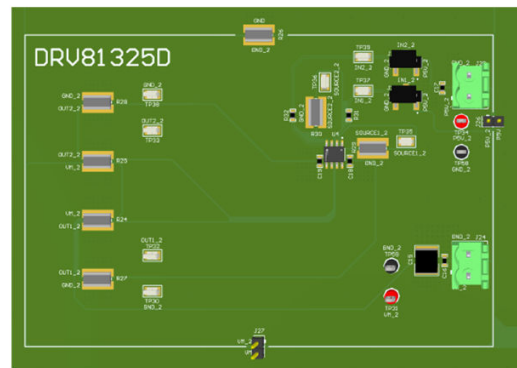


図 7-8. 2s2p の D パッケージ (最上層と二番目のプレーンのみ表示)

5 熱に関する注意事項

5.1 消費電力

DRV81325 デバイスの消費電力には二つの要素があります

静的消費電力: 出力 FET 抵抗、または $R_{DS(on)}$ で消費される電力。静的負荷をかけた状態で各 FET が消費する平均電力は、式 3 で概算できます:

$$P = R_{DS(on)} \cdot (I_{OUT})^2 \quad (3)$$

ここで、

- P は 1 つの FET の電力損失です。
- $R_{DS(on)}$ は各 FET の抵抗です。
- I_{OUT} は、負荷により流れる平均電流と等しくなります。

起動時および故障時の条件では、この電流は通常動作時の電流よりもはるかに大きくなるため、これらのピーク電流とその継続時間を考慮する必要があります。

スイッチング消費電力: 負荷電流を維持しながら FET をオン / オフするときに出力 FET で消費される電力 (PWM 動作)。消費電力は次の式で表されます:

$$P_{sw} = P_{sw_reg} + P_{sw_clamp}$$

$$P_{sw_reg} = 0.5 \times V_{load} \times I_{load} \times (tr + tf) \times F_{sw}$$

$$P_{sw_clamp} = E_{AS} * F_{sw}$$

ここで

- P_{sw} は一個の FET におけるスイッチング電力損失です
- V_{load} は負荷電源です
- I_{load} は負荷電流です
- t_r と t_f は出力における立ち上がり時間および立ち下がり時間を表します
- F_{sw} はスイッチング周波数です
- E_{AS} は誘導性消磁エネルギーです

注

部品 P_{sw_clamp} は、DRV813XX の統合出力クランプ機能が使用される場合にのみ関連します。外部の循環経路 (例えば循環ダイオードなど) が存在する場合、この項目を考慮する必要はありません。

複数の負荷を同時に駆動する場合は、すべてのアクティブな出力段の電力を加算する必要があります。

デバイスが放散できる電力の最大値は、周囲温度とヒートシンクに依存します。

$R_{DS(on)}$ は温度とともに上昇するので、デバイスが発熱すると消費電力が増大することに注意してください。これは、ヒートシンクのサイズを決定する際に考慮する必要があります。

5.2 ヒートシンク

DRV81325DDA パッケージは、露出した PowerPAD™付きの HSOIC パッケージを使用しています。PowerPAD パッケージでは、露出したパッドを使用してデバイスから熱を除去します。正常に動作できるようにするためには、このパッドを PCB 上の銅領域に熱的に接続して、熱を放散させる必要があります。PCB が多層基板でグランドプレーンを持つ場合、熱パッドとグランドプレーンを複数のビアで接続することにより放熱を行うことが可能。内層のない PCB の場合、PCB のいずれかの面に銅領域を追加することで熱を放散できます。銅領域がデバイスから見て PCB の反対側にある場合は、サーマルビアを使用して上層と下層の間で熱を伝達します。

PCB 設計の詳細については、TI アプリケーション レポート「PowerPAD 熱強化パッケージ (SLMA002)」および TI アプリケーション ブリーフ「PowerPAD 入門 (SLMA004)」を参照してください。www.ti.com で入手可能です。

7 デバイスおよびドキュメントのサポート

7.1 ドキュメントのサポート

7.1.1 関連資料

関連資料については、以下を参照してください。

- 『PowerPAD 熱特性強化パッケージ』、[SLMA002](#)
- 『PowerPAD の簡単な使用法』、[SLMA004](#)

7.2 コミュニティ リソース

7.3 商標

PowerPAD™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

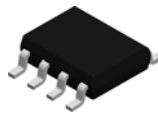
Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PDRV81325AQDRQ1	Active	Preproduction	SOIC (D) 8	2500 LARGE T&R	-	Call TI	Call TI	-40 to 125	

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

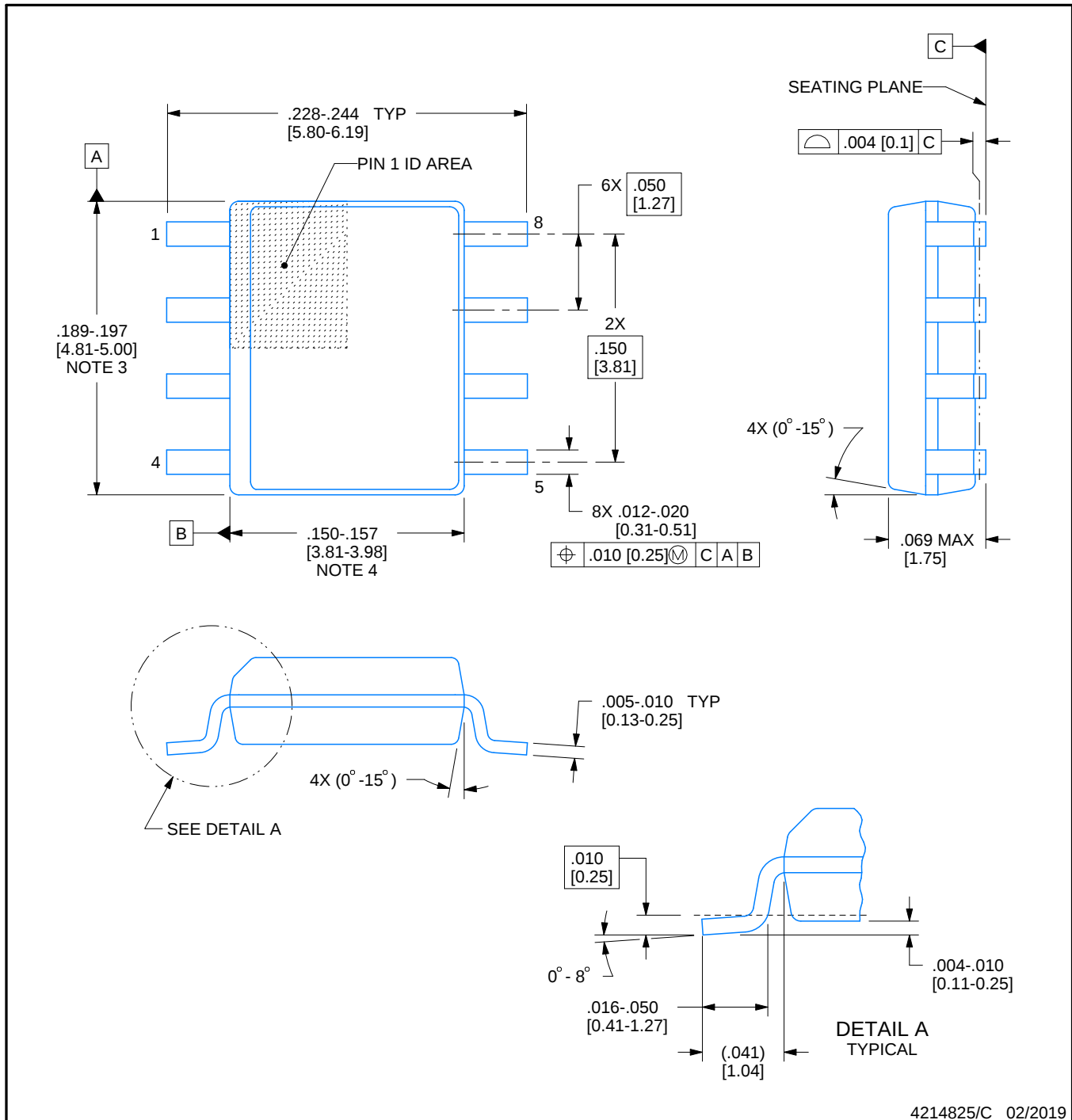


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

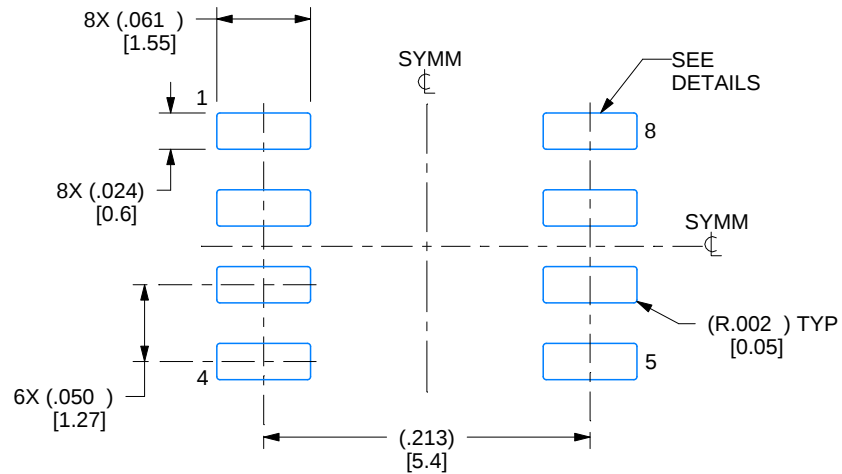
NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

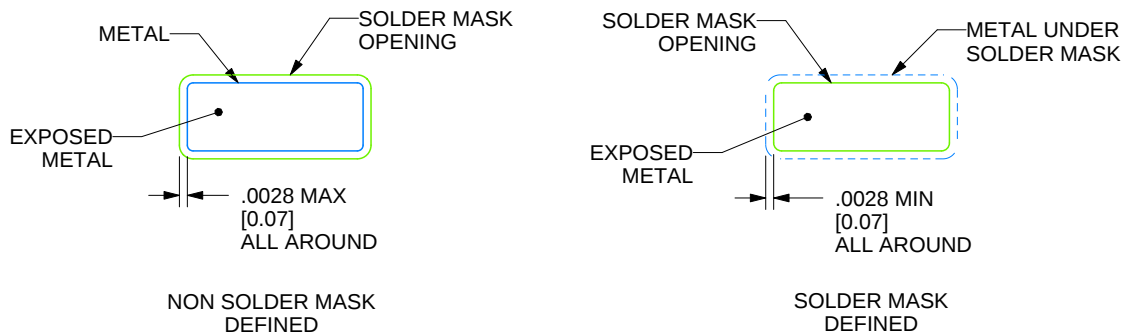
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

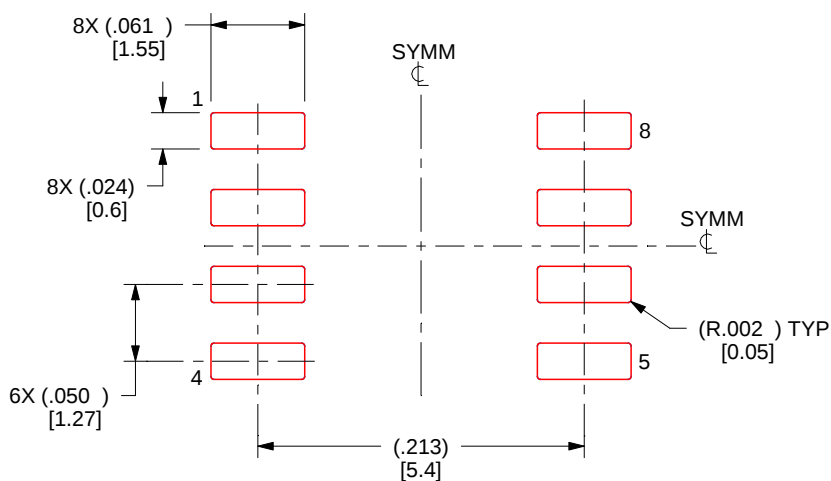
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月