DRV81620-Q1：8 チャネル、40V 対応、700mΩ、完全保護機能付き、車載リレー、LED、照明、モータ制御向けのローサイド/ハイサイド切替可能ドライバ

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
  - 温度グレード 1：-40℃～+125℃、T_A
- 機能安全対応
  - 機能安全の設計に役立つ資料
- アナログ電源電圧：**3V～40V**
  - クランク機能：最小 3V
  - LV124 車載規格をサポート
- デジタル電源電圧：**3V～5.5V**
  - 3.3V および 5V マイクロコントローラと互換
- ドレイン ソース間のクランプ電圧：最小 **42V**
- ソース グランド間の最大クランプ電圧：**-18V**
- $R_{DS(ON)}$：12V、25℃時の代表値 **700mΩ**
- 電流：すべてのチャネルがオンの場合、85℃時に出力ごとに **330mA**
- マッピング機能を備えた **2 個の並列入力**
- **リンプ ホーム** モードでのフェイルセーフ起動
  - nSLEEP および IN ピンの使用
- 2 個の独立した内部 **PWM** ジェネレータ
- ランプを駆動するための**電球突入モード** (BIM)
  - 2W/5W ランプや他の容量性負荷向け
- 低電流のスリープ モード：T_J≤ 85 °C で 3μA 未満
- 制御および診断用の 16 ビット SPI
  - デイジー チェーン機能
  - 8 ビット SPI デバイスと互換
- 各種**保護機能**をサポート
  - 逆極性バッテリ保護
  - グランドおよびバッテリ短絡保護
  - 低電圧条件での安定した動作
  - 過電流ラッチオフ
  - 過熱警告
  - サーマル シャットダウン ラッチオフ
  - 過電圧保護
  - バッテリ喪失およびグランド喪失時の保護
  - 静電気放電 (ESD) 保護
- 各種**診断機能**をサポート
  - SPI レジスタを介した診断情報
  - オン状態での過負荷検出
  - オンおよびオフ状態でのオープン負荷検出
  - 入力および出力ステータス モニタ

2 アプリケーション

- ゾーン制御モジュール (ZCM)
- 車載用ボディ コントロール モジュール (BCM)
- オートモーティブ ライティング
- ガソリン / ディーゼル エンジン
- 車両制御ユニット (VCU)
- プログラマブル ロジック コントローラ (PLC)

3 説明

DRV81620-Q1 は保護機能と診断機能を備えた 8 チャネルのローサイド ドライバおよびハイサイド ドライバです。このデバイスは、リレー、LED、ランプ、モータを制御するために設計されています。

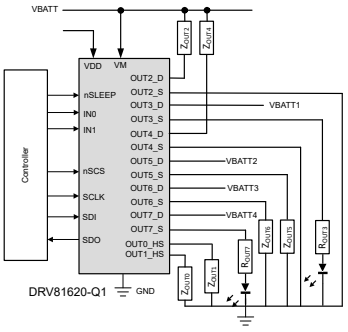
負荷およびデバイスの制御と診断には、デイジーチェーン対応のシリアル ペリフェラル インターフェイス(SPI) が使用されます。マッピング機能を持つ 2 つの入力ピンを利用して、出力を直接制御できます。このデバイスは、フェイルセーフ起動のためのリンプ ホーム モードをサポートしています。内蔵の PWM ジェネレータは LED を駆動でき、電球の突入モードは大きな静電容量で負荷を駆動できます。各出力にあるクランプ回路が、誘導性負荷のスイッチオフ時に発生するエネルギーを放散します。

このデバイスは、低電圧、過電圧、短絡、開放負荷検出などの各種保護機能をサポートしています。保護および診断機能を内蔵し、高度に統合された DRV81620-Q1 は、車載用ボディおよびパワートレイン アプリケーションに最高です。

製品情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (公称)
DRV81620QPWPRQ1	HTSSOP (24)	7.8mm × 6.4mm	7.7 mm × 4.4mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイスの比較.....3
5 ピン構成および機能.....4
6 仕様.....6
6.1 絶対最大定格.....6
6.2 ESD 定格.....7
6.3 推奨動作条件.....7
6.4 熱に関する情報.....7
6.5 電気的特性.....8
6.6 SPI のタイミング要件.....13
6.7 代表的特性.....14
7 詳細説明.....16
7.1 概要.....16
7.2 機能ブロック図.....17
7.3 機能説明.....18
8 アプリケーションと実装.....51
8.1 アプリケーション情報.....51
8.2 代表的なアプリケーション.....52
8.3 レイアウト.....54
9 デバイスおよびドキュメントのサポート.....56
9.1 ドキュメントの更新通知を受け取る方法.....56
9.2 サポート・リソース.....56
9.3 商標.....56
9.4 静電気放電に関する注意事項.....56
9.5 用語集.....56
10 改訂履歴.....56
11 メカニカル、パッケージ、および注文情報.....56

Copyright © 2025 Texas Instruments Incorporated

4 デバイスの比較

DRV81xxx-Q1 ファミリの各デバイスのローサイド、ハイサイド、および構成可能なチャネルの数を表 4-1 に示します。

表 4-1. デバイスの比較

型番	ハイサイド チャネルの数	ローサイド チャネルの数	構成可能 (ハイサイドまたはローサイド) チャネルの数
DRV81242-Q1	4	2	2
DRV81080-Q1	8	0	0
DRV81602-Q1	0	2	6
DRV81620-Q1	2	0	6
DRV81008-Q1	0	8	0
DRV81004-Q1	0	4	0

Copyright © 2025 Texas Instruments Incorporated

5 ピン構成および機能

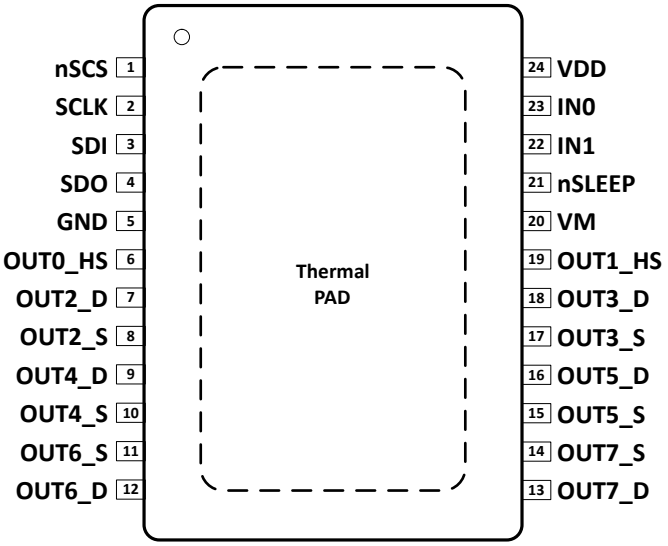


図 5-1. 24 ピン HTSSOP (PWP) 上面図

表 5-1. ピンの機能

ピン		タイプ	説明
名称	番号		
VM	20	P	出力段と保護回路のアナログ電源電圧
VDD	24	P	SPI デジタル電源電圧
GND	5	G	グランド ピン
nSCS	1	I	シリアル チップ選択。このピンを Low にするとシリアル インターフェイス通信が有効になります。VDD に統合プルアップ。
SCLK	2	I	シリアル クロック入力。シリアル データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト アウトおよびキャプチャされます。GND に統合プルダウン。
SDI	3	I	シリアル データ入力。データは、SCLK の立ち下がりエッジでキャプチャされます。GND に統合プルダウン。
SDO	4	O	シリアル データ出力。データは、SCLK の立ち上がりエッジでシフト アウトされます。
nSLEEP	21	I	ロジック High にすると、アイドルモードがアクティブになります。GND に統合プルダウン。
IN0	23	I	デフォルトでチャネル 2 に接続し、リンプホームモードで使用しています。GND に統合プルダウン。
IN1	22	I	デフォルトでチャネル 3 に接続し、リンプホームモードで使用しています。GND に統合プルダウン
OUT0_HS	6	O	ハイサイド FET のソース (チャネル 0)
OUT2_D	7	O	自動構成可能 FET のドレイン (チャネル 2)
OUT2_S	8	O	自動構成可能 FET のソース (チャネル 2)
OUT4_D	9	O	自動構成可能な FET のドレイン (チャネル 4)
OUT4_S	10	O	自動構成可能 FET のソース (チャネル 4)
OUT6_S	11	O	自動構成可能 FET のソース (チャネル 6)
OUT6_D	12	O	自動構成可能な FET のドレイン (チャネル 6)

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
OUT7_D	13	O	自動構成可能な FET のドレイン (チャネル 7)
OUT7_S	14	O	自動構成可能 FET のソース (チャネル 7)
OUT5_S	15	O	自動構成可能 FET のソース (チャネル 5)
OUT5_D	16	O	自動構成可能な FET のドレイン (チャネル 5)
OUT3_S	17	O	自動構成可能 FET (チャネル 3)
OUT3_D	18	O	自動構成可能な FET のドレイン (チャネル 3)
OUT1_HS	19	O	ハイサイド FET のソース (チャネル 1)
PAD	-	-	露出パッド。冷却および EMC のため、露出したパッドを PCB グランドに接続します。

I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

Copyright © 2025 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

T_J =- 40 °C ～ 150 °C、すべてのグランドを基準とした電圧、ピンに流れ込む正電流 (特に記述のない限り)

		最小値	最大値	単位
V_M	アナログ電源電圧	-0.3	42	V
V_{DD}	デジタル電源電圧	-0.3	5.75	V
V_{M_LD}	ロードダンプ保護の電源電圧		42	V
V_{M_SC}	短絡保護の電源電圧	0	28	V
$-V_{M_REV}$	逆極性電圧、$T_J(0)$ = 25 °C、t≤2 最小値、R_L = 70Ω をすべてのチャネルで実現	-	18	V
I_{VM}	VM ピンを流れる電流、t≤2 最小値	-10	10	mA
$\|I_L\|$	負荷電流、シングルチャネル	-	I_{L_OCP0}	A
V_{DS}	パワー FET の電圧	-0.3	42	V
V_{OUT_S}	FET ソース電圧	-18	V_{OUT_D} + 0.3	V
V_{OUT_D}	FET ドレイン電圧 (V_{OUT_S}≥ 0V)	V_{OUT_S} - 0.3	42	V
V_{OUT_D}	FET ドレイン電圧 (V_{OUT_S} < 0V)	-0.3	42	V
E_{AS}	最大エネルギー消費の単一パルス、$T_J(0)$ = 25 °C、$I_L(0)$ = 2*I_{L_EAR}	-	50	mJ
E_{AS}	最大エネルギー消費の単一パルス、$T_J(0)$ = 150 °C、$I_L(0)$ = 400mA	-	25	mJ
E_{AR}	反復パルスの最大エネルギー散逸 -I_{L_EAR}, 2*10^6 cycles、$T_J(0)$ = 85 °C、$I_L(0)$ = I_{L_EAR}	-	10	mJ
V_I	IN0、IN1、nSCS、SCLK、SDI の各ピンの電圧	-0.3	5.75	V
V_{nSLEEP}	nSLEEP ピンの電圧	-0.3	42	V
V_{SDO}	SDO ピンの電圧	-0.3	V_{DD} + 0.3	V
T_A	周囲温度	-40	125	℃
T_J	接合部温度	-40	150	℃
T_{stg}	保存温度	-55	150	℃

- *短絡保護機能は、28V を超える電圧下でインダクタンスが 1µH 未満の短絡には対応していません。*
- *ロードダンプは、t_{ON} = 400ms、t_{ON}/t_{OFF} = 10%、100 パルスに制限されています。*
- *逆極性の場合、すべてのチャネルで T_J (0) = 25 °C、t≤2 最小値、R_L = 70Ω です。デバイスは JEDEC JESD51-2、-5、-7 に従って自然対流の FR4 2s2p 基板に実装されています。製品 (Chip + パッケージ) は、2 つの内銅層 (2 * 70µm Cu、2 * 35µm Cu) を持つ 76.2 * 114.3 * 1.5mm 基板上でシミュレーションされました。該当する場合、露出パッドの下のサーマルビアアレイが最初の内側の銅層に接触しています。*
- *最大エネルギー消費を得るために、パルス形状は誘導性スイッチオフを表します。$I_L(t) = I_L(0) \times (1 - t / t_{pulse})$; $0 < t < t_{pulse}$。*
- *「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。*
- *故障状態は、「通常の動作範囲外」と見なされます。*

Copyright © 2025 Texas Instruments Incorporated

6.2 ESD 定格

				値	単位
V_{ESD}	静電放電	人体モデル (HBM)、AEC Q100-002[1]準拠	OUT ピンと VM または GND の関係	±4000	V
			その他のピン	±2000	
		荷電デバイス モデル (CDM)、AECQ100-011 準拠	コーナー ピン (1、12、13、24)	±750	
			その他のピン	±500	

(1) *AEC Q100-002 は、ANSI/ESDA/JEDEC JS-001 仕様に従って HBM ストレス試験を実施することを示しています。*

6.3 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{M_NOR}	通常動作の電源電圧範囲	4	-	40	V
V_{M_LOW}	より低い電源電圧範囲で動作するため、パラメータ偏差も可能	3	-	4	V
V_{DD}	ロジック電源電圧、f_{SCLK} = 5MHz	3	-	5.5	V
V_I	制御および SPI 入力 (nSLEEP、IN0、IN1、nSCS、SCLK、SDI)	0	-	5.5	V
T_A	周囲温度	-40	-	125	℃
T_J	接合部温度	-40	-	150	℃

6.4 熱に関する情報

熱評価基準		PWP (HTSSOP) 24 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	32.2	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	27.5	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	12.5	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.3	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	12.5	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	5.7	℃/W

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性

V_{DD} = 3V ～ 5.5V、V_M = 4V ～ 40V、T_J = -40 °C ～ +150 °C (特に記述のない限り)

標準値:V_{DD} = 5V、V_M = 13.5V、T_J = 25 °C

パラメータ		テスト条件		最小値	標準値	最大値	単位
電源電圧 (V_M, V_{DD})							
V_{M_OP}	VM 最小動作電圧	ENx = 1b、UVRVM = 1b ～ V_{DS} ≤ 1V、R_L = 50Ω				4	V
V_{DD_OP}	VDD 動作電圧	f_{SCLK} = 5MHz		3		5.5	V
V_{MDIFF}	V_M と V_{DD} の電圧差				200		mV
I_{VM_SLEEP}	スリープモードのアナログ電源電流	nSLEEP、IN0、IN1 はフローティング、V_M = 5V ~ 28V、nSCS = VDD	T_J ≤ 85 °C		0.6	3	μA
		nSLEEP、IN0、IN1 はフローティング、nSCS = VDD	T_J = 150°C		0.9	20	
I_{VDD_SLEEP}	スリープモードでのロジック電源電流	nSLEEP、IN0、IN1 はフローティング、nSCS = VDD	T_J ≤ 85 °C		0.1	1	μA
			T_J = 150°C		0.7	4	
I_{SLEEP}	スリープ モードでの全体消費電流	nSLEEP、IN0、IN1 はフローティング、V_M = 5V ~ 28V、nSCS = VDD	T_J ≤ 85 °C			4	μA
		nSLEEP、IN0、IN1 はフローティング、nSCS = VDD	T_J = 150°C			24	μA
I_{VM_IDLE}	アイドルモードでのアナログ電源電流	nSLEEP = 論理 High、IN0、IN1 フローティング、f_{SCLK} = 0 MHz、ACT = 0b、ENx = 0b、IOLx = 0b、nSCS = VDD				2.1	mA
			COR モード、V_M ≤ V_{DD} - 1V			0.3	mA
I_{VDD_IDLE}	アイドルモードのロジック電源電流	nSLEEP = 論理 High、IN0、IN1 フローティング、f_{SCLK} = 0 MHz、ACT = 0b、ENx = 0b、nSCS = VDD				0.1	mA
			COR モード、V_M ≤ V_{DD} - 1V			1.9	
I_{IDLE}	アイドルモードでの総消費電流	nSLEEP = 論理 High、IN0、IN1 フローティング、f_{SCLK} = 0 MHz、ACT = 0b、ENx = 0b、IOLx = 0b、nSCS = VDD				2.2	mA
$I_{VM_ACT_OFF}$	アクティブ モード時のアナログ電源電流 - チャネル OFF	nSLEEP = 論理 High、IN0、IN1 フローティング、f_{SCLK} = 0 MHz、ACT = 0b、ENx = 0b、IOLx = 0b、nSCS = VDD				4.6	mA
			COR モード、V_M ≤ V_{DD} - 1V		1	2.3	mA

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

V_{DD} = 3V ～ 5.5V、V_M = 4V ～ 40V、T_J = -40 °C ～ +150 °C (特に記述のない限り)

標準値:V_{DD} = 5V、V_M = 13.5V、T_J = 25 °C

パラメータ		テスト条件		最小値	標準値	最大値	単位
$I_{VM_ACT_ON}$	アクティブ モード時のアナログ電源電流 - チャネル ON	nSLEEP = 論理 High、IN0、IN1 フローティング、f_{SCLK} = 0 MHz、ACT = 1b、ENx = 1b、IOLx = 0b、nSCS = VDD	EN_OLON = 0100b			4.6	mA
			COR モード、$V_M \le V_{DD}$ - 1V		1	2.3	mA
$I_{VDD_ACT_OFF}$	アクティブ モードでのロジック電源電流 - チャネル OFF	nSLEEP = 論理 High、IN0、IN1 フローティング、f_{SCLK} = 0 MHz、ACT = 1b、ENx = 0b、nSCS = VDD				0.1	mA
			COR モード、$V_M \le V_{DD}$ - 1V			2.4	mA
$I_{VDD_ACT_ON}$	アクティブ モードでのロジック電源電流 - チャネル ON	nSLEEP = 論理 High、IN0、IN1 フローティング、f_{SCLK} = 0 MHz、ACT = 1b、ENx = 1b、nSCS = VDD				0.1	mA
			COR モード、IOLx = 0b、EN_OLON = 0100b、$V_M \le V_{DD}$ - 1V			2.4	mA
I_{ACT_OFF}	アクティブ モードでの総消費電流 - チャネル OFF	nSLEEP = ロジック High、IN0、IN1 フローティング、f_{SCLK} = 0 MHz、ACT = 1b、ENx = 0b、IOLx = 0b、nSCS = VDD				4.7	mA
I_{ACT_ON}	アクティブ モードでの総消費電流 - チャネル ON	nSLEEP = ロジック High、IN0、IN1 フローティング、f_{SCLK} = 0 MHz、ACT = 1b、ENx = 1b、IOLx = 0b、EN_OLON = 0100b、nSCS = VDD				4.7	mA
t_{S2I}	スリープからアイドルまでの遅延	nSLEEP ピンから TER+INST レジスタまで = 8680H			200	300	µs
t_{I2S}	アイドルからスリープまでの遅延	nSLEEP ピンから標準診断 = 0000H、SDO から GND への外部プルダウン			100	150	µs
t_{I2A}	アイドルからアクティブまでの遅延	INx または nSCS ピンから MODE = 10b			100	150	µs
t_{A2I}	アクティブからアイドルまでの遅延	INx または nSCS ピンから MODE = 11b			100	150	µs
t_{S2LH}	スリープからリンプホームまでの遅延	INx ピンから V_{DS} = 10% V_M			300 + t_{ON}	450 + t_{ON}	µs
t_{LH2S}	リンプホームからスリープまでの遅延	INx ピンから標準診断 = 0000H、SDO から GND の外部プルダウン			200 + t_{OFF}	300 + t_{OFF}	µs
t_{LH2A}	リンプホームからアクティブまでの遅延	nSLEEP ピンから MODE = 10b			50	100	µs
t_{A2LH}	アクティブからリンプホームまでの遅延	nSLEEP ピンから TER + INST レジスタ = 8683H (IN0 = IN1 = ロジック High) または 8682H (IN1 = ロジック High、IN0 = ロジック Low) または 8681h (IN1 = ロジック Low、IN0 = ロジック High)			55	100	µs

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

V_{DD} = 3V ～ 5.5V、V_M = 4V ～ 40V、T_J = -40 °C ～ +150 °C (特に記述のない限り)

標準値:V_{DD} = 5V、V_M = 13.5V、T_J = 25 °C

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{A2S}	アクティブからスリープまでの遅延	nSLEEP ピンから標準診断 = 0000H、SDO から GND への外部プルダウン		50	100	µs
制御および SPI 入力 (nSLEEP、IN0、IN1、nSCS、SCLK、SDI)						
V_{IL}	入力ロジック Low 電圧		0		0.8	V
V_{IH}	入力論理 High 電圧 (nSLEEP、IN0、IN1)		2		5.5	V
V_{IH_SPI}	入力ロジック High 電圧 (nSCS、SCLK、SDI)		2		V_{DD}	V
I_{IL}	入力ロジック Low 電流 (nSCS を除くすべてのピン)	V_I = 0.8 V	8	12	16	µA
I_{IH}	入力ロジック High 電流 (nSCS を除くすべてのピン)	V_I = 2 V	20	30	40	µA
I_{IL_nSCS}	nSCS 入力ロジック Low 電流	V_{nSCS} = 0.8 V、V_{DD} = 5V	30	60	90	µA
I_{IH_nSCS}	nSCS 入力ロジック High 電流	V_{nSCS} = 2 V、V_{DD} = 5V	10	40	65	µA
プッシュプル出力 (SDO)						
V_{SDO_L}	出力ロジック Low 電圧	I_{SDO} = -1.5mA	0		0.4	V
V_{SDO_H}	ロジック High 出力電圧	I_{SDO} = 1.5mA	V_{DD} - 0.4		V_{DD}	V
I_{SDO_OFF}	SDO トライステートリーク電流	V_{nSCS} = V_{DD}、V_{SDO} = 0V または V_{DD}	-0.5		0.5	µA
電力段						
$R_{DS(ON)}$	ON 抵抗	T_J = 25°C	0.4	0.7	0.95	Ω
		T_J = 150 °C、I_L = I_{L_EAR} = 220 mA	0.6	1	1.4	
I_{L_NOM}	公称負荷電流 (すべてのチャネルがアクティブ)	T_A = 85 °C、T_J ≤ 150 °C		330	500	mA
		T_A = 105 °C、T_J ≤ 150 °C		260	500	mA
I_{L_NOM}	公称負荷電流 (アクティブなチャネルの半分)	T_A = 85 °C、T_J ≤ 150 °C		470	500	mA
I_{L_EAR}	最大エネルギー消費の負荷電流 - 反復 (すべてのチャネルがアクティブ)	T_A = 85 °C、T_J ≤ 150 °C		220		mA
$-I_{L_REV}$	チャネルあたりの逆電流機能 (ハイサイド動作時)				I_{L_EAR}	mA
E_{AR}	最大エネルギー消費反復パルス- 2 * I_{L_EAR} (2 チャネルを並列接続)	$T_{J(0)}$ = 85 °C、$I_{L(0)}$ = 2*I_{L_EAR}、2*10^6 サイクル、影響を受けるチャネルでは PAR = 1b			15	mJ
V_{DS_OP}	バッテリ電圧低下時の電力段の電圧降下	R_L = 50Ω、V_M = V_{M1} = V_{M2} = $V_{M_OP,max}$		0.05	0.2	V
V_{DS_OP}	自動構成可能なチャネルにおける、バッテリ低下時のパワーステージの電圧降下	R_L = 50Ω、V_M またはグランドに接続済み、V_M = $V_{M_OP,max}$、V_{Dx} = $V_{M_OP,max}$		0.05	0.3	V

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

V_{DD} = 3V ～ 5.5V、V_M = 4V ～ 40V、T_J = -40 °C ～ +150 °C (特に記述のない限り)

標準値:V_{DD} = 5V、V_M = 13.5V、T_J = 25 °C

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{DS_OP}	バッテリ残量が少ない時にハイサイド チャネルで発生するパワーステージの電圧降下	R_L = 50Ω、V_M = $V_{M_OP,max}$、V_{M_HS} = $V_{M_OP,max}$		0.05	0.3	V
V_{DS_CL}	ローサイド チャネルにおけるドレインからソースへの出力クランプ電圧	I_L = 20mA、V_M = V_{OUT_Dx} = 36V	42	44	50	V
V_{OUT_CL}	ハイサイド チャネルにおけるソースからグランドへの出力クランプ電圧	I_L = 20mA、V_M = V_{OUT_Dx} = 7V	-24		-18	V
I_{L_OFF}	出力リーク電流 (各ローサイド チャネル)	V_{IN} = 0V またはフローティング、V_{DS} = 28V、ENx = 0b、T_J ≤ 85 °C		0.5	2	µA
I_{L_OFF}	出力リーク電流 (各ローサイド チャネル)	V_{IN} = 0V またはフローティング、V_{DS} = 28V、ENx = 0b、T_J = 150 °C		1.5	5	µA
I_{L_OFF}	出力リーク電流 (各自動構成可能またはハイサイド チャネル)	V_{IN} = 0V またはフローティング、V_{DS} = 28V、V_{OUT_S} = 1.5V、ENx = 0b、T_J ≤ 85 °C		0.3	4	µA
I_{L_OFF}	出力リーク電流 (各自動構成可能またはハイサイド チャネル)	V_{IN} = 0V またはフローティング、V_{DS} = 28V、V_{OUT_S} = 1.5V、ENx = 0b、T_J = 150 °C		0.3	3	µA
t_{DLY_ON}	ターンオン遅延 (INx ピンまたは制御ビットの入力から、ローサイド構成では V_{OUT} = 90% V_M、ハイサイド構成では V_{OUT} = 10% V_M)	R_L = 50Ω、V_M = 13.5 V、アクティブモードまたはリンプホームモード	2	5	8	µs
t_{DLY_OFF}	ターンオフ遅延 (INx ピンまたは制御ビットの入力から、ローサイド構成では V_{OUT} = 10% V_M、ハイサイド構成では V_{OUT} = 90% V_M)	R_L = 50Ω、V_M = 13.5 V、アクティブモードまたはリンプホームモード	3	6	11	µs
t_{ON}	ターンオン時間 (INx ピンまたは制御ビットの入力から、ローサイド構成では V_{OUT} = 10% V_M、ハイサイド構成では V_{OUT} = 90% V_M)	R_L = 50Ω、V_M = 13.5 V、アクティブモードまたはリンプホームモード	9	16	23	µs
t_{OFF}	ターンオフ時間 (INx ピンまたは制御ビットの入力から、ローサイド構成では V_{OUT} = 90% V_M、ハイサイド構成では V_{OUT} = 10% V_M)	R_L = 50Ω、V_M = 13.5 V、アクティブモードまたはリンプホームモード	11	17	25	µs
t_{ON} - t_{OFF}	ターンオン/オフマッチング	R_L = 50Ω、V_M = 13.5 V、アクティブモードまたはリンプホームモード	-10	0	10	µs
SR_{ON}	ターンオン時のスルーレート、ローサイド構成では V_{DS} = 70% ～ 30% V_M またはハイサイド構成では V_{DS} = 30% ～ 70% V_M へ変化する際の速度	R_L = 50Ω、V_M = 13.5 V、アクティブ モードまたはリンプ ホーム モード、SR = 0b	0.6	1.3	1.8	V/µs
		R_L = 50Ω、V_M = 13.5 V、アクティブ モードまたはリンプ ホーム モード、SR = 1b	1.3	2.5	3.6	V/µs

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

V_{DD} = 3V ～ 5.5V、V_M = 4V ～ 40V、T_J = -40 °C ～ +150 °C (特に記述のない限り)

標準値:V_{DD} = 5V、V_M = 13.5V、T_J = 25 °C

パラメータ		テスト条件	最小値	標準値	最大値	単位
SR_{OFF}	ターンオン時のスルーレート、ローサイド構成では V_{DS} = 30% ～ 70% V_M またはハイサイド構成では V_{DS} = 70% ～ 30% V_M へ変化する際の速度	R_L = 50Ω、V_M = 13.5 V、アクティブ モードまたはリンプ ホーム モード、SR = 0b	0.6	1.3	1.8	V/µs
		R_L = 50Ω、V_M = 13.5 V、アクティブ モードまたはリンプ ホーム モード、SR = 1b	1.3	2.5	3.6	V/µs
t_{INRUSH}	バルブ突入電流モードの再起動時間	アクティブ モード			40	µs
t_{BIM}	電球突入モードのリセット時間	アクティブ モード		40		ms
f_{INT}	内部基準周波数	FPWM = 1000b	80	102	125	kHz
f_{INT_VAR}	内部基準周波数 変動		-15		15	%
t_{SYNC}	内部基準周波数同期時間	FPWM = 1000b		7	10	µs
PROTECTION						
$V_{M_UVLO_F}$	VM 低電圧シャットダウン (立ち下がり)	ENx =オン、V_{DS}≤1V ～ UVRVM = 1b、R_L = 50Ω	2.64	2.73	2.82	V
$V_{M_UVLO_R}$	VM 低電圧シャットダウン (立ち上がり)		2.77	2.86	2.95	V
V_{DD_UVLO}	VDD 低電圧シャットダウン	V_{SDI} = V_{SCLK} = V_{nSCS} = 0V、SDO を Low から Hi-Z に	2.5	2.65	2.8	V
V_{DD_HYS}	VDD 低電圧シャットダウン ヒステリシス			120		mV
I_{L_OCP0}	過電流保護スレッショルド、OCP = 0b	T_J = -40°C	1.3	1.5	1.8	A
		T_J = 25°C	1.3	1.45	1.7	A
		T_J = 150°C	1.2	1.4	1.6	A
I_{L_OCP1}	過電流保護スレッショルド、OCP = 0b	T_J = -40°C	0.7	0.8	1	A
		T_J = 25°C	0.65	0.75	0.9	A
		T_J = 150°C	0.65	0.72	0.85	A
I_{L_OCP0}	過電流保護スレッショルド、OCP = 1b	T_J = -40°C	2.2	2.5	3	A
		T_J = 25°C	2.1	2.4	2.8	A
		T_J = 150°C	1.9	2.1	2.4	A
I_{L_OCP1}	過電流保護スレッショルド、OCP = 1b	T_J = -40°C	1	1.3	1.6	A
		T_J = 25°C	1	1.3	1.55	A
		T_J = 150°C	1	1.25	1.5	A
t_{OCPIN}	過電流スレッショルドの切り替え遅延時間		70	170	260	µs
t_{OFF_OCP}	過電流シャットダウン遅延時間	BIMx = PARx = 0b	4	7	11	µs
T_{OTW}	過熱警告		120	140	160	℃
T_{HYS_OTW}	過熱警告 ヒステリシス			12		℃
T_{TSD}	サーマル シャットダウン温度		150	175	200	℃

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

V_{DD} = 3V ～ 5.5V、V_M = 4V ～ 40V、T_J = -40 °C ～ +150 °C (特に記述のない限り)

標準値:V_{DD} = 5V、V_M = 13.5V、T_J = 25 °C

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{M_AZ}	過電圧保護	I_{VM} = 10mA、スリープモード		42	47	52	V
V_{DS_REV}	逆極性時のドレイン ソース ダイオード (ローサイド スイッチ構成)	I_L = -10mA、スリープ モード、T_J = 25 °C			730		mV
V_{DS_REV}	逆極性時のドレイン ソース ダイオード (ローサイド スイッチ構成)	I_L = -10mA、スリープ モード、T_J = 150 °C			540		mV
R_{DS_REV}	逆極性時のオン抵抗(ハイサイド スイッチ構成)	V_M = -V_{M_REV}、I_L = I_{L_EAR}	T_J = 25°C		0.7		Ω
			T_J = 150°C		1.1		Ω
t_{RETRY0_LH}	リンプホームモードでの再起動時間			7	10	13	ms
t_{RETRY1_LH}	リンプホームモードでの再起動時間			14	20	26	ms
t_{RETRY2_LH}	リンプホームモードでの再起動時間			28	40	52	ms
t_{RETRY3_LH}	リンプホームモードでの再起動時間			56	80	104	ms
t_{OSM}	出力ステータスモニタコンパレータのセトリング時間					20	µs
V_{OSM}	出力ステータス監視スレッショルド電圧			3	3.3	3.6	V
I_{OL}	出力診断電流	V_{DS} = 3.3V (ローサイド構成の場合)、V_{OUT_S} = 3.3V (ハイサイド構成の場合) , VM = 13.5V		60	75	95	µA
I_{OL}	出力診断電流	V_{DS} = 3.3V (ローサイド構成の場合)、V_{OUT_S} = 3.3V(ハイサイド構成の場合) , VM = 5V ～28V		50	75	100	µA
R_{OL}	開放負荷等価抵抗	VM = 13.5 V		110		160	kΩ
R_{OL}	開放負荷等価抵抗	VM = 7V～18V		30		230	kΩ
t_{ONMAX}	スイッチがオンの状態での開放負荷診断において、マルチプレクサが起動するまでの待機時間	OLMAX = 0b		40	60	85	µs
$t_{OLONSET}$	オン時開放負荷診断のセトリング タイム				25	40	µs
t_{OLONSW}	オン診断チャネルの切り替え時間での開放負荷				15	20	µs
I_{L_OL}	開放負荷検出スレッショルド電流			3	6	9	mA

6.6 SPI のタイミング要件

- 製造時テストは適用されず、設計により検証されます。

パラメータ		テスト条件	最小値	公称値	最大値	単位
t_{nSCS_lead}	イネーブルリード時間 (nSCS 立ち下がりから SCLK 立ち上がりまで)		200			ns
t_{nSCS_lag}	イネーブル遅延時間 (SCLK 立ち下がりから nSCS 立ち上がりまで)		200			ns

Copyright © 2025 Texas Instruments Incorporated

6.6 SPI のタイミング要件 (続き)

- 製造時テストは適用されず、設計により検証されます。

パラメータ		テスト条件	最小値	公称値	最大値	単位
t_{nSCS_td}	転送遅延時間 (nSCS 立ち上がりから立ち下がり nSCS まで)		250			ns
t_{SDO_en}	出力イネーブル時間 (nSCS 立ち下がりから SDO 有効まで)	SDO ピンでの C_L = 20pF			200	ns
t_{SDO_dis}	出力ディスエーブル時間 (nSCS 立ち上がりから SDO ハイインピーダンスまで)	SDO ピンでの C_L = 20pF			200	ns
f_{SCLK}	シリアル クロック周波数				5	MHz
t_{SCLK_P}	シリアルクロック周期		200			ns
t_{SCLK_H}	シリアルクロックロジック High 時間		75			ns
t_{SCLK_L}	シリアルクロックロジック Low 時間		75			ns
t_{SDI_su}	データセットアップ時間 (SCLK 立ち下がりまでの必要な SDI 時間)		20			ns
t_{SDI_h}	データ ホールド時間 (SCLK から SDI に立ち下がり)		20			ns
t_{SDO_v}	容量性負荷での出力データの有効時間	SDO ピンでの C_L = 20pF			100	ns

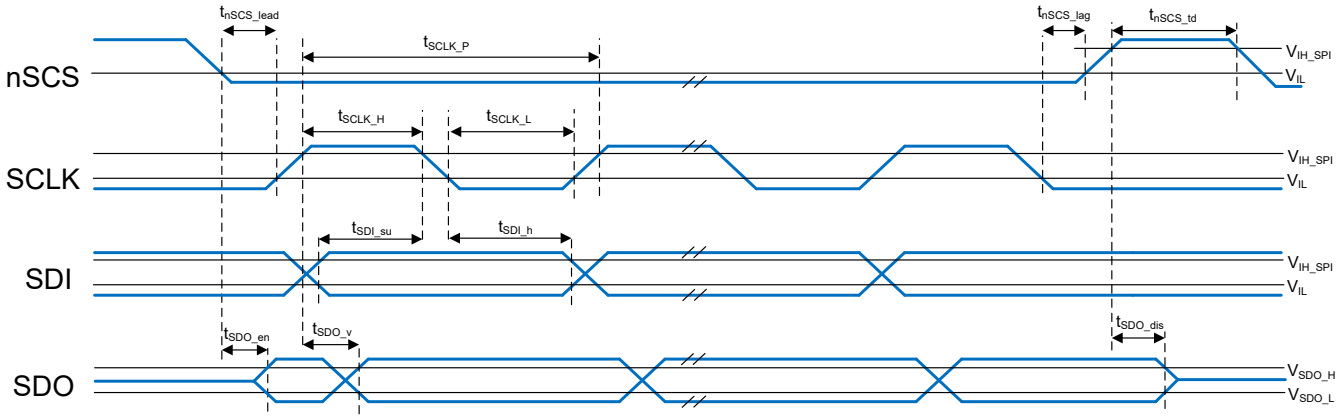


図 6-1. SPI タイミング図

6.7 代表的特性

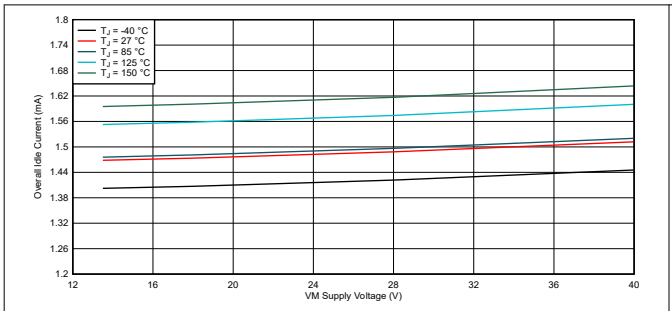


図 6-2. アイドルモード消費電流、VDD = 5.5V

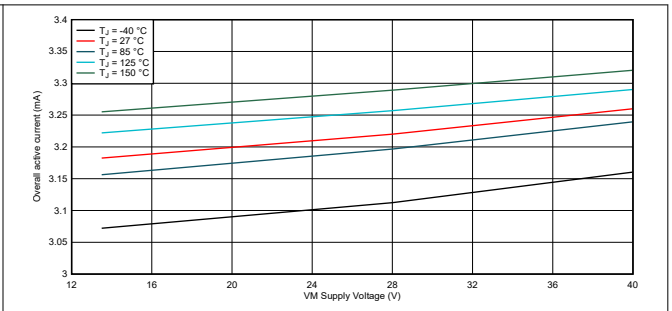


図 6-3. アクティブ モードの電源電流、VDD = 5.5V

Copyright © 2025 Texas Instruments Incorporated

6.7 代表的特性 (続き)

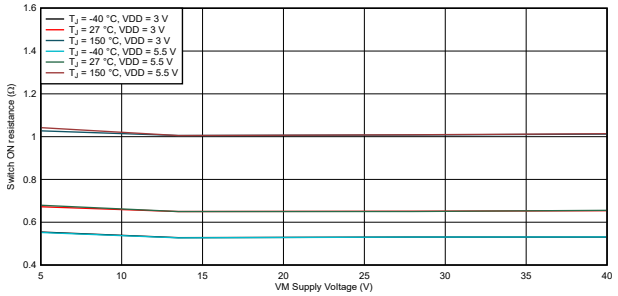


図 6-4. スイッチ オン抵抗

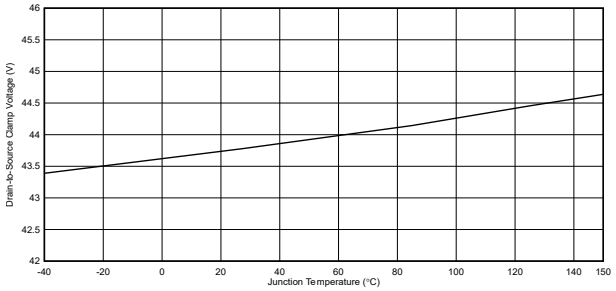


図 6-5. ドレイン-ソース間クランプ電圧

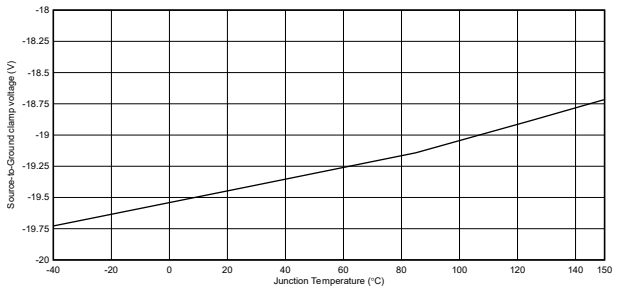


図 6-6. ソース-グランド間クランプ電圧

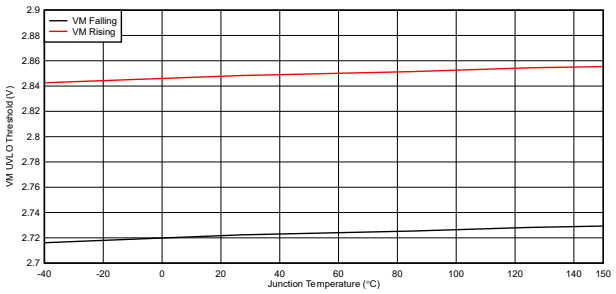


図 6-7. VM UVLO スレッショルド

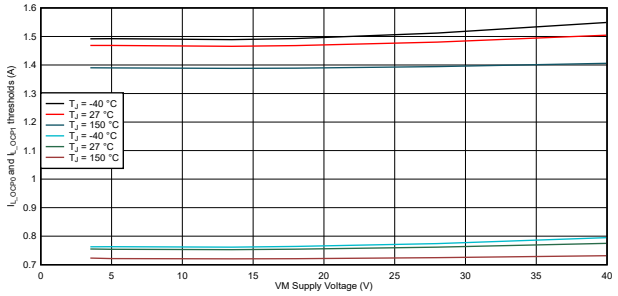


図 6-8. 過電流保護スレッショルド、VDD = 5.5V、OCP = 0b

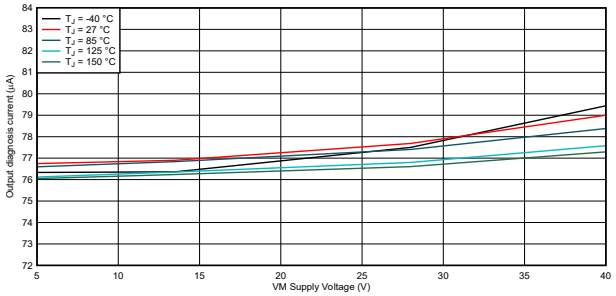


図 6-9. 出力診断電流、VDD = 5.5V

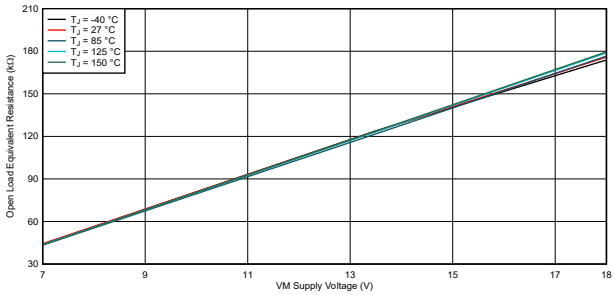


図 6-10. 開放負荷等価抵抗

7 詳細説明

7.1 概要

DRV81620-Q1 は 8 チャネルのローサイドおよびハイサイド スイッチで、保護機能および診断機能が内蔵されています。出力ステージは、または 2 つのハイサイド スイッチと 6 つの自動構成スイッチ、(代表的な $R_{DS(ON)}$ T_J 時) = 25 °C は 700mΩ を含みます。N チャネル MOSFET には、自動構成可能チャネルとハイサイド チャネル用の 1 つのチャージ ポンプが備わっています。このデバイスは、低電源電圧で動作するように設計されています。デバイスはバッテリ電圧が低い状態に維持できます (V_M≥ 3V)。

自動構成可能スイッチは、負荷の接続方法に応じてハイサイド構成またはローサイド構成で使用できます。保護機能と診断機能は、ハードウェア構成に自動的に適応します。ハイサイド駆動では、通電時の開放負荷診断を実行することが可能です。

16 ビットの SPI イは、デバイスと負荷の制御および診断に使用されます。SPI はデイジーチェーンをサポートしており、同じマイコンピンを使用して複数のデバイス (8 ビット SPI も搭載したデバイス) を 1 つの SPI チェーンで接続できます。SPI 機能は、デジタル電源が存在するときのみ利用できます。

このデバイスには 2 つの入力ピンがあり、これらは 2 つの構成可能な出力を制御できます。nSLEEP ピンが ロジック Low のときは、デジタル電源電圧の有無に関係なく、入力ピンを使用してチャネル 2 および 3 を個別にアクティブ化することが可能です。入力マッピング機能を使用すると、入力ピンを別の出力に接続したり、同じ入力ピンにさらに多くの出力を割り当てることができます。この場合、1 つの入力信号でより多くのチャネルを制御できます。

このデバイスは、開放負荷 (オン状態とオフ状態) と短絡検出により負荷を診断できます。オフ状態での開放負荷を検出するには、SPI を使って内部電流源 I_{OL} を有効にすることが可能です。各出力段は短絡から保護されています。過電流が発生した場合、該当するチャネルは過電流検出しきい値に達するとオフになり、SPI を介して再度オンにすることができます。

リンプ ホーム モード動作では、ロジック High に設定された入力ピンに接続されているチャネルは、出力再起動時間が経過した後、自動的に再起動します。温度センサは、デバイスを過熱から保護するため、各チャネルで利用できます。

表 7-1. 製品概要

パラメータ	記号	値
アナログ電源電圧	V_M	3.0V ～ 40V
デジタル電源電圧	V_{DD}	3.0V ～ 5.5V
最小の過電圧保護	V_{M_AZ}	42V
T_J = 150 °C 時の最大オン抵抗	$R_{DS(ON)}$	1.4Ω
公称負荷電流(T_A = 85 °C、すべてのチャネル)	I_{L_NOM}	330mA
最大エネルギー消費-繰り返し	E_{AR}	10mJ @ I_{L_EAR} = 220mA
ドレイン ソース間のクランプ電圧	V_{DS_CL}	42V
ソースからグランドへの最大出力クランプ電圧	V_{OUT_CL}	-18V
過負荷スイッチオフの最大スレッショルド	I_{L_OVL0}	
T_J ≤85 °C での最大総静止電流	I_{SLEEP}	4µA
最大 SPI クロック周波数	f_{SCLK}	5MHz

Copyright © 2025 Texas Instruments Incorporated

7.2 機能ブロック図

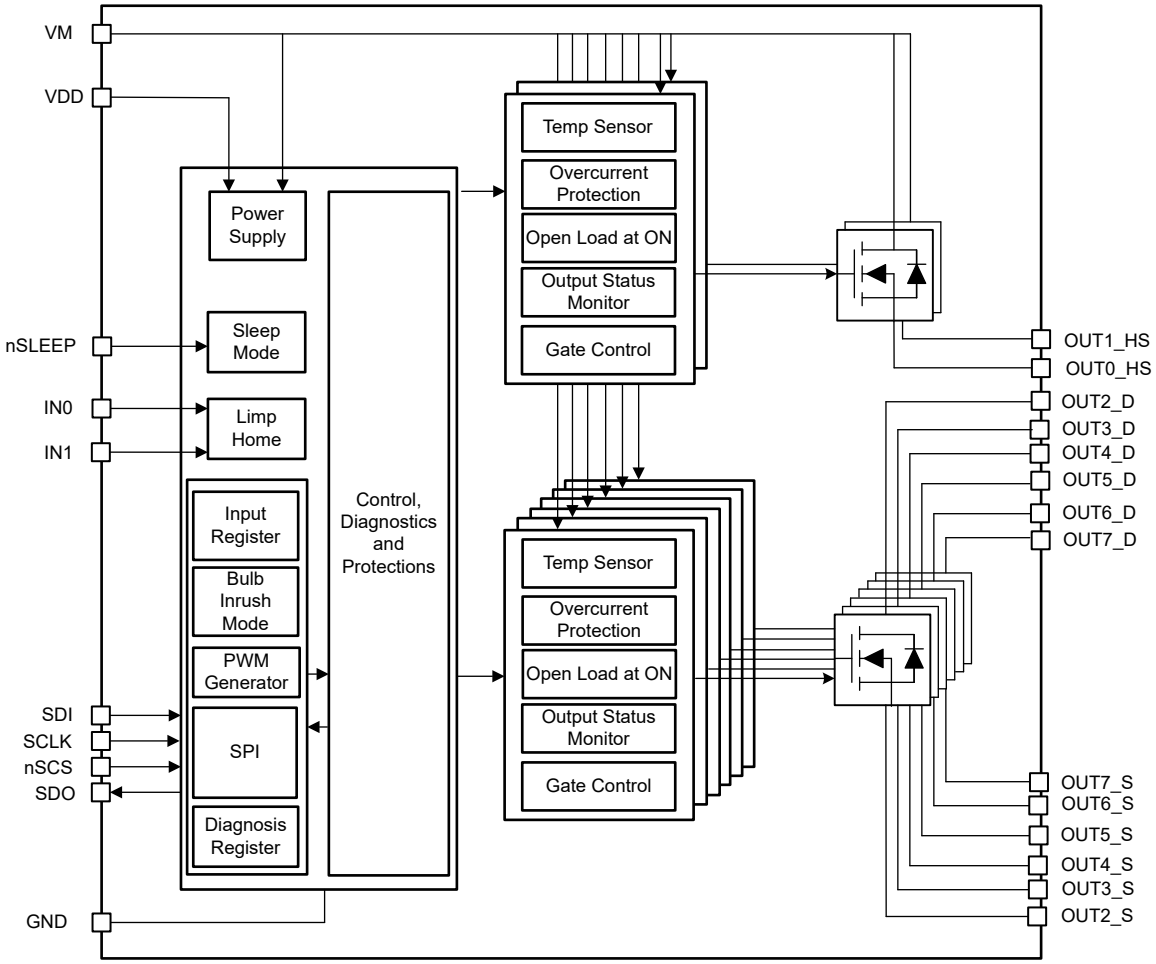


図 7-1. DRV81620-Q1 の機能ブロック図

7.3 機能説明

7.3.1 コントロールピン

このデバイスには 3 本のピン (IN0、IN1、nSLEEP) があり、SPI を使用せずにデバイスを直接制御できます。

7.3.1.1 入力ピン：

デバイスには 2 つの入力ピンがあります。各入力ピンはデフォルトで 1 つのチャネル (IN0 からチャネル 2、IN1 からチャネル 3) に接続されています。入力マッピングレジスタ MAP0 および MAP1 は、各入力ピンに追加または異なるチャネルを接続するようにプログラムできます (図 7-2 を参照)。チャネルを駆動する信号は、EN レジスタの状態、PWM ジェネレータ (PWM ジェネレータの出力マッピング状態に従う)、および IN0 と IN1 (入力マッピング レジスタの状態に従う) との論理和 (OR) の組み合わせによって決定されます。

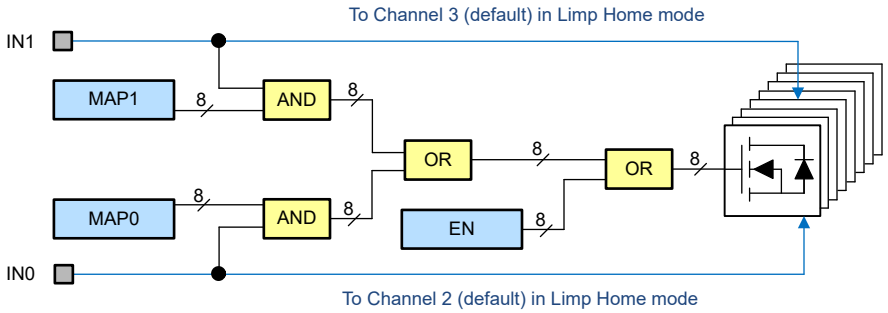


図 7-2. 入力マッピング

入力ピンのロジックレベルは、入力ステータスモニタレジスタ (INST) を使用して監視できます。入力ステータス モニタは、デバイスがリンプ ホーム モードのときも動作します。どちらかの入力ピンがロジック High に設定され、nSLEEP ピンがロジック Low に設定されると、デバイスはリンプホームモードに切り替わり、デフォルトで入力ピンに割り当てられたチャネルをアクティブにします。

7.3.1.2 nSLEEP ピン

nSLEEP ピンを使用して、デバイスを論理 Low に設定し、すべての入力ピンも論理 Low に設定すると、スリープモードに移行します。nSLEEP ピンがロジック Low に設定されている場合、本デバイスはリンプホーム・モードに移行します。

適切なモード遷移を保証するには、nSLEEP ピンを少なくとも t_{l2S} (ロジック High からロジック Low に遷移) または t_{S2l} (ロジック Low からロジック High に遷移) の間設定する必要があります。

nSLEEP ピンを論理 Low に設定すると、次のようになります。

- SPI 内のすべてのレジスタはデフォルト値にリセットされます。
- V_{DD} および V_M 低電圧検出回路は無効化され、消費電流を低減します (両方の入力がロジック Low に設定されている場合)。
- 両方の入力ピンがロジック Low に設定されている場合、SPI 通信は許可されません (nSCS ピンがロジック Low に設定されているときも、SDO ピンが高インピーダンスのままです)。

Copyright © 2025 Texas Instruments Incorporated

7.3.2 電源

DRV81620-Q1 は、それぞれ 2 系統の電源電圧によって供給されます。

- V_M(ロジックにも使用されるアナログ電源電圧、およびチャネル 0 および 1 のドレインとしても使用される電源電圧)
- V_{DD} (デジタル電源電圧)

V_M 電源をバッテリフィードに接続し、V_{DD} 電源と組み合わせて電力段の駆動回路に使用します。V_M 電圧が V_{DD} 電圧を下回る状況 (たとえば、最小 3V までのクランキングイベント時) では、VDD ピンの消費電流が増加する場合があります。V_M および V_{DD} 電源電圧には、低電圧検出回路があります。

- V_M と V_{DD} の両方の電源電圧が低電圧なため、電源段と SPI 通信のアクティブ化を防止できます(SPI レジスタはリセットされます)
- V_{DD} 電源が低電圧になると、SPI 通信は禁止されます。SPI 読み出し/書き込みレジスタはデフォルト値にリセットされます。
- V_M 電源が発生すると、デバイスはロジック回路に必要なすべての電流を V_{DD} 電源から供給するようになります。すべてのチャネルがディセーブルされ、$V_M \geq V_{M_OP}$ になるとすぐにイネーブルになります。

以下の画像は、電源ピン V_M と V_{DD}、出力段ドライバ、そして SDO 電源ライン間の相互作用を示す基本的な概念図です。

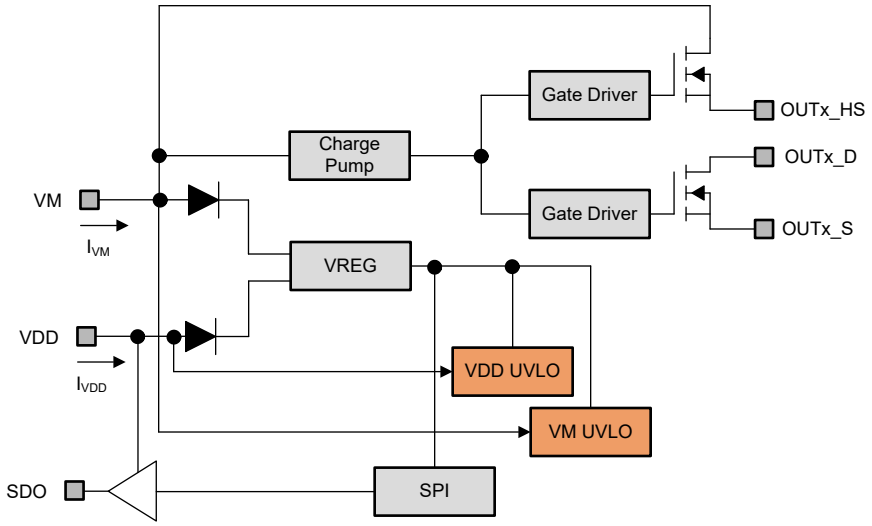


図 7-3. 内部電源アーキテクチャ

$3V \leq V_M \leq V_{DD} - V_{MDIFF}$ の場合、デバイスはクランキング動作範囲 (COR) で動作します。この状態では、VDD ピンからの電流消費が増加し、VM ピンからの電流消費は減少します。合計消費電流は指定された制限内に維持されます。

図 7-4 に、デバイスが COR を出入りする VM ピンの電圧レベルを示します。COR との間の遷移中、I_{VM} と I_{VDD} は、通常動作と COR 動作用に定義された値の間で変化します。両方の電流の合計は、セクション 6.5 に規定されている制限範囲内にとどまります。

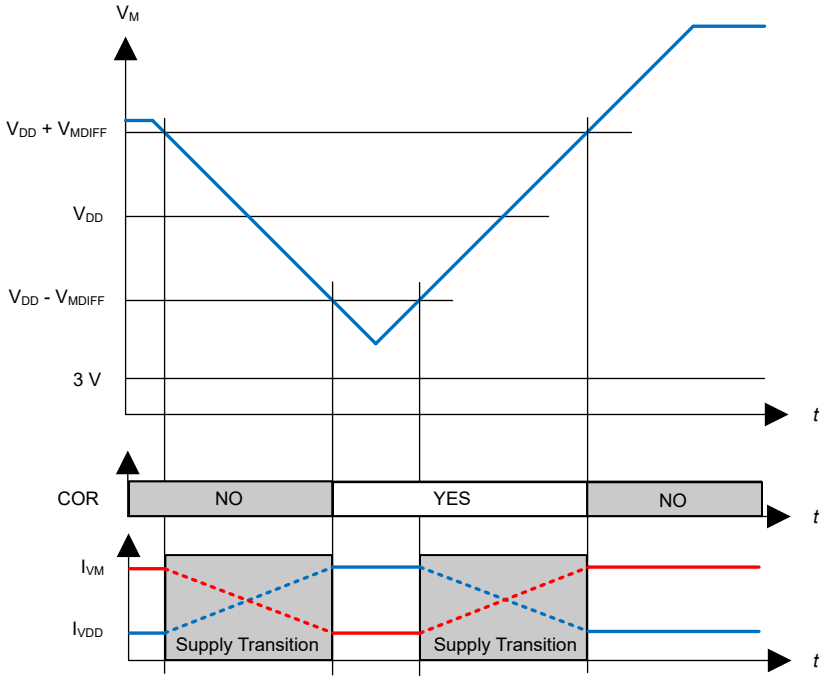


図 7-4. クランキング動作範囲

When $V_{M_UVLO} \le V_M \le V_{M_OP}$ の場合、以前にオフになっていたチャネルをオンに切り替えることができない場合があります。すでにオンになっているすべてのチャネルは、SPI または IN ピンを使ってオフにされない限り、その状態を維持します。V_M および V_{DD} 電源電圧の異なるチャネル動作の概要を表 7-2、表 7-3 および表 7-4 に示します (これらの表は、電源投入が成功した後に有効です)。

表 7-2. V_M と V_{DD} の機能としてのチャネル制御

	$V_{DD} \le V_{DD_UVLO}$	$V_{DD} > V_{DD_UVLO}$
$V_M \le 3V$	チャネルを制御できません	チャネルのオン/オフ切り替え (SPI 制御) ($R_{DS(on)}$ 偏差可能)
$3V < V_M \le V_{M_OP}$	チャネルは SPI で制御できません	チャネルのオン/オフ切り替え (SPI 制御) ($R_{DS(on)}$ 偏差可能)
$V_M > V_{M_OP}$	チャネルは SPI で制御できません	チャネルのオンとオフを切り替えることができます

表 7-3. リンプ ホームモードを V_M および V_{DD} の関数として使用

	$V_{DD} \le V_{DD_UVLO}$	$V_{DD} > V_{DD_UVLO}$
$V_M \le 3V$	該当なし	利用可能 ($R_{DS(ON)}$ 偏差も可能)
$3V < V_M \le V_{M_OP}$	利用可能 ($R_{DS(ON)}$ 偏差も可能)	利用可能 ($R_{DS(ON)}$ 偏差も可能)
$V_M > V_{M_OP}$	使用可能	使用可能

表 7-4. SPI レジスタと SPI 通信を V_M と V_{DD} の機能として使用

	$V_{DD} \le V_{DD_UVLO}$	$V_{DD} > V_{DD_UVLO}$
SPI レジスタ	リセット	使用可能
SPI 通信	使用不可 (f_{SCLK} = 0MHz)	可能 (f_{SCLK} = 5MHz)

Copyright © 2025 Texas Instruments Incorporated

7.3.2.1 動作モード

このデバイスには次の動作モードがあります。

- スリープ モード
- アイドル モード
- アクティブ モード
- リンプホームモード

動作モード間の遷移は、以下のレベルと状態に応じて決定されます。

- nSLEEP ピンのロジック レベル
- INx ピンのロジックレベル
- ENx ビットの状態
- ACT ビットの状態
- EN_PWM0 および EN_PWM1 のビット状態

状態遷移の可能性を含む状態遷移図を図 7-5 に示します。デバイスの動作や一部のパラメータは、デバイスの動作モードによって変化することがあります。また、低電圧検出回路により、同じ動作モードでいくつかの変化が見られます。

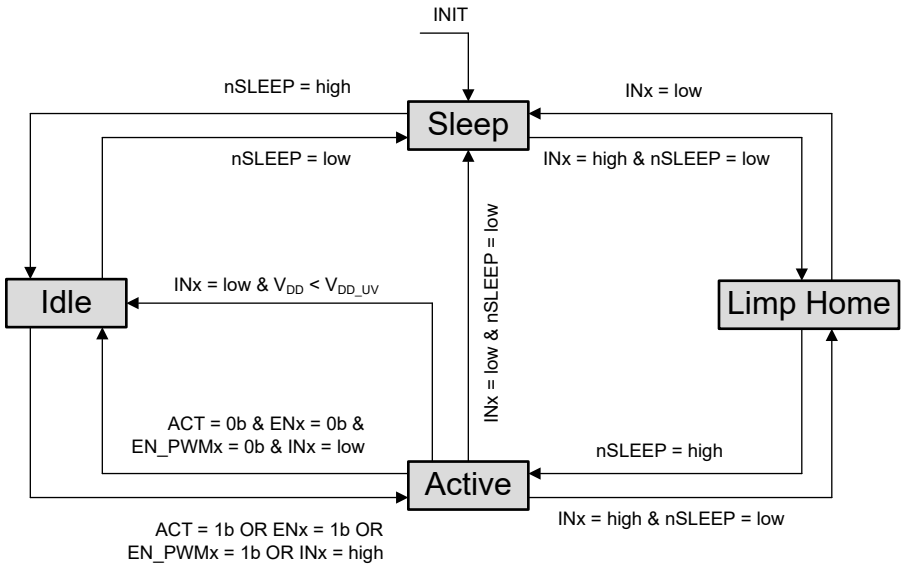


図 7-5. 動作モードの状態図

デバイスの動作モードは、次の式で観測できます。

- 出力チャネルのステータス
- SPI レジスタのステータス
- VDD ピンでの消費電流 (I_{VDD})
- VM ピンでの消費電流 (I_{VM})

負荷をオンにするためのデフォルトの動作モードはアクティブモードです。デバイスがアクティブモードではなく、1 つ以上の出力の切り替え要求が (SPI または入力ピン経由) 来る場合、nSLEEP ピンのステータスに従って、アクティブ モードまたはリンプ ホーム モードに切り替わります。

チャネルのターンオン時間は、デバイスがアクティブ モードまたはリンプ ホーム モードの場合、パラメータ t_{ON} により定義されます。それ以外の場合は、前述のいずれかの電源モードに移行するために必要な遷移時間を加味する必要があります (図 7-6 を参照)。

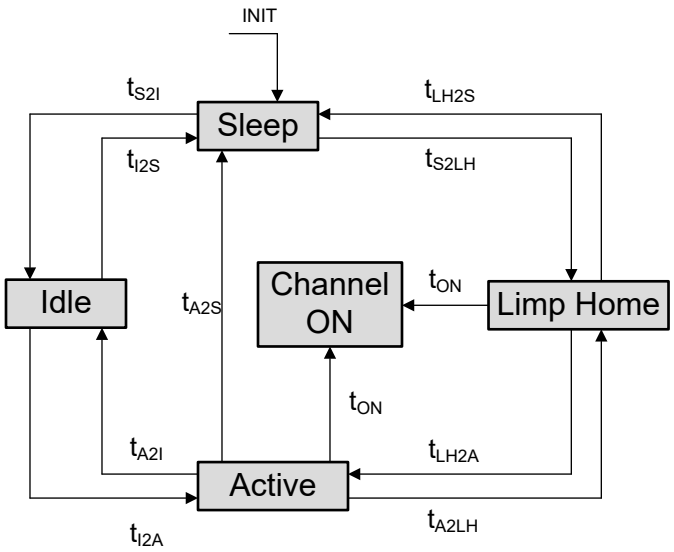


図 7-6. モード遷移タイミング

表 7-5 に、デバイスの動作モード、V_M と V_{DD} 電源電圧、および最も重要な機能 (チャネル制御、SPI 通信、SPI レジスタ) の状態の関係を示します。

表 7-5. 動作モード、V_M および V_{DD} 電圧との関係でのデバイスの機能

動作モード	機能	V_M UVLO、$V_{DD} \le V_{DD_UVLO}$	V_M UVLO、$V_{DD} > V_{DD_UVLO}$	V_M は UVLO ではない、$V_{DD} \le V_{DD_UVLO}$	V_M は UVLO ではない、$V_{DD} > V_{DD_UVLO}$
スリープ	チャネル数	該当なし	該当なし	該当なし	該当なし
	SPI 通信	該当なし	該当なし	該当なし	該当なし
	SPI レジスタ	リセット	リセット	リセット	リセット
アイドル	チャネル数	該当なし	該当なし	該当なし	該当なし
	SPI 通信	該当なし	あり	該当なし	あり
	SPI レジスタ	リセット	あり	リセット	あり
アクティブ	チャネル数	該当なし	あり	あり、ピン内のみ	あり
	SPI 通信	該当なし	あり	該当なし	あり
	SPI レジスタ	リセット	あり	リセット	あり
リンプ ホーム モード	チャネル数	該当なし	あり、ピン内のみ	あり、ピン内のみ	あり、ピン内のみ
	SPI 通信	該当なし	はい、読み取り専用	該当なし	はい、読み取り専用
	SPI レジスタ	リセット	はい、読み取り専用	リセット	はい、読み取り専用

7.3.2.1.1 パワーアップ

いずれかの電源電圧 (V_M または V_{DD}) がデバイスに印加され、INx または nSLEEP ピンが論理 High に設定されているとき、パワーアップ条件が満たされます。V_M がスレッショルド V_{M_OP} を上回るか、または V_{DD} が UVLO スレッショルドを上回ると、内部パワーオン信号が設定されます。

7.3.2.1.2 スリープ モード

デバイスがスリープ モードにあるときは、電源電圧とは無関係にすべての出力がオフになり、SPI レジスタがリセットされます。消費電流は最小限です。

Copyright © 2025 Texas Instruments Incorporated

7.3.2.1.3 アイドル モード

アイドルモードでは、デバイスの消費電流はパラメータ I_{VDD_IDLE} と I_{VM_IDLE} で与えられた制限、またはデバイス全体のパラメータ I_{IDLE} に達することができます。

- このモードでは、内部電圧レギュレータは動作しています。
- 診断機能は使用できません。
- 電源電圧とは無関係に出力チャネルがオフになります。
- V_{DD} が利用可能な場合、SPI レジスタは動作しており、SPI 通信が可能です。
- アイドル モードでは、機能安全上の理由から、ERRx ビットはクリアされません。

7.3.2.1.4 アクティブ モード

アクティブ モードは、リンプ ホーム条件が設定されておらず、一部またはすべての負荷を駆動する必要があるときの、デバイスの通常の動作モードです。表 7-5 に示すように、V_{DD} および V_M の電圧レベルは動作に影響を及ぼします。デバイスの消費電流は、I_{VDD_ACT} と I_{VM_ACT} (デバイス全体の I_{ACT}) で規定されています。

nSLEEP ピンがロジック High に設定され、入力ピンのいずれかがロジック High に設定されるか、または 1 つの ENx ビットが 1b に設定されると、デバイスはアクティブモードに移行します

- ACT ビットが 0b に設定されている場合、すべての入力ピンがロジック Low に設定され、ENx ビットが 0b に設定されると、デバイスはすぐにアイドルモードに戻ります。
- ACT が 1b に設定されている場合、デバイスは入力ピンや ENx ビットのステータスとは無関係にアクティブモードに維持されます。
- すべての入力ピンがロジック Low に設定されていると、V_{DD} 電源の低電圧状態により、デバイスはアイドルモードに移行します。

レジスタ MAP0 と MAP1 の両方が 00h に設定されていても、入力ピン INx の 1 つがロジック High に設定されている場合、デバイスはアクティブ モードに移行します。

7.3.2.1.5 リンプホームモード

nSLEEP ピンがロジック Low で、入力ピンの 1 つがロジック High に設定されているとき、デバイスはリンプ ホーム モードに移行し、デバイスに接続されているチャネルをオンにします。SPI 通信は可能ですが、読み出し専用モード (SPI レジスタは読み取り可能ですが、書き込みはできません) でのみ可能です。

- UVRVM を 1b に設定します
- MODE ビットを 01b (リンプホームモード) に設定します
- リンプホームモードに移行した後、最初の SPI コマンドでは、TER ビットが 1b に設定されます。その後、ビットは正常に動作します。
- OLON ビットと OLOFF ビットが 0b に設定されます
- ERRx ビットは正常に動作します
- OSMx ビットは、読み取りと通常動作が可能です
- 他のすべてのレジスタはデフォルト値に設定され、デバイスがリンプ ホーム モードである限りはプログラムできません

リンプ ホーム時にチャネル 2 および 3 をオンにするために必要な電源電圧条件の詳細については、表 7-3 を参照してください。他のすべてのチャネルはオフです。

アクティブからリンプ ホーム モード、またはリンプホームからアクティブ モードへの遷移中に SPI コマンドが送信されると、SPI 応答が未定義になる場合があります。

7.3.2.2 リセット条件

次の 3 つの条件のいずれかが、SPI レジスタをデフォルト値にリセットします。

- V_{DD} は、低電圧スレッショルド V_{DD_UVLO} を下回ってはなりません
- nSLEEP ピンをロジック Low に設定
- リセットコマンド (RST を 1b に設定) が実行されます

Copyright © 2025 Texas Instruments Incorporated

– ERRx ビットは、RESET コマンドによってクリアされません (機能安全の場合)。

特に、すべてのチャネルがオフになり (ロジック High に設定された入力ピンがない場合)、入力マッピングの構成がリセットされます。

7.3.3 電力段

The DRV81620-Q1 は 8 チャネルの構成可能な、ハイサイド スイッチです。N チャネル MOSFET を採用して電力段を形成しています。オン抵抗 $R_{DS(ON)}$は、電源電圧と接合部温度 T_J に依存します。

自動構成可能なチャネルが 6 個あり、それぞれをローサイド スイッチまたはハイサイド スイッチとして使用することができます。各チャネルは、ドレインおよびソースの電位に応じて、診断機能および保護機能を自動的に調整します。これらのチャネルを実現するために、チャージ ポンプを出力 MOSFET ゲートに接続します。

ハイサイド構成では、負荷は FET のグランドとソースの間に接続されます (ピン OUTx_S、n = 2...7) 。FET のドレイン (OUTx_D、「x」は構成可能なチャネル番号を表す) は、グランドと VM の間の任意の電位に接続することができます。ドレインが VM に接続されている場合、チャネルはハイサイド スイッチのように動作します。

ローサイド構成では、パワー トランジスタのソース端子は GND ピンの電位に接続する必要があります(直接接続するか、逆電流防止用ダイオードを介して接続します)。

これらの各チャネルは個別に構成を選択できるため、一部のチャネルをローサイド構成で接続し、残りの自動構成可能チャネルをハイサイド スイッチとして使用することも可能です。

7.3.3.1 スイッチング抵抗性負荷

抵抗性の負荷をスイッチングする場合、以下のスイッチング時間とスルーレートを考慮する必要があります。

デフォルトのスルーレート:1.3V/µs。構成レジスタ 2 の SR ビットを使用して、スルーレートを 2.5V/µ s に増やすことができます。

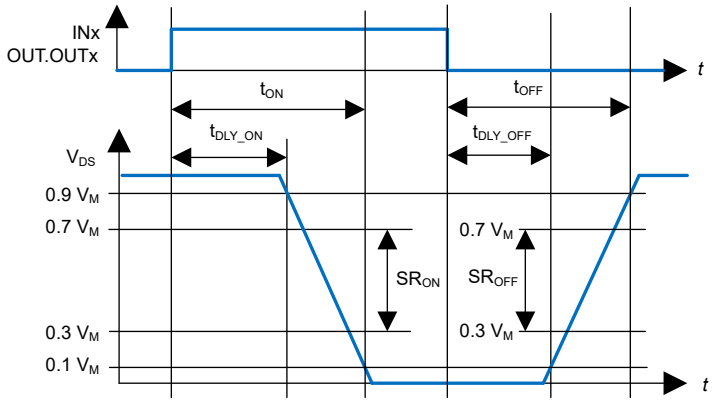


図 7-7. 抵抗性負荷の切り換え

7.3.3.2 誘導性出力クランプ

誘導性負荷をオフにすると、インダクタンスが継続的に電流を駆動しようとしているため、パワースイッチの両端の電圧は V_{DS_CL} ポテンシャルまで上昇します。出力ピンの電圧を未満にすることは許可されていません。デバイスの損傷を防止するために電圧クランプが必要です。

次の図は、クランプの実装を示しています。最大許容負荷インダクタンスは制限されます。クランプ構造により、すべてのモード (スリープ、アイドル、アクティブ、リンプ ホーム) でデバイスが保護されます。

Copyright © 2025 Texas Instruments Incorporated

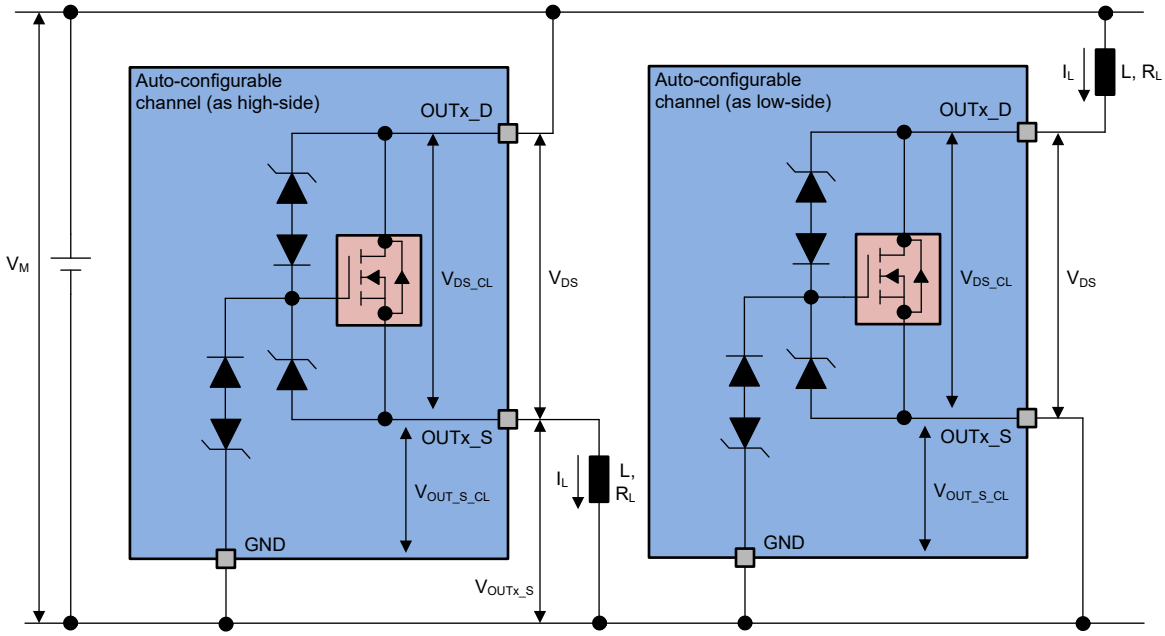


図 7-8. 自動構成可能チャネルの出力クランプ

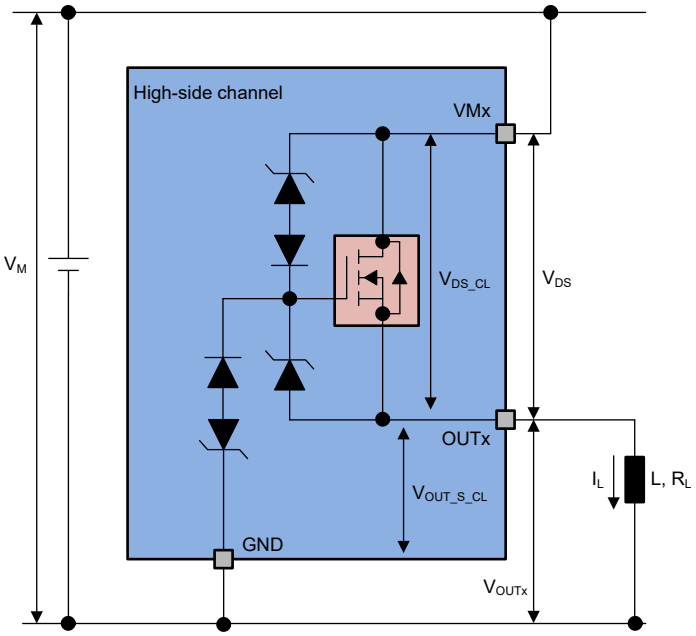


図 7-9. ハイサイド チャネルの出力クランプ

7.3.3.3 最大負荷インダクタンス

誘導性負荷の消磁中、磁気エネルギーは DRV81620-Q1 で消費されます。式 2 と式 3 は、ハイサイド スイッチに使用できます (自動構成可能なスイッチでは、負荷の位置に応じて、すべての式を使用できます)。

(1)

$$E = (V_M - V_{OUTS_CL}) \times \left[\frac{V_{OUTS_CL}}{R_L} \times \ln\left(1 - \frac{R_L \times I_L}{V_{OUTS_CL}}\right) + I_L\right] \times \frac{L}{R_L} \quad (2)$$

Copyright © 2025 Texas Instruments Incorporated

$$E = (V_M - V_{OUT_CL}) \times \left[\frac{V_{OUT_CL}}{R_L} \times \ln\left(1 - \frac{R_L \times I_L}{V_{OUT_CL}}\right) + I_L\right] \times \frac{L}{R_L} \quad (3)$$

熱に変換される最大エネルギーは、部品の熱設計によって制限されます。セクション 6.5 に示す E_{AR} 値は、出力に接続されているインダクタンスが同時に消磁されたとき、すべてのチャネルが同じエネルギーを消費できると仮定しています。

7.3.3.4 逆電流動作

ハイサイド構成において逆電流 ($V_{OUTx_S} > V_{OUTx_D}$) または($V_{OUTx} > V_{Mx}$) が発生している間、該当するチャネルはオン状態またはオフ状態のままになります。さらに、逆電流が印加されている間にチャネルがオン状態であり、過熱しきい値に達すると、ERRx ビットがセットされることがあります。

影響を受けていないチャネルの基本機能 (オン/オフの切り替え、保護機能、診断機能) は、他のチャネルに印加された逆電流の影響を受けません。特に以下のパラメータについては、ばらつきが発生する可能性があります (ただし、過温保護機能には影響しません)。

- スイッチング機能: t_{ON}、t_{OFF}、SR_{ON}、SR_{OFF}
- 保護機能:I_{L_OCP0}、I_{L_OCP1}
- 診断機能:V_{DS_OL}、V_{OUT_OL}、$V_{OUT_S_OL}$、I_{L_OL}

影響を受けていないチャネルにおけるリンプ ホーム状態での信頼性は変わりません。

注

逆電流が流れている間は、温度保護や過負荷保護などの保護機能は有効になりません。逆電流は FET 内部での電力損失を引き起こし、結果としてデバイス全体の温度を上昇させます。これにより、過熱によって影響を受けていないチャネルがスイッチオフになることがあります。

7.3.3.5 並列でのチャネル スイッチング

チャネルが並列に接続された場合には、2 つのチャネルが非同期にオフになることがあり、そのため、最後にオフになるチャネルに追加の熱ストレスが発生します。この状態を回避するため、SPI レジスタで、2 つの隣接チャネルの並列動作を (PAR ビットを使用して) 構成することができます。このモードで動作している場合、過負荷または過熱状態に反応した最も速いチャネルは、他のチャネルも非アクティブになります。2 つの並列チャネルが処理できる誘導性エネルギーは、1 つのチャネルエネルギーの 2 倍未満です。以下の 2 つのチャネルは互いに同期できます。

- チャネル 0 およびチャネル 2→PAR0 を 1b に設定
- チャネル 1 およびチャネル 3→PAR1 を 1b に設定
- チャネル 4 およびチャネル 6→PAR2 を 1b に設定
- チャネル 5 およびチャネル 7→PAR3 を 1b に設定

この同期ビットは、チャネルが過電流状態または過熱状態にどのように反応するかにのみ影響します。同期したチャネルは、マイコンによって個別にオン/オフする必要があります。

7.3.3.6 電球突入モード (BIM)

場合によっては、本デバイスの出力の一部または複数が、ランプや電子機器などの容量性負荷を駆動する必要があります。このような状況では、スイッチをオンにした直後に突入電流が過負荷電流のしきい値に達し、チャネルがラッチオフされることがあります。通常の動作では、チャネルが再びオンになるために、マイコンから SPI コマンド (CLRx ビット) でラッチをクリアする指示が送られるまで、デバイスは待機します。通常、容量性負荷を起動するには、この遅延時間が長すぎます。

対応する BIMx ビットが 1b に設定されている場合、チャネルが過電流または過熱のしきい値に達してラッチオフされても、t_{INRUSH} の時間が経過した後にチャネルが自動的に再起動し、負荷が突入電流フェーズから抜けられるようになります。図 7-10 に、詳細なタイミング図を示します。図に示すように、チャネルがオンになるとカウンタが起動します。チャネルがオフになるたびに (そのチャネルを制御している要因に関係なく)、BIMx は 0b にリセットされます。

BIMx ビットが 1b に設定されている間は、ERRx ビットも 1b に設定される可能性がありますが、それによってチャネルがラッチオフされることはありません。

Copyright © 2025 Texas Instruments Incorporated

特に出力の短絡が発生した場合に、チャネルへの過剰な熱ストレスを防止するため、内部タイマは 40ms (パラメータ t_{BIM}) 後に BIMx ビットを 0b に設定します。このデバイスでは、信頼性に影響を与えることなく、各チャネルごとにバルブ突入電流モード (BIM) を柔軟に設定できます。

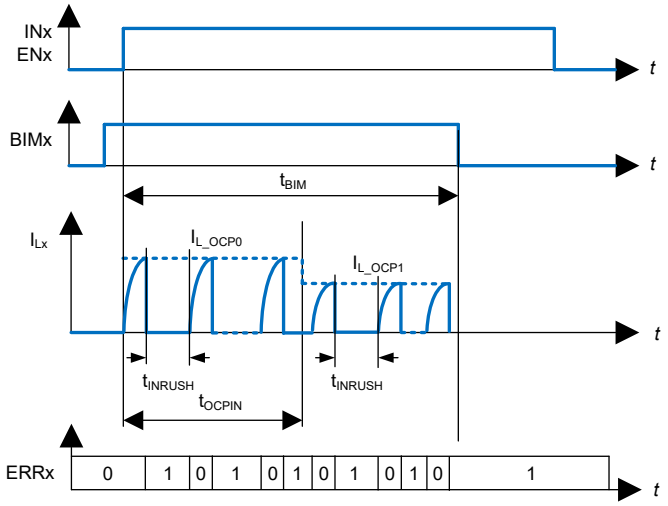


図 7-10. 電球突入モード (BIM) 動作

7.3.3.7 PWM ジェネレータを内蔵

このデバイスには、独立した 2 つの内蔵 PWM ジェネレータがあります。各 PWM ジェネレータは 1 つ以上のチャネルに割り当てることができ、異なるデューティ サイクルおよび周波数を設定できます。

どちらの PWM ジェネレータも、内部発振器によって生成されたベース周波数 f_{INT} を基準とします。このベース周波数は、以下に示すように FPWM ビットを使用して調整できます。

表 7-6. FPWM の設定

FPWM ビット	デルタから f_{INT} への変化
0000b	予約済み
0001b	-37.2%
0010b	-31.9%
0011b	-26.9%
0100b	-21%
0101b	-15.5%
0110b	-10.9%
0111b	-5.8%
1000b	-
1001b	+4.3%
1010b	+8.9%
1011b	+14%
1100b	+19.5%
1101b	+25.6%
1110b	+32.4%
1111b	+40%

Copyright © 2025 Texas Instruments Incorporated

PWM ジェネレータごとに、次の 4 つのパラメータを設定できます。

- デューティ サイクル (PWM ジェネレータ 0 のビット DC0)
  - 8 ビットで、0.39% のデューティ サイクル分解能を実現可能
  - マイコンが新しいデューティ サイクルを設定すると、PWM ジェネレータは前のサイクルが完了するまで待機し、その後で新しいデューティ サイクルを適用します (デューティ サイクルが 0% または 100% の場合でも同様で、新しいデューティ サイクルは次の PWM サイクルから反映されます)。
  - 設定可能な最大デューティ サイクルは 99.61% です(DC0 に 11111111b を設定した場合)。FREQ0 を 11b に設定すると、100% を実現できます。
- 周波数 (FREQ0、FREQ1、FCTR0、FCTR1 の各ビットは、f_{INT} の分周比を選択し、希望するデューティ サイクルを実現するために使用されます)

表 7-7. PWM ジェネレータ 0 の PWM 周波数選択

FCTR0	FREQ0	PWM 周波数
0b	00b	f_{INT}/1024 (100Hz に対応)
0b	01b	f_{INT}/512 (200Hz に対応)
0b	10b	f_{INT}/256 (400Hz に対応)
1b	00b	f_{INT}/128 (800Hz に対応)
1b	01b	f_{INT}/64 (1600Hz に対応)
1b	10b	f_{INT}/51.2 (2000Hz に対応)

表 7-8. PWM ジェネレータ 1 の PWM 周波数選択

FCTR1	FREQ1	PWM 周波数
0b	00b	f_{INT}/1024 (100Hz に対応)
0b	01b	f_{INT}/512 (200Hz に対応)
0b	10b	f_{INT}/256 (400Hz に対応)
1b	00b	f_{INT}/128 (800Hz に対応)
1b	01b	f_{INT}/64 (1600Hz に対応)
1b	10b	f_{INT}/51.2 (2000Hz に対応)

- チャネル出力制御およびマッピング レジスタ PWM_OUT および MAP_PWM
  - 任意のチャネルを各 PWM ジェネレータに割り当てることができます
  - 2 つの並列入力と組み合わせることで、マイコンのリソースや SPI データ通信の負荷を抑えながら、4 つの独立した PWM チャネル グループを構成することが可能です。

図 7-11 に、PWM ジェネレータの追加に示す概念を拡張します。

Copyright © 2025 Texas Instruments Incorporated

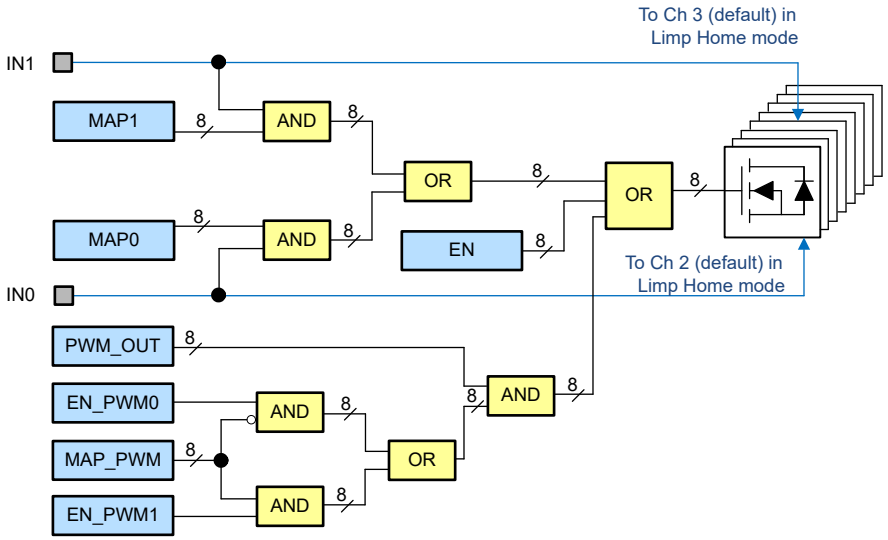


図 7-11. PWM ジェネレータのマッピング

7.3.4 保護および診断機能

このデバイスは、複数の保護機能をサポートしており、以降のセクションで詳細に説明します。SPI は、デバイスと負荷状態に関する診断情報を提供します。各チャネル診断情報は、他のチャネルから独立しています。1 つのチャネルのエラー状態は、デバイスの他のチャネルの診断に影響を与えません (並列に動作するように構成されていない限り、詳細については、セクション 7.3.3.5 を参照してください)。

1 つのチャネルで過電流または過熱が発生すると、診断ビット ERRx がそれに応じて設定されます。セクション 7.3.4.2 とセクション 7.3.4.3 で説明されているように、チャネルはオフになるため、CLRx ビットを 1b に設定して再度アクティブにする必要があります。

7.3.4.1 V_M の低電圧

V_{M_UVLO} と V_{M_OP} の間には、低電圧機構がトリガされます。デバイスが動作しており、電源電圧が低電圧スレッショルド V_{M_UVLO} を下回ると、ロジックはビット UVRVM を 1b に設定します。電源電圧 V_M が最小電圧動作スレッショルド V_{M_OP} を上回るとすぐに、最初の標準診断読み出しの後で、ビット UVRVM は 0b に設定されます。VM の低電圧状態は、セクション 7.3.2 で説明されているように、チャネルのステータスに影響します。低電圧動作を、図 7-12 に示します。

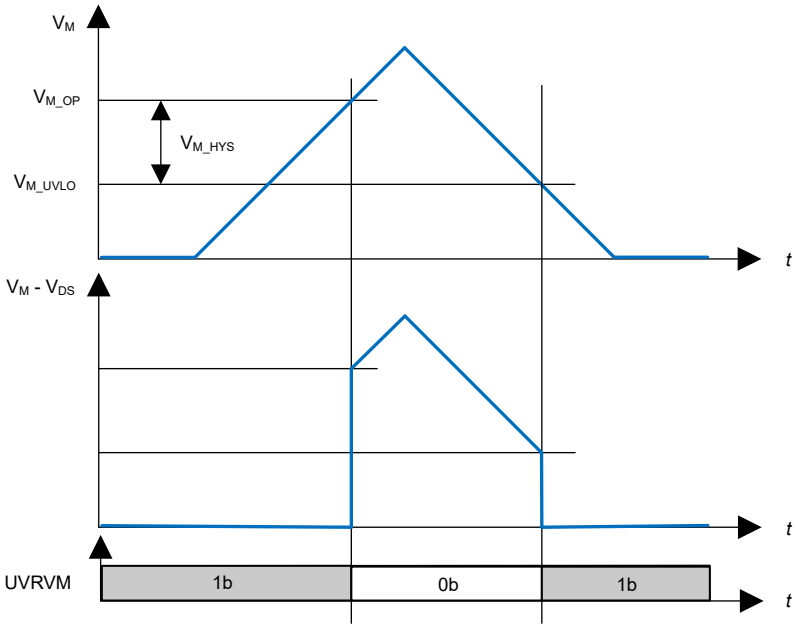


図 7-12. V_M 低電圧の動作

7.3.4.2 過電流保護

デバイスは、過電流または負荷短絡時に保護されます。2 つの過電流スレッショルドがあります (図 7-13 を参照)。

- チャネルスイッチオンと t_{OCPIN} の間の I_{L_OCP0}
- t_{OCPIN} の後に I_{L_OCP1}

I_{L_OCP0} および I_{L_OCP1} の値は、OCP ビットに応じます。チャネルが 2 * t_{SYNC} を超える時間オフになるたびに、過負荷電流スレッショルドは I_{L_OCP0} に戻ります。

Copyright © 2025 Texas Instruments Incorporated

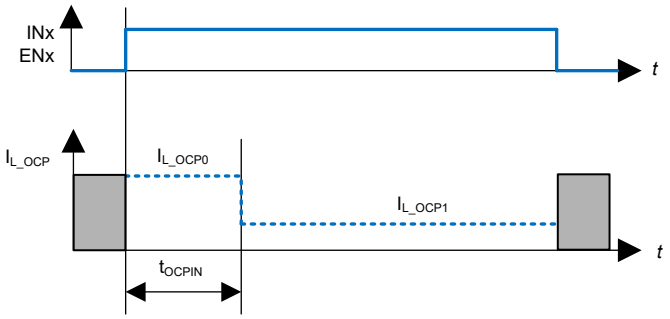


図 7-13. 過電流スレッショルド

負荷電流が I_{L_OCP0} または I_{L_OCP1} を上回っている場合、t_{OFF_OCP} の時間の後、過負荷チャネルがオフになり、診断ビット ERRx が設定されます。対応する CLRx ビットを 1b に設定することで、保護ラッチをクリアした後でチャネルをオンにできます。このビットは、チャネルをデラッチした後で内部で 0b にセットされます。詳細については、図 7-14 を参照してください。

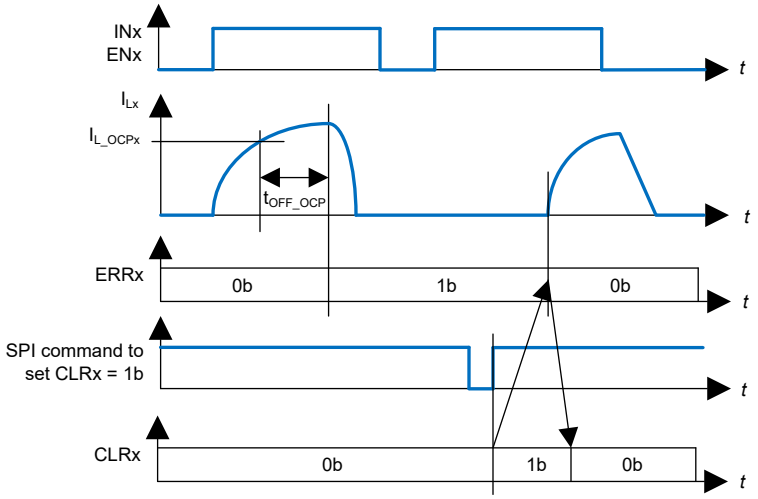


図 7-14. 過電流時にラッチオフする

7.3.4.3 過熱保護機能

各チャネルに温度センサが内蔵されているため、過熱したチャネルがオフになり、デバイスの損傷を防止します。対応する診断ビット ERRx が設定されます (過負荷保護と組み合わせて)。対応する CLRx ビットを 1b に設定することで、保護ラッチをクリアした後でチャネルをオンにできます。このビットは、チャネルをデラッチした後で内部で 0b にセットされます。

7.3.4.4 過熱警告

ダイ温度が過熱警告トリップポイント (T_{OTW}) を超えると、構成レジスタ 2 に OTW ビットが設定されます。デバイスの機能は継続され、追加動作が実行されることはありません。

ダイ温度が過熱警告のヒステリシス ポイント (T_{HYS_OTW}) を下回ると、OTW ビットは自動的にクリアされます。

7.3.4.5 リンプ ホーム モードでの過熱および過電流保護

デバイスがリンプホームモードのときは、入力ピンを使用してチャネル 2 と 3 をオンにできます。過電流、短絡、または過熱の場合は、チャネルがオフになります。入力ピンがロジック High のままの場合、チャネルは次のタイミングで再起動します。

- 10ms (最初の 8 回の再試行)
- 20ms (8 回の再試行後)

Copyright © 2025 Texas Instruments Incorporated

- 40ms (8 回の再試行後)
- 80ms (入力ピンがロジック High のままで、エラーが存在している限り)

入力ピンが 2 * t_{SYNC} を超えてロジック Low に設定されると、再起動タイマはリセットされます。リンプホームモードで、次のチャネルがアクティブになると、タイマーは再び 10ms から開始されます。詳しくは、図 7-15 を参照してください。過電流スレッショルドは、セクション 7.3.4.2 を参照してください。

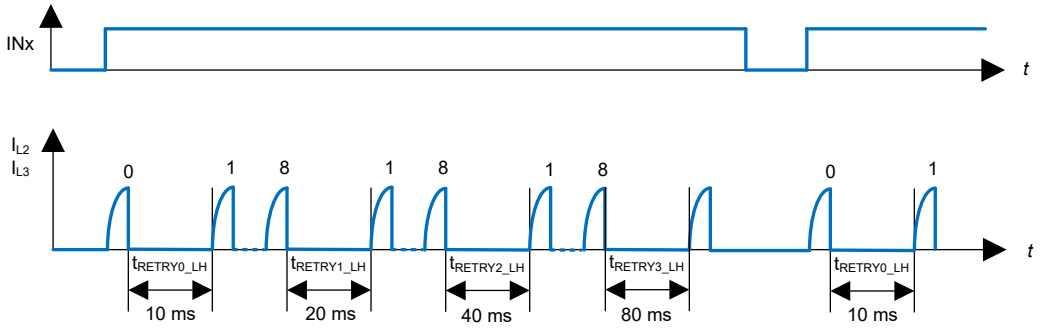


図 7-15. リンプホームでタイマーを再起動します

7.3.4.6 逆極性保護

逆極性 (リバース バッテリ) 状態では、の電力損失が、各 FET のボディ ダイオード (ローサイドスイッチとして使われる自動構成チャネルの場合)で発生します。一方で、ハイサイド チャネルとして使用される自動構成チャネル、は電力損失を低減するためにオンにされます。ロジックおよび電源ピンの各 ESD ダイオードは、合計消費電力に寄与します。チャネルを流れる逆電流は、接続された負荷によって制限する必要があります。デジタル電源の (VDD) および入力ピンを流れる電流も制限する必要があります (セクション 6.1 を参照)。

注

逆極性時には、温度保護や電流制限などの保護メカニズムはアクティブになりません。

7.3.4.7 過電圧保護

V_{M_SC} と V_{M_LD} の間の電源電圧の場合、出力 MOSFET は引き続き動作し、入力ピンまたは EN ビットに追従します。

セクション 7.3.3.2 に示すように、誘導性負荷の出力クランプに加えて、ロジックおよびすべてのチャネルの過電圧保護のためにクランプ機構があり、VM ピンと GND ピンの間の電圧 (V_{M_AZ}) を監視できます。

7.3.4.8 出力ステータス モニタ

デバイスは、各チャネルの構成に応じて、V_{DS} with V_{OSM} (ローサイド スイッチ構成で使用されている自動構成可能チャネルの場合)、V_{OUT_S} と V_{OSM} (ハイサイドスイッチ構成で使用されている自動構成可能チャネルの場合)、V_{OUT} と V_{OSM} (ハイサイド チャネルの場合) を比較し、その結果に基づいて対応する OSMx ビットを設定します。これらのビットは、OSM レジスタが読み取られるたびに更新されます。

- $V_{DS} < V_{OSM} \rightarrow$ OSMx = 1b (ローサイド スイッチ構成)
- $V_{OUT_S} > V_{OSM} \rightarrow$ OSMx = 1b (ハイサイドとして使用される自動構成可能チャネル)

パワー・イッチと並列に接続された診断電流 I_{OL} は、IOLx ビットをプログラムすることで有効にできます。この IOLx ビットは、オフ検出時のオープン負荷に使用できます。各チャネルには専用の診断電流源があります。診断現在の I_{OL} が有効になっている場合、またはチャネルの状態が変化した場合 (オン → オフまたはオフ → オン)、信頼性の高い診断を行うために t_{OSM} を待つ必要があります。I_{OL} 電流源をイネーブルにすると、デバイスの消費電流が増加します。開放負荷が検出された場合でも、そのチャネルはオフにラッチされません。

タイミングの概要については、図 7-16 を参照してください (IOLx の値は、負荷に正しく接続された通常動作のチャネルを指しています)。

Copyright © 2025 Texas Instruments Incorporated

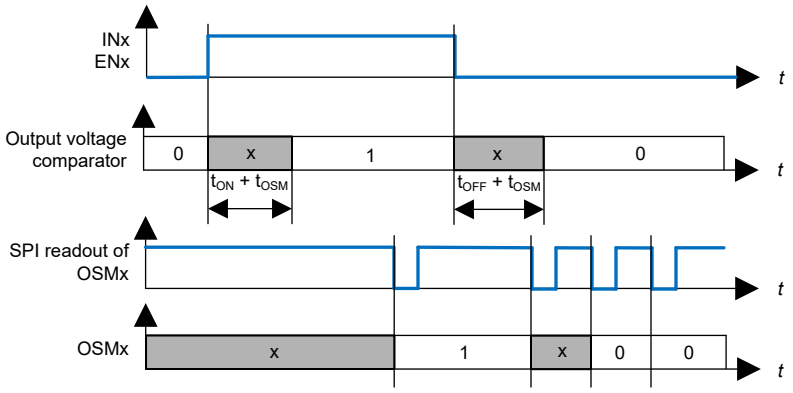


図 7-16. 出力ステータス モニタ タイミング

出力ステータス監視診断は、$V_M = V_{M_NOR}$ および $V_{DD} \geq V_{DD_UVLO}$ のときに利用できます。

出力ステータス モニタは出力電圧をリアルタイムで監視するため、OFF 状態での開放負荷診断を正確に行うには、チャネルの OFF 状態と OSM レジスタの読み取りを同期させる必要があります。

次のは、出力ステータス モニタが概念レベルでどのように実装されるかを示しています。

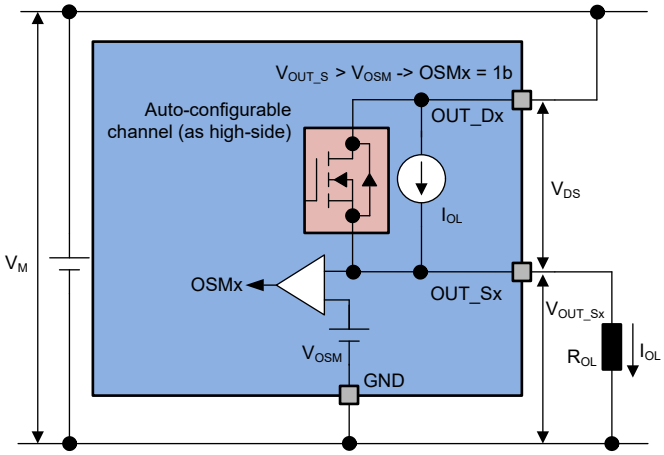


図 7-17. 出力ステータスモニタ - ハイサイド構成時自動構成可能チャネル

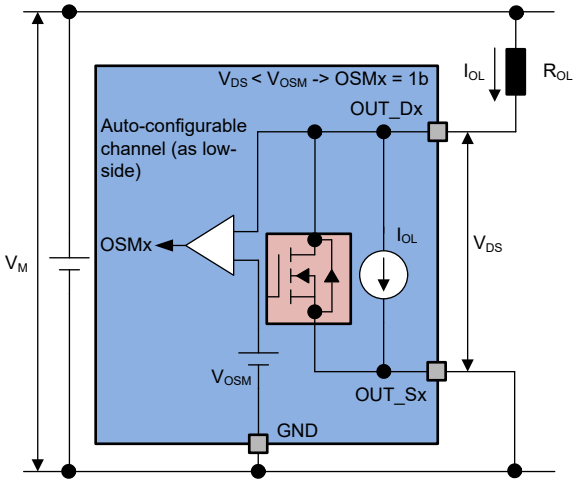


図 7-18. 出力状態モニタ - ローサイド構成時自動構成可能チャネル

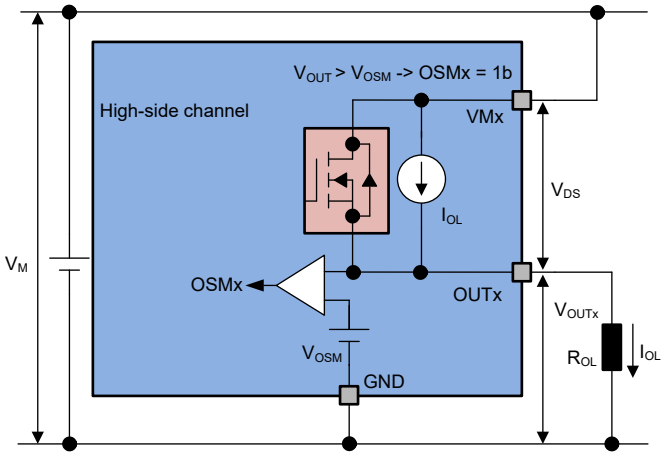


図 7-19. 出力ステータス モニタ - ハイサイド チャネル

標準診断では、ビット OLOFF は、オフ状態のすべてのチャネルにおいて、対応する電流源 I_{OL} アクティブになっているすべてのチャネルにおいて、すべての OSMx ビットの OR 組み合わせを表します。

DISOL ビットが 1b の場合、すべての I_{OL} 電流ソースをディスエーブルにすることで、開放負荷検出がディセーブルになります。

7.3.4.9 オン状態での開放負荷検出

各ハイサイド スイッチおよびハイサイド スイッチとして使用される自動構成可能なチャネルは、オン状態での開放負荷を検出できます。この機能は EN_OLON ビットを設定することで制御可能です。リセット後、オン状態での開放負荷検出機能はデフォルトでは無効になっています。このデバイスは I_{L_Sx} を I_{L_OL} と比較し、それに応じて OLONx ビットを設定します。

$I_{L_Sx} < I_{L_OL}$ → OLONx = 1b $V_{OUTx_S} > V_{OUT_S_OL}$ の場合

7.3.4.9.1 オン時の開放負荷 - 直接チャネル診断

EN_OLON ビットを特定チャネルに設定すると、そのチャネルについて内部マルチプレクサが通電時の開放負荷を確認します。TI は診断をアクティブにする前に、チャネルを少なくとも t_{ON} の間オンにすることを推奨します。一定時間 $t_{OLONSET}$ の経過後、選択されたチャネルに対応する OLONx ビットが利用可能になります。OLONx レジスタ内のその他のビットはすべてデフォルト値 (0b) に設定されます。これらのビットは、レジスタが読み取られるたびに更新されます。

チャネルが選択されると、それに対応する OLONx ビットの内容が標準診断 (OLON ビット) にも表示されます。複数のレジスタ読み出しが連続して行われる場合でも、マイコンからの各読み出し要求ごとにレジスタの内容は更新されます。

Copyright © 2025 Texas Instruments Incorporated

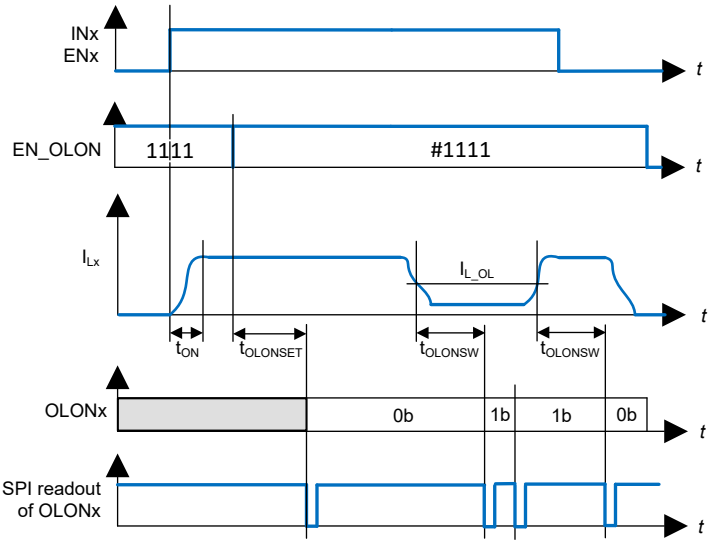


図 7-20. オン時の開放負荷 (直接チャネル診断)

7.3.4.9.2 オン時の開放負荷 - 診断ループ

EN_OLON ビットに 1010b を設定すると、デバイスは診断ループを開始し、自動構成可能なチャネル (ハイサイド スイッチとして使われている場合) すべてについて、オン状態での開放負荷の有無をチェックします。まず、内部ロジックは、マイコンによって直接制御されており、かつ内部 PWM ジェネレータによって駆動されるように設定されていないすべてのチャネルをチェックします。その後、内部ロジックは、内部 PWM ジェネレータ制御に設定されているチャネルをすべて確認します。

- マイコンから直接駆動されるチャネルの診断シーケンス
  - 最初にチェックされるチャネル:チャネル 2 診断ループをイネーブルにする前に、チャネルを少なくとも t_{on} でオンにすることを推奨します。
  - $t_{OLONSET}$+ t_{SYNC} の時間が経過すると、最初のチャネルの診断が完了します (OLONx ビットが更新されます)。
  - 内部マルチプレクサは、次のチャネルに設定されます。t_{OLONSW} + t_{SYNC} が経過すると、選択したチャネルの診断が完了します (OLONx ビットが更新されます)。この手順は、残りのすべての直接駆動チャネルに対して繰り返されます。
  - 診断が行われた時にあるチャネルがオフになっている場合、対応する OLONx ビットは 0b に設定されます
- 内部 PWM ジェネレータによって駆動されるチャネルの診断シーケンス
  - これらのチャネルは、マイコンから直接制御されているすべてのチャネルの診断が完了した後にのみチェックされます
  - PWM ジェネレータ 0 にマッピングされたチャネルが最初にチェックされます
  - $t_{OLONSET}$ 時間が経過すると、チャネルのアクティブ化 (スイッチオン) が、最初のチャネルに対するオン時開放負荷診断を実行するためのトリガー イベントとなります。
  - t_{ONMAX} + t_{OLONSW} 時間が経過すると、最初のチャネルの診断が完了します(OLONx ビットが更新されます)。
  - 内部マルチプレクサは、次のチャネルに設定されます。t_{OLONSW} 時間が経過すると、現在選択されているチャネルの診断が完了します (OLONx ビットが更新されます)。この手順は、残りの PWM ジェネレータ駆動チャネルすべてに対して繰り返されます。
  - PWM 周期中にチャネルがオフ状態にある場合、診断を実行するために内部ロジックはオン状態になるのを待ちます。t_{ONMAX} + t_{OLONSW} が経過すると、そのチャネルの診断が完了します。
  - 信頼性の高い診断を行うためには、最小オン時間が t_{ONMAX} + t_{OLONSW} を超えている必要があります。オン時間が t_{ONMAX} + t_{OLONSW} より小さい場合、対応する OLONx は 0b に設定されます。

診断ループが完了すると、EN_OLON ビットはデフォルト値の 1111b にリセットされ、OLONx ビットには直前の診断結果が保持されます。レジスタの内容を更新するには、新たに診断ループを開始する必要があります。

Copyright © 2025 Texas Instruments Incorporated

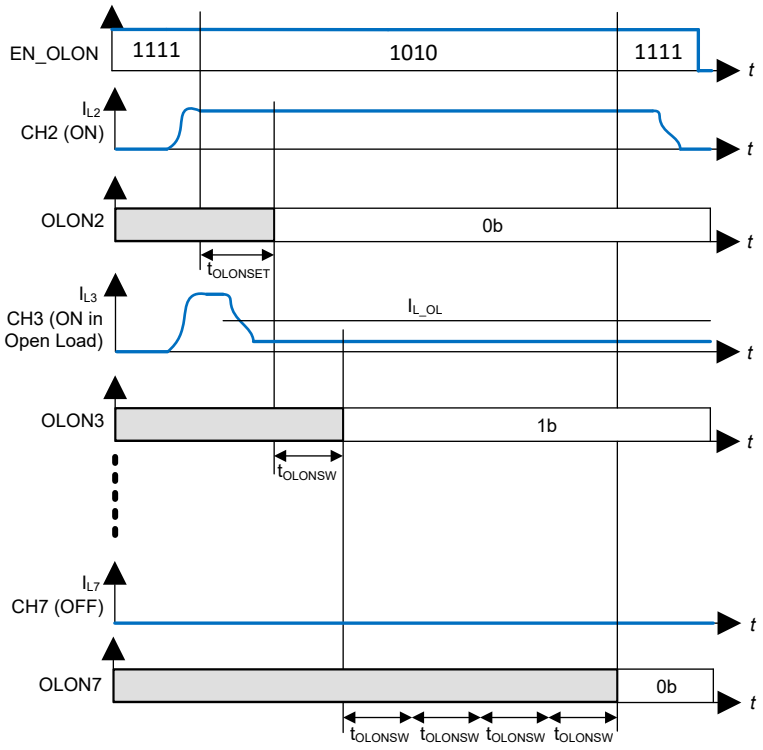


図 7-21. オン時開放負荷診断のタイミング (診断ループ - マイコン制御チャネル)

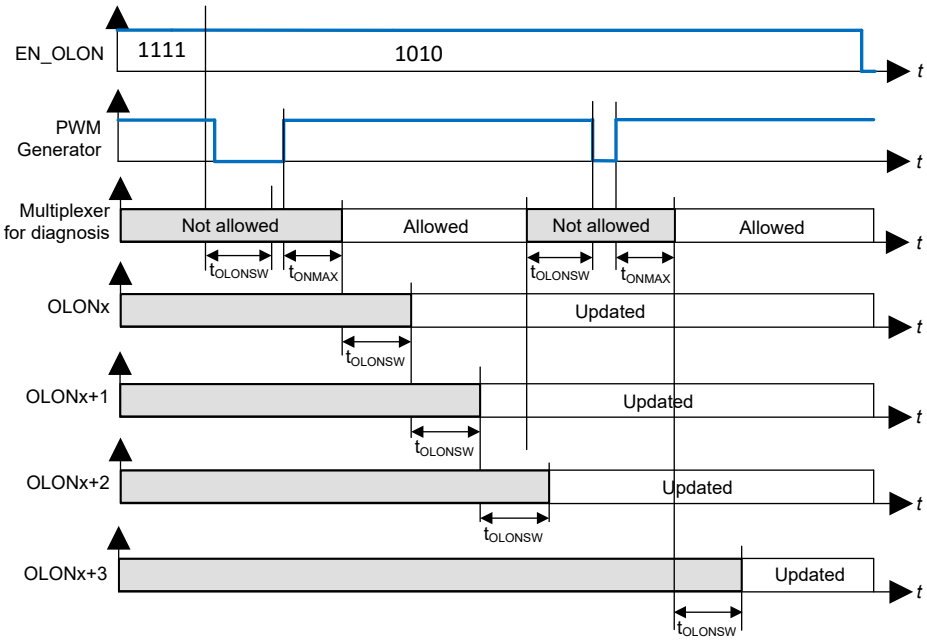


図 7-22. オン時開放負荷診断のタイミング (診断ループ - 内部 PWM ジェネレータ制御チャネル)

Copyright © 2025 Texas Instruments Incorporated

7.3.4.9.3 OLON ビット

OLON ビットは、次の値を想定できます。

- 0b = オン状態での開放負荷は検出されなかったか、診断時にチャネルがオフ状態だったことを示します
- 1b = チャネルがオン状態のときに開放負荷を検出

EN_OLON の設定に応じて、標準診断ではさまざまな情報が報告されます。

- EN_OLON を 0010b～0111b に設定：OLON ビットは、選択チャネルのオン状態における開放負荷診断の結果を表します。この情報は、標準診断のすべての読み出しで更新されます。
- EN_OLON を 1010b に設定：OLON ビットは OLONx レジスタ内のすべてのビットの OR 結果を示します。診断ループの実行中に情報が更新されます。
- EN_OLON を 1111b に設定：OLON ビットは、直近に実行された診断ループの結果を示します。情報を更新するために別の診断ループを開始する必要があります。
- EN_OLON を他の値に設定：OLON ビットを 0b に設定します。これらの EN_OLON ビットの値は予約済みであり、アプリケーションでは使用しないでください。

7.3.5 SPI 通信

SPI は、全二重同期シリアルフォロワインターフェイスで、次の 4 つのラインを使用します。SDO、SDI、SCLK、nSCS。データは、SCLK で与えられるレートでライン SDI および SDO により転送されます。nSCS の立ち下がりエッジはアクセスの開始を示します。データは、SCLK の立ち下がりエッジでライン SDI でサンプリングされ、SCLK の立ち上がりエッジでライン SDO 上にシフトアウトされます。各アクセスは、nSCS の立ち上がりエッジで終了する必要があります。

モジュロ 8/16 カウンタにより、最初の 16 ビットの後に 8 ビットの倍数が転送された場合のみデータが取得されます。それ以外の場合は、TER ビットがアサートされます。このようにインターフェイスは 16 ビットと 8 ビットの SPI デバイスのデイジーチェーン機能を実現します。

7.3.5.1 SPI 信号の説明

7.3.5.1.1 チップ セレクト (nSCS)

マイコンは、nSCS ピンを使用してデバイスを選択します。ピンがロジック Low 状態のときは常に、データ転送を実行できます。nSCS ピンがロジック HIGH 状態である場合、SCLK ピンと SDI ピンのすべての信号が無視され、SDO が高インピーダンス状態に強制されます。

7.3.5.1.1.1 ロジック High からロジック Low への遷移

- 要求された情報はシフトレジスタに転送されます。
- SDO は、送信エラーフラグ (TER) とピン SDI の信号レベルの間のロジックまたは組み合わせに応じて、ハイインピーダンス状態からロジック High またはロジック Low 状態に変化します。これにより、デイジー・チェーン構成でも、送信の障害を検出できます。
- デバイスがスリープモードの場合、SDO ピンはハイインピーダンス状態のままで、SPI 転送は行われません。

Copyright © 2025 Texas Instruments Incorporated

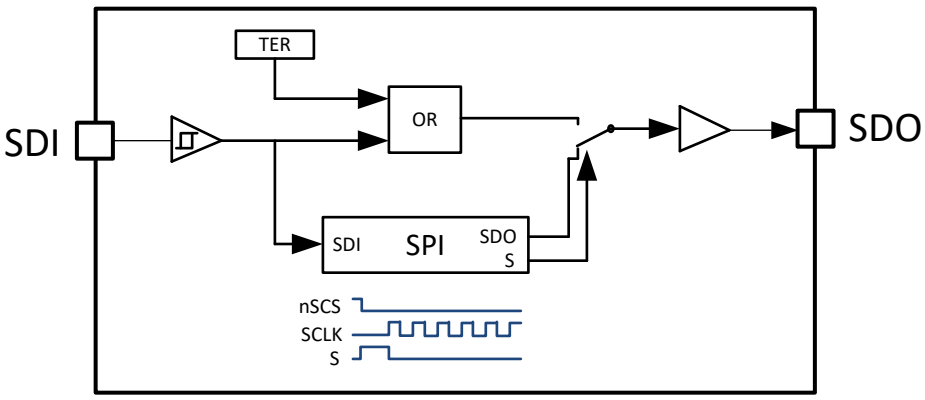


図 7-23. TER ビットの組み合わせロジック

7.3.5.1.1.2 ロジック Low からロジック High への遷移

- コマンドのデコードは、nSCS の立ち下がりエッジの後、最初の 16 SCLK パルスの後で、8 つの SCLK 信号のちょうど倍数 (1、2、3、...) が検出されたときのみ実行されます。送信に障害が発生した場合、送信エラービット (TER) がセットされ、コマンドは無視されます。
- シフトレジスタのデータは、アドレス指定されたレジスタに転送されます。

7.3.5.1.2 シリアル クロック (SCLK)

この入力ピンは、内部シフトレジスタにクロックを供給します。シリアル入力 (SDI) は、SCLK の立ち下がりエッジでデータをシフトレジスタに転送し、シリアル出力 (SDO) は診断情報をシリアルクロックの立ち上がりエッジでシフトアウトします。チップセレクト nSCS が遷移を行うときは常に、SCLK ピンはロジック Low 状態にすることが重要です。そうでない場合、コマンドが受け付けられない場合があります。

7.3.5.1.3 シリアル入力 (SDI)

シリアル入力データビットは、最上位ビットが先頭のこのピンのシフトインです。SDI 情報は、SCLK の立ち下がりエッジで読み込まれます。入力データは、制御ビットとそれに続くデータビットの 2 つの部分で構成されます。

7.3.5.1.4 シリアル出力 (SDO)

データは、最上位ビットを先頭にして、このピンでシリアルにシフトされます。SDO は、nSCS ピンがロジック Low 状態になるまでハイインピーダンス状態になります。新しいデータは、SCLK の立ち上がりエッジに続いて SDO ピンに現れます。

7.3.5.2 デイジー チェーン機能

SPI にはデイジーチェーン機能があります。この設定では、複数のデバイスが同じ nSCS 信号 MCSN によってアクティブ化されます。チェーンを構築するために、あるデバイスの SDI ラインは、別のデバイスの SDO ラインに接続されます。チェーンの端は、コマンダ デバイスの出力と入力、それぞれ M-SDO および M-SDI に接続されます。コマンダデバイスは、チェーン内の各デバイスの SCLK ラインに接続されたクロック M-SCLK を提供します。

Copyright © 2025 Texas Instruments Incorporated

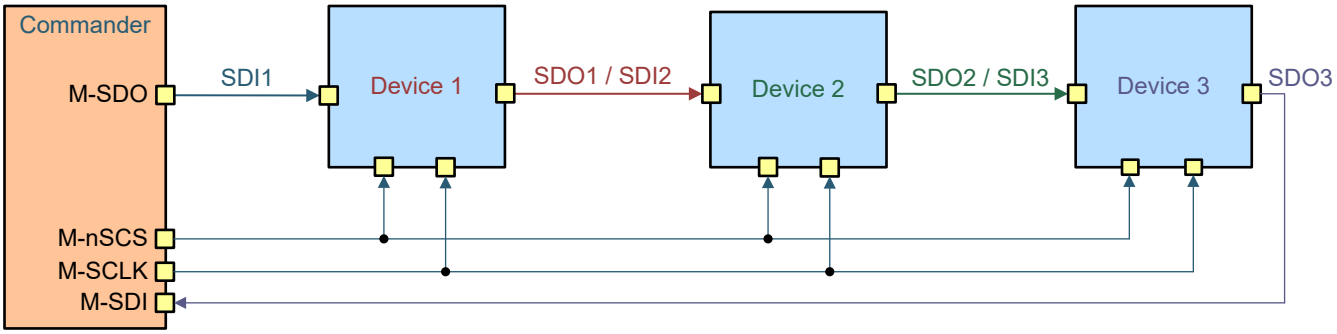


図 7-24. デイジー チェーン構成

各デバイスの SPI ブロックには 1 つのシフトレジスタがあり、SDI ラインからの各ビットが各 SCLK でシフトします。このビットのシフトアウトは SDO ピンで発生します。16 SCLK サイクル後、1 つのデバイスのデータ転送が完了します。

シングルチップ構成では、nSCS ラインがロジック High になって、デバイスが転送されたデータをアクノリッジする必要があります。デイジーチェーン構成では、デバイス 1 でシフトアウトされたデータがデバイス 2 にシフトインされています。3 つのデバイスをデイジーチェーンで使用する場合、デバイスを介して 8 ビットの倍数をシフトする必要があります (8 ビット SPI を搭載したデバイスの数と 16 ビット SPI を搭載しているデバイスの数に依存)。その後、MCSN ラインをロジック High にする必要があります。

Copyright © 2025 Texas Instruments Incorporated

7.3.5.3 SPI プロトコル

SPI 通信中の SDI と SDO の内容との関係を図 7-25 に示します。SDI ラインはマイコンから送信されるフレームを表し、SDO ラインはデバイスから提供された回答です。

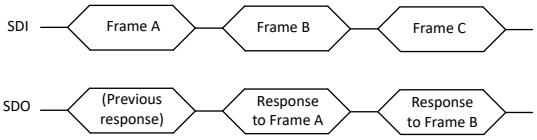


図 7-25. SPI 通信中の SDI と SDO の関係

SPI プロトコルは、マイクロコントローラによってトリガされる次の送信でのみ、コマンド・フレームへの回答を提供します。このデバイスに実装されているコマンドやフレームの大半は、それ以前に何が送られたかを知らなくてもデコードできますが、応答フレームを完全に解読するには、マイクロコントローラが直前の通信で何を送信したかを考慮することが望ましいです。レジスタの内容を読み書きするコマンドのシーケンスは、以下のようになります。

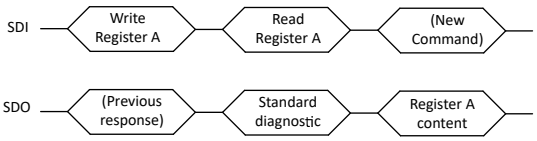


図 7-26. レジスタの内容をマイクロコントローラに送り返します

マイクロコントローラに返されるフレームが前の受信フレームと直接関係しないという、次の 3 つの特殊な状況があります。

- 前のフレームの間に送信エラーが発生した場合 (たとえば、クロックパルスは 8 の倍数ではなく、最小 16 ビット)、以下に示します。
- ロジック電源がパワーオン リセット状態から復帰する時、またはソフトウェア リセットの後には、以下に示すようになります。
- コマンド構文エラーの場合
  - 書き込みコマンドは、10b ではなく 11b で開始されます
  - 読み出しコマンドは、01b ではなく 00b から開始します
  - 予約済みまたは使用されていないレジスタに対して、読み取りまたは書き込みコマンドを実行します

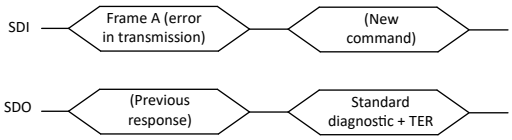


図 7-27. 送信エラー後の応答

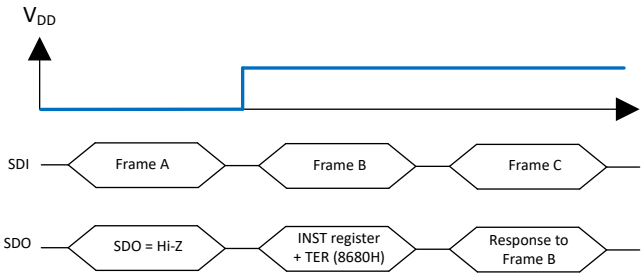


図 7-28. V_{DD} でのパワーオン リセットから復帰した後の応答

Copyright © 2025 Texas Instruments Incorporated

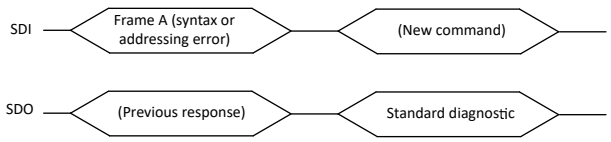


図 7-29. コマンド構文エラー後の応答

デバイスが次の送信時に送り返す回答も含め、考えられるすべての SPI コマンドの概要を以下に示します。

表 7-9. SPI コマンドの概要

要求された操作	SDI ピンに送信されるフレーム	次のコマンドで SDO ピンから受信したフレーム
標準診断を確認	0xxxxxxxxxxxx01b (xxxxxxxxxxxxb = 未使用)	0ddddddddddddddddb (標準診断)
10 ビットレジスタを書き込みます	10ppppprrrrrrrrrb は以下を意味します：ppppb はレジスタ アドレス ADDR0 を表し、rrrrrrrrrb は新しいレジスタの内容を表します。	0ddddddddddddddddb (標準診断)
10 ビットレジスタを読み出します	01ppppxxxxxxxx10b は以下を意味します：ppppb = レジスタ アドレス ADDR0、xxxxxxb = 未使用	10ppppprrrrrrrrrb は以下を意味します：ppppb = レジスタアドレス ADDR0c、rrrrrrrrb = レジスタ内容
8 ビットレジスタを書き込みます	10ppppqqrrrrrrrrb、ここで ppppb = レジスタアドレス ADDR0、qqb = レジスタアドレス ADDR1、rrrrrrrrb = 新しいレジスタ内容	0ddddddddddddddddb (標準診断)
8 ビットレジスタを読み出します	01ppppqqxxxxxx10b、ここで、ppppb = レジスタアドレス ADDR0、qqb = レジスタアドレス ADDR1、xxxxxxb = 未使用	10ppppqqrrrrrrrrb、ここで、ppppb = レジスタアドレス ADDR0c、qqb = レジスタアドレス ADDR1、rrrrrrrrb = レジスタ内容

「p」= ADDR0 フィールドのアドレスビット、「q」= ADDR1 フィールドのアドレスビット、「r」= レジスタ内容、「d」= 診断ビット

7.3.5.4 SPI レジスタ

PWM0 および PWM1 を除くすべてのレジスタの構造は次のとおりです。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	ADDR0				ADDR1		データ								XXXXH

PWM0 および PWM1 レジスタの構造は次のとおりです。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	ADDR0				データ										XXXXH

以降のセクションに記載されていないアドレスを持つレジスタは、すべて予約済みと見なす必要があります。これらのレジスタに対して実行される読み取り操作は、標準診断を返します。列のデフォルトは、リセット後のレジスタ (8 ビット) の内容を示します。

構成レジスタ 2 のロックビットを使用して、意図しない SPI 書き込みによるレジスタ設定をロックできます。

- 設定をロックして、レジスタへのさらなる書き込み (LOCK ビットと CLRx ビットへの書き込みを除く) を無視するには、110b を書き込みます。ロックされていない状態で、110b 以外のどんなシーケンスを書き込んでも何の影響も及ぼしません。
- 011b を書き込むと、すべてのレジスタのロックを解除しますロックされている状態で、011b 以外のどんなシーケンスを書き込んでも何の影響も及ぼしません。

Copyright © 2025 Texas Instruments Incorporated

7.3.5.4.1 標準診断レジスタ

- **表 7-10. 標準診断レジスタ**

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
0	UVRVM	0	モード		TER	OL ON	OLOFF	ERR7	ERR6	ERR5	ERR4	ERR3	ERR2	ERR1	ERR0	5800h

表 7-11. 標準診断レジスタの説明

フィールド	ビット	タイプ	説明
UVRVM	14	R	VM 低電圧監視 – 0b:VM で低電圧状態は検出されていません – 1b (デフォルト):最後の標準診断の読み出し以降に、少なくとも 1 つの VM 低電圧状態が発生しました
モード	12-11	R	動作監視モード – 00b:予約済み – 01b:リンプホームモード – 10b:アクティブ モード – 11b (デフォルト):アイドル モード
TER	10	R	送信エラー – 0b:以前の送信は成功しました (16 + n * 8 クロックを受信し、n = 0、1、2 ...) – 1b (デフォルト):前回の送信に失敗しました。リセット後の最初のフレームは、TER が 1b に設定され、INST レジスタが作動します。2 つ目のフレームは標準診断で、TER は 0b に設定されています (前の送信で障害がなかった場合)
OLON	9	R	ON 状態での開放負荷診断 – 0b (デフォルト):ON 検出時負荷開放なし – 1b:ON 検出時負荷開放
OLOFF	8	R	オフ診断で負荷を開放します – 0b (デフォルト):すべてのチャネルがオフ状態 (IOLx ビットが 1b に設定されている) の場合、$V_{DS} > V_{OSM}$ (ローサイド構成の場合) または $V_{OUT_S} < V_{OSM}$ (ハイサイド構成の場合)となります。 – 1b:1 つ以上のチャネルがオフ状態 (IOLx ビットが 1b に設定されている) の場合、$V_{DS} > V_{OSM}$ (ローサイド構成の場合) または $V_{OUT_S} < V_{OSM}$ (ハイサイド構成の場合) となります。 オン状態のチャネルは考慮されません。
ERRx	7-0	R	過負荷/過熱チャネル x の診断 – 0b (デフォルト):障害は検出されませんでした – 1b:過熱または過負荷です

Copyright © 2025 Texas Instruments Incorporated

7.3.5.4.2 出力制御レジスタ

表 7-12. 出力制御レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	0000				00		EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0	00h

表 7-13. 出力制御レジスタの説明

フィールド	ビット	タイプ	説明
ENx	7-0	RW	出力 x 制御レジスタ • 0b (デフォルト): 出力 x はオフです • 1b: 出力はオンです

7.3.5.4.3 電球突入モード レジスタ

表 7-14. 電球突入モード レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	0000				01		BIM7	BIM6	BIM5	BIM4	BIM3	BIM2	BIM1	BIM0	00h

表 7-15. 電球突入モード レジスタの説明

フィールド	ビット	タイプ	説明
BIMx	7-0	RW	電球突入モード レジスタ • 0b (デフォルト): エラー発生時には出力ラッチがオフになります • 1b: エラー発生時には出力が自動的に再起動されます

7.3.5.4.4 入力 0 マッピング レジスタ

表 7-16. 入力 0 マッピング レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	0001				00		MAP07	MAP06	MAP05	MAP04	MAP03	MAP02	MAP01	MAP00	04h

表 7-17. 入力 0 マッピング レジスタの説明

フィールド	ビット	タイプ	説明
MAP0x	7-0	RW	入力ピン 0 マッピング レジスタ • 0b (デフォルト): 出力 x は入力ピン 0 に接続されていません • 1b: 出力は入力ピンに接続されています。 注: チャネル 2 には、デフォルトで対応するビットが 1b に設定されています

7.3.5.4.5 入力 1 マッピング レジスタ

表 7-18. 入力 1 マッピング レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	0001				01		MAP17	MAP16	MAP15	MAP14	MAP13	MAP12	MAP11	MAP10	08h

表 7-19. 入力 1 マッピング レジスタの説明

フィールド	ビット	タイプ	説明
MAP1x	7-0	RW	入力ピン 1 マッピング レジスタ • 0b (デフォルト): 出力 x は入力ピン 1 に接続されていません • 1b: 出力は入力ピンに接続されています。 注: チャネル 3 には、デフォルトで対応するビットが 1b に設定されています

7.3.5.4.6 入力ステータス モニタ レジスタ

これは、ロジックのリセット後に送信される最初のレジスタです

.

表 7-20. 入力ステータス モニタ レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
0	1	0001				10		TER	RSVD					INST1	INST0	00h

表 7-21. 入力ステータス モニタ レジスタの説明

フィールド	ビット	タイプ	説明
TER	7	R	• 0b: 以前の送信は成功しました (16 + n * 8 クロックを受信し、n = 0、1、2 ...) • 1b (デフォルト): 前回の送信に失敗しました
RSVD	6-2	R	予約済み
INST1	1	R	• 0b (デフォルト): IN1 ピンをロジック Low に設定 • 1b: IN1 ピンをロジック High に設定
INST0	0	R	• 0b (デフォルト): IN0 ピンをロジック Low に設定 • 1b: IN0 ピンはロジック High に設定

Copyright © 2025 Texas Instruments Incorporated

7.3.5.4.7 開放負荷電流制御レジスタ

表 7-22. 開放負荷電流制御レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	0010				00		IOL7	IOL6	IOL5	IOL4	IOL3	IOL2	IOL1	IOL0	00h

表 7-23. 開放負荷電流制御レジスタの説明

フィールド	ビット	タイプ	説明
IOLx	7-0	RW	• 0b (デフォルト):チャネル x の IOL 電流ソースがイネーブルになっていません • 1b:チャネル x の IOL 電流ソースがイネーブルです

7.3.5.4.8 出力ステータス モニタ レジスタ

表 7-24. 出力ステータス モニタ レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
0	1	0010				01		OSM7	OSM6	OSM5	OSM4	OSM3	OSM2	OSM1	OSM0	00h

表 7-25. 出力ステータス モニタ レジスタの説明

フィールド	ビット	タイプ	説明
OSMx	7-0	R	• 0b (デフォルト):チャネル x の場合、$V_{DS} > V_{OSM}$ (ローサイド構成の場合) または $V_{OUT_S} < V_{OSM}$ (ハイサイド構成の場合) • 1b:チャネル x の場合、$V_{DS} < V_{OSM}$ (ローサイド構成の場合) または $V_{OUT_S} > V_{OSM}$ (ハイサイド構成の場合)

7.3.5.4.9 オン時のオープン負荷レジスタ

ローサイド スイッチとして構成されたチャネルでは、この機能は無効です。

表 7-26. オン時のオープン負荷レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	0010				10		OLON7	OLON6	OLON5	OLON4	OLON3	OLON2	OLON1	OLON1	00h

表 7-27. オン状態での開放負荷検出レジスタ

フィールド	ビット	タイプ	説明
OLONx	7-0	R	• 0b (デフォルト):チャネル OFF 時に正常な動作または診断が実行されます • 1b:ON 検出時負荷開放

Copyright © 2025 Texas Instruments Incorporated

7.3.5.4.10 EN_OLON レジスタ

表 7-28. EN_OLON レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	0010				11		RSVD				EN_OLON				0Fh

表 7-29. EN_OLON レジスタの説明

フィールド	ビット	タイプ	説明
RSVD	7-4	RW	予約済み
EN_OLON	3-0	RW	• 0000b: 予約済み • 0001b: 予約済み • 0010b:チャネル 2 でオン状態の開放負荷診断 • 0011b:チャネル 3 でオン状態の開放負荷診断 • 0100b:チャネル 4 でオン状態の開放負荷診断 • 0101b:チャネル 5 でオン状態の開放負荷診断 • 0110b:チャネル 6 でオン状態の開放負荷診断 • 0111b:チャネル 7 でオン状態の開放負荷診断 • 1000b: 予約済み • 1001b: 予約済み • 1010b:オン状態での開放負荷診断ループを開始 • 1011b: 予約済み • 1100b: 予約済み • 1101b: 予約済み • 1110b: 予約済み • 1111b (デフォルト):オン状態での開放負荷診断は無効

7.3.5.4.11 構成レジスタ

表 7-30. 構成レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	0011				00		ACT	RST	DISOL	OCP	PAR3	PAR2	PAR1	PAR0	00h

表 7-31. 構成レジスタの説明

フィールド	ビット	タイプ	説明
ACT	7	RW	• 0b (デフォルト):通常動作、またはデバイスがアクティブ・モードを終了 • 1b:デバイスはアクティブ モードに入ります。
RST	6	RW	• 0b (デフォルト):通常動作 • 1b:実行リセットコマンド(セルフクリア)
DISOL	5	RW	• 0b (デフォルト):OFF 時の開放負荷検出はイネーブルです • 1b:OFF 時の開放負荷検出はディスエーブルです
OCP	4	RW	• 0b (デフォルト):過電流保護電流プロファイル 1 • 1b:過電流保護電流プロファイル 2

Copyright © 2025 Texas Instruments Incorporated

表 7-31. 構成レジスタの説明 (続き)

PAR3	3	RW	• 0b (デフォルト): 通常動作 • 1b: チャネル 5 と 7 は、過負荷と過熱に同期しています
PAR2	2	RW	• 0b (デフォルト): 通常動作 • 1b: チャネル 4 と 6 は、過負荷と過熱に同期しています
PAR1	1	RW	• 0b (デフォルト): 通常動作 • 1b: チャネル 1 と 3 は、過負荷と過熱に同期しています
PAR0	0	RW	• 0b (デフォルト): 通常動作 • 1b: チャネル 0 と 2 は、過負荷と過熱に同期しています

7.3.5.4.12 出力クリア ラッチ レジスタ

表 7-32. 出力クリア ラッチ レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	0011				01		CLR7	CLR6	CLR5	CLR4	CLR3	CLR2	CLR1	CLR0	00h

表 7-33. 出力クリア ラッチ レジスタの説明

フィールド	ビット	タイプ	説明
CLRx	7-0	RW	• 0b (デフォルト): 通常動作 • 1b: 選択した出力のエラーラッチをクリアします

7.3.5.4.13 FPWM レジスタ

表 7-34. FPWM レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	0011				10		FPWM				FCTR1	FCTR0	EN_PWM1	EN_PWM0	80h

表 7-35. FPWM レジスタの説明

フィールド	ビット	タイプ	説明

Copyright © 2025 Texas Instruments Incorporated

表 7-35. FPWM レジスタの説明 (続き)

FPWM	7-4	RW	• 0000b：予約済み • 0001b：ベース周波数 f_{INT} - 37.2% • 0010b：ベース周波数 f_{INT} - 31.9% • 0011b：ベース周波数 f_{INT} - 26.9% • 0100b：ベース周波数 f_{INT} - 21.0% • 0101b：ベース周波数 f_{INT} - 15.5% • 0110b：ベース周波数 f_{INT} - 10.9% • 0111b：ベース周波数 f_{INT} - 5.8% • 1000b (デフォルト)：ベース周波数 f_{INT} • 1001b：ベース周波数 f_{INT} + 4.3% • 1010b：ベース周波数 f_{INT} + 8.9% • 1011b：ベース周波数 f_{INT} + 14.0% • 1100b：ベース周波数 f_{INT} + 19.5% • 1101b：ベース周波数 f_{INT} + 25.6% • 1110b：ベース周波数 f_{INT} + 32.4% • 1111b：ベース周波数 f_{INT} + 40%
FCTR1	3	RW	• 0b：PWM ジェネレータ 1 の PWM 周波数は、FREQ1 ビットによって決定される 100、200 または 400Hz です • 1b：PWM ジェネレータ 1 の PWM 周波数は、FREQ1 ビットによって決定される 800、1600 または 2000Hz です
FCTR0	2	RW	• 0b：PWM ジェネレータ 0 の PWM 周波数は、FREQ0 ビットで決定される 100、200 または 400Hz です • 1b：PWM ジェネレータ 0 の PWM 周波数は、FREQ0 ビットで決定される 800、1600 または 2000Hz です
EN_PWM1	1	RW	• 0b (デフォルト)：PWM ジェネレータ 1 は非アクティブ • 1b：PWM ジェネレータ 1 はアクティブ
EN_PWM0	0	RW	• 0b (デフォルト)：PWM ジェネレータ 0 は非アクティブ • 1b：PWM ジェネレータ 0 はアクティブ

7.3.5.4.14 PWM0 構成レジスタ

表 7-36. PWM0 構成レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	0100				FREQ0		DC0								000h

表 7-37. PWM0 構成レジスタの説明

フィールド	ビット	タイプ	説明
FREQ0	9-8	RW	• 00b (デフォルト)：内部クロックを FCTR0 の設定に応じて 1024 または 128 で分周 • 01b：内部クロックを FCTR0 の設定に応じて 512 または 64 で分周 • 10b：内部クロックを FCTR0 の設定に応じて 256 または 51.2 で分周 • 11b：100% デューティ サイクル

Copyright © 2025 Texas Instruments Incorporated

表 7-37. PWM0 構成レジスタの説明 (続き)

DC0	7-0	RW	• 00000000b:PWM ジェネレータはオフ • 11111111b:PWM ジェネレータがオン (99.61% デューティ サイクル)

7.3.5.4.15 PWM1 構成レジスタ

表 7-38. PWM1 構成レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	0101				FREQ1		DC1								000h

表 7-39. PWM1 構成レジスタの説明

フィールド	ビット	タイプ	説明
FREQ1	9-8	RW	• 00b (デフォルト):内部クロックを FCTR1 の設定に応じて 1024 または 128 で分周 • 01b:内部クロックを FCTR1 の設定に応じて 512 または 64 で分周 • 10b:内部クロックを FCTR1 の設定に応じて 256 または 51.2 で分周 • 11b:100% デューティ サイクル
DC1	7-0	RW	• 00000000b:PWM ジェネレータはオフ • 11111111b:PWM ジェネレータがオン (99.61% デューティ サイクル)

7.3.5.4.16 PWM_OUT レジスタ

表 7-40. PWM_OUT レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	1001				00		PWM_ OUT7	PWM_ OUT6	PWM_ OUT5	PWM_ OUT4	PWM_ OUT3	PWM_ OUT2	PWM_O UT1	PWM_ OUT0	00h

表 7-41. PWM_OUT レジスタの説明

フィールド	ビット	タイプ	説明
PWM_OUTx	7-0	RW	• 0b (デフォルト):出力 x は、2 つの PWM ジェネレータのうちの 1 つによって駆動されません • 1b:出力 x は、PWM ジェネレータに接続されています

7.3.5.4.17 MAP_PWM レジスタ

出力の PWM ジェネレータ制御をアクティブにするために PWM_OUT レジスタを設定する必要があります。

表 7-42. MAP_PWM レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	1001				01		MAP_P WM7	MAP_ PWM6	MAP_P WM5	MAP_ PWM4	MAP_P WM3	MAP_P WM2	MAP_P WM1	MAP_P WM0	00h

表 7-43. MAP_PWM レジスタの説明

フィールド	ビット	タイプ	説明
MAP_PWMx	7-0	RW	• 0b (デフォルト):出力 x は PWM ジェネレータ 0 に接続されています • 1b:出力 x は PWM ジェネレータ 1 に接続されています

Copyright © 2025 Texas Instruments Incorporated

7.3.5.4.18 構成 2 レジスタ

表 7-44. 構成 2 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	1010				00		LOCK[2:0]			RSVD		OTW	OLMAX	SR	60h

表 7-45. 構成レジスタの説明

フィールド	ビット	タイプ	説明
LOCK[2:0]	7-5	RW	設定をロックして、レジスタへのさらなる書き込み (LOCK ビットと CLRx ビットへの書き込みを除く) を無視するには、110b を書き込みます。ロックされていない状態で、110b 以外のどんなシーケンスを書き込んでも何の影響も及ぼしません。すべてのレジスタのロックを解除するには、このレジスタに 011b を書き込みます。ロックされている状態で、011b 以外のどんなシーケンスを書き込んでも何の影響も及ぼしません。
RSVD	4-3	R	予約済み
OTW	2	R	過熱警告 • 0b (デフォルト): 過熱イベントなし • 1b: 過熱イベント
OLMAX	1	RW	多重化が有効になるまでの診断待ち時間のうちに、開放負荷をオンに設定します • 0b (デフォルト): t_{ONMAX} = 60µs • 1b: t_{ONMAX} = 80µs
SR	0	RW	出力スルー レートをセット • 0b (デフォルト): スルー レート: 1.3V/µs • 1b: スルー レート: 2.5V/µs

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

このデバイスは主に、自動車および産業用途において、リレー、ランプ、LED の駆動やモーターの制御に使用されます。

8.1.1 推奨外付け部品

表 8-1 に、推奨の外付け部品を示します。

表 8-1. 推奨外付け部品

説明	値	目的
抵抗は IN0、IN1、および nSLEEP ピンと直列に接続します	4.7kΩ	過電圧および逆極性時のマイコンの保護。グランド喪失時に出力チャネルがオフになることも保証します。
nSCS、SCLK、SDI、SDO ピンと直列に接続した抵抗	470Ω	過電圧および逆極性時のマイコンの保護
VDD ピンと直列の抵抗	100Ω	ロジック電源電圧フィルタリング
VDD ピン上のバイパスコンデンサ	100nF	ロジック電源電圧フィルタリング
VM ピン上のバイパスコンデンサ	68nF	バッテリ電圧のフィルタリング
VM ピンの TVS ダイオード	TVS3300	過電圧時のデバイスの保護
各 OUT ピンのコンデンサ (オプション)	10nF	デバイスを ESD および BCI から保護します

8.1.2 アプリケーションのプロット

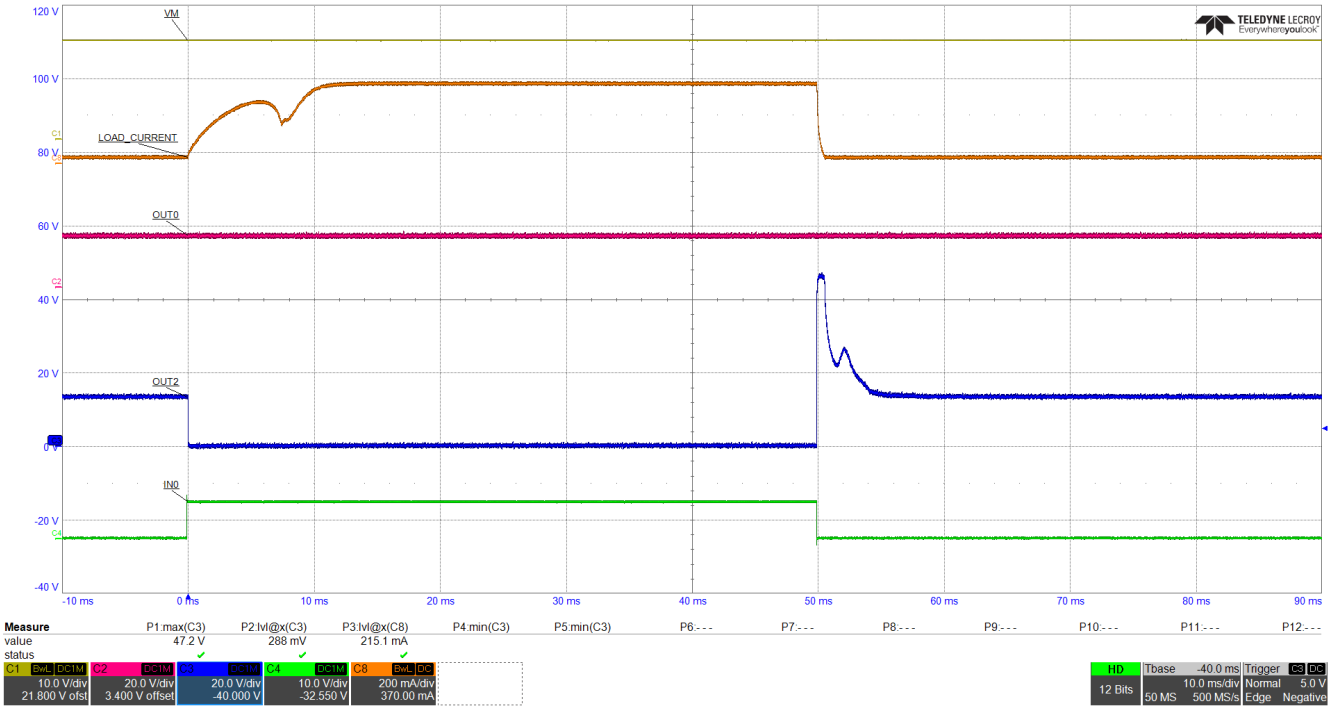


図 8-1. IN0 ピンからの出力ターンオン/オフ

8.2 代表的なアプリケーション

次の図はアプリケーション回路図を示しています。

Copyright © 2025 Texas Instruments Incorporated

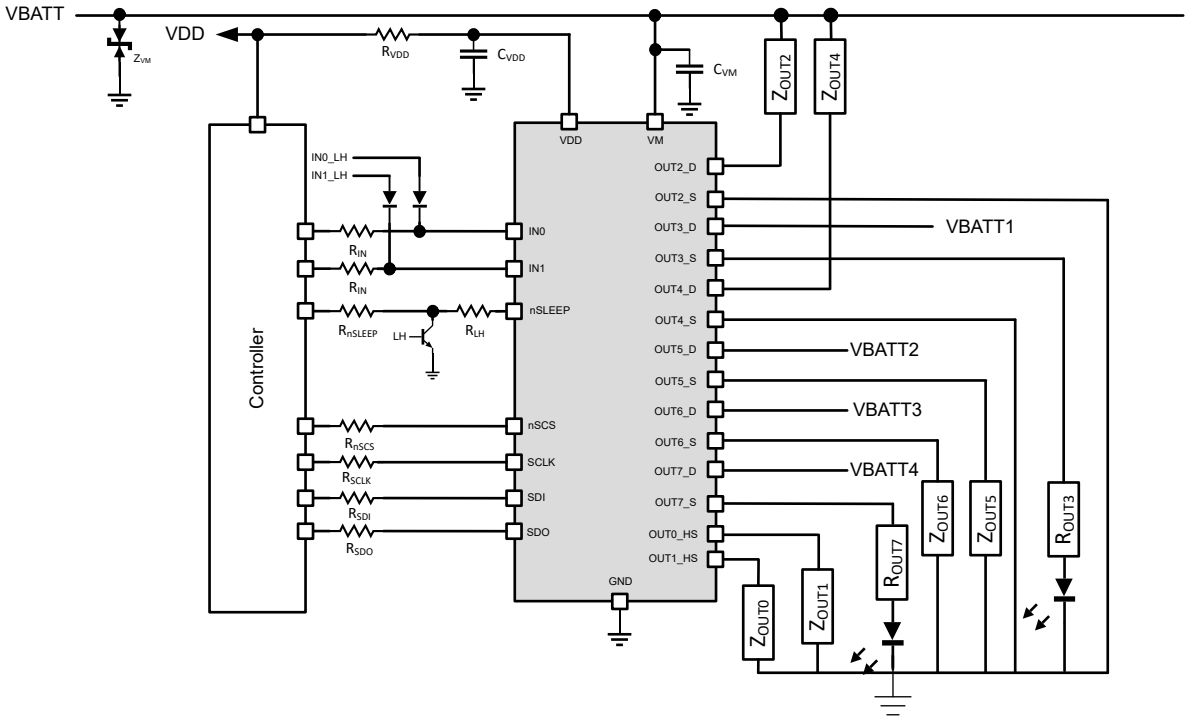


図 8-2. アプリケーション回路図

8.3 レイアウト

8.3.1 レイアウトのガイドライン

- VM 定格で推奨値 68nF の低 ESR セラミック バイパス コンデンサを使用して、VM ピンを GND にバイパスする必要があります。このコンデンサは VM ピンのできるだけ近くに配置し、太いパターンまたはグランド プレーンでデバイスの GND ピンに接続する必要があります。
- 低 ESR セラミック コンデンサを使用して、VDD ピンをグランドにバイパスします。6.3V 定格の 100nF を推奨します。このバイパス コンデンサはピンにできるだけ近付けて配置します。
- 一般に、電源ピンとデカップリング コンデンサの間のインダクタンスを防ぐ必要があります。
- デバイスの IN0、IN1、nSLEEP、nSCS、SCLK、SDI、SDO、VDD の各ピンと、マイコンの対応するピンとの間に直列抵抗を接続します。ゲイン抵抗の推奨値については、セクション 7.3 で説明します。
- サーマル パッドは、システム グランドに接続する必要があります。
  - TI は、システム / 基板全体には、破損していない大きな単一のグランド プレーンを使用することを推奨します。グランド プレーンは PCB の下層に作成できます。
  - インピーダンスとインダクタンスを最小化するには、ビアを経由して下層のグランド プレーンに接続する前に、グランド ピンからのパターンをできる限り短く、幅広くする必要があります。
  - インピーダンスを低減するために、複数のビアを推奨します。
  - 熱の拡散を改善するために、デバイスの周囲のスペースをできるだけ大きく、特に PCB の下層に確保してください。
  - サーマル パッドを単一または複数の内部グランド プレーンに接続することでも、熱の拡散と熱抵抗の低減に役立ちます。

8.3.2 パッケージ フットプリントの互換性

デバイスの PWP0024T パッケージは、図 8-3 および図 8-4 に示すように、業界で使用されている他の SO-24 パッケージとフットプリント互換です。

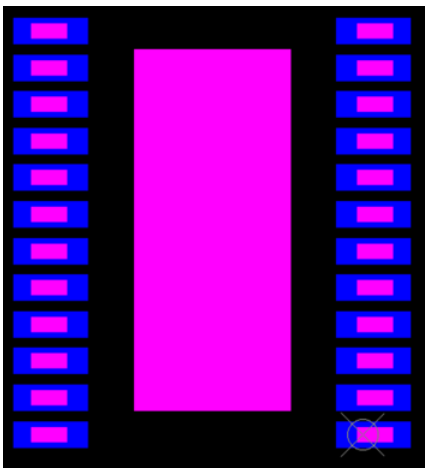


図 8-3. 別の SO-24 PCB パッドに PWP0024T を取り付けた場合、ピンク : TI PWP0024T リード、青 : その他の SO-24 PCB パッド

Copyright © 2025 Texas Instruments Incorporated

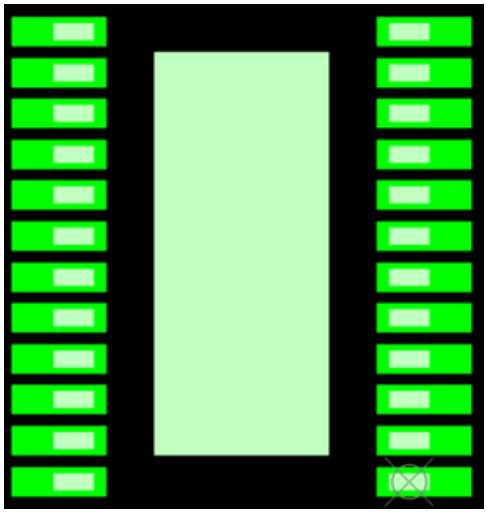


図 8-4. PWP0024T PCB パッドの SO-24、白：その他の SO-24 リード、緑：TI PWP0024T PCB パッド

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、システムの開発を行うためのツールやソフトウェアを、以下に挙げます。

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 商標

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (September 2024) to Revision A (March 2025)	Page
• デバイスのステータスを「量産データ」に更新	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV81620QPWPRQ1	Active	Production	HTSSOP (PWP) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	81620Q1
DRV81620QPWPRQ1.A	Active	Production	HTSSOP (PWP) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	See DRV81620QPWPRQ1	81620Q1

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

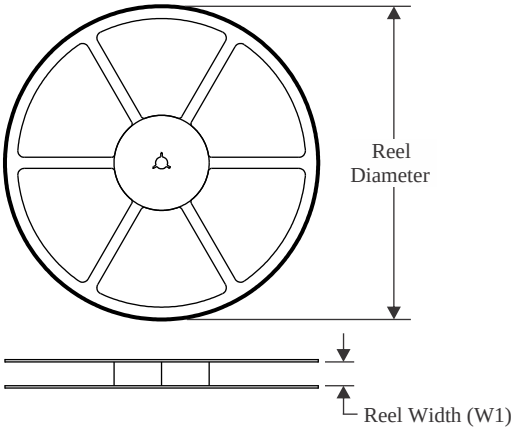
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

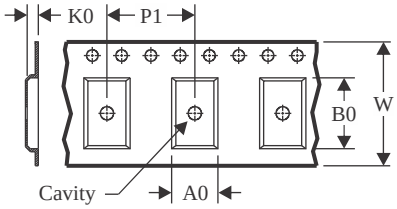
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

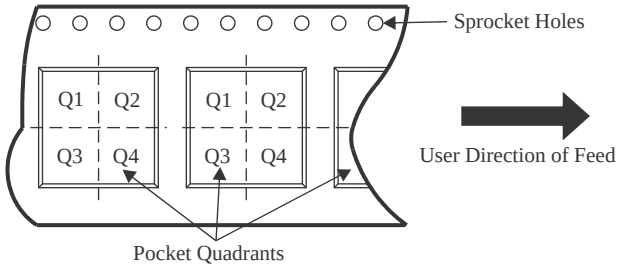


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

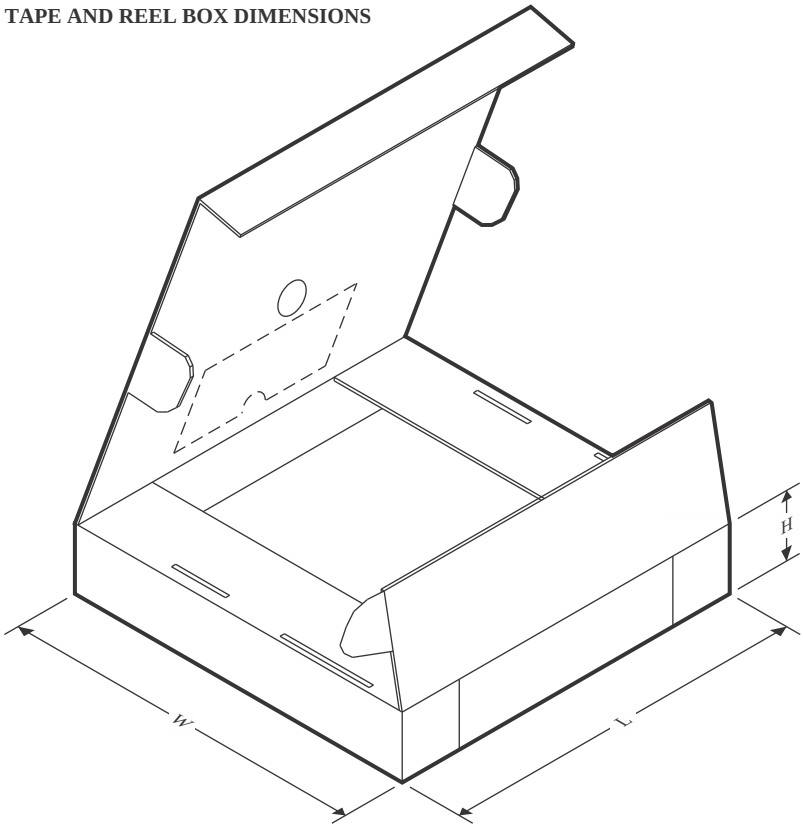
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV81620QPWPRQ1	HTSSOP	PWP	24	3000	330.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV81620QPWPRQ1	HTSSOP	PWP	24	3000	353.0	353.0	32.0

GENERIC PACKAGE VIEW

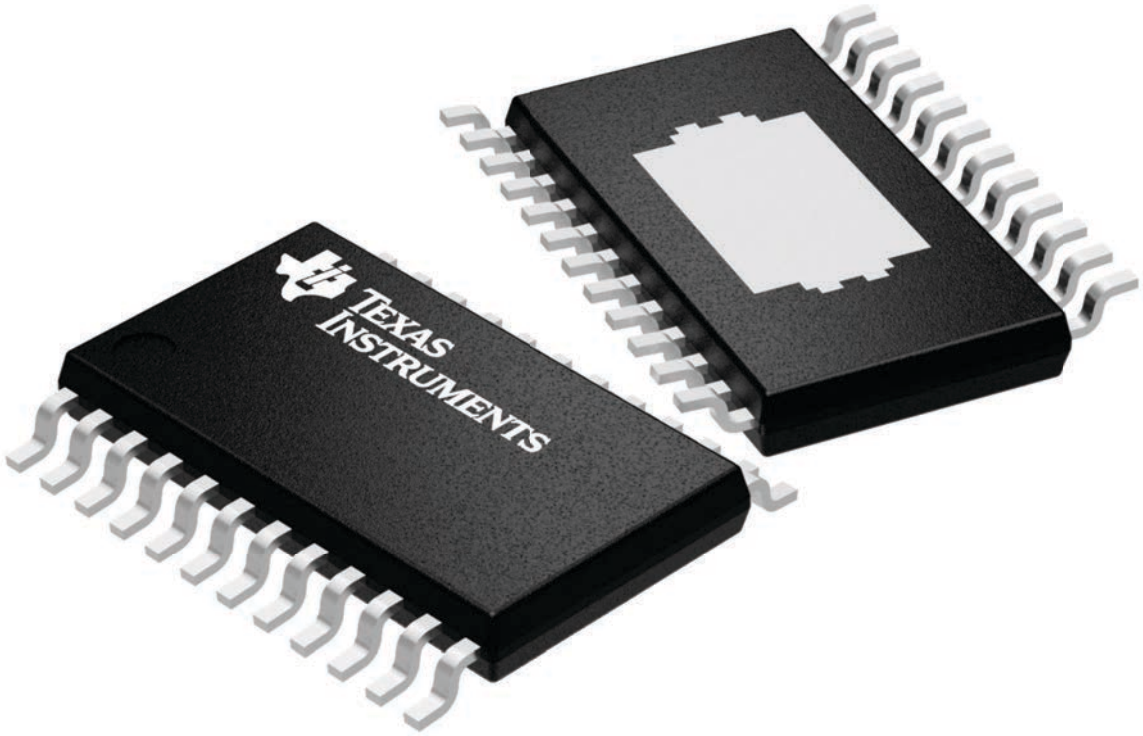
PWP 24

PowerPAD™ TSSOP - 1.2 mm max height

4.4 x 7.6, 0.65 mm pitch

PLASTIC SMALL OUTLINE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224742/B

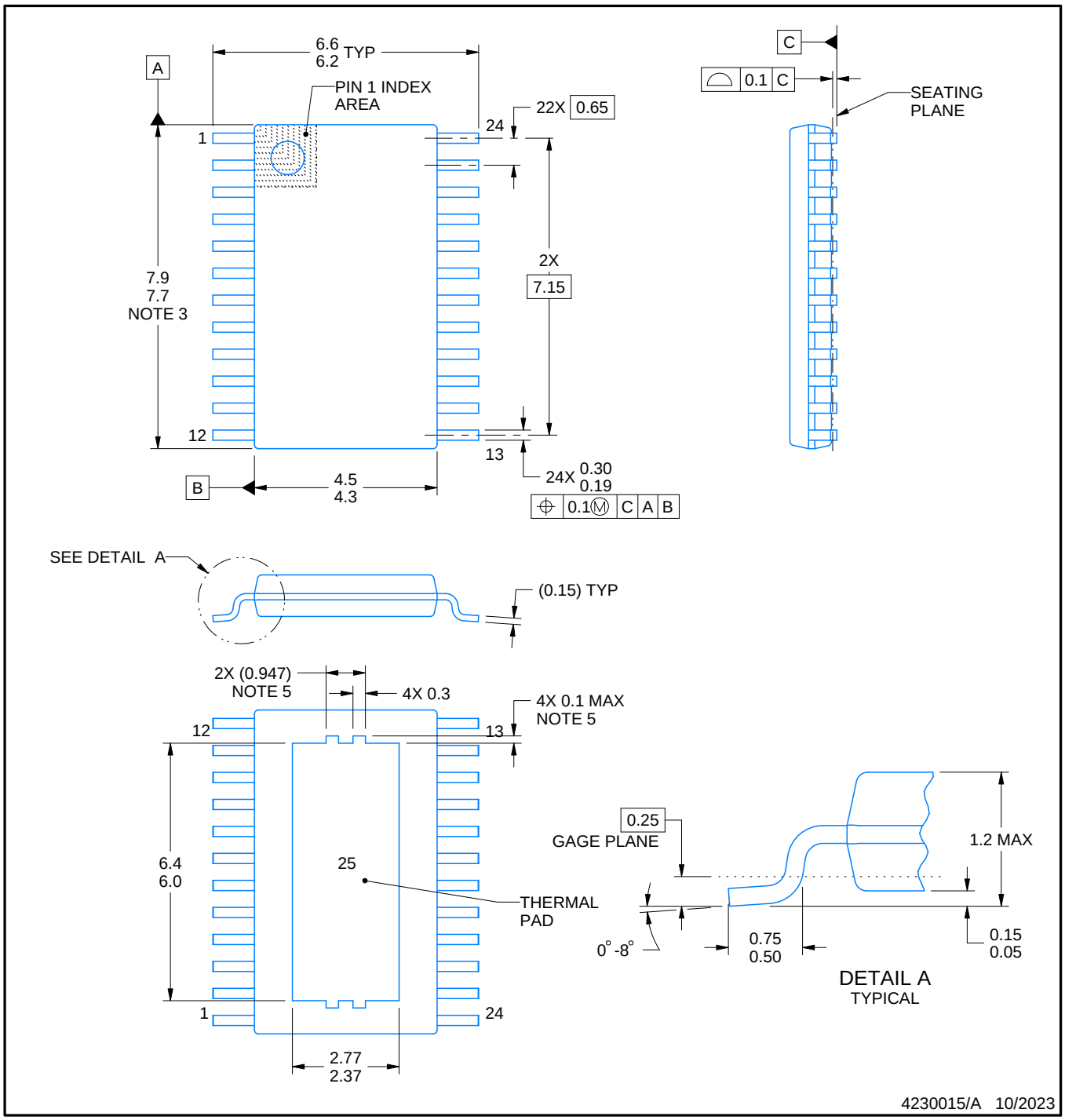
PACKAGE OUTLINE

PWP0024T



PowerPAD™ TSSOP - 1.2 mm max height

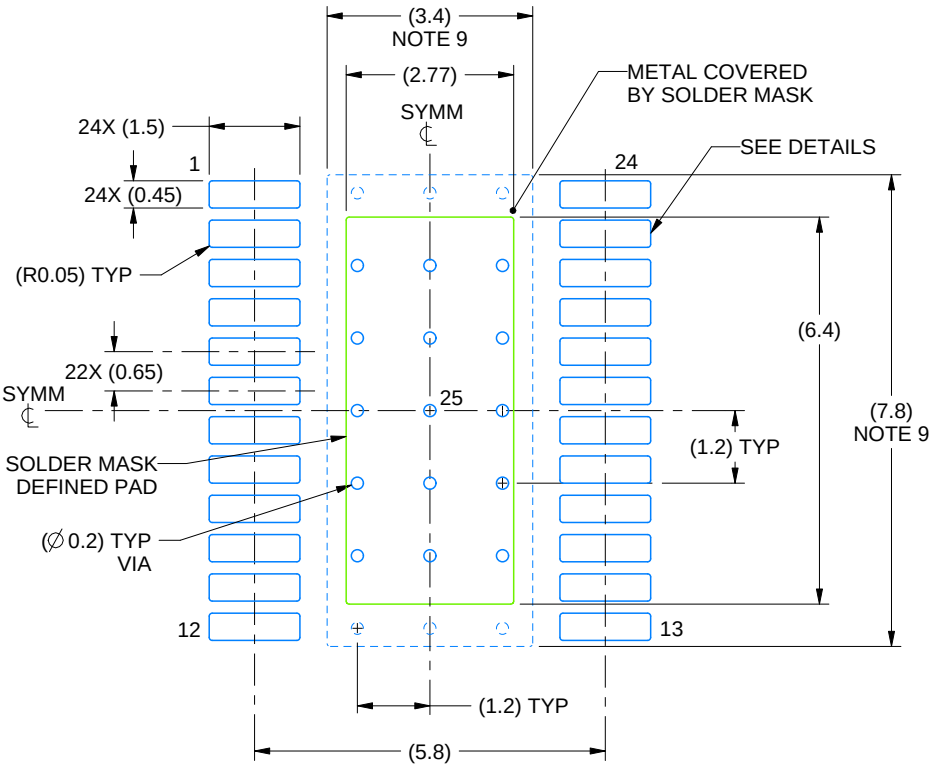
SMALL OUTLINE PACKAGE



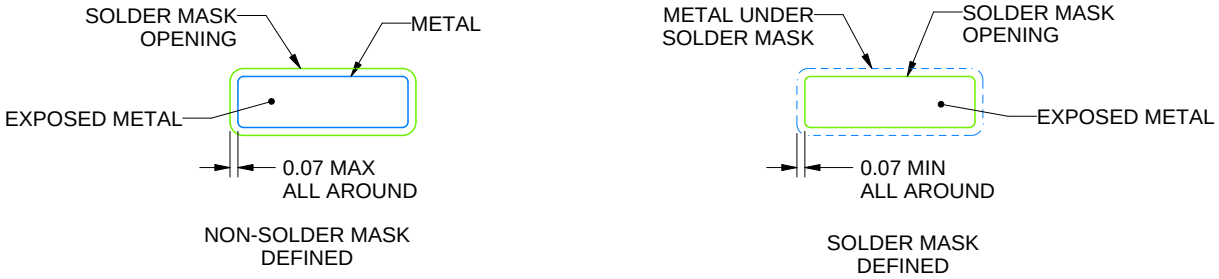
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X

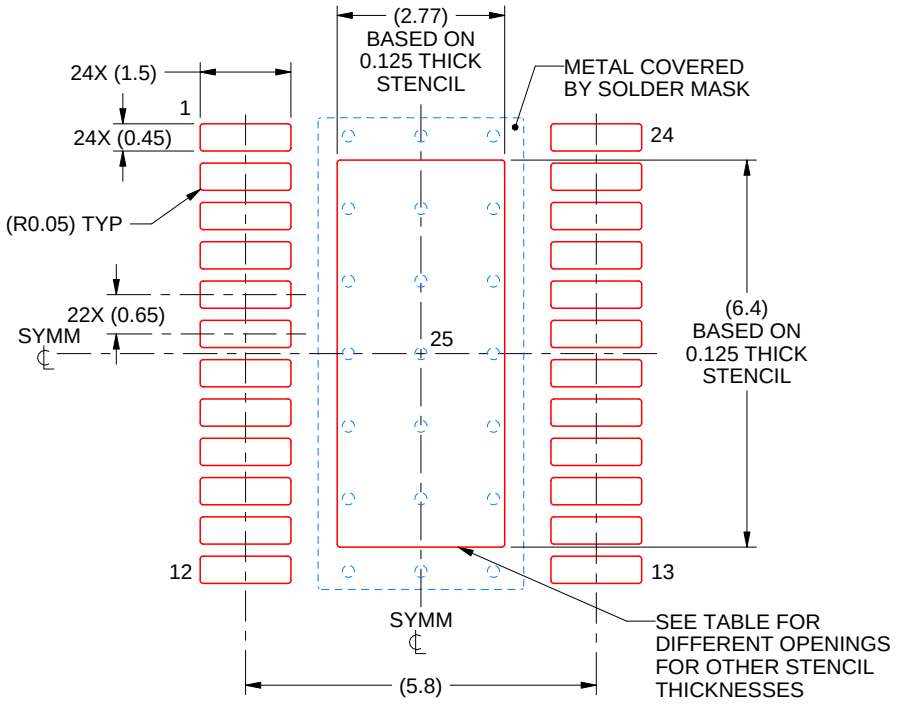


SOLDER MASK DETAILS

4230015/A 10/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.10 X 7.16
0.125	2.77 X 6.40 (SHOWN)
0.15	2.53 X 5.84
0.175	2.34 X 5.41

4230015/A 10/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月