DRV81646-Q1：65V 4 チャネル ローサイド ドライバ、ハードウェア、SPI、構成可能なスルーレート、カットオフ期間を実装

1 特長

- 4 チャネル内蔵ローサイド スイッチ
  - 25°C で **140mΩ $R_{DS(ON)}$**
  - 動作電源電圧範囲：**4.5V ～ 65V (絶対最大定格 70V)**
  - 選択可能な電流制限 (**0.5A ～ 3A**)
  - **最大 500kHz** の高速 PWM スイッチング
- 柔軟なインターフェイス オプション：
  - 独立したチャネル PWM 入力を備えた**ハードウェア**インターフェイス
  - **SPI** により、チャネル数の多い設計における GPIO と絶縁オーバーヘッドの削減が可能
- 柔軟な減衰モードを実現する**内蔵キャッチ ダイオード**と、スイッチのターンオフ時の代替電流パスとして使用できるオプションの外部 TVS/ツェナー ダイオード
- **スルーレート**を構成可能 (100ns ～ 1500ns) で、低速 / 高速の両方のスイッチング アプリケーションに対応
- 診断フィードバック
  - MCU フォルト割り込み信号 **(nFAULT)**
  - **チャネルごとの異常検出出力**を SPI 経由で使用可能
- 保護機能
  - ユーザー設定可能な**電流制限**
  - 各チャネルに対して独立した**過熱**および**過電流**保護
  - 構成可能な過電流**カットオフ遅延** (COD)：0.5ms ～ 2ms

2 アプリケーション

- リレー
- バルブ
- LED
- ゾーン制御ユニット
- ボディおよびライティング
- エンジン管理
- バッテリ管理システム(BMS)

3 説明

DRV81646-Q1 は、4.5V ～ 65V の、4 チャネル ローサイド ドライバで、スイッチごとに 140mΩ の $R_{DS(ON)}$ を搭載しています。各チャネルに内蔵のフリーホイール ダイオードが VCLAMP ピンに接続され、外付けの TVS ダイオードを介した電流再循環または高速な誘導性負荷のターンオフが可能になります。

制御は、ハードウェア GPIO または 4 線式 SPI 経由で利用できます。各チャネルは独立した過熱保護機能を備えています。ILIM ピンの単一の抵抗により、すべてのチャネルのアナログ電流制限スレッショルドがグローバルに設定されます。オプションのカットオフ遅延 (COD) により、過電流イベントの期間が制限されます。また、出力スルーレートは RSLEW/CNTL ピンによりグローバルに設定されます。INRUSH モードでは、容量性負荷が起動すると、電流制限スレッショルドが一時的に上昇します。

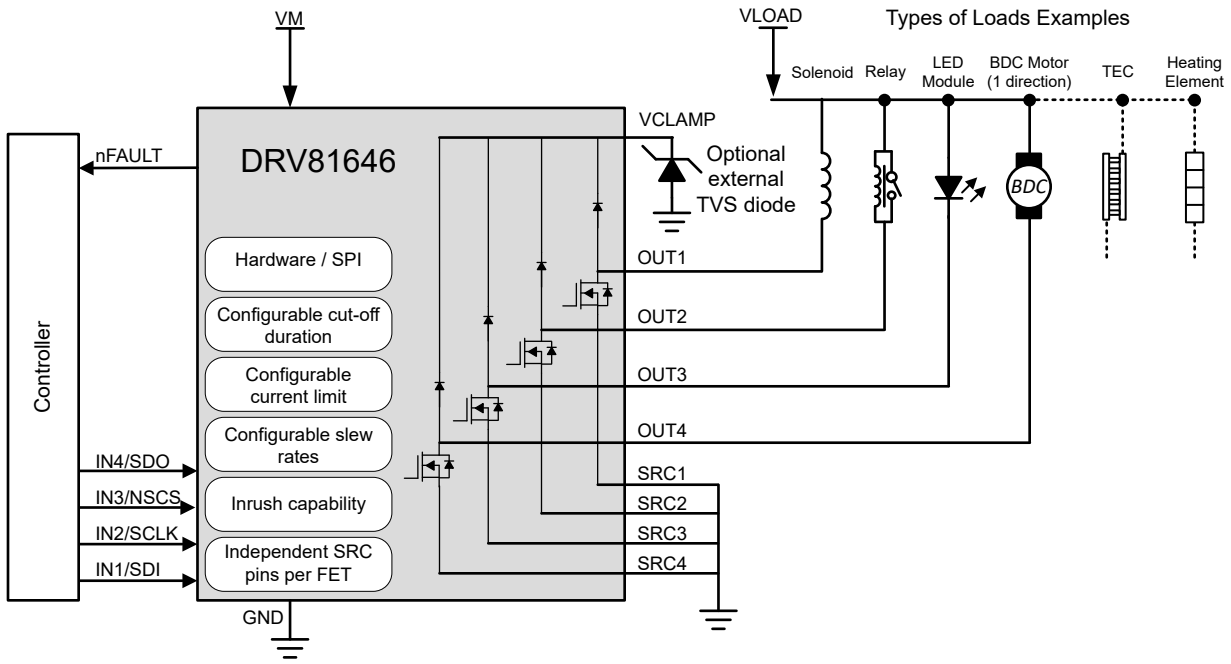
nFAULT 出力ピンは、フォルト状態を通知します。SPI モードでは、チャネルごとのフォルト ステータス レジスタにより、フォルトを迅速に識別し、応答できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
DRV81646QDGQRQ1	DGQ (HVSSOP、24)	6.10mm × 4.90mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



概略回路図

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長 1
2 アプリケーション 1
3 説明 1
4 ピン構成および機能 4
5 仕様 6
5.1 絶対最大定格 6
5.2 ESD 定格 6
5.3 推奨動作条件 6
5.4 熱に関する情報 7
5.5 電気的特性 7
5.6 タイミング要件 10
5.7 代表的特性 11
6 詳細説明 12
6.1 概要 12
6.2 機能ブロック図 13
6.3 機能説明 14
6.4 デバイスの機能モード 23
7 アプリケーションと実装 28
7.1 アプリケーション情報 28
7.2 代表的なアプリケーション 28
7.3 アプリケーション曲線 30
7.4 電源に関する推奨事項 32
7.5 レイアウト 33
8 デバイスおよびドキュメントのサポート 34
8.1 ドキュメントのサポート 34
8.2 ドキュメントの更新通知を受け取る方法 34
8.3 サポート・リソース 34
8.4 商標 34
8.5 静電気放電に関する注意事項 34
8.6 用語集 34
9 改訂履歴 34
10 メカニカル、パッケージ、および注文情報 34

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

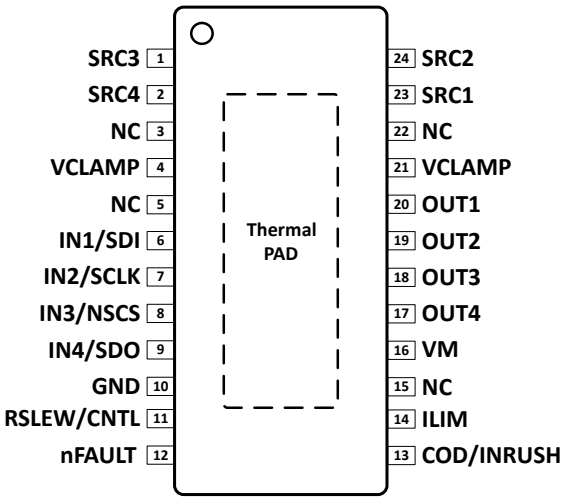


図 4-1. 24 ピン DGQ パッケージ、HVSSOP (上面図)

表 4-1. ピンの機能

ピン		タイプ[1]	説明
名称	DGQ (24)		
電源およびグランド			
VM	16	PWR	電源。 このピンは、0.1µF セラミック コンデンサと、VM 定格の十分なバルク容量を使用して GND ピンにバイパスします。
VCLAMP	4、21	PWR	VM 電源に直接接続するか、ツェナー ダイオードを VM 電源または GND に接続します。このピンを未接続のままにしないでください。
GND	10	GND	デバイスのグランド。システム グランドに接続。
SRC1	23	GND	チャネル 1 ローサイド FET のソース端子。外部電流センスのために、システム グランドまたはオプションのセンス抵抗をシステム グランドに接続します
SRC2	24	GND	チャネル 2 ローサイド FET のソース端子。外部電流センスのために、システム グランドまたはオプションのセンス抵抗をシステム グランドに接続します
SRC3	1	GND	チャネル 3 ローサイド FET のソース端子。外部電流センスのために、システム グランドまたはオプションのセンス抵抗をシステム グランドに接続します
SRC4	2	GND	チャネル 4 ローサイド FET のソース端子。外部電流センスのために、システム グランドまたはオプションのセンス抵抗をシステム グランドに接続します
サーマル パッド	—	—	サーマル パッド。システム グランドに接続。 最高の放熱特性を得るため、直接結合ビアを使用して、連続的なグランドプレーン銅プレーンに接続します。
NC	3、5、15、22	—	
制御			
ILIM	14	I	電流制限入力。 電流制限スレッショルドを設定するため、ILIM と GND 間に抵抗を接続します。詳細は、セクション 6.3.4.1 を参照してください。 このピンを未接続のままにしないでください。最大電流制限設定の場合は、GND に直接接続します。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ(1)	説明
名称	DGQ (24)		
RSLEW/CNTL	11	I	スルーレートと制御インターフェイスの選択入力。 目的のスルーレートと制御インターフェイス設定の組み合わせのために、GND に抵抗を接続します。詳細については、セクション 6.3.1 セクションを参照してください。
COD/INRUSH	13	I	カットオフ遅延または突入モードのデバイス構成ピン。適切な抵抗を GND に接続して、対応するカットオフ遅延時間を設定します。この機能を無効化するには、GND に接続します。 INRUSH モードの場合は未接続 (ハイ インピーダンス) のままにします
IN1/SDI	6	I	ハードウェア モードでは、このピンはチャネル 1 の出力を制御します。このチャネルを使用しない場合は、このピンを GND に直接接続するか、10kΩ 抵抗を使用して接続します。 SPI モードでは、このピンはシリアル データ入力です。 ピンは内部プルダウン抵抗を備えています。
IN2/SCLK	7	I	ハードウェア モードでは、このピンはチャネル 2 の出力を制御します。このチャネルを使用しない場合は、このピンを GND に直接接続するか、10kΩ 抵抗を使用して接続します。 SPI モードでは、このピンはシリアル クロック入力です。シリアル データはこのピンの立ち上がりエッジでシフトアウトされ、このピンの立ち下がりエッジでキャプチャされます。 ピンは内部プルダウン抵抗を備えています。
IN3/NSCS	8	I	ハードウェア モードでは、このピンはチャネル 3 の出力を制御します。このチャネルを使用しない場合は、このピンを GND に直接接続するか、10kΩ 抵抗を使用して接続します。 SPI モードでは、このピンはシリアル チップ セレクトです。このピンを Low にするとシリアル インターフェイス通信が有効になります。 ピンは内部プルダウン抵抗を備えています。
IN4/SDO	9	I/O	ハードウェア モードでは、このピンはチャネル 4 の出力を制御します。このチャネルを使用しない場合は、このピンを GND に直接接続するか、10kΩ 抵抗を使用して接続します。ハードウェア モードでは、このピンには内部プルダウン抵抗があります。 SPI モードでは、このピンはシリアル データ出力です。データは、SCLK ピンの立ち上がりエッジでシフト アウトされます。SPI モードでは、このピンはオープン ドレイン出力で、外部プルアップ抵抗が必要です。
nFAULT	12	O	オープン ドレイン出力。プルアップ抵抗を外部ロジック電源に接続します。フォルト状態時はロジック Low です。
出力			
OUT1	20	O	負荷 1 に接続
OUT2	19	O	負荷 2 に接続
OUT3	18	O	負荷 3 に接続
OUT4	17	O	負荷 4 に接続

(1) I = 入力、O = 出力、PWR = 電源、GND = グランド

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

動作温度範囲内 (特に記述のない限り)(1)

	ピン	最小値	最大値	単位
電源電圧	VM	-0.3	70	V
出力電圧	OUTx	-0.3	VCLAMP+0.3	V
ピーク出力電流	OUTx		内部的に制限	A
クランプ電圧	VCLAMP	-0.3	70	V
GND を基準とする FET ソース端子電圧 (定常状態)	SRCx	-0.6	0.6	V
VCLAMP の連続 RMS 電流 (両方の VCLAMP ピンを互いに接続)	VCLAMP		8	A
VCLAMP の過渡電流 < 1ms (両方の VCLAMP ピンを互いに接続)	VCLAMP		20	A
SRCx と基板 GND の間のセンス抵抗	SRCx		300	mΩ
OUTx FET 還流ダイオード電流 RMS または連続	OUTx FET ボディ ダイオード		5	A
デジタル入力ピン電圧	ILIM、RSLEW/CNTL、COD/INRUSH、INx	-0.5	5.5	V
デジタル出力電流	nFAULT、SDO		10	mA
デジタル出力ピン電圧	nFAULT、SDO	-0.5	7	V
動作仮想接合部温度、T_J		-40	150	°C
保管温度、T_{stg}		-60	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±3000	V
		荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠(2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

				最小値	公称値	最大値	単位
V_M	電源電圧			4.5		65	V
V_{CLAMP}	出力クランプ電圧					65	V
I_{OUT}	連続出力電流 (各チャネル)	DGQ パッケージ、T_A = 25°C(1)	1 チャネル オン			3.4	A
			4 チャネル オン			2.5	A
T_{AMB}	動作時周囲温度			-40		125	°C
T_J	動作時接合部温度			-40		150	°C

(1) 温度範囲全体の定格については、「連続電流能力」を参照してください

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		DRV81646-Q1 DGQ (HVSSOP) 24 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	32.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	33.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	8.9	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.0	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	8.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	1.6	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

4.5V ≤ V_{VM} ≤ 65V、–40°C ≤ T_J ≤ 150°C (特に記述のない限り)、24V、25°C での標準値

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
I_{VM}	VM 動作電源電流	V_M = 24V、スイッチングなし			3	mA
		V_M = 24V、200kHz で出力スイッチング			5	mA
V_{UVLO}	VM 低電圧誤動作防止電圧	V_M 立ち上がり	4.1	4.25	4.45	V
		V_M 立ち下がり	4.0	4.15	4.35	V
V_{UVLO_HYS}	VM 低電圧誤動作防止ヒシテリス			100		mV
t_{UVLO}	VM 低電圧グリッチ除去			10		µs
ロジック レベル入力 (INx、nSCS、SCLK、SDI)						
V_{IL}	入力 Low 電圧				0.8	V
V_{IH}	入力 High 電圧		2			V
V_{HYS}	入力ヒステリシス			0.4		V
I_{IL}	入力 Low 電流	V_{IN} = 0	-5		5	µA
I_{IH}	高入力電流	V_{IN} = 3.3V		50	100	µA
オープン ドレイン出力 (nFAULT、SDO)						
V_{OL}	nFAULT の出力 Low 電圧、SDO	I_O = 5mA			0.1	V
I_{OH}	nFAULT の出力高リーク電流、SDO	5V へのプルアップ抵抗			1	µA
t_{nFAULT_VALID}	V_{VM} > V_{UVLO} (立ち上がり) 後、nFAULT 信号が有効になるまでの時間。				30	µs
7 レベル入力 (RSLEW/CNTL)						
V_{LVL1}	7 段階の レベル 1	GND に接続	0		0.1	V
V_{LVL2}	7 段階の レベル 2	14.7kΩ ±5% を GND へ	0.2		0.35	V
V_{LVL3}	7 段階の レベル 3	44.2kΩ ± 5% を GND に接続	0.55		0.8	V
V_{LVL4}	7 段階の レベル 4	100kΩ ± 5% を GND に接続	1		1.25	V
V_{LVL5}	7 段階の レベル 5	249kΩ ± 5% を GND に接続	1.5		1.75	V
V_{LVL6}	7 段階の レベル 6	ハイ インピーダンス	2.1		2.4	V
V_{LVL7}	7 段階の レベル 7	DVDD (ロジック電圧) に接続	3		5	V
$I_{RSLEW/CNTL}$	入力電流			22.5		µA
スイッチング						

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

4.5V ≤ V_{VM} ≤ 65V、–40°C ≤ T_J ≤ 150°C (特に記述のない限り)、24V、25°C での標準値

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_R	立ち上がり時間 10% ～ 90% の OUTx 立ち上がり V_M = 24V、R_L = 48Ω、C_L = 0.1nF	RSLEW/CNTL の V_{LVL1}		100	150	ns
		RSLEW/CNTL の V_{LVL6} または V_{LVL7}		300	450	ns
		RSLEW/CNTL の V_{LVL4} または V_{LVL5}		700	1000	ns
		RSLEW/CNTL の V_{LVL2} または V_{LVL3}		1500	2300	ns
t_F	立ち下がり時間 90% ～ 10% の OUTx 立ち下がり V_M = 24V、R_L = 48Ω、C_L = 0.1nF	RSLEW/CNTL の V_{LVL1}		100	150	ns
		RSLEW/CNTL の V_{LVL6} または V_{LVL7}		300	450	ns
		RSLEW/CNTL の V_{LVL4} または V_{LVL5}		700	1000	ns
		RSLEW/CNTL の V_{LVL2} または V_{LVL3}		1500	2300	ns
t_{PD}	入力から出力までの伝搬遅延 V_{IH} 以上への INx 立ち上がりから 90% への OUTx 立ち下がり、または V_{IL} 以下への INx 立ち下がりから 10% への OUTx 立ち上がり V_M = 24V。R_L = 48Ω C_L = 0.1nF	RSLEW/CNTL の V_{LVL1}		100	150	ns
		RSLEW/CNTL の V_{LVL6} または V_{LVL7}		250	370	ns
		RSLEW/CNTL の V_{LVL4} または V_{LVL5}		400	600	ns
		RSLEW/CNTL の V_{LVL2} または V_{LVL3}		700	1000	ns
ドライバ出力 (OUTx)						
$R_{DS(ON)}$	FET オン抵抗	V_M < 24V、I_O = 500mA、T_J = 25℃		140		mΩ
		V_M < 24V、I_O = 500mA、T_J = 85℃			225	mΩ
I_{OFF}	オフ状態のリーク電流	V_{OUT} = V_M = 24V		0.5		μA
I_{OFF}	オフ状態のリーク電流	V_{OUT} = V_M = 65V			10	μA
V_F	還流ダイオード順方向電圧	V_{OUT} = 24V、I_O = 500mA			1.2	V
I_{OFF}	還流ダイオード逆リーク電流	V_{OUT} = 0V、V_{CLAMP} = 65V			10	μA
保護回路						
I_{LIM}	電流制限値 30kΩ ≤ R_{ILIM} ≤ 120kΩ の場合、60/R_{ILIM}[kΩ] に従う	R_{ILIM} は GND へ短絡または R_{ILIM} < 20kΩ		3		A
		R_{ILIM} = 30kΩ	1.4	2	2.6	A
		R_{ILIM} = 60kΩ	0.7	1	1.3	A
		R_{ILIM} = 90kΩ	0.4	0.66	0.9	A
		R_{ILIM} = 120kΩ	0.3	0.5	0.7	A
$I_{LIM_ACTIVATE}$	電流制限のアクティブ化スレッショルド I_{LIM}+50% に従う	R_{ILIM} = GND への短絡		4.7		A
		R_{ILIM} = 30kΩ		3		A
		R_{ILIM} = 60kΩ		1.5		A
		R_{ILIM} = 90kΩ		1		A
		R_{ILIM} = 120kΩ		0.75		A
I_{INRUSH}	t_{INRUSH} 中の電流制限値 R_{ILIM}≥30kΩ の場合、2*I_{LIM}[kΩ] に従う	R_{ILIM} = GND への短絡		4		A
		R_{ILIM} = 30kΩ		4		A
		R_{ILIM} = 60kΩ	1.4	2	2.6	A
		R_{ILIM} = 90kΩ	0.8	1.2	1.6	A
		R_{ILIM} = 120kΩ	0.6	1	1.4	A
$I_{INRUSH_ACTIVATE}$	INRUSH 中の電流制限のアクティブ化スレッショルド I_{INRUSH}+50% に従う	R_{ILIM} = GND への短絡		6.5		A
		R_{ILIM} = 30kΩ		6		A
		R_{ILIM} = 60kΩ		3		A
		R_{ILIM} = 90kΩ		2		A
		R_{ILIM} = 120kΩ		1.5		A

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

4.5V ≤ V_{VM} ≤ 65V、–40°C ≤ T_J ≤ 150°C (特に記述のない限り)、24V、25°C での標準値

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{HiZ}	突入モードの選択。	COD/突入ピンのプルダウン抵抗。 それを上回ると突入モードが選択される外部抵抗の値。	1			MΩ
t_{COD_DIS}	カットオフ遅延ディスエーブル スレッショルド	それを下回るとカットオフ機能が無効化される外部抵抗の値			20	kΩ
t_{COD}	カットオフ遅延 外部抵抗 R_{COD} から GND で調整 60kΩ ≤ R_{COD} ≤ 240kΩ の場合、 R_{COD}[kΩ]/120 ±15% に従う	R_{COD} = 60kΩ	0.4	0.5	0.6	ms
		R_{COD} = 120kΩ	0.8	1	1.2	ms
		R_{COD} = 180kΩ	1.2	1.5	1.8	ms
		R_{COD} = 240kΩ	1.6	2	2.4	ms
t_{INRUSH}	突入モードの持続時間	COD/INRUSH ピン未接続		10		ms
t_{RETRY}	過電流保護再試行時間 外部抵抗 R_{COD} から GND で調整 60kΩ ≤ R_{COD} ≤ 240kΩ の場合、32*t_{COD} ±15% に従う	R_{COD} = 60kΩ		15.5		ms
		R_{COD} = 120kΩ		31		ms
		R_{COD} = 180kΩ		46.5		ms
		R_{COD} = 240kΩ		62		ms
T_{TSD}	サーマル シャットダウン温度	ダイ温度	150	170	190	°C
T_{TSD_HYS}	サーマル シャットダウン温度ヒステリシス			40		°C
t_{TSD_DG}	サーマル シャットダウン グリッチ除去			20		µs

Copyright © 2026 Texas Instruments Incorporated

5.6 タイミング要件

		最小値	公称値	最大値	単位
t_{SCLK}	SCLK サイクル時間	500			ns
t_{SCLKH}	SCLK High 時間	170			ns
t_{SCLKL}	SCLK Low 時間	170			ns
t_{H_SCLK}	ホールド時間、nSCS 立ち下がりから SCLK 立ち上がりエッジまで	1000			ns
$t_{SU(SDI)}$	セットアップ時間、SDI 有効から SCLK 立ち下がりエッジまで	30			ns
$t_{H(SDI)}$	ホールド時間、SCLK 立ち上がりエッジから SDI 無効まで	30			ns
$t_{D(SDO)}$	遅延時間、SCLK 立ち上がりエッジから SDO 有効まで (C_{LOAD} < 20pF)			100	ns
t_{SU_NSCS}	最終 SCLK 立ち下がりエッジから nSCS 立ち上がりエッジまでの遅延	200			ns
t_{SDOHIZ}	NSCS 立ち上がりエッジから SDO HiZ までの遅延			100	ns
t_{NSCS_H}	nSCS のパルス幅	1000			ns
t_{D_LATCH}	nSCS 立ち上がりエッジからデバイスで入力データがラッチされるまで			2000	ns

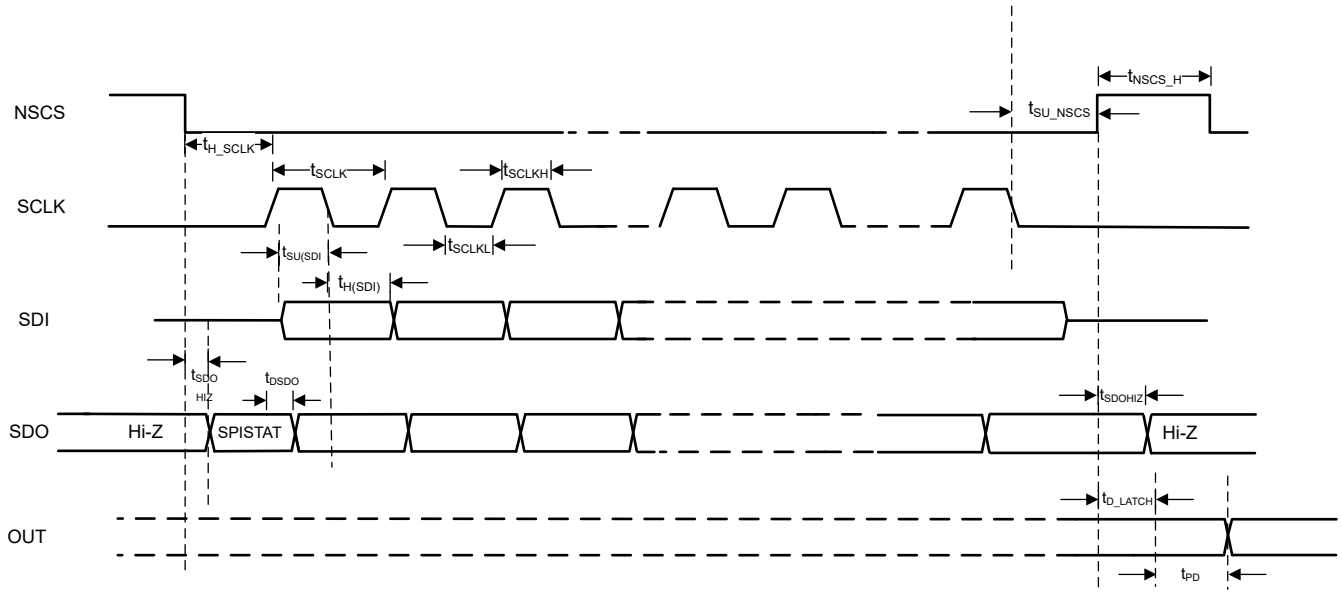


図 5-1. SPI タイミング パラメータ

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性

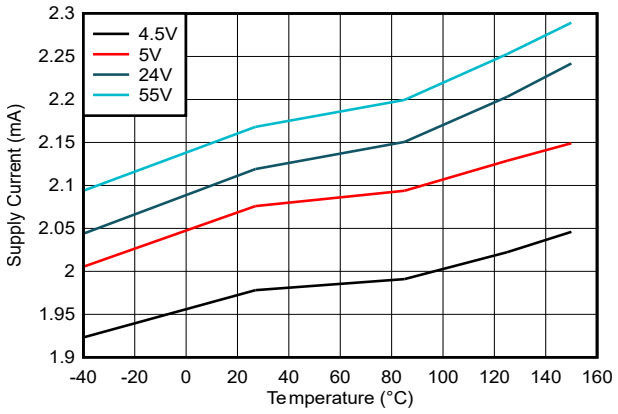


図 5-2. 電源電流と温度との関係

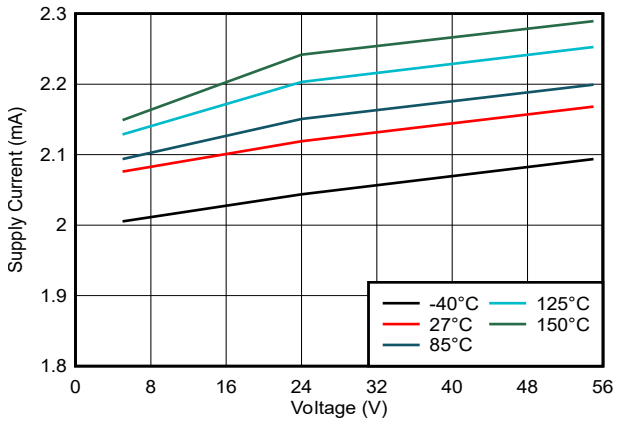


図 5-3. 電源電流と V_M との関係

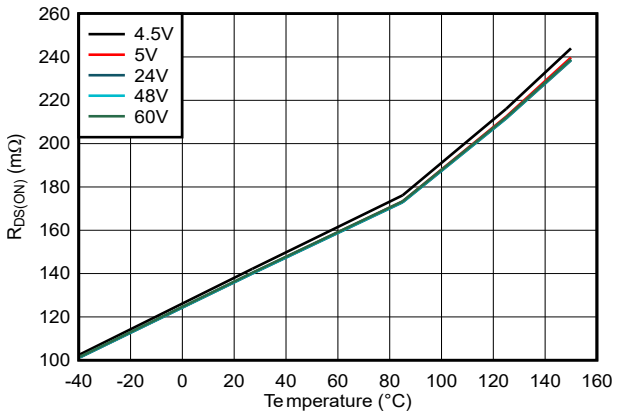


図 5-4. $R_{DS(on)}$ と温度との関係

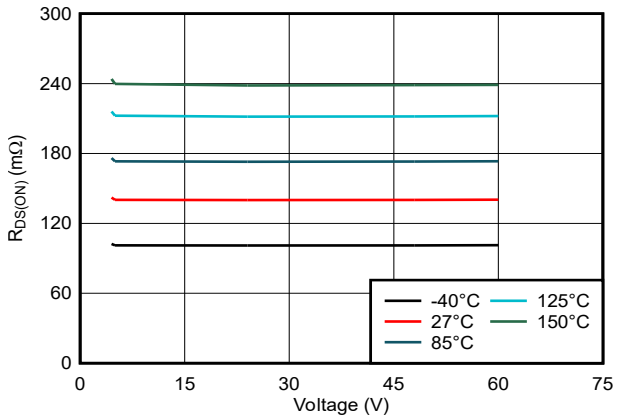


図 5-5. $R_{DS(on)}$ と V_M との関係

6 詳細説明

6.1 概要

DRV81646-Q1 は、リレー、バルブ、LED、ゾーン制御ユニット、最大 65V の電源電圧で動作する車体とライティングなどの車載アプリケーションを対象としています。140mΩ の $R_{DS(on)}$ は、より抵抗の大きい代替品よりも、導通損失が小さく、熱性能が優れているため、小型の DGQ パッケージでチャネルあたりの連続電流を大きくできます。

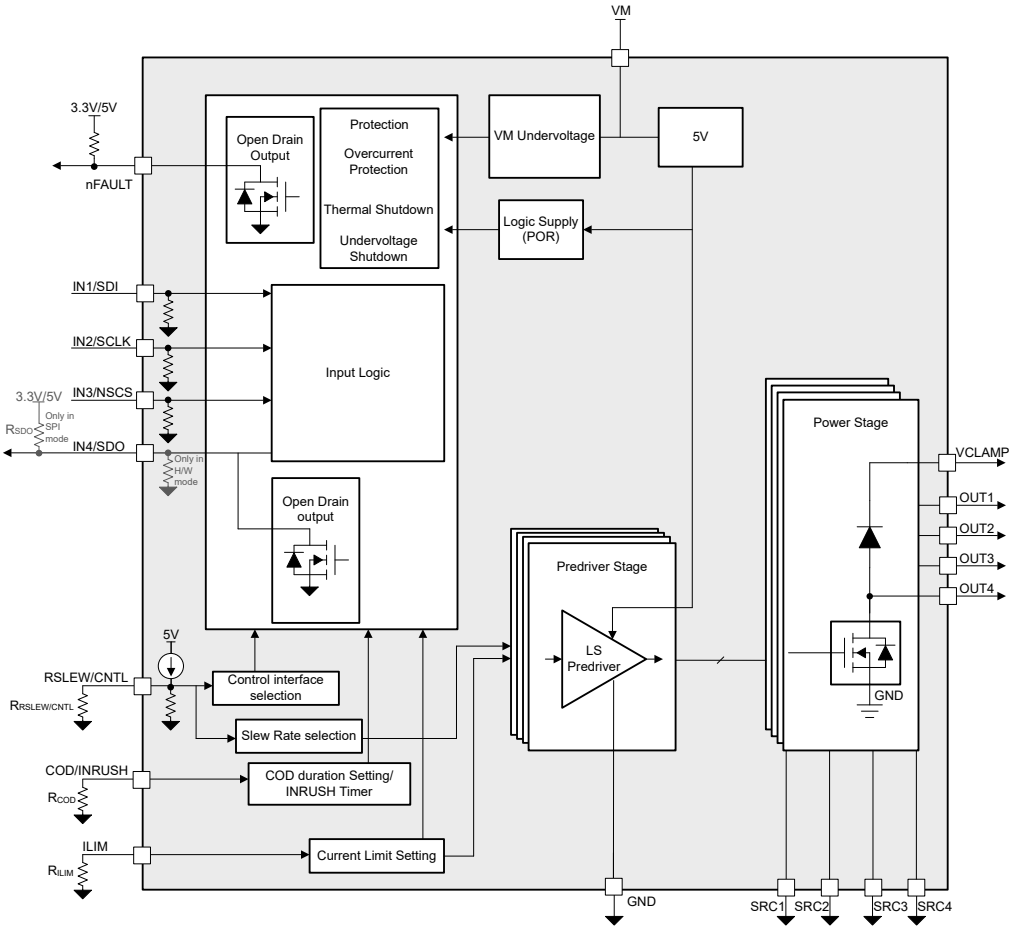
2 つの重要な構成可能な保護機能により、障害条件が発生した場合でもシステム レベルのパワー マネージメントが向上します。アナログ電流制限 (ILIM) は 1 つの抵抗でグローバルに設定され、過負荷イベント時に出力電流をクランプします。また、チャネルごとの過熱保護により、安全動作温度を超えるチャネルは独立してシャットダウンします。カットオフ遅延 (COD) により、影響を受けるチャネルをシャットオフする前に ILIM イベントの持続時間が制限され、サーマル シャットダウンのみのアプローチに比べて平均消費電力が大幅に低減されます。INRUSH モードでは、電流制限スレッショルドが最大 10ms の間 2 倍になり、スタートアップ時に容量性負荷またはランプ負荷に対応できます。

スルーレートが設定可能 (100ns ～ 1500ns) であるため、同じデバイスで高速スイッチングと EMI に敏感なアプリケーションの両方に対応できます。デイジーチェーンをサポートした SPI モードにより、チャネル数の多い設計において、MCU の GPIO と絶縁ハードウェアのオーバーヘッドを低減できます

内蔵のフリーホイール ダイオード アーキテクチャにより、誘導性負荷のターン オフを柔軟に管理できます。VCLAMP を負荷電源に直接接続すると、高速消磁を必要としないアプリケーションで低速電流減衰が可能になります。また、外部 TVS またはツェナー ダイオードを VCLAMP に接続すると、ソレノイドの短い解放時間が必要な場合に役立ちます。4 つのチャネルすべてで共有される単一の外付け TVS ダイオードで十分であり、ディスクリート実装に比べて部品点数を減らすことができます。また、露出した MOSFET ソース端子 (SRCx ピン) により、外部シャント抵抗によるチャネルごとの電流センシングがオプションで可能で、大電流パスに直列部品を追加しなくても閉ループ電流監視が可能です。単一のデバイスから大きな連続電流を必要とするアプリケーション向けに、出力をペアで並列に接続することも、4 つすべてを一緒に接続することもできます。これらの特長を組み合わせて、DRV81646-Q1 は高集積デバイスとして、ディスクリート ローサイド スイッチ実装に比べて、基板面積、外付け部の点数、システム設計の複雑さを低減できます。

Copyright © 2026 Texas Instruments Incorporated

6.2 機能ブロック図


VM
3.3V/5V
nFAULT
Open Drain Output
Protection
Overcurrent Protection
Thermal Shutdown
Undervoltage Shutdown
VM Undervoltage
5V
Logic Supply (POR)
IN1/SDI
IN2/SCLK
IN3/NSCS
IN4/SDO
3.3V/5V
RSDO
Only in SPI mode
Only in H/W mode
Input Logic
Open Drain output
Power Stage
VCLAMP
OUT1
OUT2
OUT3
OUT4
Predriver Stage
LS Predriver
GND
5V
RSLEW/CNTL
RRSLEW/CNTL
Control interface selection
Slew Rate selection
COD/INRUSH
RCOD
COD duration Setting/ INRUSH Timer
ILIM
RILIM
Current Limit Setting
GND
SRC1
SRC2
SRC3
SRC4

6.3 機能説明

6.3.1 制御インターフェイスおよびスルーレート (RSLEW/CNTL)

RSLEW/CNTL ピンにより、出力スルーレートおよび制御インターフェイスを設定します。このピンは外部抵抗で設定することも、マイコン DAC によって直接制御することもできます。スルーレートおよび制御インターフェイスは、VM が V_{UVLO} を上回ると、デバイスの起動時にラッチされ、動作中に変更することはできません。表 6-1 に、ハードウェア モードで使用可能な立ち上がり/立ち下がり時間を示します。表 6-2 に、SPI モードで使用可能な立ち上がり/立ち下がり時間を示します。

スルーレートは、VM および VLOAD 電圧全体にわたってほぼ一定に保たれますが、立ち上がり時間は電圧に基づいて変化します。たとえば、同じスルーレートの場合、V_{VM} = 12V の立ち上がり時間は V_{VM} = 24V と約半分になります。

表 6-1. ハードウェア モードのスルーレート選択

制御インターフェイス	立ち上がり時間または立ち下がり時間 (標準値、V_{VM} = 24V)	V_{VM} = 24V のスルーレート	RSLEW/CNTL ピン電圧
ハードウェア (GPIO)	100ns	192V/µs	V_{LVL1} (GND に接続)
	300ns	64V/µs	V_{LVL6} (ハイ インピーダンス/フローティング)
	700ns	27.4V/µs	V_{LVL4} (100kΩ から GND へ)
	1500ns	12.8V/µs	V_{LVL3} (44.2kΩ から GND へ)

表 6-2. SPI モードのスルーレート選択

制御インターフェイス	立ち上がり時間または立ち下がり時間 (標準値、V_{VM} = 24V)	V_{VM} = 24V のスルーレート	RSLEW/CNTL ピン電圧
SPI	300ns	64V/µs	V_{LVL7} (ロジック電圧に接続)
	700ns	27.4V/µs	V_{LVL5} (249kΩ から GND へ)
	1500ns	12.8V/µs	V_{LVL2} (14.7kΩ から GND へ)

6.3.2 FET ソース端子による電流検出

各 MOSFET のソース端子は、SRCx ピンに露出しています。図 6-1 に示されているように、SRC ピンと GND の間に外部センス抵抗を接続して、そのチャネルの電流を測定できます。

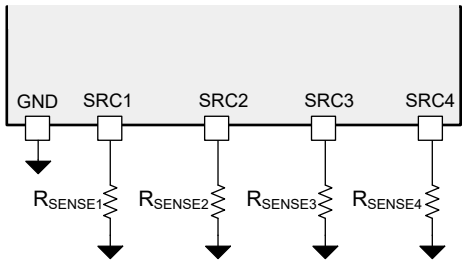


図 6-1. 各 SRC ピンのセンス抵抗

外部電流検出を使用しない場合は、SRC ピンを GND に直接接続する必要があります。

SRCx ピンの絶対最大定格では、シャント抵抗の最大電圧が 0.6V に設定されます。最大負荷電流時にセンス抵抗の両端の電圧が 0.6V を超えないように、シャント抵抗のサイズを設定する必要があります。

Copyright © 2026 Texas Instruments Incorporated

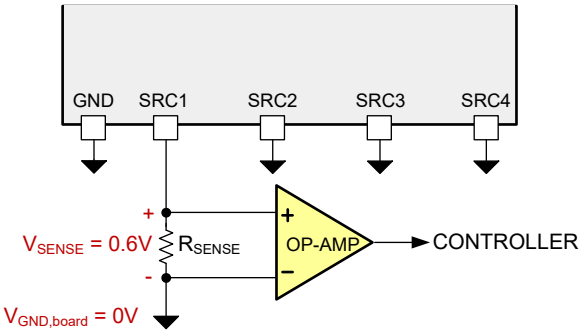


図 6-2. 電流センス抵抗を使用した基板グランドを基準とする SRCx 電圧

例では、最大 V_{SENSE} として 250mV を使用します。これは 0.6V 未満で、安全や誤差の余裕があります。例として、I_{LIM} = 2A および $I_{LIM_ACTIVATE}$ = 3A の場合に ILIM を 30kΩ に設定するように、負荷の最大 I_{PEAK} 電流を 4A とします。

$$R_{SENSE} = \frac{V_{SENSE}}{I_{PEAK}} = \frac{0.250V}{4A} = 0.0625\Omega = 62.5m\Omega \quad (1)$$

この例の負荷の 4A ピーク電流では、V_{SENSE} を 250mV 未満に維持するために、電流センス抵抗は 62.5mΩ 以下にする必要があります。また、センス抵抗のサイズは、消費電力に適したものとする必要があります。この例では、62.5mΩ 抵抗の両端に 4A を供給する場合、消費電力は:

$$D = I2R = 4A^2 \times 0.0625\Omega = 1.0W \quad (2)$$

したがって、この例では 1W 以上の抵抗を推奨します。

Copyright © 2026 Texas Instruments Incorporated

6.3.3 内蔵クランプ ダイオード、VCLAMP

DRV81646-Q1 には、保護された 4 つのローサイド ドライバが搭載されています。各出力には、共通のピン VCLAMP に接続されたクランプ ダイオードが内蔵されています。

VCLAMP は、ツェナーまたは TVS ダイオードから VM または GND に接続できます。これにより、スイッチ電圧がメイン電源電圧 VM を超えることができます。この接続は、非常に高速な電流減衰が必要な負荷を駆動する場合に有益です。各出力には VCLAMP ピンへのダイオードがあるため、4 つのチャネルすべてで 1 つの外部 TVS ダイオードを共有できます。または、VCLAMP をメイン電源電圧 (VM) に直接接続することもできます。

いずれの場合も、出力の電圧が DRV81646-Q1 の最大出力電圧仕様を超えないようにする必要があります。DRV81646-Q1 がサポートしている構成を以下に示します。

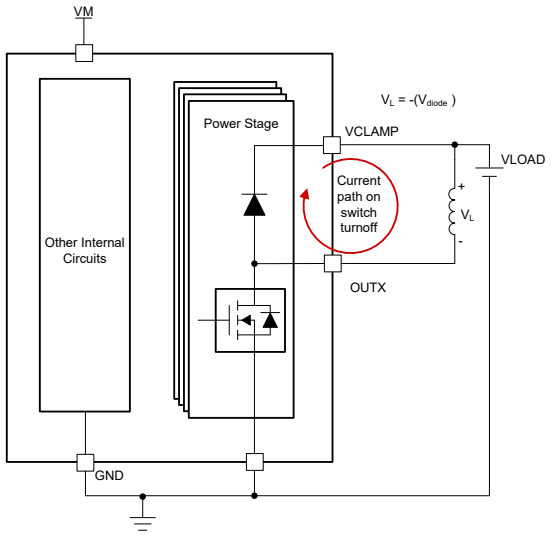


図 6-3. 低速減衰 (VCLAMP を VLOAD に接続)

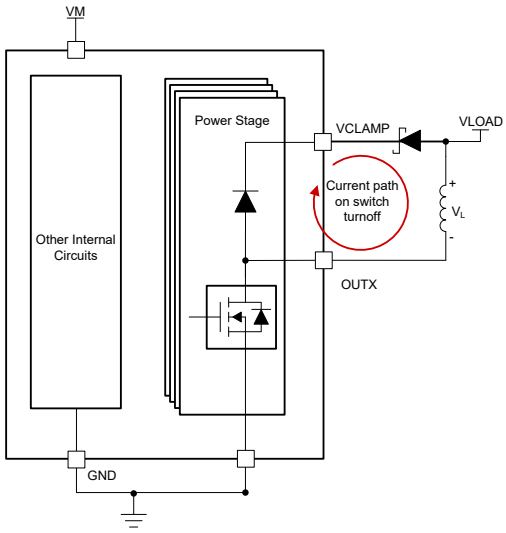


図 6-4. 最高速の減衰 (TVS/ツェナー VCLAMP から VLOAD へ)

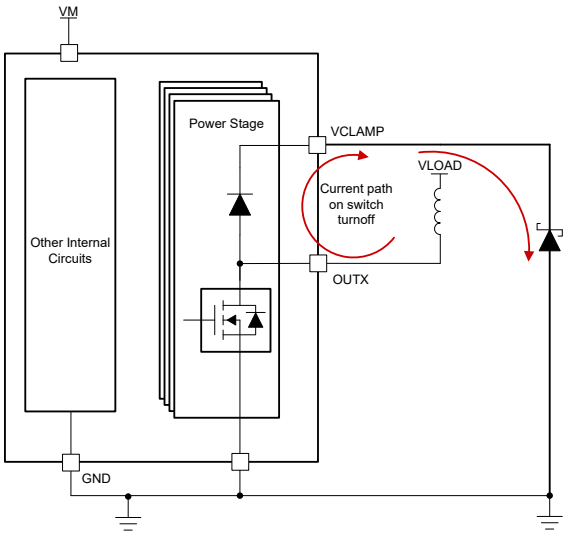


図 6-5. 高速減衰 (TVS/ツェナー CLAMP から GND へ)

Copyright © 2026 Texas Instruments Incorporated

表 6-3. VCLAMP 減衰モード

VCLAMP 接続	ディケイ モード	使用に適した状況	V_L 電圧
VLOAD に直接接続	スロー ディケイ	高速減衰が必要ない負荷。VM の全動作範囲において安全です。	$V_L = -V_{diode}$
TVS またはツェナーから VLOAD へ	高速減衰	最高速の電流減衰。OUTx 最大電圧を超える可能性があるため、VM または VLOAD > 28V の場合は推奨しません。	$V_L = -[V_{diode} + V_{zener}]$
TVS またはツェナーから GND へ	高速減衰	TVS から VLOAD までのクランプ電圧は低いけれども、高速電流減衰はわずかに遅くなります。TVS は、リーク電流を防止するために、VLOAD よりも高いブレークダウン電圧を必要とします。	$V_L = -[V_{diode} + V_{zener} - V_{LOAD}]$

6.3.4 保護回路

DRV81646-Q1 は、VM 低電圧、チャネルごとの過熱、ダイ過熱、過電流イベントから保護されています。

6.3.4.1 ILIM アナログ電流制限

DRV81646-Q1 は、短絡や大きな突入電流の容量性負荷に対する保護のために、各出力にアナログ電流制限を実装しています。出力段で高電流の状態 I > $I_{LIM_ACTIVATE}$ が検出されると、FET のゲート駆動電圧が低下し、出力電流を I_{LIM} レベルでレギュレートします。このゲート駆動調整により、FET がリニア領域で動作するため、$R_{DS(ON)}$ がはるかに高くなり、大きな電力が消費されます。この電流制限機能 (ILIM) は過電流保護に似たように設計されていますが、過電流イベント中に FET を完全にオフにするのではなく、デバイスが過熱するまで電流は安全なレベルに制限されます。

図図 6-6 と図 6-7 に、容量性負荷の場合など、定常状態の連続電流より前の突入電流を安全なレベルまで低減する ILIM を示します。この機能により、PCB のパターン幅を減らし、システムの電源能力の要件を低減できるというシステム レベルの利点が得られます。

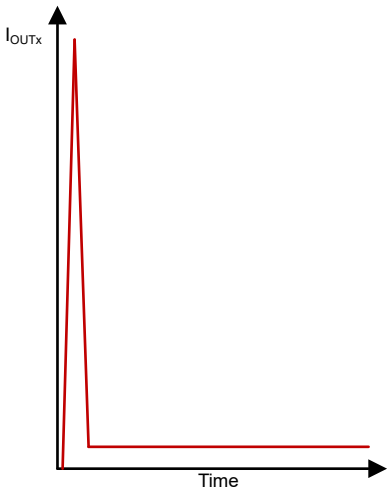


図 6-6. 電流制限保護がない場合の大きなスタートアップ電流

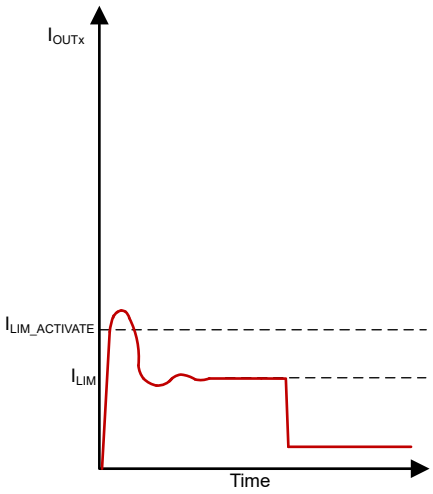


図 6-7. ILIM 電流制限保護を行った場合の制御されたスタートアップ電流

表 6-4 に示されているように、アナログ電流制限レベル I_{LIM} は、ILIM ピンと GND との間にプルダウン抵抗を接続することで構成できます。I_{LIM} は、R_{ILIM} に基づいて 4 つのチャネルすべてに対して同じ値が設定されます。チップ全体の過熱などのイベントが発生しない限り、1 つのチャネルの電流制限状態は他のチャネルには影響を与えません。

Copyright © 2026 Texas Instruments Incorporated

表 6-4. ILIM 抵抗に応じたアナログ電流制限レベル

ILIM PIN と GND 間の R_{ILIM} 抵抗	電流制限レベル、I_{LIM}
$0 \le R_{LIM} < 20k\Omega$	3A
$30k\Omega \le R_{LIM} \le 120k\Omega$	$I_{LIM}[A] = 60/R_{LIM}[k\Omega]$
$R_{LIM} \ge 120k\Omega$	$I_{LIM}[A] = 60/R_{LIM}[k\Omega]$、非線形にすることが可能

図 6-8 に、カットオフ遅延が無効化された短絡条件での $t_{TIME_TO_TSD}$ 間のアクティブ電流制限を示しています (0kΩ ≤ R_{COD} < 20kΩ)。セクション 6.3.4.2 に、カットオフ遅延機能の詳細が記載されています。チャネルがオフになってから、チャネル温度が安全なレベル ($t_{TSD} - t_{TSD_HYS}$) に戻った後のみ、チャネルは再試行を行います。I_{LIM} 条件中にチャネル INx の状態が変化した場合、コントローラは出力をオフにするなど、入力状態の変化に応答します。TSD によってデバイスがオフになり、温度が依然として安全なレベルを超えている場合、デバイスは入力状態の変化に応答しません。つまり、INx がトグルされていても、デバイスがまだ高温であれば、デバイスは出力をオンに戻しません。

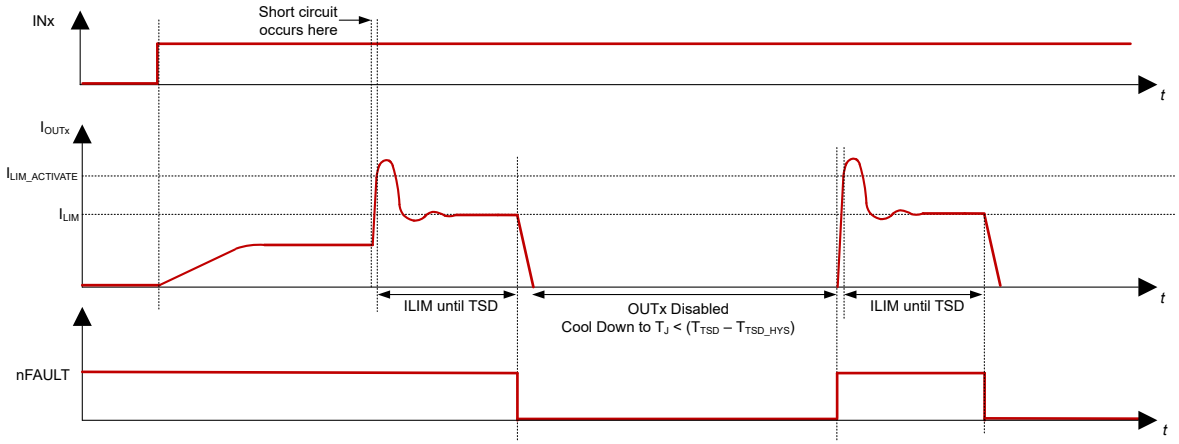


図 6-8. サーマル シャットダウン ベースの再試行による短絡への電流制限応答 (カットオフ遅延ディスエーブル)

図 6-9 に、各ローサイド FET のアナログ電流制限回路の概略回路図を示します。

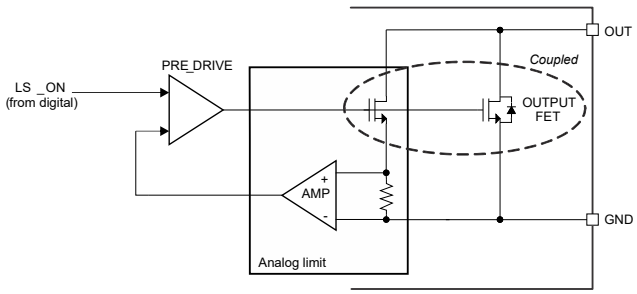


図 6-9. アナログ電流制限および検出図

6.3.4.1.1 TSD 前の消費電力に対する負荷抵抗の影響

サーマル シャットダウンに達するまでのリニア領域でチャネルが動作する時間に、負荷の抵抗が影響を及ぼします。この抵抗はリニア ドロップアウト レギュレータ (LDO) と同様に機能し、電圧降下が高い場合、デバイスはより多くの電力を消費する必要があります。

例として、5Ω 負荷と 11Ω 負荷の場合の 1A I_{LIM} 設定の 24V システムを取り上げます。電流制限なしでは、これらの消費電流はそれぞれ 4.8A と 2.2A ですが、I_{LIM} 機能を使用すると、これらは 1A にレギュレートされます。式 3 を使用して FET のリニア領域抵抗を計算し、この 1A の電流制限を実現します:

Copyright © 2026 Texas Instruments Incorporated

$$I = \frac{V}{R} \quad (3)$$

$$I_{LIM} = \frac{V_{VM}}{\left[R_{LOAD} + R_{DS(ON)}\right]} \quad (4)$$

式 4 を並べ替えて $R_{DS(ON)}$ を求め、次に負荷が 5Ω と 11Ω の場合のシステム値を代入します:

$$R_{DS(ON)} = \left[\frac{V_{VM}}{I_{LIM}}\right] - R_{LOAD} \quad (5)$$

$$R_{DS(ON)_5\Omega} = \left(\frac{24V}{1A}\right) - 5\Omega \rightarrow R_{DS(ON)_5\Omega} = 19\Omega \quad (6)$$

$$R_{DS(ON)_11\Omega} = \left(\frac{24V}{1A}\right) - 11\Omega \rightarrow R_{DS(ON)_11\Omega} = 13\Omega \quad (7)$$

この抵抗を使って、DRV81646-Q1 FET 内で消費される電力を計算します。

$$P_{FET_5\Omega} = I^2 \times R = 1A^2 \times 19\Omega = 19W \quad (8)$$

$$P_{FET_11\Omega} = I^2 \times R = 1A^2 \times 13\Omega = 13W \quad (9)$$

式 8 および式 9 から分かるように、両方の負荷が 1A に制限されていても、DRV81646-Q1 は 11Ω 負荷より 5Ω 負荷の場合に、より多くの電力を消費します。この消費電力は、時間経過による FET の温度上昇に直接関係します。消費電力が大きいほど、チャネルがサーマル シャットダウンに至るまでの時間が短くなります。

6.3.4.2 カットオフ遅延 (COD)

アナログ電流制限条件により消費電力が非常に大きくなるため、DRV81646-Q1 にはカットオフ遅延機能があり、I_{LIM} または過電流状態の最大長を制御します。これにより、表 6-5 に示されているように、COD/INRUSH ピンのプルダウン抵抗によって t_{COD} を調整できます。

表 6-5. カットオフ遅延 (COD) 設定

COD/突入電流と GND の間の R_{COD} 抵抗	関数の動作	nFAULT ピン	FAULT ビット (SPI)
$0 \le R_{COD} < 20k\Omega$	カットオフ遅延機能は無効化され、出力段と IC はサーマル シャットダウンによってのみ保護されます	チャネルがサーマル シャットダウンに達すると Low にプルされます。チャネル温度が安全なレベルに戻ると解放されます	チャネルがサーマル シャットダウンに達すると、対応するチャネルの FAULT ビットが設定されます。このビットは、有効な SPI トランザクションが終了すると自動的にクリアされます
$60k\Omega \le R_{COD} \le 240k\Omega$	電力段がオフになる前に、電流制限は $t_{COD} = R_{COD}(k\Omega)/120ms$ (標準値) 間の持続が許可されます	COD が経過すると Low になります。t_{RETRY} が経過すると解除されます。	t_{COD} が経過すると、対応するチャネルの FAULT ビットが設定されます。このビットは、有効な SPI トランザクションが終了すると自動的にクリアされます
$240k\Omega \le R_{COD} \le 470k\Omega$	COD = $R_{COD}(k\Omega)/120ms$ ですが、直線性は規定されていません。		
$R_{COD} \ge 1M\Omega$	INRUSH モード イネーブル。t_{INRUSH} = 10ms (標準値)。	突入電流期間 t_{INRUSH} 中にマスクされ、電力段がサーマル シャットダウンに達すると Low になります。	対応するチャネルの FAULT ビットは突入期間 t_{INRUSH} 中にマスクされ、電力段がサーマルシャットダウンに達すると Low になります。

$60k\Omega \le R_{COD} \le 240k\Omega$ の場合、デバイスは $t_{COD} = R_{COD}(k\Omega)/120$ ms の間、電流制限条件で安定します。チャネルがオフになった後、チャネルは $t_{RETRY} = (t_{COD} \times 32)$ ms (標準値) が経過した後にのみ再試行を行います。電流制限条件中にチャネル状態を変更した場合、コントローラは入力状態の変化に応答します。しかし、t_{RETRY} 中は、コントローラは入力状態の変化に応答しません。

Copyright © 2026 Texas Instruments Incorporated

R_{COD} ≥ 240kΩ の場合、同じ式 t_{COD} (ms) = R_{COD}(kΩ)/120 が成り立ちますが、直線性は規定されません。

COD 期間中にサーマル シャットダウンが発生すると、チャネルはオフになり、温度が安全なレベルに達すると再試行されます。サーマル シャットダウンにより出力がオフになる間、COD タイマは一時停止します。

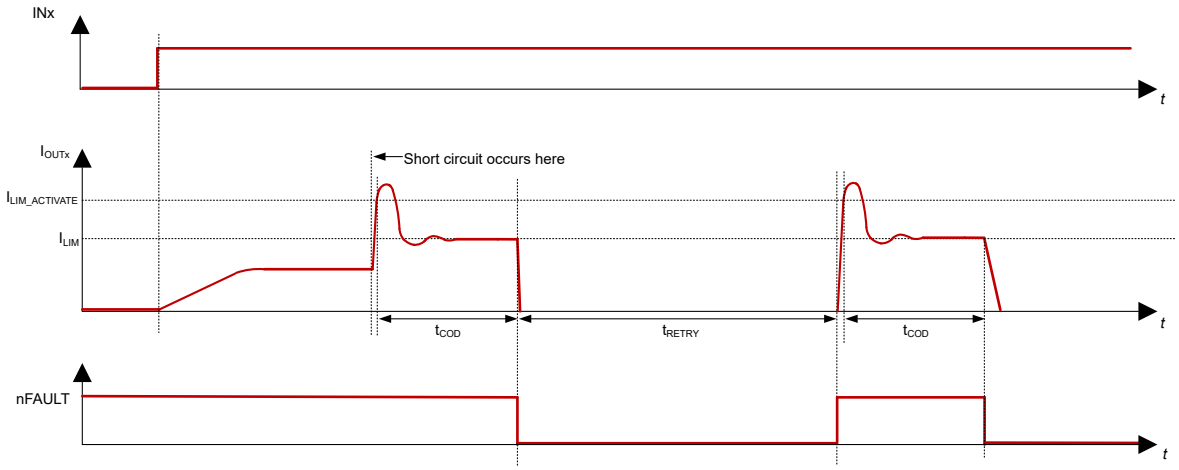


図 6-10. COD イネーブルの場合の短絡に対する電流制限回路の応答

t_{COD} および t_{RETRY} 機能のカットオフ遅延に基づくタイミングにより、サーマル シャットダウンに基づく再試行に比べて平均消費電力が低減されます。COD を使用しない場合、デバイスは 1 チャネルがオンのときに室温で 1 ～ 5ms でサーマル シャットダウンから回復します。COD を使用すると、デバイスは t_{RETRY} 全期間を待機してから、出力を再度有効にします。例として、R_{ILIM}=100kΩ、V_{VM} = V_{LOAD} = 24V、R_{LOAD} = 1Ω の条件で、COD を使用した場合と使用しない場合のサイクルあたりの平均消費電力を計算します

$$I_{LIM} = \frac{60}{R_{ILIM}} = \frac{60}{100} = 0.6A \quad (10)$$

$$P_{OUTx_ILIM} = V_{OUTx} \times I_{LIM} = [V_{LOAD} - I_{LIM} \times R_{LOAD}] \times I_{LIM} = [24V - 1\Omega \times 0.6A] = 23.4V \times 0.6A = 14.0W \quad (11)$$

カットオフ遅延が有効な場合 (60kΩ ≤ R_{COD} ≤ 240kΩ)、平均電流は t_{COD} および t_{RETRY} = t_{COD} × 32ms に依存します。R_{COD} = 120kΩ の場合

$$t_{COD} = \frac{R_{COD}[k\Omega]}{120} = \frac{120}{120} = 1ms \quad (12)$$

$$t_{RETRY} = t_{COD} \times 32 = 1ms \times 32 = 32ms \quad (13)$$

$$P_{COD_AVERAGE} = \frac{[P_{OUTx_ILIM} \times t_{COD}]}{t_{COD} + t_{RETRY}} = \frac{[14.0W \times 1ms]}{1ms + 32ms} = 0.43W \quad (14)$$

カットオフ遅延 (COD ピンが GND に接続されている、または R_{COD} < 20kΩ) なしで、デバイスは熱ヒステリシス (T_J < (t_{TSD} − t_{TSD_HYS}) 後に自動的に再試行します。再試行時間 t_{RETRY} = 2.5ms と、t_{TSD} = 1ms 後にデバイスがサーマル シャットダウンした場合と同じ 1ms のオン時間を使用して、平均消費電力を計算します。

$$P_{ILIM_AVERAGE} = \frac{[P_{OUTx_ILIM} \times t_{TSD}]}{[t_{TSD} + t_{TSD_HYS_RETRY}]} = \frac{[14.0W \times 1ms]}{[1ms + 2.5ms]} = 4W \quad (15)$$

カットオフ遅延により、サーマル シャットダウンに基づく保護 (この例では 4W) よりも、平均消費電力が大幅に低減されます (この例では 0.43W)。その結果、システム全体の発熱が低減し、隣接デバイス チャネルの性能が向上します。

Copyright © 2026 Texas Instruments Incorporated

6.3.4.3 INRUSH モード

DRV81646-Q1 は INRUSH モードを備えており、ターンオン時に大きな電流を必要とするランプなどの容量性負荷に対応でき、電流制限を 10ms 間隔 (t_{INRUSH}) に昇圧します。INRUSH モードを有効にするには、COD/INRUSH ピンを未接続のままにするか、ピンに 1M Ω 以上のプルダウン抵抗を配置します。

t_{INRUSH} 中の電流制限値は、R_{ILIM}≥ 30kΩ の場合、I_{INRUSH} = 120/R_{ILIM}[kΩ] となります。これは、I_{LIM} 電流制限値の 2 倍に等しくなります。$I_{INRUSH_ACTIVATE}$ = I_{INRUSH} + 50%、または

$$I_{INRUSH}[A] = 120 \div R_{ILIM}[k\Omega] \quad (16)$$

$$I_{INRUSH_ACTIVATE}[A] = I_{INRUSH} \times 1.50 \quad (17)$$

たとえば、ILIM ピンに 60kΩ 抵抗を接続すると、I_{INRUSH} = 120 ÷ 60 = 2.0A となります。突入電流レギュレーションは、電流が $I_{INRUSH_ACTIVATE}$ = 2.0A × 1.5 = 3.0A を超えた後にのみ有効になります。10ms 後、電流は I_{LIM} レベルでレギュレートされます。図 6-11 に、突入動作の後、サーマル シャットダウンが行われるまで、または電流が I_{LIM} レベルを下回るまでの通常の I_{LIM} 電流レギュレーションを示します。

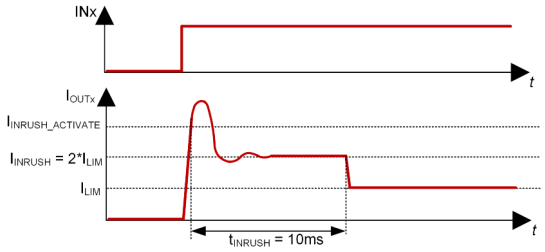


図 6-11. INRUSH 中の電流制限値

サーマル シャットダウンにより t_{INRUSH} 中にチャネルがオフになると、チャネル温度が T_{TSD}-T_{TSD_HYS} 未満の安全なレベルに低下するまで、突入タイマは一時停止されます。その後、タイマは昇圧された電流制限 I_{INRUSH} の状態で動作を継続します。対応する INx が Low にプルされると、突入タイマ数はリセットされます。INx が High になると、突入カウンタが再起動します。図 6-12 に、t_{INRUSH} 中にサーマル シャットダウンを発生させる負荷でのこのタイマ機能を示します。t > t_{INRUSH} 後に電流レギュレーションが I_{LIM} 設定まで低下します。

t_{INRUSH} 中、そのチャネルに nFAULT ピンと NFAULT SPI ビットがマスクされ、最初の突入期間中の不要なフォルト トリガを防止します。nFAULT ピンとビットは引き続き「*別の*」チャネルでフォルトを通知します。たとえば、チャネル 1 が t_{INRUSH} 内で、チャネル 3 がサーマル シャットダウンの場合、nFAULT ピンとビットはフォルトを通知します。

表 6-6. INRUSH モードの異常検出出力

デバイスの状態	電流制限	nFAULT ピン	FAULT ビット (SPI)
t < t_{INRUSH}	I_{INRUSH}	突入期間 t_{INRUSH} 中にマスクされます	対応するチャネルの FAULT ビットは、突入期間 t_{INRUSH} 中にマスクされます。
t > t_{INRUSH}	I_{LIM}	電力段がサーマル シャットダウンに達すると、Low にプルされます。チャネル温度が安全なレベルに戻ると解放されます。	チャネルがサーマル シャットダウンに達すると、対応するチャネルの FAULT ビットが設定されます。このビットは、有効な SPI トランザクションが終了すると自動的にクリアされます

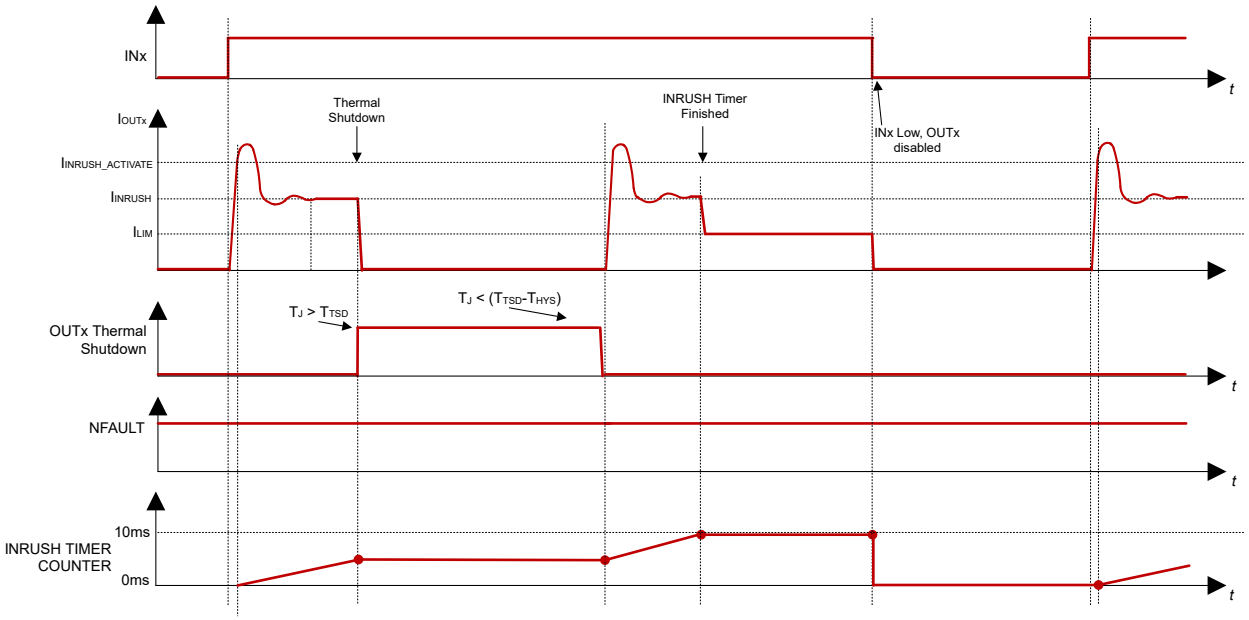


図 6-12. t_{INRUSH} 中のチャネル サーマル シャットダウンによる INRUSH タイマの例

6.3.4.4 サーマル シャットダウン (TSD)

各パワー FET の近くに専用のサーマル センサを配置します。チャネルが過熱状態になると、対応するパワー FET が無効化され、NFAULT ピンが Low にアサートされます。4 つの出力電力段の過熱保護は独立しています。

SPI モードでは、チャネルがサーマル シャットダウンに達すると、対応するチャネル FAULT ビットが設定されます。入力状態の変化が検出されると、このビットは自動的にクリアされます。

ダイ温度が安全限界を超えると、すべての出力 FET は無効になり、nFAULT ピンは Low レベルに駆動されます。ダイ温度が安全なレベルまで下がった後、動作が自動的に再開されます。SPI モードでは、ダイレベルの過熱イベントが完全に発生した場合に、すべてのチャネルの FAULT ビットが設定されます。

6.3.4.5 低電圧誤動作防止 (UVLO)

VM ピンの電圧が UVLO の立ち下がりスレッショルド電圧 V_{UVLO} を下回ると、デバイスのすべての回路がディセーブルされ、出力 FETS がディセーブルされて、すべての内部ロジックがリセットされます。図 6-13 に示されているように、V_{VM} 電圧が UVLO の立ち上がりスレッショルドを上回ると、動作が再開されます

Copyright © 2026 Texas Instruments Incorporated

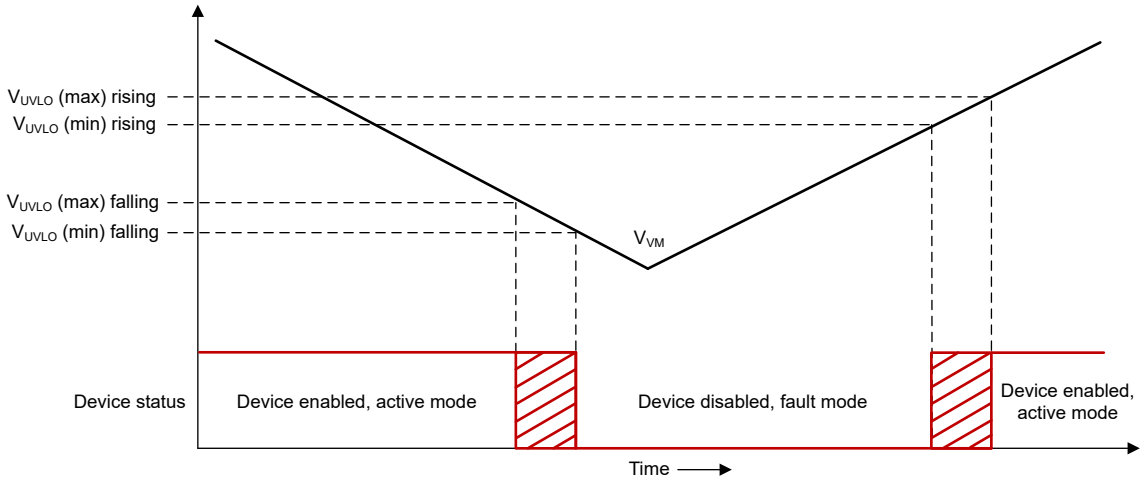


図 6-13. VM UVLO の動作

6.3.5 フォルト条件のまとめ

表 6-7 は、フォルト条件と、各条件から回復する方法の要約です。また、本デバイスが最初にウェークアップする (VM > $V_{UVLO(rising)}$) とき、nFAULT ピンは瞬間的に Low にプルされます。t_{nFAULT_VALID} 時間が経過すると、nFAULT ピンはフォルト状態を正確に通知しますが、t_{nFAULT_VALID} 時間の間、マイコンはすべての nFAULT Low 信号を無視できます。

表 6-7. フォルト条件のまとめ

フォルト		SPI FAULT [X] – チャネル X のフォルト ビット	INRUSH カウンタ	NFAULT ピン	SDO IN T_{H_SCLK} 間隔	復帰
チャネル過熱、$T_{J_CHx} > T_{TSD}$	0 < t < t_{INRUSH}	設定なし	一時停止済み	High	SDI	$T_J < (T_{TSD} – T_{TSD_HYS})$
	t > t_{INRUSH}	影響を受けるチャネルにのみに設定	-	Low にプル	SDI	
グローバル (ダイ) 過熱、$T_J > T_{TSD}$	0 < t < t_{INRUSH}	すべてのチャネルに設定	一時停止済み	Low にプル	SDI	$T_J < (T_{TSD} – T_{TSD_HYS})$
	t > t_{INRUSH}		—			
COD 時間の満了 (COD イネーブルの場合)		影響を受けるチャネルにのみに設定	-	Low にプル	SDI	t_{RETRY} 経過
SPI 誤差		設定なし	-	High	Low	次の有効な SPI フレーム
VM 低電圧 (UVLO)、$V_{VM} < V_{UVLO}$ VM 立ち下がり		SPI 利用不可	—	内部回路ディスエーブル	SPI 利用不可	$V_{VM} > V_{UVLO}$ VM 立ち上がり

6.4 デバイスの機能モード

6.4.1 ハードウェア インターフェイス動作

DRV81646-Q1 は、IN_X が OUT_X の状態を決定するシンプルなハードウェア インターフェイスを介して制御できます。INx ピンを High に駆動すると、対応する出力 FET が内部ロジック スイッチでオンになります。INx を Low に設定すると、対応する OUTx FET がオフになります。表 6-8 に、この制御方式を示します。

表 6-8. チャネル x のハードウェア制御モード

INx	OUTx	説明
0	ハイ インピーダンス	OUTx ディスエーブル (ハイ インピーダンス)
1	L	OUTx FET オン

6.4.2 パラレル出力

2 つの出力を並列に接続することで、より大きな電流を供給できます。図 6-14 に、2 つのソレノイド負荷を駆動する DRV81646-Q1 の回路図を示します。このデバイスは、4 つのチャネルすべての並列接続もサポートしています。

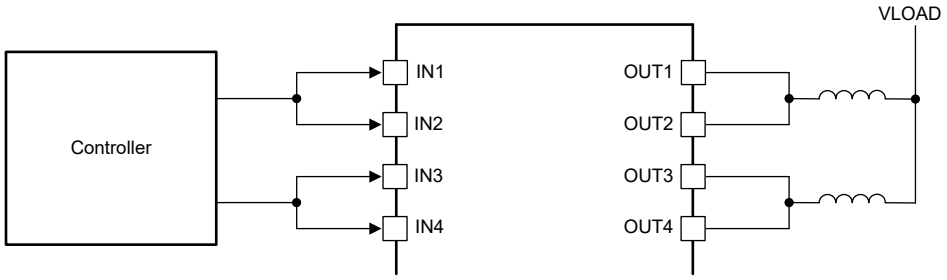


図 6-14. より大きな電流で 2 つのソレノイドを駆動

VCLAMP ピンにおける還流電流が、連続 RMS 電流または過渡電流 <1ms の絶対最大定格を超えないように注意してください。誘導性負荷の大きい PWM は、VCLAMP に高電流を発生させる可能性があります。

Copyright © 2026 Texas Instruments Incorporated

6.4.3 SPI モード

DRV81646-Q1 は 4 線式のシリアル ペリフェラル インターフェイス (SPI) を備えており、ユーザーはチャネル状態をプログラムすること、および各チャネルのフォルト情報を読み戻すことができます。図 6-15 に示されているように、シリアル データは 8 ビット形式である必要があります。

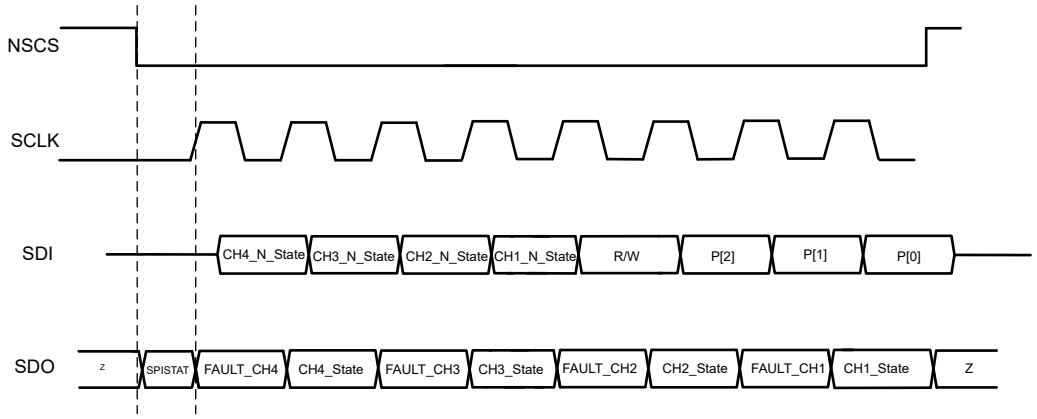


図 6-15. SPI データ - SPISTAT による標準「8 ビット」フレーム

6.4.3.1 パリティ ビット計算

P[2:0] は 3 つのパリティビットのセットで、受信データワードの正確性をチェックするために使用されます。パリティチェックに失敗した場合、出力状態は更新されません。パリティビットは以下のように計算されます。ここで、⊕は XOR です:

- P[2]:B7 ⊕ B6 ⊕ B5
- P[1]:B6 ⊕ B5 ⊕ B4
- P[0]:B5 ⊕ B4 ⊕ B3

例えば、チャネルを OUT4=1 (Bit 7)、OUT3=0 (Bit 6)、OUT2=0 (Bit 5)、OUT1=1 (Bit 4) に設定 (Bit 3 は R/W=1) する場合、パリティ計算とフレーム構成は以下のようになります。

- P[2] = (1 ⊕ 0 ⊕ 0) = 1
- P[1] = (0 ⊕ 0 ⊕ 1) = 1
- P[0] = (0 ⊕ 1 ⊕ 1) = 0
- したがって、P[2:0] = 0b110
- フル フレーム = 0b1001 1110 = 0x9E

以下に、パリティ ビット計算を実装した評価基板ファームウェアからの疑似コードを示します。

```
bool B7 = startOut4;
bool B6 = startOut3;
bool B5 = startOut2;
bool B4 = startOut1;
bool B3 = rw_bit;

bool P2 = B7 ^ B6 ^ B5;
bool P1 = B6 ^ B5 ^ B4;
bool P0 = B5 ^ B4 ^ B3;

uint8_t CMD = (B7 << 7)|(B6 << 6)|(B5 << 5)|(B4 << 4)|(B3 << 3)|(P2 << 2)|(P1 << 1)|(P0 << 0);
```

6.4.3.2 SPI 入力パケット

表 6-9. SPI 入力パケット

ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
CH4_N_State	CH3_N_State	CH2_N_State	CH1_N_State	R/W	P[2:0]		

Copyright © 2026 Texas Instruments Incorporated

CHx_N_State ビットが 1 にセットされると、内部ロジックにより、対応するローサイド出力のチャネル N-FET がオンに切り替わります。CHx_N_State を 0 にセットすると、対応する OUTx がオフになります。

R/W (読み取り/書き込み) ビットは、CHx_N_state ビットを出力に伝搬するかどうかを決定します。R/W を 1 にセットすると書き込み動作を実行します。R/W を 0 にセットすると、既存の出力状態と故障情報を読み取りますが、現在の出力状態は変更されません。出力に故障が発生すると出力がオフに切り替わり、状態は 0 を返します。

6.4.3.3 SPI 応答パケット

表 6-10. SPI 応答パケット

ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
FAULT_CH4	CH4_State	FAULT_CH3	CH3_State	FAULT_CH2	CH2_State	FAULT_CH1	CH1_State

各チャネルの現在のチャネル状態は、nSCS ピンの立ち下がりエッジ (SPI トランザクションの開始時) でラッチされます。ラッチ故障は nSCS ピンの立ち上がりエッジでクリアされます。

表 6-11. FAULT_CHx ビットの説明

FAULT_CHx	説明
0	最後の SPI トランザクション以降、チャネルが正常に動作しています。
1	チャネル X で故障が発生しました。最後の SPI トランザクション以降にチャネル X で故障が発生した場合、このビットがセットされます。有効な SPI トランザクション (パリティ チェック成功) の終了時に NSCS が High にプルバックされると、このビットはクリアされます。

6.4.3.4 SPI エラー報告

SPI エラーが発生するのは、次の場合です。

- 受信データ ビットのパリティ チェックが、受信パリティ ビットと一致していない場合
- NSCS が Low のときに受信される SCLK パルスの数が 8 の倍数でない場合

DRV81646-Q1 が t_{H_SCLK} 間隔中に SDO を Low/High にすると、現在のトランザクションにおける SPI エラーが次のトランザクションで通知されます。SDO 状態は SPISTAT = (SDI) and NOT(SPI_ERROR) に設定されます。最も簡単な SPISTAT 値の読み取り方法は、t_{H_SCLK} 間隔の間に SDI = 1 に保持し、t_{SDOHIZ} 後に SPISTAT を読み取ることです。これにより、SPI エラーが発生すると SPISTAT = 0 になり、それ以外の場合は SPISTAT = 1 になります。

SPI エラーは nFAULT ピンで通知されません。

表 6-12. SPISTAT SPI エラー報告

SPI エラー？	NOT(SPI_ERROR)	SDI	SPISTAT
なし	1	0	0
なし	1	1	1
あり	0	0	0
あり	0	1	0

Copyright © 2026 Texas Instruments Incorporated

6.4.3.5 SPI デイジー チェーン

複数のデバイスをコントローラに接続するには、デイジー チェーンを使う方法と、使わない方法があります。デイジーチェーンを使用せずに「n」台のデバイスをコントローラに接続する場合は、個々の NSCS ピンがコントローラからの GPIO リソースを「n」個利用できるようにする必要があります。これに対して、デイジーチェーン構成を使用すると、単一の NSCS ラインを使って複数のデバイスを接続できます。

図 6-16 に、2 つの DRV81646-Q1 デバイスをデイジーチェーン接続して GPIO または絶縁ピンの節約を活用する方法を示します。1 つのデバイスの SDO ピンは、チェーンの次のデバイスの SDI ピンに供給されます。このピンはオープンドレインであるため、各 SDO ピンにプルアップ抵抗を接続する必要があることに注意してください。

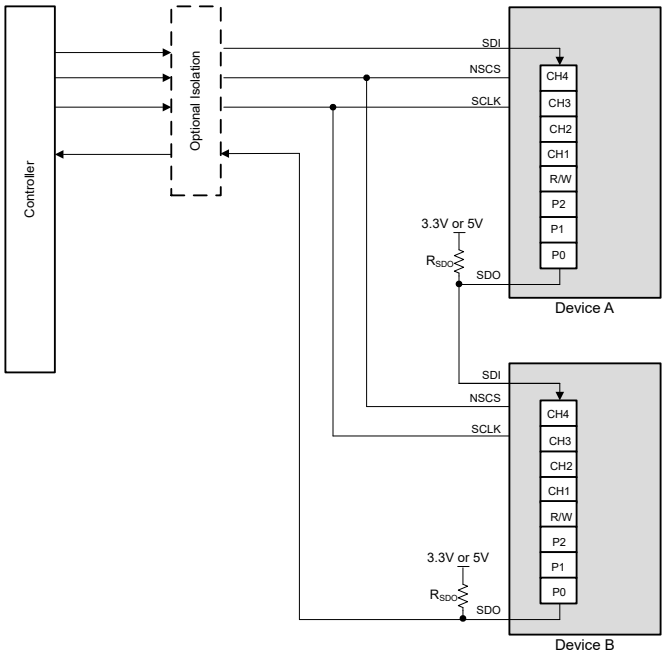


図 6-16. デイジーチェーン接続された 2 つの DRV81646-Q1 デバイス

図 6-17 に示されているように、2 つのデバイスに書き込むには、16 ビットのデータを書き込む必要があります。SDO は SCLK の正のエッジで送信されることに注意してください。SDO は、SCLK の次の負のエッジでサンプリングする準備ができます。SDI ピンの値は、SCLK の負のエッジでもサンプリングされます。

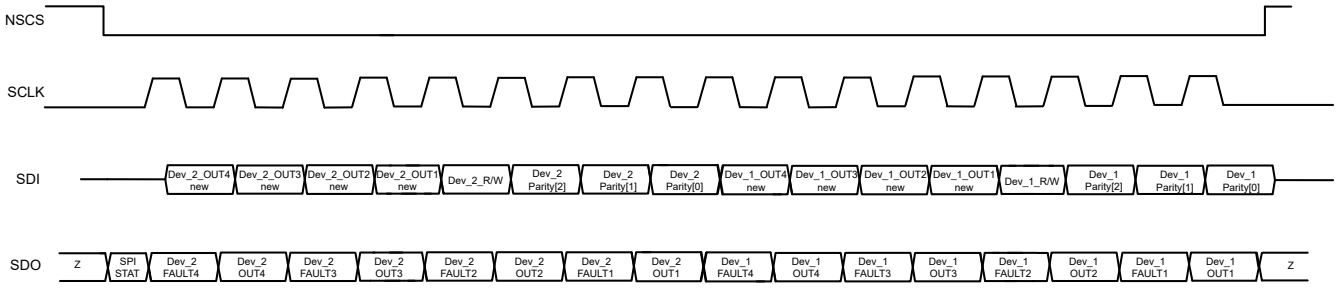


図 6-17. 2 つのデイジーチェーン接続されたデバイスでの通信の 16 ビット データ パケット

コマンド ワード デコードは、NSCS 立ち下がりエッジと立ち上がりエッジの間に検出された SCLK サイクル数が 8 の倍数の場合にのみ、NSCS の立ち上がりエッジで実行されます。SPI 通信で検出されたエラーは、SPI_STAT ビット (NSCS 立ち下がりエッジと最初の SCLK 立ち上がりエッジの間の SDO 状態) で通知され、次の SPI トランザクションで読み戻すことができます。NFAULT ピンでは通知されません。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の部品仕様に含まれるものではなく、TI はその正確性も完全性も保証しません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

DRV81646-Q1 はクワッド チャネルのローサイドであり、電球、コイル、ユニポーラ BDC モーター、LED モジュールなどの容量性負荷など、グランドへの負荷を駆動するために使用できます。チャネルを並列に接続すると、より大きな電流を駆動できます。PWM タイプの制御を必要とする誘導性負荷の場合、DRV81646-Q1 には OUT から VCLAMP へのキャッチ ダイオードも内蔵されており、低速減衰のために電流を再循環させるために使用できます。高速ターンオフのため、誘導性負荷の電流を高速減衰させるために VCLAMP ピンにブレークダウン ツェナーを接続できます。

7.2 代表的なアプリケーション

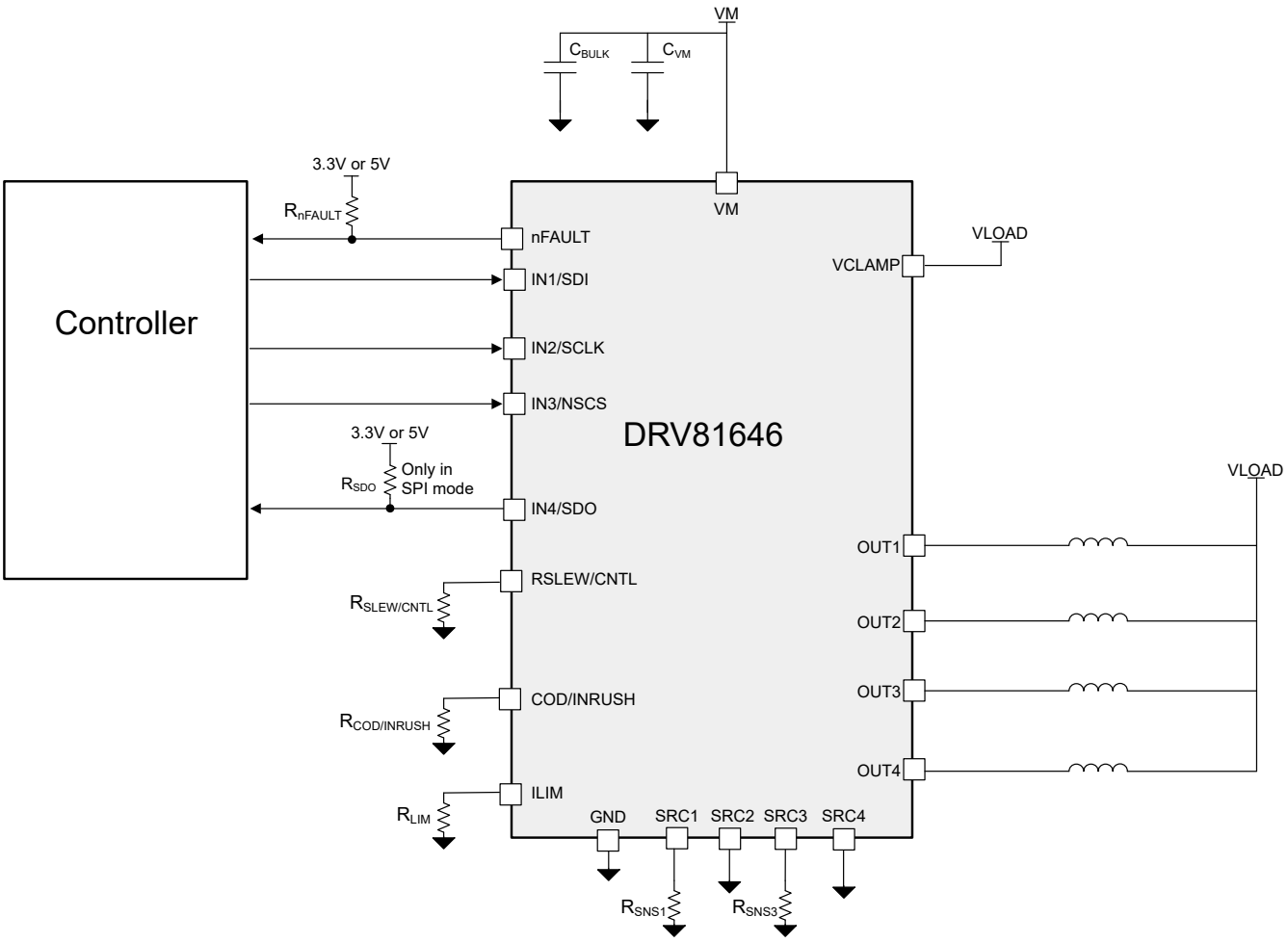


図 7-1. 代表的なアプリケーション回路図

図 7-1 に、DRV81646-Q1 のアプリケーション回路図を示します。この例の図は、これらのチャネルの外部電流検出の SRC1 および SRC3 にオプションのセンス抵抗を示しています。VLOAD と VM は互いに接続できます。または、電圧がピンの絶対最大定格を超えない限り異なる電圧にできます。

Copyright © 2026 Texas Instruments Incorporated

7.2.1 外付け部品

表 7-1 に DRV81646-Q1 の推奨外付け部品を、表 7-2 には性能向上や電気的絶縁の追加に使用できる追加部品を示します。

表 7-1. 必要な外付け部品

記号	説明	値	目的
C_{VM}	VM のコンデンサ	1µF	電源電圧フィルタリング
C_{BULK}	VM のバルク キャパシタ	47µF ～ 100µF	電源電圧の突入およびリップルの平滑化
R_{COD_INRUSH}	COD_INRUSH ピンのプルダウン抵抗	目的のカットオフ遅延と INRUSH モードに基づいて抵抗を設定	
R_{SLEW_CNTL}	RSLEW/CNTL ピンのプルダウン抵抗	目的のスルーレート設定と制御インターフェイスに基づいてプルダウン抵抗を設定	
R_{ILIM}	ILIM ピンのプルダウン抵抗	目的の電流制限に基づいて抵抗を設定	
R_{SDO}	SPI モードの場合におけるオープンドレイン IN4/SDO ピンのロジック電圧へのプルアップ抵抗	10kΩ	ピンが Low にプルされないとき、SDO 電圧をロジック High まで上昇
R_{nFAULT}	オープンドレイン nFAULT ピンのロジック電圧へのプルアップ抵抗	10kΩ	ピンが Low にプルされていないとき、nFAULT 電圧を High にバイアス

表 7-2. オプションの外付け部品

記号	説明	値	目的
C_{OUT}	各 OUTx から GND へのコンデンサ	10nF	システム レベル ESD のフィルタリング
TVS_{SURGE}	VCLAMP ピンのサージ ダイオード	SMAJ33CA または TVS3300	システム レベルの電圧サージおよび誘導性消磁に対する保護
R_{SNS}	SRC ピンから GND への電流センス抵抗	< 200mΩ	負荷電流検出の SRC ピンでのオプションの抵抗
$U_{ISOLATION}$	INx または SPI 信号のクワッド チャネル デジタル アイソレータ	INx 制御：ISO6440 SPI：ISO6441	回路の残りの部分と DRV81646-Q1 間に電気的絶縁を提供

7.2.2 連続電流能力

以下の表 7-3 は、さまざまなチャネル数と周囲温度について、各チャネルの連続電流能力の推定値を示しています。*「1 チャネルがオン」*の行は、1 つの OUT がオンで、他の 3 つの出力がオフの場合の連続電流能力を示しています。*「2 チャネルがオン」*の行は、2 つのチャネルが同じ負荷でオン、他の 2 つの出力がオフの場合を示しています。*「4 チャネルがオン」*の行は、4 つのチャネルすべてが同時にオンで、それぞれに同じ負荷がかかっている場合を示しています。たとえば、各「4 チャネルがオン」のとき、各チャネルは 2.5A を出力でき、デバイスを流れる合計電流は 10.0A です。

このデータは、消費電力に最適化されたレイアウトを持つ大きな PCB 上のベンチ テストによるもので、連続電流能力はシステムと PCB の設計によって異なります。

表 7-3. OUTx ごとの FET DC 電流能力 - DGQ パッケージ

構成	25°C	55°C	85°C	125°C
1 チャネルがオン	3.4A	3.1A	2.9A	2.4A
2 チャネルがオン	3.1A	2.7A	2.4A	1.8A
4 チャネルがオン	2.5A	2.2A	1.7A	1.3A

これは、連続的にオンの負荷にのみ適用され、PWM には適用されないことに注意してください。PWM で出力をスイッチングするとスイッチング損失が発生し、デバイスの発熱がさらに増大して、平均電流能力が大幅に低下します。

7.2.3 消費電力

DRV81646-Q1 デバイスでの電力消費は、主に出力 FET 抵抗、つまり $R_{DS(on)}$ で消費される電力によって大きく左右されます。静的負荷をかけた状態で各 FET が消費する平均電力は、式 18 で概算できます。

Copyright © 2026 Texas Instruments Incorporated

$$P = R_{DS(ON)} \times [I_{OUT}]^2 \quad (18)$$

ここで、

- P は 1 つの FET の電力損失です。
- $R_{DS(ON)}$ は各 FET の抵抗です。
- I_{OUT} は、負荷により流れる平均電流と等しくなります。

起動時およびフォルト状態では、この電流は通常動作電流よりもはるかに高くなります。これらのピーク電流とその持続時間を考慮する必要があります。複数の負荷を同時に駆動する場合は、すべてのアクティブな出力段の電力を加算する必要があります。

デバイスが放散できる電力の最大値は、周囲温度とヒートシンクに依存します。

$R_{DS(on)}$ は温度とともに上昇するので、デバイスが発熱すると消費電力が増大することに注意してください。ヒートシンクのサイズを決定する際には、この点を考慮に入れてください。

7.3 アプリケーション曲線

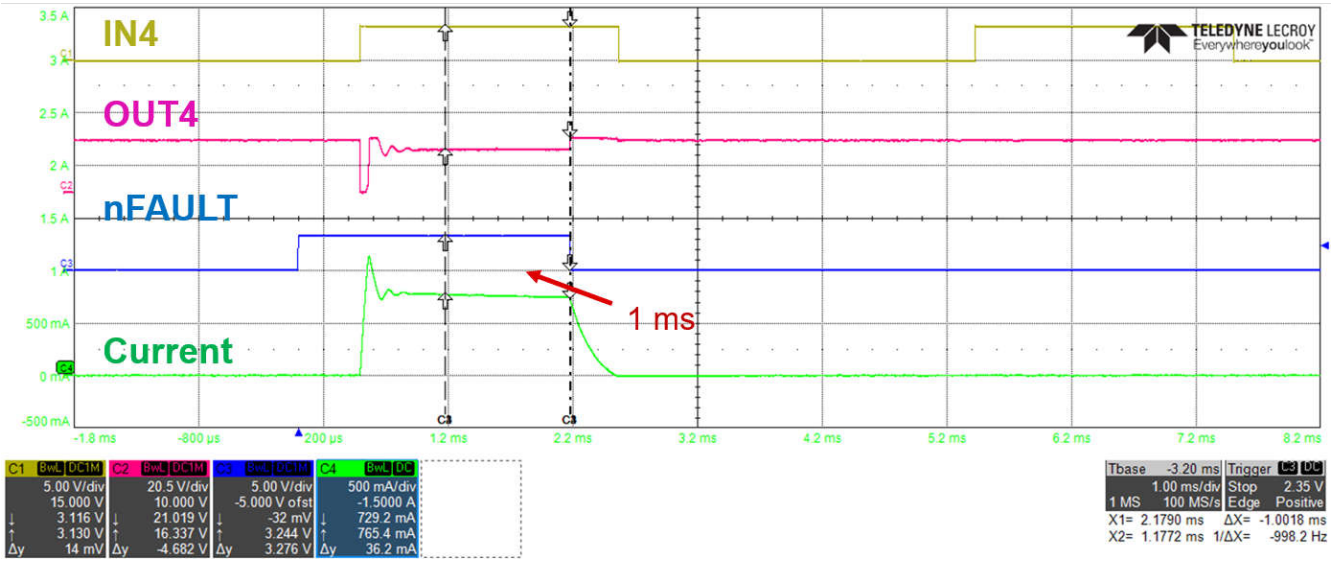


図 7-2. R_{COD} = 120kΩ での t_{COD} = 1ms、12V、12Ω 負荷、VCLAMP を VM に短絡

Copyright © 2026 Texas Instruments Incorporated

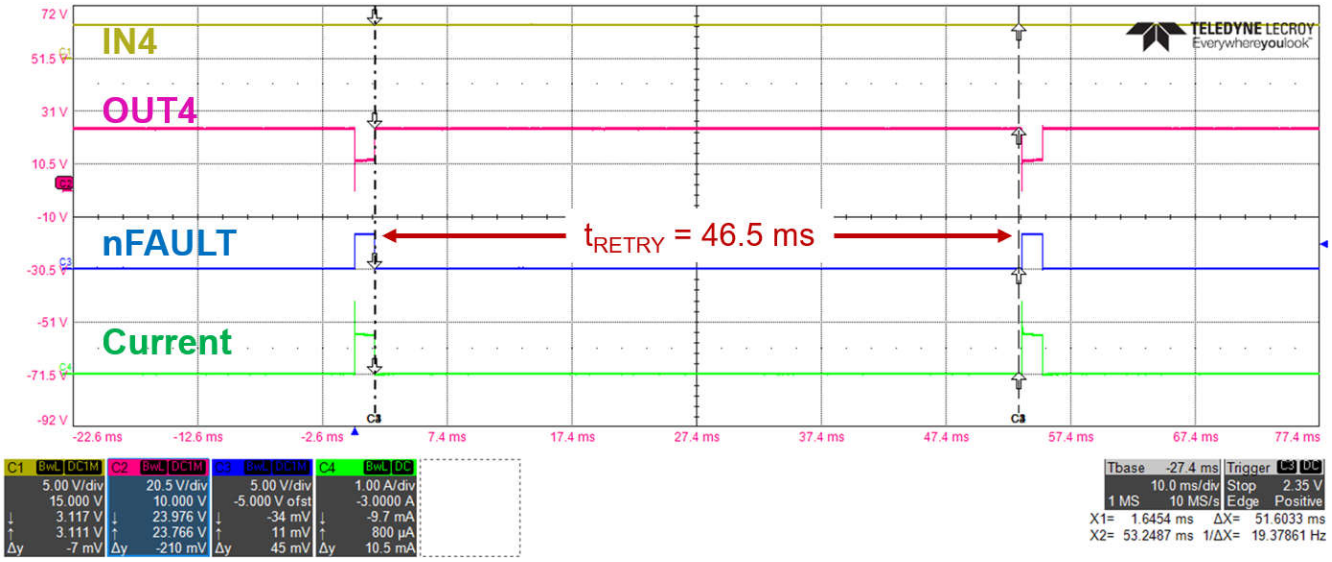


図 7-3. カットオフ遅延 (COD) イネーブルでの t_{RETRY} = 46.5ms、R_{COD} = 180kΩ、12V、12Ω 1mH 負荷、VCLAMP を VM に短絡

7.4 電源に関する推奨事項

7.4.1 バルク コンデンサ

適切なローカル バルク容量の確保は、モーター駆動システムの設計において重要な要素です。一般的に、バルク容量が大きいことは有益ですが、コストと物理的なサイズが大きくなるというデメリットもあります。モーター ドライバの近くにあるバルク コンデンサは、モーターの電流変動を平滑化するための局所的な電荷貯蔵庫として機能します。

経験豊富なエンジニアは多くの場合、バルク容量に関する一般的なガイドラインを使用してコンデンサの値を選択します。そのようなガイドラインの 1 つでは、*負荷電力 1 ワットごとに少なくとも 1μF ～ 4μF* の静電容量を使用するように指示されています。たとえば、24V 電源から 4 アンペアを引き出すソレノイドは 96 ワットの電力を持ち、この一般的なガイドラインに従うと、バルク静電容量は 96μF ～ 384μF になります。

モータが電源にエネルギーを伝達する場合のマージンを確保するため、バルク コンデンサの定格電圧は動作電圧より高くする必要があります。

ソレノイドの起動、負荷トルクの変化、PWM 動作などの電流遷移時に一定の VM 電源電圧を供給するには、大きなバルク容量が求められます。安定した電源供給に必要な容量の概算は、基板電子回路の複雑さ、コスト、およびサイズを抑えるために不可欠です。予想される負荷電流の変動と許容されるモーター電源電圧の変動に基づいて適切なコンデンサのサイズを見つけるには、一般的なガイドラインの方法が使えます。

$$C_{BULK} > k \times \Delta I_{MOTOR} \times T_{PWM} \div \Delta V_{SUPPLY} \quad (19)$$

ここで:

C_{BULK} は、バルク容量です。

k は、この種のアプリケーションで一般的なコンデンサの ESR を表す係数で、このような場合は $k \approx 3$ が実用的です。

ΔI_{MOTOR} はモータ電流の予想される変化、$i_{max} - i_{min}$ です

t_{PWM} は、PWM 周波数の逆数で、PWM サイクルです

ΔV_{SUPPLY} は、モーターの電源電圧の許容変動幅です。

図 7-4 は複数のデータ ポイントをプロットしたもので、この一般的なガイドラインを適用しています。比較的良好な一致を示しています。

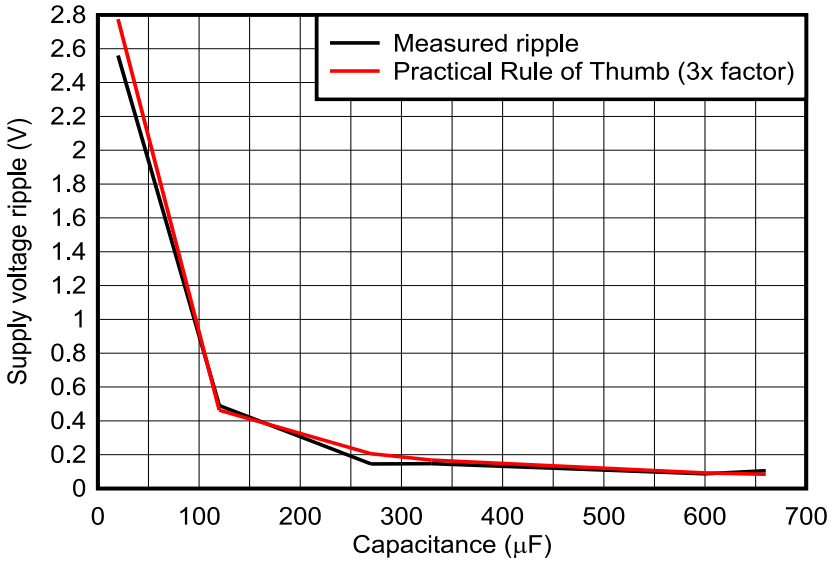


図 7-4. 測定結果と 3 x 一般的なガイドライン、電解コンデンサの実際にはゼロではない ESR 値を考慮

Copyright © 2026 Texas Instruments Incorporated

『*DC モーター駆動アプリケーションのバルク キャパシタのサイズ設定*』アプリケーション ノートも参照してください。

7.5 レイアウト

7.5.1 レイアウトのガイドライン

- バルク キャパシタは、モーター ドライバ デバイスを通る高電流パスの距離ができるだけ短くなるように配置します。接続用の金属パターンはできる限り幅を広くし、PCB 層を接続する際には多数のビアを使用します。これらの手法により、インダクタンスが最小限に抑えられ、バルク コンデンサが大電流を供給できるようになります。
- 高電流デバイス出力には幅の広い金属パターンを使用します。
- VM ピンは、VM に対応した定格を備えた低 ESR セラミック バイパス コンデンサを用いて GND ピンにバイパスされます。これらのコンデンサは VM ピンのできるだけ近くに配置し、太いパターンまたはグラウンドプレーンを介してデバイスの VNEG ピンへ接続することが推奨されます。
- 一般に、電源ピンとデカップリング コンデンサの間のインダクタンスを防ぐ必要があります。
- サーマル パッドは、システム グランドに接続する必要があります。
  - システム／基板全体に対して、大きく途切れのない単一のグラウンドプレーンを使用するようにしてください。グランド プレーンは PCB の下層に作成できます。図 7-5 に、ドライバの下のグランド プレーンが連続的である場合に対して、グランド プレーンがくびれている場合に温度が上昇する例を示します。
  - インピーダンスとインダクタンスを最小化するには、ビアを経由して下層のグランド プレーンに接続する前に、グランド ピンからのパターンをできる限り短く、幅広くする必要があります。
  - インピーダンスを小さくするために、複数のビアを使用します。
  - 熱の拡散を改善するために、デバイスの周囲のスペースをできるだけ大きく、特に PCB の下層に確保してください。
  - サーマル PAD に接続された内部グラウンドプレーン（単一または複数）を利用することで、放熱性を高め、熱抵抗を低減可能。
- レイアウト ガイドラインおよびベスト プラクティスの詳細については、『*モーター ドライバーの基板レイアウトのベスト プラクティス*』アプリケーション ノートを参照してください。

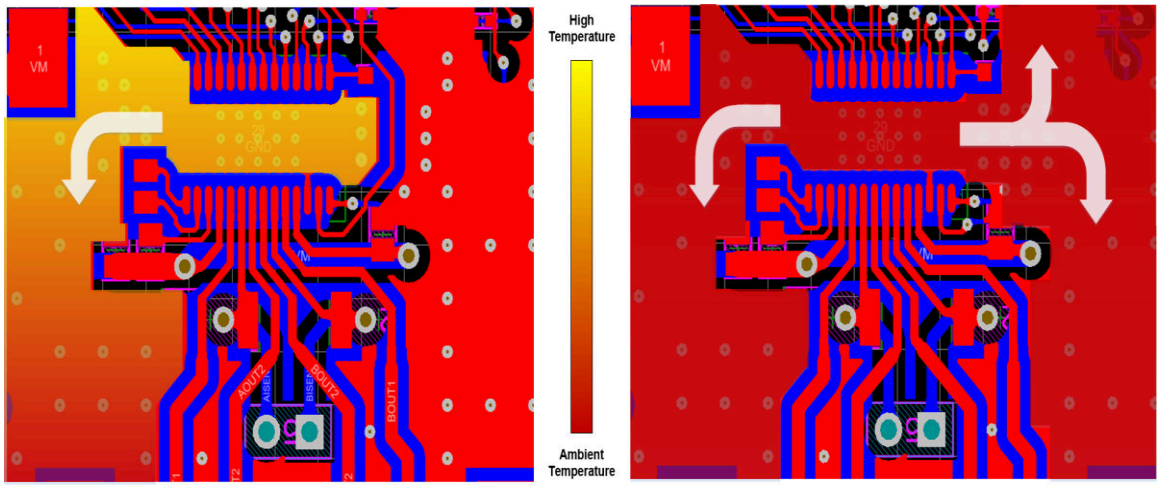


図 7-5. くびれたグランド プレーンと連続的なグランド プレーンの温度分布の比較

7.5.2 レイアウト例

レイアウト例については、評価基板 (EVM) を参照してください。DRV81646EVM 製品フォルダから Altium 設計ファイルをダウンロード可能です。

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『*モーター ドライバの基板レイアウトのベスト プラクティス*』アプリケーション ノート
- テキサス インスツルメンツ、『*DC モーター駆動アプリケーションのバルク キャパシタのサイズ設定*』アプリケーション ノート
- テキサス・インスツルメンツ、*『PowerPAD™ 入門』*アプリケーション ノート
- テキサス・インスツルメンツ、*『熱特性強化型パッケージ PowerPAD™』*アプリケーション ノート

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (May 2026) to Revision A (November 2026)	Page
• ドキュメントのステータスを「事前情報」から「量産データ」に変更	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

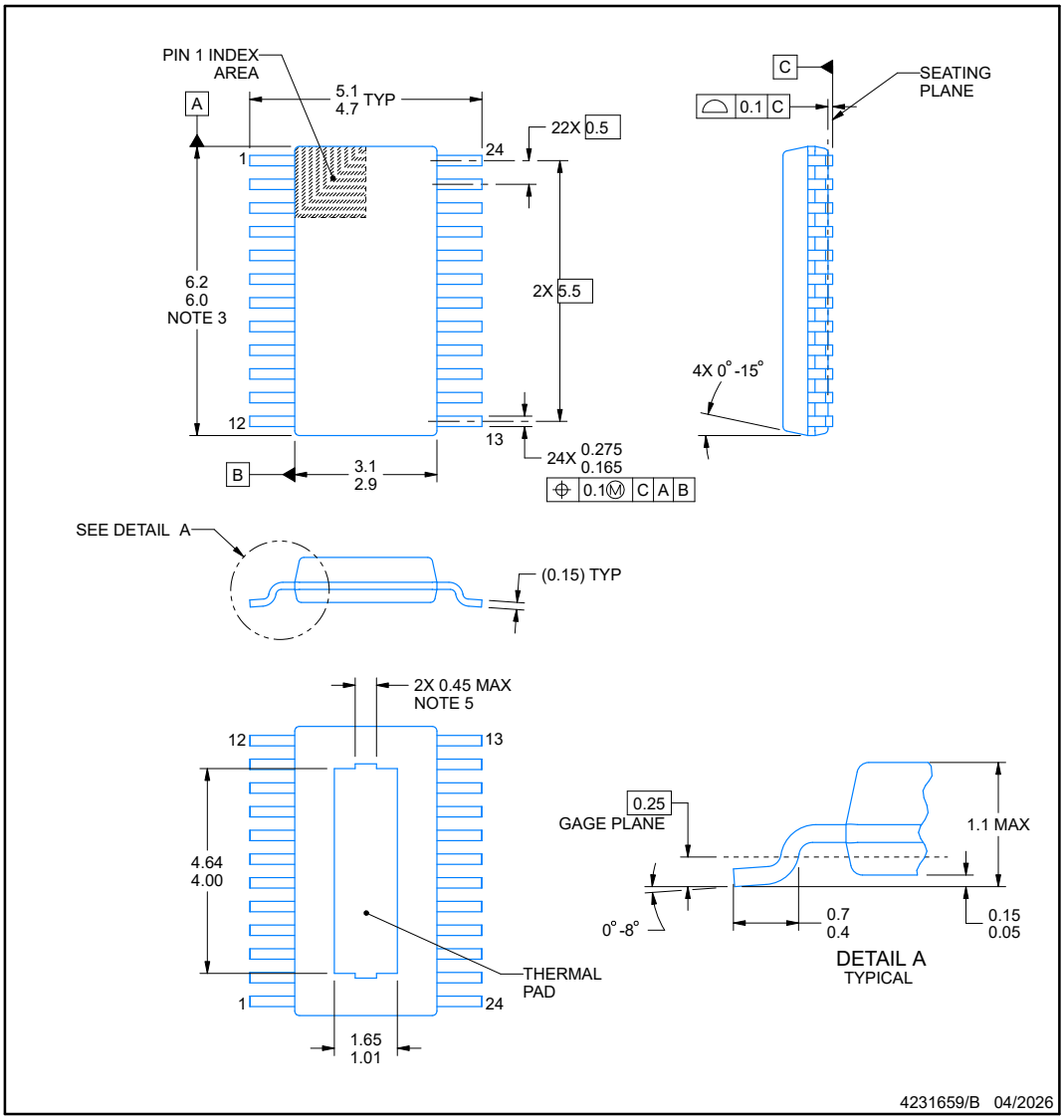
PACKAGE OUTLINE

DGQ0024A



PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



PowerPAD is a trademark of Texas Instruments.

NOTES:

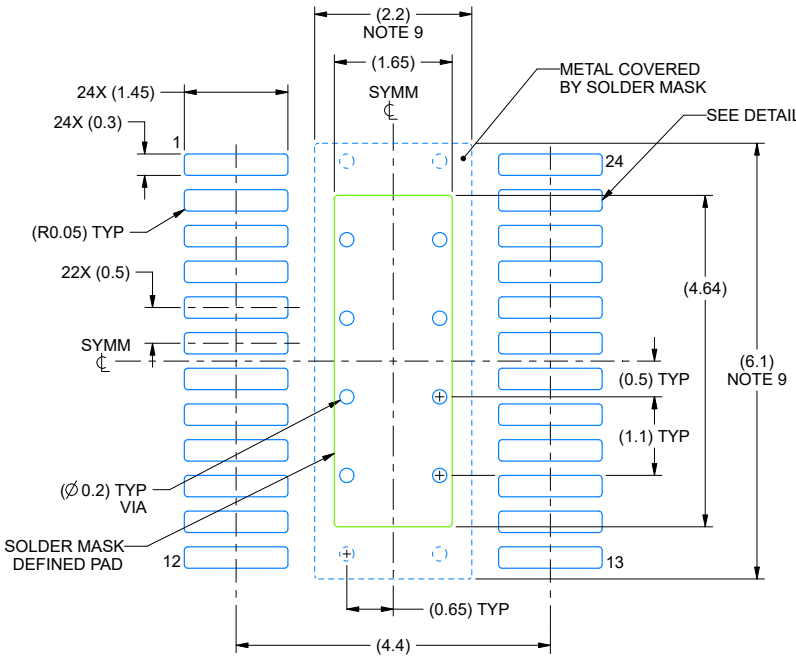
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

Copyright © 2026 Texas Instruments Incorporated

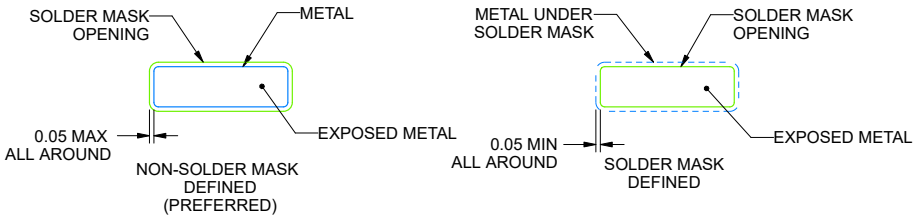
EXAMPLE BOARD LAYOUT

DGQ0024A — **PowerPAD™ VSSOP - 1.1 mm max height**

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X



SOLDER MASK DETAILS

4231659/B 04/2026

NOTES: (continued)

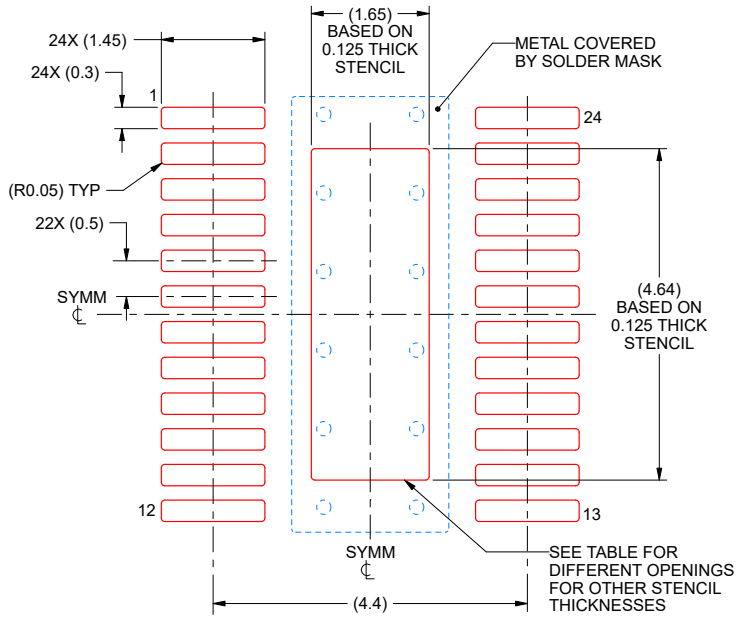
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DGQ0024A — **PowerPAD™ VSSOP - 1.1 mm max height**

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 12X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.84 X 5.19
0.125	1.65 X 4.64 (SHOWN)
0.15	1.51 X 4.24
0.175	1.39 X 3.92

4231659/B 04/2026

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PDRV81646QDGQRQ1	Active	Preproduction	null (null) |	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF DRV81646-Q1 :

- Catalog : DRV81646

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月