TEXAS INSTRUMENTS
DRV8210
JAJSKG6B – FEBRUARY 2020 – REVISED AUGUST 2021

DRV8210 11V H ブリッジ・モーター・ドライバ、PWM、PH/EN、ハーフブリッジ制御インターフェイス、および低消費電力スリープ・モード付き

1 特長

- N チャネルの H ブリッジ・モーター・ドライバ
  - MOSFET オン抵抗：HS + LS 1Ω
  - 1 つの双方向ブラシ付き DC モーターを駆動
  - 2 つの単方向ブラシ付き DC モーター
  - 単一コイルまたはデュアルコイルのラッチリレー 1 個
  - プッシュプルおよび双安定ソレノイド
  - その他の抵抗性、誘導性、または LED 負荷
- 1.65V～11V の動作電源電圧範囲
- 高い出力電流能力：
  - フルブリッジ：ピーク 1.76A
  - ハーフブリッジ：出力ごとのピーク 1.76A
  - 並列ハーフブリッジ：ピーク 3.52A
- 複数のインターフェイスにより柔軟性と GPIO の削減を達成
- 標準 PWM インターフェイス (IN1/IN2)
- 1.8V、3.3V、5V のロジック入力電圧に対応
- スリープ・モードでの非常に低い消費電力
  - V_{VM} = 5V、V_{VCC} = 3.3V、T_J = 25°C で 84.5nA 未満
  - 時間指定の自動スリープ・モードにより GPIO を削減
- 保護機能
  - 低電圧誤動作防止 (UVLO)
  - 過電流保護 (OCP)
  - サーマル・シャットダウン (TSD)
- デバイス・ファミリの詳細については、デバイスの比較をご覧ください。
  - DRV8210：1.65～11V、1Ω、複数のインターフェイス
  - DRV8210P：スリープ・ピン、PWM インターフェイス
  - DRV8212：1.65～11V、280mΩ、複数のインターフェイス
  - DRV8212P：スリープ・ピン、PWM インターフェイス
  - DRV8220：4.5～18V、1Ω、複数のインターフェイス

2 アプリケーション

- ブラシ付き DC モーター、ソレノイド、リレー駆動
- 水道、ガス、電気メータ
- IP ネットワークカメラの IR カットフィルタ
- ビデオ・ドアベル
- マシン・ビジョン・カメラ
- 電子スマート・ロック
- 電子 / ロボット玩具
- 血圧計
- 点滴用ポンプ
- 電動歯ブラシ
- 美容と化粧

3 概要

DRV8210 は、4 つの N チャネル・パワー FET、チャージ・ポンプ・レギュレータ、保護回路を内蔵した統合モーター・ドライバです。3 段のチャージ・ポンプ・アーキテクチャにより、最低 1.65V で動作し、1.8V の電源レールとバッテリの低電圧に対応できます。チャージ・ポンプにはすべてのコンデンサが内蔵されているため、PCB 上のモーター・ドライバのソリューション・サイズ全体が小さくなり、100% のデューティ・サイクルで動作できます。

DRV8210 は、PWM (IN1/IN2)、位相 / イネーブル (PH/EN)、独立ハーフブリッジ、並列ハーフブリッジを含む複数の制御インターフェイス・モードをサポートしています。各インターフェイスは低消費電力のスリープ・モードをサポートしており、内部回路のほとんどをシャットダウンすることで静止電流が非常に小さくなります。

本デバイスは、最大 1.76A のピーク出力電流を供給できます。1.65V～5.5V の電源電圧で動作します。

このドライバは、電源低電圧誤動作防止 (UVLO)、出力過電流 (OCP)、デバイス過熱 (TSD) などの堅牢な内部保護機能を備えています。

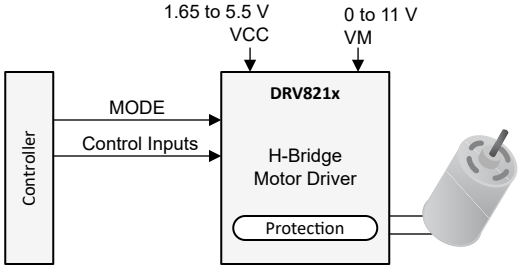
DRV8210 は、各種の負荷と電源レールに最小限の設計変更で対応できるよう、スケーラブルな $R_{DS(on)}$ と電源電圧の選択肢を取り揃えたピン互換のデバイス・ファミリの一部です。このファミリのデバイスの詳細については、デバイスの比較をご覧ください。弊社のポートフォリオ全体については、tij.co.jp のブラシ付きモーター・ドライバをご覧ください。

製品情報

部品番号(1)	パッケージ	本体サイズ (公称)
DRV8210DSG	WSON (8)	2.00mm × 2.00mm
DRV8210DRL	SOT563 (6)	1.20mm × 1.60mm

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。



概略回路図

Copyright © 2022 Texas Instruments Incorporated

目次

1 特長 1
2 アプリケーション 1
3 概要 1
4 改訂履歴 3
5 デバイスの比較 4
6 ピン構成および機能 5
7 仕様 6
7.1 絶対最大定格 6
7.2 ESD 定格 6
7.3 推奨動作条件 6
7.4 熱に関する情報 6
7.5 電気的特性 7
7.6 DSG パッケージの標準特性 8
7.7 DRL パッケージの標準特性 11
8 詳細説明 13
8.1 概要 13
8.2 機能ブロック図 13
8.3 機能説明 14
8.4 デバイスの機能モード 18
9 アプリケーションと実装 20
9.1 アプリケーション情報 20
9.2 代表的なアプリケーション 20
9.3 電流能力と熱性能 30
10 電源に関する推奨事項 37
10.1 バルク容量 37
11 レイアウト 38
11.1 レイアウトのガイドライン 38
11.2 レイアウト例 38
12 デバイスおよびドキュメントのサポート 40
12.1 ドキュメントのサポート 40
12.2 Receiving Notification of Documentation Updates 40
12.3 サポート・リソース 40
12.4 商標 40
12.5 Electrostatic Discharge Caution 40
12.6 Glossary 40
13 メカニカル、パッケージ、および注文情報 41

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (February 2020) to Revision A (April 2021)	Page
• 最初のページとデバイスの比較表にある製品ファミリへの参照を更新	1
• 「ピン構成および機能」、「仕様」表、「詳細説明」、「アプリケーションと実装」、「レイアウト」の各セクションに DRL パッケージ・オプションに関する技術情報を追加	1

Changes from Revision A (April 2021) to Revision B (August 2021)	Page
• デバイスのステータスを「量産データ」に更新	1

Copyright © 2022 Texas Instruments Incorporated

5 デバイスの比較

表 5-1. デバイス比較表

型番	電源電圧 (V)	$R_{DS(on)}$ (mΩ)	I_{OCP} (A)	選択できるインターフェイス	スリープ・モードの開始条件	ピン互換デバイス	パッケージ
DRV8210	1.65～11	950 (DRL)、1050 (DSG)	1.76	PWM、PH/EN、ハーフブリッジ	自動スリープ、VCC	DRV8210、DRV8212、DRV8220	SOT563 (DRL)、WSON (DSG)
DRV8212	1.65～11	280	4				
DRV8220	4.5～18	1000	1.76		自動スリープ、nSLEEP ピン		
DRV8210P	1.65～11	1050	1.76	PWM	nSLEEP ピン	DRV8837、DRV8837C、DRV8210P、DRV8212P	WSON (DSG)
DRV8212P	1.65～11	280	4				WSON (DSG)

Copyright © 2022 Texas Instruments Incorporated

6 ピン構成および機能

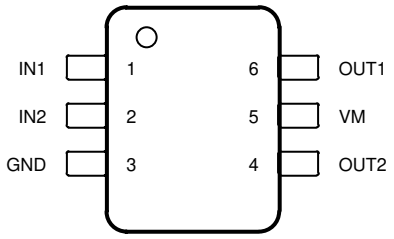


図 6-1. DRV8210 DRL パッケージ 6 ピン SOT 上面図

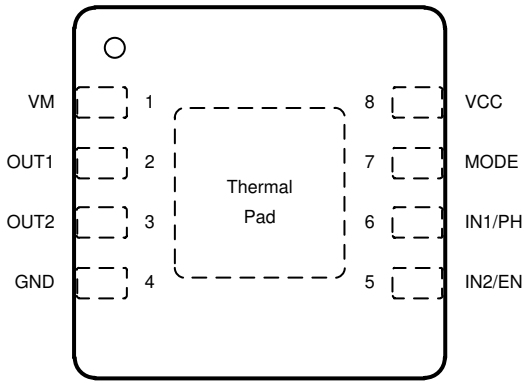


図 6-2. DRV8210 DSG パッケージ 8 ピン WSON 上面図

表 6-1. ピン機能

ピン			種類	説明
名称	DRL	DSG		
GND	3	4	PWR	デバイスのグランド。システム・グランドに接続します。
IN1	1	—	I	H ブリッジ制御入力。「セクション 8.3.2」を参照してください。内部プルダウン抵抗。
IN1/PH	—	6	I	H ブリッジ制御入力。「セクション 8.3.2」を参照してください。内部プルダウン抵抗。
IN2	2	—	I	H ブリッジ制御入力。「セクション 8.3.2」を参照してください。内部プルダウン抵抗。
IN2/EN	—	5	I	H ブリッジ制御入力。「セクション 8.3.2」を参照してください。内部プルダウン抵抗。
MODE	—	7	I	H ブリッジ制御入力モード。「セクション 8.3.2」を参照してください。VCC ピン電圧を基準とするトライレベル入力。
OUT1	6	2	O	H ブリッジ出力。モーターまたはその他の負荷に接続します。
OUT2	4	3	O	H ブリッジ出力。モーターまたはその他の負荷に接続します。
VM	5	1	PWR	モーター電源。このピンは、0.1µF のセラミック・コンデンサおよび VM 定格の十分なバルク容量を使用して GND ピンにバイパスします。
VCC	—	8	PWR	ロジック電源。このピンは、VCC 定格の 0.1µF のセラミック・コンデンサを使用して GND ピンにバイパスします。
PAD	—	—	—	サーマル・パッド。システム・グランドに接続します。

Copyright © 2022 Texas Instruments Incorporated

7 仕様

7.1 絶対最大定格

動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
電源ピン電圧	VM	-0.5	12	V
ロジック電源ピン電圧、DSG	VCC	-0.5	5.75	V
電源過渡電圧ランプ	VM、VCC	0	2	V/µs
ロジック・ピン電圧	INx、IN1/PH、IN2/EN	-0.5	5.75	V
トライレベル・ピン電圧	MODE	-0.5	V_{VCC}+0.3	
出力ピン電圧	OUTx	$-V_{SD}$	V_{VM} + V_{SD}	V
出力電流(1)	OUTx	内部的に制限	内部的に制限	A
周囲温度、T_A		-40	125	°C
接合部温度、T_J		-40	150	°C
保存温度、T_{stg}		-65	150	°C

(1) *絶対最大定格*を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「*推奨動作条件*」に示された値を越える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

7.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		荷電デバイス・モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠(2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。±2000V と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。±500V と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。

7.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

			最小	公称値	最大	単位
V_{VM}	モーター電源電圧、DRL	VM	1.65		11	V
V_{VM}	モーター電源電圧 DSG	VM	0		11	V
V_{VCC}	ロジック電源電圧 DSG	VCC	1.65		5.5	V
V_{IN}	ロジック・ピン電圧	INx、IN1/PH、IN2/EN、MODE	0		5.5	V
f_{PWM}	PWM 周波数	INx、IN1/PH、IN2/EN	0		100	kHz
I_{OUT} (1)	ピーク出力電流	OUTx	0		1.76	A
T_A	動作時周囲温度		-40		125	°C
T_J	動作時ジャンクション温度		-40		150	°C

(1) 消費電力および温度の制限に従う必要があります。

7.4 熱に関する情報

熱評価基準(1)		DRV8210 DRL (SOT563) 6 ピン	DRV8210 DSG (WSON) 8 ピン	単位
$R_{\theta JA}$	ジャンクションから周囲までの熱抵抗	153.2	99.6	°C/W
$R_{\theta JC(top)}$	ジャンクションからケース (上部) までの熱抵抗	67.1	119.9	°C/W

Copyright © 2022 Texas Instruments Incorporated

熱評価基準(1)		DRV8210 DRL (SOT563) 6 ピン	DRV8210 DSG (WSON) 8 ピン	単位
$R_{\theta JB}$	ジャンクションから基板までの熱抵抗	40.4	66.3	°C/W
Ψ_{JT}	ジャンクションから上部までの熱特性パラメータ	2.0	13.9	°C/W
Ψ_{JB}	ジャンクションから基板までの熱特性パラメータ	40.0	66.2	°C/W
$R_{\theta JC(bot)}$	ジャンクションからケース (底部) までの熱抵抗		43.6	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

7.5 電気的特性

DRL: 1.65V ≦ V_{VM} ≦ 11V、DSG: 0V ≦ V_{VM} ≦ 11V かつ 1.65V ≦ V_{VCC} ≦ 11V、-40°C ≦ T_J ≦ 150°C (特に記述のない限り)
標準値は T_J = 27°C、V_{VCC} = 3.3V、V_{VM} = 5V の場合

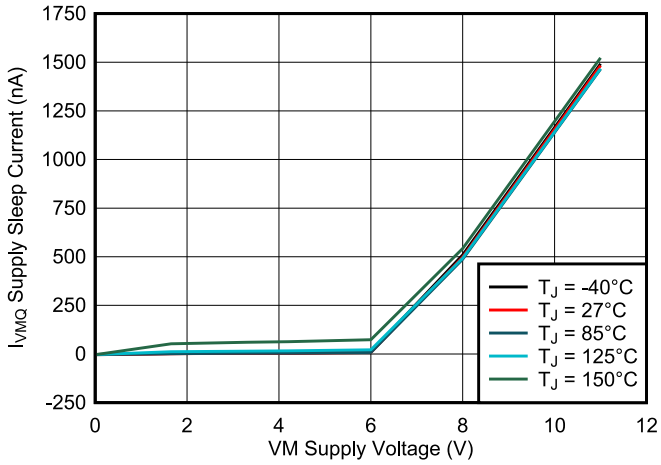
パラメータ		テスト条件	最小値	標準値	最大値	単位
電源、DRL (VM)						
I_{VM}	VM アクティブ・モード電流	IN1 = 0V、IN2 = 3.3V		1.6	3.6	mA
I_{VMQ}	VM スリープ・モード電流	INx = 0V、t_{sleep} の待機後、V_{VM} = 5V、T_J = 27°C		1	55	nA
t_{WAKE}	ターンオン時間	スリープ・モードからアクティブ・モードまでの遅延			100	µs
$t_{AUTOSLEEP}$	自動スリープのターンオフ時間	アクティブモードから自動スリープ・モードまでの遅延	0.9		2.6	ms
電源、DSG (VM、VCC)						
I_{VM}	VM アクティブ・モード電流	IN1 = 0V、IN2 = 3.3V		1.4	3.6	mA
I_{VMQ}	VM スリープ・モード電流	スリープ・モード、V_{VM} = 5V、V_{VCC}= 3.3V、T_J = 27°C		1	82	nA
I_{VMQ_UV}	VM スリープ・モード電流	INx = 0V、V_{VM} = 5V、V_{VCC} < 0.35V、T_J = 27°C		2	89	nA
I_{VCC}	VCC アクティブ・モード電流	IN1 = 0V、IN2 = 3.3V		0.18	3.6	mA
I_{VCCQ}	VCC スリープ・モード電流	スリープ・モード、V_{VM} = 5V、V_{VCC} = 3.3V、T_J = 27°C			2.5	nA
I_{VCCQ_UV}	VCC スリープ・モード電流	INx = 0V、V_{VM} = 5V、V_{VCC} < 0.35V、T_J = 27°C			35	nA
t_{WAKE}	ターンオン時間	スリープ・モードからアクティブ・モードまでの遅延			100	µs
$t_{AUTOSLEEP}$	自動スリープのターンオフ時間	アクティブ・モードから自動スリープ・モードまでの遅延	0.9		2.6	ms
ロジックレベル入力 (INx、IN1/PH、IN2/EN)						
V_{IL}	入力ロジック Low 電圧		0		0.4	V
V_{IH}	入力ロジック High 電圧		1.45		5.5	V
V_{HYS}	入力ロジック・ヒステリシス		49			mV
I_{IL}	入力ロジック Low 電流	V_I = 0V	-1		1	µA
I_{IH}	入力ロジック High 電流	V_I = 3.3V	20		50	µA
R_{PD}	入力プルダウン抵抗	対 GND		100		kΩ
トライレベル入力 (MODE)						
V_{TIL}	トライレベル入力ロジック Low 電圧		0		0.22 × V_{VCC}	V
V_{TIZ}	トライレベル入力 Hi-Z 電圧		0.60 × V_{VCC}		0.675 × V_{VCC}	V
V_{TIH}	トライレベル入力ロジック High 電圧		0.75 × V_{VCC}		5.5	V
R_{TPD}	トライレベル・プルダウン抵抗	対 GND		130		kΩ
R_{TPU}	トライレベル・プルアップ抵抗	対 VCC の		75		kΩ
ドライバ出力 (OUTx)						

Copyright © 2022 Texas Instruments Incorporated

DRL: 1.65V ≦ V_{VM} ≦ 11V、DSG: 0V ≦ V_{VM} ≦ 11V かつ 1.65V ≦ V_{VCC} ≦ 11V、-40°C ≦ T_J ≦ 150°C (特に記述のない限り)
標準値は T_J = 27°C、V_{VCC} = 3.3V、V_{VM} = 5V の場合

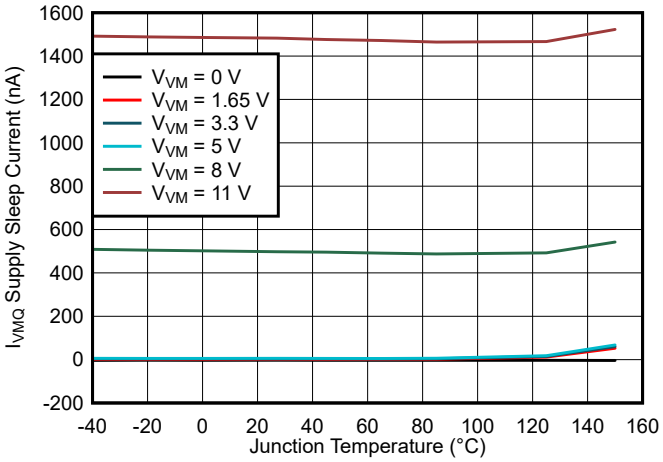
パラメータ		テスト条件	最小値	標準値	最大値	単位
$R_{DS(on)_HS}$	ハイサイド MOSFET オン抵抗	I_O = 0.2A、DRL		475		mΩ
$R_{DS(on)_HS}$	ハイサイド MOSFET オン抵抗	I_O = 0.2A、DSG		525		mΩ
$R_{DS(on)_LS}$	ローサイド MOSFET オン抵抗	I_O = -0.2A、DRL		475		mΩ
$R_{DS(on)_LS}$	ローサイド MOSFET オン抵抗	I_O = -0.2A、DSG		525		mΩ
V_{SD}	ボディダイオード順方向電圧	I_O = -0.5A		1		V
t_{RISE}	出力立ち上がり時間	V_{OUTx} の V_{VM} の 10% から 90% までの立ち上がり		150		ns
t_{FALL}	出力立ち下がり時間	V_{OUTx} の V_{VM} の 90% から 10% までの立ち下がり		150		ns
t_{PD}	入力から出力までの伝搬遅延	入力が 0.8V から V_{OUTx} = 0.1 × V_{VM} と交差、I_O = 1A		135		ns
t_{DEAD}	出力デッドタイム	内部デッドタイム		500		ns
I_{OUT}	OUTx へのリーク電流	OUTx は Hi-Z、VM への R_L = 20Ω		186		μA
		OUTx は Hi-Z、GND への R_L = 20Ω		-3		nA
保護回路						
$V_{UVLO,VM}$	VM 電源低電圧誤動作防止 (UVLO)、DRL	電源立ち上がり			1.65	V
		電源立ち下がり	1.30			V
$V_{UVLO,VCC}$	VCC 電源の低電圧誤動作防止 (UVLO)、DSG	電源立ち上がり			1.65	V
		電源立ち下がり	1.30			V
V_{UVLO_HYS}	電源 UVLO ヒステリシス	立ち上がりから立ち下がりへのスレッショルド		80		mV
t_{UVLO}	電源低電圧グリッチ除去時間	V_{VM} 立ち下がり (DRL) または V_{VCC} 立ち下がり (DSG) から OUTx ディセーブルまで		3.8		μs
I_{OCP}	過電流保護トリップ・ポイント		1.76			A
t_{OCP}	過電流保護グリッチ除去時間			4.2		μs
t_{RETRY}	過電流保護リトライ時間			1.7		ms
T_{TSD}	サーマル・シャットダウン温度		153		193	°C
T_{HYS}	過熱シャットダウン・ヒステリシス			22		°C

7.6 DSG パッケージの標準特性



A. V_{VCC} = 3.3V

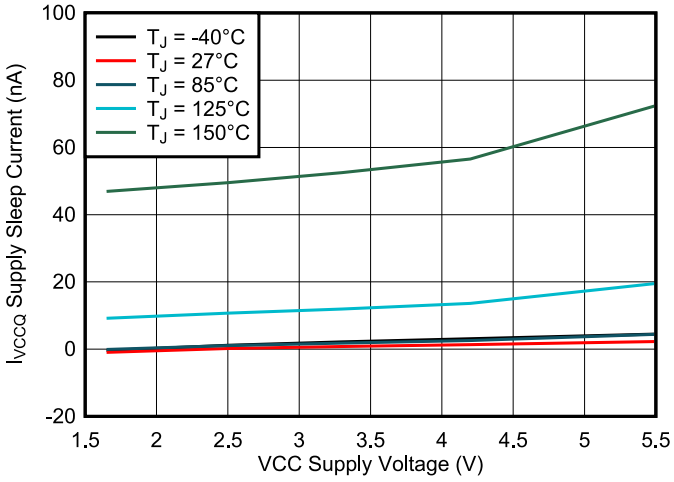
図 7-1. スリープ電流 (I_{VMQ}) と電源電圧 (V_{VM}) との関係



A. V_{VCC} = 3.3V

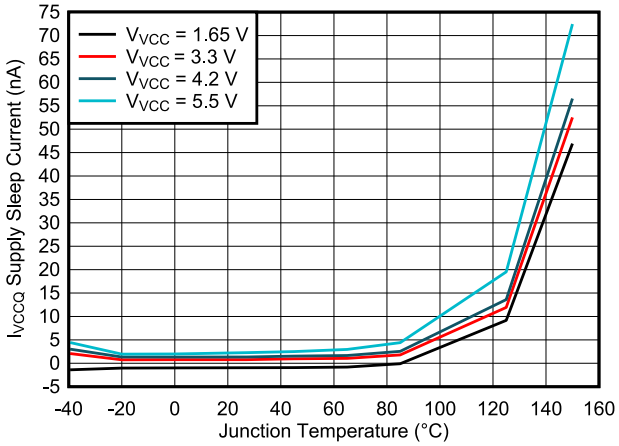
図 7-2. スリープ電流 (I_{VMQ}) と接合部温度 (T_J) との関係

Copyright © 2022 Texas Instruments Incorporated



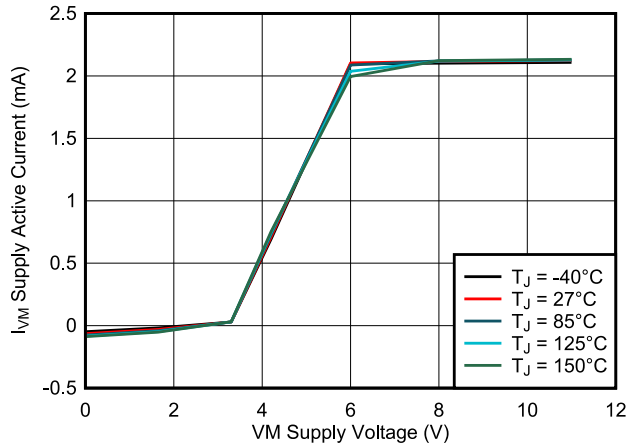
A. V_{VM} = 5V

図 7-3. スリープ電流 (I_{VCCQ}) と電源電圧 (V_{VCC}) との関係



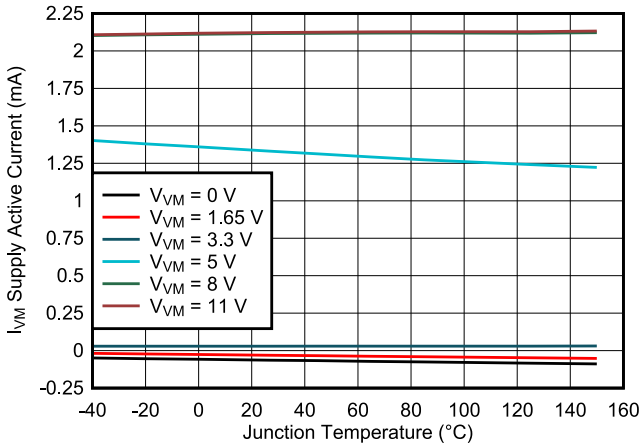
A. V_{VM} = 5V

図 7-4. スリープ電流 (I_{VCCQ}) と接合部温度 (T_J) との関係



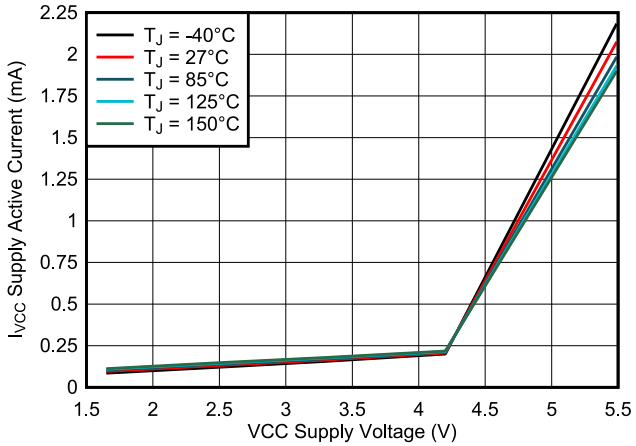
A. V_{VCC} = 3.3V

図 7-5. アクティブ電流 (I_{VM}) と電源電圧 (V_{VM}) との関係



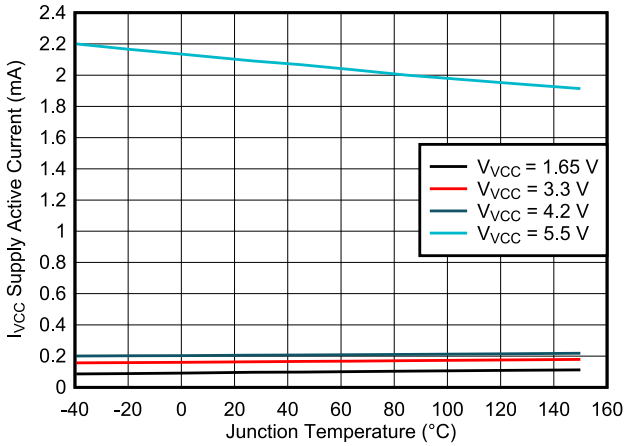
A. V_{VCC} = 3.3V

図 7-6. アクティブ電流 (I_{VM}) と接合部温度 (T_J) との関係



A. V_{VM} = 5V

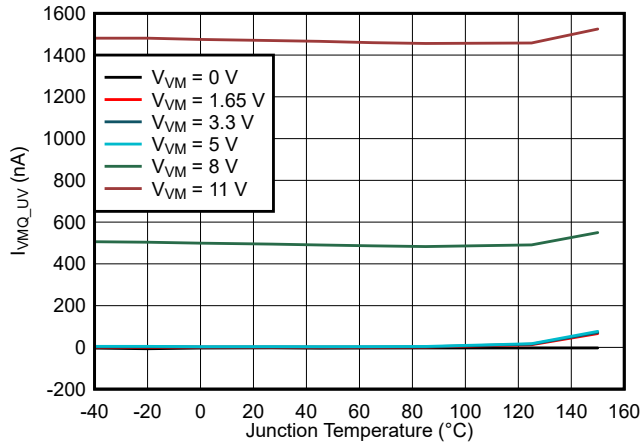
図 7-7. アクティブ電流 (I_{VCC}) と電源電圧 (V_{VCC}) との関係



A. V_{VM} = 5V

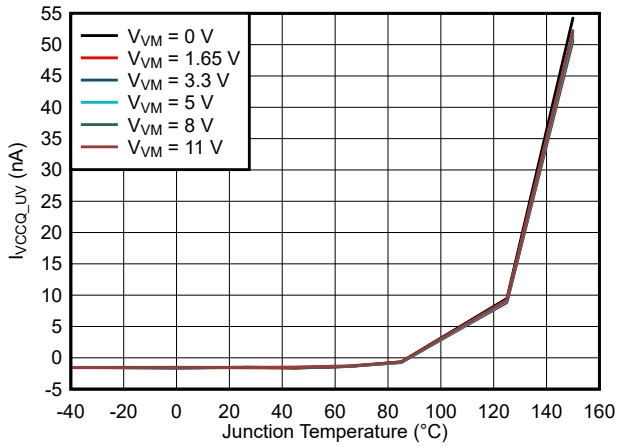
図 7-8. アクティブ電流 (I_{VCC}) と接合部温度 (T_J) との関係

Copyright © 2022 Texas Instruments Incorporated



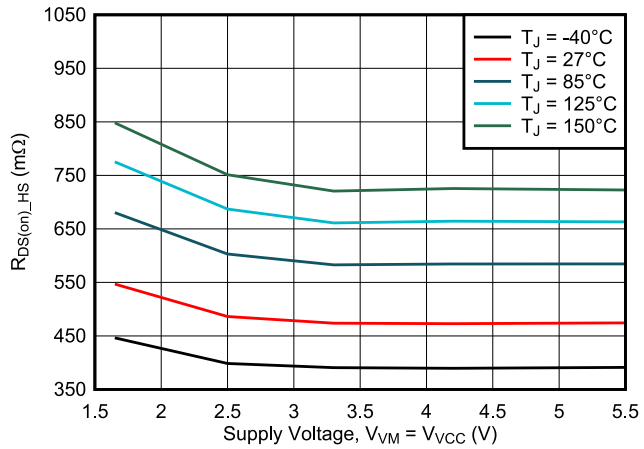
A. V_{VCC} < 0.35V

図 7-9. VCC が Low のときの VM 電源電流 (I_{VMQ_UV}) と接合部温度 (T_J) との関係



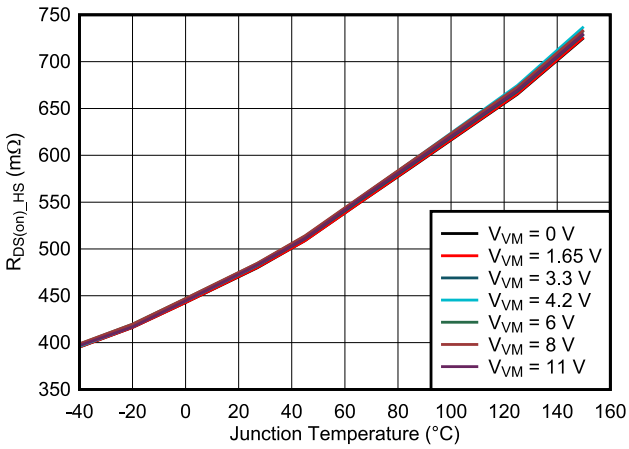
A. V_{VCC} < 0.35V

図 7-10. VCC が Low のときの VCC 電源電流 (I_{VCCQ_UV}) と接合部温度 (T_J) との関係



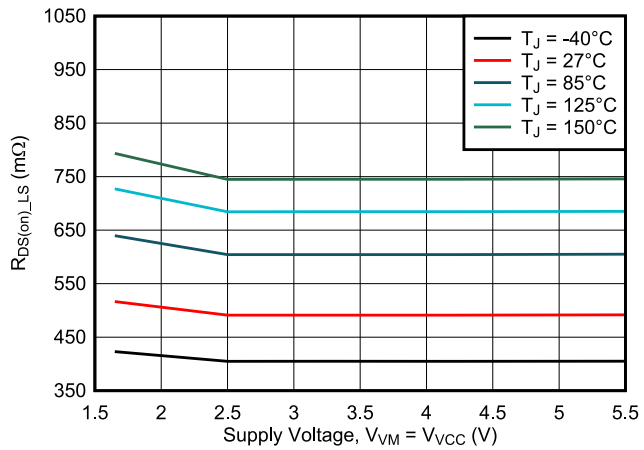
A. $V_{VM} = V_{VCC}$

図 7-11. ハイサイド $R_{DS(on)}$ と電源電圧との関係



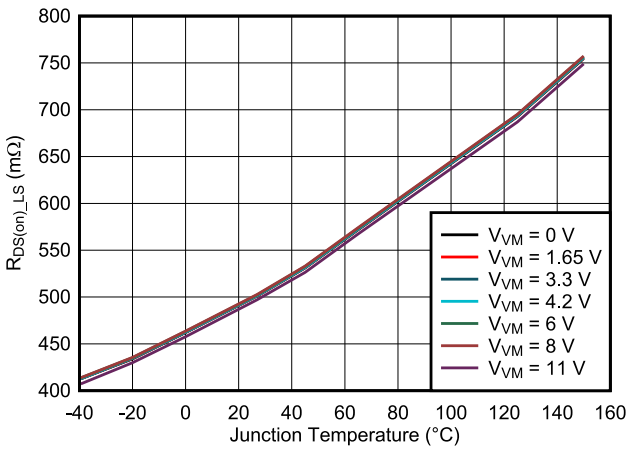
A. V_{VCC} = 3.3V

図 7-12. ハイサイド $R_{DS(on)}$ と接合部温度 (T_J) との関係



A. $V_{VM} = V_{VCC}$

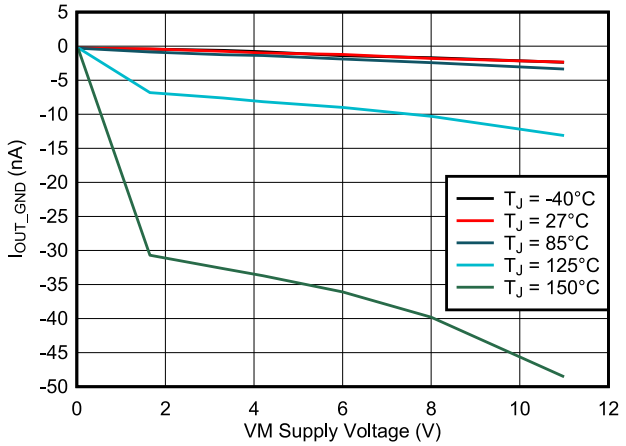
図 7-13. ローサイド $R_{DS(on)}$ と電源電圧との関係



A. V_{VCC} = 3.3V

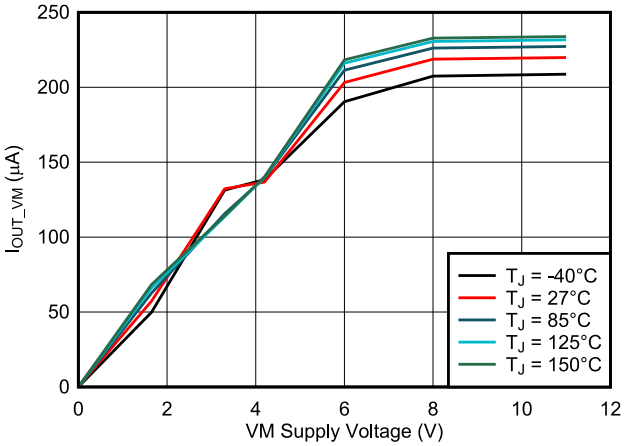
図 7-14. ローサイド $R_{DS(on)}$ と接合部温度 (T_J) との関係

Copyright © 2022 Texas Instruments Incorporated



A. V_{VCC} = 3.3V

図 7-15. OUTx が GND に接続されているときの、OUTx への Hi-Z リーク電流 (I_{OUT}) と電源電圧 (V_{VM}) との関係



A. V_{VCC} = 3.3V

図 7-16. OUTx が VM に接続されているときの、OUTx への Hi-Z リーク電流 (I_{OUT}) と電源電圧 (V_{VM}) との関係

7.7 DRL パッケージの標準特性

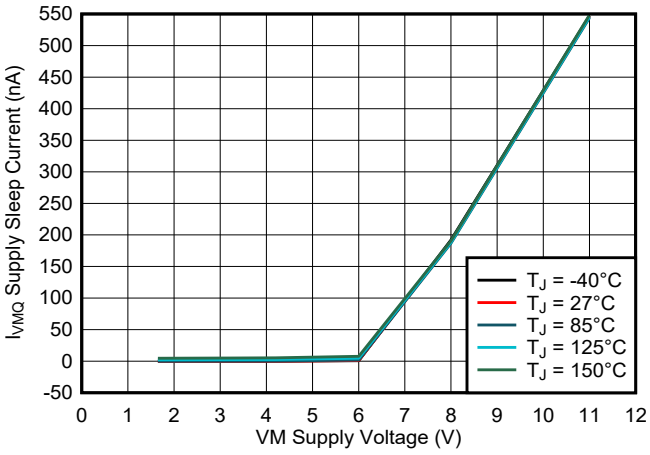


図 7-17. スリープ電流 (I_{VMQ}) と電源電圧 (V_{VM}) との関係

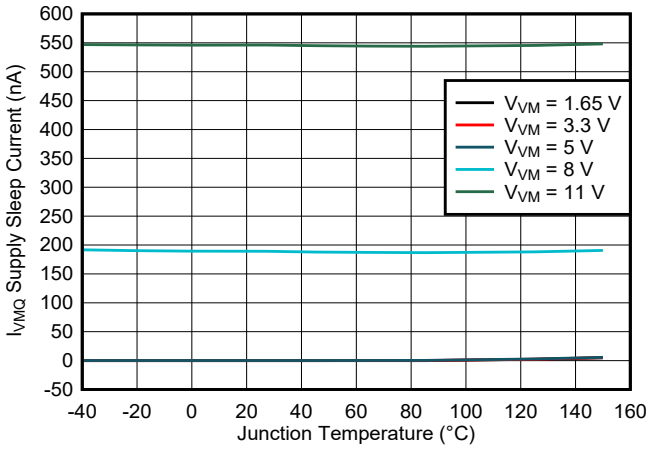


図 7-18. スリープ電流 (I_{VMQ}) と接合部温度 (T_J) との関係

Copyright © 2022 Texas Instruments Incorporated

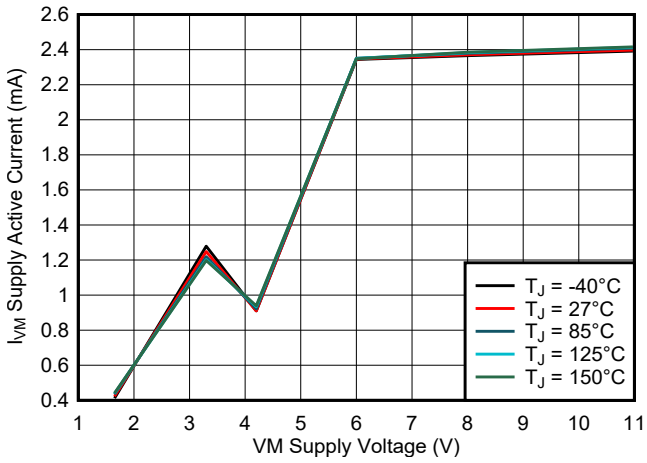


図 7-19. アクティブ電流 (I_{VM}) と電源電圧 (V_{VM}) との関係

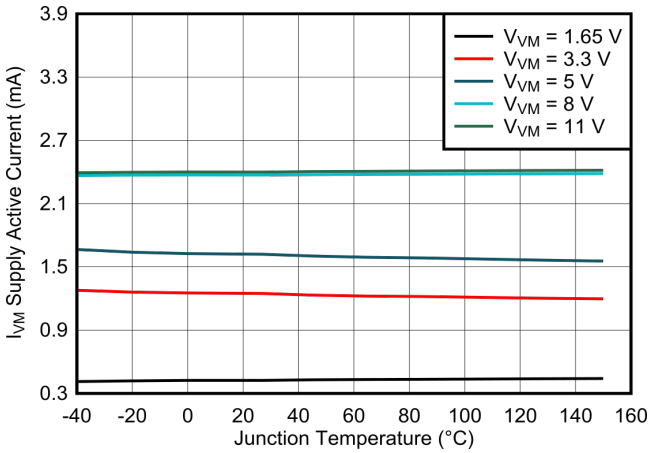


図 7-20. アクティブ電流 (I_{VM}) と接合部温度 (T_J) との関係

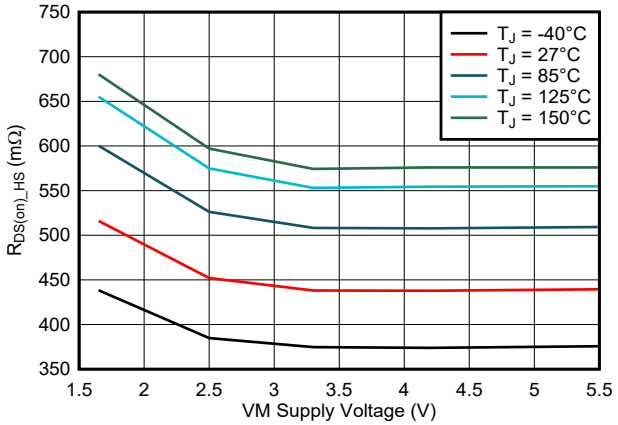


図 7-21. ハイサイド $R_{DS(ON)}$ と電源電圧との関係

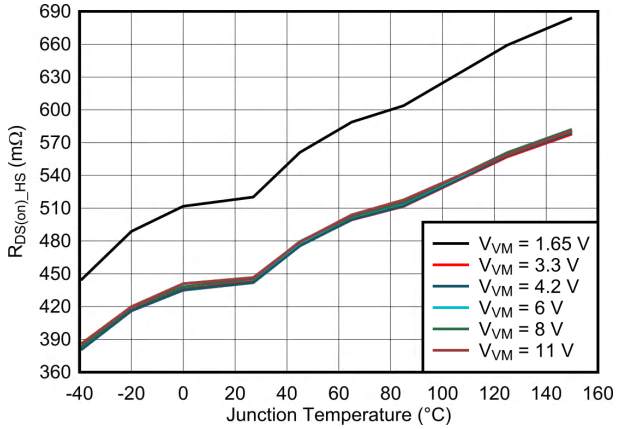


図 7-22. ハイサイド $R_{DS(on)}$ と接合部温度 (T_J) との関係

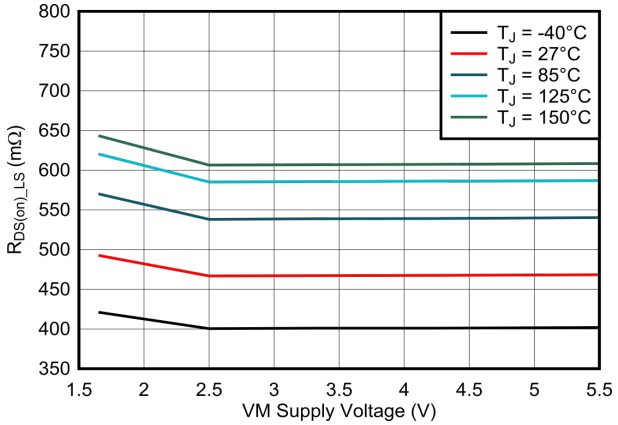


図 7-23. ローサイド $R_{DS(ON)}$ と電源電圧との関係

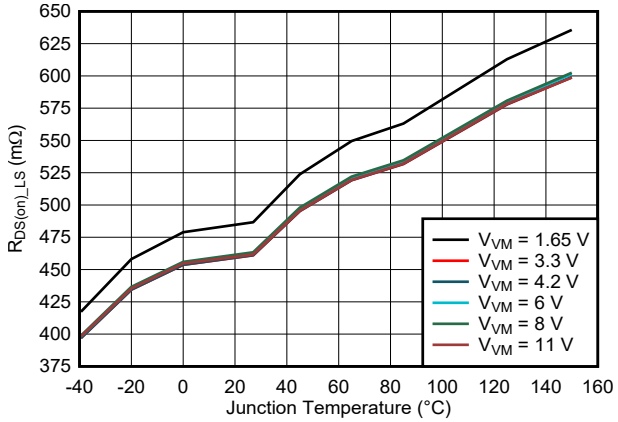


図 7-24. ローサイド $R_{DS(on)}$ と接合部温度 (T_J) との関係

Copyright © 2022 Texas Instruments Incorporated

8 詳細説明

8.1 概要

DRV8210 は統合型 H ブリッジ・ドライバで、PWM (IN1/IN2) インターフェイス (DRL および DSG パッケージ)、PH/EN (DSG のみ)、またはハーフブリッジ・インターフェイス (DSG のみ) という複数の制御インターフェイスを選択できます。プリント基板の面積と外付け部品を削減するため、このデバイスにはチャージ・ポンプ・レギュレータとそのコンデンサが内蔵されています。DSG パッケージでは、モーター (VM) とロジック (VCC) の電源が独立しているため、VCC 電源が安定していれば、モーターの電源電圧が 0V に低下しても $R_{DS(on)}$ に大きな影響はなく、UVLO もトリガーされません。時間設定付き自動スリープ・モードにより、入力が 1～2ms の間非アクティブに維持されると自動的に低消費電力のスリープ・モードに移行するため、ディセーブル / スリープ・ピンが不要になり、マイコンの GPIO 接続が少なくてすみます。

PWM インターフェイスは、標準の 2 ピン (IN1/IN2) モーター駆動インターフェイスです。PH/EN インターフェイスでは、コントローラから供給されている 1 つの PWM リソースだけを使用して双方向 PWM 制御を行えます。PWM と PH/EN のインターフェイスは、ブラシ付き DC モーターや双安定リレーのような負荷を双方向に駆動できます。独立したハーフブリッジ・モードにより、各ハーフブリッジを完全に制御できます。ハーフブリッジはチャネルごとに 2 つの負荷を独立して制御でき、フルブリッジ駆動の半分の $R_{DS(on)}$ で、ハイサイドまたはローサイド・ドライバとして動作します。別の方法として、ハーフブリッジ・モードでは複数の入力と出力をそれぞれ相互に接続でき (これを「並列化」と呼びます)、フルブリッジ駆動の 1/4 の $R_{DS(on)}$ で、ハイサイドまたはローサイド・ドライバとして単一の負荷を駆動できます。

システム・フォルトが発生した場合、内蔵の保護機能がデバイスを保護します。主な保護機能は、低電圧誤動作防止 (UVLO)、過電流保護 (OCP)、過熱シャットダウン (TSD) です。

8.2 機能ブロック図

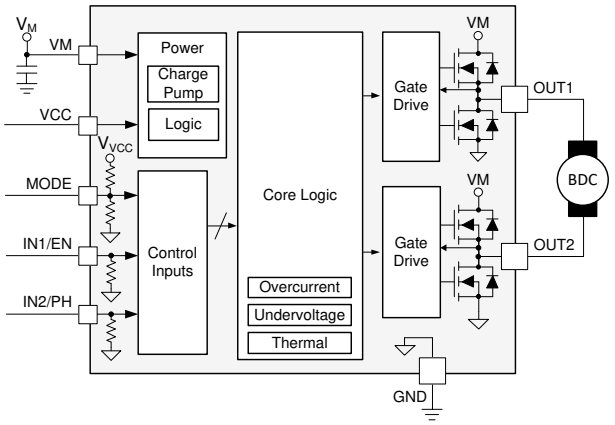


図 8-1. DSG パッケージでの複数のインターフェイスのバリアント

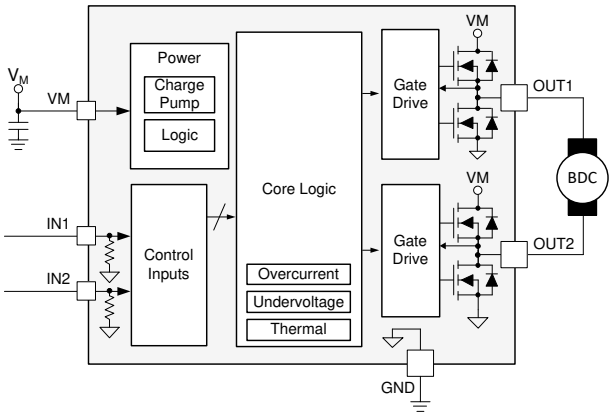


図 8-2. DRL パッケージでの PWM インターフェイスのバリアント

8.3 機能説明

8.3.1 外付け部品

推奨の外付け部品を、表 8-1 に示します。

表 8-1. 推奨の外付け部品

部品	ピン 1	ピン 2	推奨する事項
C_{VM1}	VM	GND	0.1µF、低 ESR セラミック・コンデンサ、VM 定格。
C_{VM2}	VM	GND	セクション 10.1、VM 定格。
C_{VCC}	VCC	GND	0.1µF、低 ESR セラミック・コンデンサ、VM 定格。 DSG パッケージのバリアントにのみ必要です。

8.3.2 制御モード

DRV8210 は、PH/IN1 ピンと EN/IN2 ピンで各種の制御方式をサポートするため、3 つのモードを備えています。MODE ピン は、表 8-2 に示すようにロジック LOW、ロジック HIGH、Hi-Z のいずれかに設定することで、制御インターフェイス・モードを選択します。MODE ピンは状態をラッチしないため、動作中に変更できます。

DRL パッケージのバリアントは、PWM インターフェイスのみをサポートします (表 8-3 を参照)。

表 8-2. DSG バリアントの MODE ピンの機能

MODE の状態	制御モード
PMODE = ロジック LOW	PWM
MODE = ロジック HIGH	PH/EN
MODE = Hi-Z	ハーフブリッジ

入力は DC、またはデューティ・サイクルが 0% から 100% の範囲のパルス幅変調 (PWM) 電圧信号に対応できます。デフォルトでは、入力がなくても INx、PH/IN1、および EN/IN2 ピンには内部プルダウン抵抗が接続されているため、出力が Hi-Z になることが保証されます (唯一の例外はハーフブリッジ・モードで、INx がフローティングなら OUTx = L です)。

以下のセクションでは、各制御モードの真理値表を示します。また、DRV8210 では、ハーフブリッジのハイサイド MOSFET とローサイド MOSFET の切り替え時に自動的にデッドタイムが生成されます。以下のセクションで説明する H ブリッジの各種状態の呼称と構成を 図 8-3 に示します。

Copyright © 2022 Texas Instruments Incorporated

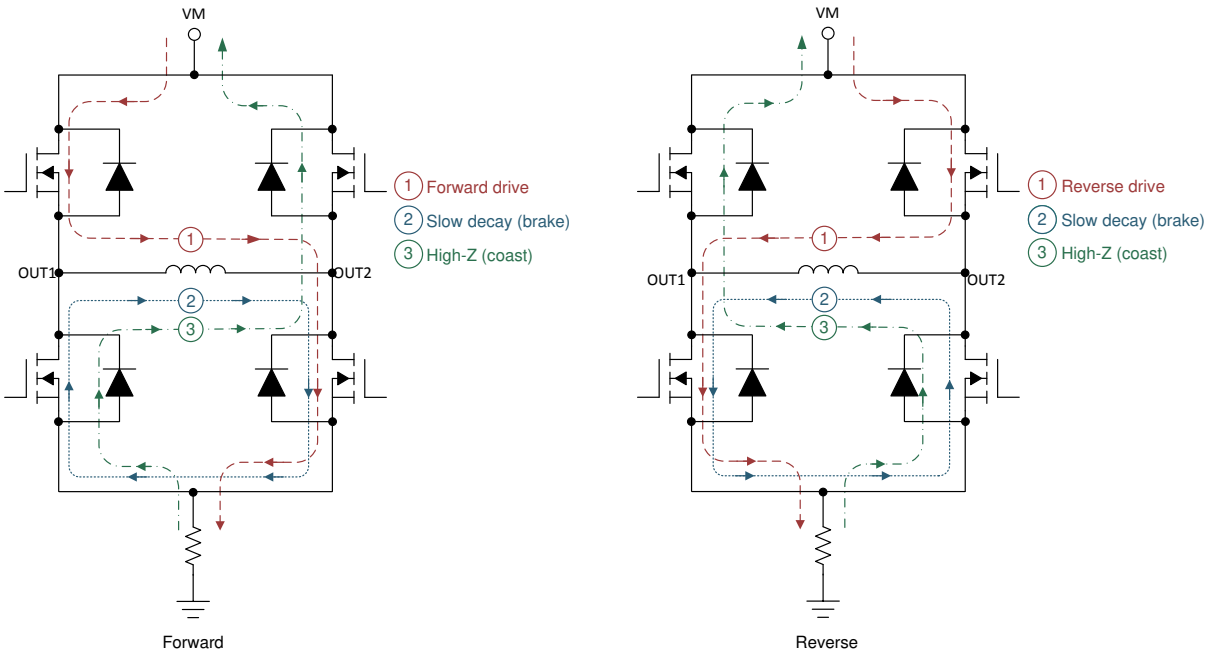


図 8-3. H ブリッジの状態

8.3.2.1 PWM 制御モード (DSG : MODE = 0 かつ DRL)

PWM インターフェイス (IN1/IN2) は、表 8-3 の真理値表に基づいて OUTx ピンを制御します。DSG パッケージの場合、MODE ピンをロジック Low に設定すると PWM モードが選択されます。コースト / Hi-Z 状態は、自動スリープ・モードとしても機能します。デバイスは、t_{SLEEP} だけコースト / Hi-Z 状態に維持された後で、自動的に低消費電力スリープ・モードに移行します (自動スリープ)。PWM モードは、DRL パッケージで使用できる唯一のインターフェイス・モードです。

表 8-3. PWM 制御モードと自動スリープ

IN1	IN2	OUT1	OUT2	説明
0	0	Hi-Z	Hi-Z	コースト (H ブリッジ Hi-Z) / 低消費電力の自動スリープ・モード
0	1	L	H	逆方向 (OUT2 → OUT1)
1	0	H	L	順方向 (OUT1 → OUT2)
1	1	L	L	ブレーキ (ローサイド低速減衰)

8.3.2.2 PH/EN 制御モード (DSG: MODE = 1)

電源投入時に PMODE ピンがロジック High の場合、このデバイスでは「位相・イネーブル」(PH/EN) モードが選択されます。PH/EN モードでは、H ブリッジのインターフェイスの速度と方向タイプを制御できます。PH/EN モードの真理値表を 表 8-4 に示します。EN ピンが Low になると、デバイスはブレーキ・モードに移行します。これにより、コントローラは EN ピンに単一の PWM ジェネレータ・ペリフェラルを使用し、標準の GPIO ピンが PH ピンを使用して方向を制御します。ただし、EN ピンが t_{SLEEP} よりも長く Low に維持されると、デバイスは低消費電力スリープ・モードに移行し、出力はディセーブルされます。

表 8-4. PH/EN 制御モード

EN	PH	OUT1	OUT2	説明
0	X	L → Hi-Z	L → Hi-Z	t_{SLEEP} の間、ブレーキ (ローサイド低速減衰)、 その後自動スリープ・モード (H ブリッジ Hi-Z)
1	0	L	H	逆方向 (OUT2 → OUT1)
1	1	H	L	順方向 (OUT1 → OUT2)

Copyright © 2022 Texas Instruments Incorporated

8.3.2.3 ハーフブリッジ制御モード (DSG: MODE = Hi-Z)

MODE ピンがフローティング (Hi-Z) の場合、はハーフブリッジ制御モードを選択します。このモードでは、各ハーフブリッジを直接制御して、ハイサイド低速減衰 (ブレーキ) のサポート、2 つの独立した負荷の駆動、または複数の出力の並列化により単一負荷に対する大電流能力を実現できます。独立ハーフブリッジ・モードの真理値表を、表 8-5 に示します。MODE ピンをマイクロコントローラの GPIO ピンに接続すれば、マイクロコントローラが GPIO ピンを入力として設定することにより Hi-Z 状態を実現できます。ハーフブリッジ・モードでは、MODE、IN1、IN2 ピンをロジック Low にすることで、デバイスをスリープ・モードに移行できます。MODE ピンを制御する GPIO は、ロジック Low に設定した出力として再構成する必要があります。または、VCC ピンに GPIO から電力を供給し、一部の状況でデバイスをスリープ状態に移行するために使用できます。詳細については、セクション 8.4.2 を参照してください。

表 8-5. ハーフブリッジ制御モード

VCC	MODE	IN1	IN2	OUT1	OUT2	説明
0V	X	X	X	Hi-Z	Hi-Z	低消費電力スリープ・モード
1.65～5.5V	0	0	0	Hi-Z	Hi-Z	H ブリッジ・ディセーブル / 低消費電力の自動スリープ・モード
1.65～5.5V	Hi-Z	0	X	L	X	OUT1 ローサイド・オン
1.65～5.5V	Hi-Z	1	X	H	X	OUT1 ハイサイド・オン
1.65～5.5V	Hi-Z	x	0	X	L	OUT2 ローサイド・オン
1.65～5.5V	Hi-Z	x	1	X	H	OUT2 ハイサイド・オン

Copyright © 2022 Texas Instruments Incorporated

8.3.3 保護回路

DRV8210 は、電源低電圧、出力過電流、デバイス過熱イベントから完全に保護されています。

8.3.3.1 電源の低電圧誤動作防止 (UVLO)

電源電圧が低電圧誤動作防止スレッショルド電圧を下回ると、H ブリッジのすべての MOSFET がディセーブルになります。この状況では、チャージ・ポンプおよびデバイス・ロジックもディセーブルになります。分割電源 (DSG パッケージのみ) から電力を供給するとき、VCC ピンの電圧が $V_{UVLO,VCC}$ 立ち下がりスレッショルドを下回ると、UVLO がトリガされます。これにより、VM 電源は 0V まで低下できます。単一電源 (DRL パッケージのみ) で動作するときには、VM ピンの電圧が $V_{UVLO,VM}$ 立ち下がりスレッショルドを下回ると、UVLO がトリガされます。電源電圧が V_{UVLO} 立ち上がりスレッショルドを上回ると、通常動作が再開されます。デバイスが UVLO に移行する条件を 表 8-6 に示します。

表 8-6. UVLO の応答条件

パッケージのバリアント	V_{VM}	V_{VCC}	デバイスの応答
DSG	0V から V_{VM_MAX}	< 1.65V	UVLO
	0V から V_{VM_MAX}	> 1.65 V	通常動作
DRL	< 1.65V	N/A	UVLO
	1.65V から V_{VM_MAX}	N/A	通常動作

8.3.3.2 OUTx 過電流保護 (OCP)

各 MOSFET のアナログ電流制限回路により、出力端子短絡時にもデバイスのピーク出力電流を制限できます。出力電流が、過電流グリッチ除去時間 t_{OCP} より長い時間にわたって、過電流スレッショルド I_{OCP} を上回ると、H ブリッジのすべての MOSFET がディセーブルになります。t_{RETRY} の経過後、PH/IN1 ピンと EN/IN2 ピンの状態に応じて MOSFET が再イネーブルされます。過電流状態がまだ解消していない場合、このサイクルを繰り返します。解消している場合、通常のデバイス動作を再開します。

ハーフブリッジ制御モードでは、OCP の動作が多少変化します。過電流イベントが検出されると、対応するハーフブリッジのみがディセーブルになります。もう一方のハーフブリッジは通常動作を継続します。これにより、本デバイスは負荷を個別に駆動する際に、フォルト・イベントを個別に管理できます。両方のハーフブリッジで過電流イベントが検出されると、両方のハーフブリッジがディセーブルになります。両方のハーフブリッジは、同じ過電流リトライ・タイマを共有します。OUT1 に過電流イベントが最初に発生すると、t_{RETRY} の間、その出力はディセーブルになります。OUT1 に過電流イベントが発生した後、t_{RETRY} が経過する前に、OUT2 に過電流イベントが発生した場合、両方の OUTx ピンが、t_{RETRY} 時間の全体にわたってディセーブル状態に維持されます。

8.3.3.3 過熱検出保護 (TSD)

ダイの温度が過熱限界値の T_{TSD} を超えると、H ブリッジのすべての MOSFET がディセーブルになります。過熱状態が解消し、ダイの温度が T_{TSD} スレッショルドを下回ると、通常動作を再開します。

8.3.4 ピン構造図

8.3.4.1 ロジックレベル入力

ロジックレベル入力ピン IN1、IN2、PH/IN1、EN/IN2 の入力構造を 図 8-4 に示します。

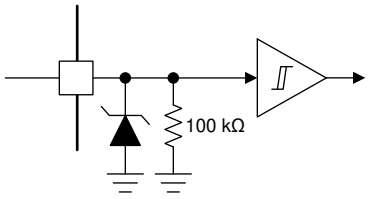


図 8-4. ロジックレベル入力

8.3.4.2 トライレベル入力

トライレベル入力ピンである MODE の入力構造を 図 8-5 に示します。

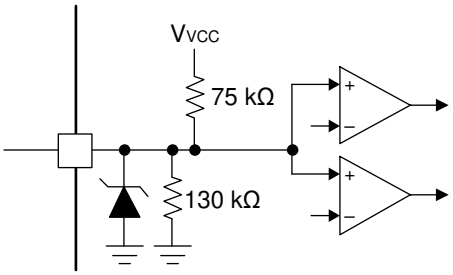


図 8-5. の MODE のトライレベル入力

8.4 デバイスの機能モード

DRV8210 は、システムの入力および条件に応じて複数のモードで動作します。

8.4.1 アクティブ・モード

このモードでは、H ブリッジ、チャージ・ポンプ、内部論理回路がアクティブになり、本デバイスはいつでも入力を受信できます。低消費電力のスリープ・モードやフォルト・モードに移行すると、デバイスはアクティブ・モードを終了します。自動スリープからウェイクアップするとき、デバイスをイネーブルするためには、INx ピン (DRL パッケージまたは DSG パッケージで MODE = 0 のとき) または EN ピン (DSG パッケージで MODE = 1 のとき) を t_{WAKE} の時間だけ HIGH に保持する必要があります。t_{WAKE} 時間が経過するとデバイスはウェークアップし、INx ピンまたは EN ピンで PWM 信号を受け取ることができるようになります。

$V_{VCC} < V_{VM}$ のとき、DRV8210 は VCC ピンではなく VM ピンからアクティブ電流を受け取ります。この動作条件では、I_{VCC} は通常 500nA 未満です (図 7-5 および図 7-7 を参照)。

8.4.2 低消費電力スリープ・モード

DRV8210 は低消費電力のスリープ・モードをサポートしているため、ドライバがアクティブでないとき VM および VCC からの消費電流を低減できます。低消費電力のスリープ・モードに移行するには自動スリープと、VCC ピンを使用する方法の 2 つがあります。自動スリープ・モードでは、デバイスは I_{VCCQ} と I_{VMQ} で表される最小電流を消費します。DSG パッケージと DRL パッケージは、どちらも自動スリープをサポートしています。VCC スリープ・モードでは、デバイスは I_{VMQ_UV} と I_{VCCQ_UV} で表される最小電流を消費します。VCC ピンを使用して低消費電力モードに移行できるのは DSG パッケージのみです。低消費電力スリープ・モードに移行する方法については、表 8-7 で説明しています。

表 8-7. スリープ・モードの概要

バリアント	入力ピンの状態	OUT1	OUT2	概要
DRL	IN1 = IN2 = 0	Hi-Z	Hi-Z	**PWM またはハーフブリッジ・インターフェイスの自動スリープ:** この状態に移行すると、出力はディセーブルされます。デバイスはアクティブ・モードで t_{SLEEP} だけ維持されてから、低消費電力モードに移行します。
DSG	MODE = 0、IN1 = IN2 = 0	Hi-Z	Hi-Z	
	MODE = 1、EN = 0	L → Hi-Z	L → Hi-Z	**PH/EN インターフェイスの自動スリープ:** この状態に移行すると、ローサイド FET がオンになり、両方の出力がブレーキ・モードに移行します。デバイスは t_{SLEEP} だけこの状態に維持されてから、低消費電力モードに移行します。低消費電力モードに移行すると、出力はディセーブルされます。
	VCC = 0V	Hi-Z	Hi-Z	**VCC 電源をスリープ・ピンとして使用:** VCC ピンは GPIO ピンから給電でき、デバイスをスリープ状態にするために使用できます。GPIO ピンを Low にすると、デバイスは UVLO を使用して低消費電力モードに移行します。デバイスをウェークアップするには、GPIO ピンを High ($VCC > V_{UVLO}$) に設定してから、MODE = 1 の場合に EN = 1 に設定するか、MODE = Hi-Z または 1 の場合にいずれかの INx 入力を 1 に設定 / 切り替えます。VCC ピンを使用してスリープを行う方法の詳細については、セクション 9.2.2.2.3 を参照してください。

Copyright © 2022 Texas Instruments Incorporated

デバイスは、入力ピンが表 8-7 に示されている以外の状態に移行すると、アクティブ・モードに復帰します。デバイスを自動スリープ・モードからウェークアップするには、PWM 入力信号を受け取る前に、INx ピンまたは EN ピンを (MODE の状態に応じて) t_{WAKE} より長い時間 High にアサートする必要があります。

デバイスを VCC スリープ・モードからウェークアップするには、VCC ピンの電圧を $V_{UVLO,VCC}$ よりも高くする必要があります。VCC ピンに有効な電圧が印加された後で、INx ピンのいずれかまたは両方を、t_{WAKE} より長い時間だけ High にアサートすると、デバイスは完全にウェークアップします。デカップリング・コンデンサの充電電流による超過電流からマイコンの GPIO ピンを保護するため、GPIO と VCC ピンのデカップリング・コンデンサとの間に抵抗を追加する必要があります。この制限抵抗の設計の詳細については、セクション 9.2.2.2.3 を参照してください。

消費電流を最小限に抑えるために、すべての入力ピンをロジック Low に設定し、スリープ・モード時にプルダウン抵抗を流れる電流を排除することを推奨します。MODE ピンは、Hi-Z またはロジック Low に設定されている場合、スリープ・モードでは電流を消費しません。ただし、MODE ピンはロジック High のとき、スリープ・モードで多少の電流を消費します。

8.4.3 フォルト・モード

DRV8210 は、フォルトが発生するとフォルト・モードに移行します。これにより、デバイスと出力負荷が保護されます。フォルト・モードでの本デバイスの動作は、セクション 8.3.3 に示すようにフォルト条件で決まります。復帰条件を満たすと、本デバイスはフォルト・モードからアクティブ・モードに戻ります。フォルト条件、応答、および復帰の概要を 表 8-8 に示します。

表 8-8. フォルト条件の概要

フォルト	条件	H ブリッジ	復帰
低電圧誤動作防止 (UVLO)、DSG	VCC < $V_{UVLO,VCC}$ の立ち下がり	ディセーブル	VCC > $V_{UVLO,VCC}$ の立ち上がり
低電圧誤動作防止 (UVLO)、DRL	VM < $V_{UVLO,VM}$ の立ち下がり	ディセーブル	VM > $V_{UVLO,VM}$ の立ち上がり
過電流 (OCP)	I_{OUT} > I_{OCP}	無効	t_{RETRY}
サーマル・シャットダウン (TSD)	T_J > T_{TSD}	ディセーブル	T_J < T_{TSD} - T_{HYS}

Copyright © 2022 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

DRV8210 は、ハーフブリッジまたは H ブリッジの電力段構成を必要とする各種用途に使用できます。一般的なアプリケーション例としては、ブラシ付き DC モーター、ソレノイド、双安定ラッチリレー、アクチュエータなどがあります。本デバイスは、LED、抵抗性素子、リレーなど多くの一般的な受動負荷を駆動することもできます。このセクションでは、DRV8210 のアプリケーション例をいくつか紹介します。

9.2 代表的なアプリケーション

9.2.1 フルブリッジ駆動

DRV8210 の標準的なアプリケーションは、出力をフルブリッジまたは H ブリッジ構成として使用し、ブラシ付き DC モーターまたはシングルコイルのラッチリレーを双方向 (順方向および逆方向) で駆動します。それぞれのパッケージのバリアントについて、PWM インターフェイスでモーターを駆動する例を図 9-1 と 図 9-2 に示します。PWM インターフェイスで単一コイルのラッチリレーを駆動する例を 図 9-3 に示します。PH/EN インターフェイスでモーターを駆動する例を 図 9-4 に示します。

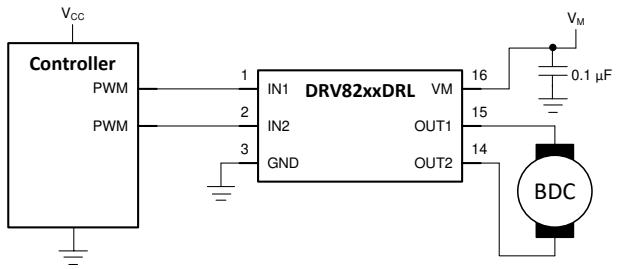


図 9-1. DRL パッケージでの PWM インターフェイスのモーター駆動アプリケーション

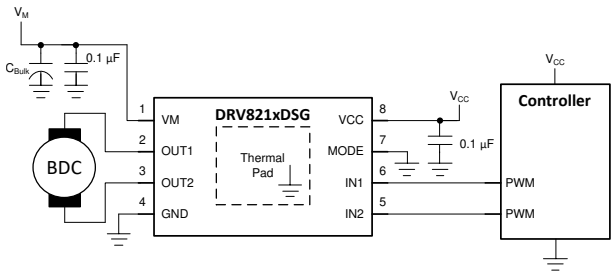


図 9-2. DSG パッケージでの PWM インターフェイスのモーター駆動アプリケーション

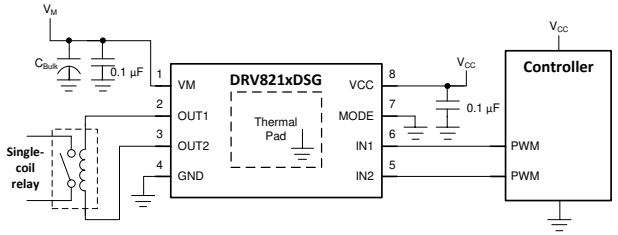


図 9-3. PWM インターフェイスのシングルコイル・ラッチリレーのアプリケーション

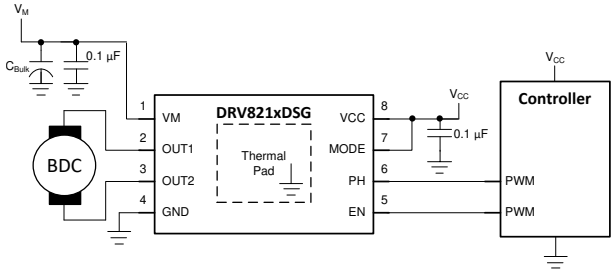


図 9-4. DSG パッケージでの PH/EN インターフェイスのモーター駆動アプリケーション

9.2.1.1 設計要件

一般的な使用事例で必要なパラメータを 表 9-1 に示します。

表 9-1. システム設計要件

設計パラメータ	略号	値の例
モーター電源電圧	V_M	11V
ロジック電源電圧	V_{CC}	3.3V

Copyright © 2022 Texas Instruments Incorporated

表 9-1. システム設計要件 (continued)

設計パラメータ	略号	値の例
ターゲット・モーター RMS 電流	I_{motor}	300mA
ターゲット・リレー電流	I_{relay}	50mA

9.2.1.2 詳細な設計手順

9.2.1.2.1 電源電圧

適切な供給電圧は、負荷 (モーター、ソレノイド、リレーなど) の定格によって異なります。ブラシ付き DC モーターの場合、電源電圧は RPM の目標値に影響を与えます。電圧がより高ければ、パワー FET に印加されている PWM デューティ・サイクルは同じままで、ブラシ付き DC モーターをより高速に回転させることができます。また、電圧が高いと、モーター、ソレノイド、リレーの巻線を流れる電流の変化率も大きくなります。

9.2.1.2.2 制御インターフェイス

選択したパッケージに対応する PWM 制御インターフェイスを セクション 8.3.2.1 に示します。図 9-2 に示すように、MODE ピンを GND ネットに直接接続することをお勧めします。ただし、アプリケーションで他のインターフェイス状態が必要な場合は、MODE ピンを GPIO ピンに接続して、動作中に他のインターフェイス・オプションを選択できます。自動スリープ機能により、わずか 2 つのピンでモーターと低消費電力モードを双方向制御できます。これにより、スリープ・ピンを制御するための別の GPIO が不要になります。PWM インターフェイスを使用したモーター駆動の波形の例を 図 9-5 と 図 9-6 に示します。

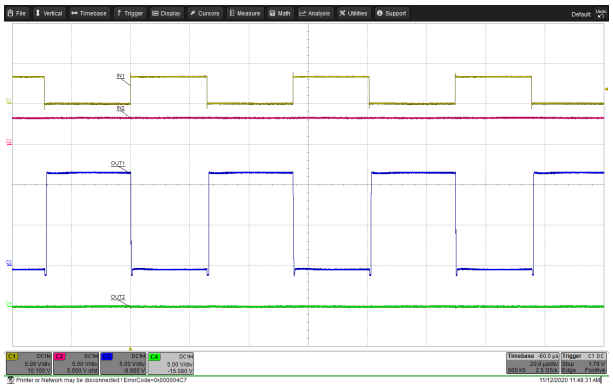
PWM インターフェイスを使用して単一コイルのリレーを駆動する波形の例を 図 9-7 と図 9-8 に示します。これらの図に示すように、リレーは FORWARD/REVERSE 状態と、BRAKE/COAST 状態の間で駆動できます。

PH/EN 制御インターフェイスを、セクション 8.3.2.2 に示します。MODE ピンをマイクロコントローラの電源に接続すると、PH/EN インターフェイスが選択されます。PH/EN モードでは、EN ピンのみをトグルすることにより、モーター駆動に必要なマイクロコントローラ PWM ジェネレータの数を減らすことができます。PH ピンは、このインターフェイスを使用してモータ駆動の方向を制御します。EN が t_{SLEEP} よりも長く LOW に保持されると、デバイスはスリープ・モードに移行します。

9.2.1.2.3 低消費電力動作

低消費電力スリープ・モードの開始方法については、セクション 8.4.2 で説明しています。スリープ・モードに移行するときは、すべての入力をロジック Low に設定して、システムの電力を最小化することを推奨します。

9.2.1.3 アプリケーション曲線



A. チャネル 1 = IN1 チャネル 2 = IN2 チャネル 3 = OUT1 チャネル 4 = OUT2

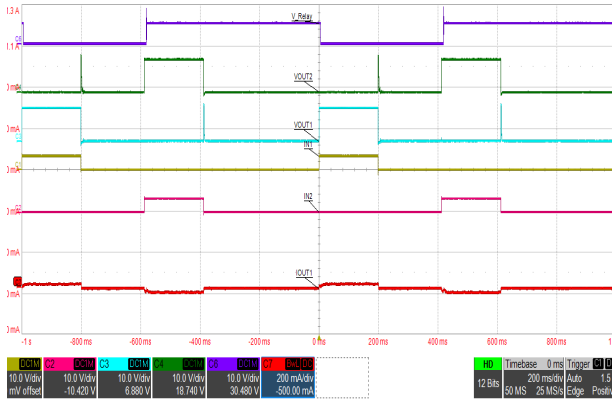
図 9-5. デューティ・サイクル 50% でのモーターの PWM 駆動、INx と OUTx の電電圧



A. チャネル 1 = IN1 チャネル 2 = モーター電流 チャネル 3 = OUT1 チャネル 4 = OUT2

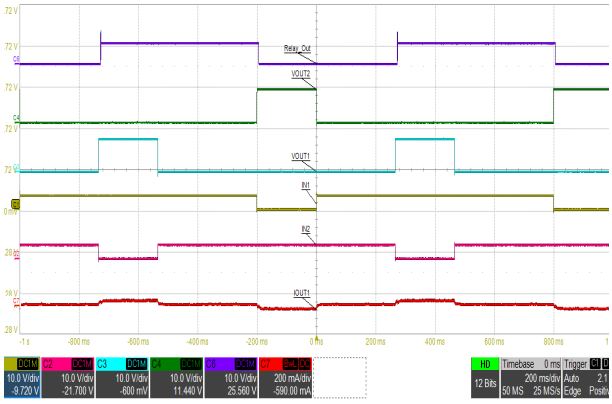
図 9-6. デューティ・サイクル 50% でのモーターの PWM 駆動、信号とモーター電流

Copyright © 2022 Texas Instruments Incorporated



A. チャネル 1 = IN1　チャネル 2 = IN2　チャネル 3 = V_{OUT1}
チャネル 4 = V_{OUT2}　チャネル 6 = リレー・スイッチ　チャネル 7 = リレー・コイル電流

図 9-7. 単一コイルのラッチリレーによる PWM 駆動、駆動プロファイル FORWARD → COAST → REVERSE → COAST



A. チャネル 1 = IN1　チャネル 2 = IN2　チャネル 3 = V_{OUT1}
チャネル 4 = V_{OUT2}　チャネル 6 = リレー・スイッチ　チャネル 7 = リレー・コイル電流

図 9-8. 単一コイルのラッチリレーによる PWM 駆動、駆動プロファイル FORWARD → BRAKE → REVERSE → BRAKE

9.2.2 ハーフブリッジ駆動

DRV8210 は、MODE ピンをフローティング状態にすると、ハーフブリッジ・モードに設定できます。このモードでは、デバイスの出力をローサイドまたはハイサイド・ドライバとして使用できます。これにより、1 つまたは 2 つのモーターの単方向 (一方向のみ)、ソレノイド、バルブ、リレーなど各種の負荷を駆動できます。デバイスの OUT1 をローサイド・ドライバ、OUT2 をハイサイド・ドライバとして使用する例を 図 9-9 に示します。両方の負荷は、ハイサイドとローサイドのどちらからでも駆動できます。図 9-10 と図 9-11 に示すように、INx ピンと OUTx ピンをそれぞれ互いに接続すると、デバイスは、半分の $R_{DS(on)}$ で単一の負荷を駆動できます。これにより、より大きな電流要件に対応できます。この構成を「並列ハーフブリッジ・モード」と呼びます。

ハーフブリッジ・モードでは、PWM デューティ・サイクルのオフ時間に、ハーフブリッジ内にある他の FET とボディ・ダイオードがフリーホイール電流を再循環させるため、追加の外部ダイオードは不要です。

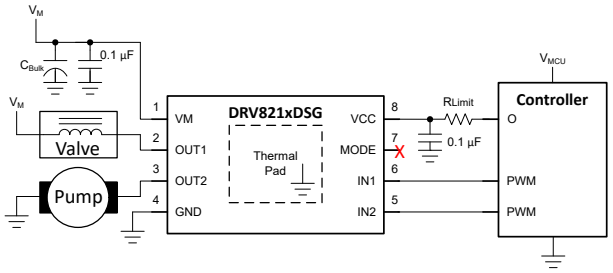


図 9-9. ハーフブリッジ・モードを、2 つの負荷用のハイサイドおよびローサイド・ドライバとして使用

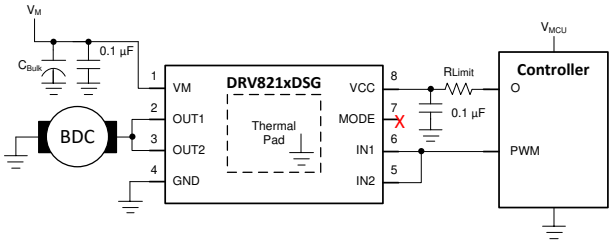


図 9-10. ハーフブリッジ・モードを、出力が並列化されたハイサイド・ドライバとして使用

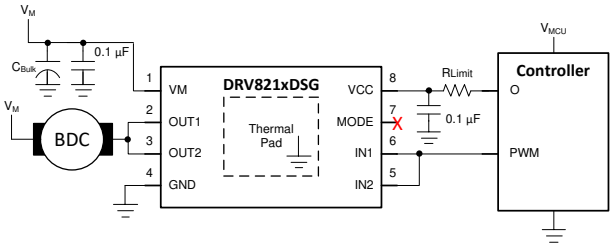


図 9-11. ハーフブリッジ・モードを、出力が並列化されたローサイド・ドライバとして使用

Copyright © 2022 Texas Instruments Incorporated

9.2.2.1 設計要件

図 9-9 に示されている使用事例に必要なパラメータを 表 9-2 に示します。

表 9-2. システム設計要件

設計パラメータ	略号	値の例
負荷電源電圧	V_M	6V
ロジック電源電圧	V_{MCU}	3.3V
最大バルブ電流	I_{OUT1}	100ms にわたって 100mA のパルス
最大ポンプ電流	I_{OUT2}	600mA (RMS)

9.2.2.2 詳細な設計手順

9.2.2.2.1 電源電圧

適切な電源電圧は、負荷の定格によって異なります。

9.2.2.2.2 制御インターフェイス

DSG パッケージのハーフブリッジ制御インターフェイスについては、セクション 8.3.2.3 に説明されています。

9.2.2.2.3 低消費電力動作

VCC を 0V にすると、DRV8210 はハーフブリッジ・モードでスリープ状態に移行します。低消費電力スリープ・モードの詳細な開始方法については、セクション 8.4.2 で説明しています。スリープ・モードに移行するときは、システムの電力を最小化するため、すべての入力をロジック Low に設定することを推奨します。DRV8210 をハーフブリッジ・モードでウェークアップするには、VCC を High にした後で、IN1 または IN2 を t_{WAKE} より長い時間だけ High に設定してから Low に戻すか、PWM 信号を送信します。このウェークアップ手順を、図 9-19 と図 9-20 に示します。

VCC ピンにはデカップリング・コンデンサがあるので、図 9-9、図 9-10、図 9-11 に示すように、コントローラの GPIO ピンと VCC ピンとの間に抵抗を追加することを推奨します。この抵抗の目的は、GPIO ピンをスイッチングするとき、コンデンサから大電流が GPIO ピンに流れ込むのを防ぐことです。ただし、動作電流 I_{VCC} が VCC ピンに流れ込めるよう、この抵抗は適切な大きさにする必要があります。表 9-3 に、R_{LIMIT} 抵抗の設計上の考慮事項を示します。V_{OL} はロジック Low での GPIO 電圧、V_{OH} はロジック High での GPIO 電圧、I_{OL} は GPIO がシンクできる最大電流です。コントローラのデータシートには、GPIO ピンの V_{OL}、V_{OH}、I_{OL} が指定されている必要があります。

表 9-3. GPIO ピンの電流制限抵抗の設計要件

設計上の考慮事項	式	例
GPIO ピンの保護に必要な最小の抵抗。ここで V_{Cap} は、GPIO ピンが High から Low に切り替わるときのコンデンサの電圧です。計算を単純化してワーストケースの条件を仮定するため、V_{Cap} はコントローラの電源電圧 V_{MCU} と等しいと仮定します。回路例については、図 9-12 を参照してください。	$R_{Limit} \geqq (V_{Cap} - V_{OL})/I_{OL}$	$R_{Limit} \geqq (3.3V - 0.3V) / 24mA = 125\Omega$
デバイスが低電圧誤動作防止に移行しないよう、VCC ピンの電圧を十分に高くしてください。回路例については、図 9-13 を参照してください。	$V_{OH} - (I_{VCC} \times R_{Limit}) = V_{VCC} \geqq 1.65V$	$3.0V - (3.6mA \times 125\Omega) = 2.55V \geqq 1.65V$

Copyright © 2022 Texas Instruments Incorporated

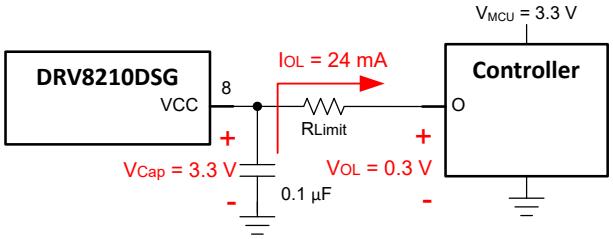


図 9-12. 出力をロジック High からロジック Low に切り替えるときの GPIO 電流

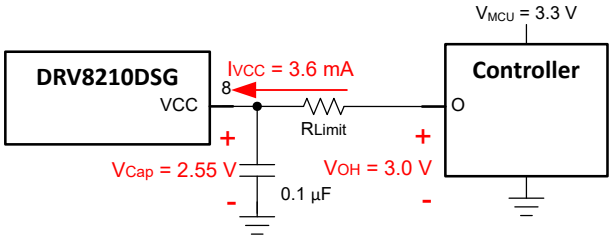


図 9-13. V_{VCC} > V_{VM} のとき、ロジック High 出力による GPIO 電流

指定された GPIO 電流が小さすぎる場合、デバイスをスリープ状態にするためにいくつかの他の方法を使用できます。最初の方法は、複数の GPIO を並列にして、適切な電流を供給することです。2 番目の方法は、MODE = IN1 = IN2 = 0 に設定し、デバイスを自動スリープ状態にすることです。このためには、MODE を制御する GPIO ピンを、動作時には入力として、スリープ時には出力 Low として構成する必要があります。3 番目の方法は、図 9-14 に示すように、電源と VCC ピンとの間に GPIO 制御のトランジスタを配置することです。

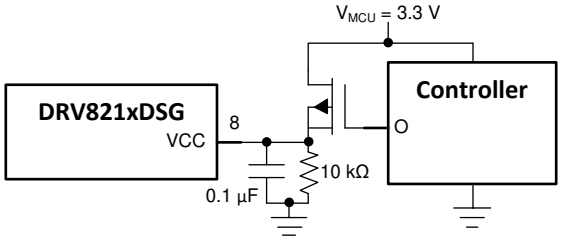


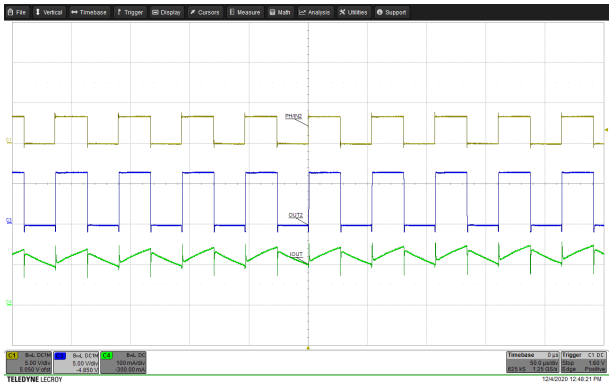
図 9-14. GPIO にトランジスタを接続する

OUTx ピンからのリーク電流を最小限に抑えるために (特にバッテリ駆動のアプリケーションで)、OUTx から GND に負荷を接続してください。前述のように、OUTx から VM に負荷を接続することも可能ですが、負荷がディセーブルされたときに OUTx へ多少のリーク電流が発生することがあります。負荷が H ブリッジ構成で接続されている場合、予想されるリーク電流はありません。

9.2.2.3 アプリケーション曲線

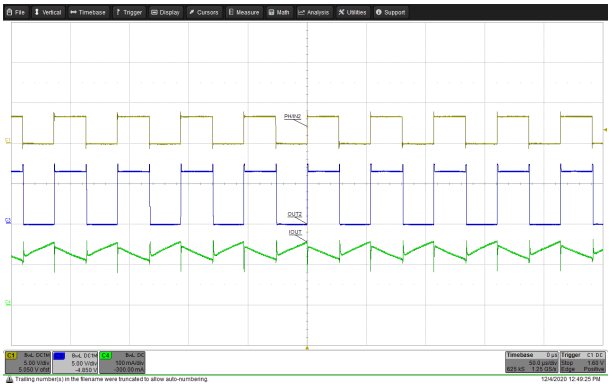
以下の図は、ハーフブリッジ・モードでのハイサイドおよびローサイド駆動の波形の例を示しています。図 9-15 と図 9-16 に、ハイサイドとローサイドの駆動を使用してモーターを単方向で駆動する波形の例を示します。図 9-17 と図 9-18 に、ハイサイドとローサイドの駆動を使用してソレノイドを駆動する波形の例を示します。図 9-19 図 9-20 と に、OUTx ピンを並列に接続してシングル・ハーフブリッジを形成し、ハイサイドとローサイドの駆動を使用してモーターを駆動する例を示します。

Copyright © 2022 Texas Instruments Incorporated



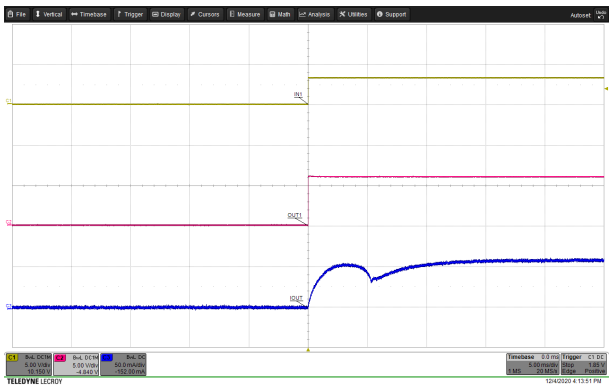
A. チャネル 1 = IN2　チャネル 2 = V_{OUT2}　チャネル 4 = モーター電流

図 9-15. ハイサイド FET を使用してデューティ・サイクル 50% のハーフブリッジ・モードでモーターを駆動する



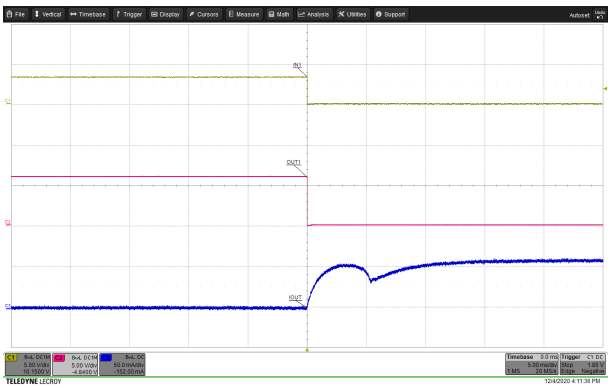
A. チャネル 1 = IN2　チャネル 2 = V_{OUT2}　チャネル 4 = モーター電流

図 9-16. ローサイド FET を使用してデューティ・サイクル 50% のハーフブリッジ・モードでモーターを駆動する



A. チャネル 1 = IN1　チャネル 2 = V_{OUT1}　チャネル 4 = ソレノイド電流

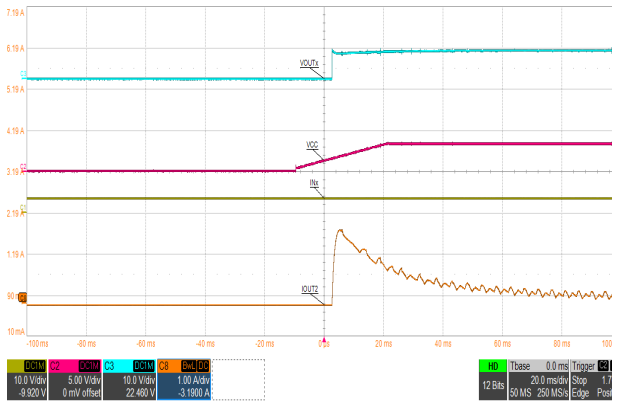
図 9-17. ハイサイド FET を使用して、ハーフブリッジ・モードでソレノイドを駆動する



A. チャネル 1 = IN1　チャネル 2 = V_{OUT1}　チャネル 4 = ソレノイド電流

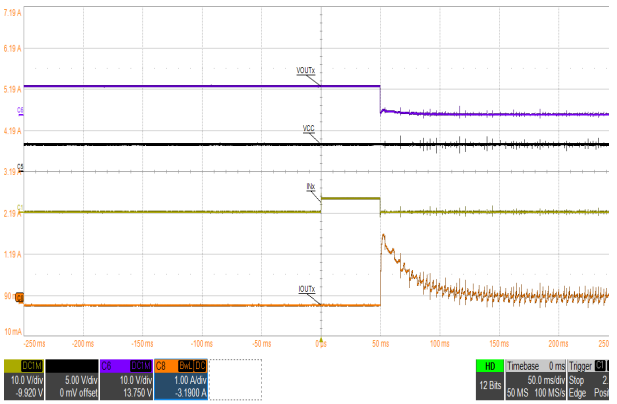
図 9-18. ローサイド FET を使用して、ハーフブリッジ・モードでソレノイドを駆動する

Copyright © 2022 Texas Instruments Incorporated



A. チャネル 1 = IN1、IN2 (並列) チャネル 2 = V_{VCC} チャネル 3 = V_{OUT} (OUT1/2 の並列) チャネル 8 = モーター電流

図 9-19. ハイサイド FET を使用して並列ハーフブリッジ・モードでモーターを駆動する



A. チャネル 1 = IN1、IN2 (並列) チャネル 5 = V_{VCC} チャネル 6 = V_{OUT} (OUT1/2 の並列) チャネル 8 = モーター電流

図 9-20. ローサイド FET を使用して並列ハーフブリッジ・モードでモーターを駆動する

9.2.3 デュアルコイル・リレーの駆動

PWM インターフェイスは、デュアルコイルのラッチ・リレーを駆動するためにも使用できます。回路図の例を、このセクションの図に、回路図の例を示します。

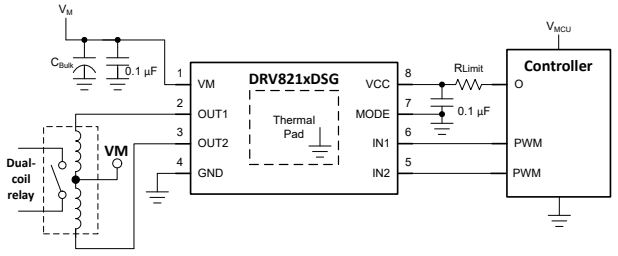


図 9-21. デュアルコイル・リレーの駆動、DSG パッケージ

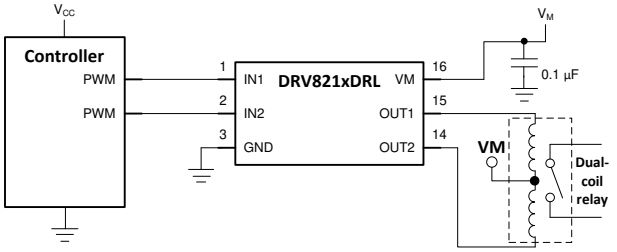


図 9-22. デュアルコイル・リレーの駆動、DRL パッケージ

9.2.3.1 設計要件

デュアルコイル・リレー・アプリケーションの要件の例を 表 9-4 に示します。

表 9-4. システム設計要件

設計パラメータ	略号	値の例
モーター電源電圧	V_M	6V
ロジック電源電圧	V_{CC}	3.3V
リレー電流	I_{OUT1}、I_{OUT2}	100ms にわたって 500mA のパルス

9.2.3.2 詳細な設計手順

9.2.3.2.1 電源電圧

適切な電源電圧は、負荷の定格によって異なります。

Copyright © 2022 Texas Instruments Incorporated

9.2.3.2.2 制御インターフェイス

PWM インターフェイスは、デュアルコイル・リレーの駆動に使用できます。セクション 8.3.2.1 に、PWM 制御インターフェイスを示します。PWM インターフェイスを使用したデュアルコイル・リレー駆動の回路図とタイミング図を、図 9-23 と図 9-24 に示します。

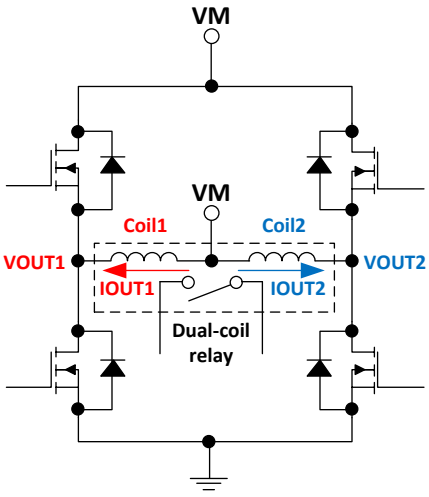


図 9-23. OUTx H ブリッジで駆動するデュアルコイル・リレーの回路図

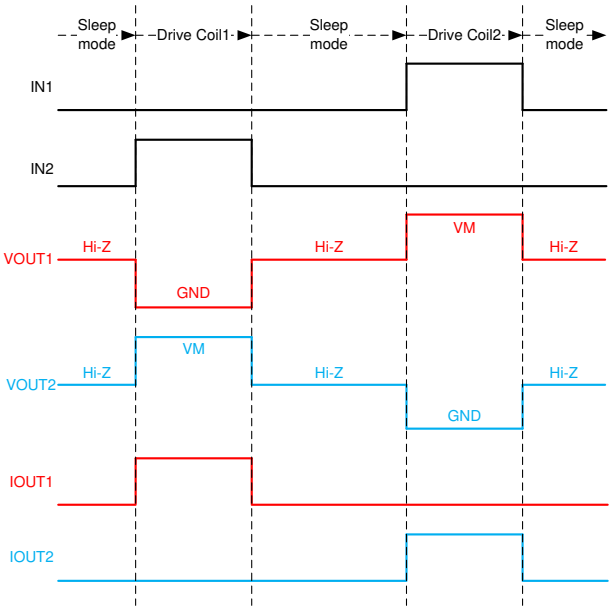


図 9-24. PWM インターフェイスを使用したデュアルコイル・リレーの駆動タイミング図

PWM インターフェイスの真理値表を 表 9-5 に示します。この表の説明は、入力と出力の状態によってデュアルコイル・リレーを駆動する方法を反映しています。Coil1 が駆動されるとき (OUT1 電圧が GND のとき)、OUT2 の電圧は VM になります。リレーのセンター・タップも VM なので、電流は Coil2 を流れません。Coil2 が駆動される場合も同様で、Coil1 は VM に短絡します。ハイサイド FET のボディ・ダイオードはフリーホイール・ダイオードとして機能するため、追加の外部ダイオードは不要です。このアプリケーションのオシロスコープのパターンを、図 9-25 に示します。

表 9-5. デュアルコイル・リレー駆動用の PWM 制御表

IN1	IN2	OUT1	OUT2	説明
0	0	Hi-Z	Hi-Z	出力ディセーブル (H ブリッジ Hi-Z)
0	1	L	H	Coil1 の駆動
1	0	H	L	Coil2 の駆動
1	1	L	L	Coil1 と Coil2 の駆動 (デュアルコイル・ラッチ・リレーでは無効な状態)

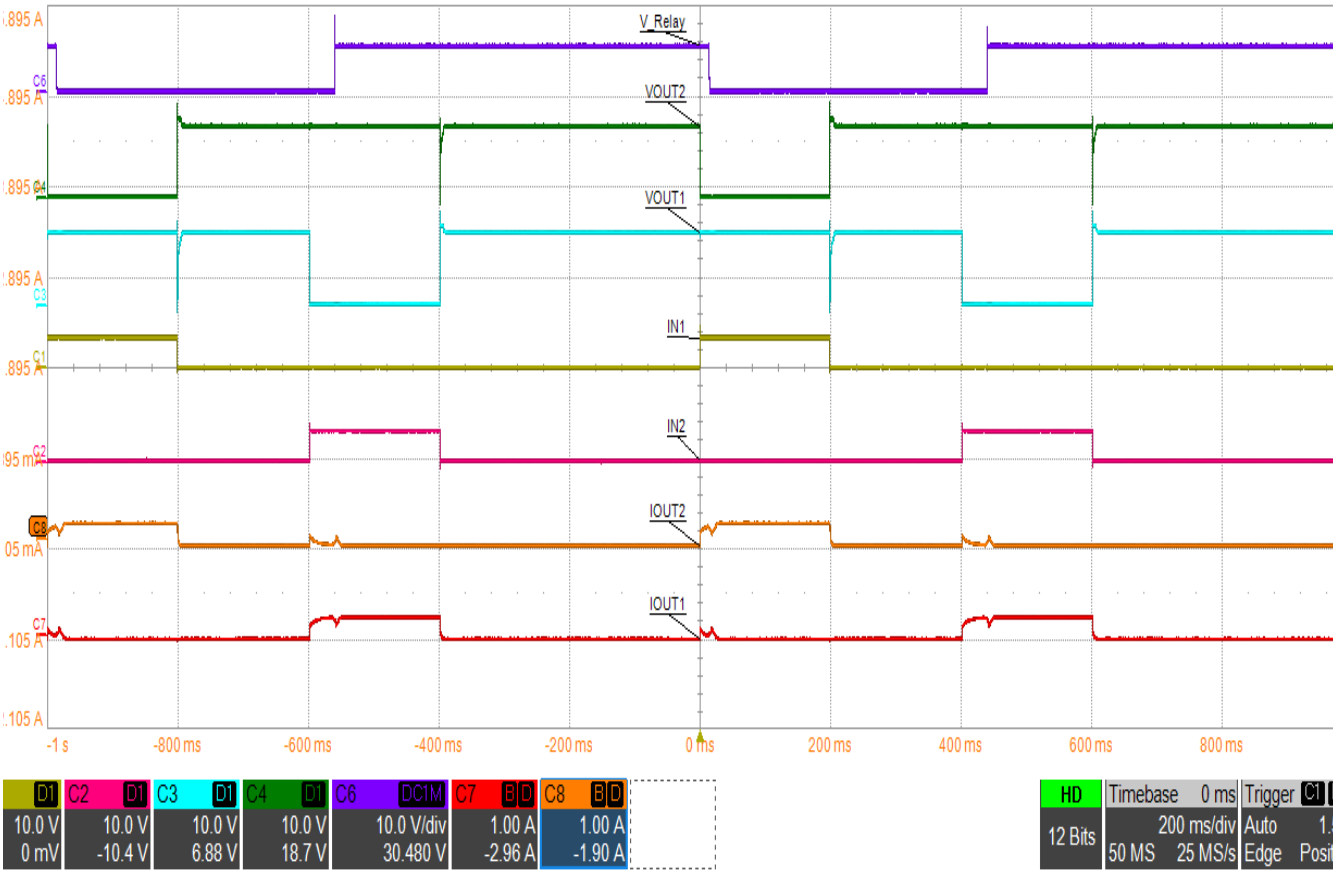
9.2.3.2.3 低消費電力動作

低消費電力スリープ・モードの開始方法については、セクション 8.4.2 で説明しています。スリープ・モードに移行するときは、すべての入力をロジック Low に設定して、システムの電力を最小化することを推奨します。

OUTx ピンからのリーク電流を最小限に抑えるために (特にバッテリ駆動のアプリケーションで)、OUTx から GND に負荷を接続してください。前のセクションで示したように、OUTx から VM に負荷を接続することも可能ですが、負荷がディセーブルされたときに OUTx へ多少のリーク電流が発生することがあります。

Copyright © 2022 Texas Instruments Incorporated

9.2.3.3 アプリケーション曲線



A. チャネル 1 = IN1　チャネル 2 = IN2　チャネル 3 = V_{OUT1}
チャネル 4 = V_{OUT2}　チャネル 6 = リレー・スイッチ　チャネル 7 = リレー・コイル 1 電流
チャネル 8 = リレー ・コイル 2 電流

図 9-25. デュアルコイル・リレーの PWM 駆動

9.2.4 電流センス

GND ピンに小さなシャント抵抗を接続すると、電流センスの情報をマイクロコントローラの ADC に返すことができます。マイクロコントローラはこの情報を使用して、ストールなどのモーター負荷条件を検出できます。DRL パッケージを使用した回路図の例を 図 9-26 に示します。さらに優れた電流センスのダイナミック・レンジが必要な場合は、図 9-27 に示すようにアンプを追加できます。

DSG サーマル・パッドは、基板のグランド・ネット、または GND ピン / センス信号ネットに接続できます。

Copyright © 2022 Texas Instruments Incorporated

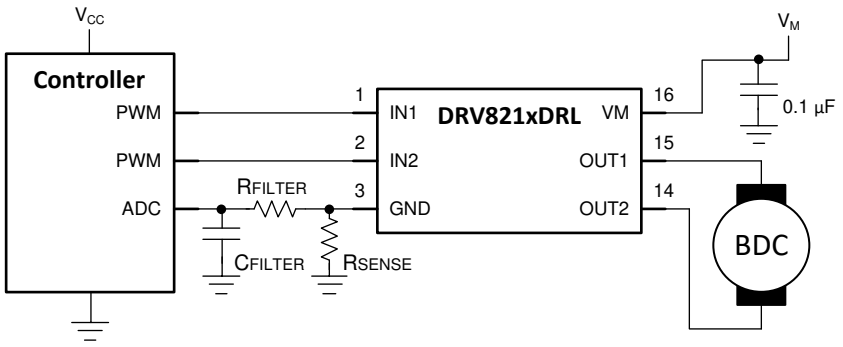


図 9-26. DRL パッケージのバリアントで GND ピンに接続するシャント抵抗

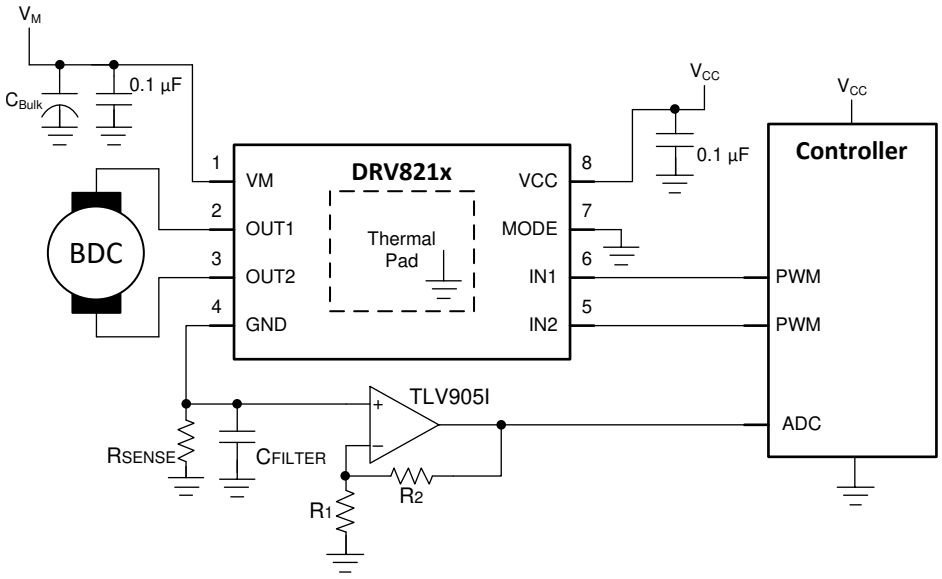


図 9-27. の電流センス・アンプの例

9.2.4.1 設計要件

電流センス・アプリケーションの要件の例を 表 9-6 に示します。

表 9-6. システム設計要件

設計パラメータ	略号	値の例
モーター電源電圧	V_M	6V
ロジック電源電圧	V_{CC}	3.3V
R_{SENSE} の両端間の最大電圧	V_{SENSE}	150mV
モーター RMS 電流	I_{OUT1}、I_{OUT2}	500mA
モーターのストール電流	$I_{OUT1,stall}$、$I_{OUT2,stall}$	1A

9.2.4.2 詳細な設計手順

9.2.4.2.1 シャント抵抗の決定

INx ピンの絶対最大定格は、シャント抵抗の両端の最大電圧を設定するものです。INx ピンの信号が Low で基板グランドを基準とした場合、INx ピンは GND ピンの電圧を基準とした負の電圧になります。これにより、最大センス電圧 / GND ピン電圧が 0.5V に設定されます。相対ピン電圧を 図 9-28 に示します。

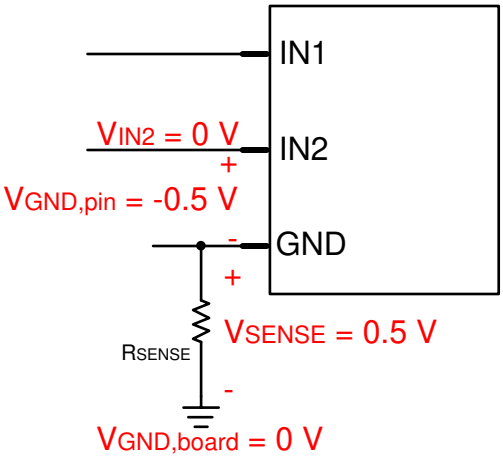


図 9-28. 電流センス抵抗を使用する基板グランドを基準としたピン電圧

この例では、最大 V_{SENSE} として 150mV を使用します。これは 0.5V 未満で、安全や誤差の余裕があります。モーターに流れる最大電流はストール電流、この例では 1A です。この情報から、検出抵抗 R_{SENSE} は次の式で計算できます。

$$R_{SENSE} = V_{SENSE} / I_{STALL} = 0.15 / 1 = 0.15\Omega \quad (1)$$

デバイスの GND ピンの電圧は、検出抵抗を流れる電流によって変化するため、設計者はロジック・ピンが V_{IL} と V_{IH} のパラメータを満たし、MODE ピンが V_{TIL}、V_{TIZ}、および V_{TIH} パラメータを満たし、電源電圧が常に V_{UVLO} より高く維持されることを確認する必要があります。

9.2.4.2.2 RC フィルタ

図 9-26 に示す RC フィルタを使用して、センス信号からのノイズと過渡信号をフィルタします。R_{FILTER} = 1kΩ、C_{FILTER} = 100nF を推奨します。システムの特定の条件に応じて、異なる値を選択できます。

9.3 電流能力と熱性能

ドライバの出力電流および消費電力能力は、PCB の設計と外部システムの条件に大きく依存します。ここでは、これらの値を計算するための指針を提示します。

9.3.1 消費電力および出力電流特性

本デバイスの総消費電力は、静止消費電流 (P_{VM} および P_{VCC})、パワー MOSFET のスイッチング損失 (P_{SW})、およびパワー MOSFET の $R_{DS(on)}$ (伝導) 損失 (P_{RDS}) の 3 つの主要な成分に分けられます。それ以外の要素が消費電力の増加に影響することもありますが、この 3 つの主要な要素に比べると通常わずかです。

$$P_{TOT} = P_{VM} + P_{VCC} + P_{SW} + P_{RDS} \quad (2)$$

P_{VM} は、公称モーター電源電圧 (V_{VM}) と、I_{VM} アクティブ・モード電流の仕様から計算できます。P_{VCC} は、公称ロジック電源電圧 (V_{VCC}) と I_{VCC} アクティブ・モード電流の仕様から計算できます。$V_{VCC} < V_{VM}$ の場合、DRV8210 は VCC ピンではなく VM ピンからアクティブ電流を消費します。この動作条件で、I_{VCC} は通常 500nA 未満です (図 7-5 および図 7-7 を参照)。

$$P_{VM} = V_{VM} \times I_{VM} \quad (3)$$

$$P_{VM} = 7mW = 5V \times 1.4mA \quad (4)$$

$$P_{VCC} = V_{VCC} \times I_{VCC} \quad (5)$$

$$P_{VCC} = 0.594mW = 3.3V \times 0.18mA \quad (6)$$

Copyright © 2022 Texas Instruments Incorporated

P_{SW} は、公称モーター電源電圧 (V_{VM})、平均出力電流 (I_{RMS})、スイッチング周波数 (f_{PWM})、デバイス出力立ち上がり (t_{RISE}) および立ち下がり (t_{FALL}) 時間の仕様から計算できます。

$$P_{SW} = P_{SW_RISE} + P_{SW_FALL} \quad (7)$$

$$P_{SW_RISE} = 0.5 \times V_M \times I_{RMS} \times t_{RISE} \times f_{PWM} \quad (8)$$

$$P_{SW_FALL} = 0.5 \times V_M \times I_{RMS} \times t_{FALL} \times f_{PWM} \quad (9)$$

$$P_{SW_RISE} = 3.75mW = 0.5 \times 5V \times 0.5A \times 150ns \times 20kHz \quad (10)$$

$$P_{SW_FALL} = 3.75mW = 0.5 \times 5V \times 0.5A \times 150ns \times 20kHz \quad (11)$$

$$P_{SW} = 7.5mW = 3.75mW + 3.75mW \quad (12)$$

P_{RDS} は、デバイスの $R_{DS(on)}$ と平均出力電流 (I_{RMS}) から計算できます。

$$P_{RDS} = I_{RMS}^{2} \times (R_{DS(ON)_HS} + R_{DS(ON)_LS}) \quad (13)$$

$R_{DS(ON)}$ はデバイス温度と強い相関があります。デバイスの接合部温度を 85℃ と仮定すると、正規化した温度データに基づき、$R_{DS(on)}$ は約 1.5 倍に増大する可能性があります。下の計算は、このディレーティング係数を示しています。または、セクション 7.6 セクションには $R_{DS(on)}$ が温度に応じてどのように変化するかを示す曲線が記されています。

$$P_{RDS} = 394mW = (0.5A)^2 \times (525m\Omega \times 1.5 + 525m\Omega \times 1.5) \quad (14)$$

上記の計算例に基づき、以下の式でデバイスの予想される消費電力の合計を計算します。

$$P_{TOT} = P_{VM} + P_{VCC} + P_{SW} + P_{RDS} \quad (15)$$

$$P_{TOT} = 409mW = 7mW + 0.594mW + 7.5mW + 394mW \quad (16)$$

デバイス接合部温度は、P_{TOT}、デバイス周囲温度 (T_A)、パッケージ熱抵抗 ($R_{\theta JA}$) を使って推定できます。$R_{\theta JA}$ の値は、PCB 設計と、デバイス周りの銅のヒートシンクに大きく依存します。セクション 9.3.2 に、この依存関係を詳細に説明します。

$$T_J = (P_{TOT} \times R_{\theta JA}) + T_A \quad (17)$$

$$T_J = 126°C = (0.409W \times 99.6°C/W) + 85°C \quad (18)$$

デバイスの接合部温度は、システムのすべての動作条件について、絶対最大定格より低く維持する必要があります。このセクションの計算では、接合部温度の妥当な推定値を示します。ただし、システム動作中の温度測定に基づくその他の方法は、より現実的で信頼性の高いものになります。モーター・ドライバの定格電流と消費電力の詳細については、「セクション 9.3.2」および「セクション 12.1.1」を参照してください。

9.3.2 熱性能

データシートに規定する接合部から周囲への熱抵抗 $R_{\theta JA}$ は、おもに各種ドライバの比較または熱性能の概算に役立ちます。しかし、実際のシステム性能は、PCB 層構成 (スタックアップ)、配線、ビア数、サーマル・パッド周りの銅面積に応じて、この値よりも良くなったり、悪くなったりします。ドライバが特定の電流を駆動する時間の長さもまた、消費電力や熱性能に影響を与えます。ここでは、定常状態および過渡熱条件での設計方法について考察します。

このセクションのデータは、次の基準を使用してシミュレーションしたものです。

WSON (DSG パッケージ)

- 2 層 PCB、標準 FR4、1oz (35µm 銅箔厚) または 2oz 銅箔厚。サーマル・ビアはサーマル・パッドの下にのみ配置 (2 個のビア、1.2mm 間隔、0.3mm 直径、0.025mm 銅メッキ)。
  - 上層 : DRV8210 WSON パッケージ・フットプリントおよび銅プレーン・ヒートシンク。シミュレーションでは、上層の銅領域が変化しています。

Copyright © 2022 Texas Instruments Incorporated

  - 下層：DRV8210 用にサーマル・パッドの下でビアを介して熱的に接続されたグランド・プレーン。下層の銅領域は、上部の銅領域によって異なります。
- 4 層 PCB、標準 FR4。外側のプレーンは 1oz (35µm 銅箔厚) または 2oz 銅箔厚。内側のプレーンは 1oz で一定。サーマル・ビアはサーマル・パッドの下にのみ配置 (2 個のビア、1.2mm 間隔、0.3mm 直径、0.025mm 銅メッキ)。
  - 上層：DRV8210 WSON パッケージ・フットプリントおよび銅プレーン・ヒートシンク。シミュレーションでは、上層の銅領域が変化しています。
  - 中間層 1：DRV8210 サーマル・パッドにビアを介して熱的に接続された GND プレーン。グランド・プレーンの領域は 74.2mm x 74.2mm です。
  - 中間層 2：電源プレーン、熱的接続なし。電源プレーンの領域は 74.2mm x 74.2mm です。
  - 下層：DRV8210 の下に小さな銅パッドを設け、上層および内部 GND プレーンから打ったビアで熱的に接続した信号層。下層のサーマル・パッドはパッケージと同じサイズ (2 mm x 2 mm)。上層の銅プレーンが変化しても、下層のパッドのサイズは一定。

HTSSOP パッケージについてシミュレーションした基板の例を 図 9-29 に示します。表 9-7 に、各シミュレーションで変化させた基板の寸法を示します。

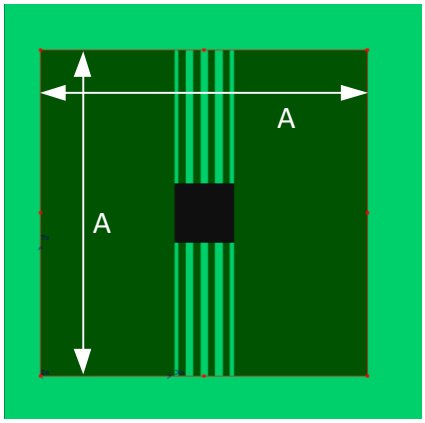


図 9-29. WSON PCB モデルの上層

表 9-7. 16 ピン PWP パッケージの寸法 A

銅 (Cu) 面積 (mm^2)	寸法 A (mm)
2	15.11
4	20.98
8	29.27
16	40.99

SOT (DRL パッケージ)

- 2 層 PCB、標準 FR4、1oz (35µm 銅箔厚) または 2oz 銅箔厚。サーマル・ビアはパッケージのフットプリントの下にのみ配置 (2 個のビア、1.2mm 間隔、0.3mm 直径、0.025mm 銅メッキ)。
  - 上層：DRV8210 SOT パッケージのフットプリントと、銅プレーンのヒートシンク。シミュレーションでは、上層の銅領域が変化しています。
  - 下層：DRV8210DRL パッケージのフットプリントの下で、ビアを介して熱的に接続されるグランド・プレーン。下層の銅領域は、上部の銅領域によって異なります。
- 4 層 PCB、標準 FR4。外側のプレーンは 1oz (35µm 銅箔厚) または 2oz 銅箔厚。内側のプレーンは 1oz で一定。サーマル・ビアは、DRV8210DRL パッケージのフットプリントの下にのみ配置 (2 個のビア、1.2mm 間隔、0.3mm 直径、0.025mm 銅メッキ)。
  - 上層：DRV8210 SOT パッケージのフットプリントと、銅プレーンのヒートシンク。シミュレーションでは、上層の銅領域が変化しています。

Copyright © 2022 Texas Instruments Incorporated

– 中間層 1：DRV8210DRL パッケージのフットプリントの下で、ビアを介して熱的に接続される GND プレーン。グランド・プレーンの領域は 74.2mm x 74.2mm です。
– 中間層 2：電源プレーン、熱的接続なし。電源プレーンの領域は 74.2mm x 74.2mm です。
– 下層：DRV8210DRL の下に小さな銅パッドを設け、上層および内部 GND プレーンから打ったビアで熱的に接続した信号層。下層のサーマル・パッドはパッケージと同じサイズ (1.2 mm x 1.6 mm)。上層の銅プレーンが変化しても、下層のパッドのサイズは一定。

HTSSOP パッケージについてシミュレーションした基板の例を 図 9-30 に示します。表 9-8 に、各シミュレーションで変化させた基板の寸法を示します。

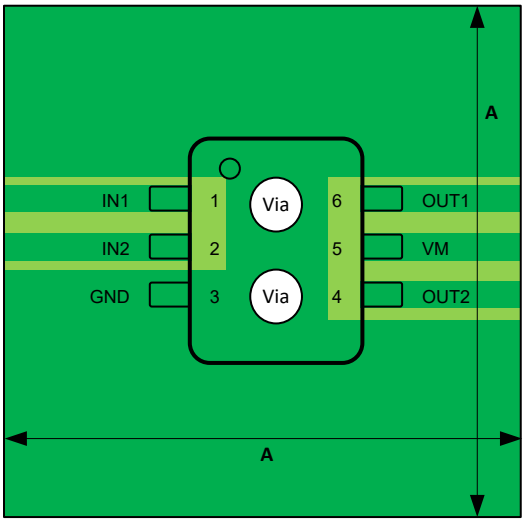


図 9-30. SOT PCB モデルの上層

表 9-8. 16 ピン PWP パッケージの寸法 A

銅 (Cu) 面積 (mm^2)	寸法 A (mm)
2	15.11
4	20.98
8	29.27
16	40.99

9.3.2.1 定常状態熱性能

「定常状態条件」とは、モーター・ドライバが長時間にわたって一定の RMS 電流で動作することを指します。このセクションの図は、銅面積、銅厚、PCB 層数に応じた $R_{\theta JA}$ と Ψ_{JB} (接合部から基板への熱特性) の変化を示しています。銅面積が大きく、層数が多く、銅プレーンが厚いほど、$R_{\theta JA}$ と Ψ_{JB} は小さくなり、PCB レイアウトの熱性能が高くなることを示しています。

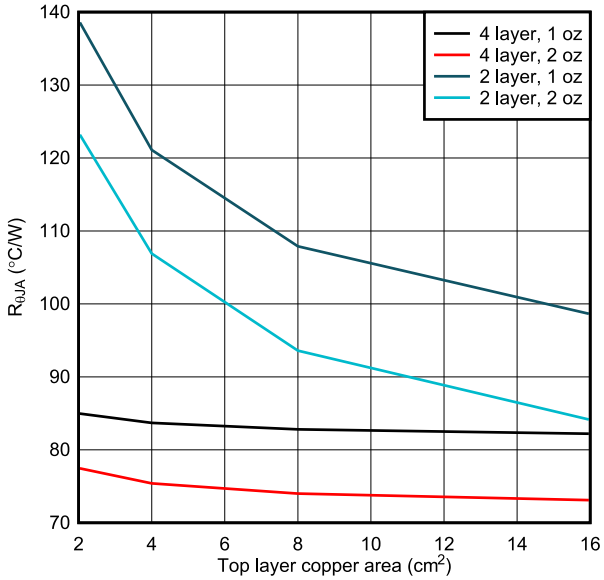


図 9-31. WSON、PCB の接合部から周囲への熱抵抗と銅面積との関係

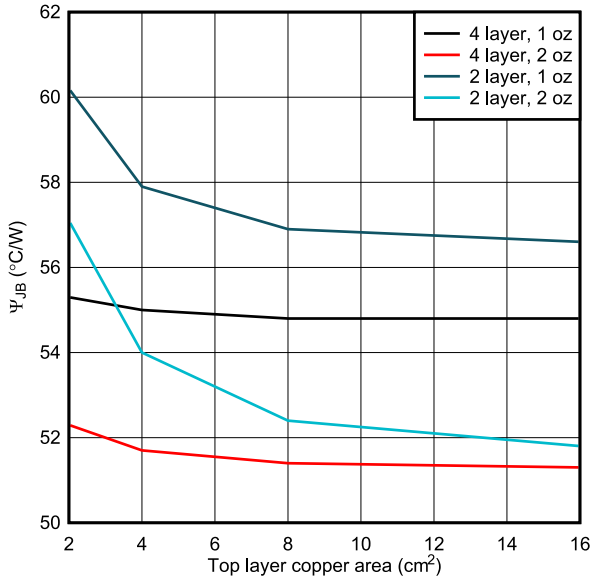


図 9-32. WSON、接合部から基板への特性パラメータと銅面積との関係

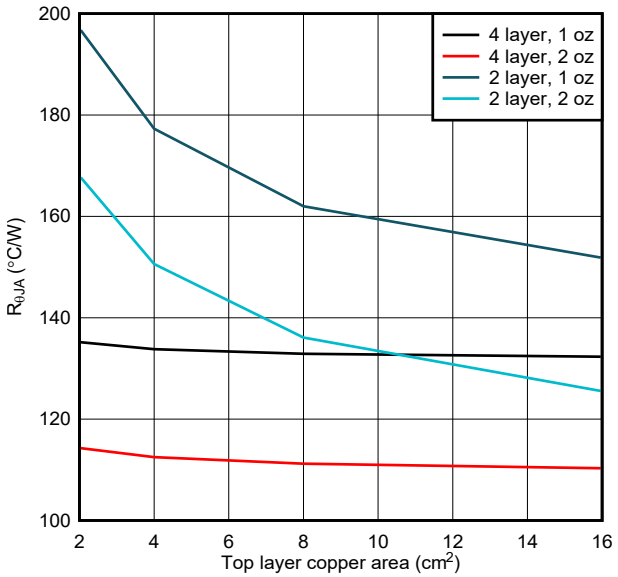


図 9-33. SOT、PCB の接合部から周囲への熱抵抗と銅面積との関係

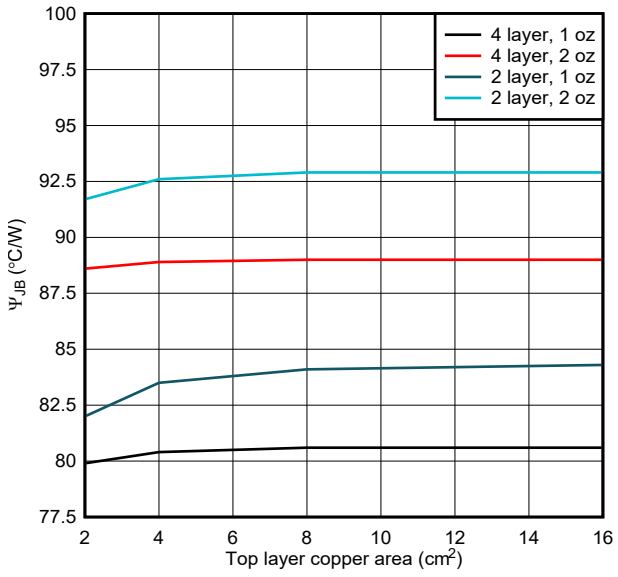


図 9-34. SOT、接合部から基板への特性パラメータと銅面積との関係

9.3.2.2 過渡熱性能

モーター・ドライバには、さまざまな過渡状況が発生し、短時間に大きな電流が流れる可能性があります。たとえば、次のとおりです。

- ローターが最初に静止しているときのモーター起動。
- 電源またはグランドがモーターの出力のいずれかに短絡し、過電流保護がトリガされるフォルト条件。
- モーターまたはソレノイドが短時間駆動された後、解放される。

このような過渡条件では、銅の面積や厚さに加えて、駆動時間も熱性能に影響を与えます。過渡条件の場合、熱インピーダンス ($Z_{\theta JA}$) パラメータは、接合部から周囲への熱性能を示します。このセクションの図は、WSON と SOT パッケージ用の 1oz および 2oz の銅のレイアウトをシミュレートしたものです。これらのグラフは、短い電流パルスで熱性能が高くなるこ

Copyright © 2022 Texas Instruments Incorporated

とを示しています。駆動時間が短い場合、本デバイスのダイのサイズとパッケージが熱性能を決定します。より長い駆動パルスの場合、基板レイアウトが熱性能により大きな影響を与えます。どちらのグラフの熱インピーダンス曲線も、駆動パルス期間が長くなるに従って層数と銅面積に応じた差が観測されることを示しています。パルスが長い場合、定常状態の性能とみなすことができます。

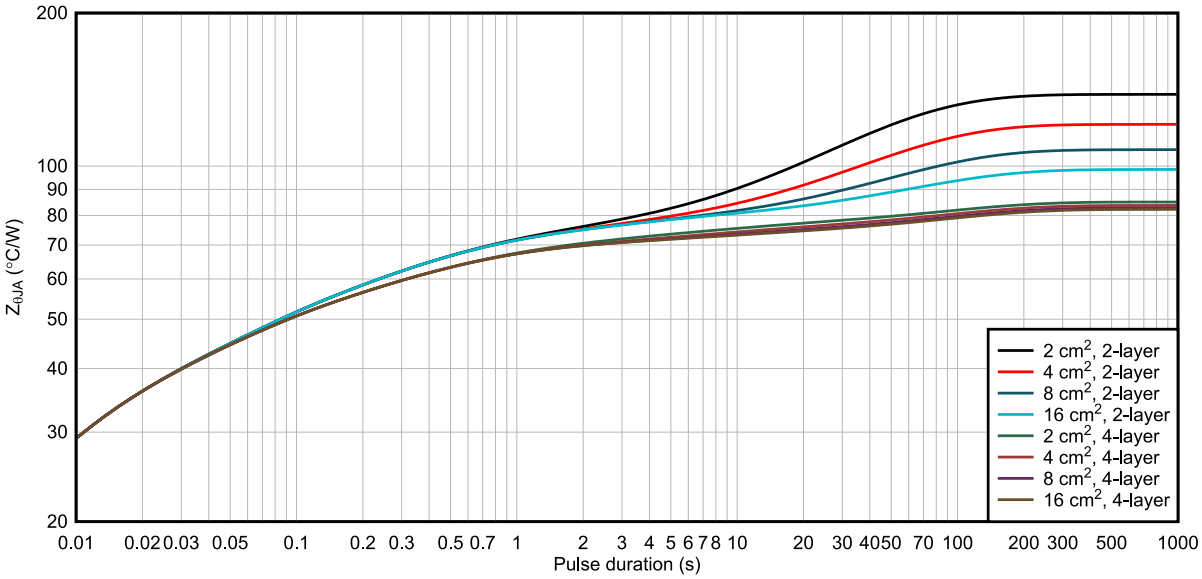


図 9-35. WSON パッケージと 1oz 銅レイアウトでの、接合部から周囲への熱インピーダンス

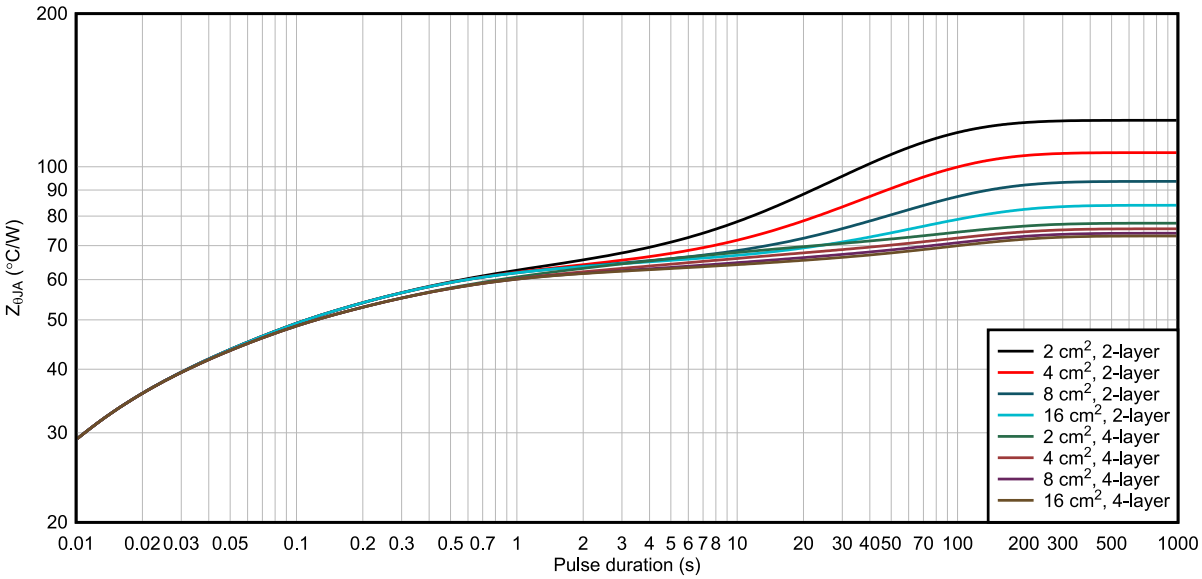


図 9-36. WSON パッケージと 2oz 銅レイアウトでの、接合部から周囲への熱インピーダンス

Copyright © 2022 Texas Instruments Incorporated

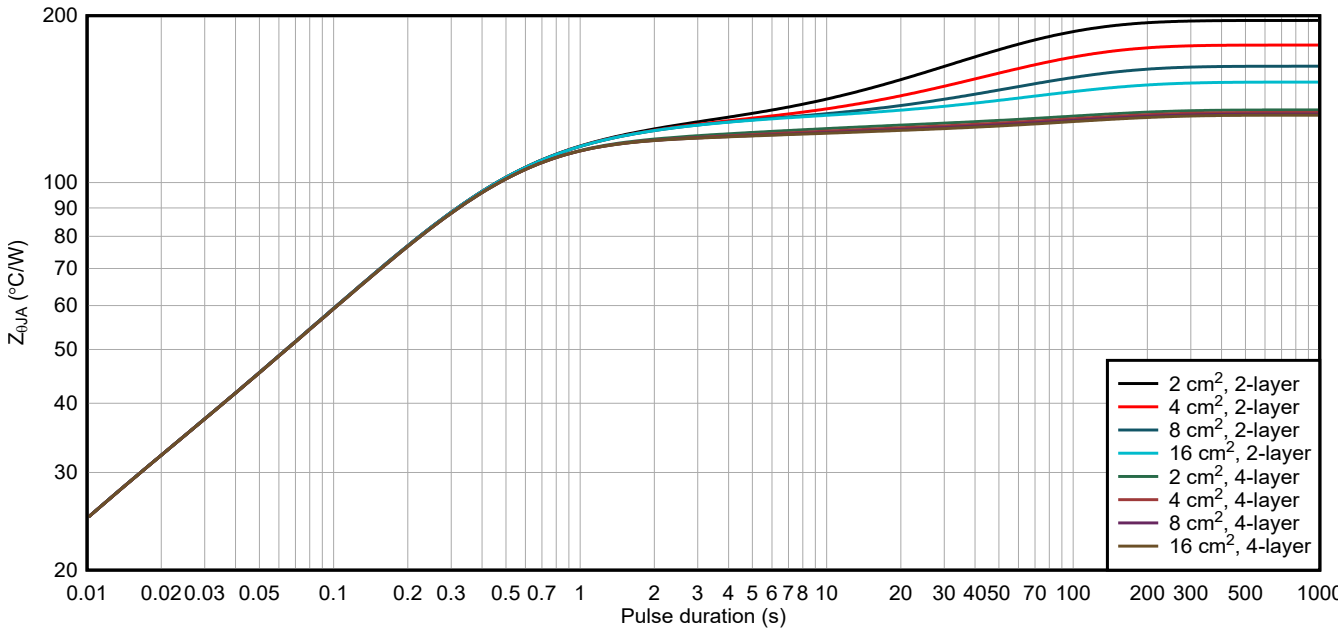


図 9-37. SOT パッケージと 1oz 銅レイアウトでの、接合部から周囲への熱インピーダンス

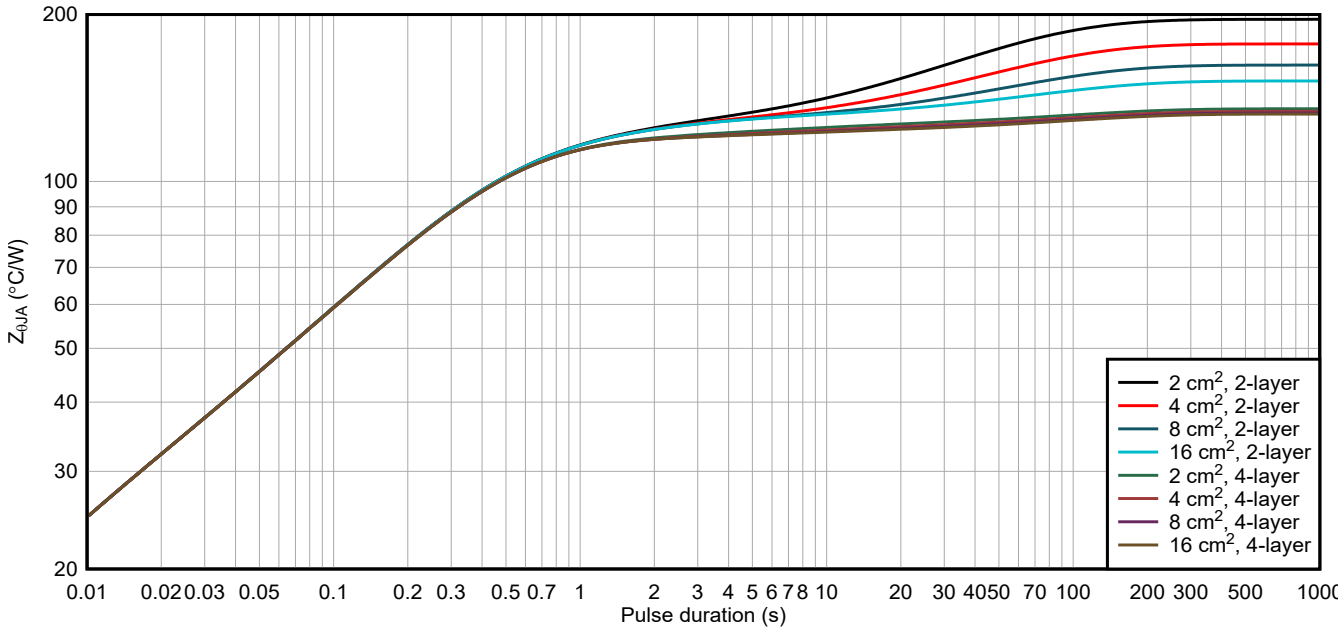


図 9-38. SOT パッケージと 2oz 銅レイアウトでの、接合部から周囲への熱インピーダンス

Copyright © 2022 Texas Instruments Incorporated

10 電源に関する推奨事項

10.1 バルク容量

適切なローカル・バルク容量の確保は、モーター・ドライブ・システムの設計において重要な要素です。バルク容量を増やすと、一般にメリットがありますが、コストの増大と大型化というデメリットも伴います。

必要なローカル・バルク容量値は、次のようなさまざまな要素で決まります。

- モーターまたは負荷が必要とする最大電流
- 電源容量と電流供給能力
- 電源とモーター・システムの間の寄生インダクタンスの大きさ
- 許容されるシステムの電圧リップル
- モーターのブレーキ方式 (該当する場合)

電源とモーター・ドライブ・システムの間のインダクタンスにより、電源からの電流の変化する速度が制限されます。ローカル・バルク容量が小さすぎると、モーターに大電流を供給しようとする場合、または負荷ダンプが発生した場合、システムの電圧が変動します。十分なバルク容量を備えることで、モーターの電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨最小値が記載されていますが、バルク・コンデンサの容量が適切かどうかを判断するには、システム・レベルのテストが必要です。

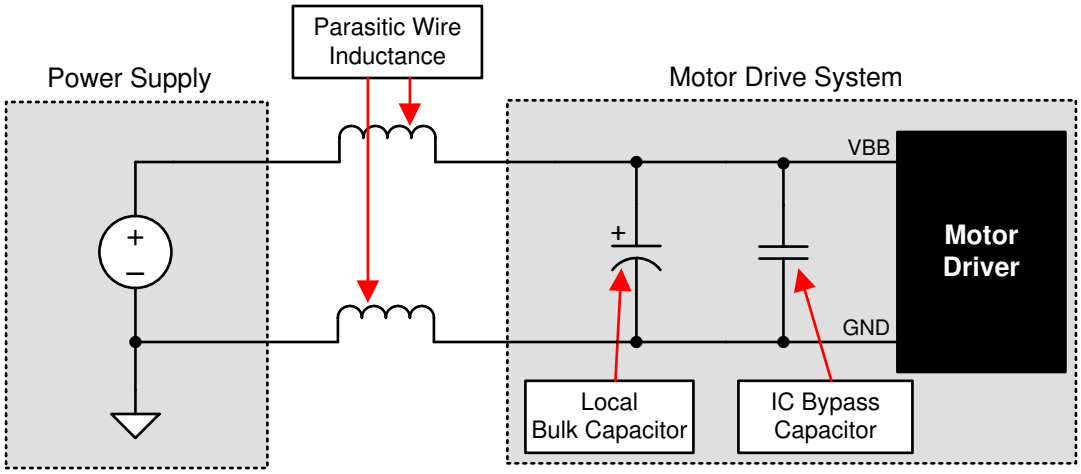


図 10-1. システム電源の寄生成分の例

11 レイアウト

11.1 レイアウトのガイドライン

DRV8210 デバイスにはパワー MOSFET が内蔵されており、大電流を駆動できるため、レイアウト設計と外部部品の配置には細心の注意を払う必要があります。設計とレイアウトに関する指針は以下のとおりです。レイアウトに関する推奨事項の詳細については、*『モータードライバの基板レイアウトのベスト・プラクティス』*(英語) をご覧ください。

- VM と GND 間および VCC と GND 間のバイパス・コンデンサには、低 ESR のセラミック・コンデンサを使用する必要があります。X5R および X7R タイプを推奨します。
- ループ・インダクタンスを最小限に抑えるため、VM と VCC の電源コンデンサは、デバイスにできるだけ近く配置する必要があります。
- VM 電源バルク・コンデンサはセラミックまたは電解タイプとすることができますが、やはりループ・インダクタンスを最小限に抑えるため、デバイスにできるだけ近付けて配置する必要があります。
- VM、OUT1、OUT2、GND は電源から出力へ大電流を供給し、グランドに戻します。これらのトレースには、実現可能であれば、太い金属配線を使用する必要があります。
- GND は、PCB のグランド・プレーンに直接接続する必要があります。
- PCB のヒートシンクを最大限に確保するため、本デバイスのサーマル・パッドは、PCB 上層のグランド・プレーン (と、利用可能な場合、サーマル・ビアを介して内部グランド・プレーン) に取り付ける必要があります。
- 最適なヒートシンクを実現するために、サーマル・パッドを取り付ける銅プレーンの面積はできるだけ大きくする必要があります。

11.2 レイアウト例

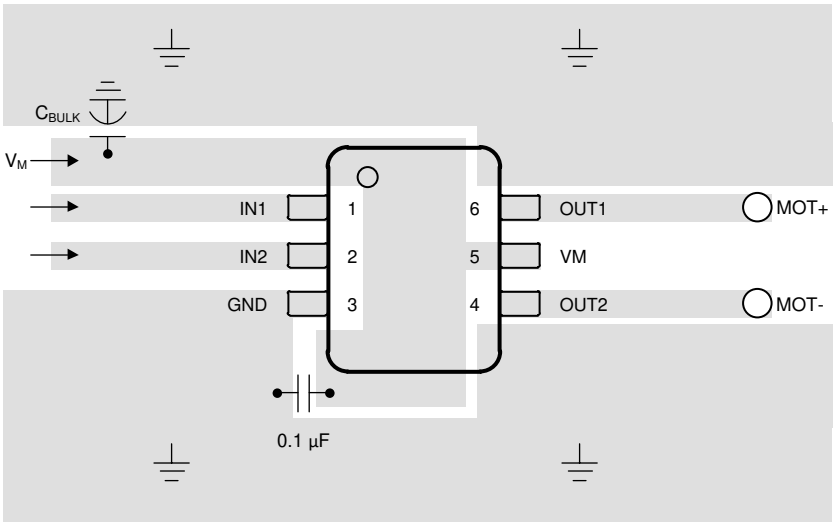


図 11-1. ビアなしでの DRL パッケージの簡略化されたレイアウト例

Copyright © 2022 Texas Instruments Incorporated

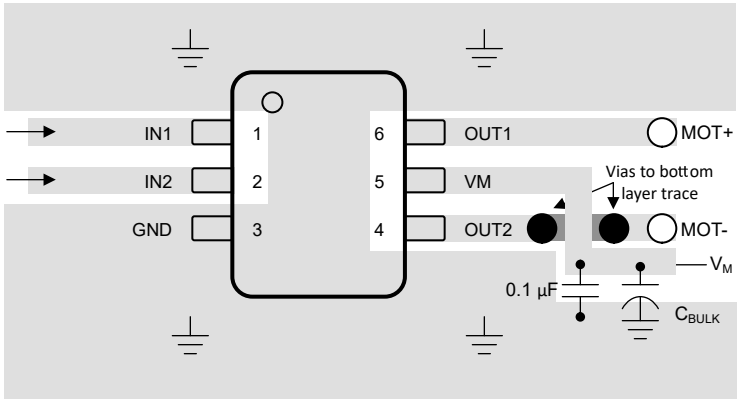


図 11-2. 銅面積が大きく放熱特性に優れた、 DRL パッケージの簡略化されたレイアウト例

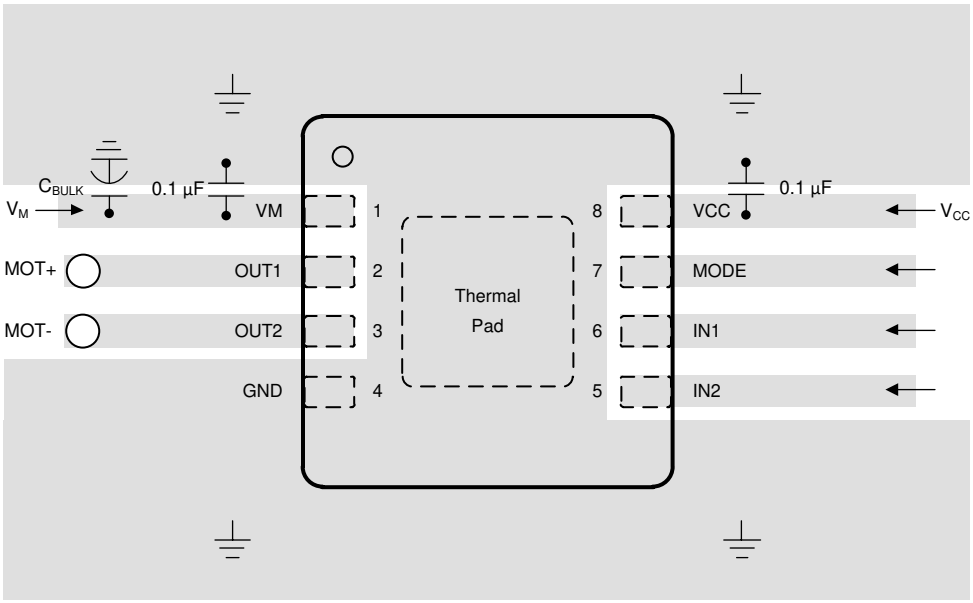


図 11-3. DSG パッケージの簡略化されたレイアウト例

12 デバイスおよびドキュメントのサポート

12.1 ドキュメントのサポート

12.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*『モーター・ドライバ消費電力の計算』*アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、*『PowerPAD™ の簡単な使用法』*アプリケーション・レポート
- テキサス・インスツルメンツ、*『熱特性強化型パッケージ PowerPAD™』*アプリケーション・レポート
- テキサス・インスツルメンツ、*『モーター・ドライバ電流定格の説明』*アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、*『モータ・ドライバの基板レイアウトのベスト・プラクティス』*アプリケーション・レポート

12.2 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

12.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

12.4 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

12.5 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

12.6 Glossary

TI Glossary	This glossary lists and explains terms, acronyms, and definitions.

Copyright © 2022 Texas Instruments Incorporated

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2022 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8210DRLR	Active	Production	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	Yes	Call TI | Sn	Level-1-260C-UNLIM	-40 to 125	8210
DRV8210DRLR.A	Active	Production	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	8210
DRV8210DSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	210
DRV8210DSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	210
DRV8210DSGRG4	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	210
DRV8210DSGRG4.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	210

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

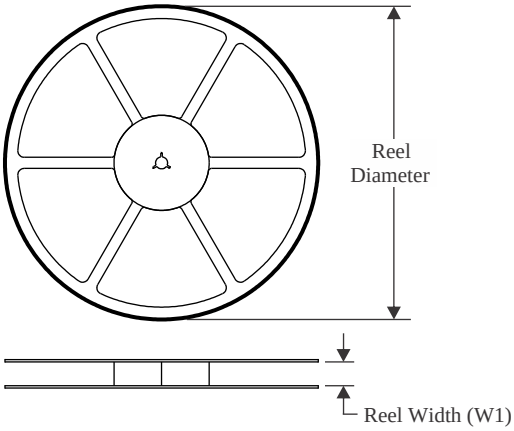
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

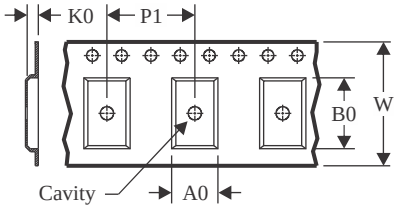
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

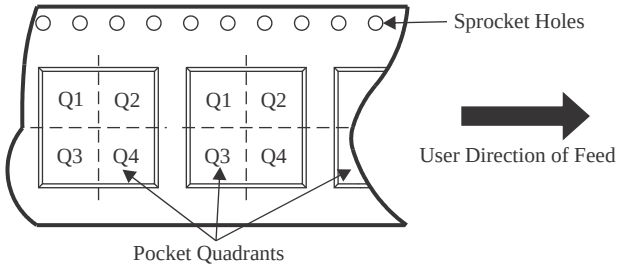


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

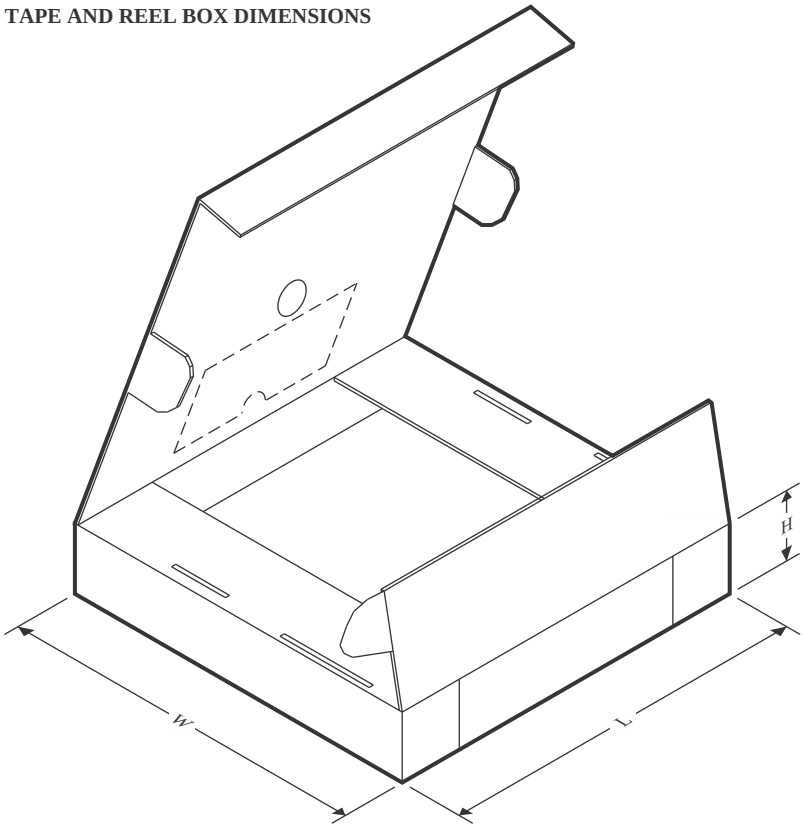
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8210DRLR	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3
DRV8210DSGR	WSON	DSG	8	3000	178.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
DRV8210DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
DRV8210DSGRG4	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8210DRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
DRV8210DSGR	WSON	DSG	8	3000	208.0	191.0	35.0
DRV8210DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
DRV8210DSGRG4	WSON	DSG	8	3000	210.0	185.0	35.0

GENERIC PACKAGE VIEW

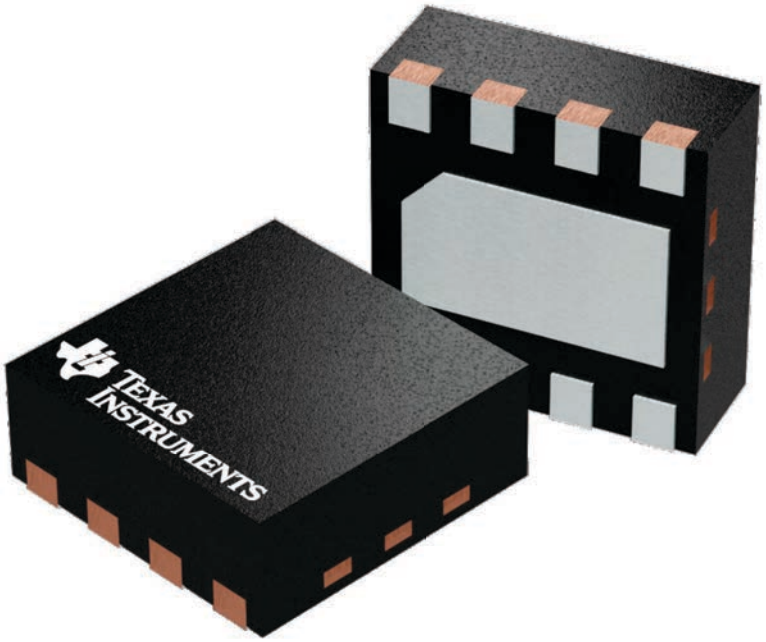
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



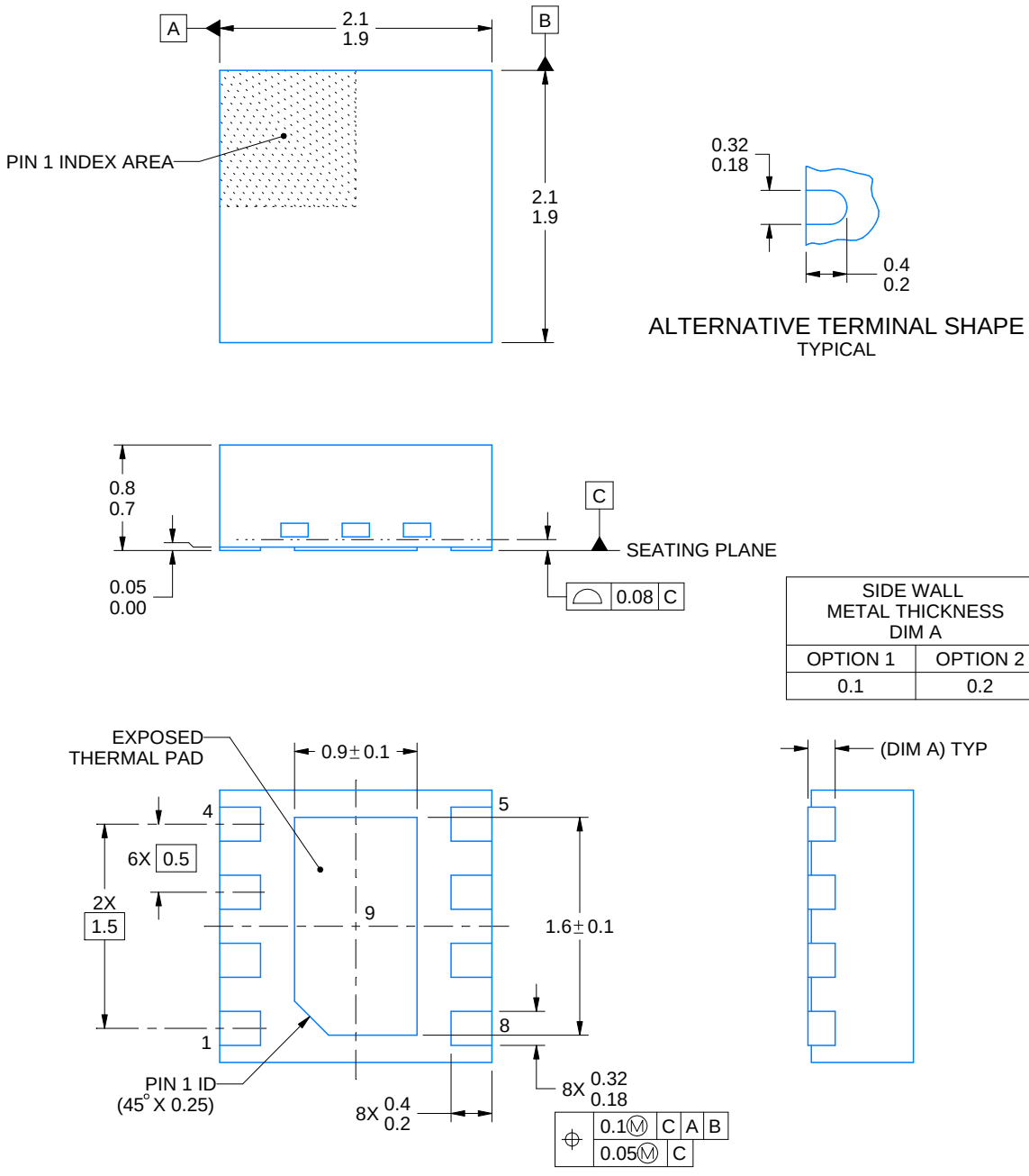
4224783/A

PACKAGE OUTLINE

DSG0008A

WSON - 0.8 mm max height

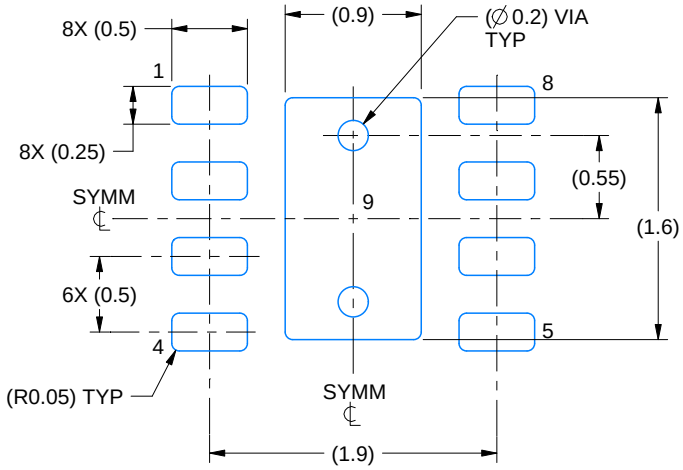
PLASTIC SMALL OUTLINE - NO LEAD



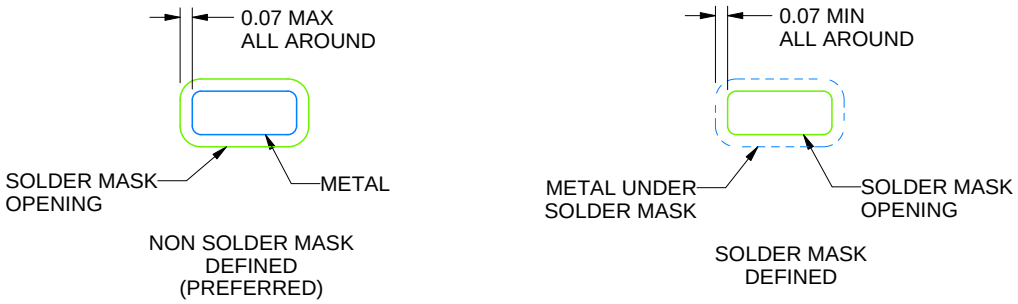
4218900/E 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

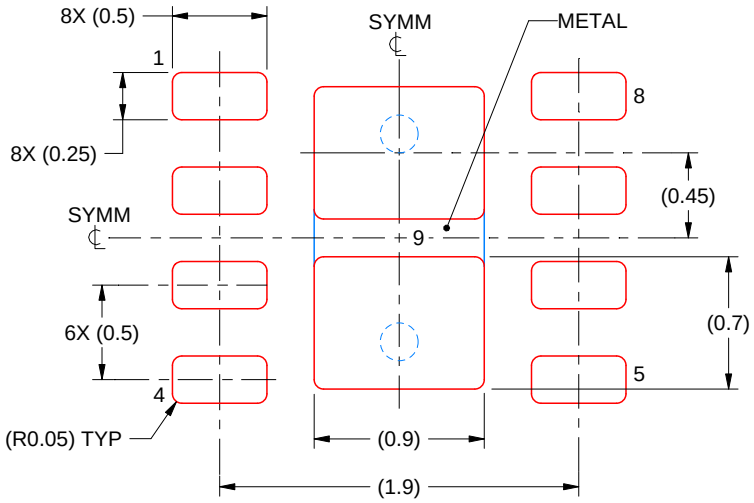


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

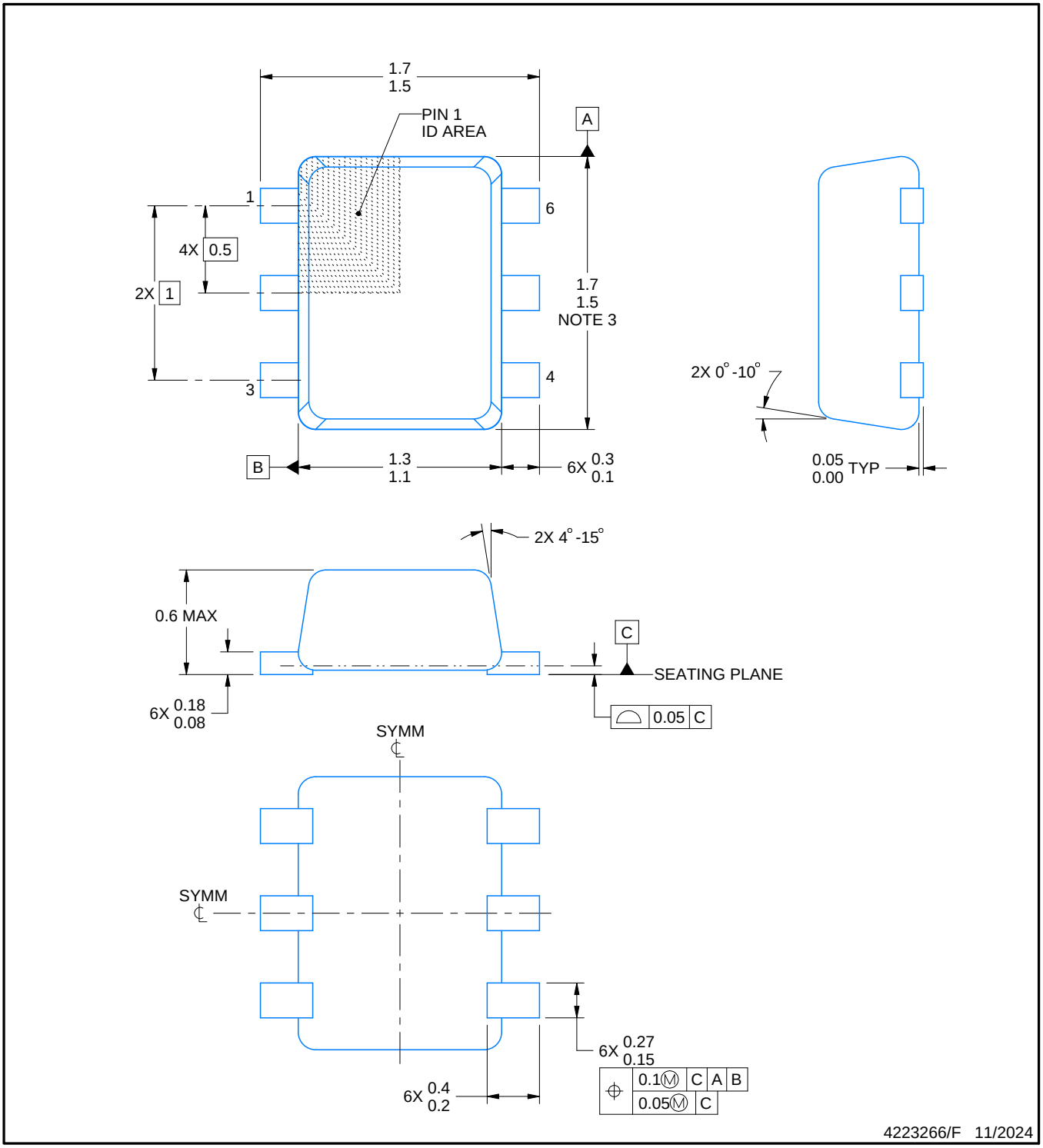


PACKAGE OUTLINE

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



NOTES:

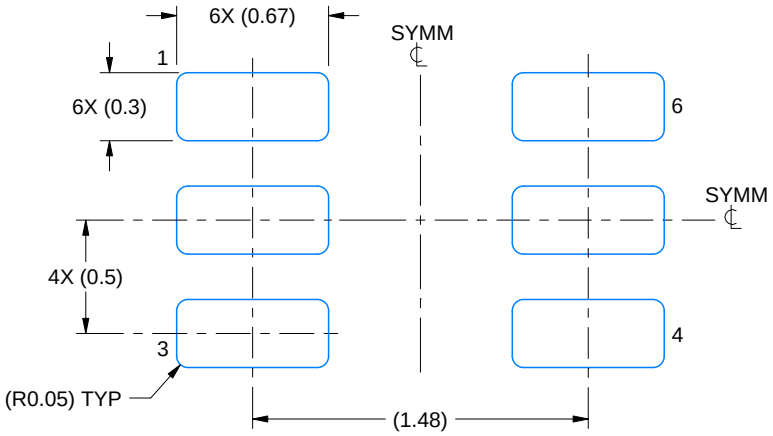
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-293 Variation UAAD

EXAMPLE BOARD LAYOUT

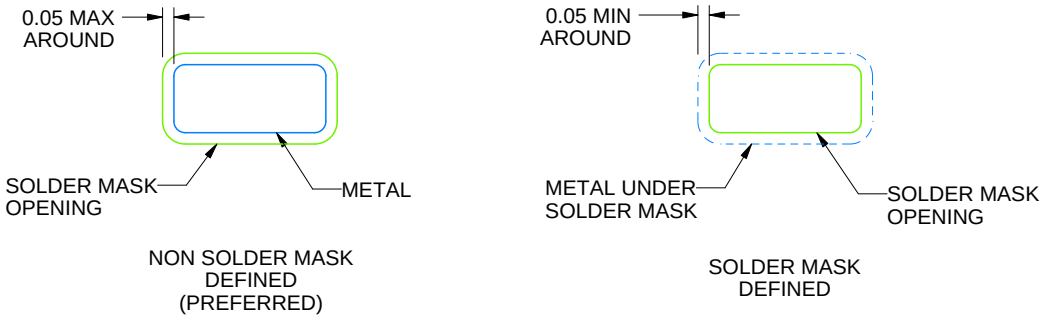
DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:30X



SOLDERMASK DETAILS

4223266/F 11/2024

NOTES: (continued)

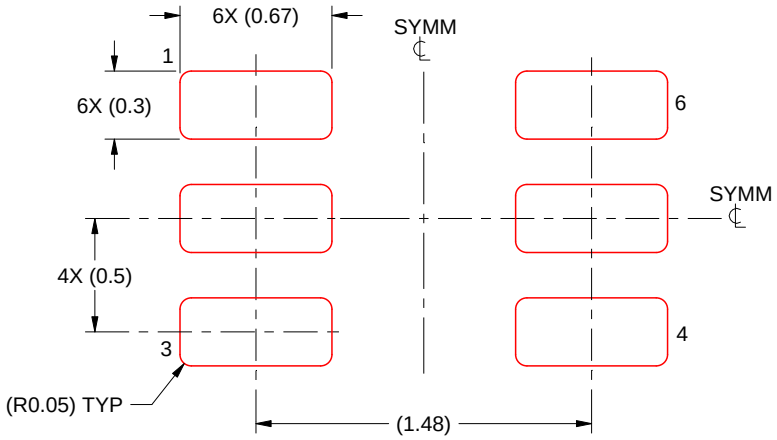
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4223266/F 11/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月