DRV8243-Q1 車載用 H ブリッジ ドライバ、電流センス機能および診断機能搭載

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:-40℃～+125℃、T_A
- 機能安全対応
  - 機能安全システムの設計に役立つ資料を利用可能
- 動作範囲:4.5V～35V (絶対最大定格 40V)
- VQFN-HR パッケージ:R_{ON_LS} + R_{ON_HS}:84mΩ
- HVSSOP パッケージ:R_{ON_LS} + R_{ON_HS}:98mΩ
- I_{OUT} (最大値) = 12A
- 最大 25kHz の PWM 周波数動作 、自動デッド タイム生成付き
- 設定可能なスルーレートと拡散スペクトラム クロックによる低い電磁干渉 (EMI)
- 統合型の電流センス (シャント抵抗が不要)
- IPROPI ピンへの比例負荷電流出力
- 設定可能な電流レギュレーション
- フォルト応答 (ラッチまたは再試行) を設定可能な保護および診断機能
  - オフ状態とオン状態の両方で負荷診断を行い、開放負荷および短絡を検出
  - 電源 (VM) の電圧監視
  - 過電流保護
  - 過熱保護
  - nFAULT ピンによるフォルト通知
- 3.3V、5V のロジック入力をサポート
- 低いスリープ電流、25℃で 1µA (標準値)
- 3 つのバリアント - HW (H)、SPI (S)、SPI (P)
- 設定可能な制御モード:
  - PWM または PH/EN モードを使用するシングル フルブリッジ
  - 独立モードを使用する 2 つのハーフブリッジ
- デバイス ファミリの比較表

2 アプリケーション

- 車載用ブラシ付き DC モーター、ソレノイド
- ドア モジュール 、ミラー モジュール、 、シート モジュール
- ボディ コントロール モジュール (BCM)
- e-シフター(自動変速)
- ガス エンジン システム
- オンボード チャージャ

3 説明

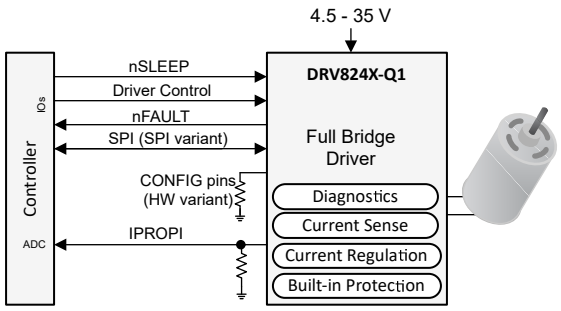
DRV824x-Q1 デバイス ファミリは、多様な車載用アプリケーション向けの完全統合型 H ブリッジ ドライバです。このデバイスは、シングル フルブリッジ ドライバとして、または 2 つの独立したハーフブリッジ ドライバとして構成可能です。パワー パッケージに収容されたこのモノリシック デバイス ファミリは、BiCMOS 大電力プロセス テクノロジー ノードを採用した設計であり、優れた電力処理能力と放熱特性を達成すると同時に、コンパクトなパッケージ サイズ、使いやすいレイアウト、EMI 制御能力、高精度の電流センス、信頼性、診断機能も実現しています。このファミリには、同じピン機能でスケーラブルな R_{ON} (電流容量) のデバイスがあり、さまざまな負荷に対応できます。

このデバイスには、N チャネル H ブリッジ、チャージ ポンプ レギュレータ、ハイサイド電流検出およびレギュレーション、電流比例出力、保護回路が内蔵されています。低消費電力のスリープ モードにより、低い静止電流を実現できます。このデバイスは、電圧監視機能、負荷診断機能、さらに過電流および過熱に対する保護機能を搭載しています。フォルト状態は、nFAULT ピンにより通知されます。このデバイスには、3 種類のバリアントが用意されています。- ハードワイヤード インターフェイス:HW (H) および 2 つの SPI バリアント:SPI (P) と SPI (S) があり、SPI (P) はロジック電源が外部から供給され、SPI (S) はロジック電源が内部で生成されます。SPI バリアントは、デバイス構成とフォルト監視において、より高い柔軟性があります。

デバイス情報 (1)

部品番号	パッケージ	パッケージ サイズ(2)
DRV8243Q1	VQFN-HR (14)	3mm × 4.5mm
DRV8243Q1	HVSSOP (28)	3mm × 7.3mm

(1) 利用可能なすべてのパッケージについては、本データシートの末尾にある注文情報を参照してください
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイスの比較.....3
5 ピン構成および機能.....5
5.1 HW バリアント.....5
5.2 SPI バリアント.....7
6 仕様.....11
6.1 絶対最大定格.....11
6.2 ESD 定格.....11
6.3 推奨動作条件.....12
6.4 熱に関する情報.....12
6.5 電気的特性.....12
6.6 SPI のタイミング要件.....20
6.7 スイッチング波形.....22
6.8 代表的特性.....29
7 詳細説明.....31
7.1 概要.....31
7.2 機能ブロック図.....32
7.3 機能説明.....35
7.4 プログラミング - SPI バリアントのみ.....48
8 レジスタ マップ - SPI バリアントのみ.....53
8.1 ユーザー レジスタ.....54
9 アプリケーションと実装.....60
9.1 アプリケーション情報.....60
9.2 代表的なアプリケーション.....61
9.3 電源に関する推奨事項.....64
9.4 レイアウト.....65
10 デバイスおよびドキュメントのサポート.....67
10.1 ドキュメントのサポート.....67
10.2 ドキュメントの更新通知を受け取る方法.....67
10.3 コミュニティ・リソース.....67
10.4 商標.....67
11 改訂履歴.....67
12 メカニカル、パッケージ、および注文情報.....68

Copyright © 2026 Texas Instruments Incorporated

4 デバイスの比較

表 4-1 に DRV824x-Q1 ファミリに属するデバイスの R_{ON} およびパッケージの違いをまとめています。

表 4-1. デバイスの比較

部品番号 (1)	(LS + HS) R_{ON}	I_{OUT} 最大値	パッケージ	本体サイズ (公称)	バリアント
DRV8243Q1	84mΩ	12A	VQFN-HR (14)	3mm × 4.5mm	HW (H)、SPI (S)
DRV8243Q1	98mΩ	12A	HVSSOP (28)	3mm × 7.3mm	HW (H)、SPI (S)、SPI (P)
DRV8244Q1	47mΩ	21A	VQFN-HR (16)	3mm × 6mm	HW (H)、SPI (S)
DRV8244Q1	60mΩ	21A	HVSSOP (28)	3mm × 7.3mm	HW (H)、SPI (S)、SPI (P)
DRV8245Q1	32mΩ	32A	VQFN-HR (16)	3.5mm × 5.5mm	HW (H)、SPI (S)
DRV8245Q1	40mΩ	32A	HTSSOP (28)	4.4mm × 9.7mm	HW (H)、SPI (S)、SPI (P)

(1) これは、DRV8243-Q1 の製品データシートです。他の情報については、他のデバイス バリアントのデータシートを参照してください。

表 4-2 に DRV824x-Q1 ファミリの SPI および HW インターフェイス バリアントの機能の違いをまとめています。一般に、SPI バリアントでは、より多くの構成変更、ブリッジ制御オプション、診断フィードバック、冗長ドライバ シャットオフ、ピン FMEA の改良や追加機能が提供されています。

さらに、SPI バリアントには、**SPI (P) バリアントと SPI (S) バリアント**の 2 つのオプションがあります。SPI (P) バリアントでは、デバイスのロジック電源は、外部の低電圧 5V 電源から VDD ピン経由で供給するようになっています。SPI (S) バリアントでは、この電源は内部的に VM ピンから生成されます。SPI (P) バリアントは、この外部ロジック電源によって、VM 低電圧過渡時にデバイスのブラウン アウト (デバイスのリセット) を回避します。

表 4-2. SPI バリアントと HW バリアントの比較

機能	HW (H) バリアント	SPI (S) バリアント	SPI (P) バリアント
ブリッジ制御	ピンのみ	個別のピンと、ピンの状態を示す レジスタ ビットの**両方またはいずれか一方** (「レジスタ - ピン制御」を参照)	
スリープ機能	nSLEEP ピンを通じて利用可能		該当なし
デバイスへの外部ロジック電源	非対応	非対応	VDD ピンにより対応
フォルト コマンドのクリア	nSLEEP ピンでのリセット パルス	SPI の CLR_FAULT コマンド	
スルーレート	6 レベル	8 レベル	
過電流保護 (OCP)	最大の設定に固定	スレッショルドには 3 つの選択肢、フィルタ時間には 4 つの選択肢	
ITRIP レギュレーション	5 レベルとディセーブル、固定 TOFF 時間	7 レベルとディセーブル、表示あり、プログラム可能な TOFF 時間	
各フォルト応答を再試行またはラッチのいずれかに設定	非対応、すべてラッチまたはすべて再試行	対応	
詳細なフォルト ログとデバイス ステータス フィードバック	非対応、nFAULT ピンの監視が必要	対応、nFAULT ピン監視も可能	
VM 過電圧	固定	スレッショルドに 4 つの選択肢	
オン状態 (アクティブ) 診断	非対応	ハイサイド負荷に対応	
スペクトラム拡散クロック (SSC)	非対応	対応	
PWM モードでのドライバ状態の追加	非対応	対応	
独立モードでハーフ ブリッジを個別にハイインピーダンス化	非対応	対応 (SPI レジスタのみ)	

表 4-3. ファミリ内のデバイス間の区別

デバイス	パッケージの記号表記	DEVICE_ID レジスタ
DRV8243H-Q1	8243H	該当なし
DRV8244H-Q1	8244H	該当なし

Copyright © 2026 Texas Instruments Incorporated

表 4-3. ファミリ内のデバイス間の区別 (続き)

デバイス	パッケージの記号表記	DEVICE_ID レジスタ
DRV8245H-Q1	8245H	該当なし
DRV8243S-Q1	8243S	0x 32
DRV8244S-Q1	8244S	0x 42
DRV8245S-Q1	8245S	0x 52
DRV8243P-Q1	8243P	0x 36
DRV8244P-Q1	8244P	0x 46
DRV8245P-Q1	8245P	0x 56

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

5.1 HW バリアント

5.1.1 HVSSOP (28) パッケージ

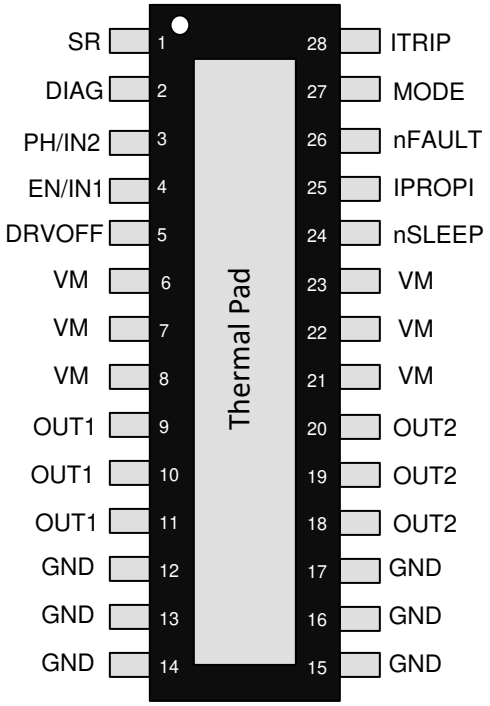


Figure not drawn to scale

図 5-1. DRV8243H -Q1 HW バリアント、HVSSOP (28) パッケージ

表 5-1. ピンの機能

ピン		種類[1]	説明
番号	名称		
1	SR	I	スルー レート制御用のデバイス構成ピン。詳細については、「デバイス構成」セクションのスルー レートを参照してください。
2	DIAG	I	負荷タイプ通知およびフォルト応答構成用のデバイス構成ピン。詳細については、「デバイス構成」セクションの DIAG を参照してください。
3	PH/IN2	I	ブリッジ動作用のコントローラ入力ピン。詳細については、「ブリッジ制御」セクションを参照してください。
4	EN/IN1	I	ブリッジ動作用のコントローラ入力ピン。詳細については、「ブリッジ制御」セクションを参照してください。
5	DRVOFF	I	ブリッジ ハイ インピーダンス用のコントローラ入力ピン。詳細については、「ブリッジ制御」セクションを参照してください。
6、7、8、21、22、23	VM	P	電源。このピンはモーターの電源電圧です。デバイスの電流能力に対応するため、他の VM ピン (合計 6 本) と組み合わせる必要があります。このピンは、0.1µF のセラミック コンデンサとバルク コンデンサを使用して GND にバイパスします。
9、10、11	OUT1	P	ハーフブリッジ出力 1。このピンをモーターまたは負荷に接続します。デバイスの電流能力に対応するため、他の OUT1 ピン (合計 3 本) と組み合わせる必要があります。
12、13、14、15、16、17	GND	G	グランド ピン。デバイスの電流能力に対応するため、他の GND ピン (合計 6 本) と組み合わせる必要があります。
18、19、20	OUT2	P	ハーフブリッジ出力 2。このピンをモーターまたは負荷に接続します。デバイスの電流能力に対応するため、他の OUT2 ピン (合計 3 本) と組み合わせる必要があります。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン		種類(1)	説明
番号	名称		
24	nSLEEP	I	スリープ用コントローラ入力ピン。詳細については、「ブリッジ制御」セクションを参照してください。
25	IPROPI	I/O	ドライバ負荷電流アナログ フィードバック。詳細については、「デバイス構成」セクションの IPROPI を参照してください。
26	nFAULT	OD	コントローラへのフォルト通知。詳細については、「デバイス構成」セクションの nFAULT を参照してください。
27	モード	I	MODE のデバイス構成ピン。詳細については、「デバイス構成」セクション を参照してください。
28	ITRIP	I	ハイサイド電流制限の ITRIP レベル用のデバイス構成ピン。詳細については、「デバイス構成」セクションの ITRIP を参照してください。

(1) I = 入力、O = 出力、I/O = 入力 / 出力、G = グランド、P = 電源、OD = オープンドレイン出力、PP = プッシュプル出力

5.1.2 VQFN-HR (14) パッケージ

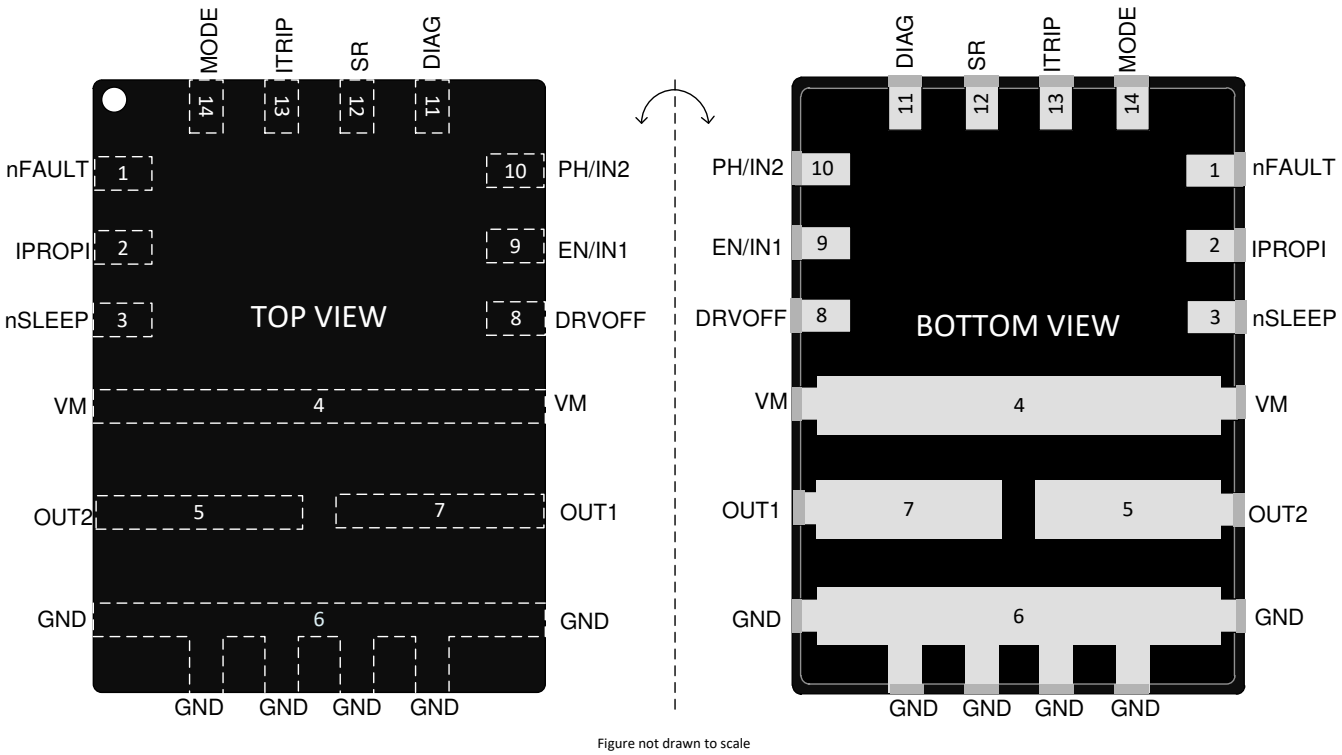


Figure not drawn to scale

図 5-2. DRV8243H -Q1 HW バリアント、VQFN-HR (14) パッケージ

表 5-2. 端子機能

ピン		タイプ (1)	説明
番号	名称		
1	nFAULT	OD	コントローラへのフォルト通知。詳細については、「デバイス構成」セクションの nFAULT を参照してください。
2	IPROPI	I/O	ドライバ負荷電流アナログ・フィードバック。詳細については、「デバイス構成」セクションの IPROPI を参照してください。
3	nSLEEP	I	スリープ用コントローラ入力ピン。詳細については、「ブリッジ制御」セクションを参照してください。
4	VM	P	電源。このピンはモーターの電源です。このピンは、0.1µF のセラミック・コンデンサとバルク・コンデンサを使用して GND にバイパスします。
5	OUT2	P	ハーフブリッジ出力 2。このピンは、モーターまたは負荷に接続します。

Copyright © 2026 Texas Instruments Incorporated

表 5-2. 端子機能 (続き)

ピン		タイプ (1)	説明
番号	名称		
6	GND	G	グランド・ピン
7	OUT1	P	ハーフブリッジ出力 1。このピンは、モーターまたは負荷に接続します。
8	DRVOFF	I	ブリッジを Hi-Z にするためのコントローラ入力ピン。詳細については、「ブリッジ制御」セクションを参照してください。
9	EN/IN1	I	ブリッジ動作用のコントローラ入力ピン。詳細については、「ブリッジ制御」セクションを参照してください。
10	PH/IN2	I	ブリッジ動作用のコントローラ入力ピン。詳細については、「ブリッジ制御」セクションを参照してください。
11	DIAG	I	負荷タイプ通知およびフォルト応答構成用のデバイス構成ピン。詳細については、「デバイス構成」セクションで DIAG を参照してください。
12	SR	I	スルーレート制御用のデバイス構成ピン。詳細については、「デバイス構成」セクションの スルーレート を参照してください。
13	ITRIP	I	ハイサイド電流制限の ITRIP レベル用のデバイス構成ピン。詳細については、「デバイス構成」セクションで ITRIP を参照してください。
14	MODE	I	MODE のデバイス構成ピン。詳細については、「デバイス構成」セクション を参照してください。

(1) I = 入力、O = 出力、I/O = 入力 / 出力、G = グランド、P = 電源、OD = オープン・ドレイン出力、PP = プッシュプル出力

5.2 SPI バリアント

5.2.1 HVSSOP (28) パッケージ

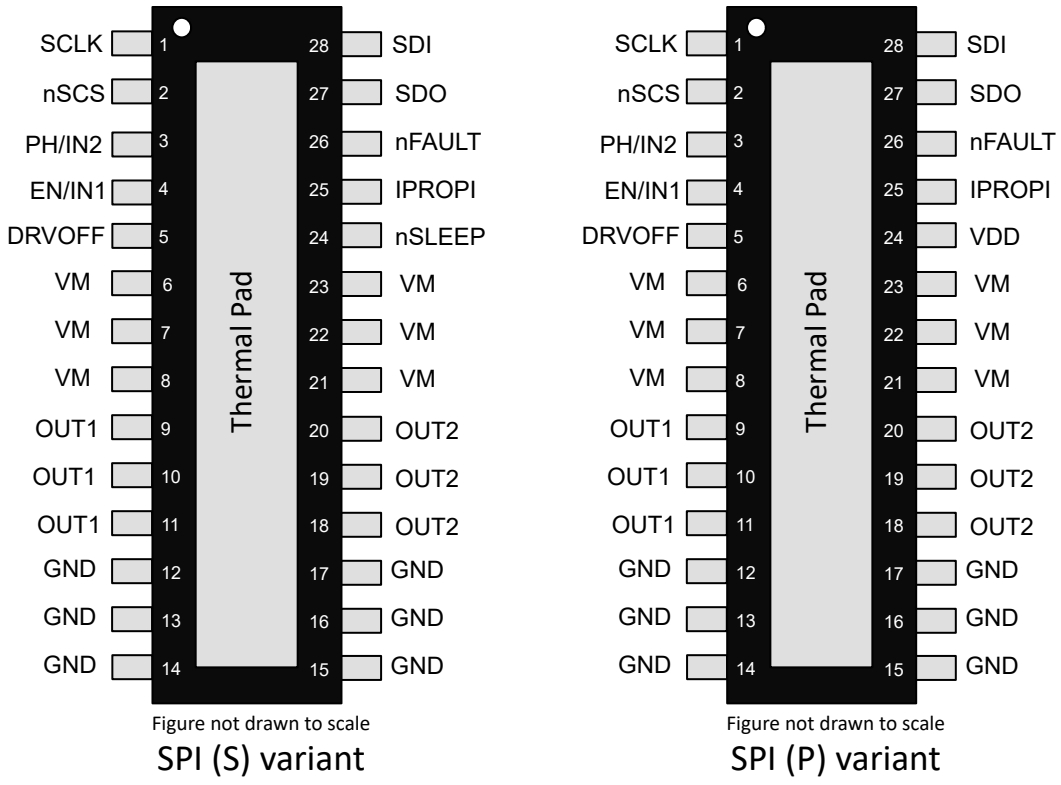


図 5-3. DRV8243S -Q1 SPI バリアント、HVSSOP (28) パッケージ

表 5-3. ピン機能

ピン		タイプ (1)	説明
番号	名称		
1	SCLK	I	SPI - シリアル・クロック入力。
2	nSCS	I	SPI - チップ・セレクト。このピンはアクティブ LOW で、シリアル・インターフェイス通信を有効にします。
3	PH/IN2	I	ブリッジ動作用のコントローラ入力ピン。詳細 については、「ブリッジ制御」セクションを参照してください。
4	EN/IN1	I	ブリッジ動作用のコントローラ入力ピン。詳細 については、「ブリッジ制御」セクションを参照してください。
5	DRVOFF	I	ブリッジを Hi-Z にするためのコントローラ入力ピン。詳細については、「ブリッジ制御」セクションを参照してください。
6, 7, 8, 21, 22, 23	VM	P	電源。このピンはモーターの電源です。デバイスの電流能力に対応するため、他の VM ピン (合計 6 本) と組み合わせる必要があります。このピンは、0.1µF のセラミック・コンデンサとバルク・コンデンサを使用して GND にバイパスします。
9, 10, 11	OUT1	P	ハーフブリッジ出力 1。このピンは、モーターまたは負荷に接続します。デバイスの電流能力に対応するため、他の OUT1 ピン (合計 3 本) と組み合わせる必要があります。
12, 13, 14, 15, 16, 17	GND	G	グランド・ピン。デバイスの電流能力に対応するため、他の GND ピン (合計 6 本) と組み合わせる必要があります。
18, 19, 20	OUT2	P	ハーフブリッジ出力 2。このピンは、モーターまたは負荷に接続します。デバイスの電流能力に対応するため、他の OUT2 ピン (合計 3 本) と組み合わせる必要があります。
24	nSLEEP	I	SPI (S) バリアント: スリープ用コントローラ入力ピン。詳細 については、「ブリッジ制御」セクションを参照してください。このピンの電圧が SDO の VIO ロジック・レベルにもなります。
	VDD	P	SPI (P) バリアント: デバイスのロジック電源。
25	IPROPI	I/O	ドライバ負荷電流アナログ・フィードバック。詳細については、「デバイス構成」セクションの IPROPI を参照してください。
26	nFAULT	OD	コントローラへのフォルト通知。詳細については、「デバイス構成」セクションの nFAULT を参照してください。
27	SDO	PP	SPI - シリアル・データ出力。データは、SCLK の立ち上がりエッジで更新されます。
28	SDI	I	SPI - シリアル・データ入力。データは、SCLK の立ち下がりエッジでキャプチャされます。

(1) I = 入力、O = 出力、I/O = 入力 / 出力、G = グランド、P = 電源、OD = オープン・ドレイン出力、PP = プッシュプル出力

Copyright © 2026 Texas Instruments Incorporated

5.2.2 VQFN-HR (14) パッケージ

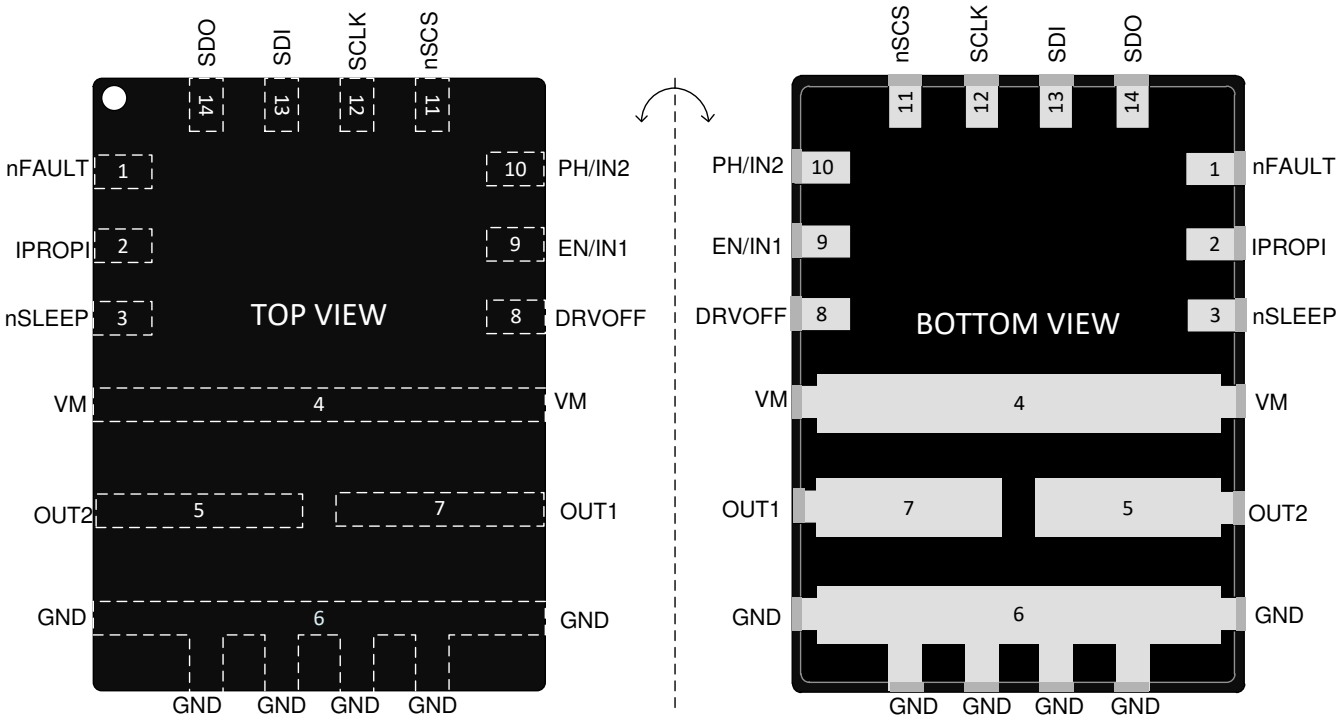


Figure not drawn to scale

図 5-4. DRV8243S -Q1 SPI バリアント、VQFN-HR (14) パッケージ

表 5-4. 端子機能

ピン		タイプ (1)	説明
番号	名称		
1	nFAULT	OD	コントローラへのフォルト通知。詳細については、「デバイス構成」セクションの nFAULT を参照してください。
2	IPROPI	O	ドライバ負荷電流アナログ・フィードバック。詳細については、「デバイス構成」セクションの IPROPI を参照してください。
3	nSLEEP	I	スリープ用コントローラ入力ピン。詳細については、「ブリッジ制御」セクションを参照してください。このピンの電圧が SDO の VIO ロジック・レベルにもなります。
4	VM	P	電源。このピンはモーターの電源です。このピンは、0.1µF のセラミック・コンデンサとバルク・コンデンサを使用して GND にバイパスします。
5	OUT2	P	ハーフブリッジ出力 2。このピンは、モーターまたは負荷に接続します。
6	GND	G	グランド・ピン
7	OUT1	P	ハーフブリッジ出力 1。このピンは、モーターまたは負荷に接続します。
8	DRVOFF	I	ブリッジを Hi-Z にするためのコントローラ入力ピン。詳細については、「ブリッジ制御」セクションを参照してください。
9	EN/IN1	I	ブリッジ動作用のコントローラ入力ピン。詳細については、「ブリッジ制御」セクションを参照してください。
10	PH/IN2	I	ブリッジ動作用のコントローラ入力ピン。詳細については、「ブリッジ制御」セクションを参照してください。
11	nSCS	I	SPI - チップ・セレクト。このピンはアクティブ LOW で、シリアル・インターフェイス通信を有効にします。
12	SCLK	I	SPI - シリアル・クロック入力。
13	SDI	I	SPI - シリアル・データ入力。データは、SCLK の立ち下がりエッジでキャプチャされます。

Copyright © 2026 Texas Instruments Incorporated

表 5-4. 端子機能 (続き)

ピン		タイプ (1)	説明
番号	名称		
14	SDO	PP	SPI - シリアル・データ出力。データは、SCLK の立ち上がりエッジで更新されます。

(1) I = 入力、O = 出力、I/O = 入力 / 出力、G = グランド、P = 電源、OD = オープン・ドレイン出力、PP = プッシュプル出力

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
電源ピン電圧	VM	-0.3(3)	40	V
電源過渡電圧ランプ	VM		2	V/µs
出力ピン電圧	OUT1、OUT2	-0.9	V_{VM} + 0.9	V
出力ピンの電流	OUT1、OUT2	内部で制限(2)		A
ドライバ ディセーブル ピン電圧	DRVOFF	-0.3	40	V
ロジック I/O 電圧	EN/IN1、PH/IN2、nFAULT	-0.3	5.75	V
HW バリアント - 構成ピン電圧	MODE、ITRIP、SR、DIAG	-0.3	5.75	V
アナログ フィードバック ピン電圧	IPROPI	-0.3	5.75	V
スリープ ピン電圧 (SPI (P) バリアントは該当なし)	nSLEEP	-0.3	40	V
SPI I/O 電圧 - SPI バリアント	SDI、SDO、nSCS、SCLK	-0.3	5.75	V
SPI (P) バリアント - ロジック電源	VDD	-0.3	5.75	V
SPI (P) バリアント - ロジック電源過渡電圧ランプ	VDD		5	V/µs
周囲温度、T_A		-40	125	°C
接合部温度、T_J		-40	150	°C
保管温度、T_{stg}		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) デバイスの過電流および過熱保護機能により制限されます
(3) 外部コンポーネントのサポートにより、ISO 7637 過渡パルスのテスト中に、この制限に対する短時間の違反を許容できます

6.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、AEC Q100-002(1) HBM ESD 分類レベル 2 準拠	VM、OUT1、OUT2、GND	±4000	V
			その他のすべてのピン	±2000	
		デバイス帯電モデル (CDM)、AEC Q100-011CDM ESD 分類レベル C4B 準拠	角のピン	±750	
			その他のピン	±500	

(1) AEC Q100-002 では、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施することを示しています。

6.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
V_{VM}	電源電圧	VM	4.5	35(1)	V
V_{VDD}	SPI (P) バリアント - ロジック電源電圧	VDD	4.5	5.5	V
V_{LOGIC}	ロジック・ピン電圧	EN/IN1、PH/IN2、nSLEEP、DRVOFF、nFAULT	0	5.5	V
f_{PWM}	PWM 周波数	EN/IN1、PH/IN2	0	25	kHz
V_{CONFIG}	HW バリアント - 構成ピン電圧	MODE、ITRIP、SR、DIAG	0	5.5	V
V_{IPROPI}	アナログ・フィードバック電圧	IPROPI	0	5.5	V
V_{SPI_IOS}	SPI (S) バリアント - SPI ピン電圧	SDI、SDO、nSCS、SCLK	0	V_{nSLEEP} + 0.5	V
	SPI (P) バリアント - SPI ピン電圧	SDI、SDO、nSCS、SCLK	0	V_{VDD} + 0.5	V
T_A	動作時周囲温度		-40	125	℃
T_J	動作時接合部温度		-40	150	℃

(1) 過電流保護機能は、28V を超える電圧で、短絡インダクタンスが 1µH 未満の場合、OUTx から VM または GND への短絡をサポートしていません。

6.4 熱に関する情報

アプリケーションに関する使用例については、「過渡熱インピーダンス」表を参照してください。

熱評価基準(1)		HVSSOP パッケージ	VQFN-HR パッケージ	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	31.0	48.4	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	29.1	22.3	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	9.3	8.1	℃/W
Ψ_{JT}	接合部から上面への熱特性パラメータ	1.4	0.5	℃/W
Ψ_{JB}	接合部から基板への熱特性パラメータ	9.3	7.9	℃/W
$R_{\theta JC(bot)}$	接合部からケース (下面) への熱抵抗	1.3	N/A	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

6.5 電気的特性

4.5V (立ち下がり) ≤ V_{VM} ≤ 35V、-40℃ ≤ T_J ≤ 150℃ (特に記述のない限り)
SPI (P) バリアントのみ:4.5V ≤ V_{VDD} ≤ 5.5V (特に記述のない限り)

6.5.1 電源および初期化

ウェークアップ遷移波形を参照してください

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{VM_REV}	逆電流時の電源ピン電圧	I_{VM} = -5A、電源が供給されていない状態のデバイス		1.4		V
I_{VMQ}	スリープ状態の VM 電流	V_{VM} = 13.5V、V_{nSLEEP} = 0V または V_{VDD} < POR_{VDD_FALL}、T_A = 25℃		1		µA
		V_{VM} = 13.5V、V_{nSLEEP} = 0V または V_{VDD} < POR_{VDD_FALL}、T_A = 125℃			5.8	µA
I_{VMS}	スタンバイ状態の VM 電流	V_{VM} = 13.5V		3	5	mA
I_{VDD}	アクティブ状態の VDD 電流	SPI (P) バリアント			10	mA

Copyright © 2026 Texas Instruments Incorporated

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{RESET}	リセット パルスのフィルタ時間	nSLEEP ピンでのリセット信号、HW (H) バリアント	5		20	µs
t_{SLEEP}	スリープ コマンドのフィルタ時間	nSLEEP ピンでのスリープ信号、HW (H) バリアント	40		120	µs
t_{SLEEP_SPI}	スリープ コマンドのフィルタ時間	nSLEEP ピンでのスリープ信号、SPI (S) バリアント	5		20	µs
t_{WAKEUP}	ウェークアップ コマンドのフィルタ時間	nSLEEP ピンでのウェークアップ信号、HW (H) バリアントおよび SPI (S) バリアント		10		µs
t_{COM}	VM または VDD 電源ピンによるウェークアップまたはパワーアップ後、通信が利用可能になるまでの時間	nSLEEP ピンでのウェークアップ信号または電源サイクル - V_{VM} > VM_{POR_RISE} または V_{VDD} > VDD_{POR_RISE}			400	µs
t_{READY}	nSLEEP ピンによるウェークアップまたは VM または VDD 電源ピンによるパワーアップ後、ドライバが動作可能になるまでの時間	nSLEEP ピンでのウェークアップ信号または電源サイクル - V_{VM} > VM_{POR_RISE} または V_{VDD} > VDD_{POR_RISE}			1	ms

6.5.2 ロジック I/O

パラメータ		測定条件	最小値	標準値	最大値	単位
V_{IL_nSLEEP}	ロジック Low 入力電圧	nSLEEP ピン			0.65	V
V_{IH_nSLEEP}	ロジック High 入力電圧	nSLEEP ピン	1.55			V
V_{IHYS_nSLEEP}	入力ヒステリシス	nSLEEP ピン		200		mV
V_{IL}	ロジック Low 入力電圧	DRVOFF、EN/IN1、PH/IN2 の各ピン			0.7	V
V_{IH}	ロジック High 入力電圧	DRVOFF、EN/IN1、PH/IN2 の各ピン	1.5			V
V_{IHYS}	入力ヒステリシス	DRVOFF、EN/IN1、PH/IN2 の各ピン		100		mV
R_{PD_nSLEEP}	内部で nSLEEP を GND へプルダウンする抵抗	最小 VIL レベルで測定	100		400	kΩ
R_{PU}	内部で DRVOFF を VDD へプルアップする抵抗 (逆電流はブロック)	最小 VIH レベルで測定	200		550	kΩ
R_{PD}	内部で EN/IN1 および PH/IN2 を GND へプルダウンする抵抗	最大 VIL レベルで測定	200		500	kΩ
I_{nFAULT_PD}	nFAULT ピンが Low にアサートされたとき GND へ流れ込むシンク電流	V_{nFAULT} = 0.3V	5			mA

6.5.3 SPI I/O

パラメータ		測定条件	最小値	標準値	最大値	単位
R_{PU_nSCS}	内部で nSCS を VDD へプルアップする抵抗 (逆電流はブロック)	最小 VIH レベルで測定	200		500	kΩ
R_{PD_SPI}	内部で SDI、SCLK を GND へプルダウンする抵抗	最大 VIL レベルで測定	150		500	kΩ
V_{IL}	ロジック Low 入力電圧	SDI、SCLK、nSCS の各ピン			0.7	V
V_{IH}	ロジック High 入力電圧	SDI、SCLK、nSCS の各ピン	1.5			V
V_{IHYS}	入力ヒステリシス	SDI、SCLK、nSCS の各ピン		100		mV
V_{OL_SDO}	ロジック Low 出力電圧	SDO へ 0.5mA シンク			0.4	V
V_{OH_SDO}	SPI (S) バリアントのロジック High 出力電圧	SDO から 0.5mA ソース、V_{nSLEEP} = 5V、V_{VM} > 7V	4.1			V
		SDO から 0.5mA ソース、V_{nSLEEP} = 3.3V、V_{VM} > 5V	2.7			V
	SPI (P) バリアントのロジック High 出力電圧	SDO から 0.5 mA ソース、V_{VDD} = 5V	4.5			V

Copyright © 2026 Texas Instruments Incorporated

パラメータ		測定条件	最小値	標準値	最大値	単位
$V_{OH_SDO_NL}$	無負荷時の SDO のロジック High 出力電圧、SPI (S) バリアントでのみ有効	SDO からの電流なし、V_{nSLEEP} = 5V、V_{VM} > 7V			5.5	V
		SDO からの電流なし、V_{nSLEEP} = 3.3V、V_{VM} > 5V			3.8	V

6.5.4 構成ピン - HW バリアントのみ

パラメータ		測定条件	最小値	標準値	最大値	単位
ITRIP、SR、および DIAG の 6 レベル設定						
$R_{LVL1OF6}$	6 段階の レベル 1	GND に接続			10	Ω
$R_{LVL2OF6}$	6 段階の レベル 2	GND との間に ±10% の抵抗	7.4	8.2	9	kΩ
$R_{LVL3OF6}$	6 段階の レベル 3	GND との間に ±10% の抵抗	19.8	22	24.2	kΩ
$R_{LVL4OF6}$	6 段階の レベル 4	GND との間に ±10% の抵抗	42.3	47	51.7	kΩ
$R_{LVL5OF6}$	6 段階の レベル 5	GND との間に ±10% の抵抗	90	100	110	kΩ
$R_{LVL6OF6}$	6 段階の レベル 6	ハイ・インピーダンス (接続なし)	250			kΩ
MODE の 3 レベル設定						
$R_{LVL1OF3}$	3 段階の レベル 1	GND に接続			10	Ω
$R_{LVL2OF3}$	3 段階の レベル 2	GND との間に ±10% の抵抗	7.4	8.2	9	kΩ
$R_{LVL3OF3}$	3 段階の レベル 3	ハイ・インピーダンス (接続なし)	250			kΩ

6.5.5 パワー FET パラメータ

V_{VM} = 13.5V で測定

パラメータ		測定条件	最小値	標準値	最大値	単位
R_{HS_ON}	ハイサイド FET オン抵抗、HVSSOP パッケージ	I_{OUT} = 3A、T_J = 25℃		49		mΩ
		I_{OUT} = 3A、T_J = 150℃			93.1	mΩ
	ハイサイド FET オン抵抗、VQFN-HR パッケージ	I_{OUT} = 3A、T_J = 25℃		41.7		mΩ
		I_{OUT} = 3A、T_J = 150℃			79.8	mΩ
R_{LS_ON}	ローサイド FET オン抵抗、HVSSOP パッケージ	I_{OUT} = 3A、T_J = 25℃		49		mΩ
		I_{OUT} = 3A、T_J = 150℃			93.1	mΩ
	ローサイド FET オン抵抗、VQFN-HR パッケージ	I_{OUT} = 3A、T_J = 25℃		42		mΩ
		I_{OUT} = 3A、T_J = 150℃			79.8	mΩ
V_{SD}	ボディ・ダイオードが順バイアスされたときのローサイドおよびハイサイド FET ソース - ドレイン電圧	I_{OUT} = ±3A (両方向)	0.4	0.9	1.5	V
R_{Hi-Z}	スリープまたはスタンバイ状態での GND に対する OUT 抵抗、V_{OUTx} = V_{VM} = 13.5V	SR = 3'b000 または 3'b001 または 3'b010 または 3'b111 または LVL2 または LVL5	2		5	kΩ
		SR = 3'b011 または LVL3	7		14	kΩ
		SR = 3'b100 または LVL4	5		10.5	kΩ
		SR = 3'b101 または LVL1	4		8.5	kΩ
		SR = 3'b110 または LVL6	2.5		6	kΩ

Copyright © 2026 Texas Instruments Incorporated

6.5.6 ハイサイド還流のスイッチング・パラメータ

負荷 = 1.5mH / 4.7Ω、V_{VM} = 13.5V、ハイサイド還流波形を参照

パラメータ		テスト条件	最小値	代表値	最大値	単位
SR_{LSOFF}	出力電圧立ち上がり時間、10%～90%	SR = 3'b000 または LVL2		1.6		V/µs
		SR = 3'b001 (SPI のみ)		5		V/µs
		SR = 3'b010 (SPI のみ)		8		V/µs
		SR = 3'b011 または LVL3		13.3		V/µs
		SR = 3'b100 または LVL4		19		V/µs
		SR = 3'b101 または LVL1		24.5		V/µs
		SR = 3'b110 または LVL6		36		V/µs
		SR = 3'b111 または LVL5		47		V/µs
t_{PD_LSOFF}	出力電圧上昇時の伝搬時間	SR = 3'b000 または LVL2		1		µs
		SR = 3'b001 (SPI のみ)		0.9		µs
		SR = 3'b010 (SPI のみ)		0.8		µs
		SR = 3'b011 または LVL3		0.7		µs
		SR = 3'b100 および 3'b101 または LVL4 および LVL1		0.6		µs
		SR = 3'b110 および 3'b111 または LVL6 および LVL5		0.5		µs
t_{DEAD_LSOFF}	出力電圧上昇時のデッドタイム	すべての SR		0.9		µs
SR_{LSON}	出力電圧立ち下がり時間、90%～10%	SR = 3'b000 または LVL2		1.6		V/µs
		SR = 3'b001 (SPI のみ)		5		V/µs
		SR = 3'b010 (SPI のみ)		8		V/µs
		SR = 3'b011 または LVL3		13.3		V/µs
		SR = 3'b100 または LVL4		19		V/µs
		SR = 3'b101 または LVL1		24.5		V/µs
		SR = 3'b110 または LVL6		36		V/µs
		SR = 3'b111 または LVL5		47		V/µs
t_{PD_LSON}	出力電圧下降時の伝搬時間	SR = 3'b000 または LVL2		0.2		µs
		SR = 3'b001 (SPI のみ)		0.2		µs
		SR = 3'b010 (SPI のみ)		0.2		µs
		SR = 3'b011 または LVL3		0.4		µs
		SR = 3'b100 または 3'b101 または LVL4 または LVL1		0.3		µs
		SR = 3'b110 および 3'b111 または LVL6 および LVL5		0.2		µs

Copyright © 2026 Texas Instruments Incorporated

パラメータ		テスト条件	最小値	代表値	最大値	単位
t_{DEAD_LSON}	出力電圧下降時のデッドタイム	SR = 3'b000 または LVL2		1.5		µs
		SR = 3'b001 または 3'b010 (SPI のみ)		0.6		µs
		SR = 3'b011 または LVL3		0.7		µs
		その他すべての SR		0.6		µs
$Match_{SRLS}$	出力電圧の立ち上がりと立ち下がりのスルーレートのマッチング	すべての SR	-20		+20	%

Copyright © 2026 Texas Instruments Incorporated

6.5.7 ローサイド還流のスイッチング・パラメータ

負荷 = 1.5mH / 4.7Ω、V_{VM} = 13.5V 、ローサイド還流波形を参照

パラメータ		テスト条件	最小値	代表値	最大値	単位
SR_{HSON}	出力電圧立ち上がり時間、10%～90%	すべての SR		8		V/µs
t_{PD_HSON}	出力電圧上昇時の伝搬時間	SR = 3'b000 または LVL2		3.1		µs
		SR = 3'b001 (SPI のみ)		2		µs
		SR = 3'b010 (SPI のみ)		1.7		µs
		SR = 3'b011 または LVL3		1.2		µs
		その他すべての SR		0.9		µs
t_{DEAD_HSON}	出力電圧上昇時のデッドタイム	SR = 3'b000 または LVL2		1.5		µs
		SR = 3'b001 (SPI のみ)		1		µs
		SR = 3'b010 (SPI のみ)		0.8		µs
		その他すべての SR		0.45		µs
SR_{HSOFF}	出力電圧立ち下がり時間、90%～10%	SR = 3'b000 または 3'b001 または 3'b010 または LVL2		43		V/µs
		SR = 3'b011 または LVL3		14		V/µs
		SR = 3'b100 または LVL4		19		V/µs
		SR = 3'b101 または LVL1		24		V/µs
		SR = 3'b110 または LVL6		34		V/µs
		SR = 3'b111 または LVL5		43		V/µs
t_{PD_HSOFF}	出力電圧下降時の伝搬時間	すべての SR		0.25		µs
t_{DEAD_HSOFF}	出力電圧下降時のデッドタイム	すべての SR		0.2		µs
t_{BLANK}	電流センス出力が安定するまでの、出力スルーイング後の電流レギュレーション・ブランキング時間 (LS 還流についてのみ有効)	すべての SR		3.4		µs

Copyright © 2026 Texas Instruments Incorporated

6.5.8 IPROPI および ITRIP レギュレーション

パラメータ		テスト条件	最小値	標準値	最大値	単位
A_{IPROPI}	電流スケーリング係数、HVSSOP パッケージ			3075		A/A
	電流スケーリング係数、VQFN-HR パッケージ			3070		A/A
A_{I_ERR}	電流スケーリング係数誤差、VQFN-HR パッケージ	0.8A < I_{OUT} < 4.3A	-5		+5	%
		0.2A ≤ I_{OUT} ≤ 0.8A	-20		+20	%
		0.1A ≤ I_{OUT} ≤ 0.2A	-50		+50	%
A_{I_ERR}	電流スケーリング係数誤差、HVSSOP パッケージ	0.8A < I_{OUT} < 4.3A	-6		+6	%
		0.2A ≤ I_{OUT} ≤ 0.8A	-20		+20	%
		0.1A ≤ I_{OUT} ≤ 0.2A	-50		+50	%
$A_{I_ERR_M}$	2 つのハーフブリッジ間での電流マッチング、VQFN-HR パッケージ	I_{OUT} > 0.8A	-2		+2	%
$A_{I_ERR_M}$	2 つのハーフブリッジ間での電流マッチング、HVSSOP パッケージ	I_{OUT} > 0.8A	-5		+5	%
$Offset_{IPROPI}$	無負荷電流時の IPROPI のオフセット電流	I_{OUT} = 0A			15	µA
BW_{IPROPI}	IPROPI 内部センス回路の帯域幅	IPROPI に外付けコンデンサなし。	400			KHz
V_{IPROPI_LIM}	IPROPI の内部クランプ電圧		4.5		5.5	V
V_{ITRIP_LVL}	ITRIP レギュレーションで TOFF サイクルをトリガするための V_{IPROPI} の電圧制限	ITRIP = 3'b001 または LVL2	1.06	1.18	1.3	V
		ITRIP = 3'b010 (SPI のみ)	1.27	1.41	1.55	V
		ITRIP = 3'b011 (SPI のみ)	1.49	1.65	1.82	V
		ITRIP = 3'b100 または LVL3	1.78	1.98	2.18	V
		ITRIP = 3'b101 または LVL4	2.08	2.31	2.54	V
		ITRIP = 3'b110 または LVL5	2.38	2.64	2.9	V
		ITRIP = 3'b111 または LVL6	2.67	2.97	3.27	V
t_{OFF}	ITRIP レギュレーション - オフ時間	TOFF = 2'b00 (SPI のみ)	16	20	25	µs
		TOFF = 2'b01 (SPI)。HW についてはこの選択肢のみ	24	30	36	µs
		TOFF = 2'b10 (SPI のみ)	33	40	48	µs
		TOFF = 2'b11 (SPI のみ)	41	50	61	µs

6.5.9 過電流保護 (OCP)

パラメータ		測定条件	最小	標準	最大	単位
I_{OCP_HS}	ハイサイドの過電流保護スレッショルド	OCP_SEL = 2'b00 (SPI)、HW についてはこの選択肢のみ	12		24	A
		OCP_SEL = 2'b10 (SPI のみ)	9		18	A
		OCP_SEL = 2'b01 (SPI のみ)	6		14	A
I_{OCP_LS}	ローサイドの過電流保護スレッショルド	OCP_SEL = 2'b00 (SPI)、HW についてはこの選択肢のみ	12		24	A
		OCP_SEL = 2'b10 (SPI のみ)	9		18	A
		OCP_SEL = 2'b01 (SPI のみ)	6		14	A
t_{OCP}	過電流保護グリッチ除去時間	TOCP_SEL = 2'b00 (SPI)、HW についてはこの選択肢のみ	4.5	6	7.3	µs
	過電流保護グリッチ除去時間	TOCP_SEL = 2'b01 (SPI のみ)	2.2	3	4.1	µs
	過電流保護グリッチ除去時間	TOCP_SEL = 2'b10 (SPI のみ)	1.1	1.5	2.3	µs
	過電流保護グリッチ除去時間	TOCP_SEL = 2'b11 (SPI のみ)	0.15	0.2	0.4	µs

Copyright © 2026 Texas Instruments Incorporated

6.5.10 過熱保護 (TSD)

パラメータ		測定条件	最小	標準	最大	単位
T_{TSD}	サーマル・シャットダウン温度		155	170	185	℃
T_{HYS}	サーマル・シャットダウン・ヒステリシス			30		℃
t_{TSD}	サーマル・シャットダウン・グリッチ除去時間		10	12	19	µs

6.5.11 電圧監視

パラメータ		測定条件	最小値	標準値	最大値	単位
V_{VMOV}	立ち上がり時の VM 過電圧スレッショルド	VMOV_SEL = 2'b00 (SPI)、HW バリアントについてはこの選択肢のみ	33.6		37	V
		VMOV_SEL = 2'b01 (SPI のみ)	28		31	V
		VMOV_SEL = 2'b10 (SPI のみ)	18		21	V
V_{VMOV_HYS}	VM 過電圧ヒステリシス			0.6		V
t_{VMOV}	VM 過電圧グリッチ除去時間		10	12	19	µs
V_{VMUV}	立ち下がり時の VM 低電圧スレッショルド		4.2		4.5	V
V_{VMUV_HYS}	VM 低電圧ヒステリシス			200		mV
t_{VMUV}	VM 低電圧グリッチ除去時間		8	12	19	µs
VM_{POR_FALL}	デバイスが POR に入る VM 電圧	HW および SPI (S) バリアントに適用			3.6	V
VM_{POR_RISE}	デバイスが POR から出る VM 電圧	HW および SPI (S) バリアントに適用			3.9	V
VDD_{POR_FALL}	デバイスが POR に入る VDD 電圧	SPI (P) バリアントに適用			3.5	V
VDD_{POR_RISE}	デバイスが POR から出る VDD 電圧	SPI (P) バリアントに適用			3.8	V

6.5.12 負荷監視

パラメータ		テスト条件	最小値	標準値	最大値	単位
オフ状態診断 (OLP)						
R_{S_GND}	短絡として検出された OUT と GND の間の抵抗、すべてのモード				1	KΩ
R_{S_VM}	短絡として検出された OUT と VM の間の抵抗、すべてのモード				1	KΩ
R_{OPEN_FB}	開放として検出された OUTx 間の抵抗、PH/EN または PWM モード		1.5			KΩ
R_{OPEN_LS}	開放として検出された OUT と GND の間の抵抗、独立モード	ローサイド負荷に有効	2			KΩ
R_{OPEN_HS}	開放として検出された OUT と VM の間の抵抗、独立モード	ハイサイド負荷に有効、V_{VM} = 13.5V	10			KΩ
V_{OLP_REFH}	OLP コンパレータ基準電圧 High			2.65		V
V_{OLP_REFL}	OLP コンパレータ基準電圧 Low			2		V
R_{OLP_PU}	OLP 時に内部で OUT を VDD へプルアップする抵抗	$V_{OUTx} = V_{OLP_REFH} + 0.1V$		1		KΩ
R_{OLP_PD}	OLP 時に内部で OUT を GND へプルダウンする抵抗	$V_{OUTx} = V_{OLP_REFL} - 0.1V$		1		KΩ
SPI バリアントのみ - オン状態診断 (OLA)						

Copyright © 2026 Texas Instruments Incorporated

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{PD_OLA}	ハイサイド還流のデッドタイム中に OUTx から GND へ流れ込む内部シンク電流	SR = 3'b000 または 3'b001 または 3'b010 または 3'b111 または LVL2 または LVL5	2.5		5	mA
		SR = 3'b011 または LVL3	0.8		2	mA
		SR = 3'b100 または LVL4	1.2		2.5	mA
		SR = 3'b101 または LVL1	1.5		3	mA
		SR = 3'b110 または LVL6	2.2		4	mA
V_{OLA_REF}	OLA で使用される VM に対するコンパレータ基準電圧			0.25		V

6.5.13 フォルトの再試行設定

再試行設定の波形を参照してください

パラメータ		測定条件	最小	標準	最大	単位
t_{RETRY}	自動ドライバ再試行時間	フォルト応答を再試行に設定	4.1	5	6.1	ms
t_{CLEAR}	過電流イベントからの自動クリアに必要なフォルトのない動作時間	フォルト応答を再試行に設定	85		200	µs
t_{CLEAR_TSD}	過熱イベントからの自動クリアに必要なフォルトのない動作時間	フォルト応答を再試行に設定	4.2		6.7	ms

6.5.14 過渡熱インピーダンスと電流能力

熱シミュレーションに基づく情報

表 6-1. 過渡熱インピーダンス ($R_{\theta JA}$) および電流能力 - フル・ブリッジ

部品番号	パッケージ	$R_{\theta JA}$ [°C/W](1)				電流 [A](2)					
						PWM なし(3)				PWM あり(4)	
		0.1 秒	1 秒	10 秒	DC	0.1 秒	1 秒	10 秒	DC	10 秒	DC
DRV8243-Q1	VQFN-HR	7.3	13	17.5	34.2	7.5	5.6	4.8	3.5	4.4	3.0
DRV8243-Q1	HVSSOP	5.8	10.5	15.3	32.4	7.8	5.8	4.8	3.3	4.4	2.9

(1) 40mm x 40mm x 1.6mm の 4 層 PCB (最上層および最下層は 2 オンスの銅箔、内層は 1 オンスの銅箔、サーマル・ビアはドリル径 0.3mm で 0.025mm の銅メッキ、最小ビア・ピッチ 1mm) を使用した熱シミュレーションによる。
(2) 周囲温度 85°C、接合部温度上昇が最大 150°C での過渡電流能力推定値
(3) 導通損失 (I^2R) のみを考慮
(4) スイッチング損失は、次の式で概算されます。

$$P_{SW} = V_{VM} \times I_{Load} \times f_{PWM} \times V_{VM}/SR、\text{ただし } V_{VM} = 13.5V、f_{PWM} = 20kHz、SR = 23V/\mu s \quad (1)$$

6.6 SPI のタイミング要件

		最小値	標準値	最大値	単位
t_{SCLK}	SCLK の最小周期(1)	100			ns
t_{SCLKH}	SCLK 最小 High 時間	50			ns
t_{SCLKL}	SCLK の最小 Low 時間	50			ns
t_{HI_nSCS}	nSCS 最小 HIGH 時間	600			ns
t_{SU_nSCS}	nSCS 入力セットアップ時間	25			ns
t_{H_nSCS}	nSCS 入力ホールド時間	25			ns
t_{SU_SDI}	SDI 入力データ セットアップ時間	25			ns
t_{H_SDI}	SDI 入力データ ホールド時間	25			ns

Copyright © 2026 Texas Instruments Incorporated

		最小値	標準値	最大値	単位
t_{EN_SDO}	SDO イネーブル遅延時間(1)			35	ns
t_{DIS_SDO}	SDO ディスエーブル遅延時間(1)			100	ns

(1) SPI (S) バリアント:SDO 遅延時間は、SDO の外部負荷が 5pF の場合にのみ有効です。SDO の負荷が 20pF の場合、SDO にさらに遅延があるため、SCLK 最小時間は 25% 増加し、SCLK は 最高 8MHz に制限されます。SPI (P) バリアントには、このような制限はありません。

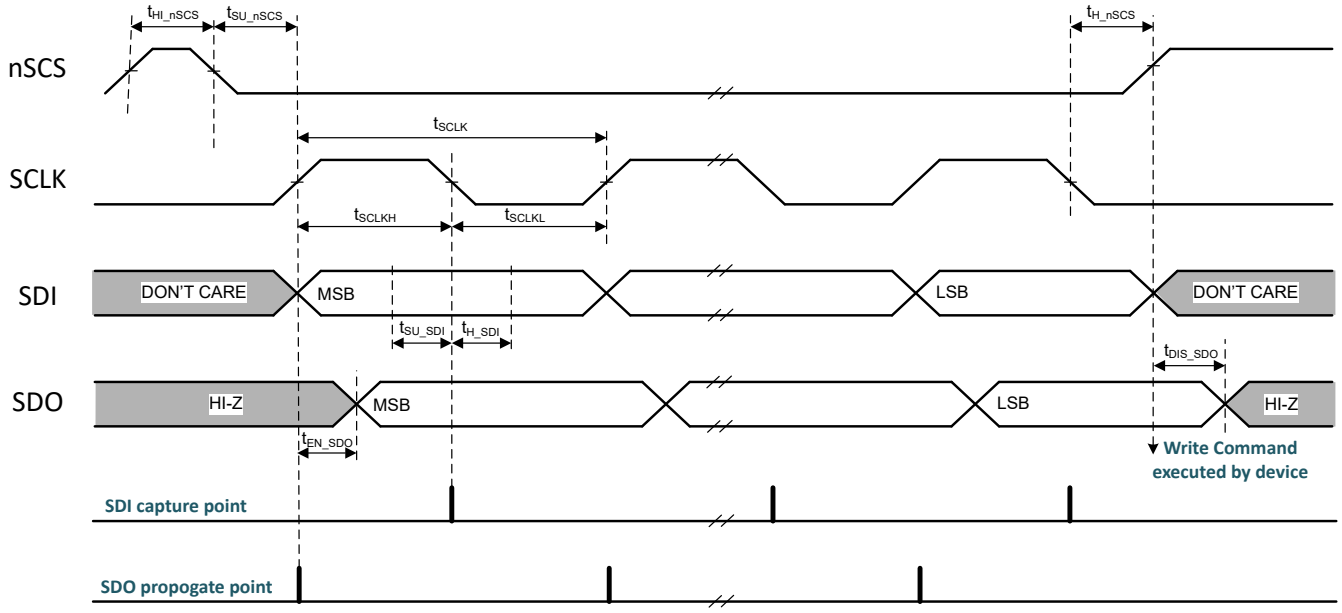


図 6-1. SPI ペリフェラル モードのタイミング定義

6.7 スイッチング波形

このセクションでは、外部 PWM または内部 ITRIP レギュレーションにより発生する、誘導性負荷に対するスイッチング遷移を示します。

6.7.1.1 ハイサイド還流

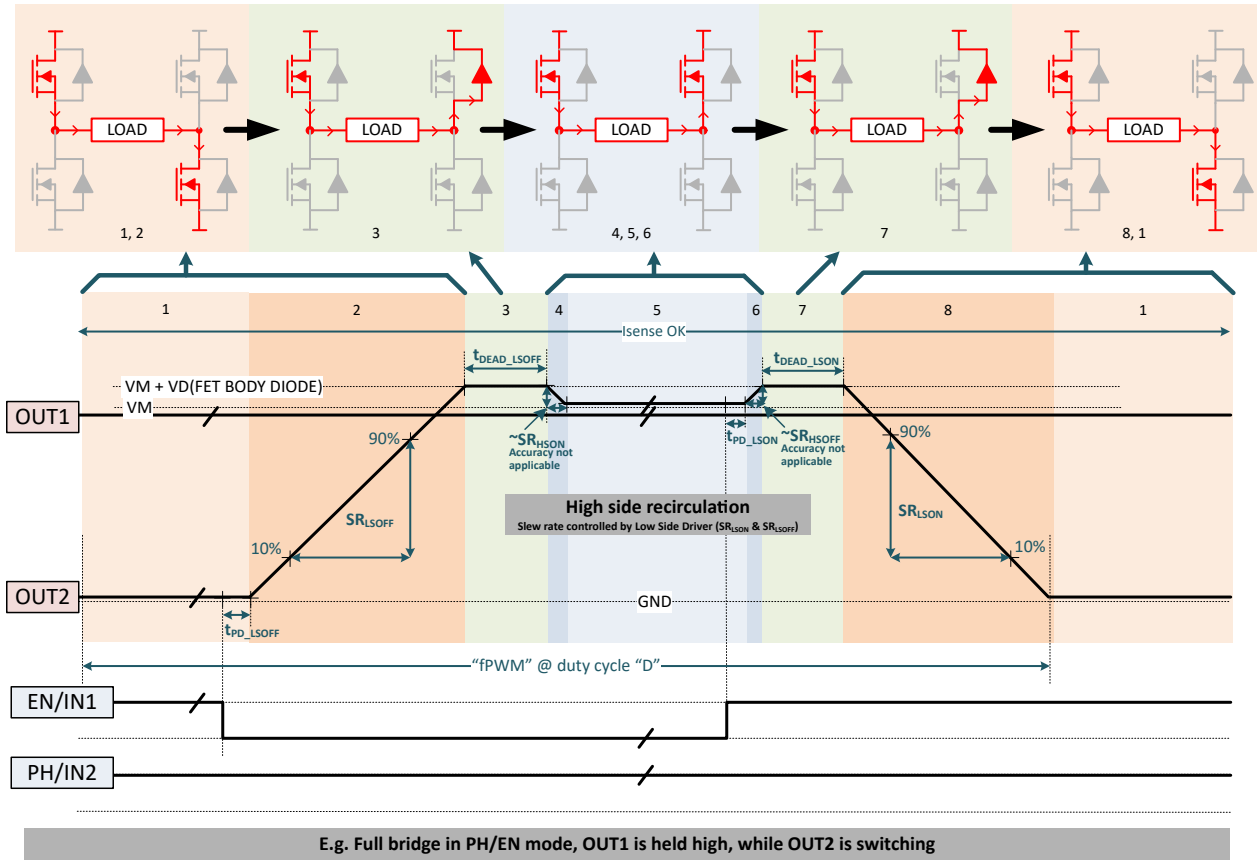


図 6-2. ハイサイド還流による H ブリッジの出力スイッチング遷移

Copyright © 2026 Texas Instruments Incorporated

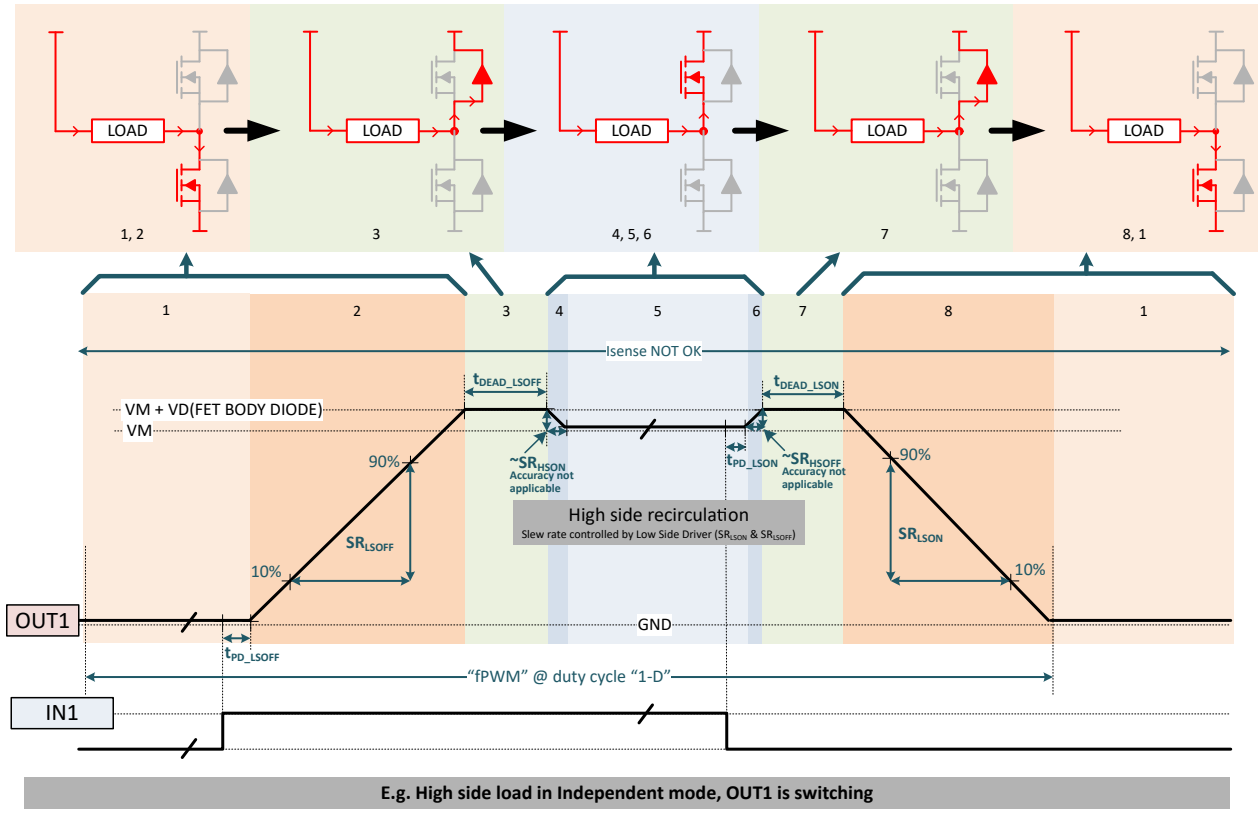


図 6-3. ハイサイド還流によるハーフブリッジの出力スイッチング遷移

6.7.1.2 ローサイド還流

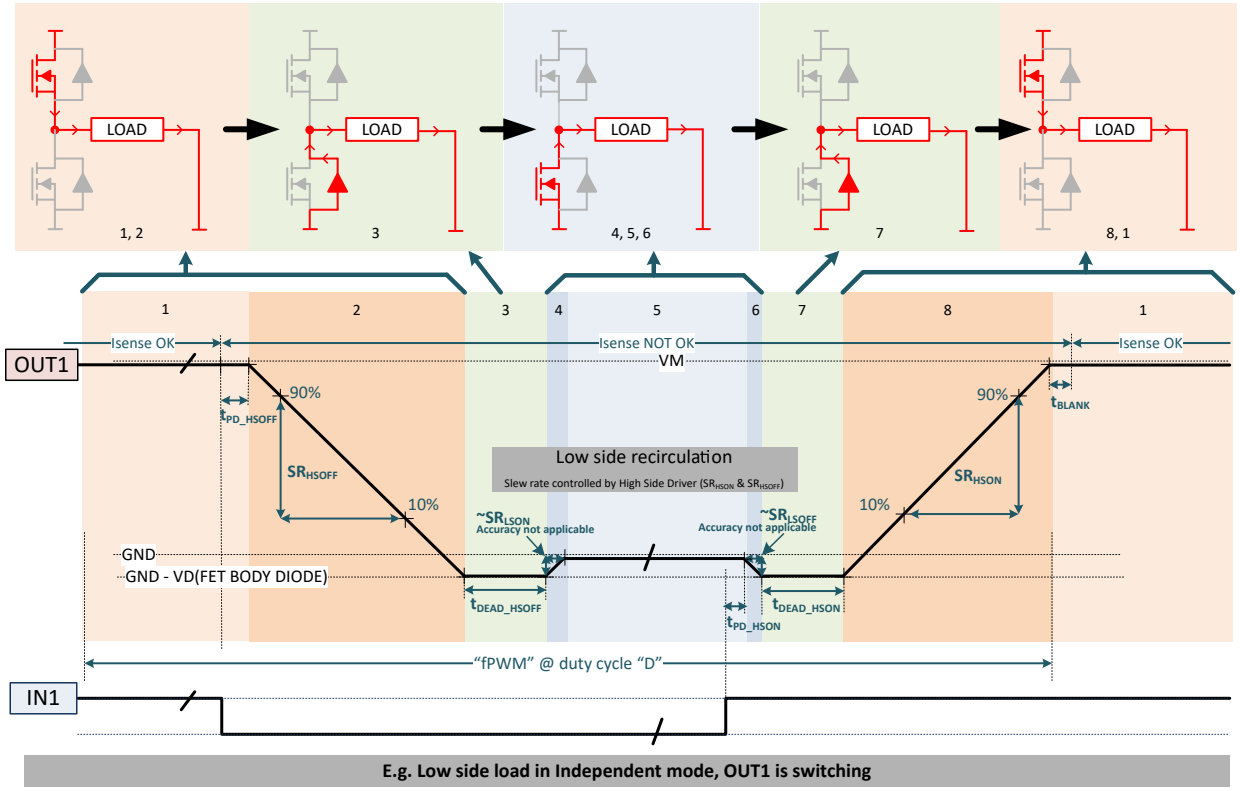


図 6-4. ローサイド還流によるハーフブリッジの出力スイッチング遷移

6.7.2 ウェークアップ遷移

6.7.2.1 HW バリアント

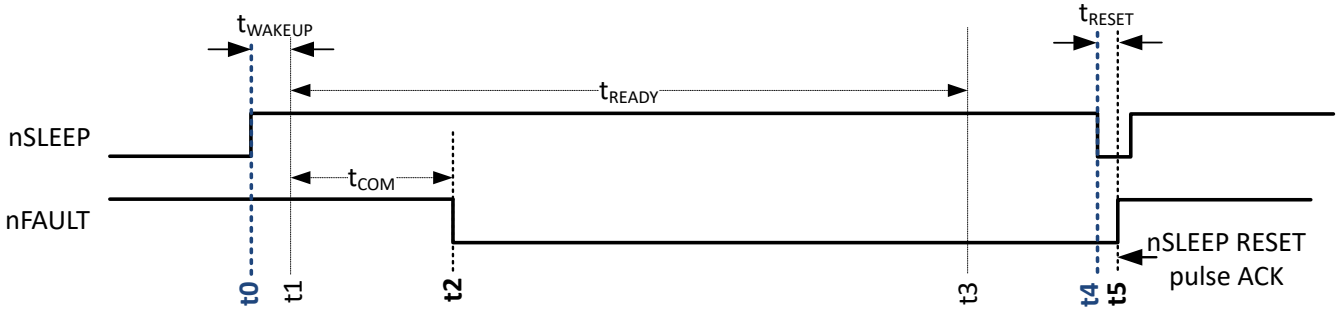


図 6-5. HW バリアントのスリープ状態からスタンバイ状態へのウェークアップ遷移

ウェークアップ遷移時のコントローラとデバイス間のハンドシェイクは次のとおりです。

- t0:コントローラ - nSLEEP を HIGH にアサートして、デバイス・ウェークアップを開始
- t1:デバイス内部状態 - デバイスがウェークアップ・コマンドを登録 (スリープ状態終了)
- t2:デバイス - nFAULT を LOW にアサートして、ウェークアップをアクノリッジしデバイスが通信可能であることを通知
- t3:デバイス内部状態 - 初期化完了
- t4 (t2 以後の任意の時刻): **コントローラ - nSLEEP リセット・パルスを発行** 、デバイスのウェークアップをアクノリッジ
- t5:デバイス - nSLEEP リセット・パルスに対するアクノリッジとして、nFAULT をアサート解除。デバイスはスタンバイ状態

Copyright © 2026 Texas Instruments Incorporated

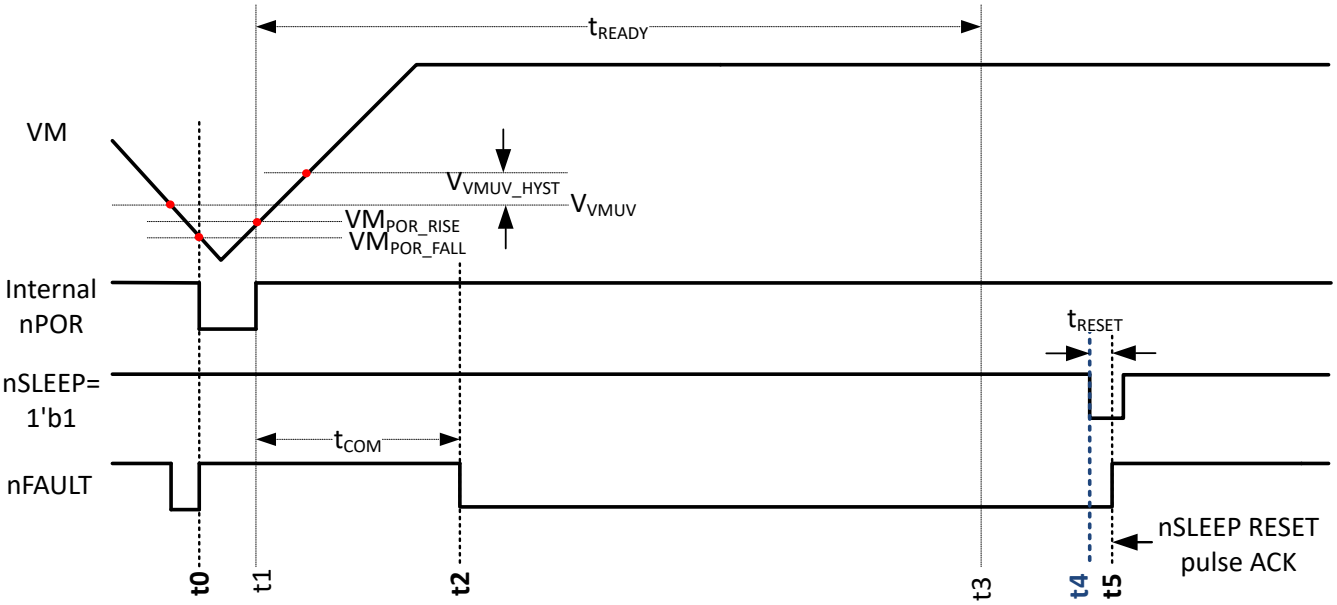


図 6-6. HW バリアントのパワーアップからスタンバイ状態への遷移

パワーアップ時のコントローラとデバイス間のハンドシェイクは次のとおりです。

- t0:デバイス内部状態 - 内部 LDO が低電圧になることにより POR をアサート (VM に依存)
- t1:デバイス内部状態 - 内部 LDO 電圧が回復することにより POR をアサート解除
- t2:デバイス - nFAULT を LOW にアサートして、ウェークアップをアクノリッジしデバイスが通信可能であることを通知
- t3:デバイス内部状態 - 初期化完了
- t4 (t2 以後の任意の時刻): **コントローラ - nSLEEP リセット・パルスを発行** 、デバイスのパワーアップをアクノリッジ
- t5:デバイス - nSLEEP リセット・パルスに対するアクノリッジとして、nFAULT をアサート解除。デバイスはスタンバイ状態

6.7.2.2 SPI バリアント

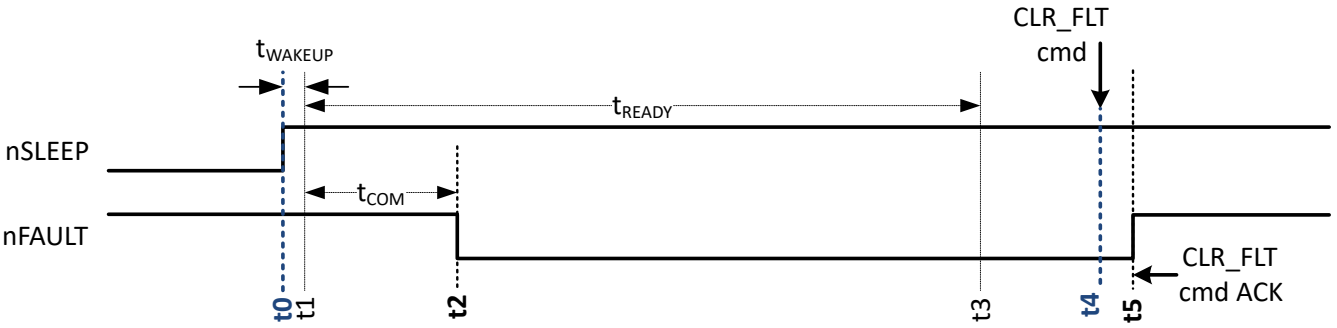


図 6-7. SPI (S) バリアントのスリープ状態からスタンバイ状態へのウェークアップ遷移

ウェークアップ遷移時のコントローラとデバイス間のハンドシェイクは次のとおりです。

- t0:コントローラ - nSLEEP を HIGH にアサートして、デバイス ウェークアップを開始
- t1:デバイス内部状態 - デバイスがウェークアップ コマンドを登録 (スリープ状態終了)
- t2:デバイス - nFAULT を Low にアサートして、ウェークアップをアクノリッジしデバイスが通信可能であることを通知
- t3:デバイス内部状態 - 初期化完了
- t4 (t2 以後の任意の時刻): **コントローラ - CLR_FLT コマンドを発行** (SPI 経由)、デバイスのウェークアップをアクノリッジ
- t5:デバイス - CLR_FLT コマンドに対するアクノリッジとして、nFAULT をアサート解除。デバイスはスタンバイ状態

Copyright © 2026 Texas Instruments Incorporated

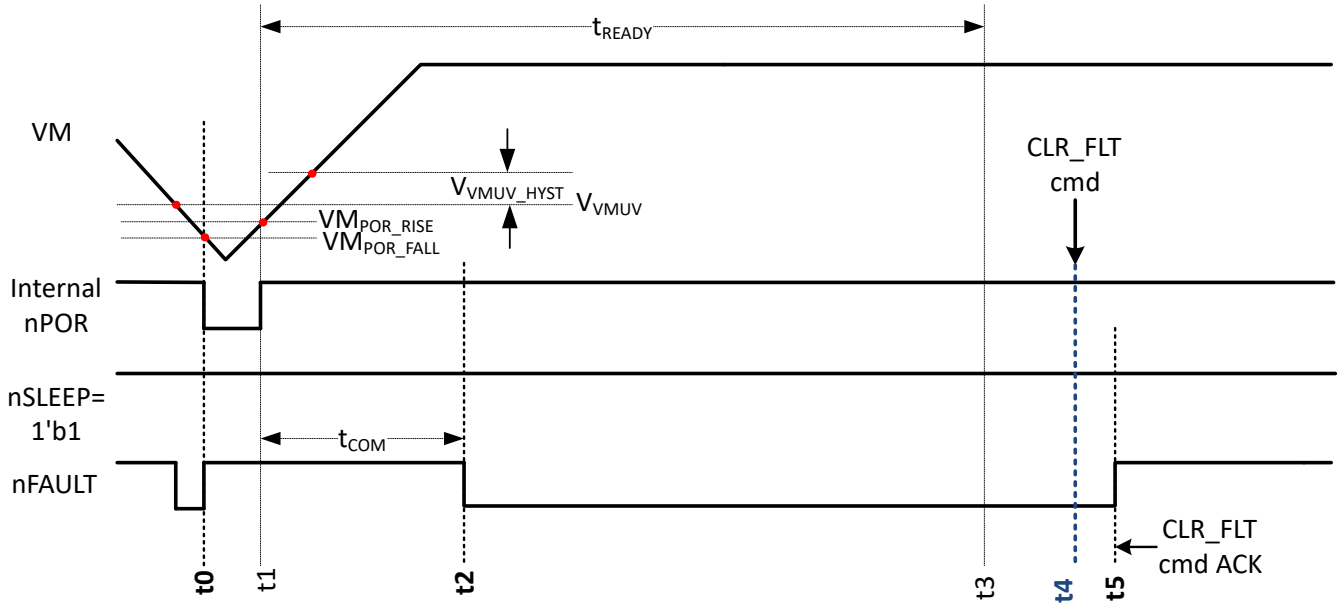


図 6-8. SPI (S) バリアントのパワーアップからスタンバイ状態への遷移

パワーアップ時のコントローラとデバイス間のハンドシェイクは次のとおりです。

- t0: デバイス内部状態 - 内部 LDO が低電圧になることにより POR をアサート (VM に依存)
- t1: デバイス内部状態 - 内部 LDO 電圧が回復することにより POR をアサート解除
- t2: デバイス - nFAULT を Low にアサートして、ウェークアップをアクノリッジしデバイスが通信可能であることを通知
- t3: デバイス内部状態 - 初期化完了
- t4 (t2 以後の任意の時刻): **コントローラ - CLR_FLT コマンドを発行** (SPI 経由)、デバイスのパワーアップをアクノリッジ
- t5: デバイス - CLR_FLT コマンドに対するアクノリッジとして、nFAULT をアサート解除。デバイスはスタンバイ状態

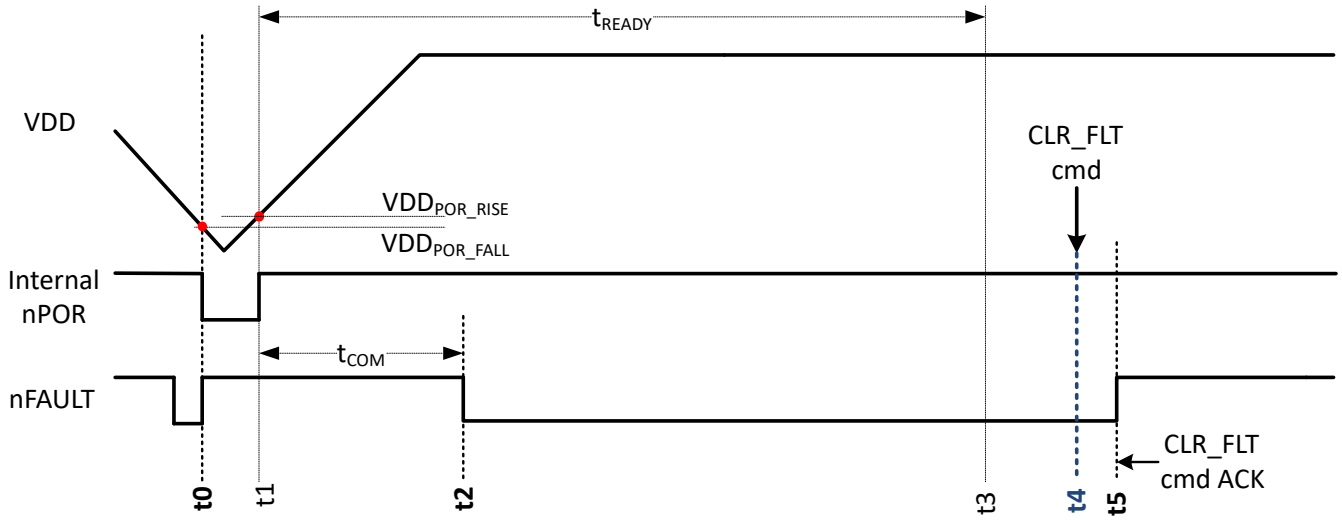


図 6-9. SPI (P) バリアントのパワーアップからスタンバイ状態への遷移

パワーアップ時のコントローラとデバイス間のハンドシェイクは次のとおりです。

- t0: デバイス内部状態 - VDD (外部電源) が低電圧になることにより POR をアサート
- t1: デバイス内部状態 - VDD (外部電源) の電圧が回復することにより POR をアサート解除

Copyright © 2026 Texas Instruments Incorporated

- t2：デバイス - nFAULT を Low にアサートして、ウェークアップをアクノリッジしデバイスが通信可能であることを通知
- t3：デバイス内部状態 - 初期化完了
- t4 (t2 以後の任意の時刻): **コントローラ - CLR_FLT コマンドを発行** (SPI 経由)、デバイスのパワーアップをアクノリッジ
- t5：デバイス - CLR_FLT コマンドに対するアクノリッジとして、nFAULT をアサート解除。デバイスはスタンバイ状態

Copyright © 2026 Texas Instruments Incorporated

6.7.3 フォルト応答の遷移

6.7.3.1 再試行設定

SPI バリアントおよび HW バリアントの両方に有効

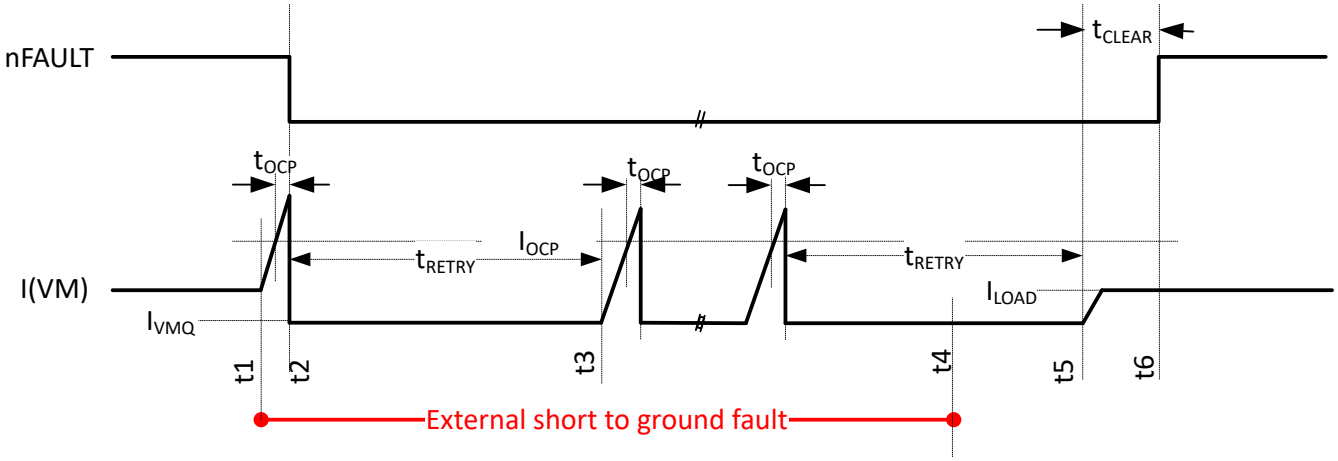


図 6-10. 再試行設定のフォルト応答 (OUT がグランドに短絡してハイサイドで OCP が発生した状況を表示)

再試行設定での短絡発生と回復のシナリオ:

- t1:外部短絡が発生します。
- t2:t_{OCP} 後に OCP (過電流保護) フォルトが確認され、出力をディセーブルし、フォルトを通知するため nFAULT を LOW にアサートします。
- t3:t_{RETRY} 後にデバイスは自動的に再試行を実施します。出力を短時間オンにして短絡発生を確認すると、そのつど、t_{OCP} 後に直ちにディセーブルされます。この間 nFAULT は、LOW にアサートされたままです。ユーザーがドライバの機能を無効にするまで、または外部ショートが解消されるまで、図に示すように、このサイクルを繰り返します。TSD (サーマル・シャットダウン) イベントの場合、自動再試行時間は、熱ヒステリシスに基づく冷却状況に依存することに注意してください。
- t4:外部短絡が解消されます。
- t5:デバイスは自動再試行を実施します。ただし、今回は異常が発生しないので、デバイスは出力をイネーブルのまま保持します。
- t6:t_{CLEAR} 期間にわたってフォルトのない動作が確認されると、nFAULT はアサート解除されます。
- SPI バリアントのみ - CLR_FLT コマンドが実行されるまで、フォルト・ステータスはラッチされたままです。

出力がグランドへ短絡してハイサイド OCP フォルト検出が発生した場合、このタイプの短絡を示すために、出力がディセーブルになっている間は IPROPI ピンが引き続き V_{IPROPI_LIM} 電圧にプルアップされていることに注意してください。これは、グランドへの短絡フォルトと他のフォルトとを区別するために、特に HW (H) バリアントにおいて役立ちます。

Copyright © 2026 Texas Instruments Incorporated

6.7.3.2 ラッチ設定

SPI バリアントおよび HW バリアントの両方に有効

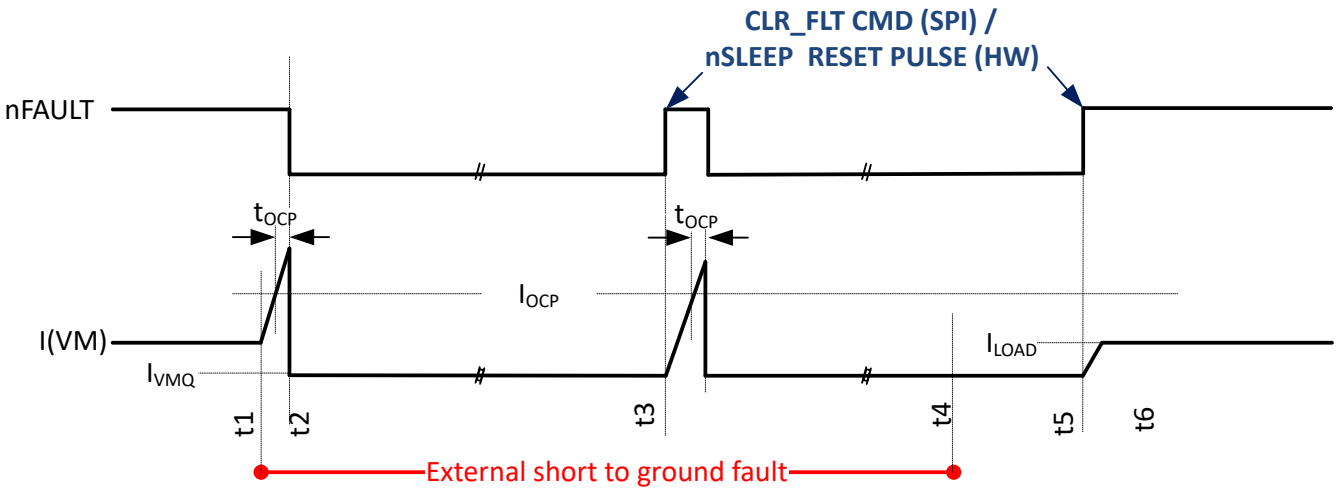


図 6-11. ラッチ設定のフォルト応答 (OUT がグランドに短絡してハイサイドで OCP が発生した状況を表示)

ラッチ設定での短絡発生と回復のシナリオ:

- t1:外部短絡が発生します。
- t2:t_{OCP} 後に OCP (過電流保護) フォルトが確認され、出力をディセーブルし、フォルトを通知するため nFAULT を LOW にアサートします。
- t3:CLR_FLT コマンド (SPI バリアント) または nSLEEP リセット パルス (HW バリアント) がコントローラにより発行されます。nFAULT はアサート解除され、出力がイネーブルになります。OCP フォルトが再度検出され、nFAULT を LOW にアサートし、出力をディセーブルにします。
- t4:外部短絡が解消されます。
- t5:CLR_FLT コマンド (SPI バリアント) または nSLEEP リセット パルス (HW バリアント) がコントローラにより発行されます。nFAULT はアサート解除され、出力がイネーブルになります。通常動作を再開します。
- SPI バリアントのみ - CLR_FLT コマンドが実行されるまで、フォルト ステータスはラッチされたままです。

出力がグランドへ短絡してハイサイド OCP フォルト検出が発生した場合、このタイプの短絡を示すために、出力がディセーブルになっている間は IPROPI ピンが引き続き V_{IPROPI_LIM} 電圧にプルアップされていることに注意してください。これは、グランドへの短絡フォルトと他のフォルトとを区別するために、特に HW (H) バリアントにおいて役立ちます。

6.8 代表的特性

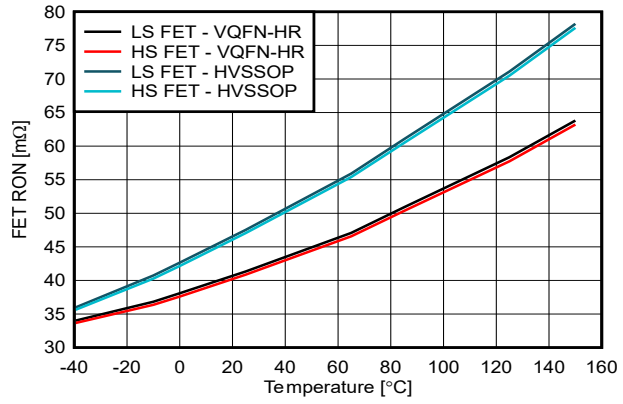


図 6-12. R_{HS_ON} および R_{LS_ON} と温度との関係 (V_{VM} = 13.5V)

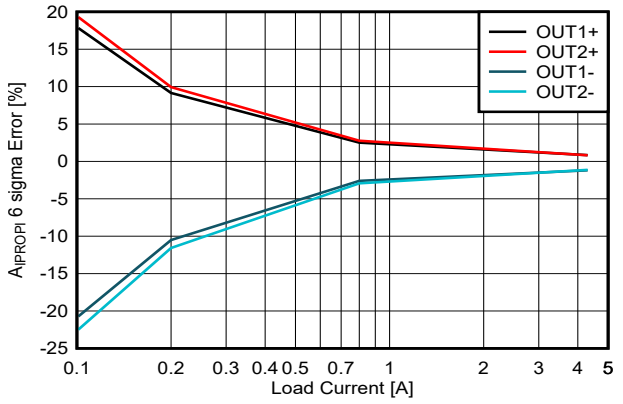


図 6-13. A_{IPROPI} ゲイン誤差と負荷電流との関係 (V_{VM} = 13.5V)

Copyright © 2026 Texas Instruments Incorporated

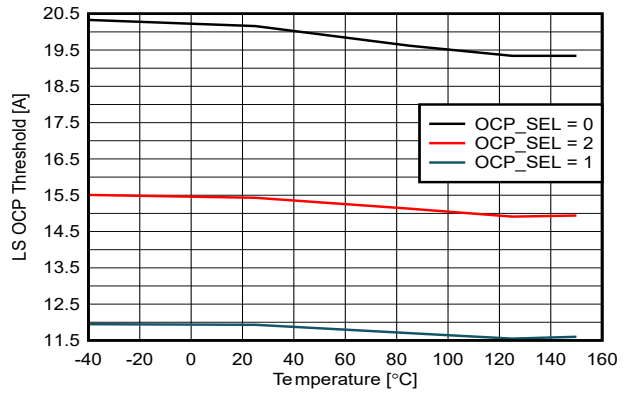


図 6-14. LS OCP スレッショルドと温度との関係 (V_{VM} = 13.5V)

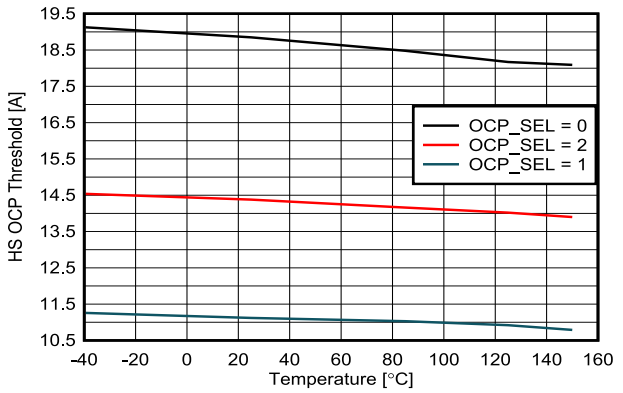


図 6-15. HS OCP スレッショルドと温度との関係 (V_{VM} = 13.5V)

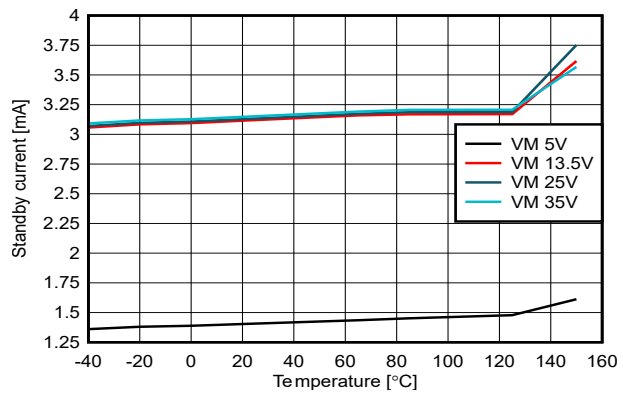


図 6-16. スタンバイ状態での VM の電流と温度との関係

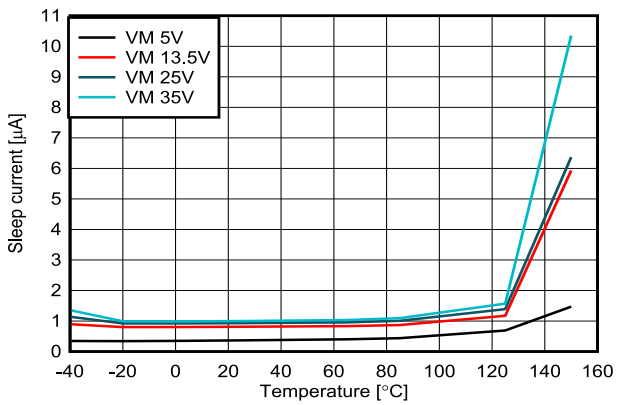


図 6-17. スリープ状態での VM の電流と温度との関係

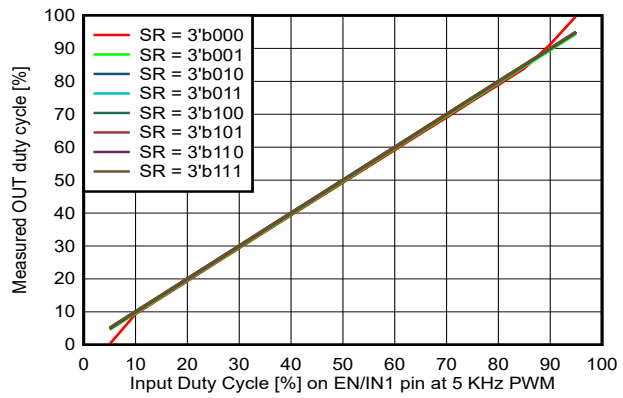


図 6-18. HS 還流のデューティ・サイクル実測値と入力デューティ・サイクルとの関係 (V_{VM} = 13.5V、PWM 周波数 5kHz)

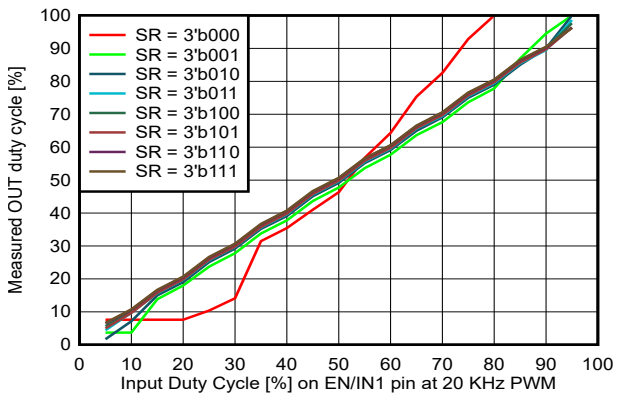


図 6-19. HS 還流のデューティ・サイクル実測値と入力デューティ・サイクルとの関係 (V_{VM} = 13.5V、PWM 周波数 20kHz)

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

DRV824x-Q1 ファミリは、4.5～35V で動作するブラシ付き DC モーター ドライバであり、各種モーターおよび負荷の幅広い出力負荷電流をサポートしています。本デバイスは、MODE 機能で設定される各種制御モードで動作できる H ブリッジ出力電力段を内蔵しています。これにより、1 つの双方向ブラシ付き DC モーター、または、2 つの単方向ブラシ付き DC モーターを駆動できます。また、チャージ ポンプ レギュレータを内蔵しており、高効率ハイサイド N チャネル MOSFET と 100% デューティ サイクル動作に対応しています。本デバイスは、バッテリまたは DC 電圧電源に直接接続できる単一電源入力 (VM) で動作します。また、低消費電力モードを備えており、スリープ時の電流引き込みを最小限に抑えることができます。

このデバイスは、2 種類のインターフェイスのバリアントで供給されます。

1. HW バリアント - ハードワイヤ接続によるインターフェイスのバリアントで、簡単にデバイスを構成できます。デバイスで利用可能なピン数に制限があるため、このバリアントでは、SPI バリアントと比較して構成およびフォルト通知機能が少なくなっています。
2. SPI バリアント - 標準的な 4 線式シリアル ペリフェラル インターフェイス (SPI) およびデイジー チェーン機能により、柔軟なデバイス構成と、外部コントローラへの詳細なフォルト通知が可能です。SPI バリアントと HW バリアントの機能の差異は、「デバイスの比較」セクションに記載されています。SPI には、次のような 2 種類のデバイス バリアントがあります。
   a. SPI (S) バリアント - デジタル ブロックの電源は、VM 電源から給電される内部 LDO レギュレータにより供給されます。nSLEEP ピンは、高インピーダンス入力ピンです。
   b. SPI (P) バリアント (DRV8144-Q1 の場合は該当なし) — VDD ピンを通して、デバイスのデジタル ブロックへの外部電源入力が可能です。nSLEEP ピンの代わりに、この VDD 電源ピンが付いています。これにより、VM の低電圧状態でのデバイスのリセット (ブラウンアウト) を防止します。

DRV824x デバイス ファミリは、ハイサイド パワー MOSFET の電流ミラーを使用した負荷電流センス出力を提供します。IPROPI ピンは、ハイサイド MOSFET の電流 (OUTx ピンから流出する電流) に比例する小さい電流を供給します。この電流は、外付け抵抗 (R_{IPROPI}) を使用して比例電圧に変換できます。さらに、このデバイスは、固定オフ時間の PWM チョッピング方式もサポートしており、負荷への電流を制限できます。電流レギュレーション レベルは、ITRIP 機能を使用して設定できます。

このデバイスには、さまざまな保護機能と診断機能が内蔵されています。主な保護機能としては、電源電圧モニタ (VMOV および VMUV)、、オフ状態 (パッシブ) 診断 (OLP)、オン状態 (アクティブ) 診断 (OLA) - SPI バリアントのみ、各パワー FET の過電流保護 (OCP)、過熱シャットダウン (TSD) があります。フォルト条件は nFAULT ピンにより示されます。SPI バリアントには、この他に、フレーム エラー、構成レジスタ ビットおよびドライバ制御ビットのロック機能など、追加の通信保護機能があります。

Copyright © 2026 Texas Instruments Incorporated

7.2 機能ブロック図

7.2.1 HW バリアント

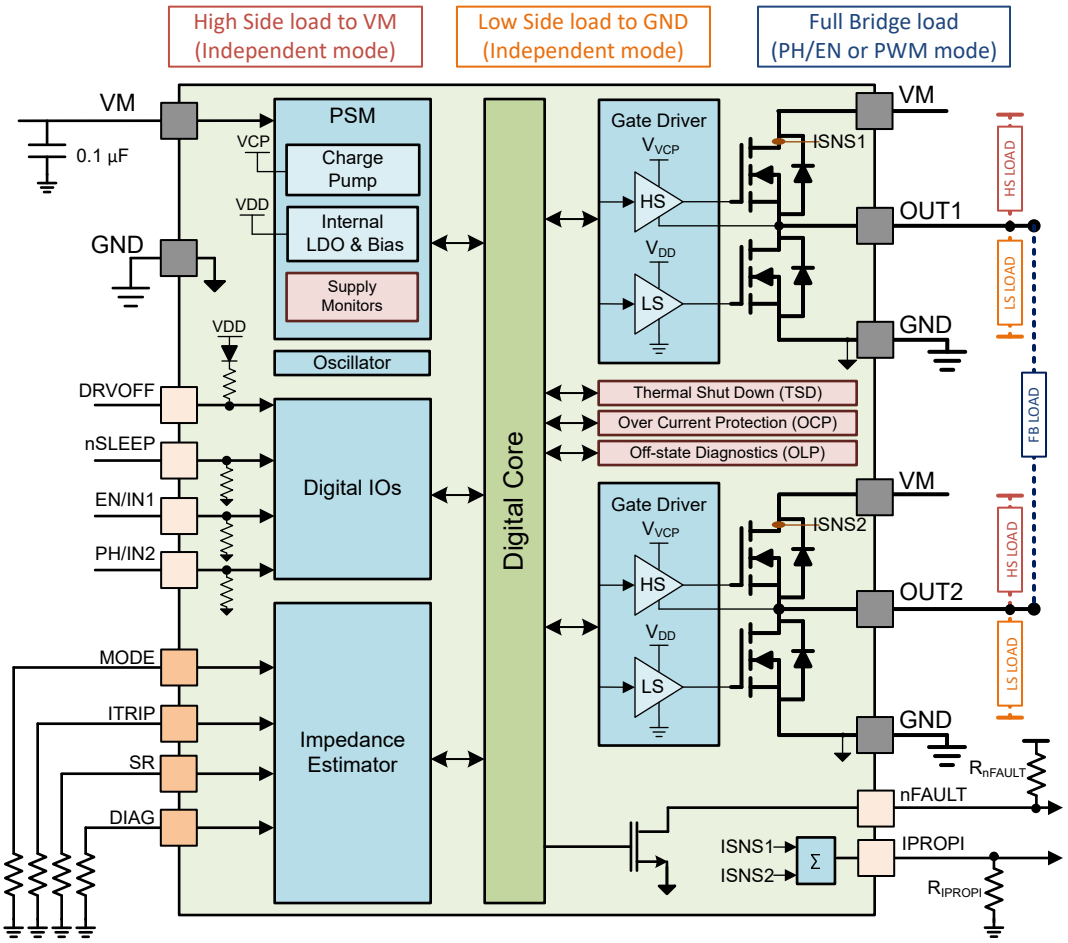


図 7-1. 機能ブロック図 - HW バリアント

7.2.2 SPI バリアント

SPI には、以下に示すように、SPI (S) バリアントと SPI (P) バリアントという 2 つのバリアントがあります。

Copyright © 2026 Texas Instruments Incorporated

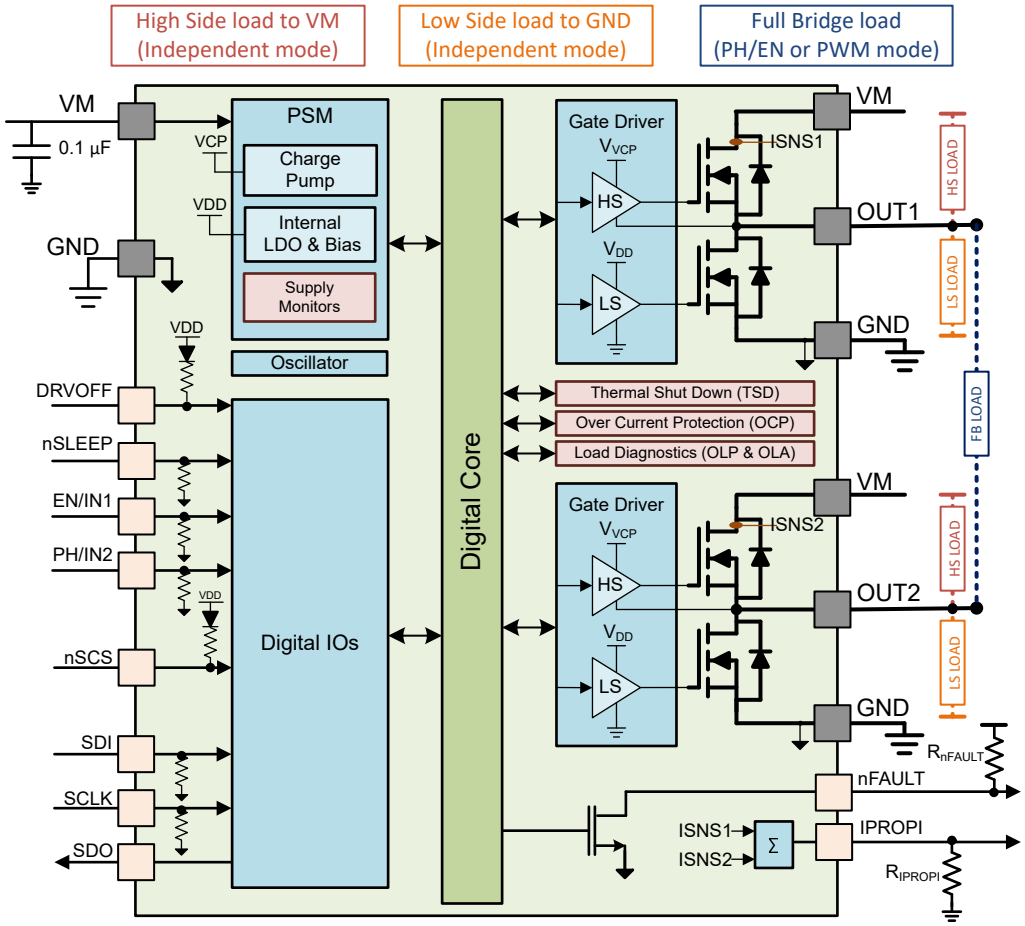


図 7-2. 機能ブロック図 - SPI (S) バリアント

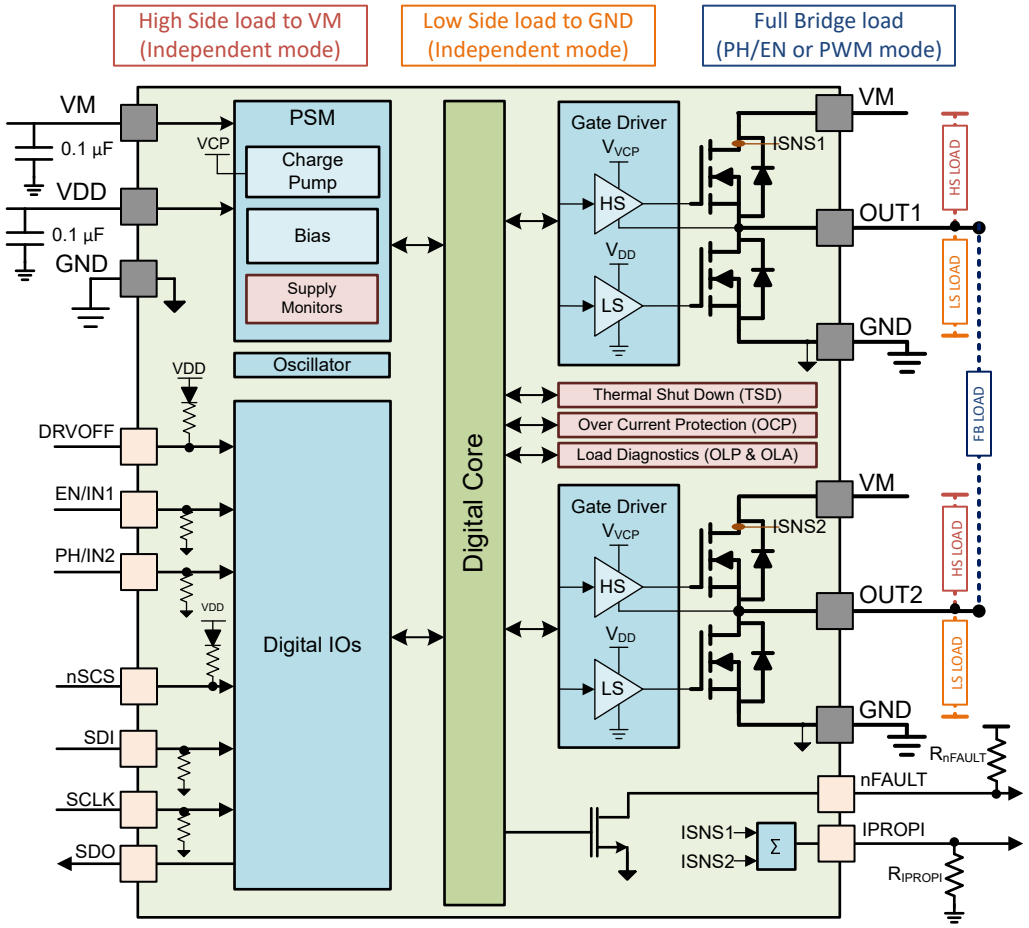


図 7-3. 機能ブロック図 - SPI (P) バリアント

Copyright © 2026 Texas Instruments Incorporated

7.3 機能説明

7.3.1 外付け部品

セクション 7.3.1.1 および セクション 7.3.1.2 に、推奨外付け部品を示します。

7.3.1.1 HW バリアント

表 7-1. HW バリアントの外付け部品表

部品	ピン	推奨事項
C_{VM1}	VM	GND に対して、VM に対応する定格電圧、0.1µF、低 ESR セラミック・コンデンサ
C_{VM2}	VM	負荷過渡を処理するために、GND に対して、VM に対応する定格電圧のローカル・バルク・コンデンサ、10µF 以上。バルク・コンデンサのサイズ決定に関するセクションを参照してください。
R_{IPROPI}	IPROPI	GND に対して、通常 500～5000Ω、0.063W の抵抗。コントローラ ADC のダイナミック・レンジによって抵抗値は異なります。ITRIP と IPROPI の機能が不要な場合、ピンを GND に短絡可能。
C_{IPROPI}	IPROPI	ITRIP レギュレーション・ループを低速にする場合は、オプションで 10～100nF、6.3V コンデンサを GND との間に接続します。「過電流保護 (OCP)」セクションを参照。
R_{nFAULT}	nFAULT	通常、1kΩ～10kΩ、0.063W プルアップ抵抗をコントローラ電源との間に接続します。
R_{MODE}	MODE	設定に応じて、GND への開放または短絡、または 0.063W 10% の抵抗を GND との間に接続。MODE 表を参照してください。
R_{SR}	SR	設定に応じて、GND への開放または短絡、または 0.063W 10% の抵抗を GND との間に接続。「SR」セクションを参照してください。
R_{ITRIP}	ITRIP	設定に応じて、GND への開放または短絡、または 0.063W 10% の抵抗を GND との間に接続。ITRIP 表を参照してください。
R_{DIAG}	DIAG	設定に応じて、GND への開放または短絡、または 0.063W 10% の抵抗を GND との間に接続。「DIAG」セクションを参照してください。

7.3.1.2 SPI バリアント

表 7-2. SPI バリアントの外付け部品表

部品	ピン	推奨事項
C_{VM1}	VM	GND に対して、VM に対応する定格電圧、0.1µF、低 ESR セラミック・コンデンサ
C_{VM2}	VM	負荷過渡を処理するために、GND に対して、VM に対応する定格電圧のローカル・バルク・コンデンサ、10µF 以上。バルク・コンデンサのサイズ決定に関するセクションを参照してください。
R_{IPROPI}	IPROPI	GND に対して、通常 500～5000Ω、0.063W の抵抗。コントローラ ADC のダイナミック・レンジによって抵抗値は異なります。ITRIP と IPROPI の機能が不要な場合、ピンを GND に短絡可能。
C_{IPROPI}	IPROPI	ITRIP レギュレーション・ループを低速にするために、GND に対して、オプションで 10～100nF、6.3V コンデンサ。「過電流保護 (OCP)」セクションを参照。
R_{nFAULT}	nFAULT	通常、1kΩ～10kΩ、0.063W プルアップ抵抗をコントローラ電源との間に接続します。nFAULT 信号を使用しない場合、このピンは GND に短絡するか、開放のままにしておくことができます。
C_{VDD}	VDD	0.1µF、6.3V、低 ESR セラミック・コンデンサを GND との間に接続します。これは、SPI (P) バリアントにのみ適用できます。

7.3.2 ブリッジ制御

DRV824x-Q1 デバイス ファミリは、3 つの異なるモードを備えており、EN/IN1 ピンと PH/IN2 ピンを使った各種制御方式に対応しています。制御モードは、モード設定により選択します。モードは、HW バリアントでは MODE ピン、SPI バリアントでは CONFIG3 レジスタの S_MODE ビットによって決まる 3 レベル の設定です (表 7-3 参照)。

表 7-3. モード表

MODE ピン	S_MODE ビット	デバイス モード	説明
$R_{LVL1OF3}$	2'b00	PH/EN モード	フルブリッジ モード、EN/IN1 は PWM 入力、PH/IN2 は方向入力
$R_{LVL2OF3}$	2'b01	独立モード	2 つのハーフブリッジを個別に制御

Copyright © 2026 Texas Instruments Incorporated

表 7-3. モード表 (続き)

MODE ピン	S_MODE ビット	デバイス モード	説明
$R_{LVL3OF3}$	2'b10、2b'11	PWM モード	フルブリッジ モード、方向に応じて EN/IN1 および PH/IN2 が それぞれ PWM を制御

HW バリアントでは、電源オンまたはスリープからのウェイクアップ後のデバイス初期化時に、MODE ピンがラッチされます。動作中の更新はブロックされます。

デバイスの SPI バリアントでは、SPI 通信が利用可能なときに S_MODE ビットに書き込むことで、いつでもモード設定を変更できます。この変更はすぐに反映されます。

入力は、静的電圧信号 (100% 駆動モード) またはパルス幅変調 (PWM) 電圧信号 (PWM 駆動モード) を受け入れます。VM を印加する前に、デバイスの入力ピンに電力を供給しても問題ありません。入力がない場合に出力がハイ インピーダンスになるように、デフォルトで nSLEEP ピンおよび DRVOFF ピンには、それぞれ内部プルダウン抵抗およびプルアップ抵抗が接続されています。EN/IN1 ピンおよび PH/IN2 ピンにも、内部プルダウン抵抗が接続されています。以下のセクションでは、各制御モードの真理値表を示します。

このデバイスは、ハーフブリッジ切り替え時のハイサイド FET とローサイド FET の遷移中に必要となる希望のデッドタイムを自動的に生成します。このタイミングは、内部での FET ゲート - ソース間電圧フィードバックに基づきます。外部タイミングは必要ありません。この方式により、最小デッドタイムが維持されるとともに、シュートスルー電流がないことも保証されます。

注

1. SPI バリアントでは、SPI_IN レジスタ ビットを使用して追加の制御を行うこともできます。「レジスタ - ピン制御」を参照してください。
2. SPI (P) バリアントには nSLEEP ピンがないため、制御表の nSLEEP 列は無視してください。内部では、常に nSLEEP = 1 となっています。この制御表は、VDD > VDD_{POR} レベルのときに有効です。

7.3.2.1 PH/EN モード

このモードでは、2 つのハーフブリッジがフルブリッジとして動作するように構成されます。EN/IN1 は PWM 入力、PH/IN2 は方向入力です。負荷の説明図については、「負荷の概要」セクションを参照してください。

表 7-4. 制御表 - PH/EN モード

nSLEEP	DRVOFF	EN/IN1	PH/IN2	OUT1	OUT2	IPROPI	デバイスの状態
0	X	X	X	Hi-Z	Hi-Z	電流なし	スリープ
1	1	0	0	Hi-Z	Hi-Z	電流なし	スタンバイ
1	1	1	0	オフ状態診断 表を参照してください		電流なし	スタンバイ
1	1	0	1				
1	1	1	1				
1	0	0	X	H	H	ISNS1 または ISNS2(1)	アクティブ
1	0	1	0	L(2)	H	ISNS2	アクティブ
1	0	1	1	H	L(2)	ISNS1	アクティブ

(1) デバイスから流出する電流 (VM → OUTx →負荷)
(2) 内部 ITRIP レギュレーションがイネーブルのとき、ITRIP レベルに達すると、OUTx は固定時間強制的に「H」になります

7.3.2.2 PWM モード

このモードでは、2 つのハーフブリッジがフルブリッジとして動作するように構成されます。EN/IN1 は、1 方向の PWM 入力を供給し、PH/IN2 は、その逆方向の PWM を供給します。負荷の説明図については、「負荷の概要」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

表 7-5. 制御表 - PWM モード

nSLEEP	DRVOFF	EN/IN1	PH/IN2	OUT1	OUT2	IPROPI	デバイスの状態
0	X	X	X	Hi-Z	Hi-Z	電流なし	スリープ
1	1	0	0	Hi-Z	Hi-Z	電流なし	スタンバイ
1	1	1	0	オフ状態診断表を参照してください		電流なし	スタンバイ
1	1	0	1			電流なし	スタンバイ
1	1	1	1			電流なし	スタンバイ
1	0	0	0	H	H	ISNS1 または ISNS2(1)	アクティブ
1	0	0	1	L(2)	H	ISNS2	アクティブ
1	0	1	0	H	L(2)	ISNS1	アクティブ
1	0	1	1	Hi-Z	Hi-Z	電流なし	スタンバイ

(1) デバイスから流出する電流 (VM → OUTx →負荷)
(2) 内部 ITRIP レギュレーションがイネーブルのとき、ITRIP レベルに達すると、OUTx は固定時間強制的に「H」になります

SPI バリアントの場合、CONFIG2 レジスタの PWM_EXTEND ビットを設定すると、正方向 ([EN/IN1 PH/IN2] = [1 0]) または逆方向 ([EN/IN1 PH/IN2] = [0 1]) コマンドの後に Hi-Z コマンド ([EN/IN1 PH/IN2] = [1 1]) を実行したのと同じような、追加の Hi-Z 状態が発生します。この Hi-Z (コースト) 状態では、PWM に関与するハーフブリッジのみが Hi-Z になり、他方のハーフブリッジの HS FET はオンに保持されます。どちらのハーフブリッジが Hi-Z になるかは、前のサイクルに基づいて決まります。表 7-6 に、上述の内容を示します。

表 7-6. PWM 拡張表 (PWM_EXTEND ビット = 1'b1)

前の状態		現在の状態			デバイスの状態遷移
OUT1	OUT2	OUT1	OUT2	IPROPI	
Hi-Z	Hi-Z	Hi-Z	Hi-Z	電流なし	スタンバイ状態のまま、変化なし
H	H	Hi-Z	Hi-Z	電流なし	アクティブからスタンバイへ
L	H	Hi-Z	H	ISNS2	アクティブからスタンバイへ
H	L	H	Hi-Z	ISNS1	アクティブからスタンバイへ

7.3.2.3 独立モード

このモードでは、2 つのハーフブリッジを 2 つの独立したハーフブリッジとして使用するよう構成します。表 7-7 にブリッジ制御の真理値表を示します。負荷の説明図については、「負荷の概要」セクションを参照してください。

表 7-7. 制御表 - 独立モード

nSLEEP	DRVOFF	EN/IN1	PH/IN2	OUT1	OUT2	IPROPI	デバイスの状態
0	X	X	X	ハイ インピーダンス	ハイ インピーダンス	電流なし	SLEEP
1	1	0	0	ハイ インピーダンス	ハイ インピーダンス	電流なし	STANDBY
1	1	1	0	オフ状態診断表を参照		電流なし	STANDBY
1	1	0	1			電流なし	STANDBY
1	1	1	1			電流なし	STANDBY
1	0	0	0	L	L	電流なし	アクティブ
1	0	0	1	L	H(2)	ISNS2(1)	アクティブ
1	0	1	0	H(2)	L	ISNS1(1)	アクティブ
1	0	1	1	H(2)	H(2)	ISNS1 + ISNS2(1)	アクティブ

SPI バリアントでは、**SPI_IN レジスタがロックされていない**場合、SPI_IN レジスタにある等価ビット S_DRVOFF および S_DRVOFF2 により、両方のハーフブリッジを個別にハイ インピーダンス制御することができます。表 7-8 に、ピンとレジスタを組み合わせた入力を使用するブリッジ制御の真理値表を示します。表 7-8 に示す組み合わせ入力の詳細については、「レジスタ - ピン制御」を参照してください。

Copyright © 2026 Texas Instruments Incorporated

表 7-8. 制御表 - 独立モードの SPI バリアント、SPI_IN がロックされていない場合

nSLEEP	DRVOFF1 組み合わせ	DRVOFF2 組み合わせ	EN/IN1 組み合わせ	PH/IN2 組み合わせ	OUT1	OUT2	IPROPI	デバイスの状態
0	X	X	X	X	ハイ インピーダンス	ハイ インピーダンス	電流なし	SLEEP
1	1	1	0	0	ハイ インピーダンス	ハイ インピーダンス	電流なし	STANDBY
1	1	1	1	0	オフ状態診断表を参照		電流なし	STANDBY
1	1	1	0	1			電流なし	STANDBY
1	1	1	1	1			電流なし	STANDBY
1	1	0	X	0	ハイ インピーダンス	L	電流なし	アクティブ
1	1	0	X	1	ハイ インピーダンス	H(2)	ISNS2(1)	アクティブ
1	0	1	0	X	L	ハイ インピーダンス	電流なし	アクティブ
1	0	1	1	X	H(2)	ハイ インピーダンス	ISNS1(1)	アクティブ
1	0	0	0	0	L	L	電流なし	アクティブ
1	0	0	0	1	L	H(2)	ISNS2(1)	アクティブ
1	0	0	1	0	H(2)	L	ISNS1(1)	アクティブ
1	0	0	1	1	H(2)	H(2)	ISNS1 + ISNS2(1)	アクティブ

(1) デバイスから流出する電流 (VM → OUTx →負荷)
(2) 内部 ITRIP レギュレーションがイネーブルのとき、ITRIP レベルに達すると、OUTx は固定時間強制的に「L」になります

このモードでのデバイスの動作を以下に示します。

- 負荷電流は、VM → OUTx →負荷に流れる電流についてのみ検出できます。したがって、ハイサイド負荷に対する電流センスは不可能です。
- IPROPI ピンの電流は、両方のハーフブリッジからのハイサイド センス電流の合計です。したがって、ITRIP 電流レギュレーション機能は、完全に独立したものではなく、両方を合わせた電流レギュレーションになっています。
- ローサイド還流 (ローサイド負荷) では、スルーレートの設定に制限があります。
- アクティブ状態での負荷開放診断 (OLA) は、ハイサイド負荷に対してのみ可能です。
- HW バリアントでは、各ハーフブリッジに対してハイ インピーダンスを独立して制御することはできません。DRVOFF ピンを High にアサートすると、両方のハーフブリッジがハイ インピーダンスになります。

7.3.2.4 レジスタ - ピン制御 - SPI バリアントのみ

SPI バリアントでは、SPI_IN レジスタの特定のレジスタ・ビット、S_DRVOFF、S_DRVOFF2、S_EN_IN1、S_PH_IN2 を使って、ブリッジを制御できます。これは **SPI_IN レジスタがロック解除されている**場合に限ります。 ユーザー は、COMMAND レジスタの SPI_IN_LOCK ビットに適切な組み合わせを書き込むことで、このレジスタのロックを解除できます。

さらに、ユーザーは、各外部入力ピンと、SPI_IN レジスタの等価レジスタ・ビットとの AND / OR ロジックによる組み合わせを設定することができます。このロジックの設定は、CONFIG4 レジスタの、次に示す等価セレクト・ビットを使って行われます。

- DRVOFF_SEL、EN_IN1_SEL、および PH_IN2 _SEL

出力の制御は、前のセクションに記載した真理値表と同様ですが、これらのロジックの組み合わせ入力を使います。組み合わせ入力の内容は以下のとおりです。

- 組み合わせ入力 = ピン入力 **OR** 等価 SPI_IN レジスタ・ビット (等価 CONFIG4 セレクト・ビット = 1'b0 の場合)
- 組み合わせ入力 = ピン入力 **AND** 等価 SPI_IN レジスタ・ビット (等価 CONFIG4 セレクト・ビット = 1'b1 の場合)
- 独立モードの場合:
  - DRVOFF2 の組み合わせ = DRVOFF ピン **OR** S_DRVOFF2 ビット (DRVOFF_SEL ビット = 1'b0 の場合)
  - DRVOFF2 の組み合わせ = DRVOFF ピン **AND** S_DRVOFF2 ビット (DRVOFF_SEL ビット = 1'b1 の場合)

スリープ機能については、外部 nSLEEP ピンが必要であることに注意してください。

Copyright © 2026 Texas Instruments Incorporated

このロジックの組み合わせにより、次の表に示すように、より多くの異なる構成をユーザーに提供できます。

表 7-9. レジスタ - ピン制御の例

例	CONFIG4:xxx_SEL ビット	PIN ステータス	SPI_IN ビット・ステータス	コメント
DRVOFF を冗長シャットオフとして使用	DRVOFF_SEL = 1'b0	DRVOFF アクティブ	S_DRVOFF アクティブ	DRVOFF ピン = 1 または S_DRVOFF ビット = 1 のいずれかの条件で、出力シャットオフ
ピンのみで制御	DRVOFF_SEL = 1'b1	DRVOFF アクティブ	S_DRVOFF = 1'b1	DRVOFF ピンの機能のみを利用
レジスタのみで制御	PH_IN2_SEL ビット = 1'b0	PH/IN2 - GND へ短絡またはフローティング	S_PH_IN2 アクティブ	PH (方向) をレジスタ・ビットのみで制御

7.3.3 デバイス設定

このセクションでは、設計の使用事例に合わせて適切にデバイスを構成できるよう、さまざまなデバイス構成について説明します。

7.3.3.1 スルーレート (SR)

SR ピン (HW バリアント) または CONFIG3 レジスタの S_SR ビット (SPI バリアント) により、ドライバのスルーレートが決まります。これによって、ユーザーは PWM スイッチング損失を最適化しながら、EM の適合要件を満たすことができます。HW バリアントの場合、SR は 6 レベルの**設定**ですが、SPI バリアントでは、8 レベルの設定があります。誘導性負荷の場合、還流パスが VM へのハイサイド パスを経由するのか、GND へのローサイド パスを経由するのかによって、デバイスのスルーレート制御が異なります。使用事例に応じて、スルーレートの範囲および値については、「電気的特性」セクションの「ハイサイド還流」または「ローサイド還流」のスイッチング パラメータ表を参照してください。

注

SPI バリアントは、**オプション**のスペクトラム拡散クロック (SSC) 機能も備えており、約 1.3MHz の三角波で内部発振器の周波数を平均値から ±12% の範囲に拡散して、高い周波数での放射を低減できます。HW バリアントには、スペクトラム拡散クロック (SSC) 機能は**ありません**。

HW バリアントでは、電源オンまたはスリープからのウェークアップ後のデバイス初期化時に、SR ピンが**ラッチ**されます。動作中の更新はブロックされます。

SPI バリアントでは、SPI 通信が利用可能なときに S_SR ビットに書き込むことによって、いつでもスルーレート設定を変更できます。この変更はすぐに反映されます。

7.3.3.2 IPROPI

このデバイスには電流センシング機能が内蔵されており、負荷電流レギュレーションに使用できる比例アナログ電流が IPROPI ピンに出力されます。これにより、外部センス抵抗やセンス回路が不要になり、システムのサイズ、コスト、複雑さを低減できます。

このデバイスは、シャントレスのハイサイド電流ミラー トポロジを使用して負荷電流を検出します。検出できるのは、ハイサイド FET が完全にオンになっているとき (リニア モード)、VM → OUTx → 負荷という経路でハイサイド FET を流れる単方向ハイサイド電流だけです。IPROPI ピンは、このセンス電流に比例したアナログ電流を A_{IPROPI} でスケーリングして、次のように出力します。

$I_{IPROPI} = (I_{HS1} + I_{HS2}) / A_{IPROPI}$

比例電圧 V_{IPROPI} を生成するには、外付け抵抗 (R_{IPROPI}) を介して IPROPI ピンをグランドに接続する必要があります。これにより、A/D コンバータ (ADC) を使って、R_{IPROPI} 抵抗両端の電圧降下として負荷電流を測定できます。R_{IPROPI} 抵抗は、すべてのコントローラ ADC を利用できるように、そのアプリケーションの負荷電流の期待値に基づいて値を調整できます。

IPROPI で示される電流は、VM から OUTx ピンを通って流出する電流の合計です。これは、以下のことを意味します。

Copyright © 2026 Texas Instruments Incorporated

- PWM または PH/EN モードを使用するフルブリッジ動作では、IPROPI ピンで示される電流は、常に、VM から負荷へ流れる電流を供給する側の 1 つのハーフブリッジから得られます。
- 独立モードでは、IPROPI ピンで表される電流は、片側または両側のハーフブリッジから得られます。1 つのハーフブリッジ電流だけを独立して観測することは**できません**。

7.3.3.3 ITRIP レギュレーション

このデバイスは、オプションとして、固定 TOFF 時間方式による内部負荷電流レギュレーション機能を備えています。その方法としては、ITRIP 設定で決まる基準電圧と IPROPI ピンの電圧を比較します。TOFF 時間は、HW バリアントの場合は 30µsec に固定されています。SPI バリアントの場合は CONFIG3 レジスタの TOFF_SEL ビットを使用して、20～50µsec の範囲で設定できます。

ITRIP レギュレーションが有効に設定されている場合、HS FET がイネーブルされて電流センシングが可能なときのみ動作します。このシナリオでは、IPROPI ピンの電圧が ITRIP 設定で決まる基準電圧を超えた場合、内部電流レギュレーション ループによって強制的に以下の動作が行われます。

- PH/EN または PWM モードでは、固定 TOFF 時間だけ OUT1 = H、OUT2 = H (ハイサイド還流)
  - サイクルスキップ：最小デューティ サイクルの制限により (特に、低いスルーレート設定で高い VM の場合) 、ITRIP レギュレーションがあっても負荷電流が増加し続けます。この電流増加を回避するため、サイクル スキップ方式が実装されています。TOFF 時間経過時点で、IOUT が ITRP よりも大きい場合には、さらに TOFF 時間だけ還流時間が延長されます。この還流時間の追加は、TOFF 期間の終了時に IOUT 検出値が ITRIP よりも小さくなるまで継続されます。
- 独立モードでは、OUTx = H の場合、固定 TOFF 時間だけ OUTx = L に切り替わります。それ以外の場合、OUTx に変化はありません。

注

ユーザー入力は、常に内部制御よりも**優先**されます。したがって、TOFF 時間内に入力が変化すると、残りの TOFF 時間は無視され、出力は指令された入力に従います。

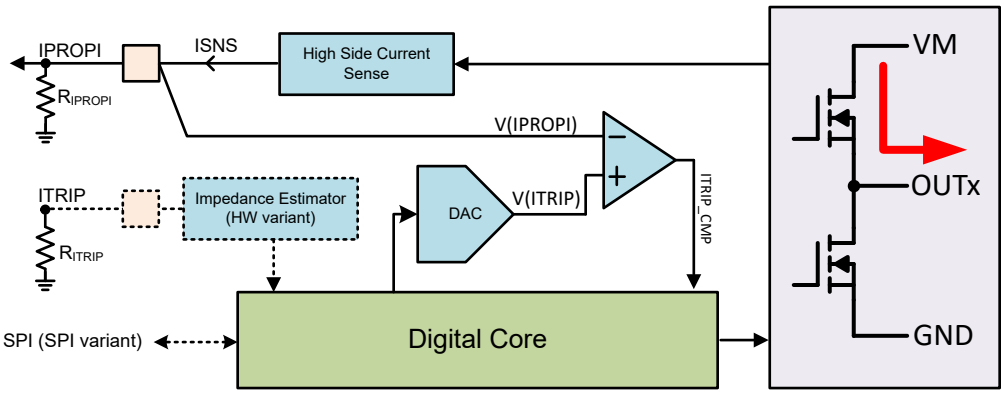


図 7-4. ITRIP の実装

電流制限は、次の式で設定されます。

$$\text{ITRIP regulation level} = (V_{ITRIP} / R_{IPROPI}) \times A_{IPROPI} \quad (2)$$

Copyright © 2026 Texas Instruments Incorporated

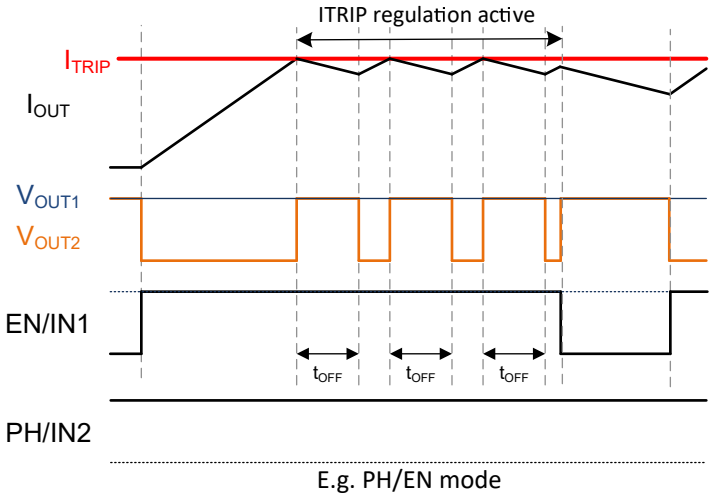


図 7-5. 固定 TOFF の ITRIP 電流レギュレーション

独立モードでは、ITRIP レギュレーションは IPROPI ピンの 2 つのハーフブリッジ電流の合計に基づくため、同時に 2 つのハーフブリッジに対して、電流レギュレーションを完全に個別に行うことは**できません**。

ITRIP コンパレータ出力 (ITRIP_CMP) は、負荷容量からの電流スパイクによるコンパレータ出力の誤トリガを回避するため、出力スルーイング中は無視されます。また、ローサイド還流から移行する場合は、ITRIP コンパレータの出力が有効になる前にセンス ループが安定するように、追加のブランキング時間 t_{BLANK} が必要です。

HW バリアントでは、ITRIP に 6 レベル**の設定**があります。SPI バリアントでは、さらに 2 つの設定があります。これを以下の表にまとめます。

表 7-10. ITRIP テーブル

ITRIP ピン	S_ITRIP レジスタ ビット	V_{ITRIP} [V]
$R_{LVL1OF6}$	3'b000	レギュレーション無効
$R_{LVL2OF6}$	3'b001	1.18
該当なし	3'b010	1.41
該当なし	3'b011	1.65
$R_{LVL3OF6}$	3'b100	1.98
$R_{LVL4OF6}$	3'b101	2.31
$R_{LVL5OF6}$	3'b110	2.64
$R_{LVL6OF6}$	3'b111	2.97

HW バリアントでは、ITRIP ピンの変更は**透過的**で、変更はただちに反映されます。

SPI バリアントでは、SPI 通信が利用可能なときに S_ITRIP ビットに書き込むことによって、いつでも ITRIP 設定を変更できます。この変更は、デバイスの動作にただちに反映されます。

SPI バリアントのみ - ITRIP レギュレーション レベルに達すると、STATUS1 レジスタの ITRIP_CMP ビットがセットされます。nFAULT ピンでの通知はありません。このビットは、CLR_FLT コマンドによってクリアできます。

注

アプリケーションで、デバイスで提供されている選択肢を超える複数のステップを持つリニア ITRIP 制御が必要な場合、この抵抗で GND へ終端する代わりに、外部 DAC を使用して IPROPI 抵抗の下端の電圧を強制的に設定できます。この変更では、外部 DAC 設定により、次のように ITRIP 電流を制御できます。

$$\text{ITRIP regulation level} = [(V_{ITRIP} - V_{DAC}) / R_{IPROPI}] \text{ X } A_{IPROPI} \quad (3)$$

Copyright © 2026 Texas Instruments Incorporated

7.3.3.4 DIAG

DIAG は、以下に示すように、デバイスのアクティブ動作およびスタンバイ動作で使用される、ピン (HW バリアント) またはレジスタ (SPI バリアント) の設定です。

- スタンバイ状態
  - PH/EN モードまたは PWM モード:オフ状態診断 (OLP) をイネーブルまたはディセーブルにします。
  - 独立モード:オフ状態診断 (OLP) をイネーブルまたはディセーブルにし、イネーブルにする場合は OLP の組み合わせを選択します。詳細については、「オフ状態診断 (OLP)」セクションの表を参照してください。
- アクティブ状態
  - 独立モード:負荷タイプがハイサイド負荷として設定されている場合は、ITRIP レギュレーション機能をマスクします。
  - SPI バリアントのみ - 独立モード:負荷タイプがローサイド負荷として設定されている場合は、アクティブ開放負荷検出 (OLA) をマスクします。
  - HW バリアントのみ - フォルト応答を再試行またはラッチのいずれかに設定します

7.3.3.4.1 HW バリアント

HW バリアントでは、DIAG ピンは 6 レベルの設定です。モードに応じて、その構成を以下の表にまとめます。

表 7-11. DIAG 表 (HW バリアント、PH/EN または PWM モード)

DIAG ピン	スタンバイ状態	アクティブ状態
	オフ状態診断	フォルト応答
$R_{LVL1OF6}$	ディスエーブル	再試行
$R_{LVL5OF6}$	ディスエーブル	ラッチ
その他すべてのレベル	イネーブル(1)	ラッチ

表 7-12. DIAG 表 (HW バリアント、独立モード)

DIAG ピン	スタンバイ状態	アクティブ状態		
	オフ状態診断	フォルト応答	ITRIP	コメント
$R_{LVL1OF6}$	ディスエーブル	再試行	使用可能	ローサイド負荷で使用
$R_{LVL2OF6}$	イネーブル(1)	ラッチ	使用可能	
$R_{LVL3OF6}$	イネーブル(1)	ラッチ	ディスエーブル	ハイサイド負荷で使用
$R_{LVL4OF6}$	イネーブル(1)	再試行	ディスエーブル	
$R_{LVL5OF6}$	ディスエーブル	ラッチ	使用可能	ローサイド負荷で使用
$R_{LVL6OF6}$	イネーブル(1)	再試行	使用可能	

(1) 組み合わせの詳細については、「オフ状態診断 (OLP)」セクションの表を参照してください

注

HW バリアントのみ - 独立モード:ハイサイド負荷の使用事例で、オフ状態診断をディセーブルにするオプションは、サポートされていません。この場合、オフ状態診断をディセーブルにする唯一の方法は、DRVOFF ピンを High に設定し、IN ピンを Low に設定することです。

HW バリアントでは、電源オンまたはスリープからのウェークアップ後のデバイス初期化時に、DIAG ピンがラッチされます。動作中の更新はブロックされます。

7.3.3.4.2 SPI バリアント

SPI バリアントの場合、S_DIAG は CONFIG2 レジスタにある 2 ビットの設定です。モードに応じて、その構成を以下の表にまとめます。

Copyright © 2026 Texas Instruments Incorporated

表 7-13. DIAG 表 (SPI バリアント、PH/EN または PWM モード)

S_DIAG ビット	スタンバイ状態	アクティブ状態
	オフ状態診断	オン状態診断
2'b00	ディスエーブル	使用可能
2'b01, 2'b10, 2'b11	有効(1)	使用可能

表 7-14. DIAG 表 (SPI バリアント、独立モード)

S_DIAG ビット	スタンバイ状態	アクティブ状態		
	オフ状態診断	オン状態診断	IPROPI / ITRIP	コメント
2'b00	ディスエーブル	ディスエーブル	使用可能	ローサイド負荷で使用
2'b01	有効(1)	ディスエーブル	使用可能	
2'b10	ディスエーブル	使用可能	ディスエーブル	ハイサイド負荷で使用
2'b11	有効(1)	使用可能	ディスエーブル	

(1) 組み合わせの詳細については、「オフ状態診断 (OLP)」セクションの表を参照してください

デバイスの SPI バリアントでは、SPI 通信が利用可能なときに S_DIAG ビットに書き込むことによって、いつでも この設定を変更できます。この変更はすぐに反映されます。

7.3.4 保護および診断機能

このドライバは、過電流や過熱から保護されており、デバイスの堅牢性を確保します。また、このデバイス は、負荷監視 (オン状態およびオフ状態)、VM ピンの過電圧 / 低電圧監視を備えており、予期しない電圧状態を通知します。フォルト状態を検出すると、ローサイドのオープン・ドレイン nFAULT ピンが GND にプルダウンされ、I_{nFAULT_PD} 電流によってフォルトを通知します。スリープ状態に移行すると、nFAULT は自動的にアサート解除されます。

注

SPI バリアントでは、nFAULT ピンのロジック・レベル は、FAULT SUMMARY レジスタの FAULT ビットの反転コピーになっています。唯一の例外は、オフ状態診断が有効、かつ SPI_IN レジスタがロックされている場合です(「OLP」セクションを参照)。

SPI バリアントでは、nFAULT が LOW にアサートされるたびに、デバイスは FAULT SUMMARY レジスタおよび STATUS レジスタにフォルトを記録します。これらのレジスタは、次の条件でのみクリアできます。

- CLR FLT コマンド、または
- nSLEEP ピンによるスリープ・コマンド

単一の 16 ビット SPI フレームで定期的なソフトウェア監視を行う場合、次の方法によって、有用な診断情報をすべて取得できます。

- アクティブ 状態で STATUS1 レジスタを読み取る
- スタンバイ状態で STATUS2 レジスタを読み取る

診断可能なすべてのフォルト・イベントは、STATUS レジスタを読み取ることによって一意に識別できます。

7.3.4.1 過電流保護 (OCP)

- デバイスの状態:アクティブ
- メカニズム & スレッショルド:各 MOSFET のアナログ電流制限回路により、短絡時にもデバイスのピーク出力電流を制限できます。出力電流が過電流スレッショルド I_{OCP} を上回る状態になり、その時間が t_{OCP} を超えると、過電流フォルトが検出されます。
- 動作:
  - nFAULT ピンは LOW にアサート

Copyright © 2026 Texas Instruments Incorporated

  - 応答は、モード選択によって決まります。
    - PH/EN または PWM モード - 両方の OUTx が Hi-Z
    - 独立モード - 影響を受ける側のハーフ ブリッジ OUTx が Hi-Z
  - GND への短絡フォルト (ハイサイド FET で検出された過電流) の場合は、FET がディセーブルになっても、IPROPI ピンは V_{IPROPI_LIM} へプルアップされ続けます。HW バリアントでは、nFAULT ピンが LOW にアサートされているときに IPROPI ピンが HIGH にプルアップされているため、これにより、アクティブ状態時の GND 短絡フォルトを他の種類のフォルトと区別できます。
- 応答は、ラッチ設定、または t_{RETRY} と t_{CLEAR} による再試行設定、いずれかを選択可能
- IPROPI ピンに 10nF～100nF の範囲のコンデンサを追加することにより、内部 ITRIP レギュレーション有効時の負荷短絡の場合に、OCP 検出を確保できます。これは、短絡部分に十分なインダクタンスがある場合に特に有効です。この状況では、OCP 検出の前に ITRIP レギュレーションがトリガされて、デバイスの短絡検出が働かない可能性があります。OCP 検出がこの競合条件を確実に満たすようにするため、IPROPI ピンに小さな容量を追加することによって ITRIP レギュレーション ループが遅くなり、OCP 検出回路が意図したとおりに動作できるようになります。

SPI バリアントは、I_{OCP} レベルおよび t_{OCP} フィルタ時間を設定可能です。これらの設定については、CONFIG4 レジスタを参照してください。

7.3.4.2 過熱保護 (TSD)

- デバイスの状態:スタンバイ、アクティブ
- メカニズムおよびスレッショルド:このデバイスは、ダイの周囲に複数の温度センサを備えています。いずれかのセンサが設定温度 T_{TSD} に対して過熱状態になり、その時間が t_{TSD} を超えると、過熱フォルトが検出されます。
- 動作:
  - nFAULT ピンは LOW にアサート
  - OUTx はいずれも Hi-Z
  - IPROPI ピンは Hi-Z
- その応答は、ラッチ設定、または T_{HYS} と t_{clear_TSD} による再試行設定、いずれかを選択可能

7.3.4.3 オフ状態診断 (OLP)

ユーザーは、パワー FET がオフのときにスタンバイ状態でオフ状態診断を使用して、OUTx ノードのインピーダンスを判断できます。この診断機能により、STANDBY 状態で以下に示す故障状態をパッシブに検出できます。

- VM または GND への出力短絡 < 100Ω
- フルブリッジ負荷またはローサイド負荷の開放負荷 > 1kΩ
- ハイサイド負荷用に 10KΩ 以上のオープン負荷、VM = 13.5V

注

この診断では、**負荷の短絡**を検出することはできません。ただし、アクティブ動作中に過電流フォルト (OCP) が発生し、スタンバイ状態の OLP 診断で何もフォルトが報告されない場合、負荷の短絡を論理的に推定することができます。アクティブ状態で OCP が発生し、かつ、スタンバイ状態で OLP が発生する場合は、端子の短絡を意味します (OUT ノードでの短絡)。

- ユーザーは、次の組み合わせを設定できます。
  - OUTx の内部プルアップ抵抗 (R_{OLP_PU})
  - OUTx の内部プルダウン抵抗 (R_{OLP_PD})
  - コンパレータの基準電圧レベル
  - コンパレータの入力選択 (OUT1 または OUT2)
- この組み合わせは、コントローラ入力 (HW バリアントのみ存在するピン) または、SPI バリアントで SPI_IN レジスタがロックされていない場合、SPI_IN レジスタの等価ビットによって決定されます。
- HW バリアント - オフ状態診断が有効の場合、コンパレータ出力 (OLP_CMP) は、nFAULT ピンで利用できます。

Copyright © 2026 Texas Instruments Incorporated

- SPI バリアント — オフ状態診断が有効の場合、オフ状態診断コンパレータ出力 (OLP_CMP) は、STATUS2 レジスタの OLP_CMP ビットで利用できます。さらに、SPI_IN レジスタがロックされている場合には、オフ状態診断が有効のとき、このコンパレータ出力は、nFAULT ピンでも利用できます。
- ユーザーは、すべての組み合わせを切り替えながら、出力が安定した後にコンパレータの出力を記録してください。
- 入力の組み合わせとコンパレータの出力に基づいて、出力にフォルトが発生しているかどうかを判断できます。

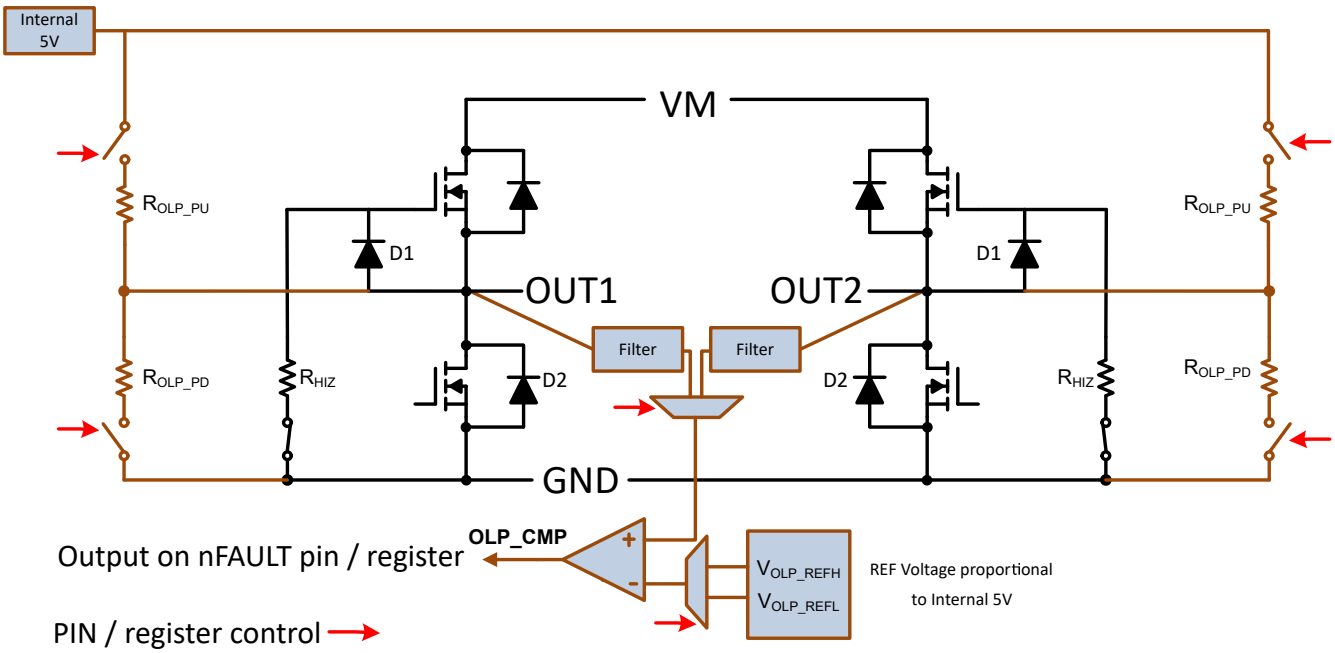


図 7-6. フルブリッジ負荷のオフ状態診断 (PH/EN または PWM モード)

PH/EN モードまたは PWM モードのフルブリッジ負荷について、フォルトがないシナリオとフォルト シナリオに対する OLP の組み合わせおよび真理値表 を 表 7-15 に示します。

表 7-15. オフ状態診断表 - PH/EN または PWM モード (フル ブリッジ)

ユーザー入力				OLP の設定				OLP CMP 出力			
nSLEEP	DRVOFF	EN/IN1	PH/IN2	OUT1	OUT2	CMP REF	選択された出力	正常	オープン	GND 短絡	VM 短絡
1	1	1	0	R_{OLP_PU}	R_{OLP_PD}	V_{OLP_REFH}	OUT1	L	H	L	H
1	1	0	1	R_{OLP_PU}	R_{OLP_PD}	V_{OLP_REFL}	OUT2	H	L	L	H
1	1	1	1	R_{OLP_PD}	R_{OLP_PU}	V_{OLP_REFL}	OUT2	H	H	L	H

独立モードのローサイド負荷について、フォルトがないシナリオおよびフォルト シナリオに対する OLP の組み合わせおよび真理値表を 表 7-16 に示します。

表 7-16. ローサイド負荷のオフ状態診断表 - 独立モード

ユーザー入力						OLP の設定				OLP_CMP 出力		
DIAG ピン	S_DIAG ビット	nSLEEP	DRVOFF	EN/IN1	PH/IN2	OUT1	OUT2	CMP REF	選択された出力	正常	オープン	短絡
LVL2、LVL6	2'b01	1	1	1	未使用	R_{OLP_PU}	ハイ インピーダンス	V_{OLP_REFH}	OUT1	L	H	H

表 7-16. ローサイド負荷のオフ状態診断表 - 独立モード (続き)

ユーザー入力						OLP の設定				OLP_CMP 出力		
DIAG ピン	S_DIAG ビット	nSLEEP	DRVOFF	EN/IN1	PH/IN2	OUT1	OUT2	CMP REF	選択された出力	正常	オープン	短絡
LVL3、LVL4	2'b11	1	1	1	未使用	R_{OLP_PD}	ハイ インピーダンス	$V_{OLP_REF_L}$	OUT1	**L**	**L**	**H**
LVL2、LVL6	2'b01	1	1	0	1	ハイ インピーダンス	R_{OLP_PU}	$V_{OLP_REF_H}$	OUT2	**L**	**H**	**H**
LVL3、LVL4	2'b11	1	1	0	1	ハイ インピーダンス	R_{OLP_PD}	$V_{OLP_REF_L}$	OUT2	**L**	**L**	**H**

独立モードのハイサイド負荷について、フォルトがないシナリオおよびフォルト シナリオに対する OLP の組み合わせおよび真理値表を 表 7-17 に示します。

表 7-17. ハイサイド負荷のオフ状態診断表 - 独立モード

ユーザー入力						OLP の設定				OLP_CMP 出力		
DIAG ピン	S_DIAG ビット	nSLEEP	DRVOFF	EN/IN1	PH/IN2	OUT1	OUT2	CMP REF	選択された出力	正常	オープン	短絡
LVL2、LVL6	2'b01	1	1	1	未使用	R_{OLP_PU}	ハイ インピーダンス	$V_{OLP_REF_H}$	OUT1	**H**	**H**	**L**
LVL3、LVL4	2'b11	1	1	1	未使用	R_{OLP_PD}	ハイ インピーダンス	$V_{OLP_REF_L}$	OUT1	**H**	**L**	**L**
LVL2、LVL6	2'b01	1	1	0	1	ハイ インピーダンス	R_{OLP_PU}	$V_{OLP_REF_H}$	OUT2	**H**	**H**	**L**
LVL3、LVL4	2'b11	1	1	0	1	ハイ インピーダンス	R_{OLP_PD}	$V_{OLP_REF_L}$	OUT2	**H**	**L**	**L**

7.3.4.4 オン状態診断 (OLA) - SPI バリアントのみ

- デバイスの状態:アクティブ - ハイサイド還流
- メカニズムおよびスレッショルド:オン状態診断 (OLA) により、ハイサイド還流時にアクティブ状態での開放負荷検出が可能です。このハイサイド負荷には、VM に直接接続されるもの、または、もう一方のハーフブリッジのハイサイド FET を経由するものが含まれます。PWM スイッチング遷移中、LS FET がオフになると、誘導性負荷電流が HS ボディダイオードを通じて VM に還流します。HS FET がオンになる前、短時間のデッドタイム中に、デバイスは、VM を超える電圧スパイクが OUTx で発生するかどうかを検知します。この電圧スパイクが観測されるためには、この負荷電流は、FET ドライバによってアサートされる出力のプルダウン電流 (I_{PD_OLA}) よりも大きくなる必要があります。この電圧スパイクが存在しない還流スイッチング サイクルが「3 回」連続する場合、負荷インダクタンスの喪失または負荷抵抗の増加を意味しており、OLA フォルトとして検出されます。
- 動作:
  - nFAULT ピンは LOW にアサート

Copyright © 2026 Texas Instruments Incorporated

  - 出力 - 通常機能を維持
  - IPROPI ピン - 通常機能を維持
- 再試行とラッチのいずれかに応答を設定可能再試行設定では、還流スイッチング サイクル中に電圧スパイクが「3 回」連続して検出されると、OLA フォルトが自動的にクリアされます。

この監視は選択可能であり、無効にできます。

注

1. OLA は、ローサイド負荷 (ローサイド還流) ではサポートされていません。
2. CLR_FAULT コマンドは、還流スイッチング サイクル中に DRVOFF が High にアサートされている場合または「3」回連続する電圧スパイクが検出され、指令された方向がフォルト検出された方向と一致している場合にのみ、このフォルト (STATUS1 レジスタに記録) をクリアできます。

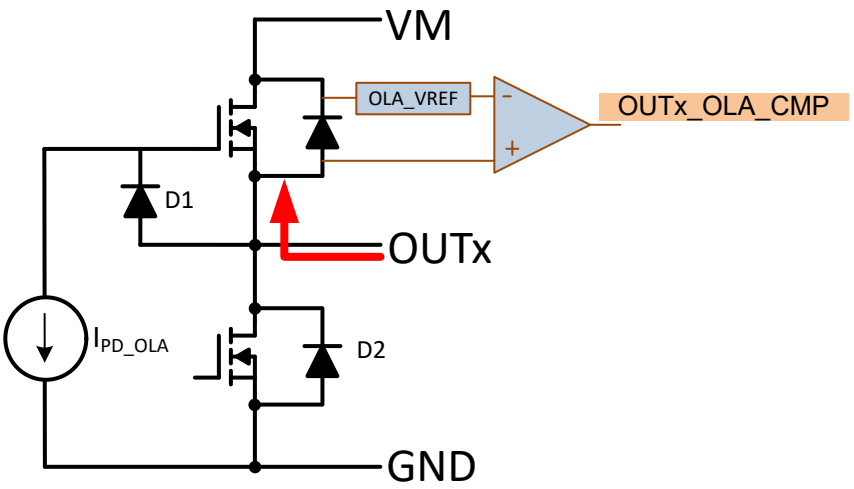


図 7-7. オン状態診断

7.3.4.5 VM 過電圧監視

- デバイスの状態:スタンバイ、アクティブ
- メカニズムおよびスレッショルド:VM ピンの電源電圧が V_{VMOV} で設定されたスレッショルドを上回る状態になり、その時間が t_{VMOV} を超えると、VM 過電圧フォルトが検出されます。
- 動作:
  - nFAULT ピンは LOW にアサート
  - 出力 - 通常機能を維持
  - IPROPI ピン - 通常機能を維持
- 再試行とラッチのいずれかに応答を設定可能

SPI バリアントでは、この監視は選択可能でありディセーブルにできます。また、スレッショルドも構成可能です。CONFIG1 レジスタを参照してください。

7.3.4.6 VM 低電圧監視

- デバイスの状態:スタンバイ、アクティブ
- メカニズムおよびスレッショルド:VM ピンの電源電圧が V_{VMUV} で設定されたスレッショルドを下回る状態になり、その時間が t_{VMUV} を超えると、VM 低電圧フォルトが検出されます。
- 動作:
  - nFAULT ピンは LOW にアサート

Copyright © 2026 Texas Instruments Incorporated

  - OUTx はいずれも Hi-Z
  - IPROPI ピンは Hi-Z
- HW および SPI (S) バリアント：応答設定は再試行に固定
- SPI (P) バリアントのみ：再試行とラッチのいずれかに応答を設定可能
- 再試行時間は VM 低電圧状態の回復にのみ依存し、t_{RETRY} および t_{CLEAR} とは無関係

7.3.4.7 パワー オン リセット (POR)

- デバイスの状態：すべて
- メカニズムおよびスレッショルド：ロジック電源の電圧が VDD_{POR_FALL} を下回る状態になり、その時間が 1µs を超えると、パワーオン リセットが発生してデバイスがハード リセットされます。
- 動作：
  - nFAULT ピンはアサート解除
  - OUTx はいずれもハイ インピーダンス
  - IPROPI ピンはハイ インピーダンス。
  - この電源が VDD_{POR_RISE} レベルを上回るまで回復した場合、デバイスはウェークアップ初期化を実行し、nFAULT ピンが Low にアサートされて、このリセットをユーザーに通知します (「ウェークアップ遷移」を参照)。
- HW および SPI (S) バリアント：ロジック電源が VM 電源から内部的に生成されるので、これらのスレッショルドは、VM_{POR_FALL} および VM_{POR_RISE} となります。
- SPI (P) バリアントのみ：これらのスレッショルドは、VDD ピンの電圧 (VDD_{POR_FALL} および VDD_{POR_RISE}) に直接対応します。
- フォルト応答：常に再試行。再試行時間は、外部電源がデバイス ウェークアップを開始する条件に依存します。

7.3.4.8 イベントの優先順位

アクティブ状態で、2 つ以上のイベントが同時に発生する場合、デバイスは次の優先順位表に基づいてドライバの制御を割り当てます。

表 7-18. イベント優先順位表

イベント	優先順位
ユーザー スリープ コマンド	1
ユーザー入力：DRVOFF	2
過熱検出 (TSD)	3
過電流検出 (OCP)(1)	4
VM 低電圧検出 (VMUV)	5
ユーザー入力：EN/IN1、PH/IN2 のいずれかまたは両方	6
ITRIP レギュレーションによる内部 PWM 制御	7
VM 過電圧検出 (VMOV)(2)	8
オン状態フォルト検出 (OLA - SPI バリアントのみ)(2)	9

(1) デバイスが OCP イベントの確認を待っているとき (t_{OCP} の間待機) に、OCP イベントよりも優先順位の低いイベントが発生した場合、OCP イベントを検出できるようにするため、デバイスは他のイベントの処理を最大 t_{OCP} まで遅延させることがあります。
(2) このフォルト イベントによって OUTx が変化することはないので、この場合の優先順位は「未使用」です。

7.4 プログラミング - SPI バリアントのみ

7.4.1 SPI (シリアル ペリフェラル インターフェイス)

SPI バリアントは、全二重の 4 線式同期通信を備えており、デバイスの構成や動作パラメータの設定、デバイスからの診断情報の読み出しに使います。SPI は、ペリフェラル モードで動作し、コントローラに接続します。シリアル データ入力 (SDI) ワードの構成は、16 ビットのワード、8 ビットのコマンド (A1)、8 ビットのデータ (D1) となっています。シリアル データ出力 (SDO) ワードの構成は、FAULT_SUMMARY バイト (S1)、その後にレポート バイト (R1) です。レポート バイト

Copyright © 2026 Texas Instruments Incorporated

は、読み出しコマンドでアクセスする場合はレジスタ データ、書き込みコマンドの場合はヌルです。MCU と SPI ペリフェラル ドライバ間のデータ シーケンス 図 7-8 をに示します。

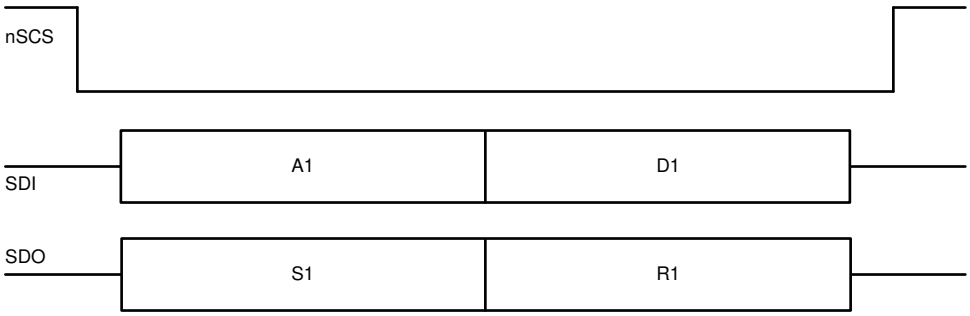


図 7-8. SPI データ - 標準「16 ビット」フレーム

有効なフレームは次の条件を満たしていなければなりません。

- nSCS ピンが High から Low、Low から High に遷移すると、SCLK ピンの Low になります。
- nSCS ピンは、ワードとワードの間では High にされている必要があります。
- nSCS ピンが HIGH にプルアップされているときは、SCLK ピンおよび SDI ピンのすべての信号が無視され、SDO ピンが Hi-Z 状態になる。
- デバイスからの SDO データは SCLK の立ち上がりエッジで伝搬され、SDI データは SCLK の次の立ち下がりエッジでデバイスによってキャプチャされる。
- 最上位ビット (MSB) から先にシフト イン / シフト アウトされる。
- 標準フレームで有効なトランザクションを実行するには、16 SCLK サイクルが完全に発生する必要がある。または、デイジーチェーン フレームに「n」個のペリフェラル デバイスが接続されているとき、有効なトランザクションを得るには 16 + (n x 16) の SCLK サイクルが発生しなければならない。それ以外の場合には、フレーム エラー(SPI_ERR) が報告され、書き込み動作では、データは無視される。

7.4.2 標準フレーム

SDI 入力データ・ワードは 2 バイト長であり、以下のフォーマットで構成されています。

- コマンド・バイト (最初のバイト)
  - MSB ビットはフレームの種類を示します (標準フレームの場合、ビット B15 = 0)。
  - MSB の次のビット W0 は、読み取り / 書き込み動作を示します (ビット B14、書き込み = 0、読み取り = 1)。
  - 次に 6 つのアドレス・ビット A[5:0] (ビット B13～B8) が続きます。
- データ・バイト (2 番目のバイト)
  - 2 番目のバイトは、データ D[7:0] (ビット B7～B0) を示します。読み取り動作では、これらのビットは通常ヌル値に設定されます。書き込み動作では、アドレス指定されたレジスタのデータ値がこれらのビットに設定されます。

表 7-19. SDI - 標準フレーム・フォーマット

	コマンド・バイト								データ・バイト							
ビット	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
データ	0	W0	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0

SDO 出力データ・ワードは 2 バイト長であり、以下のフォーマットで構成されています。

- ステータス・バイト (最初のバイト)
  - MSB の 2 ビットは HIGH に固定 (B15、B14 = 1)
  - 次の 6 ビットは、FAULT SUMMARY レジスタ (B13:B8) の値が出力されます。

- レポート・バイト (2 番目のバイト)
  - 2 番目のバイト (B7:B0) は、読み出し動作 (W0 = 1) の場合、読もうとするレジスタの現在のデータであり、書き込みコマンド (W0 = 0) の場合、書き込まれるレジスタに存在するデータです。

表 7-20. SDO - 標準フレーム・フォーマット

	ステータス・バイト								レポート・バイト							
ビット	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
データ	1	1	FAULT	VMOV	VMUV	OCP	TSD	SPI_ERR	D7	D6	D5	D4	D3	D2	D1	D0

7.4.3 複数ペリフェラルに対する SPI インターフェイス

複数のデバイスをコントローラに接続するには、デイジー チェーンを使う方法と、使わない方法があります。デイジー チェーンを使用せずに「n」個のデバイスをコントローラに接続する場合は、図 7-9 に示すように、nSCS ピンのためにコントローラ側で「n」個の I/O リソースを利用する必要があります。これに対して、デイジー チェーン構成を使用する場合は、単一の nSCS ラインを使って複数のデバイスを接続できます。図 7-10

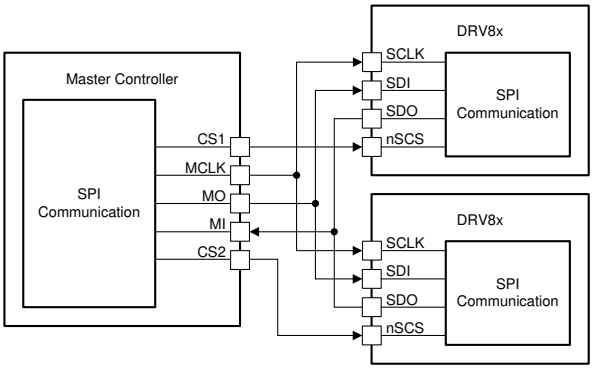


図 7-9. デイジー チェーンを使わない SPI 動作

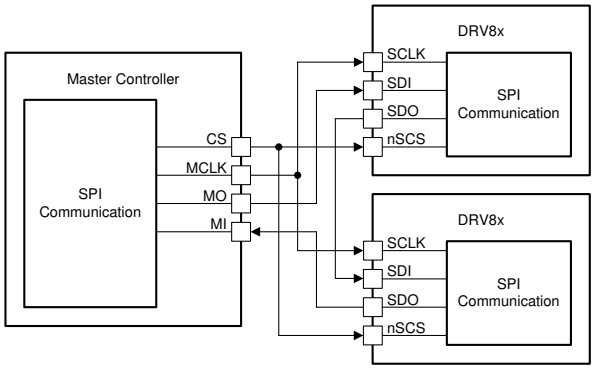


図 7-10. デイジー チェーンを使った SPI 動作

Copyright © 2026 Texas Instruments Incorporated

7.4.3.1 複数のペリフェラルに対するデイジー チェーン フレーム

複数のデバイスが同じ MCU と通信する場合に、デバイスをデイジー チェーン構成で接続することで GPIO ポートを節約できます。図 7-11 は、そのトポロジと波形を示しています。ここで、デイジー チェーン接続されているペリフェラル「n」の数は 3 になっています。この方法で最大 63 個のデバイスを接続できます。

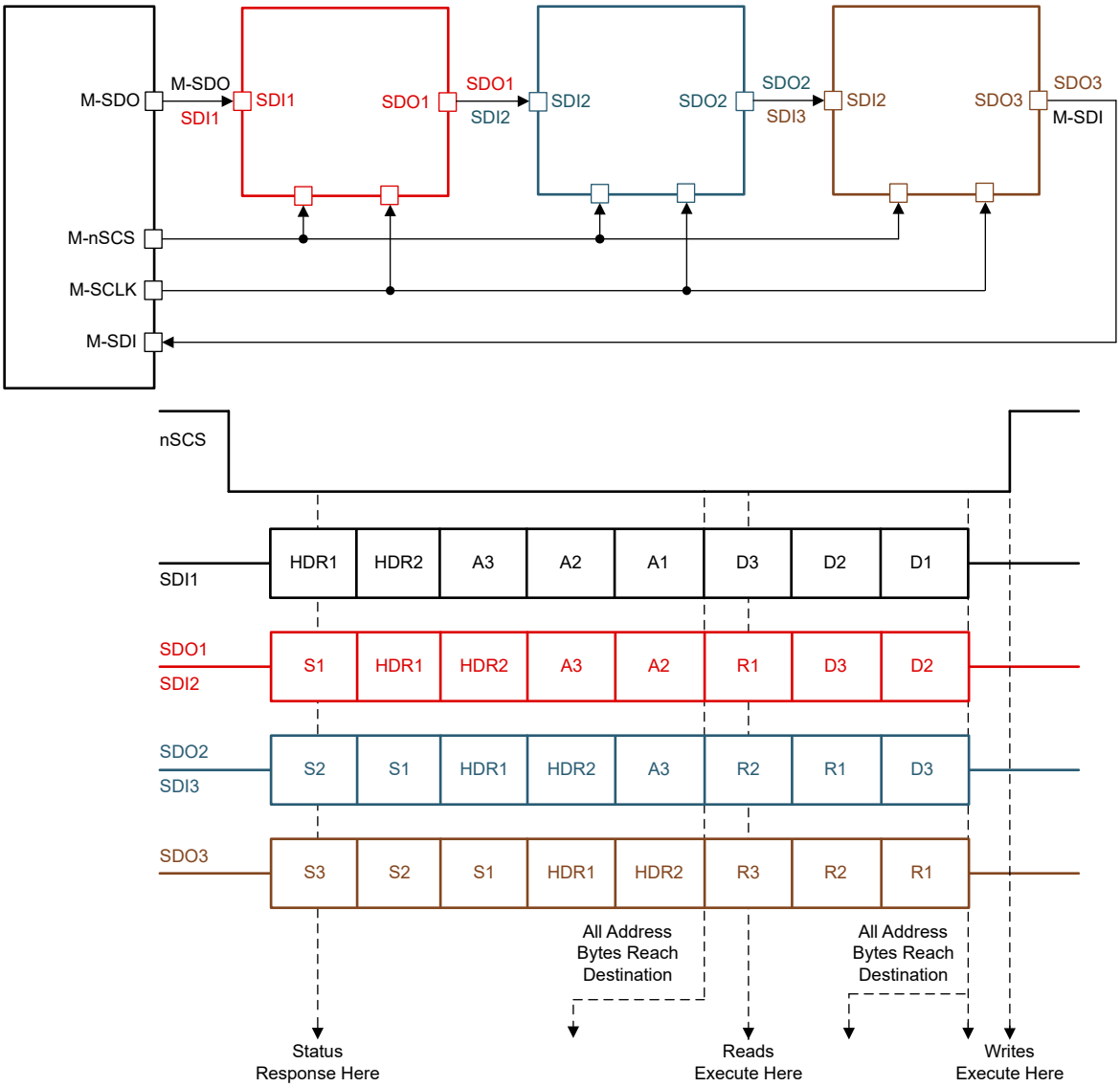


図 7-11. デイジー チェーン SPI 動作

この場合、コントローラから送信される SDI は次の形式です (図 7-11 の SDI1 を参照)。

- 2 バイトのヘッダ (HDR1、HDR2)
- チェーン内で最も遠いペリフェラルから始まる「n」バイトのコマンド バイト (この例では A3、A2、A1)
- チェーン内で最も遠いペリフェラルから始まる「n」バイトのデータ バイト (この例では D3、D2、D1)
- 合計 2 x「n」+ 2 バイト

データがチェーンを通って送信されると、コントローラはデータを次の形式で受信 します (図 7-11 の SDO3 を参照)。

- チェーン内で最も遠いペリフェラルから始まる 3 バイトのステータス バイト (この例では S3、S2、S1)
- 前に送信される 2 バイトのヘッダ (HDR1、HDR2)

Copyright © 2026 Texas Instruments Incorporated

- チェーン内の最も遠いペリフェラルから始まる 3 バイトのレポート バイト (この例では R3、R2、R1)

ヘッダ バイトは、デイジー チェーン SPI 通信の開始時にアサートされる特別なバイトです。**ヘッダ バイトは、先頭の 2 ビットが 1 と 0 で始まる必要があります。**

最初のヘッダ バイト (HDR1) には、デイジー チェーン内のペリフェラル デバイスの総数に関する情報が含まれます。N5～N0 は、図 7-12 のようにチェーン内のデバイスの数を示す 6 ビットの値です。各デイジー チェーン接続に、最大 63 個のデバイスを直列に接続できます。ペリフェラルの数 = 0 は許容されず、SPI_ERR フラグが立てられます。

2 番目のヘッダ バイト (HDR2) には、グローバルな CLR FAULT コマンドが含まれており、チップ セレクト (nSCS) 信号の立ち上がりエッジですべてのデバイスのフォルト レジスタをクリアします。HDR2 レジスタの後続 5 ビットは、SPARE (予備) となっています (冗長ビット)。これらのデータは、MCU でデイジー チェーン接続の整合性を判定するために使用できます。

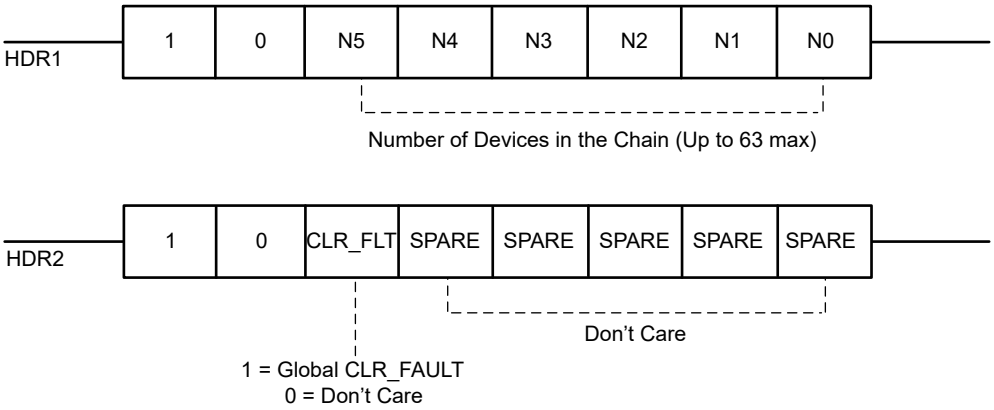


図 7-12. ヘッダ バイト

さらに、このデバイスは、先頭の 2 ビットが 1 と 1 で始まるバイトを「パス」バイトとして認識します。「パス」バイトはデバイスによって処理されませんが、「パス」バイトは単に SDO 上で次のバイトとして送信されます。

データがデバイスを通過する際、データは最初のヘッダ バイトの前にデバイスが受信したステータス バイトの数を数えることで、チェーン内のデータの位置を判断します。たとえば、この 3 デバイス構成でチェーン内のデバイス 2 は、2 つのヘッダ バイトを受信する前に、2 つのステータス バイトを受信します。

ステータス バイトが 2 つなので、チェーン内の位置が 2 番目であることがわかります。また、HDR1 バイトから、チェーン内に接続されているデバイスの数がわかります。このようにして、そのデバイスに対応するアドレスおよびデータ バイトのみをバッファに読み込み、その他のビットは無視してバイパスします。このプロトコルは、チェーン接続した最大 63 台のデバイスのシステムにレイテンシを生じさせずに、より高速な通信を可能にします。

コマンド、データ、ステータス、およびレポート バイト は、「標準フレーム形式」で説明されているものと同じです。

Copyright © 2026 Texas Instruments Incorporated

8 レジスタ マップ - SPI バリアントのみ

このセクションでは、デバイス内にある、ユーザーが構成可能なレジスタについて説明します。

注

デバイスで SPI 通信が利用可能なときには、いつでもレジスタへの書き込みが可能ですが、負荷が駆動されている間にアクティブ状態でレジスタを更新する際には注意が必要です。これは、重要なデバイス構成を制御する S_MODE および S_DIAG などの設定で特に重要です。レジスタへの意図しない書き込みを防止するため、このデバイスは、COMMAND レジスタの REG_LOCK ビットによるロック メカニズムを備えており、設定可能なすべてのレジスタの内容をロックできます。ベスト プラクティスとしては、初期化の際にすべての構成可能なレジスタに書き込み、次にこれらの設定をロックすることです。出力制御用のランタイム レジスタ書き込みは、SPI_IN レジスタによって処理されます。このレジスタは、SPI_IN_LOCK ビットによる専用の個別ロック メカニズムを備えています。

Copyright © 2026 Texas Instruments Incorporated

8.1 ユーザー レジスタ

次の表に、ユーザーがアクセスできるすべてのレジスタを示します。この表に記載されていないレジスタのアドレスは、すべて「予約済み」と見なされ、この空間へのアクセスはブロックされます。

表 8-1. ユーザー レジスタ

名称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	タイプ(2)	アドレス
DEVICE_ID	DEV_ID[5]	DEV_ID[4]	DEV_ID[3]	DEV_ID[2]	DEV_ID[1]	DEV_ID[0]	REV_ID[1]	REV_ID[0]	R	00h
FAULT_SUMMARY	SPI_ERR(3)	POR	フォルト	VMOV	VMUV	OCP	TSD	OLA (3)	R	01h
STATUS1	OLA1	OLA2	ITRIP_CMP	アクティブ	OCP_H1	OCP_L1	OCP_H2	OCP_L2	R	02h
STATUS2	DRVOFF_STAT	N/A(4)	N/A(4)	アクティブ	N/A(4)	N/A(4)	N/A(4)	OLP_CMP	R	03h
COMMAND	CLR_FLT	N/A(4)	N/A(4)	SPI_IN_LOCK[1]	SPI_IN_LOCK[0] (1)	N/A(4)	REG_LOCK[1]	REG_LOCK[0] (1)	R/W	08h
SPI_IN	N/A(4)	N/A(4)	N/A(4)	N/A(4)	S_DRVOFF (1)	S_DRVOFF2 (1)	S_EN_IN1	S_PH_IN2	R/W	09h
CONFIG1	EN_OLA	VMOV_SEL[1]	VMOV_SEL[0]	SSC_DIS(1)	OCP_RETRY	TSD_RETRY	VMOV_RETRY	OLA_RETRY	R/W	0Ah
CONFIG2	PWM_EXTEND	S_DIAG[1]	S_DIAG[0]	N/A(4)	N/A(4)	S_ITRIP[2]	S_ITRIP[1]	S_ITRIP[0]	R/W	0Bh
CONFIG3	TOFF[1]	TOFF[0] (1)	N/A(4)	S_SR[2]	S_SR[1]	S_SR[0]	S_MODE[1]	S_MODE[0]	R/W	0Ch
CONFIG4	TOCP_SEL[1]	TOCP_SEL[0]	N/A(4)	OCP_SEL[1]	OCP_SEL[0]	DRVOFF_SEL(1)	EN_IN1_SEL	PH_IN2_SEL	R/W	0Dh

(1) リセット時、デフォルトで 1b に設定。その他はリセット時、デフォルトで 0b に設定。
(2) R = 読み取り専用、R/W = 読み取り / 書き込み
(3) OLA は、すべての SPI フレームについて、SDO 応答の最初のバイトでは、SPI_ERR に置き換えられています。SDO - 標準フレーム フォーマットを参照してください。
(4) N/A = 利用不可 (このビットを読み取ると 0b になります)

Copyright © 2026 Texas Instruments Incorporated

8.1.1 DEVICE_ID レジスタ (アドレス = 00h)

ユーザー レジスタ表に戻ります。

デバイス	DEVICE_ID の値
DRV8243S-Q1	32h
DRV8244S-Q1	42h
DRV8245S-Q1	52h
DRV8243P-Q1	36h
DRV8244P-Q1	46h
DRV8245P-Q1	56h

8.1.2 FAULT_SUMMARY レジスタ (アドレス = 01h) [リセット = 40h]

ユーザー レジスタ表に戻ります。

ビット	フィールド	タイプ	リセット	説明
7	SPI_ERR	R	0b	1b は前の SPI フレームで SPI 通信フォルトが発生したことを示します。
6	POR	R	1b	1b は、パワーオンリセットが検出されたことを示します。
5	フォルト	R	0b	SPI-ERR、POR、VMOV、VMUV、OCP、TSD、OLA のロジック OR
4	VMOV	R	0b	1b は、VM 過電圧が検出されたことを示します。スレッショルドを変更するか、または診断をディセーブルにするには、VMOV_SEL を、フォルト応答を設定するには、VMOV_RETRY を参照してください。
3	VMUV	R	0b	1b は、VM 低電圧が検出されたことを示します。
2	OCP	R	0b	1b は、1 つまたは複数のパワー FET で過電流が検出されたことを示します。スレッショルドおよびフィルタ時間を変更するには、OCP_SEL、TOCP_SEL を参照してください。フォルト応答を設定するには、OCP_RETRY を参照してください。
1	TSD	R	0b	1b は過熱が検出されたことを示します。フォルト応答を設定するには、TSD_RETRY を参照してください。
0	OLA	R	0b	1b は、アクティブ状態のときに開放負荷状態が検出されたことを示します。診断をディセーブルにするには EN_OLA を、フォルト応答を設定するには OLA_RETRY を参照してください。

8.1.3 STATUS1 レジスタ (アドレス = 02h) [リセット = 00h]

ユーザー レジスタ表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

ビット	フィールド	タイプ	リセット	説明
7	OLA1	R	0b	1b は、アクティブ状態のときに OUT1 で開放負荷状態が検出されたことを示します
6	OLA2	R	0b	1b は、アクティブ状態のときに OUT2 で開放負荷状態が検出されたことを示します
5	ITRIP_CMP	R	0b	1b は、負荷電流が ITRIP レギュレーション レベルに達したことを示します。
4	アクティブ	R	0b	1b は、デバイスがアクティブ状態であることを示します
3	OCP_H1	R	0b	1b は、OUT1 のハイサイド FET で過電流 (GND への短絡) が検出されたことを示します
2	OCP_L1	R	0b	1b は、OUT1 のローサイド FET で過電流 (VM への短絡) が検出されたことを示します
1	OCP_H2	R	0b	1b は、OUT2 のハイサイド FET で過電流 (GND への短絡) が検出されたことを示します
0	OCP_L2	R	0b	1b は、OUT2 のローサイド FET で過電流 (VM への短絡) が検出されたことを示します

8.1.4 STATUS2 レジスタ (アドレス = 03h) [リセット = 80h]

ユーザー レジスタ表に戻ります。

ビット	フィールド	タイプ	リセット	説明
7	DRVOFF_STAT	R	1b	このビットは、DRVOFF ピンの状態を示します。1b は、ピンの状態が High であることを意味します。
6、5	該当なし	R	0b	該当なし
4	アクティブ	R	0b	1b は、デバイスがアクティブ状態であることを示します (STATUS1 のビット 4 のコピー)
3、2、1	該当なし	R	0b	該当なし
0	OLP_CMP	R	0b	このビットは、オフ状態診断 (OLP) コンパレータの出力です。

8.1.5 COMMAND レジスタ (アドレス = 08h) [リセット = 09h]

ユーザー レジスタ表に戻ります。

ビット	フィールド	タイプ	リセット	説明
7	CLR_FLT	R/W	0b	クリア フォルト コマンド - 1b を書き込むと、フォルト レジスタで報告されたすべてのフォルトがクリアされ、nFAULT ピンがアサート解除されます
6-5	該当なし	R	0b	該当なし
4-3	SPI_IN_LOCK	R/W	01b	10b を書き込むと、SPI_IN レジスタの**ロックを解除**します 01b または 00b または 11b を書き込むと、SPI_IN レジスタを**ロック**します SPI_IN レジスタは、デフォルトで**ロック**されています。
2	該当なし	R	0b	該当なし

Copyright © 2026 Texas Instruments Incorporated

ビット	フィールド	タイプ	リセット	説明
1-0	REG_LOCK	R/W	01b	10b を書き込むと、CONFIG レジスタを**ロック**します 01b または 00b または 11b を書き込むと、CONFIG レジスタを**ロック解除**します CONFIG レジスタは、デフォルトで**ロック解除**されています。

8.1.6 SPI_IN レジスタ (アドレス = 09h) [リセット = 0Ch]

ユーザー レジスタ表に戻ります。

ビット	フィールド	タイプ	リセット	説明
7-4	該当なし	R	0b	該当なし
3	S_DRVOFF	R/W	1b	SPI_IN がロックされていない場合、DRVOFF ピンと等価なレジスタ ビットです。レジスタ ピン制御セクションを参照してください。独立モードでは、このビットはハーフブリッジ 1 をシャットオフします。
2	S_DRVOFF2	R/W	1b	SPI_IN がロックされていない場合に、独立モードでハーフブリッジ 2 をシャットオフするためのレジスタ ビットです。レジスタ ピン制御セクションを参照してください。
1	S_EN_IN1	R/W	0b	SPI_IN がロックされていない場合、EN/IN1 ピンと等価なレジスタ ビットです。レジスタ ピン制御セクションを参照してください。
0	S_PH_IN2	R/W	0b	SPI_IN がロックされていない場合、PH/IN2 ピンと等価なレジスタ ビットです。レジスタ ピン制御セクションを参照してください。

8.1.7 CONFIG1 レジスタ (アドレス = 0Ah) [リセット = 10h]

ユーザー レジスタ表に戻ります。

ビット	フィールド	タイプ	リセット	説明
7	EN_OLA	R/W	0b	1b を書き込むと、アクティブ状態で開放負荷検出をイネーブルにします。独立モードでは、ローサイド負荷に対して OLA は常にディセーブルになっています。「DIAG」セクションを参照してください。
6-5	VMOV_SEL	R/W	0b	VM 過電圧診断のスレッショルドを決定します 00b = VM > 35V 01b = VM > 28V 10b = VM > 18V 11b = VMOV ディセーブル
4	SSC_DIS	R/W	1b	0b:スペクトラム拡散クロック機能をイネーブルにします
3	OCP_RETRY	R/W	0b	1b を書き込むと、過電流検出の設定を再試行するようにフォルト応答を構成します。それ以外の場合、フォルト応答はラッチされます。

Copyright © 2026 Texas Instruments Incorporated

ビット	フィールド	タイプ	リセット	説明
2	TSD_RETRY	R/W	0b	1b を書き込むと、過熱検出の設定を再試行するようにフォルト応答を構成します。それ以外の場合、フォルト応答はラッチされます。
1	VMOV_RETRY	R/W	0b	1b を書き込むと、VMOV 検出の設定を再試行するようにフォルト応答を構成します。それ以外の場合、フォルト応答はラッチされます。 **注** SPI (P) バリアントの場合、このビットは VM 低電圧検出のフォルト応答も制御します。
0	OLA_RETRY	R/W	0b	1b を書き込むと、アクティブ状態での開放負荷検出の設定を再試行するようにフォルト応答を構成します。それ以外の場合、フォルト応答はラッチされます。

8.1.8 CONFIG2 レジスタ (アドレス = 0Bh) [リセット = 00h]

ユーザー レジスタ表に戻ります。

ビット	フィールド	タイプ	リセット	説明
7	PWM_EXTEND	R/W	0b	1b を書き込むと、PWM モードで追加のハイ インピーダンス (コースト) 状態を利用できます。PWM 拡張表を参照
6-5	S_DIAG	R/W	0b	負荷タイプ表示 - DIAG 表を参照
4-3	該当なし	R	0b	該当なし
2-0	S_ITRIP	R/W	0b	ITRIP レベル設定 - ITRIP 表を参照

8.1.9 CONFIG3 レジスタ (アドレス = 0Ch) [リセット = 40h]

ユーザー レジスタ表に戻ります。

ビット	フィールド	タイプ	リセット	説明
7-6	TOFF	R/W	1b	ITRIP 電流レギュレーションで使用する TOFF 時間 00b = 20µsec 01b = 30µsec 10b = 40µsec 11b = 50µsec
5	該当なし	R	0b	該当なし
4-2	S_SR	R/W	0b	スルー レート構成 - セクション 7.3.3.1 を参照

Copyright © 2026 Texas Instruments Incorporated

ビット	フィールド	タイプ	リセット	説明
1-0	S_MODE	R/W	0b	デバイス モード構成 - モード表を参照

8.1.10 CONFIG4 レジスタ (アドレス = 0Dh) [リセット = 04h]

ユーザー レジスタ表に戻ります。

ビット	フィールド	タイプ	リセット	説明
7-6	TOCP_SEL	R/W	0b	過電流検出に対するフィルタ時間の設定 00b = 6µsec 01b = 3µsec 10b = 1.5µsec 11b = 最小 (約 0.2µsec)
5	該当なし	R	0b	該当なし
4-3	OCP_SEL	R/W	0b	過電流検出に対するスレッショルドの設定 00b = 100% 設定 01b、11b = 50% 設定 10b = 75% 設定
2	DRVOFF_SEL	R/W	1b	DRVOFF ピン - レジスタ ロジックの組み合わせ (SPI_IN がロックされていない場合) 0b = OR 1b = AND
1	EN_IN1_SEL	R/W	0b	EN/IN1 ピン - レジスタ ロジックの組み合わせ (SPI_IN2 がロックされていない場合) 0b = OR 1b = AND
0	PH_IN2_SEL	R/W	0b	PH/IN2 ピン - レジスタ ロジックの組み合わせ (SPI_IN2 がロックされていない場合) 0b = OR 1b = AND

Copyright © 2026 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

DRV824x-Q1 ファミリは、ハーフブリッジまたは H ブリッジ電力段構成を必要とする各種用途に使用できます。一般的なアプリケーション例としては、ブラシ付き DC モーター、ソレノイド、アクチュエータなどがあります。また、LED 、抵抗素子、リレーなど多くの一般的な受動負荷の駆動にも利用できます。以下のアプリケーション例では、H ブリッジ・ドライバを必要とする双方向電流制御アプリケーションや、2 つのハーフブリッジ・ドライバを必要とするデュアル単方向電流制御アプリケーションで本デバイスを使用する方法を紹介します。

9.1.1 負荷の概要

表 9-1 に、各種の誘導性負荷に対するデバイス機能のユーティリティを示します。

表 9-1. 負荷の概要表

負荷タイプ	構成		デバイスの機能		
	デバイス	還流パス	スルー レート	電流センス	ITRIP レギュレーション
双方向モーターまたはソレノイド (1)	PH/EN または PWM モードの DRV824x	ハイサイド	フルレンジ	連続	役に立つ
2 つの単方向モーターまたはローサイド ソレノイド (片側は GND に接続)	独立モードの DRV824x (2)	ローサイド	制限あり(4)	不連続(3)	個別の負荷レギュレーションは不可能
2 つのハイサイド ソレノイド (片側は VM に接続)	独立モードの DRV824x (2)	ハイサイド	フルレンジ	利用不可、外部レゾリューションが必要	

(1) ソレノイド - クランプまたはクイック消磁が可能、クランプレベルは VM に依存
(2) 個別の Hi-Z は SPI バリアントでのみサポート
(3) 還流中および OUTx 電圧のスルー時間中 (t_{blank} を含む) には検出しない
(4) 立ち上がりエッジのスルーレートはより高い設定値であっても 8V/µsec が上限

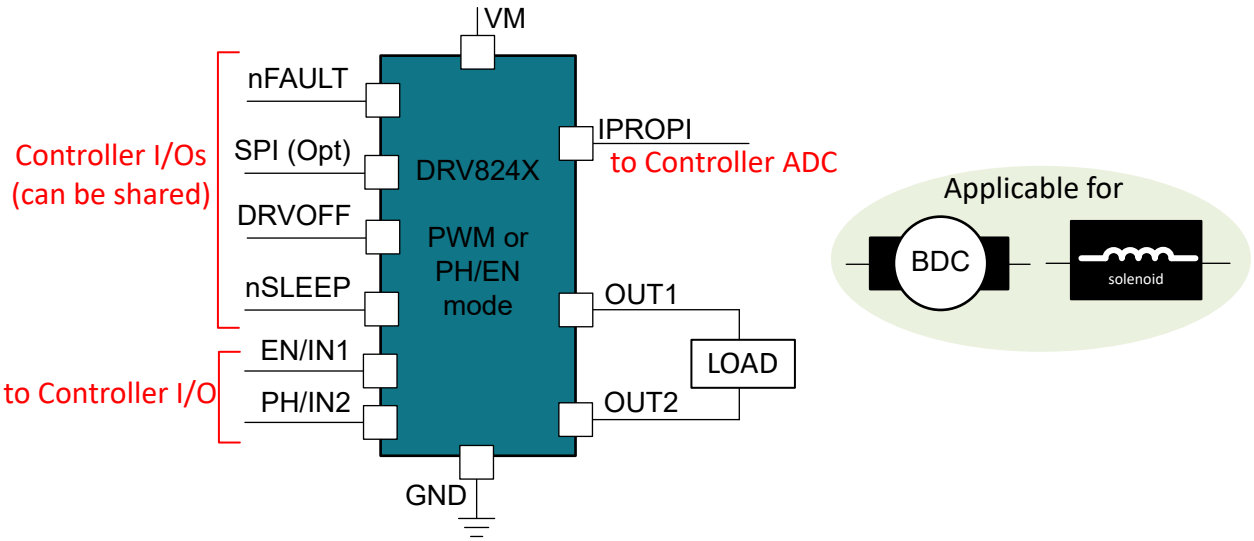


図 9-1. PWM または PH/EN モードの DRV824X-Q1 によるフルブリッジ トポロジの説明図

Copyright © 2026 Texas Instruments Incorporated

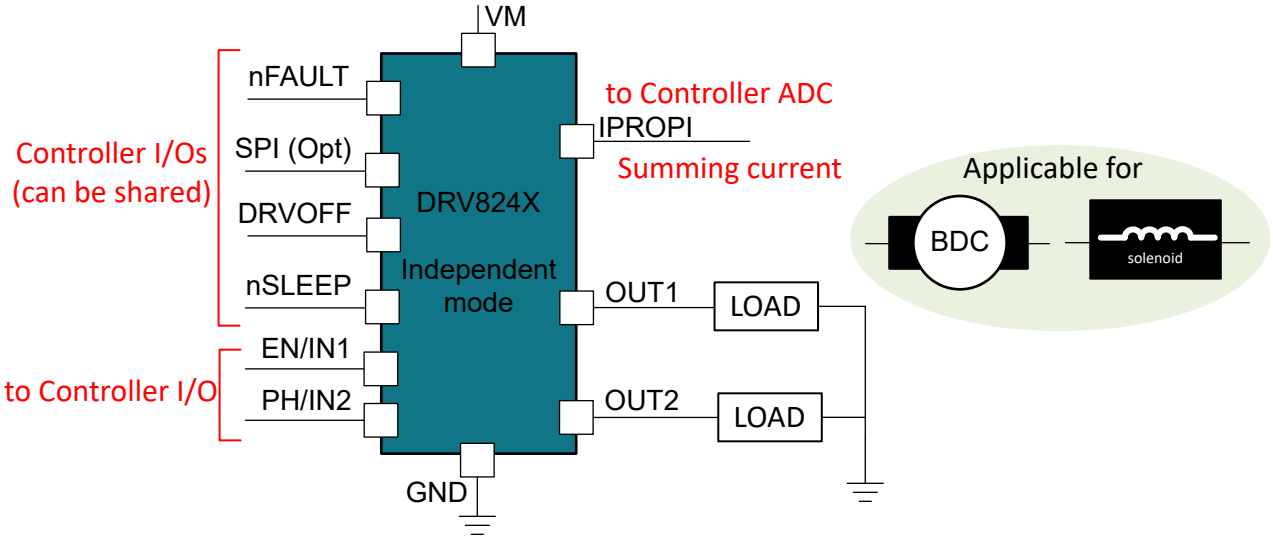


図 9-2. 独立モードの DRV824X-Q1 デバイスで 2 つのローサイド負荷を個別に駆動するハーフ ブリッジ トポロジの説明図

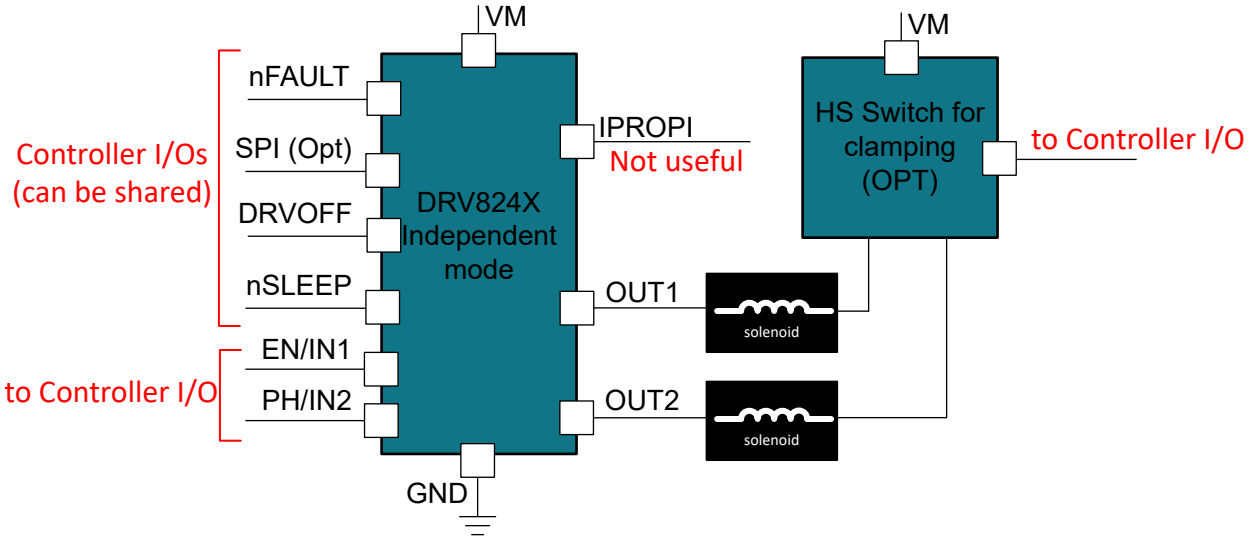


図 9-3. 独立モードの DRV824X-Q1 デバイスで 2 つのハイサイド負荷を個別に駆動するハーフ ブリッジ トポロジの説明図

9.2 代表的なアプリケーション

以下の図は、ブラシ付き DC モーターまたは何らかの誘導性負荷をさまざまなモードで駆動するための代表的なアプリケーション回路図を示しています。これらの回路図にはいくつかの選択可能な接続があります。それぞれを以下に示します。

- nSLEEP ピン
  - SPI (S) バリアント - スリープ機能が必要ないアプリケーションでは、このピンを High に接続できます。
  - SPI (P) バリアント - 該当なし
  - HW (H) バリアント - スリープ機能が必要ない場合であっても、ピン制御は **必須** です。コントローラは、ウェークアップ時にリセット パルス (標準値:30µsec、t_{reset} 最大値と t_{sleep} 最小値の間に限定) を発行し、ウェークアップまたはパワーアップをアクノリッジする必要があります。
- DRVOFF ピン

  - SPI (P) および SPI (S) バリアント両方 - ピン 機能でシャットオフする必要がないアプリケーションでは、このピンは Low に接続できます。これと等価なレジスタ ビットを使用できます。
- EN/IN1 ピン
  - SPI (P) および SPI (S) バリアント - レジスタのみでの制御が必要な場合、このピンを Low に接続するか、またはフローティングのままにできます。
- PH/IN2 ピン
  - SPI (P) および SPI (S) バリアント - レジスタのみでの制御が必要な場合、このピンを Low に接続するか、またはフローティングのままにできます。
- OUT1 & OUT2 ピン
  - EMC の目的で、OUTx と GND の間、および OUTx 相互間の負荷付近に、コンデンサのための PCB フットプリントを追加することを推奨します。
- IPROPI ピン
  - すべてのバリアント - この出力の監視は任意です。また、ITRIP 機能 & IPROPI 機能が不要な場合、IPROPI ピンを Low に接続できます。必要に応じて、小型コンデンサ (10nF～100nF) のための PCB フットプリントを追加することを推奨します。
- nFAULT ピン
  - SPI (P) および SPI (S) バリアント両方 - この出力の監視は任意です。すべての診断情報は、STATUS レジスタから読み取り可能です。
- SPI 入力ピン
  - SPI (P) および SPI (S) バリアント両方 - 入力 (SDI、nSCS、SCLK) は、3.3V / 5V レベル互換です。
- SPI SDO ピン
  - SPI (S) バリアント - SDO は nSLEEP ピン電圧に追従します。
  - SPI (P) バリアント - SDO は VDD ピン電圧に追従します。3.3V レベルのコントローラ入力と接続するには、レベル シフタまたは電流制限用の直列抵抗を推奨します。
- CONFIG ピン
  - HW (H) バリアント - GND への短絡およびハイ インピーダンス レベルを選択する場合、抵抗は不要です
    - MODE ピンの LVL1 および LVL3
    - SR、ITRIP、DIAG ピンの LVL1 および LVL6

9.2.1 HW バリアント

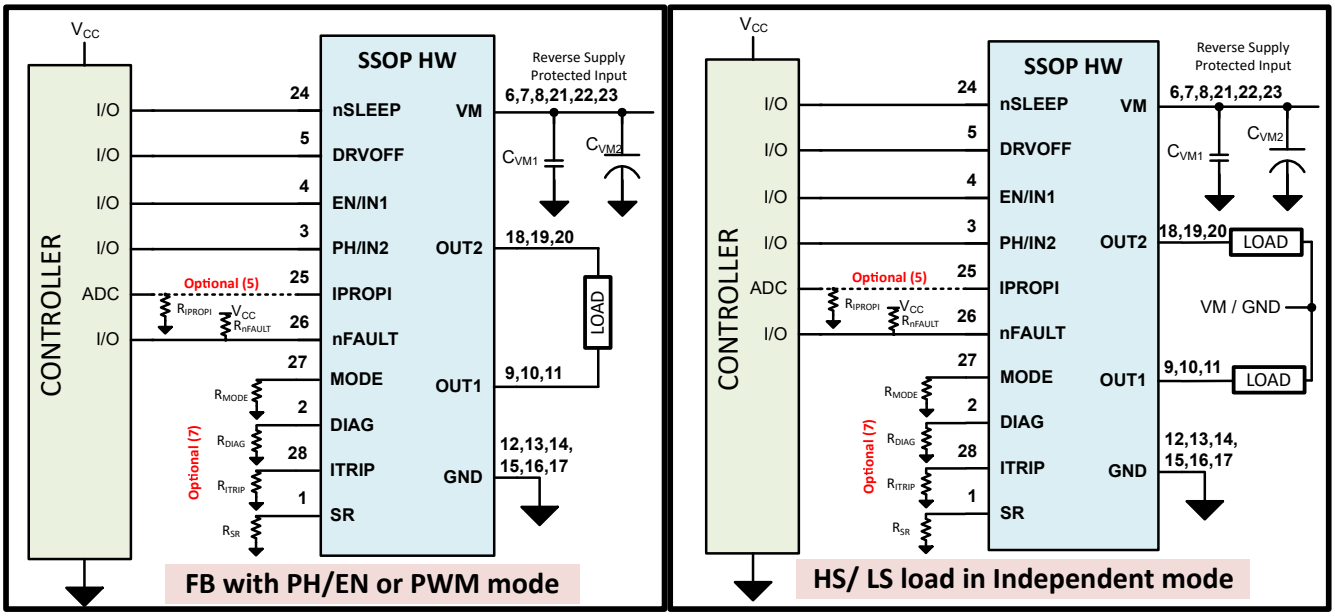


図 9-4. 代表的なアプリケーション回路図 - HVSSOP パッケージの HW バリアント

Copyright © 2026 Texas Instruments Incorporated

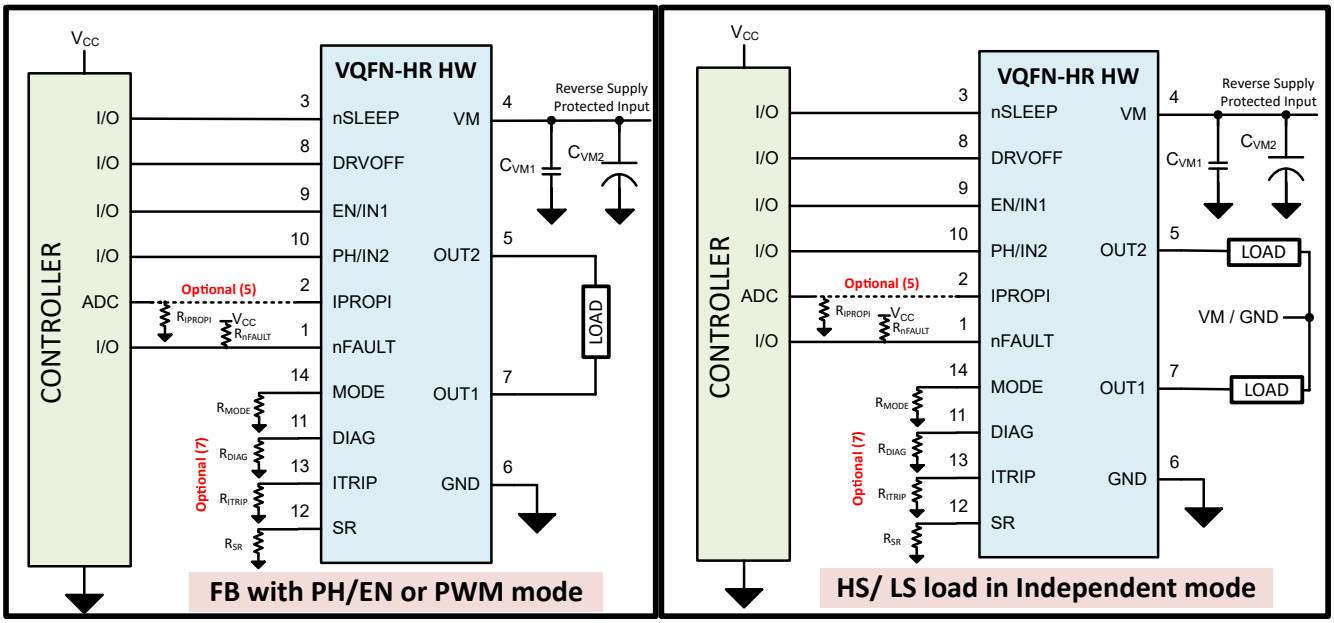


図 9-5. 代表的なアプリケーション回路図 - VQFN-HR パッケージの HW バリアント

9.2.2 SPI バリアント

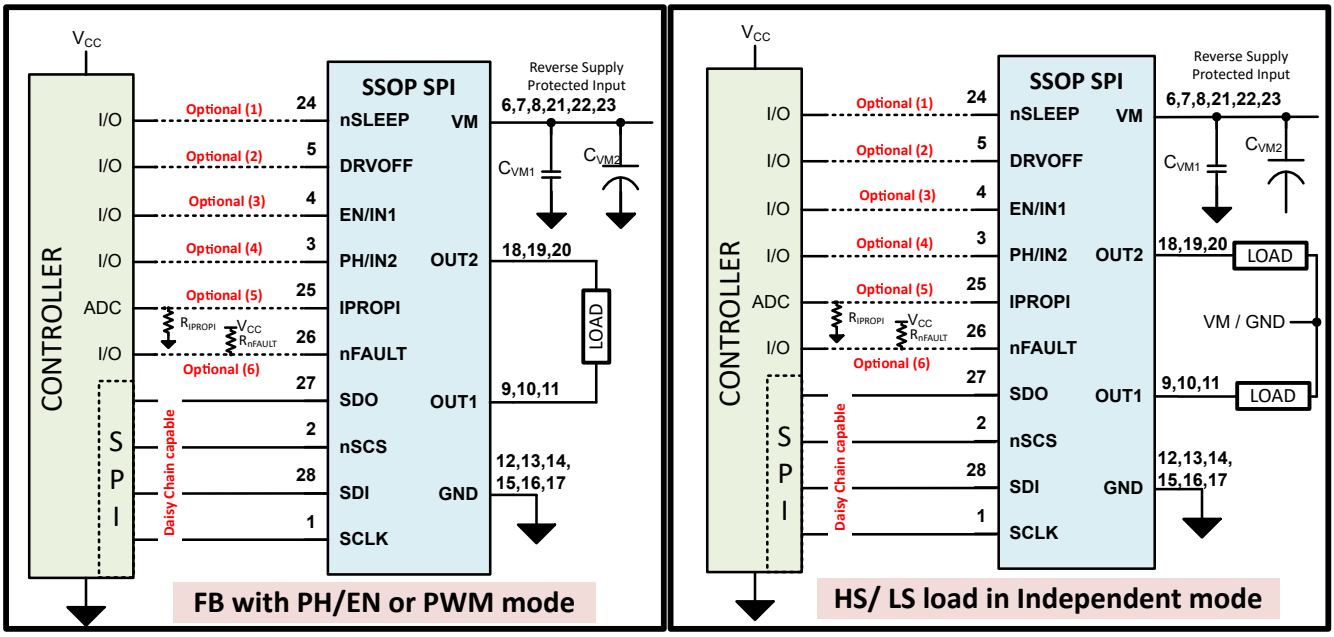


図 9-6. 代表的なアプリケーション回路図 - HVSSOP パッケージの SPI (S) バリアント

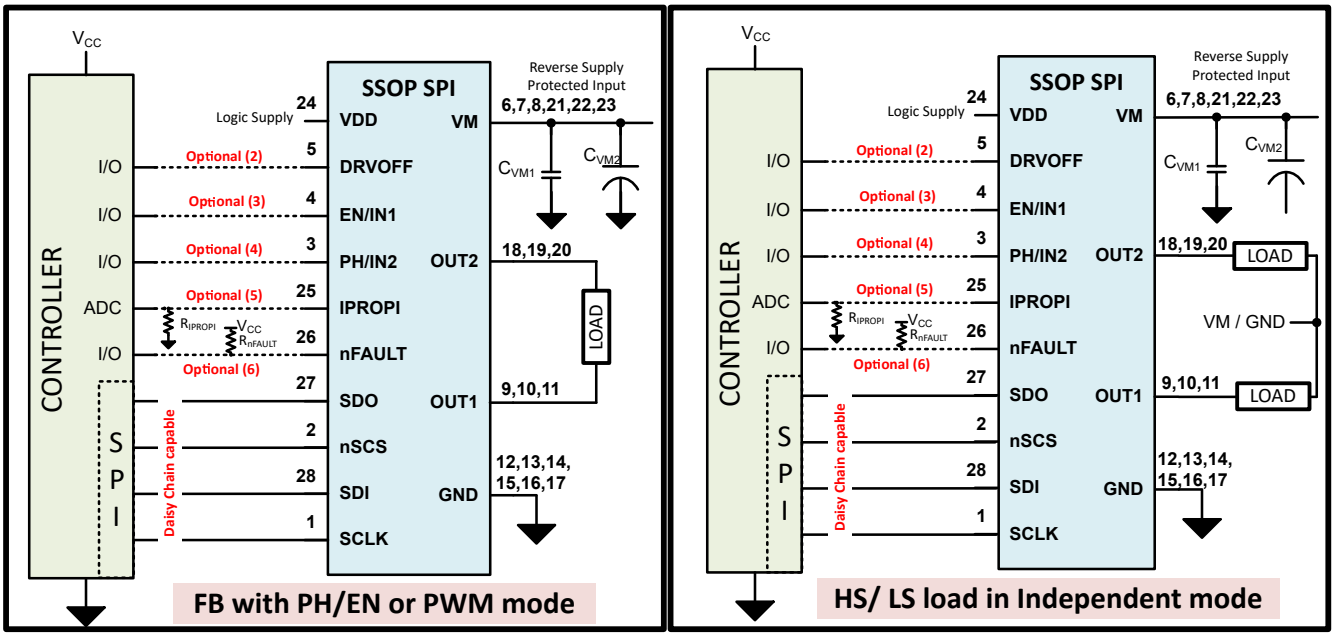


図 9-7. 代表的なアプリケーション回路図 - HVSSOP パッケージの SPI (P) バリアント

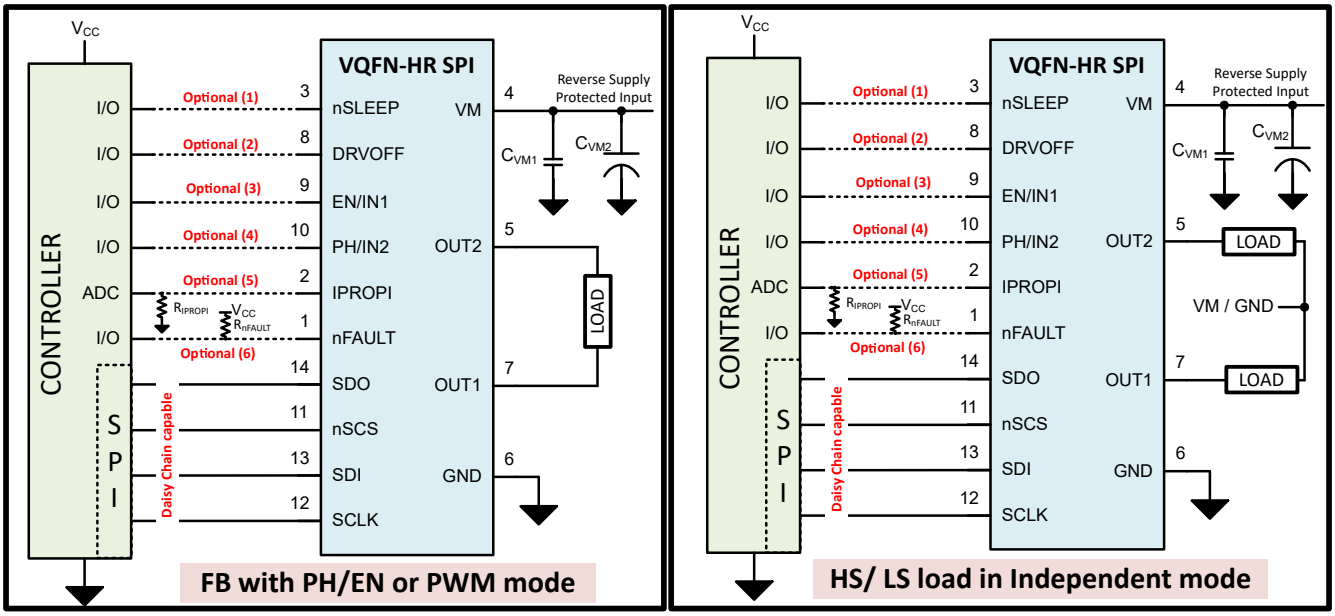


図 9-8. 代表的なアプリケーション回路図 - VQFN-HR パッケージの SPI (S) バリアント

9.3 電源に関する推奨事項

このデバイスは、4.5V～40V の入力電源電圧 (VM) 範囲で動作するように設計されています。VM 定格の 0.1µF セラミック コンデンサを デバイスのできるだけ近くに配置する必要があります。また、適切なサイズのバルク コンデンサを VM ピンに配置する必要があります。

9.3.1 バルク容量の決定

バルク容量のサイズ決定は、モーター駆動システムの設計において重要な要素です。バルク容量が大きいことは有益ですが、コストと物理的なサイズが大きくなるというデメリットもあります。

Copyright © 2026 Texas Instruments Incorporated

必要なローカル容量値は、次のようなさまざまな要因で決まります。

- モーター システムが必要とする最大電流
- 電源の容量、および電源の電流供給能力
- 電源とモーター システムの間の寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモーターの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)
- モータのブレーキ方式

電源とモーター駆動システムの間のインダクタンスにより、電源からの電流が変化する速度が制限されます。ローカル バルク容量が小さすぎると、モーターに大電流を供給しようとする場合、または負荷ダンプが発生した場合、システムの電圧が変動します。十分なバルク容量を使うことで、モーターの電圧は安定し、大電流を素早く供給できます。

データシートには推奨値が記載されていますが、バルク コンデンサの容量が適切かどうかを判断するには、システム レベルのテストが必要です。

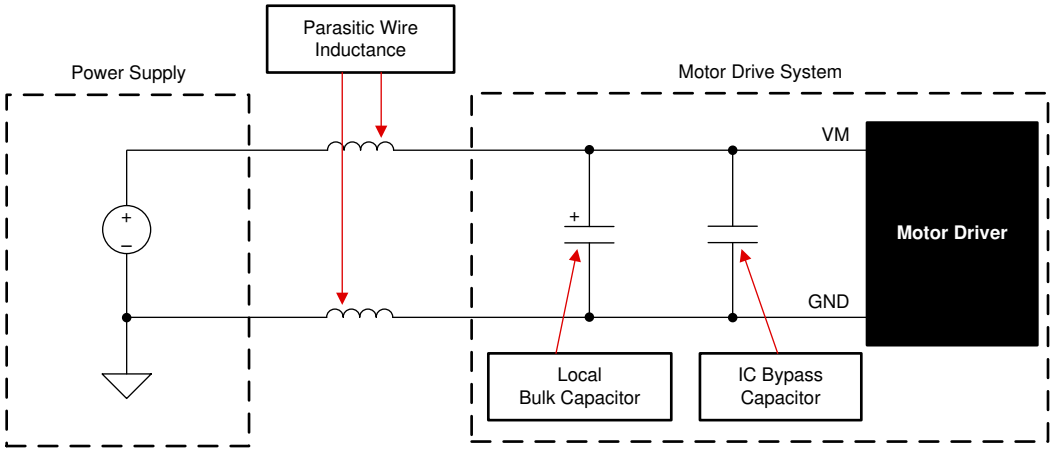


図 9-9. 外部電源を使用したモーター駆動システムの構成例

モータが電源にエネルギーを伝達する場合のマージンを確保するため、バルク コンデンサの定格電圧は動作電圧より高いです。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

低 ESR セラミック バイパス コンデンサ (VM に対応する定格電圧、推奨値 0.1µF) を使って、各 VM ピンをグランドにバイパスする必要があります。これらのコンデンサは VM ピンのできるだけ近くに配置し、太いパターンまたはグラウンド プレーンを介してデバイスの GND ピンへ接続することが推奨されます。

大電流パスをバイパスするために、追加のバルク コンデンサが必要です。このバルク容量は、バルク容量が高電流パスの長さを最小化するように配置されています。接続用の金属パターンはできる限り幅広くし、PCB の層間を多数のビアで接続します。これらの手法により、インダクタンスが最小限に抑えられ、バルク コンデンサが大電流を供給できるようになります。

SPI (P) デバイス バリアントでは、低 ESR セラミック 6.3V バイパス コンデンサ (推奨値 0.1µF) を使って、VDD ピンをグランドにバイパスすることもできます。

9.4.2 レイアウト例

次の図は、リード付きパッケージ デバイス用の 4cm x 4cm x 1.6mm、4 層 PCB のレイアウト例を示しています。4 層は、最上層および最下層に 2 オンスの銅箔、内層電源層に 1 オンスの銅箔を使用しており、サーマルビアはドリル径 0.3mm で 0.025mm の銅メッキ、最小ビアピッチ 1mm となっています。リードなしの VQFN-HR パッケージにも、同じレイアウトを採用できます。4cm x 4cm x 1.6mm に対する セクション 6.5.14 は、同様のレイアウトに基づいています。

Copyright © 2026 Texas Instruments Incorporated

注:このレイアウト例は、SSOP パッケージの DRV824xQ1 デバイスを使ったフル ブリッジ トポロジを示しています。

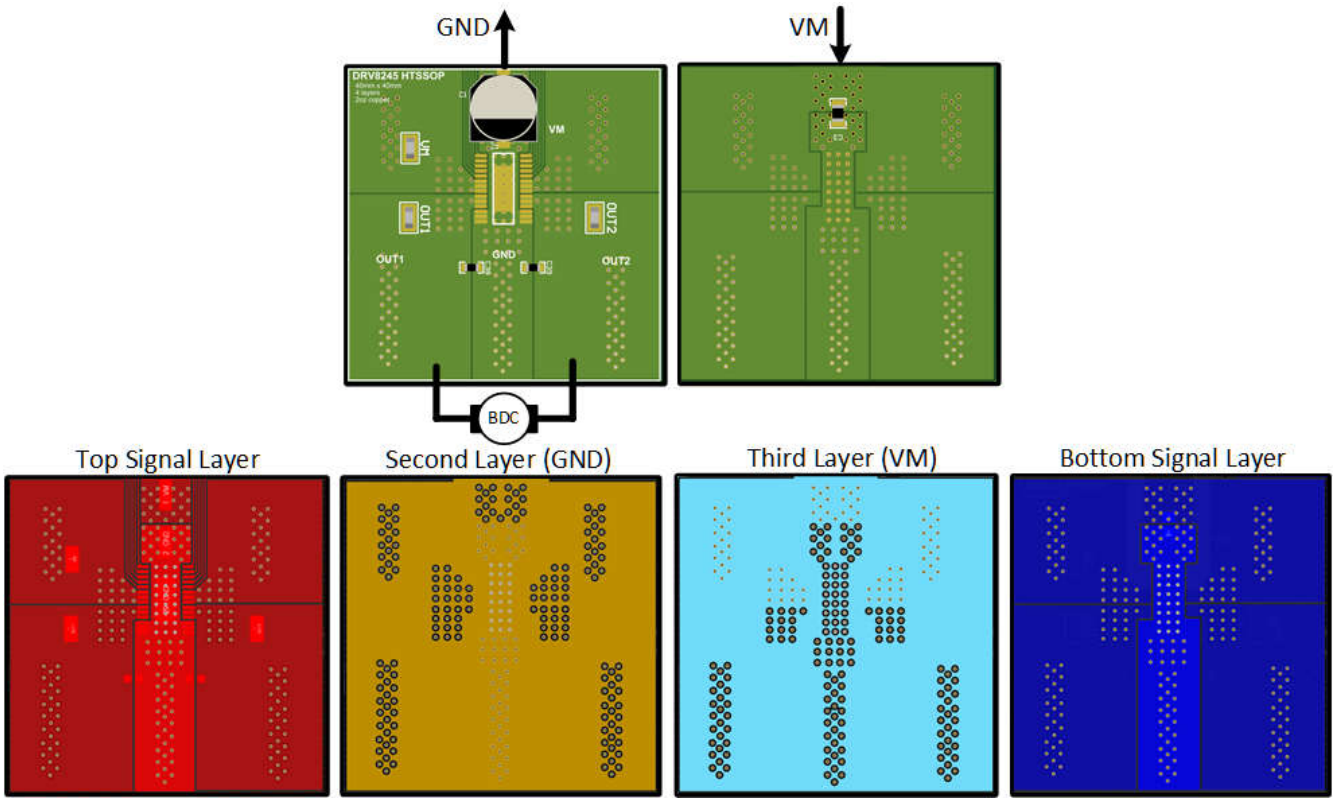


図 9-10. レイアウト例：4cm x 4cm x 1.6mm、4 層 PCB

Copyright © 2026 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『Full Bridge Driver Junction Temperature Estimator』(Excel ベースのワークシート) (英語)
- テキサス・インスツルメンツ、『モーター・ドライバ消費電力の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『Current Recirculation and Decay Modes』アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、『PowerPAD™ 入門』アプリケーション・レポート
- テキサス・インスツルメンツ、『熱特性強化型パッケージ PowerPAD™』アプリケーション・レポート
- テキサス・インスツルメンツ、『モーター・ドライバ電流定格の説明』アプリケーション・レポート
- テキサス・インスツルメンツ、『モータ・ドライバの基板レイアウトのベスト・プラクティス』アプリケーション・レポート

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。右上の「*アラートを受け取る*」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 コミュニティ・リソース

10.4 商標

すべての商標は、それぞれの所有者に帰属します。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (February 2026) to Revision E (July 2026)	Page
• tHI_nSCS の最小値を 600ns に更新	20
• nSLEEP パルスのすべての記述を CLR_FLT コマンドに置き換え	25
• OLA の機能説明の更新 - 駆動方向が反転したときの故障のクリアについての説明を追加	46
• この値は「電気的仕様」セクションに記載されていないため、「tPOR」を「1us」に置き換え。	48

Changes from Revision C (November 2022) to Revision D (February 2026)	Page
• 説明の訂正 - チェーン内のデバイス数の把握について HDR2 を HDR1 に訂正	51

Changes from Revision B (August 2022) to Revision C (November 2022)	Page
• ISO 7637 過渡時に VM ピンの絶対最大定格違反を許容する旨の脚注を追加	11
• 短絡保護に関する脚注の説明を改善	12
• EC 表 - HVSSOP パッケージのみ - A_{IPROPI} 精度を 5% から 6% に、A_{IPROPI} マッチングを 2% から 5% に低減	18
• 代表的特性 - リード付きパッケージの FET RON プロットを追加	29

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision A (January 2022) to Revision B (July 2022)	Page
• デバイス比較 - DRV8245HRXZQ1 および DRV8244SRYJQ1 の量産開始前情報、スルーレート、およびオフ状態診断機能の例外を削除	3
• PH/IN2 のピン名の誤字を訂正	11
• EC 表 - MODE ピンの $R_{LVL3of3}$ を最小 250kΩ に増加	14
• EC 表 - R_{ON} の標準値を更新	14
• 代表的特性 - FET RON プロットを訂正、A_{IPROPI} プロットを改善	29
• P バリアントのブロック図 - VDD ピンの誤字を訂正	32
• PWM モードの機能説明 - 量産開始前の情報を削除	36
• レジスタ - ピン制御の機能説明 - 量産開始前の情報を削除	38
• SR の機能説明 - 量産開始前と SR 表の重複を削除 (代わりに EC 表を参照)。	39
• ITRIP レギュレーションの機能説明 - 量産開始前の情報を削除、外部 DAC を使用した線形 ITRIP レベルに関する注を追加	40
• DIAG ピンの機能説明 (HW バリアントのみ) - LVL5 設定の動作を訂正	42
• OLA の機能説明の更新 - 駆動方向が反転したときのフォルト クリアについての説明を追加	46
• SDO フレーム - 量産開始前の情報を削除	49
• ユーザー レジスタ - 量産開始前の情報を削除	54
• 代表的なアプリケーション - EMC に関する推奨事項を追加	61

Changes from Revision * (November 2021) to Revision A (January 2022)	Page
• デバイスのステータスを混合生産に変更	1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

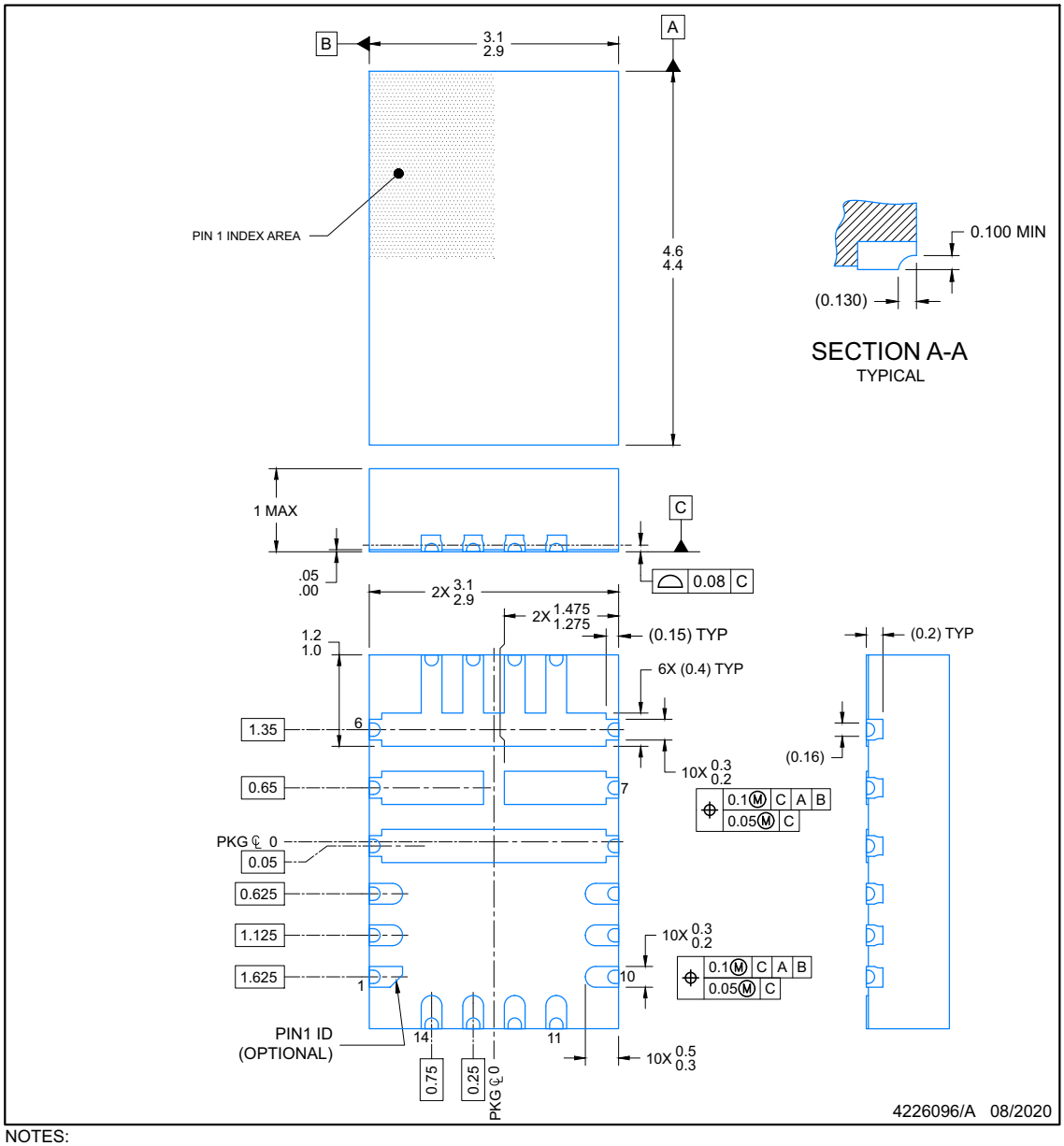
Copyright © 2026 Texas Instruments Incorporated

PACKAGE OUTLINE

RXY0014A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

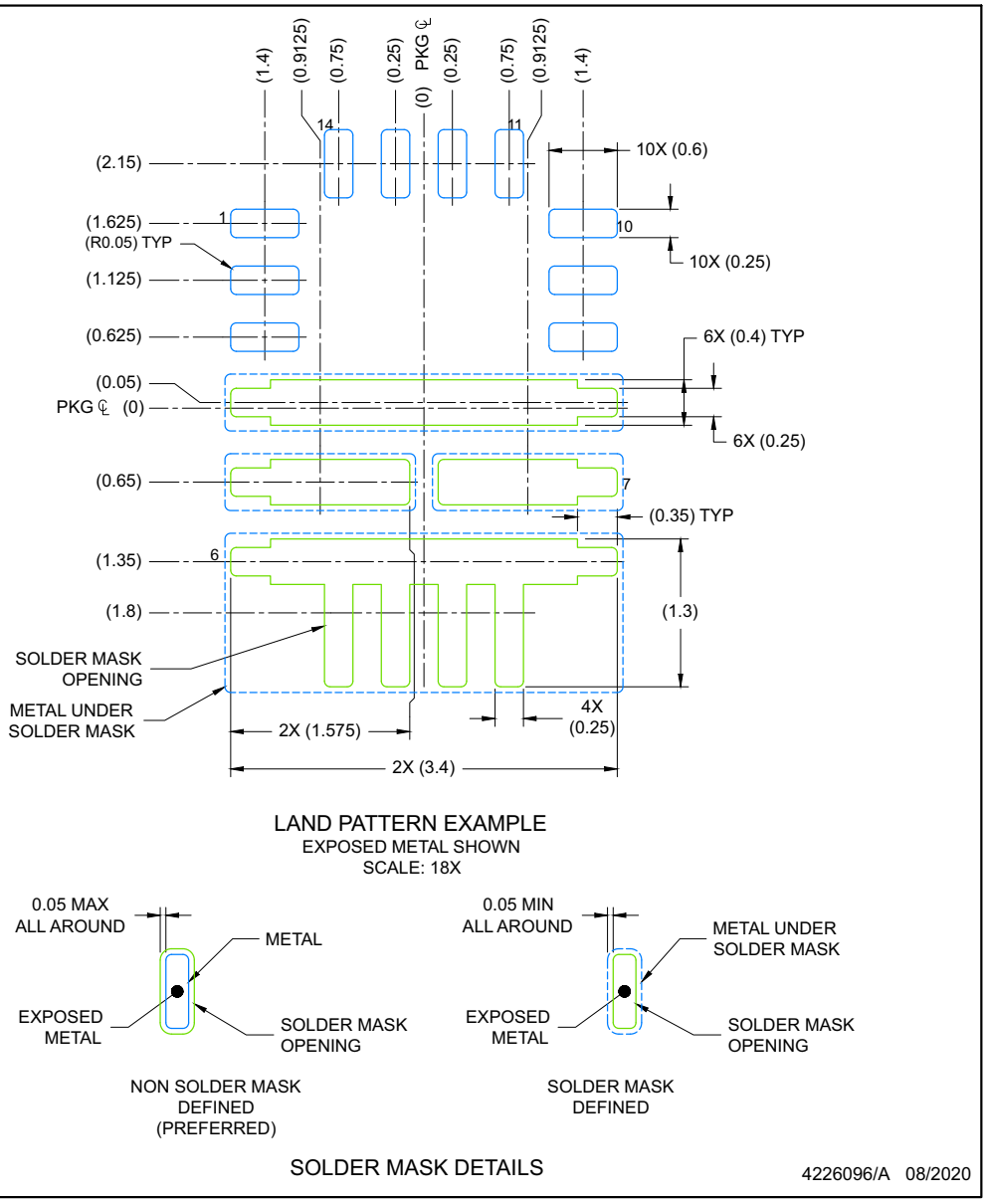
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

RXY0014A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



NOTES: (continued)

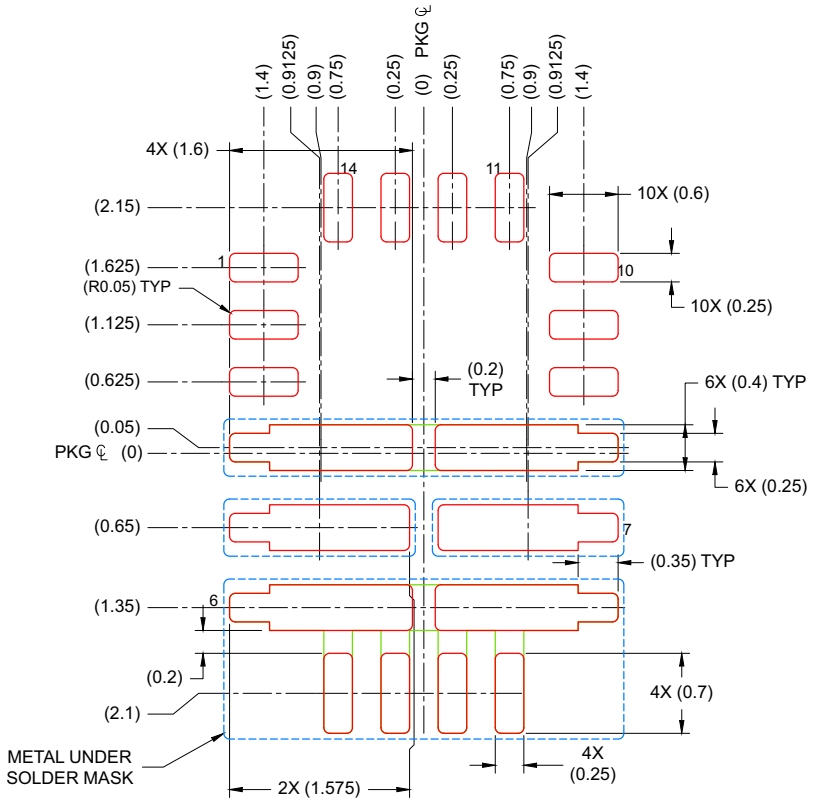
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271) .
4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RXY0014A — **VQFN-HR - 1 mm max height**

PLASTIC QUAD FLATPACK- NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 18X

4226096/A 08/2020

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

www.ti.com

図 12-1. RXY0014A：VQFN-HR (14) パッケージ図

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8243HQDGQRQ1	Active	Production	HVSSOP (DGQ) | 28	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8243H
DRV8243HQDGQRQ1.A	Active	Production	HVSSOP (DGQ) | 28	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8243H
DRV8243HQRXYRQ1	Active	Production	VQFN-HR (RXY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8243H
DRV8243HQRXYRQ1.A	Active	Production	VQFN-HR (RXY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8243H
DRV8243PQDGQRQ1	Active	Production	HVSSOP (DGQ) | 28	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8243P
DRV8243PQDGQRQ1.A	Active	Production	HVSSOP (DGQ) | 28	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8243P
DRV8243SQDGQRQ1	Active	Production	HVSSOP (DGQ) | 28	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8243S
DRV8243SQDGQRQ1.A	Active	Production	HVSSOP (DGQ) | 28	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8243S
DRV8243SQRXYRQ1	Active	Production	VQFN-HR (RXY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8243S
DRV8243SQRXYRQ1.A	Active	Production	VQFN-HR (RXY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8243S

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

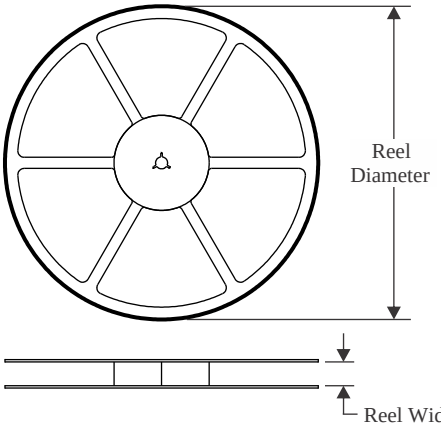
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

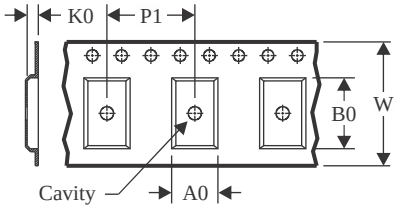
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

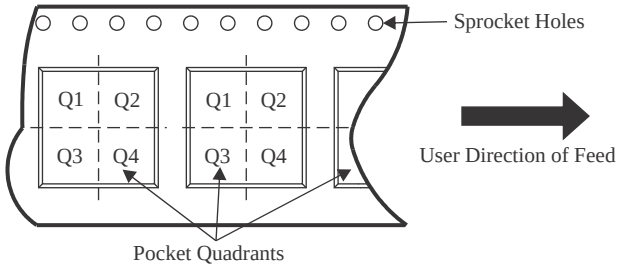


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

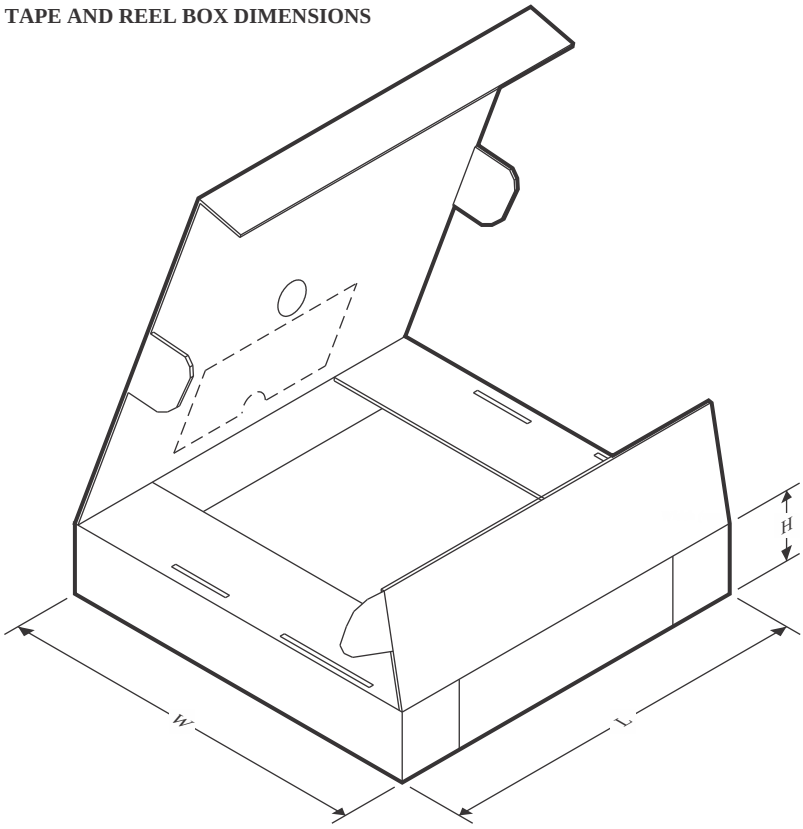
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8243HQDGQRQ1	HVSSOP	DGQ	28	2500	330.0	16.4	5.5	7.4	1.45	8.0	16.0	Q1
DRV8243HQRXYRQ1	VQFN-HR	RXY	14	3000	330.0	12.4	3.3	4.8	1.2	8.0	12.0	Q1
DRV8243PQDGQRQ1	HVSSOP	DGQ	28	2500	330.0	16.4	5.5	7.4	1.45	8.0	16.0	Q1
DRV8243SQDGQRQ1	HVSSOP	DGQ	28	2500	330.0	16.4	5.5	7.4	1.45	8.0	16.0	Q1
DRV8243SQRXYRQ1	VQFN-HR	RXY	14	3000	330.0	12.4	3.3	4.8	1.2	8.0	12.0	Q1
DRV8243SQRXYRQ1	VQFN-HR	RXY	14	3000	330.0	12.4	3.3	4.8	1.2	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

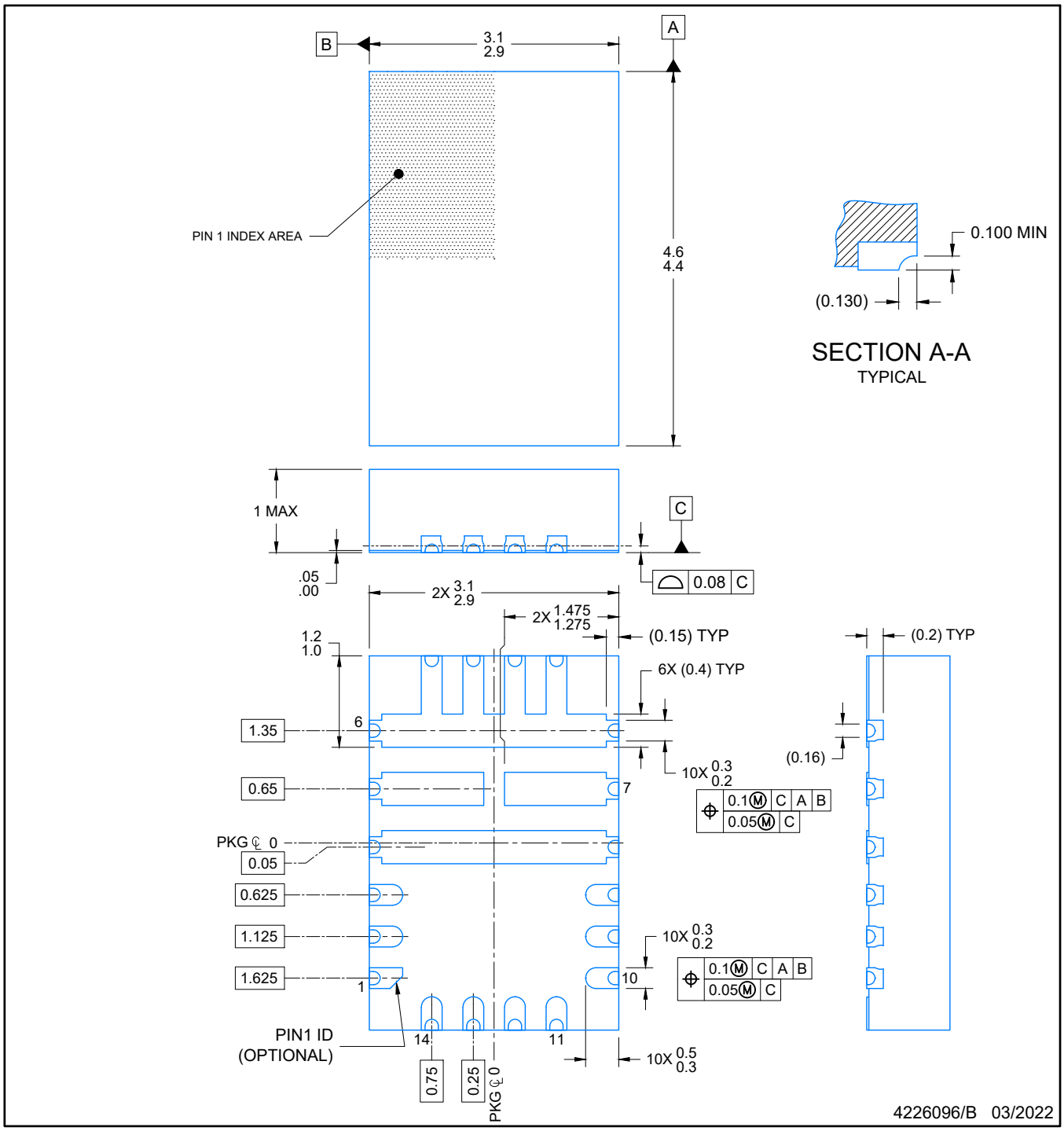
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8243HQDGQRQ1	HVSSOP	DGQ	28	2500	353.0	353.0	32.0
DRV8243HQRXYRQ1	VQFN-HR	RXY	14	3000	367.0	367.0	35.0
DRV8243PQDGQRQ1	HVSSOP	DGQ	28	2500	353.0	353.0	32.0
DRV8243SQDGQRQ1	HVSSOP	DGQ	28	2500	353.0	353.0	32.0
DRV8243SQRXYRQ1	VQFN-HR	RXY	14	3000	367.0	367.0	35.0
DRV8243SQRXYRQ1	VQFN-HR	RXY	14	3000	367.0	367.0	35.0

PACKAGE OUTLINE

RXY0014A

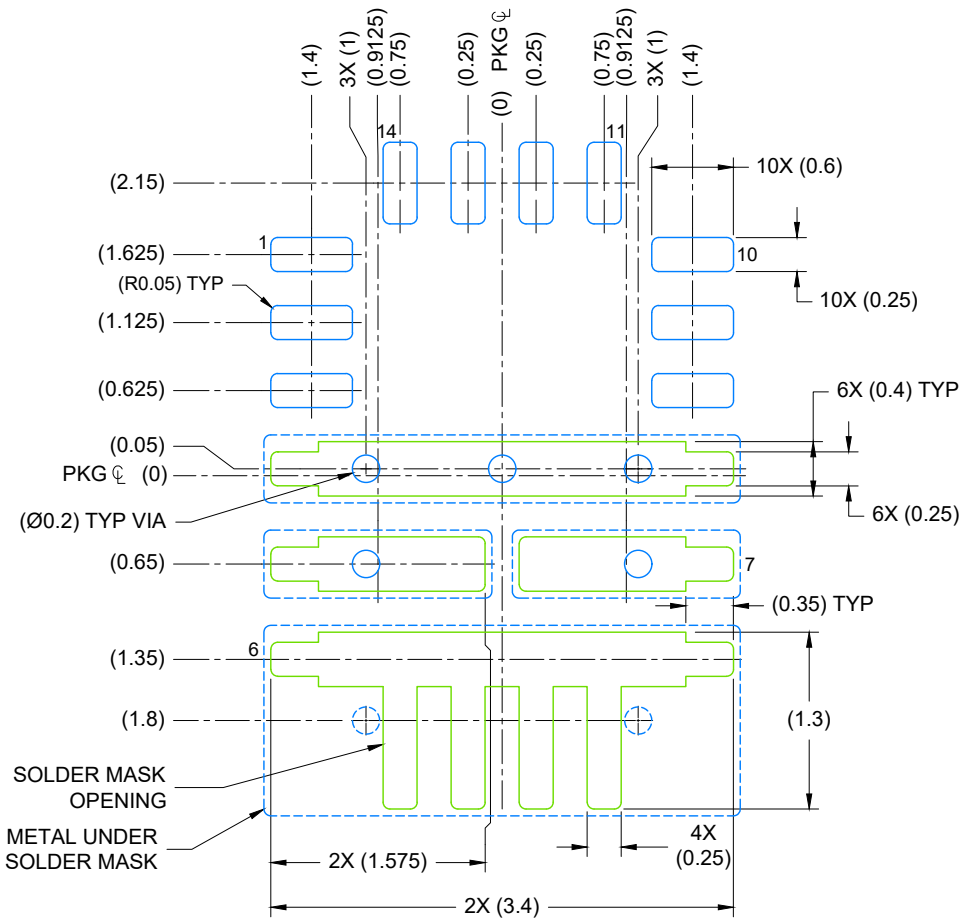
VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



NOTES:

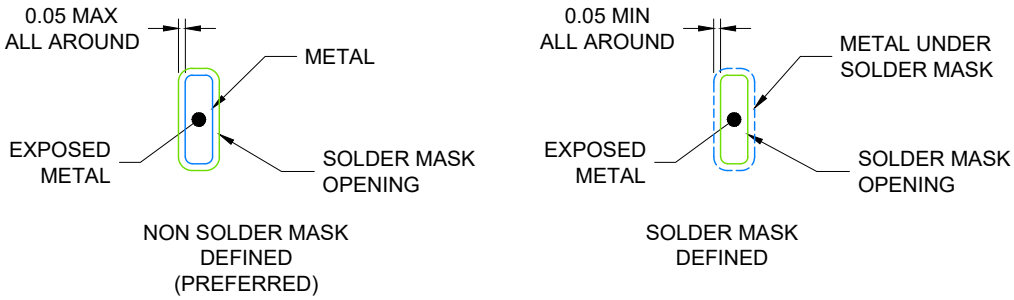
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN

SCALE: 18X

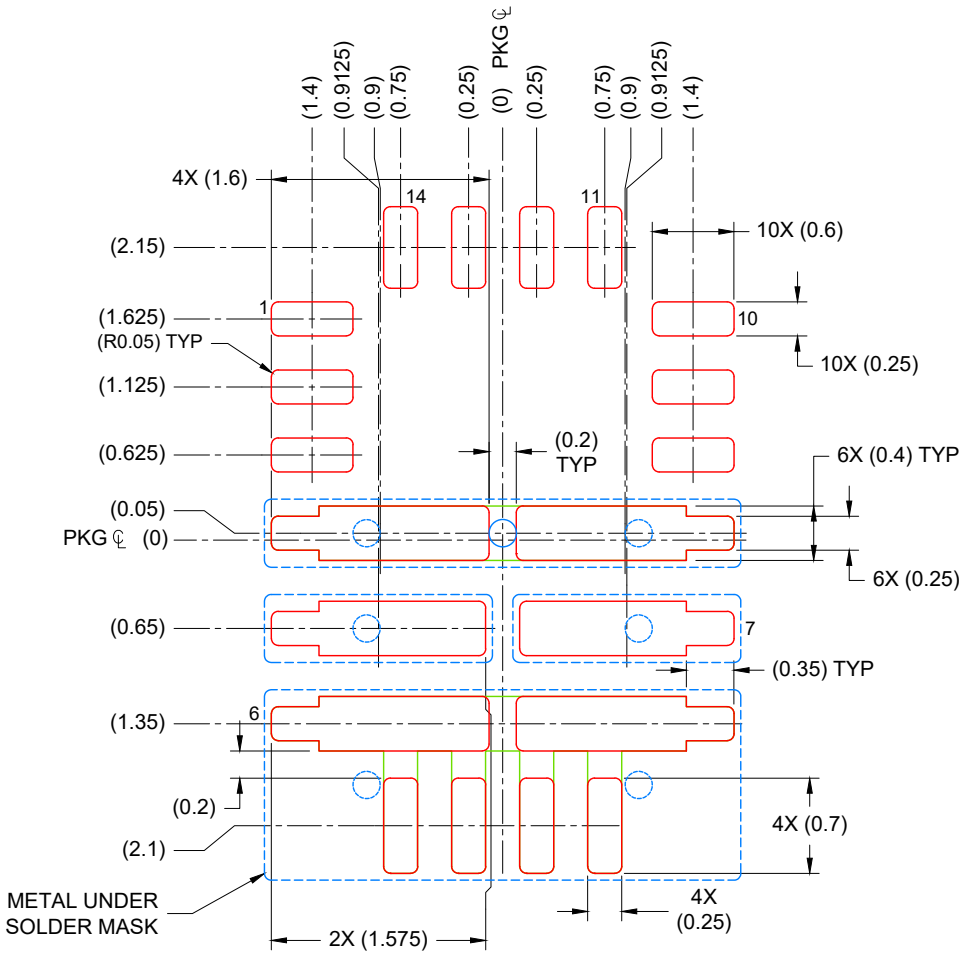


SOLDER MASK DETAILS

4226096/B 03/2022

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 18X

4226096/B 03/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

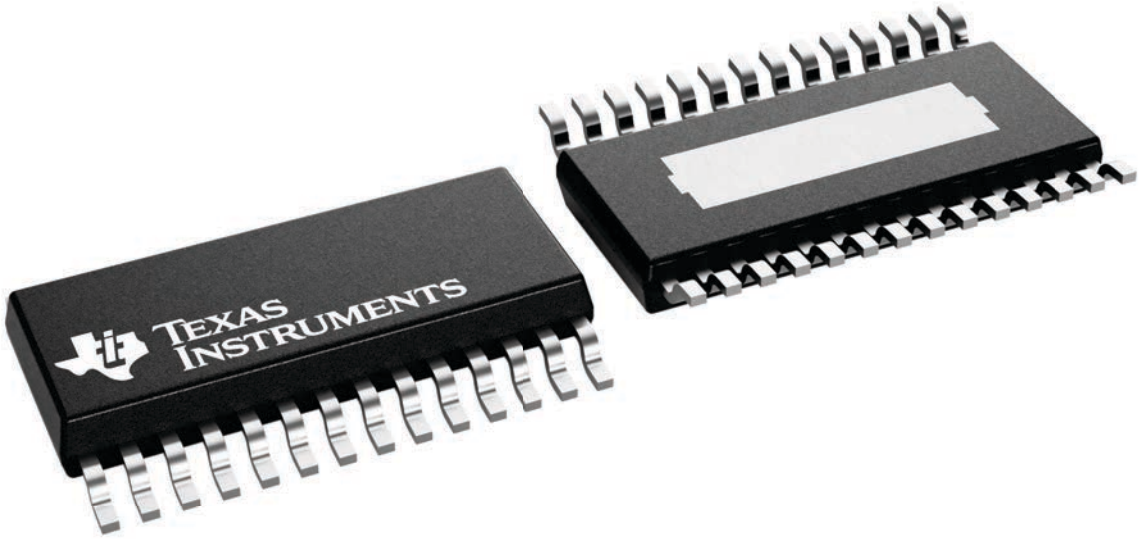
DGQ 28

HVSSOP - 1.1 mm max height

3 x 7.1, 0.5 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



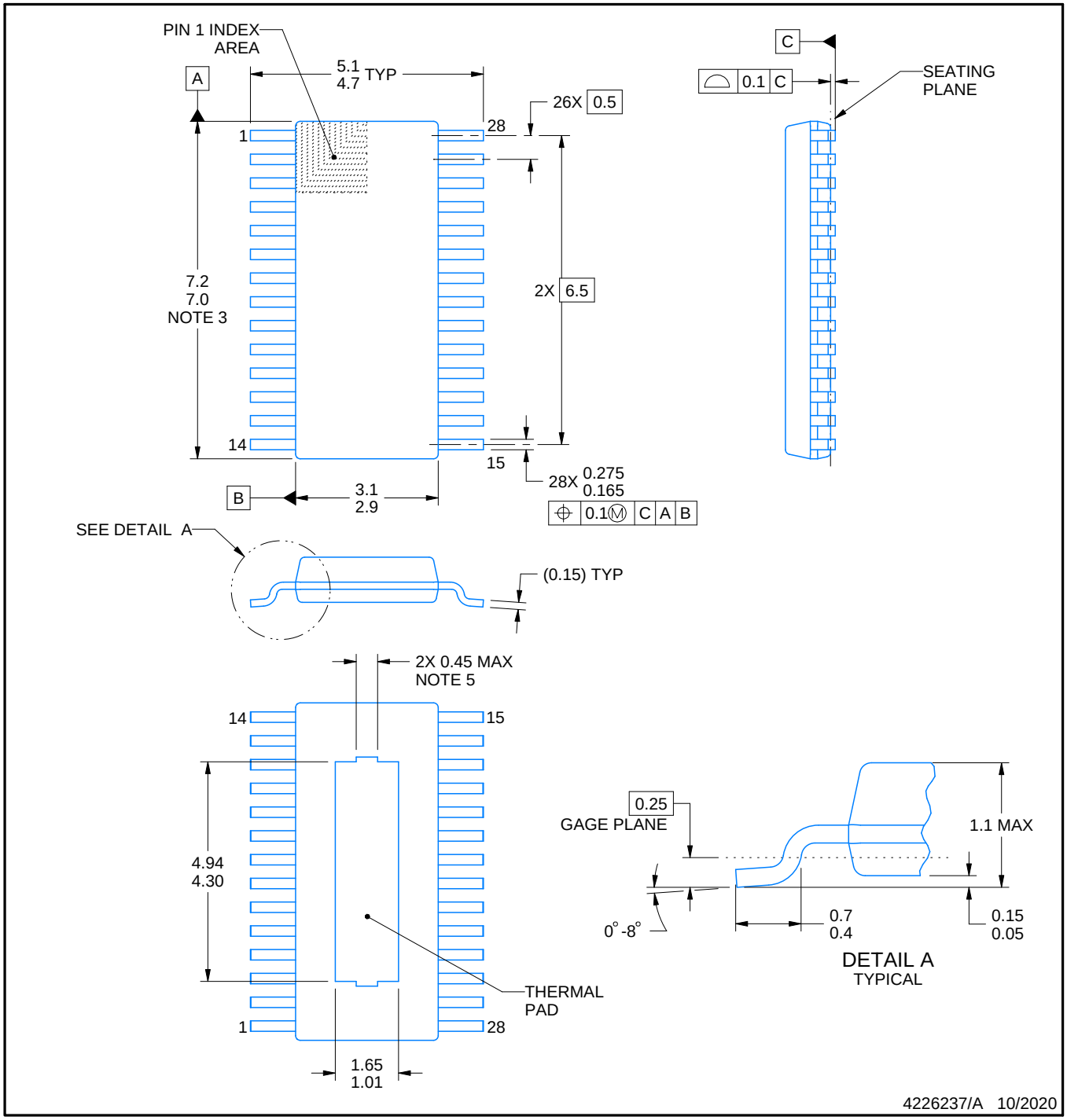
4226530/A

PACKAGE OUTLINE

DGQ0028A

PowerPAD™ VSSOP - 1.1 mm max height

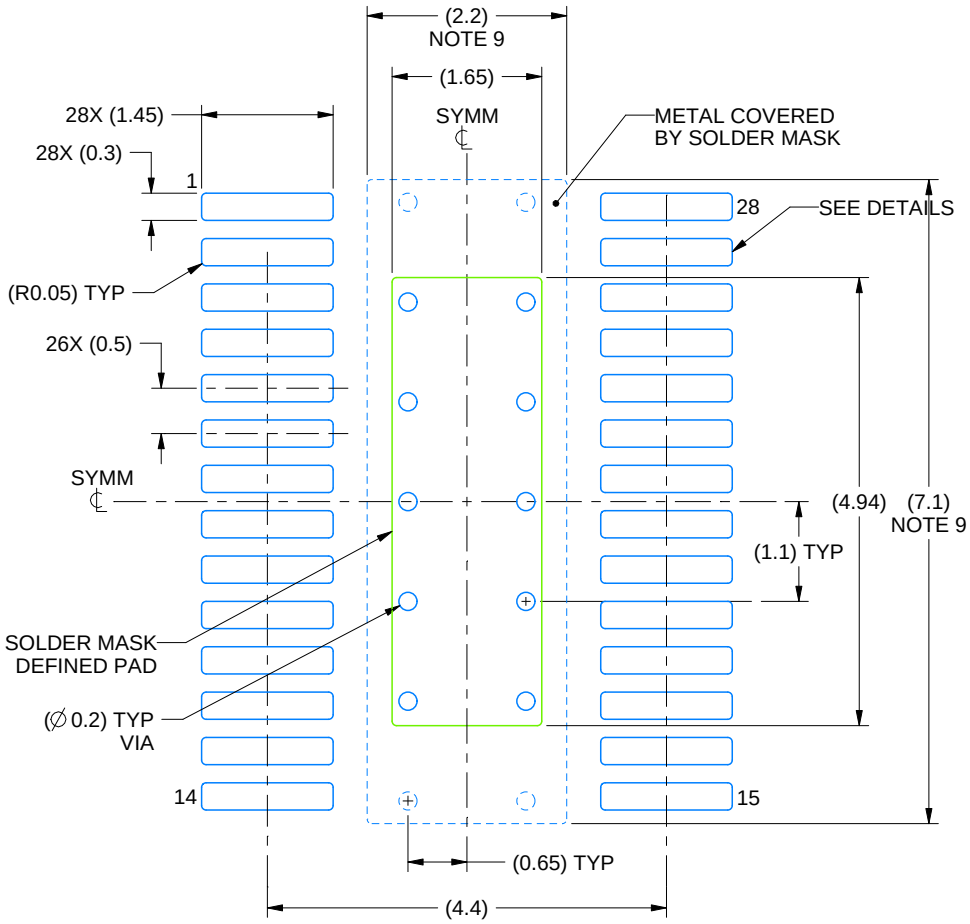
SMALL OUTLINE PACKAGE



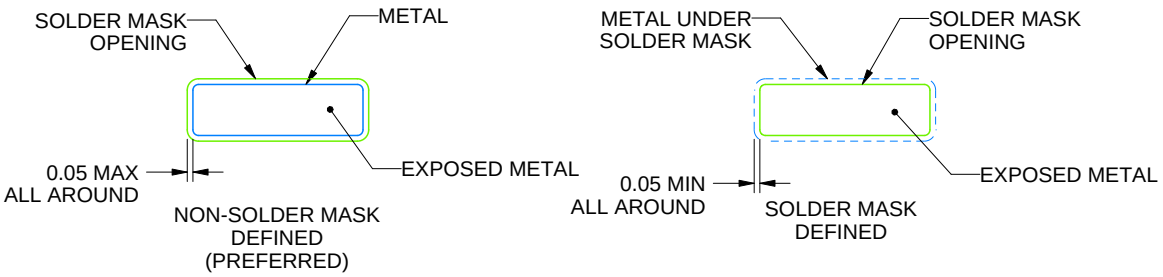
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X

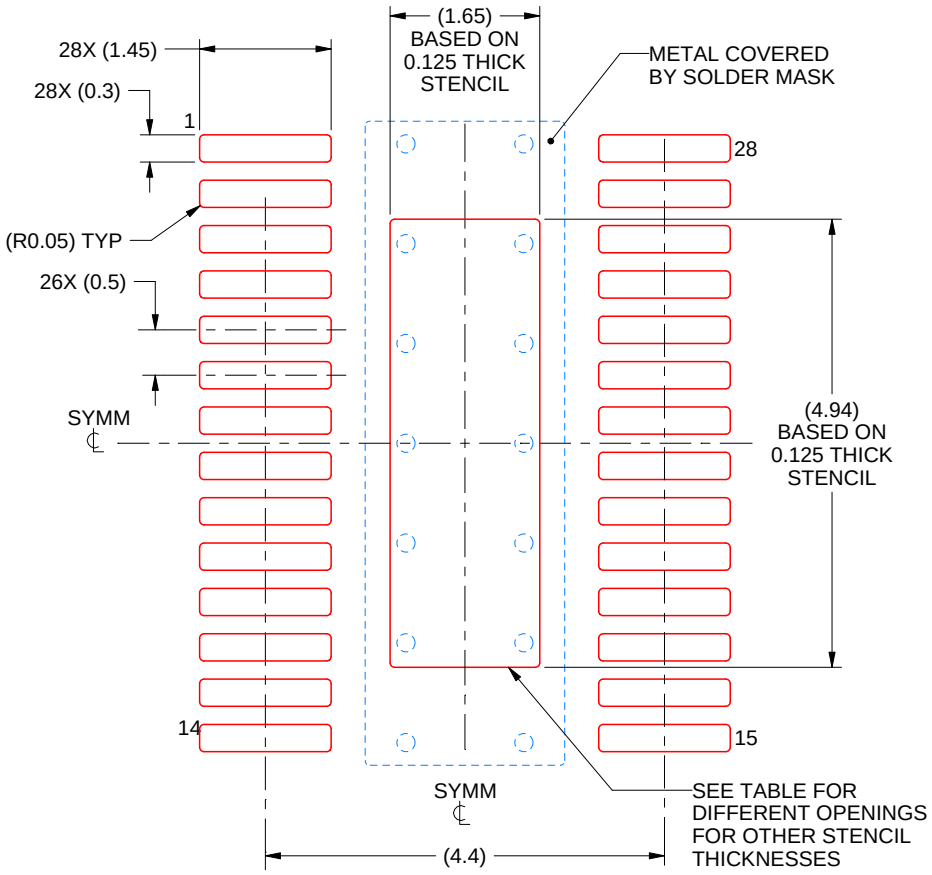


SOLDER MASK DETAILS

4226237/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 12X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.84 X 5.52
0.125	1.65 X 4.94 (SHOWN)
0.15	1.51 X 4.51
0.175	1.39 X 4.18

4226237/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月