

DRV8263-Q1 車載用、電流センス機能および診断機能搭載、H ブリッジ ドライバ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - 温度グレード 1:-40°C~+125°C, T_A
- 機能安全準拠予定**
 - 機能安全システム設計に役立つ資料を利用可能
- 4.5V~65V (絶対最大定格 70V)** 動作範囲
- DRV8263-Q1 MOSFET ON 抵抗 (HS + LS): **85mΩ**
- 最大出力電流: **28A**
- 設定可能な制御モード:
 - シングルフルブリッジ、**PH/EN** または **PWM** インターフェイス
 - 独立モードを使用する 2 つのハーフブリッジ
 -
- 2 種類のインターフェイスオプション - **HW** または **SPI**
- 最大 100kHz の PWM 周波数動作、自動デッドタイム生成付き
- 設定可能なスルーレートとスペクトラム拡散クロックによる低電磁干渉 (EMI)
- 統合型の電流センス (シャント抵抗が不要)
- IPROPI** への比例負荷電流出力
- IPROPI** でのダイ温度監視 (SPI のみ)
- 設定可能な電流レギュレーション
- フォルト応答 (ラッチまたは再試行) を設定可能な保護および診断機能
 - オフ状態とオン状態の両方で負荷診断を行い、開放負荷および短絡を検出
 - 電源 (VM) の電圧監視
 - 過電流保護
 - 過熱警告 (SPI のみ)
 - 過熱保護
 - パワー オフ ブレーキ
 - nFAULT ピンによるフォルト通知
- 1.8V、3.3V、5V のロジック入力をサポート
- 低いスリープ電流、25°Cで 7μA (標準値)
- デバイス ファミリの比較表

2 アプリケーション

- 24V および 48V 車載ボディシステム
- 車載用ブラシ付き DC モーター、ソレノイド
- ドア モジュール、ミラー モジュール、ワイパー モジュール、シート モジュール
- トランクリフト、ウインドウ リフト
- ステアリング コラム、サンルーフ シェード
- 電気自動車、トラック、バス、その他の商用車

3 説明

DRV8263-Q1 は、24V および 48V 車載アプリケーション用、広電圧範囲、高出力、完全統合型 H ブリッジ ドライバです。パワー パッケージに収容されたこのデバイスは、BiCMOS 大電力プロセス テクノロジー ノードを採用した設計であり、優れた電力処理能力と放熱特性を達成すると同時に、コンパクトなパッケージ サイズ、使いやすいレイアウト、EMI 制御能力、高精度の電流センス、堅牢性、診断機能も実現しています。

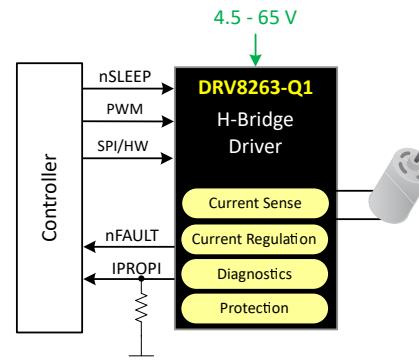
このデバイスには、N チャネル H ブリッジ、チャージ ポンプ、ハイサイド電流検出およびレギュレーション、電流比例出力、保護回路が内蔵されています。内蔵の検出機能では電流ミラーを使用するため、シャント抵抗が不要になり、基板面積の節約とシステム コストの削減が可能です。低消費電力のスリープ モードにより、低い静止電流を実現できます。

このデバイスは、電圧監視機能、負荷診断機能、さらに過電流および過熱に対する保護機能を搭載しています。フォルト条件は nFAULT ピンにより示されます。このデバイスは、以下の 2 種類のバリエントで供給されます。HW インターフェイスおよび SPI です。SPI バリエントは、デバイス構成とフォルト監視において、より高い柔軟性があります。

製品情報¹

部品番号	インターフェイス	パッケージ サイズ ²
DRV8263HQVAKRQ1	HW	VQFN-HR (15) (3.5mm x 6mm)
DRV8263SQVAKRQ1	SPI	VQFN-HR (15) (3.5mm x 6mm)

- (1) 卷末の注文情報を参照してください。
 (2) パッケージ サイズ (長さ x 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	7.1 概要	21
2 アプリケーション	1	7.2 機能ブロック図	22
3 説明	1	7.3 機能説明	23
4 デバイスの比較	3	8 アプリケーションと実装	51
5 ピン構成および機能	4	8.1 アプリケーション情報	51
5.1 HW バリアント	4	8.2 代表的なアプリケーション	52
5.2 SPI バリアント	5	8.3 電源に関する推奨事項	54
6 仕様	7	8.4 レイアウト	55
6.1 絶対最大定格	7	9 デバイスおよびドキュメントのサポート	56
6.2 ESD 定格	7	9.1 デバイス サポート	56
6.3 推奨動作条件	7	9.2 ドキュメントのサポート	56
6.4 電気的特性	8	9.3 ドキュメントの更新通知を受け取る方法	56
6.5 タイミング要件	13	9.4 サポート・リソース	56
6.6 タイミング図	14	9.5 商標	56
6.7 熱に関する情報	14	9.6 静電気放電に関する注意事項	56
6.8 スイッチング波形	15	9.7 用語集	56
6.9 代表的特性	20	10 改訂履歴	56
7 詳細説明	21	11 メカニカル、パッケージ、および注文情報	56

4 デバイスの比較

表 4-1 に 48V 対応の統合型モータードライバーの DRV8X6X-Q1 ファミリに属するデバイスの R_{ON} およびパッケージの違いをまとめています。

表 4-1. デバイスの比較

部品番号 (1)	構成	(LS + HS) R_{ON}	I_{OUT} 最大値	パッケージ	本体サイズ	インターフェイス
DRV8262-Q1	1 または 2 の H ブリッジ	50mΩ または 100mΩ	16A または 8A	HTSSOP (44)	14mm × 6.1mm	HW
DRV8962-Q1	4 ハーフブリッジ	100mΩ	8A	HTSSOP (44)	14mm × 6.1mm	HW
DRV8263-Q1	1 H ブリッジ	85mΩ	28A	VQFN-HR (15)	3.5mm × 6mm	HW、SPI
DRV8163-Q1	1 ハーフブリッジ	43mΩ	40A	VQFN-HR (15)	3.5mm × 6mm	HW、SPI

(1) これは、DRV8263-Q1 の製品データシートです。他の情報については、他のデバイス バリエントのデータシートを参照してください。

表 4-2 に DRV8263-Q1 の SPI および HW インターフェイス バリエントの機能の違いをまとめています。一般に、SPI バリエントでは、より多くの構成変更、ブリッジ制御オプション、診断フィードバックや追加機能が提供されています。

表 4-2. SPI バリエントと HW バリエントの比較

機能	HW バリエント	SPI バリエント
ブリッジ制御	ピンのみ	個別のピンと、ピンの状態を示すレジスタビットの両方またはいずれか一方（レジスタ - ピン制御を参照）
フォルト コマンドのクリア	nSLEEP ピンでのリセット パルス	SPI CLR_FAULT コマンド
過電流保護 (OCP)	最大の設定に固定	スレッショルドには 4 つの選択肢、フィルタ時間には 2 つの選択肢
ITRIP レギュレーション	5 レベルとディセーブル、固定 TOFF 時間	7 レベルとディセーブル、表示あり、プログラム可能な TOFF 時間
各フォルト応答を再試行またはラッチのいずれかに設定	非対応、すべてラッチまたはすべて再試行	対応
詳細なフォルト ログとデバイス ステータス フィードバック	非対応、nFAULT ピンの監視が必要	対応、nFAULT ピン監視も可能
VM 過電圧	非対応	対応
オン状態 (アクティブ) 診断	非対応	ハイサイド負荷に対応
スペクトラム拡散クロック (SSC)	非対応	対応
PWM モードでのドライバ状態の追加	非対応	対応
独立モードでハーフ ブリッジを個別にハイインピーダンス化	非対応	対応 (SPI レジスタのみ)
過熱警告	非対応	対応
ダイ温度モニター	非対応	対応

表 4-3. ファミリ内のデバイス間の区別

デバイス	パッケージの記号表記	DEVICE_ID レジスタ
DRV8262-Q1	8262	該当なし
DRV8962-Q1	8962	該当なし
DRV8263H-Q1	8263H	該当なし
DRV8163H-Q1	8163H	該当なし
DRV8263S-Q1	8263S	0 x 25
DRV8163S-Q1	8163S	0 x 2D

5 ピン構成および機能

5.1 HW バリアント

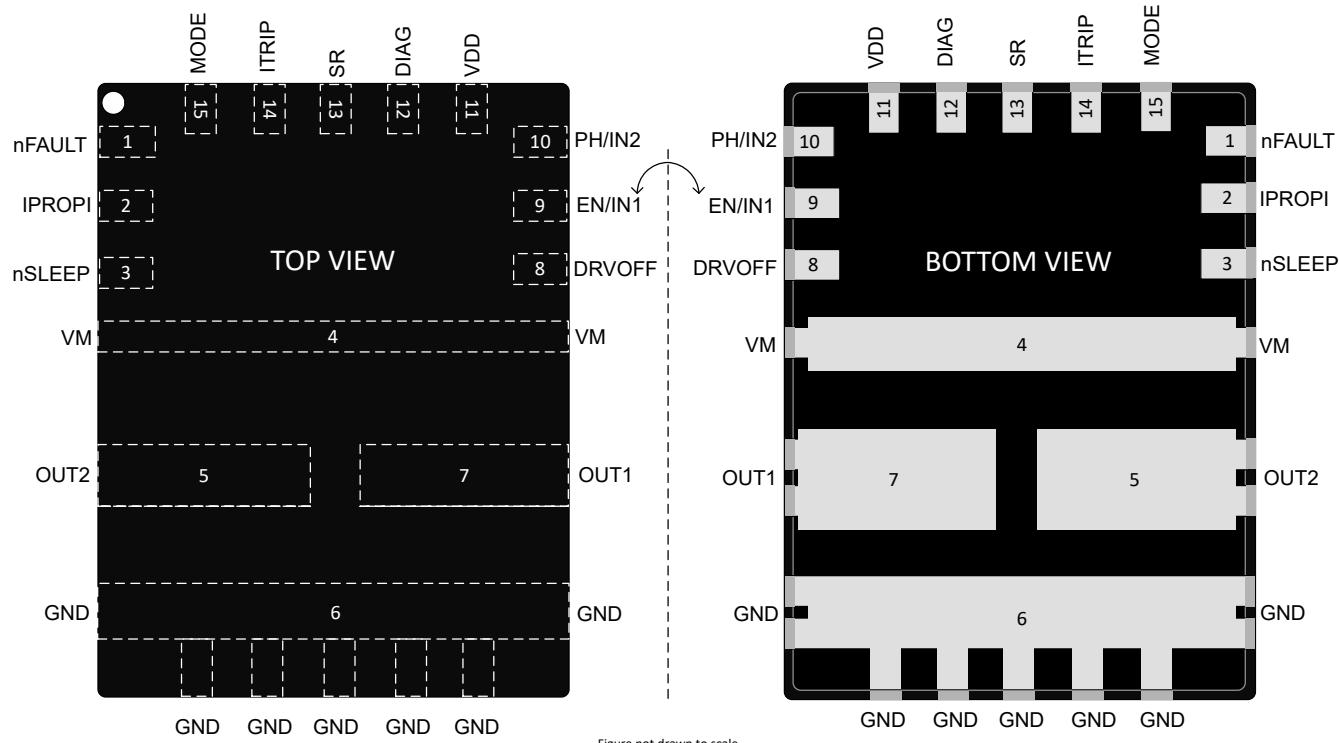


図 5-1. VQFN-HR (15) パッケージの DRV8263H-Q1

図 5-2.

表 5-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
番号	名称		
1	nFAULT	OD	コントローラへのFAULT通知。
2	IPROPI	I/O	負荷電流アナログ フィードバック。詳細については、「デバイス構成」セクションの IPROPI を参照してください。
3	nSLEEP	I	スリープ用コントローラ入力ピン。詳細については、「ブリッジ制御」セクションを参照してください。
4	VM	P	電源。このピンはモーターの電源電圧です。このピンは、0.1 μ F のセラミック コンデンサとパルクコンデンサを使用して GND にバイパスします。
5	OUT2	P	ハーフブリッジ出力 2。このピンをモーターまたは負荷に接続します。
6	GND	G	グランド ピン
7	OUT1	P	ハーフブリッジ出力 1。このピンをモーターまたは負荷に接続します。
8	DRVOFF	I	ブリッジハイインピーダンス用のコントローラ入力ピン。詳細については、「ブリッジ制御」セクションを参照してください。
9	EN/IN1	I	ブリッジ動作用のコントローラ入力ピン。詳細については、「ブリッジ制御」セクションを参照してください。
10	PH/IN2	I	ブリッジ動作用のコントローラ入力ピン。詳細については、「ブリッジ制御」セクションを参照してください。
11	VDD	P	デバイスのロジック電源。

表 5-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
番号	名称		
12	DIAG	I	負荷タイプ通知およびフォルト応答構成用のデバイス構成ピン。詳細については、「デバイス構成」セクションの DIAG を参照してください。
13	SR	I	スルーレート制御用のデバイス構成ピン。詳細については、「デバイス構成」セクションの スルーレート を参照してください。
14	ITRIP	I	ハイサイド電流制限の ITRIP レベル用のデバイス構成ピン。詳細については、「デバイス構成」セクションの ITRIP を参照してください。
15	モード	I	MODE のデバイス構成ピン。詳細については、「 ブリッジ制御 」セクションを参照してください。

(1) I = 入力、O = 出力、I/O = 入力 / 出力、G = グランド、P = 電源、OD = オープンドレイン出力、PP = ブッシュプル出力

5.2 SPI バリエント

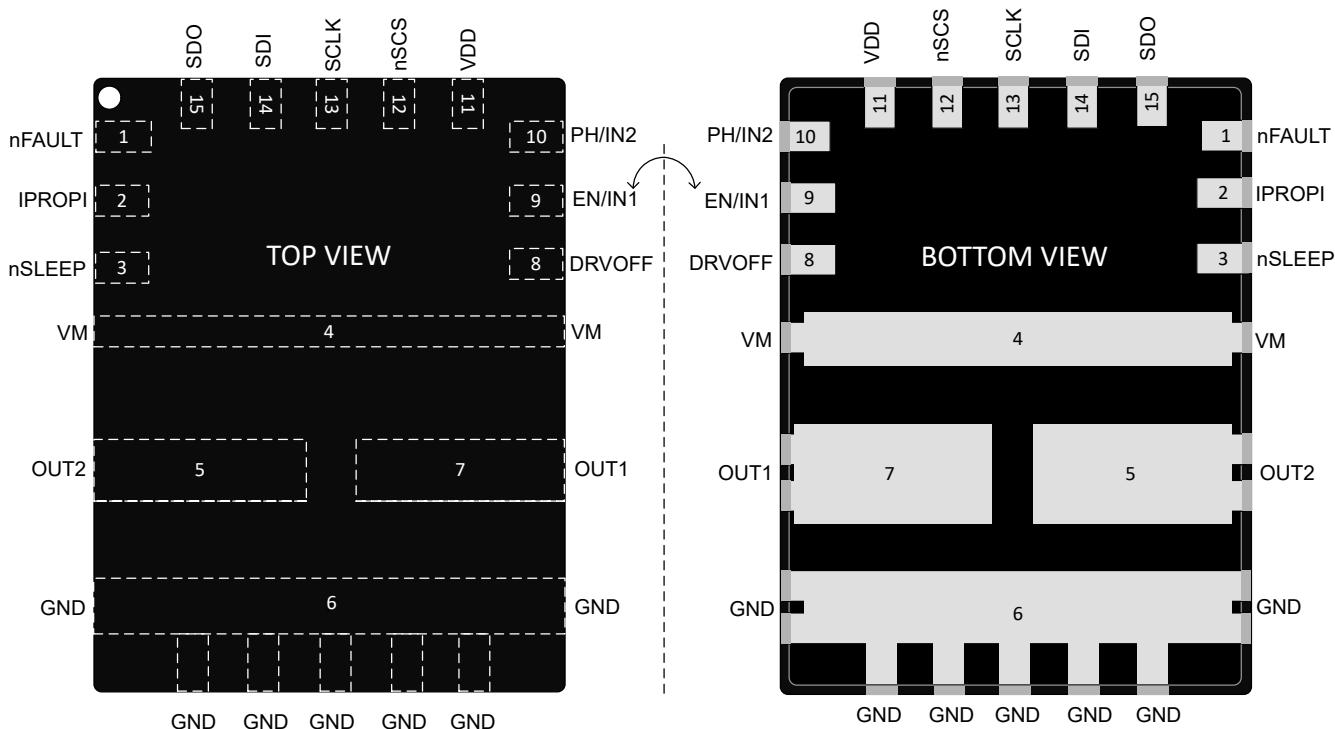


図 5-3. VQFN-HR (15) パッケージの DRV8263S-Q1

図 5-4.

表 5-2. ピンの機能

ピン		タイプ ⁽¹⁾	説明
番号	名称		
1	nFAULT	OD	コントローラへのフォルト通知。
2	IPROPI	I/O	多用途ピン。負荷電流のアナログフィードバック、またはダイ温度に比例するアナログ電流を提供します。詳細については、「デバイス構成」セクションの IPROPI を参照してください。
3	nSLEEP	I	スリープ用コントローラ入力ピン。詳細については、「 ブリッジ制御 」セクションを参照してください。
4	VM	P	電源。このピンはモーターの電源電圧です。このピンは、 $0.1\mu\text{F}$ のセラミックコンデンサとバルクコンデンサを使用して GND にバイパスします。
5	OUT2	P	ハーフブリッジ出力 2。このピンをモーターまたは負荷に接続します。

表 5-2. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
番号	名称		
6	GND	G	グランド ピン
7	OUT1	P	ハーフプリッジ出力 1。このピンをモーターまたは負荷に接続します。
8	DRVOFF	I	プリッジ ハイ インピーダンス用のコントローラ入力ピン。詳細については、「プリッジ制御」セクションを参照してください。
9	EN/IN1	I	プリッジ動作用のコントローラ入力ピン。詳細については、「プリッジ制御」セクションを参照してください。
10	PH/IN2	I	プリッジ動作用のコントローラ入力ピン。詳細については、「プリッジ制御」セクションを参照してください。
11	VDD	P	デバイスのロジック電源。
12	nSCS	I	SPI - チップ セレクト。このピンはアクティブ LOW で、シリアル インターフェイス通信を有効にします。
13	SCLK	I	SPI - シリアル クロック入力。
14	SDI	I	SPI - シリアル データ入力。データは、SCLK の立ち下がりエッジでキャプチャされます。
15	SDO	PP	SPI - シリアル データ出力。データは、SCLK の立ち上がりエッジで更新されます。

(1) I = 入力、O = 出力、I/O = 入力 / 出力、G = グランド、P = 電源、OD = オープンドレイン出力、PP = プッシュプル出力

6 仕様

6.1 絶対最大定格

動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電源ピン電圧	VM	-0.3	70	V
電源過渡電圧ランプ	VM		2	V/μs
ロジック電源電圧	VDD	-0.3	5.75	V
ロジック電源過渡電圧ランプ	VDD		5	V/μs
OUTx ピンの連続電圧	OUTx	-1	VM+1	V
過渡 100ns の OUTx ピン電圧	OUTx		71	V
過渡 100ns の OUTx ピン電圧	OUTx	-3	VM+3	V
VM 隣接コントローラ ピン電圧	nSLEEP、DRVOFF	-0.3	70	V
コントローラ ピン電圧	EN/IN1、PH/EN2、nFAULT	-0.3	5.75	V
アナログ フィードバック ピン電圧	IPROPI	-0.3	5.75	V
SPI バリエント - SPI ピン電圧	SDI、SDO、nSCS、SCLK	-0.3	5.75	V
HW バリエント - 構成ピン電圧	MODE、ITRIP、SR、DIAG	-0.3	5.75	V
ロジック・構成ピン電圧	EN/IN1、PH/EN2、nFAULT、IPROPI、 SDI、SDO、nSCS、SCLK、MODE、 ITRIP、SR、DIAG	-0.3	DVDD+0 .3	V
周囲温度、 T_A		-40	125	°C
接合部温度、 T_J		-40	150	°C
保管温度、 T_{stg}		-65	150	°C

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて言及しており、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

6.2 ESD 定格

$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 ⁽¹⁾ HBM ESD 分類レベル 2 準拠	VM、OUT1、OUT2、GND	値	V
			その他のすべてのピン	±2000	
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	角のピン	±750	
			その他のピン	±500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{VM}	電源電圧	VM	4.5	48	65	V
V_{VDD}	ロジック電源電圧	VDD	3		5.5	V
V_{LOGIC}	コントローラ ピン電圧	EN/IN1、PH/EN2、nSLEEP、DRVOFF、 IPROPI、nFAULT	0		5.5	V
V_{CONFIG}	HW バリエント - 構成ピン電圧	MODE、ITRIP、SR、DIAG	0		5.5	V
V_{SPI_IOS}	SPI バリエント - SPI ピン電圧	SDI、SDO、nSCS、SCLK	0		DVDD + 0.5	V
f_{PWM}	PWM 周波数	EN/IN1、PH/EN2		100		kHz

動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
T _A	動作時の周囲温度		-40	125	125	°C
T _J	動作時接合部温度		-40	150	150	°C
R _{DRV0FF}	DRV0FF からコントローラに直列抵抗を接続	DRV0FF	0	45	45	kΩ

6.4 電気的特性

4.5V ≤ V_{VM} ≤ 65V, -40°C ≤ T_J ≤ 150°C (特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位
電源 (VM、VDD)					
I _{VDD}	アクティブ状態の VDD 電流	ダイ温度読み出しがディセーブル	2	3.5	mA
I _{VMS}	スタンバイ状態の VM 電流	V _{VM} = 48V、ドライバ Hi-Z、ダイ温度読み出しがディセーブル	1	1.8	mA
I _{VMQ}	スリープ状態の VM 電流	V _{VM} = 48V、POB ディセーブル、V _{nSLEEP} = 0V または V _{VDD} < POR _{VDD_FALL}	7	30	μA
I _{VMQ_POB}	スリープ状態の VM 電流、POB あり	V _{VM} = 48V、POB イネーブル、V _{nSLEEP} = 0V	8	35	μA
I _{VDDQ_POB}	スリープ状態の VDD 電流、POB あり	V _{VM} = 48V、POB イネーブル、V _{nSLEEP} = 0V	7.5	35	μA
t _{RESET}	リセットパルスのフィルタ時間	nSLEEP でのリセット信号、HW バリアント	5	35	μs
t _{SLEEP}	スリープコマンドのフィルタ時間	nSLEEP でのスリープ信号、HW バリアント	40	120	μs
t _{SLEEP_SPI}	スリープコマンドのフィルタ時間	nSLEEP でのスリープ信号、SPI バリアント	5	20	μs
t _{COM}	VM または VDD ピンによるウェークアップまたはパワーアップ後、通信が利用可能になるまでの時間	nSLEEP ピンでのウェークアップ信号または電源サイクル (V _{VM} > VM _{POR_RISE} または V _{VDD} > VDD _{POR_RISE})		0.2	ms
t _{READY}	nSLEEP によるウェークアップ後、または、VM もしくは VDD によるパワーアップ後、ドライバが動作可能になるまでの時間	nSLEEP ピンでのウェークアップ信号または電源サイクル (V _{VM} > VM _{POR_RISE} または V _{VDD} > VDD _{POR_RISE})		1.2	ms
コントローラ (nSLEEP、DRV0FF、EN/IN1、PH/IN2、IN) および SPI 入力 (SDI、nSCS、SCLK)					
V _{IL}	入力ロジック Low 電圧	すべてのピン	0	0.6	V
V _{IH}	入力ロジック High 電圧	すべてのピン	1.5	5.5	V
V _{HYS}	入力ヒステリシス	nSLEEP を除くすべてのピン	0.1		V
V _{HYS_nSLEEP}	nSLEEP ピンの入力ヒステリシス		0.15		V
R _{PU}	DRV0FF および nSCS における内部プルアップ抵抗	最小 VIH レベルで測定	150	450	kΩ
R _{PD}	EN/IN1、PH/IN2、SDI、SCLK の入力プルダウン抵抗	最大 VIL レベルで測定	150	450	kΩ
R _{PD_nSLEEP}	nSLEEP から GND への入力プルダウン抵抗	最大 VIL レベルで測定	160	400	kΩ
トライレベル入力 (MODE)					
R _{LVL1}	レベル 1	GND に接続		10	Ω
R _{LVL2}	レベル 2	GND との間に ±10% の抵抗	8	16	24
R _{LVL3}	レベル 3	ハイインピーダンス (接続なし)	249		kΩ
クワッドレベル入力 (SR)					
R _{LVL1}	レベル 1	GND に接続		10	Ω
R _{LVL2}	レベル 2	GND 抵抗 +/-10%	8	16	24
R _{LVL3}	レベル 3	GND 抵抗 +/-10%	45	75	110

4.5V $\leq V_{VM} \leq 65V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{LVL4}	レベル 4	ハイインピーダンス (接続なし)	249		k Ω	
6 レベル入力 (ITRIP, DIAG)						
R_{LVL1}	レベル 1	GND に接続	10		Ω	
R_{LVL2}	レベル 2	+/- 10% 抵抗	8	9	10	k Ω
R_{LVL3}	レベル 3	+/- 10% 抵抗	22	24	26	k Ω
R_{LVL4}	レベル 4	+/- 10% 抵抗	45	48	51	k Ω
R_{LVL5}	レベル 5	+/- 10% 抵抗	90	100	110	k Ω
R_{LVL6}	レベル 6	ハイインピーダンス (接続なし)	249		k Ω	

プッシュプルおよび制御出力 (SDO, nFAULT)

V_{OL_SDO}	SDO 出力ロジック Low 電圧	0.5mA シンク	0.1	0.2	V
V_{OH_SDO}	SDO 出力ロジック High 電圧	0.5mA ソース、 $V_{VDD} = 5V$	4.7	4.9	V
I_{SDO}	SDO リーク電流	$V_{VM} > 6V$	-2	2	μ A
V_{OL}	nFAULT 出力ロジック Low 電圧	$I_O = 5mA$	0.3		V
I_{OH}	nFAULT 出力ロジック High リーク電流		-1	1	μ A

ドライバ出力 (OUTx)

$R_{HS_DS(on)}$	ハイサイド MOSFET オン抵抗、DRV8263	$I_O = -4A, T_J = 25^{\circ}C$	42	50	$m\Omega$	
$R_{HS_DS(on)}$	ハイサイド MOSFET オン抵抗、DRV8263	$I_O = -4A, T_J = 150^{\circ}C$	70	84	$m\Omega$	
$R_{LS_DS(on)}$	ローサイド MOSFET オン抵抗、DRV8263	$I_O = 4A, T_J = 25^{\circ}C$	43	52	$m\Omega$	
$R_{LS_DS(on)}$	ローサイド MOSFET オン抵抗、DRV8263	$I_O = 4A, T_J = 150^{\circ}C$	72	86	$m\Omega$	
V_{SD}	ボディダイオード順方向電圧	$I_O = -4A (8263), -6A (8163)$	0.4	0.8	1.2	V
$I_{HIZ_SLP_POB}$	スリープ状態での GND への OUTx リーク電流、POB イネーブル	$V(OUTx) = VM = 48V, OUT$ ピンごと	10.5		mA	
$I_{HIZ_STBY_POB}$	スタンバイ状態で GND への OUTx リーク電流、POB イネーブル	$V(OUTx) = VM = 48V, OUT$ ピンごと	1	21	mA	
I_{HIZ_SLP}	スリープ状態での GND への OUTx リーク電流、POB ディセーブル	$V(OUTx) = VM = 48V, OUT$ ピンごと	140		μ A	
I_{HIZ_STBY}	スタンバイ状態で GND への OUTx リーク電流、POB ディセーブル	$V(OUTx) = VM = 48V, OUT$ ピンごと	1	21	mA	
SR_{LS}	出力電圧立ち上がりスルーレート、10%~90%、 $V_{VM} = 48V$	$SR = 00b$ または LVL1、ハイサイド還流	146	192	237	V/ μ s
SR_{LS}	出力電圧立ち下がりスルーレート、90%~10%、 $V_{VM} = 48V$	$SR = 00b$ または LVL1、ハイサイド還流	130	160	204	V/ μ s
SR_{LS}	出力電圧立ち上がりスルーレート、10%~90%、 $V_{VM} = 48V$	$SR = 01b$ または LVL2、ハイサイド還流	73	99	124	V/ μ s
SR_{LS}	出力電圧立ち下がりスルーレート、90%~10%、 $V_{VM} = 48V$	$SR = 01b$ または LVL2、ハイサイド還流	67	83	107	V/ μ s
SR_{LS}	出力電圧立ち上がりスルーレート、10%~90%、 $V_{VM} = 48V$	$SR = 10b$ または LVL3、ハイサイド還流	32	46	60	V/ μ s
SR_{LS}	出力電圧立ち下がりスルーレート、90%~10%、 $V_{VM} = 48V$	$SR = 10b$ または LVL3、ハイサイド還流	26	38	52	V/ μ s
SR_{LS}	出力電圧立ち上がりスルーレート、10%~90%、 $V_{VM} = 48V$	$SR = 11b$ または LVL4、ハイサイド還流	11	18	25	V/ μ s
SR_{LS}	出力電圧立ち下がりスルーレート、90%~10%、 $V_{VM} = 48V$	$SR = 11b$ または LVL4、ハイサイド還流	8	14.5	21.5	V/ μ s
t_{PD_LSOFF}	出力電圧上昇時の伝搬遅延	$SR = 00b$ または $01b$ または LVL1 または LVL2、ハイサイド還流	0.3		μ s	

4.5V \leq V_{VM} \leq 65V, -40°C \leq T_J \leq 150°C (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PD_LSOFF}	出力電圧上昇時の伝搬遅延	SR = 10b または 11b または LVL3 または LVL4、ハイサイド還流		0.5		μs
t_{PD_LSON}	出力電圧上昇時の伝搬時間	SR = 00b または 01b または LVL1 または LVL2、ハイサイド還流		0.26		μs
t_{PD_LSON}	出力電圧上昇時の伝搬時間	SR = 10b または 11b または LVL3 または LVL4、ハイサイド還流		0.33		μs
t_{DEAD_LSOFF}	出力電圧上昇時のデッドタイム	SR = 00b または 01b または LVL1 または LVL2、ハイサイド還流		0.95		μs
t_{DEAD_LSON}	出力電圧上昇時のデッドタイム	SR = 10b または LVL3、ハイサイド還流		0.83		μs
t_{DEAD_LSON}	出力電圧上昇時のデッドタイム	SR = 11b または LVL4、ハイサイド還流		1.06		μs
t_{DEAD_LSON}	出力電圧下降時のデッドタイム	SR = 00b または 01b または LVL1 または LVL2、ハイサイド還流		0.5		μs
t_{DEAD_LSON}	出力電圧下降時のデッドタイム	SR = 10b または LVL3、ハイサイド還流		0.53		μs
t_{DEAD_LSON}	出力電圧下降時のデッドタイム	SR = 11b または LVL4、ハイサイド還流		0.62		μs
SR_{HS}	出力電圧立ち上がりスルーレート、10%~90%、 V_{VM} = 48V	SR = 00b または LVL1、ローサイド還流	89	130	185	V/μs
SR_{HS}	出力電圧立ち下がりスルーレート、90%~10%、 V_{VM} = 48V	SR = 00b または LVL1、ローサイド還流	140	180	230	V/μs
SR_{HS}	出力電圧立ち上がりスルーレート、10%~90%、 V_{VM} = 48V	SR = 01b または LVL2、ローサイド還流	50	71	98	V/μs
SR_{HS}	出力電圧立ち下がりスルーレート、90%~10%、 V_{VM} = 48V	SR = 01b または LVL2、ローサイド還流	70	94	122	V/μs
SR_{HS}	出力電圧立ち上がりスルーレート、10%~90%、 V_{VM} = 48V	SR = 10b または LVL3、ローサイド還流	23	33	47	V/μs
SR_{HS}	出力電圧立ち下がりスルーレート、90%~10%、 V_{VM} = 48V	SR = 10b または LVL3、ローサイド還流	31	45	59	V/μs
SR_{HS}	出力電圧立ち上がりスルーレート、10%~90%、 V_{VM} = 48V	SR = 11b(SPI のみ)、ローサイド還流	7	13	21	V/μs
SR_{HS}	出力電圧立ち下がりスルーレート、90%~10%、 V_{VM} = 48V	SR = 11b(SPI のみ)、ローサイド還流	13	19	26	V/μs
t_{PD_HSON}	出力電圧上昇時の伝搬遅延	SR = 00b または 01b または LVL1 または LVL2、ローサイド還流		0.35		μs
t_{PD_HSON}	出力電圧上昇時の伝搬遅延	SR = 10b または 11b または LVL3 または LVL4、ローサイド還流		0.68		μs
t_{PD_HSOFF}	出力電圧上昇時の伝搬時間	SR = 00b または 01b または LVL1 または LVL2、ローサイド還流		0.27		μs
t_{PD_HSOFF}	出力電圧上昇時の伝搬時間	SR = 10b または LVL3、ローサイド還流		0.33		μs
t_{PD_HSOFF}	出力電圧上昇時の伝搬時間	SR = 11b または LVL4、ローサイド還流		0.38		μs
t_{DEAD_HSON}	出力電圧上昇時のデッドタイム	SR = 00b または LVL1、ローサイド還流		0.46		μs
t_{DEAD_HSON}	出力電圧上昇時のデッドタイム	SR = 01b または LVL2、ローサイド還流		0.52		μs
t_{DEAD_HSON}	出力電圧上昇時のデッドタイム	SR = 10b または LVL3、ローサイド還流		0.60		μs
t_{DEAD_HSON}	出力電圧上昇時のデッドタイム	SR = 11b または LVL4、ローサイド還流		0.60		μs
t_{DEAD_HSOFF}	出力電圧下降時のデッドタイム	すべての SR、ローサイド還流		0.1		μs
t_{BLANK}	電流レギュレーション ブランкиング時間(LS 還流に対してのみ有効)	TBLK = 0b.HW についてはこの選択肢のみ。		2.4		μs
t_{BLANK}	電流レギュレーション ブランкиング時間(LS 還流に対してのみ有効)	TBLK = 1b		3.4		μs

電流検出およびレギュレーション (I_{PROPI}、V_{REF})

4.5V $\leq V_{VM} \leq$ 65V, -40°C $\leq T_J \leq$ 150°C (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
A _{IPROPI}	電流ミラー ゲイン			202		μA/A
A _{ERR}	電流ミラー スケーリング誤差	I _{OUT} > 2A	-4	4		%
A _{ERR}	電流ミラー スケーリング誤差	0.5A \leq I _{OUT} \leq 2A	-10	10		%
A _{ERR}	電流ミラー スケーリング誤差	0.2A \leq I _{OUT} \leq 0.5A	-25	25		%
A _{ERR_M}	2 つのハーフプリッジ間での電流マッチング	I _{OUT} > 2A	-3	3		%
V _{IPROPI_LIM}	IPROPI の内部クランプ電圧			3.4	5.5	V
V _{ITRIP_LVL}	ITRIP レギュレーションで TOFF サイクルをトリガするための V _{IPROPI} の電圧制限	S _{_ITRIP} = 001b または LVL2	1.08	1.2	1.3	V
V _{ITRIP_LVL}	ITRIP レギュレーションで TOFF サイクルをトリガするための V _{IPROPI} の電圧制限	S _{_ITRIP} = 010b (SPI のみ)	1.31	1.44	1.55	V
V _{ITRIP_LVL}	ITRIP レギュレーションで TOFF サイクルをトリガするための V _{IPROPI} の電圧制限	S _{_ITRIP} = 011b (SPI のみ)	1.53	1.67	1.81	V
V _{ITRIP_LVL}	ITRIP レギュレーションで TOFF サイクルをトリガするための V _{IPROPI} の電圧制限	S _{_ITRIP} = 100b または LVL3	1.83	2	2.16	V
V _{ITRIP_LVL}	ITRIP レギュレーションで TOFF サイクルをトリガするための V _{IPROPI} の電圧制限	S _{_ITRIP} = 101b または LVL4	2.14	2.34	2.52	V
V _{ITRIP_LVL}	ITRIP レギュレーションで TOFF サイクルをトリガするための V _{IPROPI} の電圧制限	S _{_ITRIP} = 110b または LVL5	2.44	2.67	2.88	V
V _{ITRIP_LVL}	ITRIP レギュレーションで TOFF サイクルをトリガするための V _{IPROPI} の電圧制限	S _{_ITRIP} = 111b または LVL6	2.74	3	3.24	V
t _{OFF}	ITRIP レギュレーション オフ時間	TOFF = 00b	9	20	35	μs
t _{OFF}	ITRIP レギュレーション オフ時間	TOFF = 01b.HW についてはこの選択肢のみ。	15	30	45	μs
t _{OFF}	ITRIP レギュレーション オフ時間	TOFF = 10b	20	40	60	μs
t _{OFF}	ITRIP レギュレーション オフ時間	TOFF = 11b	25	50	70	μs

保護回路

V _{VMOV_POB}	立ち上がり時の VM 過電圧スレッショルド、POB 時			60	69	V	
V _{VMOV}	立ち上がり時の VM 過電圧スレッショルド	OVSEL = 0b (SPI のみ)			59.5	64.5	V
V _{VMOV_HYS}	VM 過電圧ヒステリシス			0.7		V	
t _{VMOV}	VM 過電圧グリッヂ除去時間			4	12	19	μs
V _{VMUV}	VM 低電圧	VM 立ち下がり	4.1	4.25	4.4	V	
V _{VMUV}	VM 低電圧	VM 立ち上がり	4.15	4.3	4.45	V	
V _{VMUV_HYS}	VM UV ヒステリシス	立ち上がりから立ち下がりへのスレッショルド			0.065		V
t _{VMUV}	VM UV グリッヂ除去時間			3	12	20	μs
V _{POR_FALL}	デバイスが POR に入る VDD 電圧					2.7	V
V _{POR_RISE}	デバイスが POR から出る VDD 電圧					2.8	V
I _{OCP}	過電流保護スレッショルド、DRV8263	OCP_SEL = 11b、HW についてはこの選択肢のみ			28	47	A
I _{OCP}	過電流保護スレッショルド、DRV8263	OCP_SEL = 10b			22	37.5	A
I _{OCP}	過電流保護スレッショルド、DRV8263	OCP_SEL = 01b			14.5	26	A
I _{OCP}	過電流保護スレッショルド、DRV8263	OCP_SEL = 00b			5.5	16	A
t _{OCP}	過電流保護グリッヂ除去時間	TOCP = 0b	0.5	1	1.65	μs	

4.5V \leq V_{VM} \leq 65V, -40°C \leq T_J \leq 150°C (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{OCP}	過電流保護グリッチ除去時間	TOCP = 1b, HW についてはこの選択肢のみ	0.6	2	3.5	μs
t_{RETRY}	過電流保護リトライ時間	フォルト応答を再試行に設定	2.6	5	6.7	ms
t_{CLEAR}	過電流イベントからの自動クリアに必要なフォルトのない動作時間	フォルト応答を再試行に設定	70		140	μs
T_{TSD}	サーマル シャットダウン温度	ダイ温度 T_J	155	170	185	°C
T_{HYS}	サーマル シャットダウン ヒステリシス	ダイ温度 T_J		20		°C
t_{TSD}	サーマル シャットダウン グリッチ除去時間		7	12	18	μs
t_{CLEAR_TSD}	過熱イベントからの自動クリアに必要なフォルトのない動作時間	フォルト応答を再試行に設定	3.6	5	6.4	ms
T_{OTW}	過熱警告スレッショルド	ダイ温度 T_J , OTW_SEL = 0b	125	140	155	°C
T_{OTW}	過熱警告スレッショルド	ダイ温度 T_J , OTW_SEL = 1b	105	120	135	°C
T_{HYS_OTW}	過熱警告ヒステリシス	ダイ温度 T_J		20		°C
t_{OTW}	過熱警告グリッチ除去時間		7	12	18	μs
T_{DIE}	ダイ温度の測定範囲	ダイ温度 T_J	-40		185	°C
I_{IPROPI_DIE}	ダイ温度測定の IPROPI 電流範囲		0.5		1.5	mA
T_{DIE_ACC}	ダイ温度の測定精度	理想的な IPROPI 電流との相対誤差	-10		10	%
V_{POB_TH}	パワー オフ ブレーキ スレッショルド			580		mV
I_{OCP_POB}	POB の過電流保護スレッショルド			29		A
t_{OCP_POB}	POB の過電流保護グリッチ除去時間			8		μs
t_{POB_ON}	パワー オフ ブレーキのターンオン時間			20		μs
t_{POB_RETRY}	パワー オフ ブレーキの再試行時間			180		μs
$R_{S_GND_High}$	出力抵抗の範囲は通常どおり検出されます	OUTx-GND 抵抗、フルブリッジ負荷	13		∞	kΩ
$R_{S_GND_X}$	不定の検出を伴う出力抵抗の範囲(いずれかの状態として検出可能)	OUTx-GND 抵抗、フルブリッジ負荷	1.5		13	kΩ
$R_{S_GND_Low}$	短絡として検出された出力抵抗の範囲	OUTx-GND 抵抗、フルブリッジ負荷	0		1.5	kΩ
$R_{S_VM_High}$	出力抵抗の範囲は通常どおり検出されます	OUTx-VM 抵抗、VM=48V、フルブリッジ負荷		150		kΩ
$R_{S_VM_X}$	不定の検出を伴う出力抵抗の範囲(いずれかの状態として検出可能)	OUTx-VM 抵抗、VM=48V、フルブリッジ負荷	3		150	kΩ
$R_{S_VM_Low}$	短絡として検出された出力抵抗の範囲	OUTx-VM 抵抗、VM=48V、フルブリッジ負荷	0		3	kΩ
$R_{OPEN_FB_High}$	開放として検出された出力抵抗の範囲	OUT1-OUT2 抵抗、フルブリッジ負荷	0.55		∞	kΩ
$R_{OPEN_FB_X}$	不定の検出を伴う出力抵抗の範囲(いずれかの状態として検出可能)	OUT1-OUT2 抵抗、フルブリッジ負荷	0.03		0.55	kΩ
$R_{OPEN_FB_Low}$	出力抵抗の範囲は通常どおり検出されます	OUT1-OUT2 抵抗、フルブリッジ負荷	0		0.03	kΩ
$R_{OPEN_LS_High}$	開放として検出された出力抵抗の範囲	OUTx-GND 抵抗、ローサイド負荷	1.5		∞	kΩ
$R_{OPEN_LS_X}$	不定の検出を伴う出力抵抗の範囲(いずれかの状態として検出可能)	OUTx-GND 抵抗、ローサイド負荷	0.9		1.5	kΩ
$R_{OPEN_LS_Low}$	出力抵抗の範囲は通常どおり検出されます	OUTx-GND 抵抗、ローサイド負荷	0		0.9	kΩ
$R_{OPEN_HS_High}$	開放として検出された出力抵抗の範囲	OUTx-VM 抵抗、ハイサイド負荷、 $V_{VM} = 48V$	30		∞	kΩ
$R_{OPEN_HS_X}$	不定の検出を伴う出力抵抗の範囲(いずれかの状態として検出可能)	OUTx-VM 抵抗、ハイサイド負荷、 $V_{VM} = 48V$	16		30	kΩ

4.5V \leq V_{VM} \leq 65V, -40°C \leq T_J \leq 150°C (特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位
$R_{OPEN_HS_LOW}$	出力抵抗の範囲は通常どおり検出されます	OUTx-VM 抵抗、ハイサイド負荷、 $V_{VM} = 48V$	0	16	kΩ
V_{OLP_REFH}	OLP コンパレータ基準電圧 High			2.7	V
V_{OLP_REFL}	OLP コンパレータ基準電圧 Low			2.2	V
R_{OLP_PU}	OLP 時に OUT を内部 5V へプルアップする抵抗	$V_{OUTx} = V_{OLP_REFH} + 0.1V$		1	kΩ
R_{OLP_PD}	OLP 時に内部で OUT を GND へプルダウンする抵抗	$V_{OUTx} = V_{OLP_REFL} - 0.1V$		1	kΩ
I_{PD_OLA}	ハイサイド還流のデッドタイム中に OUTx から GND へ流れ込む内部シンク電流、220V/μs スルーレート			10	24 mA
I_{PD_OLA}	ハイサイド還流のデッドタイム中に OUTx から GND へ流れ込む内部シンク電流、110V/μs スルーレート			5	12 mA
I_{PD_OLA}	ハイサイド還流のデッドタイム中に OUTx から GND へ流れ込む内部シンク電流、50V/μs スルーレート			2.3	6 mA
I_{PD_OLA}	ハイサイド還流のデッドタイム中に OUTx から GND へ流れ込む内部シンク電流、20V/μs スルーレート			0.8	2.6 mA
V_{OLA_REF}	OLA で使用される VM に対するコンパレータ基準電圧			0.28	V

6.5 タイミング要件

		最小値	公称値	最大値	単位
t_{SCLK}	SCLK の最小周期		150		ns
t_{SCLKH}	SCLK 最小 High 時間		70		ns
t_{SCLKL}	SCLK の最小 Low 時間		70		ns
t_{HI_nSCS}	SDO 最小 High 時間		600		ns
t_{SU_nSCS}	nSCS 入力セットアップ時間		25		ns
t_{H_nSCS}	nSCS 入力ホールド時間		25		ns
t_{SU_SDI}	SDI 入力データ セットアップ時間		25		ns
t_{H_SDI}	SDI 入力データ ホールド時間		25		ns
t_{EN_nSCS}	イネーブル遅延時間、nSCS Low から SDO アクティブまで			45	ns
t_{DIS_nSCS}	ディセーブル遅延時間、nSCS High から SDO HI-Z まで			425	ns

6.6 タイミング図

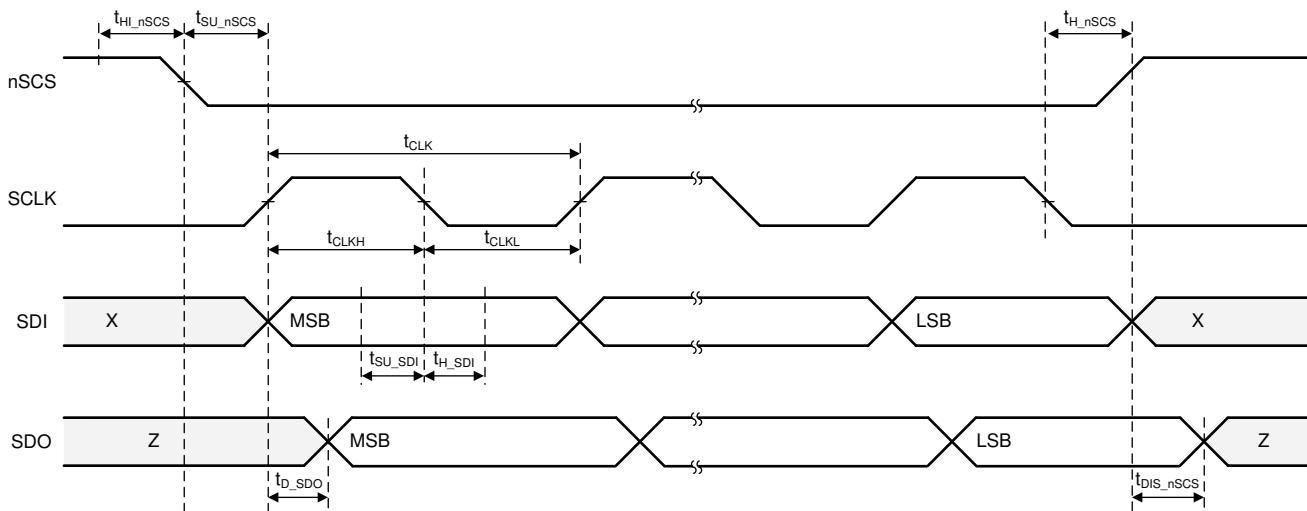


図 6-1. SPI タイミング図

6.7 熱に関する情報

アプリケーションに関する使用例については、「過渡熱インピーダンス」表を参照してください。

熱評価基準 ⁽¹⁾		VQFN-HR パッケージ	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	35.0	°C/W
$R_{\theta JC(\text{top})}$	接合部からケース(上面)への熱抵抗	18.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	6.0	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	6.0	°C/W
$R_{\theta JC(\text{bot})}$	接合部からケース(底面)への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.7.1 過渡熱インピーダンスと電流能力

熱シミュレーションに基づく情報

表 6-1. 過渡熱インピーダンス ($R_{\theta JA}$) および電流能力

部品番号	$R_{\theta JA}$ [°C/W] ⁽¹⁾			電流 [A] ⁽²⁾				
				PWM なし ⁽³⁾			PWM あり ⁽⁴⁾	
	0.1sec	1sec	DC	0.1sec	1sec	DC	1sec	DC
DRV8263-Q1	4.4	13.9	35.1	9.0	5.1	3.2	4.4	2.5

(1) 40mm x 40mm x 1.6mm の 4 層 PCB (最上層および最下層は 2 オンスの銅箔、内層は 1 オンスの銅箔、サーマルピアはドリル径 0.3mm で 0.025mm の銅メッキ、最小ピッチ 1mm) を使用した熱シミュレーションによる。

(2) 周囲温度 85°C、接合部温度上昇が最大 150°C での過渡電流能力推定値

(3) 導通損失 (I^2R) のみを考慮

(4) スイッチング損失は、次の式で概算されます。

$$P_{SW} = V_{VM} \times I_{Load} \times f_{PWM} \times V_{VM}/SR, \text{ where } V_{VM} = 48V, f_{PWM} = 20\text{KHz}, SR = 175V/\mu\text{s} \quad (1)$$

6.8 スイッチング波形

6.8.1 出力スイッチング遷移

このセクションでは、外部 PWM または内部 ITRIP レギュレーションにより発生する、誘導性負荷に対するスイッチング遷移を示します。

6.8.1.1 ハイサイド還流

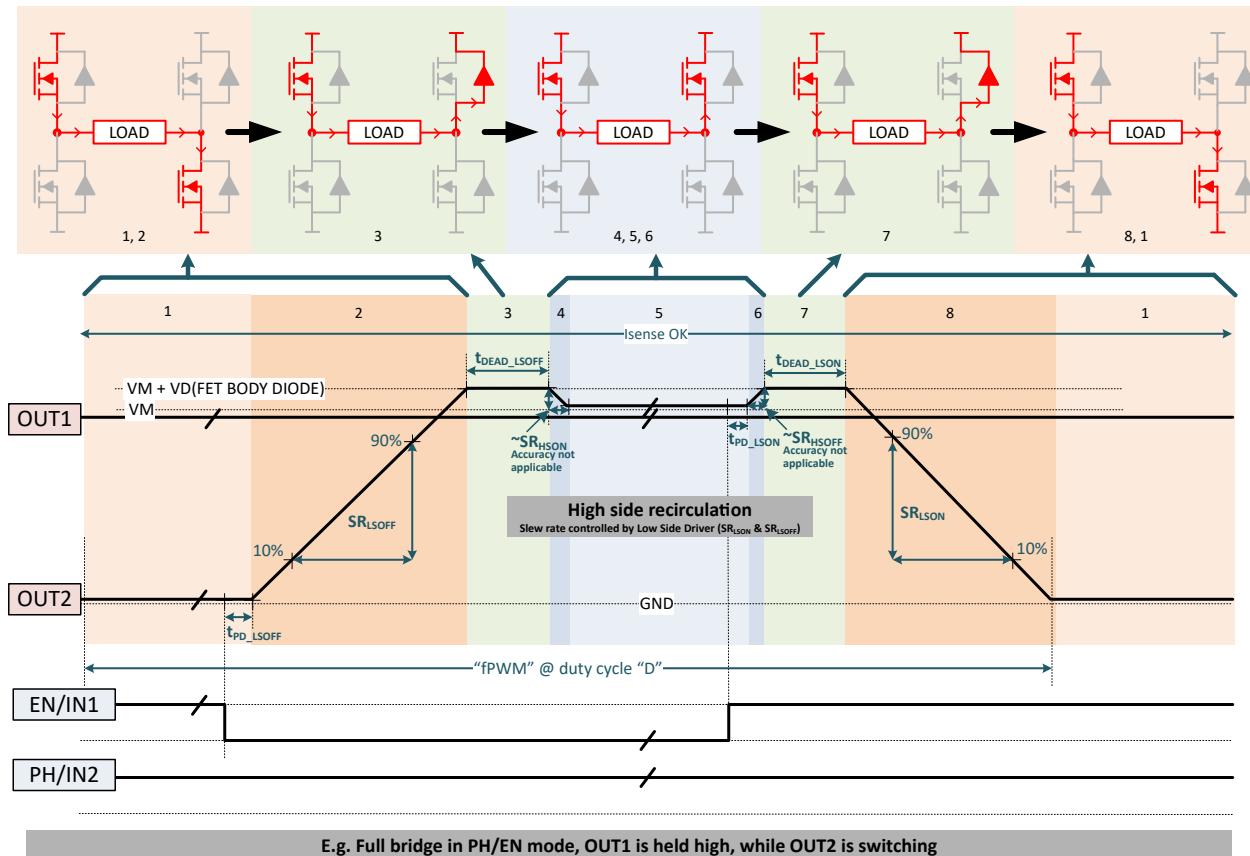


図 6-2. ハイサイド還流による H ブリッジの出力スイッチング遷移

6.8.2 ウエークアップ遷移

6.8.2.1 HW バリエント

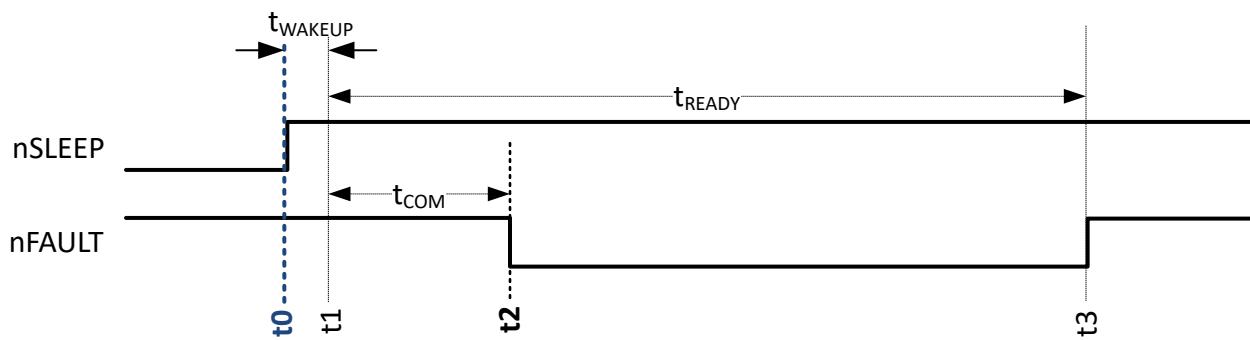


図 6-3. スリープ状態から ACK パルスなしでスタンバイ状態に復帰

ウェークアップ遷移時のコントローラとデバイス間のハンドシェイクは次のとおりです。

- t0: コントローラ - nSLEEP を HIGH にアサートして、デバイスウェークアップを開始
- t1: デバイス内部状態 - デバイスがウェークアップコマンドを登録(スリープ状態終了)
- t2: デバイス - nFAULT を Low にアサートして、ウェークアップをアクノリッジしデバイスが通信可能であることを通知
- t3: デバイス内部状態 - 初期化完了。nFAULT はアサート解除。デバイスはスタンバイ状態。

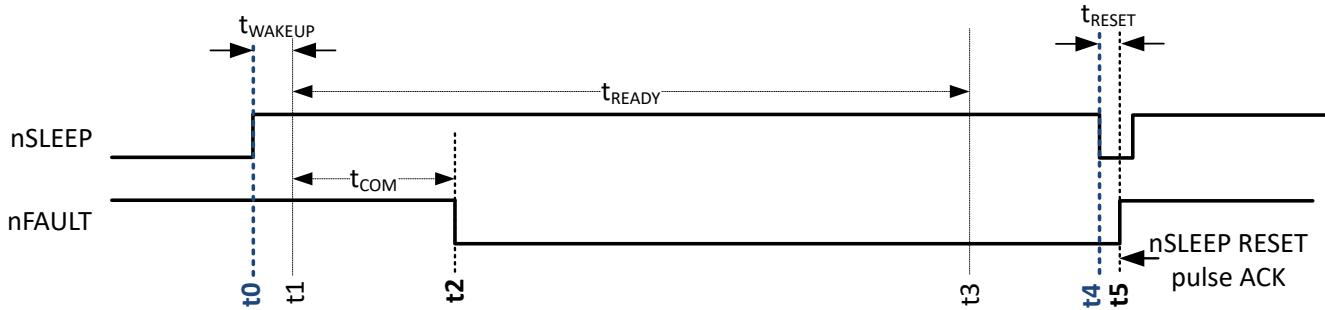


図 6-4. スリープ状態から ACK パルスありでスタンバイ状態に復帰

ウェークアップ遷移時のコントローラとデバイス間のハンドシェイクは次のとおりです。

- t0: コントローラ - nSLEEP を HIGH にアサートして、デバイスウェークアップを開始
- t1: デバイス内部状態 - デバイスがウェークアップコマンドを登録(スリープ状態終了)
- t2: デバイス - nFAULT を Low にアサートして、ウェークアップをアクノリッジしデバイスが通信可能であることを通知
- t3: デバイス内部状態 - 初期化完了
- t4 (t3 以後の任意の時刻): コントローラ - nSLEEP リセットパルスを発行、デバイスのウェークアップをアクノリッジ
- t5: デバイス - nSLEEP リセットパルスに対するアクノリッジとして、nFAULT をアサート解除。デバイスはスタンバイ状態。

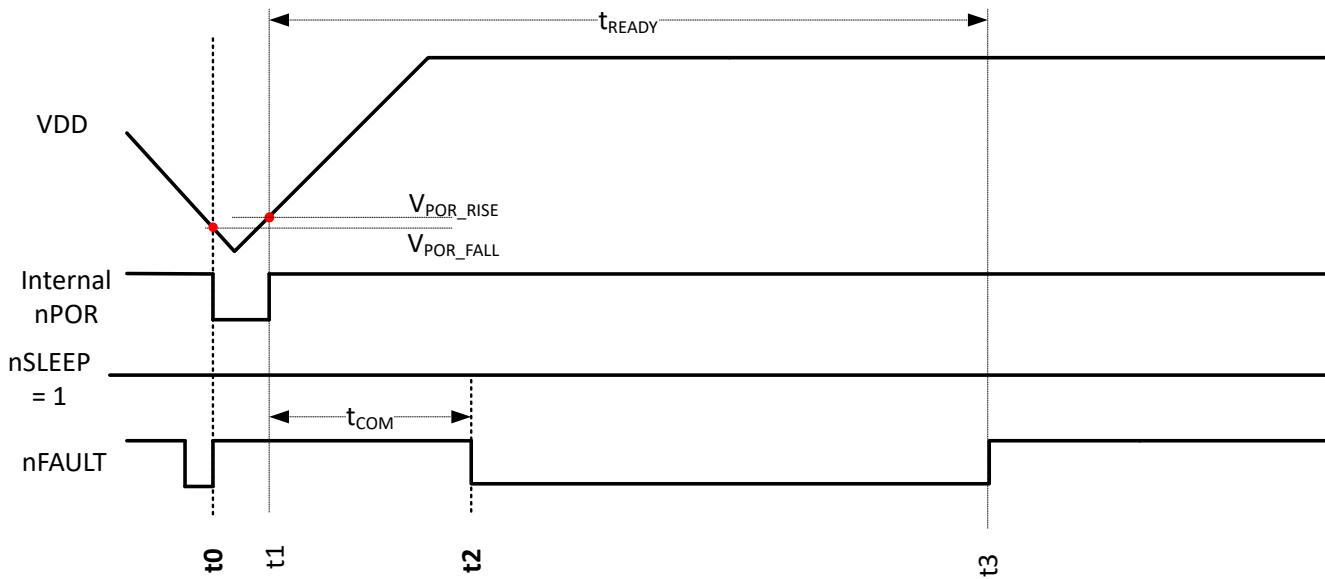


図 6-5. ACK パルスなしで、VDD によるスタンバイ状態へのパワーアップ

パワーアップ時のコントローラとデバイス間のハンドシェイクは次のとおりです。

- t0: デバイス内部状態 - VDD (外部電源) が低電圧になることにより POR をアサート
- t1: デバイス内部状態 - VDD (外部電源) の電圧が回復することにより POR をアサート解除
- t2: デバイス - nFAULT を Low にアサートして、ウェークアップをアクノリッジしデバイスが通信可能であることを通知
- t3: デバイス内部状態 - 初期化完了。nFAULT はアサート解除。デバイスはスタンバイ状態。

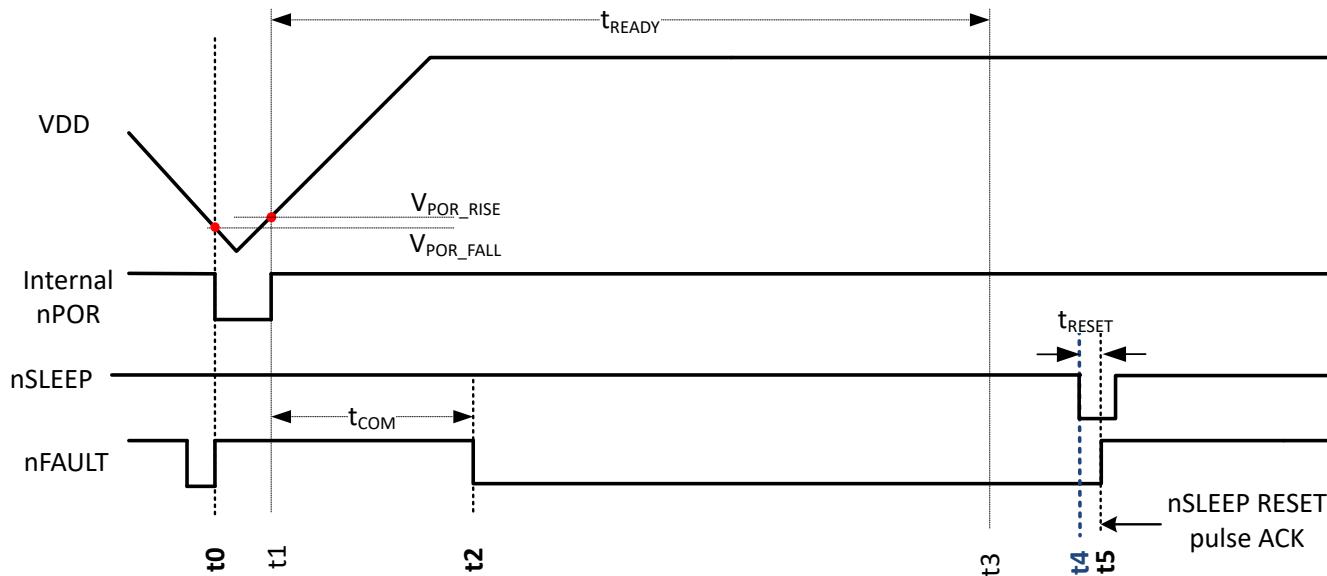


図 6-6. VDD 経由のパワーアップからスタンバイ状態への ACK パルスありのパワーアップ

パワーアップ時のコントローラとデバイス間のハンドシェイクは次のとおりです。

- t0: デバイス内部状態 - VDD (外部電源) が低電圧になることにより POR をアサート
- t1: デバイス内部状態 - VDD (外部電源) の電圧が回復することにより POR をアサート解除
- t2: デバイス - nFAULT を Low にアサートして、ウェークアップをアクノリッジしデバイスが通信可能であることを通知
- t3: デバイス内部状態 - 初期化完了
- t4 (t3 以後の任意の時刻): コントローラ - nSLEEP リセット パルスを発行、デバイスのパワーアップをアクノリッジ
- t5: デバイス - nSLEEP リセット パルスに対するアクノリッジとして、nFAULT をアサート解除。デバイスはスタンバイ状態。

6.8.2.2 SPI バリアント

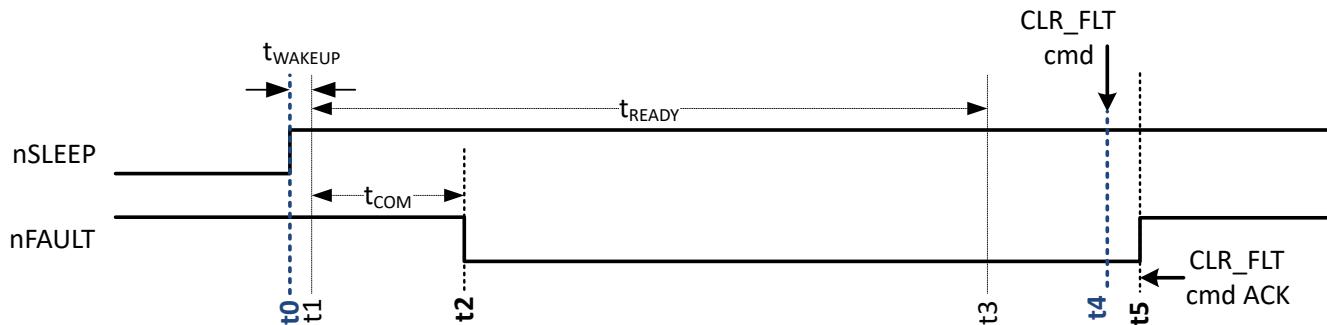


図 6-7. スリープ状態からスタンバイ状態に復帰

ウェークアップ遷移時のコントローラとデバイス間のハンドシェイクは次のとおりです。

- t0: コントローラ - nSLEEP を HIGH にアサートして、デバイス ウェークアップを開始
- t1: デバイス内部状態 - デバイスがウェークアップ コマンドを登録 (スリープ状態終了)
- t2: デバイス - nFAULT を Low にアサートして、ウェークアップをアクノリッジしデバイスが通信可能であることを通知
- t3: デバイス内部状態 - 初期化完了
- t4 (t3 以後の任意の時刻): コントローラ - CLR_FLT コマンドを発行 (SPI 経由)、デバイスのウェークアップをアクノリッジ
- t5: デバイス - CLR_FLT コマンドに対するアクノリッジとして、nFAULT をアサート解除。デバイスはスタンバイ状態

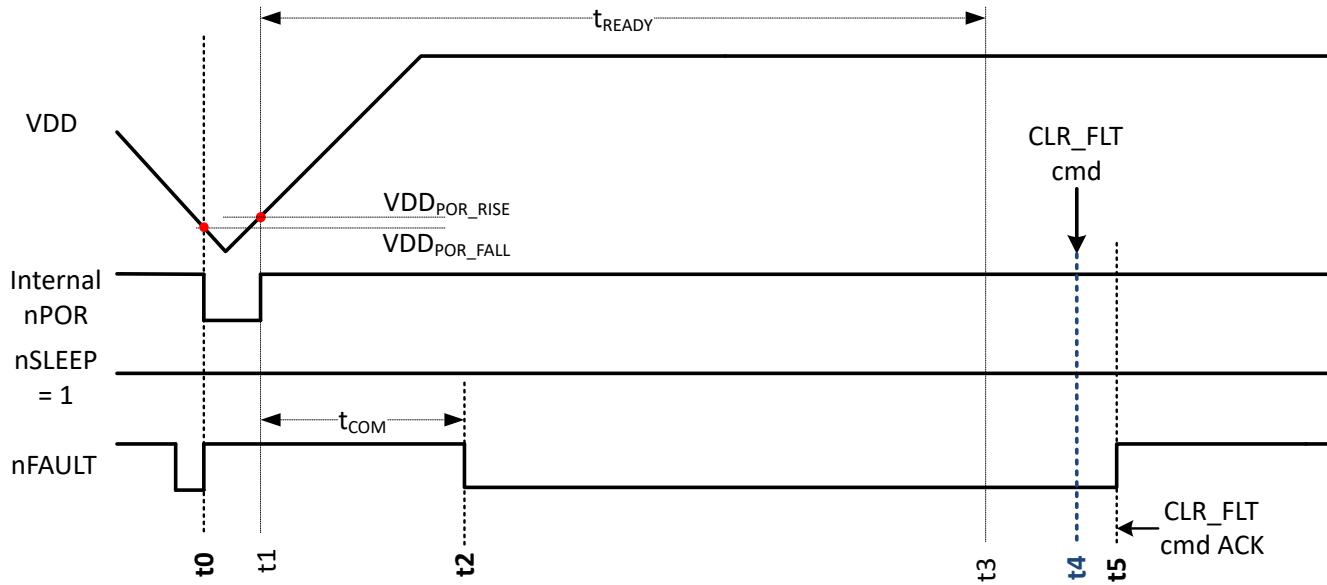


図 6-8. VDD によるパワーアップからスタンバイ状態への遷移

パワーアップ時のコントローラとデバイス間のハンドシェイクは次のとおりです。

- t0: デバイス内部状態 - VDD (外部電源) が低電圧になることにより POR をアサート
- t1: デバイス内部状態 - VDD (外部電源) の電圧が回復することにより POR をアサート解除
- t2: デバイス - nFAULT を Low にアサートして、ウェークアップをアクノリッジしデバイスが通信可能であることを通知
- t3: デバイス内部状態 - 初期化完了
- t4 (t3 以後の任意の時刻): コントローラ - CLR_FLT コマンドを発行 (SPI 経由)、デバイスのパワーアップをアクノリッジ
- t5: デバイス - CLR_FLT コマンドに対するアクノリッジとして、nFAULT をアサート解除。デバイスはスタンバイ状態

6.8.3 フォルト応答の遷移

6.8.3.1 再試行設定

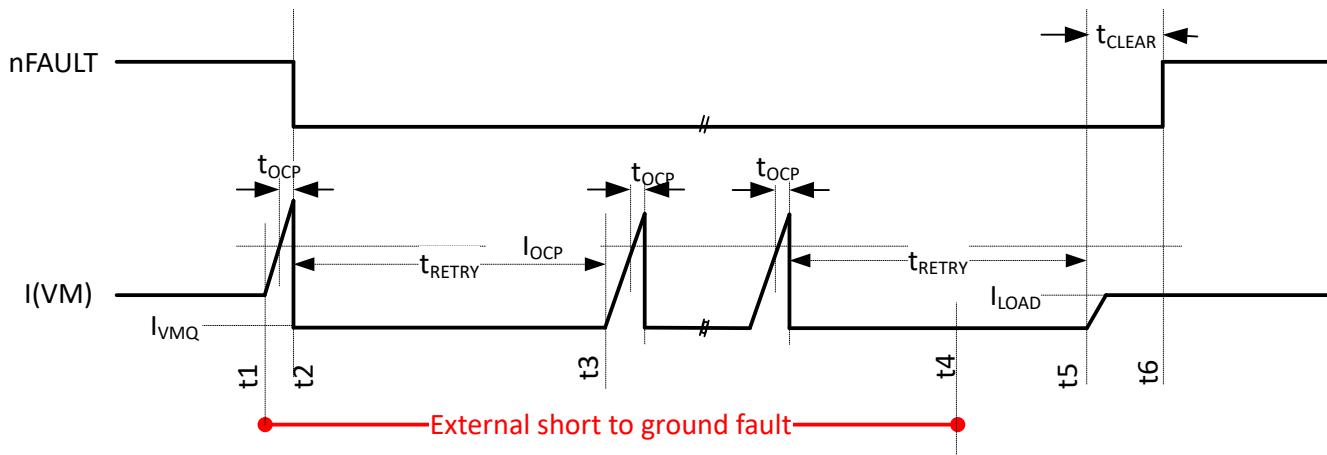


図 6-9. 再試行設定のフォルト応答 (OUT がグランドに短絡してハイサイドで OCP が発生した状況を表示)

再試行設定での短絡発生と回復のシナリオ:

- t1: 外部短絡が発生します。

- t2:t_{OCP} 後に OCP (過電流保護) フォルトが確認され、出力をディセーブルし、フォルトを通知するため nFAULT を LOW にアサートします。
- t3:t_{RETRY} 後にデバイスは自動的に再試行を実施します。出力を短時間オンにして短絡発生を確認すると、そのつど、t_{OCP} 後に直ちにディセーブルされます。この間 nFAULT は、LOW にアサートされたままで。ユーザーがドライバの機能を無効にするまで、または外部ショートが解消されるまで、図に示すように、このサイクルを繰り返します。TSD (サーマル シャットダウン) イベントの場合、自動再試行時間は、熱ヒステリシスに基づく冷却状況に依存することに注意してください。
- t4:外部短絡が解消されます。
- t5:デバイスは自動再試行を実施します。ただし、今回は異常が発生しないので、デバイスは出力をイネーブルのまま保持します。
- t6:t_{CLEAR} 期間中にわたってフォルトのない動作が確認されると、nFAULT はアサート解除されます。
- SPI バリアントのみ - CLR_FLT コマンドが実行されるまで、フォルトステータスはラッチされたままで。

出力がグランドへ短絡してハイサイド OCP フォルト検出が発生した場合、このタイプの短絡を示すために、出力がディセーブルになっている間は IPROPI ピンが引き続き V_{IPROPI_LIM} 電圧にプルアップされていることに注意してください。これは、グランドへの短絡フォルトと他のフォルトとを区別するために、特に HW バリアントにおいて役立ちます。

6.8.3.2 ラッチ設定

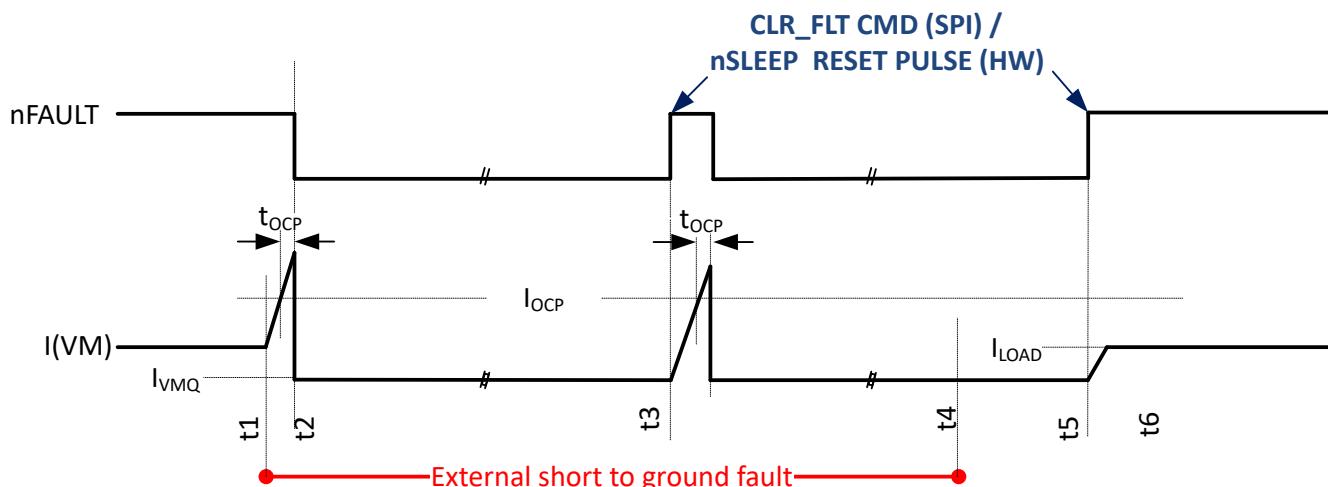


図 6-10. ラッチ設定のフォルト応答 (OUT がグランドに短絡してハイサイドで OCP が発生した状況を表示)

ラッチ設定での短絡発生と回復のシナリオ:

- t1: 外部短絡が発生します。
- t2:t_{OCP} 後に OCP (過電流保護) フォルトが確認され、出力をディセーブルし、フォルトを通知するため nFAULT を LOW にアサートします。
- t3:CLR_FLT コマンド (SPI バリアント) または nSLEEP リセット パルス (HW バリアント) がコントローラにより発行されます。nFAULT はアサート解除され、出力がイネーブルになります。OCP フォルトが再度検出され、nFAULT を LOW にアサートし、出力をディセーブルにします。
- t4:外部短絡が解消されます。
- t5:CLR_FLT コマンド (SPI バリアント) または nSLEEP リセット パルス (HW バリアント) がコントローラにより発行されます。nFAULT はアサート解除され、出力がイネーブルになります。通常動作を再開します。
- SPI バリアントのみ - CLR_FLT コマンドが実行されるまで、フォルトステータスはラッチされたままで。

出力がグランドへ短絡してハイサイド OCP フォルト検出が発生した場合、このタイプの短絡を示すために、出力がディセーブルになっている間は IPROPI ピンが引き続き V_{IPROPI_LIM} 電圧にプルアップされていることに注意してください。これは、グランドへの短絡フォルトと他のフォルトとを区別するために、特に HW バリアントにおいて役立ちます。

6.9 代表的特性

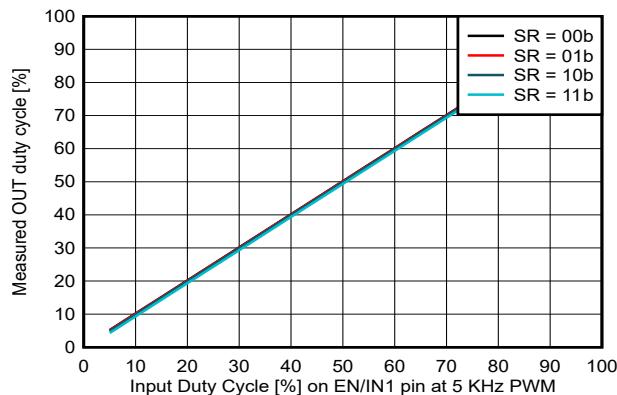


図 6-11. HS 遷流のデューティ サイクル実測値と入力デューティ サイクルとの関係 ($V_{VM} = 48V$ 、PWM 周波数 5kHz)

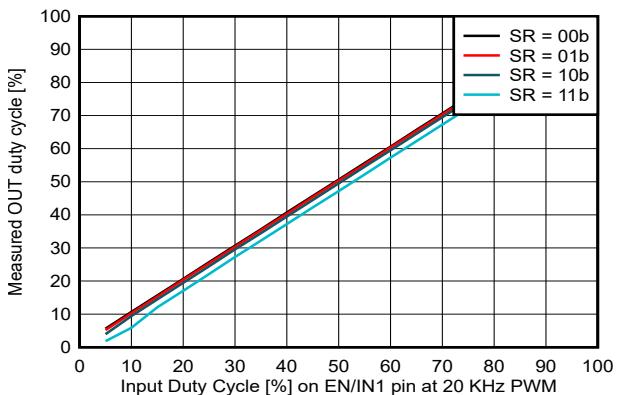


図 6-12. HS 遷流のデューティ サイクル実測値と入力デューティ サイクルとの関係 ($V_{VM} = 48V$ 、PWM 周波数 20kHz)

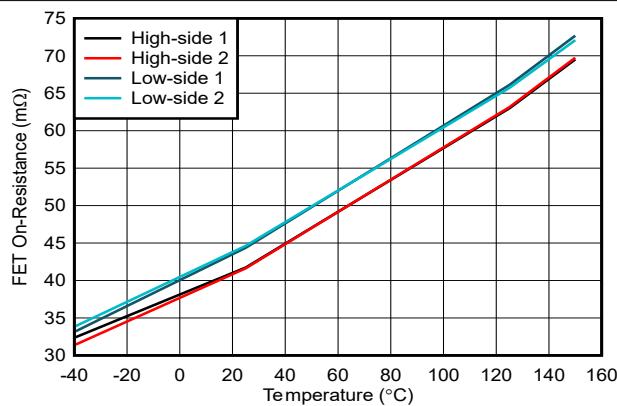


図 6-13. R_{HS_ON} および R_{LS_ON} と温度との関係 ($V_{VM} = 48V$)

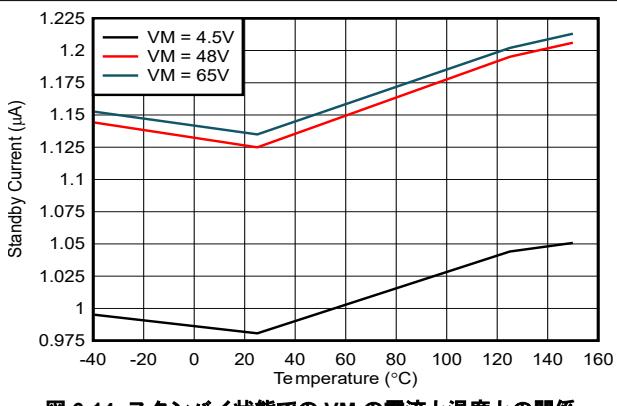


図 6-14. スタンバイ状態での VM の電流と温度との関係

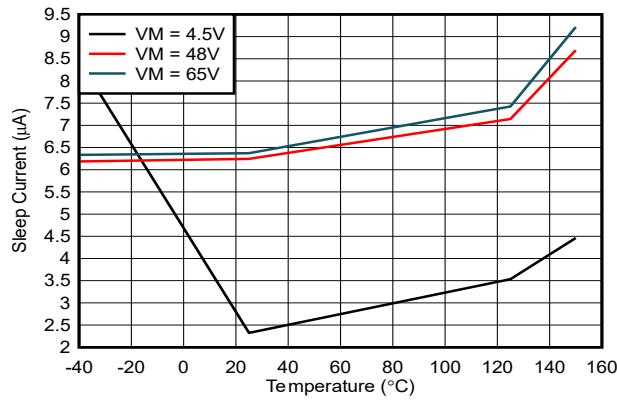


図 6-15. スリープ状態での VM の電流と温度との関係

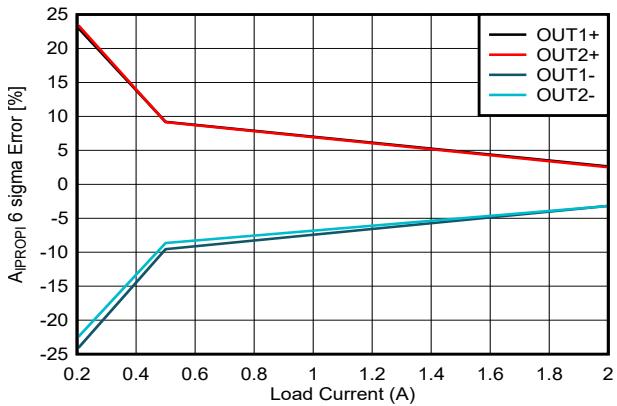


図 6-16. AIPROPI ゲイン誤差と負荷電流との関係 ($V_{VM} = 48V$)

7 詳細説明

7.1 概要

DRV8263-Q1 は、4.5~65V で動作するブラシ付き DC モータ ドライバであり、各種モータおよび負荷の幅広い出力負荷電流をサポートしています。本デバイスは、MODE 機能で設定される各種制御モードで動作できる H ブリッジ出力電力段を内蔵しています。また、チャージ ポンプ レギュレータを内蔵しており、高効率ハイサイド N チャネル MOSFET と 100% デューティ サイクル動作に対応しています。本デバイスは、バッテリまたは DC 電圧電源に直接接続できる電源入力 (VM) で動作します。また、低消費電力モードを備えており、スリープ時の電流引き込みを最小限に抑えることができます。デバイスのデジタル ブロックには、VDD ピンから外部電源入力から電力が供給されます。動作には、VM と VDD の両方が必要です。

このデバイスは、2 種類のインターフェイスのバリエントで供給されます。

1. **HW バリエント** - ハードワイヤ接続によるインターフェイスのバリエントで、簡単にデバイスを構成できます。デバイスで利用可能なピン数に制限があるため、このバリエントでは、SPI バリエントと比較して構成およびフォルト通知機能が少なくなっています。
2. **SPI バリエント** - 標準的な 4 線式シリアル ペリフェラル インターフェイス (SPI) およびデイジーチェーン機能により、柔軟なデバイス構成と、外部コントローラへの詳細なフォルト通知が可能です。SPI バリエントと HW バリエントの機能の差異は、「[デバイスの比較](#)」セクションに記載されています。

DRV8263-Q1 デバイスは、ハイサイド パワー MOSFET の電流ミラーを使用した負荷電流センス出力を提供します。IPROPI ピンは、ハイサイド MOSFET の電流 (OUTx ピンから流出する電流) に比例する小さい電流を供給します。この電流は、外付け抵抗 (R_{IPROPI}) を使用して比例電圧に変換できます。さらに、SPI バリエントでは、ダイ温度に比例する電流を出力するように IPROPI ピンをプログラムできます。このデバイスは、固定オフ時間の PWM チョッピング方式もサポートしており、負荷への電流を制限できます。電流レギュレーション レベルは、ITRIP 機能を使用して設定できます。

このデバイスには、さまざまな保護機能と診断機能が内蔵されています。主な保護機能としては、電源電圧モニタ (VMUV および VMOV)、オフ状態 (パッシブ) 診断 (OLP)、オン状態 (アクティブ) 診断 (OLA)、各パワー FET の過電流保護 (OCP)、電源オフブレーキ (POB)、過熱警告 (OTW) およびダイ温度モニタ、過熱シャットダウン (TSD) があります。フォルト条件は nFAULT ピンにより示されます。SPI バリエントには、この他に、フレーム エラー、構成レジスタ ビットおよびドライバ制御ビットのロック機能など、追加の通信保護機能があります。

7.2 機能ブロック図

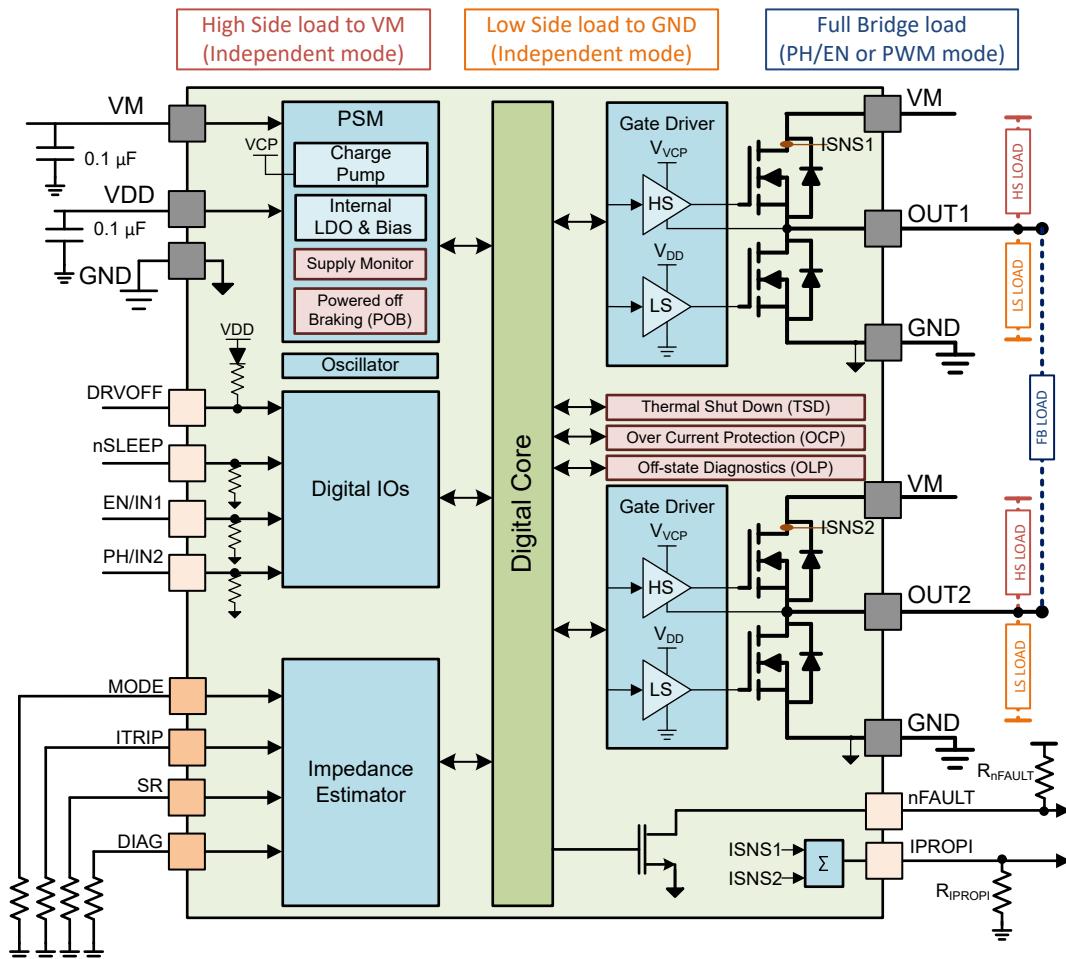


図 7-1. 機能ブロック図 - HW バリアント

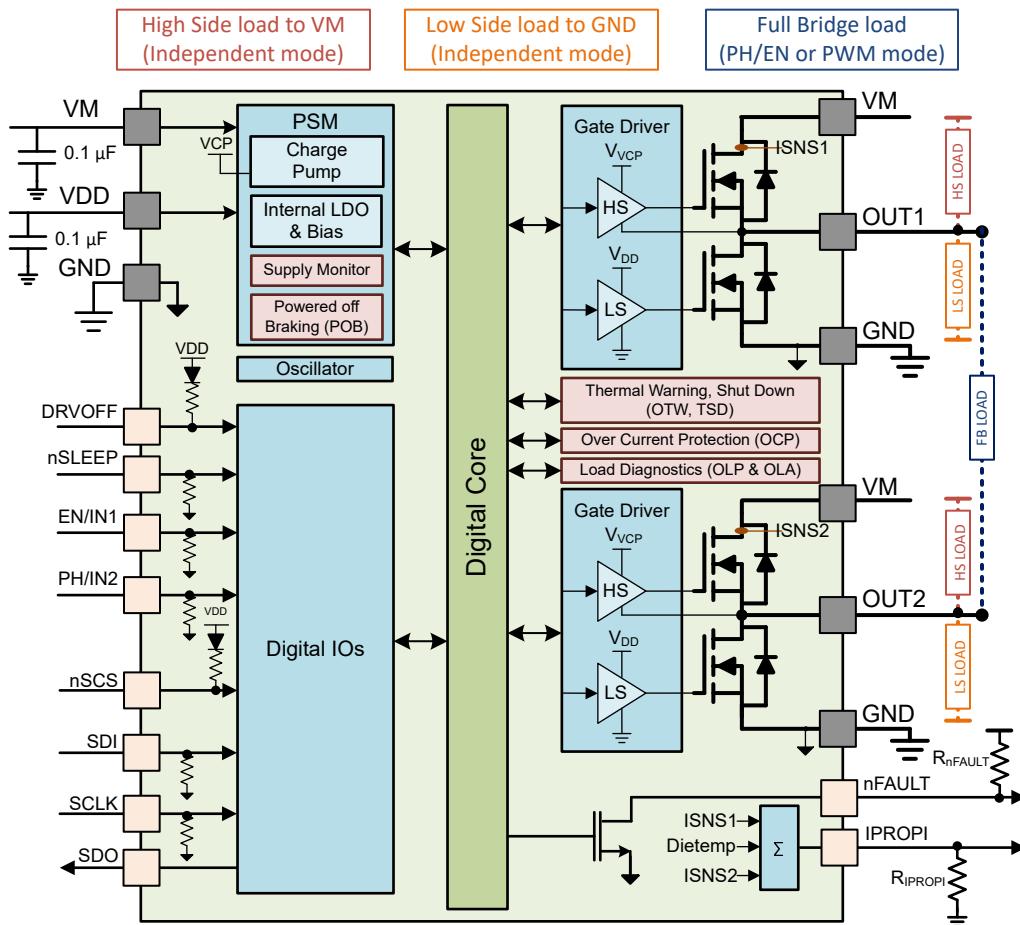


図 7-2. 機能ブロック図 - SPI バリアント

7.3 機能説明

7.3.1 外付け部品

表 7-1 および 表 7-2 に、推奨外付け部品を示します。

7.3.1.1 HW バリアント

表 7-1. HW バリアントの外付け部品表

部品	ピン	推奨事項
C _{VM1}	VM	GND に対して、VM に対応する定格電圧、0.1μF、低 ESR セラミック コンデンサ
C _{VM2}	VM	負荷過渡を処理するために、GND に対して、VM に対応する定格電圧のローカル バルク コンデンサ、10μF 以上。バルク コンデンサのサイズ決定に関するセクションを参照してください。
C _{VDD}	VDD	GND に対して、0.1μF、6.3V の低 ESR セラミック コンデンサ
R _{IPROPI}	IPROPI	GND に対して、通常 500~5000Ω、0.063W の抵抗。コントローラ ADC のダイナミックレンジによって抵抗値は異なります。ITRIP と IPROPI の機能が不要な場合、ピンを GND に短絡可能。
C _{IPROPI}	IPROPI	ITRIP レギュレーション ループを低速にする場合は、オプションで 10~100nF、6.3V コンデンサを GND との間に接続します。「過電流保護 (OCP)」セクションを参照。
R _{nFAULT}	nFAULT	通常、1kΩ~10kΩ、0.063W プルアップ抵抗をコントローラ電源との間に接続します。
R _{SR}	SR	設定に応じて、GND への開放または短絡、または 0.063W 10% の抵抗を GND との間に接続。「SR」セクションを参照してください。

表 7-1. HW バリアントの外付け部品表 (続き)

部品	ピン	推奨事項
R_{ITRIP}	ITRIP	設定に応じて、GND への開放または短絡、または 0.063W 10% の抵抗を GND との間に接続。ITRIP 表を参照してください。
R_{DIAG}	DIAG	設定に応じて、GND への開放または短絡、または 0.063W 10% の抵抗を GND との間に接続。「DIAG」セクションを参照してください。

7.3.1.2 SPI バリアント

表 7-2. SPI バリアントの外付け部品表

部品	ピン	推奨事項
C_{VM1}	VM	GND に対して、VM に対応する定格電圧、0.1 μ F、低 ESR セラミックコンデンサ
C_{VM2}	VM	負荷過渡を処理するために、GND に対して、VM に対応する定格電圧のローカル バルクコンデンサ、10 μ F 以上。バルクコンデンサのサイズ決定に関するセクションを参照してください。
C_{VDD}	VDD	GND に対して、0.1 μ F、6.3V の低 ESR セラミックコンデンサ
R_{IPROPI}	IPROPI	GND に対して、通常 500~5000 Ω 、0.063W の抵抗。コントローラ ADC のダイナミックレンジによって抵抗値は異なります。ITRIP と IPROPI の機能が不要な場合、ピンを GND に短絡可能。
C_{IPROPI}	IPROPI	ITRIP レギュレーション ループを低速にする場合は、オプションで 10~100nF、6.3V コンデンサを GND との間に接続します。「過電流保護 (OCP)」セクションを参照。
R_{nFAULT}	nFAULT	通常、1k Ω ~10k Ω 、0.063W プルアップ抵抗をコントローラ電源との間に接続します。nFAULT 信号を使用しない場合、このピンは GND に短絡するか、開放のままにしておくことができます。

7.3.2 ブリッジ制御

DRV8263-Q1 デバイスは、3 つの異なるモードを備えており、EN/IN1 ピンと PH/IN2 ピンを使った各種制御方式に対応しています。制御モードは、モード設定により選択します。モードは、HW バリアントでは MODE ピン、SPI バリアントでは CONFIG3 レジスタの S_MODE ビットによって決まる 3 レベルの設定です (表 7-3 参照)。

表 7-3. モード表

MODE ピン	S_MODE ビット	デバイス モード	説明
R_{LVL1}	00b	PH/EN モード	フルブリッジ モード、EN/IN1 は PWM 入力、PH/IN2 は方向入力
R_{LVL2}	01b	独立モード	2 つのハーフブリッジを個別に制御
R_{LVL3}	10b、11b	PWM モード	フルブリッジ モード、方向に応じて EN/IN1 および PH/IN2 がそれぞれ PWM を制御

HW バリアントでは、電源オンまたはスリープからのウェイクアップ後のデバイス初期化時に、MODE ピンがラッチされます。動作中の更新はブロックされます。

デバイスの SPI バリアントでは、SPI 通信が利用可能なときに S_MODE ビットに書き込むことで、いつでもモード設定を変更できます。この変更はすぐに反映されます。

入力は、静的電圧信号 (100% 駆動モード) またはパルス幅変調 (PWM) 電圧信号 (PWM 駆動モード) を受け入れます。VM を印加する前に、デバイスの入力ピンに電力を供給しても問題ありません。入力がない場合に出力がハイインピーダンスになるように、デフォルトで nSLEEP ピンおよび DRVOFF ピンには、それぞれ内部プルダウン抵抗およびプルアップ抵抗が接続されています。EN/IN1 ピンおよび PH/IN2 ピンにも、内部プルダウン抵抗が接続されています。以下のセクションでは、各制御モードの真理値表を示します。

このデバイスは、ハーフブリッジ切り替え時のハイサイド FET とローサイド FET の遷移中に必要となる希望のデッドタイムを自動的に生成します。このタイミングは、内部での FET ゲート - ソース間電圧フィードバックに基づきます。外部タイミングは必要ありません。この方式により、最小デッドタイムが提供されるとともに、ショートスルーポートが保証されます。

注

1. SPI バリアントでは、**SPI_IN** レジスタ ビットを使用して追加の制御を行うこともできます。「レジスタ - ピン制御」を参照してください。

7.3.2.1 PH/EN モード

このモードでは、2つのハーフブリッジがフルブリッジとして動作するように構成されます。EN/IN1 は PWM 入力、PH/IN2 は方向入力です。

表 7-4. 制御表 - PH/EN モード

nSLEEP	DRVOFF	EN/IN1	PH/IN2	OUT1	OUT2	デバイスの状態
0	X	X	X	ハイインピーダンス	ハイインピーダンス	SLEEP
1	1	0	0	ハイインピーダンス	ハイインピーダンス	STANDBY
1	1	1	0	オフ状態診断表を参照	STANDBY	
1	1	0	1			
1	1	1	1			
1	0	0	X	H	H	アクティブ
1	0	1	0	L ⁽¹⁾	H	アクティブ
1	0	1	1	H	L ⁽¹⁾	アクティブ

(1) 内部 ITRIP レギュレーションがイネーブルのとき、ITRIP レベルに達すると、OUTx は固定時間強制的に「H」になります

7.3.2.2 PWM モード

このモードでは、2つのハーフブリッジがフルブリッジとして動作するように構成されます。EN/IN1 は、1方向の PWM 入力を供給し、PH/IN2 は、その逆方向の PWM を供給します。

表 7-5. 制御表 - PWM モード

nSLEEP	DRVOFF	EN/IN1	PH/IN2	OUT1	OUT2	デバイスの状態
0	X	X	X	ハイインピーダンス	ハイインピーダンス	SLEEP
1	1	0	0	ハイインピーダンス	ハイインピーダンス	STANDBY
1	1	1	0	オフ状態診断表を参照	STANDBY	
1	1	0	1			
1	1	1	1			
1	0	0	0	H	H	アクティブ
1	0	0	1	L ⁽¹⁾	H	アクティブ
1	0	1	0	H	L ⁽¹⁾	アクティブ
1	0	1	1	ハイインピーダンス	ハイインピーダンス	STANDBY

(1) 内部 ITRIP レギュレーションがイネーブルのとき、ITRIP レベルに達すると、OUTx は固定時間強制的に「H」になります

SPI バリアントの場合、**CONFIG2** レジスタの EXTEND ビットを設定すると、正方向 ($[EN/IN1\ PH/IN2] = [1\ 0]$) または逆方向 ($[EN/IN1\ PH/IN2] = [0\ 1]$) コマンドの後に Hi-Z コマンド ($[EN/IN1\ PH/IN2] = [1\ 1]$) を実行したのと同じような、追加の Hi-Z 状態が発生します。この Hi-Z (コースト) 状態では、PWM に関与するハーフブリッジのみが Hi-Z になり、他のハーフブリッジの HS FET はオンに保持されます。どちらのハーフブリッジが Hi-Z になるかは、前のサイクルに基づいて決まります。**表 7-6** に、上述の内容を示します。

表 7-6. PWM 拡張表 (EXTEND ビット = 1b)

前の状態		現在の状態			デバイスの状態遷移
OUT1	OUT2	OUT1	OUT2	IPROPI	
ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	電流なし	スタンバイ状態のまま、変化なし

表 7-6. PWM 拡張表 (EXTEND ビット = 1b) (続き)

前の状態		現在の状態			デバイスの状態遷移
OUT1	OUT2	OUT1	OUT2	IPROPI	
H	H	ハイインピーダンス	ハイインピーダンス	電流なし	アクティブからスタンバイへ
L	H	ハイインピーダンス	H	ISNS2	アクティブからスタンバイへ
H	L	H	ハイインピーダンス	ISNS1	アクティブからスタンバイへ

7.3.2.3 独立モード

このモードでは、2つのハーフブリッジを2つの独立したハーフブリッジとして使用するよう構成します。表 7-7 にブリッジ制御の真理値表を示します。

表 7-7. 制御表 - 独立モード

nSLEEP	DRV0FF	EN/IN1	PH/IN2	OUT1	OUT2	デバイスの状態
0	X	X	X	ハイインピーダンス	ハイインピーダンス	SLEEP
1	1	0	0	ハイインピーダンス	ハイインピーダンス	STANDBY
1	1	1	0	オフ状態診断表を参照		STANDBY
1	1	0	1			STANDBY
1	1	1	1			STANDBY
1	0	0	0			アクティブ
1	0	0	1	L	L	アクティブ
1	0	1	0	H ⁽¹⁾	L	アクティブ
1	0	1	1	H ⁽¹⁾	H ⁽¹⁾	アクティブ

SPI バリアントでは、SPI_IN レジスタがロックされていない場合、SPI_IN レジスタにある等価ビット S_DRV0FF および S_DRV0FF2 により、両方のハーフブリッジを個別に Hi-Z 制御することができます。表 7-8 に、ピンとレジスタを組み合わせた入力を使用するブリッジ制御の真理値表を示します。表 7-8 に示す組み合わせ入力の詳細については、「レジスタ - ピン制御」を参照してください。

表 7-8. 制御表 - 独立モードの SPI バリアント、SPI_IN がロックされていない場合

nSLEEP	DRV0FF1 組み合わせ	DRV0FF2 組み合わせ	EN/IN1 組み 合わせ	PH/IN2 組み 合わせ	OUT1	OUT2	デバイスの状態
0	X	X	X	X	ハイインピーダンス	ハイインピーダンス	SLEEP
1	1	1	0	0	ハイインピーダンス	ハイインピーダンス	STANDBY
1	1	1	1	0	オフ状態診断表を参照		STANDBY
1	1	1	0	1			STANDBY
1	1	1	1	1			STANDBY
1	1	0	X	0	ハイインピーダンス	L	アクティブ
1	1	0	X	1	ハイインピーダンス	H ⁽¹⁾	アクティブ
1	0	1	0	X	L	ハイインピーダンス	アクティブ
1	0	1	1	X	H ⁽¹⁾	ハイインピーダンス	アクティブ
1	0	0	0	0	L	L	アクティブ
1	0	0	0	1	L	H ⁽¹⁾	アクティブ
1	0	0	1	0	H ⁽¹⁾	L	アクティブ
1	0	0	1	1	H ⁽¹⁾	H ⁽¹⁾	アクティブ

(1) 内部 ITRIP レギュレーションがイネーブルのとき、ITRIP レベルに達すると、OUTx は固定時間強制的に「L」になります

このモードでのデバイスの動作を以下に示します。

- 負荷電流は、 $VM \rightarrow OUTx \rightarrow$ 負荷に流れる電流についてのみ検出できます。したがって、ハイサイド負荷に対する電流センスは不可能です。
- SPI バリアントの場合、ISEL ビットに応じて、IPROPI ピンの電流は、両方のハーフブリッジからのハイサイドセンス電流の合計、またはハーフブリッジの電流に構成できます。
- HW バリアントの場合、IPROPI ピンの電流は、両方のハーフブリッジからのハイサイドセンス電流の合計です。したがって、ITRIP 電流レギュレーション機能は、完全に独立したものではなく、両方を合わせた電流レギュレーションになっています。
- ローサイド還流 (ローサイド負荷) では、スルーレートの設定に制限があります。
- アクティブ状態での負荷開放診断 (OLA) は、ハイサイド負荷に対してのみ可能です。
- HW バリアントでは、各ハーフブリッジに個別の Hi-Z 制御を行うことはできません。DRVOFF ピンを HIGH にアサートすると、両方のハーフブリッジが Hi-Z になります。

7.3.2.4 レジスタ - ピン制御 - SPI バリアントのみ

SPI バリアントでは、**SPI_IN** レジスタの特定のレジスタビット、**S_DRVOFF**、**S_DRVOFF2**、**S_ENIN1**、**S_PHIN2** を使って、ブリッジを制御できます。これは **SPI_IN** レジスタがロック解除されている場合に限ります。ユーザーは、**COMMAND** レジスタの **SPI_IN_LOCK** ビットに適切な組み合わせを書き込むことで、このレジスタのロックを解除できます。

さらに、ユーザーは、各外部入力ピンと、**SPI_IN** レジスタの等価レジスタビットとの AND / OR ロジックによる組み合わせを設定することができます。このロジックの設定は、**CONFIG4** レジスタの、次に示す等価セレクトビットを使って行われます。

- DRV_SEL**、**ENIN1_SEL**、および **PHIN2_SEL**

出力の制御は、前のセクションに記載した真理値表と同様ですが、これらのロジックの組み合わせ入力を用います。組み合わせ入力の内容は以下のとおりです。

- Combined input = Pin input **OR** equivalent SPI_IN register bit, if equivalent CONFIG4 select bit = 0b
- Combined input = Pin input **AND** equivalent SPI_IN register bit, if equivalent CONFIG4 select bit = 1b
- 独立モードの場合:
 - DRVOFF2 combined = DRVOFF pin **OR** **S_DRVOFF2** bit, if **DRV_SEL** bit = 0b
 - DRVOFF2 combined = DRVOFF pin **AND** **S_DRVOFF2** bit, if **DRV_SEL** bit = 1b

スリープ機能については、外部 **nSLEEP** ピンが必要であることに注意してください。

このロジックの組み合わせにより、次の表に示すように、より多くの異なる構成をユーザーに提供できます。

表 7-9. レジスタ - ピン制御の例

例	CONFIG4:xxx_SEL ビット	PIN ステータス	SPI_IN ビットステータス	コメント
DRVOFF を冗長シャットオフとして使用	DRV_SEL = 0b	DRVOFF がアクティブ	S_DRVOFF アクティブ	DRVOFF ピン = 1 または S_DRVOFF ビット = 1 のいずれかの条件で、出力シャットオフ
ピンのみで制御	DRV_SEL = 1b	DRVOFF がアクティブ	S_DRVOFF = 1b	DRVOFF ピンの機能のみを利用
レジスタのみで制御	PHIN2_SEL ビット = 0b	PH/IN2 - GND へ短絡 またはフローティング	S_PHIN2 アクティブ	PH (方向) をレジスタビットのみで制御

7.3.3 デバイス設定

このセクションでは、ユーザーの使用事例に合わせて適切にデバイスを構成できるよう、さまざまなデバイス構成について説明します。

7.3.3.1 スルーレート (SR)

SR ピン (HW バリアント) または CONFIG3 レジスタ (SPI バリアント) の SR ビットにより、ドライバ出力のスルーレートが決まります。これによって、ユーザーは PWM スイッチング損失を最適化しながら、EM の適合要件を満たすことができます。このデバイスは、4 つのスルーレート設定をサポートしています。使用事例に応じて、スルーレートの範囲および値については、「[セクション 6.4](#)」セクションの「ハイサイド還流」または「ローサイド還流」のスイッチング パラメータ表を参照してください。

注

SPI バリアントは、オプションのスペクトラム拡散クロック (SSC) 機能も備えており、約 1.3MHz の三角波で内部発振器の周波数を平均値から $\pm 12\%$ の範囲に拡散して、高い周波数での放射を低減できます。HW バリアントには、スペクトラム拡散クロック (SSC) 機能はありません。

HW バリアントでは、電源オンまたはスリープからのウェークアップ後のデバイス初期化時に、SR ピンがラッピングされます。動作中の更新はブロックされます。

SPI バリアントでは、SPI 通信が利用可能なときに SR ビットに書き込むことによって、いつでもスルーレート設定を変更できます。この変更はすぐに反映されます。

7.3.3.2 IPROPI

このデバイスには、電流センスとダイ温度測定用の出力 (IPROPI ピン) があります。この情報は、OUTx の負荷の状態または制御あるいは、ダイの温度を確認するためにも使用できます。これらの統合機能により、複数の外部センス抵抗やセンサ回路が不要になり、システム サイズ、コスト、複雑さを削減できます。

このデバイスは、シャントレスのハイサイド電流ミラートポロジを使用して負荷電流を検出します。この方法により、デバイスが完全にオン ON (リニア モード) になったときにのみ、VM → OUTx → 負荷という経路でハイサイド FET を介して流れる単方向のハイサイド電流を検出できるようになります。

比例電圧 V_{IPROPI} を生成するには、外付け抵抗 (R_{IPROPI}) を介して IPROPI ピンをグランドに接続する必要があります。これにより、A/D コンバータ (ADC) を使って、 R_{IPROPI} 抵抗両端の電圧降下として負荷電流を測定できます。 R_{IPROPI} 抵抗は、すべてのコントローラ ADC を利用できるように、そのアプリケーションの負荷電流の期待値に基づいて値を調整できます。

ISEL ビットの設定に応じて、IPROPI ピンはダイ温度のアナログ電流表現を出力することもできます。これはテストと評価に使用することを意図していますが、デバイスの実行時に使用することはできません。

表 7-10. DRV8263-Q1 の ISEL 設定

インターフェイス	S_MODE	モード	ISEL	IPROPI
SPI	00b、10b、11b	PH/EN または PWM、フルブリッジ モード	11b	$(I_{HS1} + I_{HS2}) \times A_{IPROPI}$
			00b	ダイ温度の読み出し値
	01b	独立したハーフブリッジ モード	11b	$(I_{HS1} + I_{HS2}) \times A_{IPROPI}$
			10b	$I_{HS1} \times A_{IPROPI}$
			01b	$I_{HS1} \times A_{IPROPI}$
			00b	ダイ温度の読み出し値
HW	該当なし	PH/EN または PWM (フルブリッジ モード) または独立ハーフブリッジ モード	該当なし	$(I_{HS1} + I_{HS2}) \times A_{IPROPI}$

注

フルブリッジモードでは ISEL = 01b または 10b は推奨されません。

IPROPI 出力がダイの温度読み出し用に構成されている場合、デバイスは、次の式に従って電流を出力します。

$$\text{電流} (\mu\text{A}) = 3.00 * (\text{温度 } ^\circ\text{C}) + 863$$

この式は、-40°C と 185°C の間の温度に対して有効です。たとえば、ダイ温度が 85°C、ダイ温度の読み出し値として ISEL を選択した場合、IPROPI ピンからの電流は 1.118mA になります。

7.3.3.3 ITRIP レギュレーション

このデバイスは、オプションとして、固定 TOFF 時間方式による内部負荷電流レギュレーション機能を備えています。その方法としては、ITRIP 設定で決まる基準電圧と IPROPI ピンの電圧を比較します。TOFF 時間は、HW バリアントの場合は 30 μ sec に固定されています。TOFF 時間は、SPI バリアントの場合は CONFIG3 レジスタの TOFF ビットを使用して、20~50 μ sec の範囲で設定できます。

ITRIP レギュレーションが有効に設定されている場合、HS FET がイネーブルされて電流センシングが可能なときのみ動作します。このシナリオでは、IPROPI ピンの電圧が ITRIP 設定で決まる基準電圧を超えた場合、内部電流レギュレーション ループによって強制的に以下の動作が行われます。

- PH/EN または PWM モードでは、固定 TOFF 時間だけ OUT1 = H, OUT2 = H (ハイサイド還流)
 - サイクルスキップ: 最小デューティ サイクルの制限により (特に、低いスルーレート設定で高い VM の場合)、ITRIP レギュレーションがあっても負荷電流が増加し続けます。この電流増加を回避するため、サイクル スキップ方式が実装されています。TOFF 時間経過時点で、IOUT が ITRIP よりも大きい場合には、さらに TOFF 時間だけ還流時間が延長されます。この還流時間の追加は、TOFF 期間の終了時に IOUT 検出値が ITRIP よりも小さくなるまで継続されます。
- 独立モードでは、OUTx = H の場合、固定 TOFF 時間だけ OUTx = L に切り替わります。それ以外の場合、OUTx に変化はありません。

注

ユーザー入力は、常に内部制御よりも優先されます。したがって、TOFF 時間に内に入力が変化すると、残りの TOFF 時間は無視され、出力は指令された入力に従います。

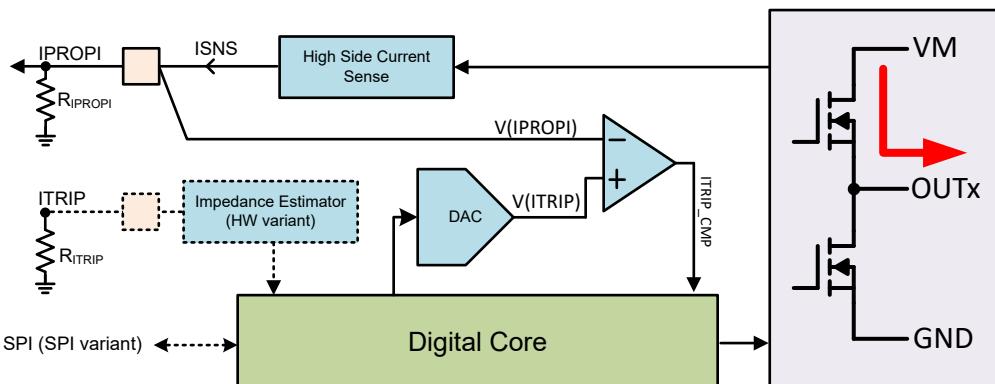


図 7-3. ITRIP の実装

電流制限は、次の式で設定されます。

$$\text{ITRIP regulation level} = V_{\text{ITRIP}} / (R_{\text{IPROPI}} \times A_{\text{IPROPI}}) \quad (2)$$

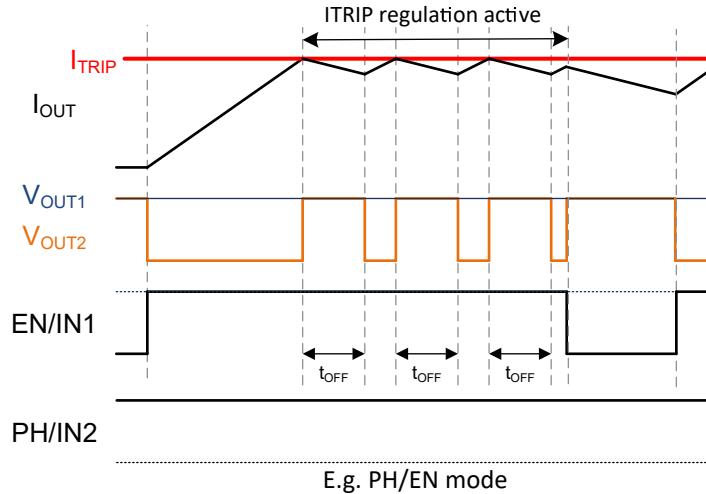


図 7-4. 固定 TOFF の ITRIP 電流レギュレーション

独立モードでは、ITRIP 機能は独立していません。どちらかのブリッジが ITRIP に達すると、OUTx ピンが High のハーフブリッジが TOFF 期間にわたって Low にトグルされます。

ITRIP コンパレータ出力 (ITRIP_CMP) は、負荷容量からの電流スパイクによるコンパレータ出力の誤トリガを回避するため、出力スルーリング中は無視されます。また、ローサイド還流から移行する場合は、ITRIP コンパレータの出力が有効になる前にセンスループが安定するように、追加のブランディング時間 t_{BLANK} が必要です。

HW バリアントでは、ITRIP に 6 レベルの設定があります。SPI バリアントでは、さらに 2 つの設定があります。これを以下の表にまとめます。

表 7-11. ITRIP テーブル

ITRIP ピン	S_ITRIP レジスタ ビット	V_ITRIP [V]
R _{LVL1}	000b	レギュレーション無効
R _{LVL2}	001b	1.2
該当なし	010b	1.44
該当なし	011b	1.67
R _{LVL3}	100b	2.00
R _{LVL4}	101b	2.34
R _{LVL5}	110b	2.67
R _{LVL6}	111b	3.00

HW バリアントでは、ITRIP ピンの変更は透過的で、変更はただちに反映されます。

SPI バリアントでは、SPI 通信が利用可能なときに S_ITRIP ビットに書き込むことによって、いつでも ITRIP 設定を変更できます。この変更は、デバイスの動作にただちに反映されます。

SPI バリアントのみ - ITRIP レギュレーション レベルに達すると、STATUS1 レジスタの ITRIP_CMP ビットがセットされます。nFAULT ピンでの通知はありません。このビットは、CLR_FLT コマンドによってクリアできます。

注

アプリケーションで、デバイスで提供されている選択肢を超える複数のステップを持つリニア ITRIP 制御が必要な場合、この抵抗で GND へ電圧を終端する代わりに、外部 DAC を使用して IPROPI 抵抗の下端の電圧を強制的に設定できます。この変更では、外部 DAC 設定により、次のように ITRIP 電流を制御できます。

$$\text{ITRIP regulation level} = (V_{\text{ITRIP}} - V_{\text{DAC}}) / (R_{\text{IPROPI}} \times A_{\text{IPROPI}}) \quad (3)$$

7.3.3.4 DIAG

DIAG は、以下に示すように、デバイスのアクティブ動作およびスタンバイ動作で使用される、ピン (HW バリアント) またはレジスタ (SPI バリアント) の設定です。

- スタンバイ状態
 - PH/EN モードまたは PWM モード: [オフ状態診断 \(OLP\)](#) をイネーブルまたはディセーブルにします
 - POB をイネーブルまたはディセーブルにします。
 - 独立モードの場合: [オフ状態診断 \(OLP\)](#) をイネーブルまたはディセーブルにし、イネーブルにする場合は OLP の組み合わせを選択します。詳細については、「[オフ状態診断 \(OLP\)](#)」セクションの表を参照してください。
- アクティブ状態
 - 独立モードの場合: 負荷タイプがハイサイド負荷として設定されている場合は、ITRIP レギュレーション機能をマスクします。
 - SPI バリアントのみ - 独立モード: 負荷タイプがローサイド負荷として設定されている場合は、アクティブ開放負荷検出 (OLA) をマスクします。
 - HW バリアントのみ - デバイスの起動とフォルト応答を再試行またはラッチのいずれかに設定します

7.3.3.4.1 HW バリアント

HW バリアントでは、DIAG ピンは 6 レベルの設定です。モードに応じて、その構成を以下の表にまとめます。

表 7-12. DIAG 表 (HW バリアント、PH/EN または PWM モード)

DIAG ピン	オフ状態診断	nSLEEP ウェークアップ パルス	POB	フォルト応答
R _{LVL1}	ディセーブル	必須ではない	ディセーブル	再試行
R _{LVL2}	ディセーブル	必須ではない	ディセーブル	ラッチ
R _{LVL3}	ディセーブル	必須ではない	イネーブル	ラッチ
R _{LVL4}	イネーブル	必須ではない	ディセーブル	ラッチ
R _{LVL5}	ディセーブル	必須	ディセーブル	ラッチ
R _{LVL6}	イネーブル	必須ではない	イネーブル(スリープ モード 時のみ)	ラッチ

表 7-13. DIAG 表 (HW バリアント、独立モード)

DIAG ピン	スタンバイ状態		アクティブ状態		
	オフ状態診断	nSLEEP ウェーク パルス	負荷の構成	フォルト応答	IPROPI / ITRIP
R _{LVL1}	ディセーブル	必須ではない	ローサイド負荷	再試行	使用可能
R _{LVL2}	イネーブル	必須	ローサイド負荷	ラッチ	使用可能
R _{LVL3}	イネーブル	必須	ハイサイド負荷	ラッチ	ディセーブル
R _{LVL4}	イネーブル	必須ではない	ハイサイド負荷	再試行	ディセーブル
R _{LVL5}	ディセーブル	必須	ローサイド負荷	ラッチ	使用可能
R _{LVL6}	イネーブル	必須ではない	ローサイド負荷	再試行	使用可能

注

HW バリアントのみ - 独立モード: ハイサイド負荷の使用事例で、オフ状態診断をディセーブルにするオプションは、サポートされていません。この場合、オフ状態診断をディセーブルにする唯一の方法は、DRV0FF ピンを **High** に設定し、IN ピンを **Low** に設定することです。

HW バリアントでは、電源オンまたはスリープからのウェークアップ後のデバイス初期化時に、DIAG ピンがラッチされます。動作中の更新はブロックされます。

7.3.3.4.2 SPI バリアント

SPI バリアントの場合、S_DIAG は CONFIG2 レジスタにある 2 ビットの設定です。モードに応じて、その構成を以下の表にまとめます。

表 7-14. DIAG 表 (SPI バリアント、PH/EN または PWM モード)

S_DIAG ビット	スタンバイ状態	アクティブ状態
	オフ状態診断	オン状態診断
00b	ディセーブル	使用可能
01b、10b、11b	イネーブル	使用可能

表 7-15. DIAG 表 (SPI バリアント、独立モード)

S_DIAG ビット	スタンバイ状態	アクティブ状態		
	オフ状態診断	負荷の構成	オン状態診断	I _{PROPI} / I _{TRIP}
00b	ディセーブル	ローサイド負荷	ディセーブル	使用可能
01b	イネーブル ⁽¹⁾	ローサイド負荷	ディセーブル	使用可能
10b	ディセーブル	ハイサイド負荷	使用可能	ディセーブル
11b	イネーブル ⁽¹⁾	ハイサイド負荷	使用可能	ディセーブル

デバイスの SPI バリアントでは、SPI 通信が利用可能なときに S_DIAG ビットに書き込むことによって、いつでもこの設定を変更できます。この変更是すぐに反映されます。

7.3.4 保護および診断機能

このドライバは、過電流や過熱から保護されており、デバイスの堅牢性を維持します。また、このデバイスは、負荷監視(オン状態およびオフ状態)、VM ピンの過電圧/低電圧監視を備えており、予期しない状態を通知します。フォルト状態を検出すると、ローサイドのオーブンドレイン nFAULT ピンが GND にプルダウンされ、フォルトを通知します。スリープ状態に移行すると、nFAULT は自動的にアサート解除されます。

注

SPI バリアントでは、nFAULT ピンのロジック レベル は、FAULT レジスタの FAULT ビットの反転コピーになっています。唯一の例外は、オフ状態診断が有効、かつ SPI_IN レジスタがロックされている場合です(「OLP」セクションを参照)。

SPI バリアントでは、nFAULT が LOW にアサートされるたびに、デバイスは FAULT レジスタおよび STATUS レジスタにフォルトを記録します。これらのレジスタは、CLR_FLT コマンドでのみクリアできます。

単一の 16 ビット SPI フレームで定期的なソフトウェア監視を行う場合、次の方法によって、有用な診断情報をすべて取得できます。

- アクティブ 状態で STATUS1 レジスタを読み取る
- スタンバイ状態で STATUS2 レジスタを読み取る

診断可能なすべてのフォルト イベントは、STATUS レジスタを読み取ることによって一意に識別できます。

7.3.4.1 過電流保護 (OCP)

- デバイスの状態:アクティブ
- メカニズムおよびスレッショルド:各 MOSFET のアナログ電流制限回路により、短絡時にもデバイスのピーク出力電流を制限できます。出力電流が過電流スレッショルド I_{OCP} を上回る状態になり、その時間が t_{OCP} を超えると、過電流フォルトが検出されます。
- 動作:

- nFAULT ピンは LOW にアサート
- 応答は、モード選択によって決まります。
 - PH/EN または PWM モード - 両方の OUTx が Hi-Z
 - 独立モード - 影響を受ける側のハーフ ブリッジ OUTx が Hi-Z
- GND への短絡フォルト (ハイサイド FET で検出された過電流) の場合は、FET がディセーブルになっても、IPROPI ピンは V_{IPROPI_LIM} へプルアップされ続けます。HW バリアントでは、nFAULT ピンが LOW にアサートされているときに IPROPI ピンが HIGH にプルアップされているため、これにより、アクティブ状態時の GND 短絡フォルトを他の種類のフォルトと区別できます。
- 応答は、ラッチ設定、または t_{RETRY} と t_{CLEAR} による再試行設定、いずれかを選択可能
- IPROPI ピンに $10nF \sim 100nF$ の範囲のコンデンサを追加することにより、内部 ITRIP レギュレーション有効時の負荷短絡の場合に、OCP 検出を維持できます。これは、短絡部分に十分なインダクタンスがある場合に特に有効です。この状況では、OCP 検出の前に ITRIP レギュレーションがトリガされて、デバイスの短絡検出が働かない可能性があります。OCP 検出がこの競合条件を維持できるようにするために、IPROPI ピンに小さな容量を追加することによって ITRIP レギュレーション ループが遅くなり、OCP 検出回路が意図したとおりに動作できるようになります。

SPI バリアントは、 I_{OCP} レベルおよび t_{OCP} フィルタ時間を設定可能です。これらの設定については、[CONFIG4](#) レジスタを参照してください。

7.3.4.2 過熱警告 (OTW) - SPI バリアントのみ

- デバイスの状態:スタンバイ、アクティブ
- メカニズムおよびスレッショルド:ダイ温度が T_{OTW} を超える時間が t_{OTW} を超えると、過熱警告が検出されます。
- OTW_SEL ビットは、 T_{OTW} レベルをプログラムします。これらの設定については、[CONFIG1](#) レジスタを参照してください。
- 動作:
 - OTW ビットが「1b」になります
 - デバイスの機能は継続され、追加動作が実行されることはありません。
 - OTW REP ビットが「1b」の場合
 - nFAULT 出力が Low にプルされます。
 - フォルトビットが「1b」になります
- ダイ温度が過熱警告のヒステリシス ポイント (T_{HYS_OTW}) を下回ると、OTW ビットは自動的にクリアされます。

7.3.4.3 過熱保護 (TSD)

- デバイスの状態:スタンバイ、アクティブ
- メカニズムおよびスレッショルド:デバイスが設定温度 T_{TSD} に対して過熱状態になり、その時間が t_{TSD} を超えると、過熱フォルトが検出されます。
- 動作:
 - nFAULT ピンは LOW にアサート
 - OUTx はいずれもハイインピーダンス
 - IPROPI ピンは Hi-Z
- その応答は、ラッチ設定、または T_{HYS} と t_{clear_TSD} による再試行設定、いずれかを選択可能

7.3.4.4 オフ状態診断 (OLP)

ユーザーは、パワー FET がオフのときにスタンバイ状態でオフ状態診断を使用して、OUTx ノードのインピーダンスを判断できます。この診断機能により、STANDBY 状態で以下に示す故障状態をパッシブに検出できます。

- VM または GND への出力短絡
- フルブリッジ負荷またはローサイド負荷の開放負荷
- ハイサイド負荷の開放負荷

注

この診断では、**負荷の短絡**を検出することはできません。ただし、アクティブ動作中に過電流フォルト (OCP) が発生し、スタンバイ状態の OLP 診断で何もフォルトが報告されない場合、負荷の短絡を論理的に推定することができます。アクティブ状態で OCP が発生し、かつ、スタンバイ状態で OLP が発生する場合は、端子の短絡を意味します (OUT ノードでの短絡)。

- ユーザーは、次の組み合わせを設定できます。
 - OUTx の内部プルアップ抵抗 (R_{OLP_PU})
 - OUTx の内部プルダウン抵抗 (R_{OLP_PD})
 - コンパレータの基準電圧レベル
 - コンパレータの入力選択 (OUT1 または OUT2)
- この組み合わせは、コントローラ入力 (HW バリアントのみ存在するピン) または、SPI バリアントで SPI_IN レジスタがロックされていない場合、SPI_IN レジスタの等価ビットによって決定されます。
- HW バリアント - オフ状態診断が有効の場合、コンパレータ出力 (OLP_CMP) は、nFAULT ピンで利用できます。
- SPI バリアント - オフ状態診断コンパレータ出力 (OLP_CMP) は、STATUS2 レジスタの OLP_CMP ビットで利用できます。さらに、SPI_IN レジスタがロックされている場合には、オフ状態診断が有効のとき、このコンパレータ出力は、nFAULT ピンでも利用できます。
- ユーザーは、すべての組み合わせを切り替えながら、出力が安定した後にコンパレータの出力を記録してください。
- 入力の組み合わせとコンパレータの出力に基づいて、出力にフォルトが発生しているかどうかを判断できます。

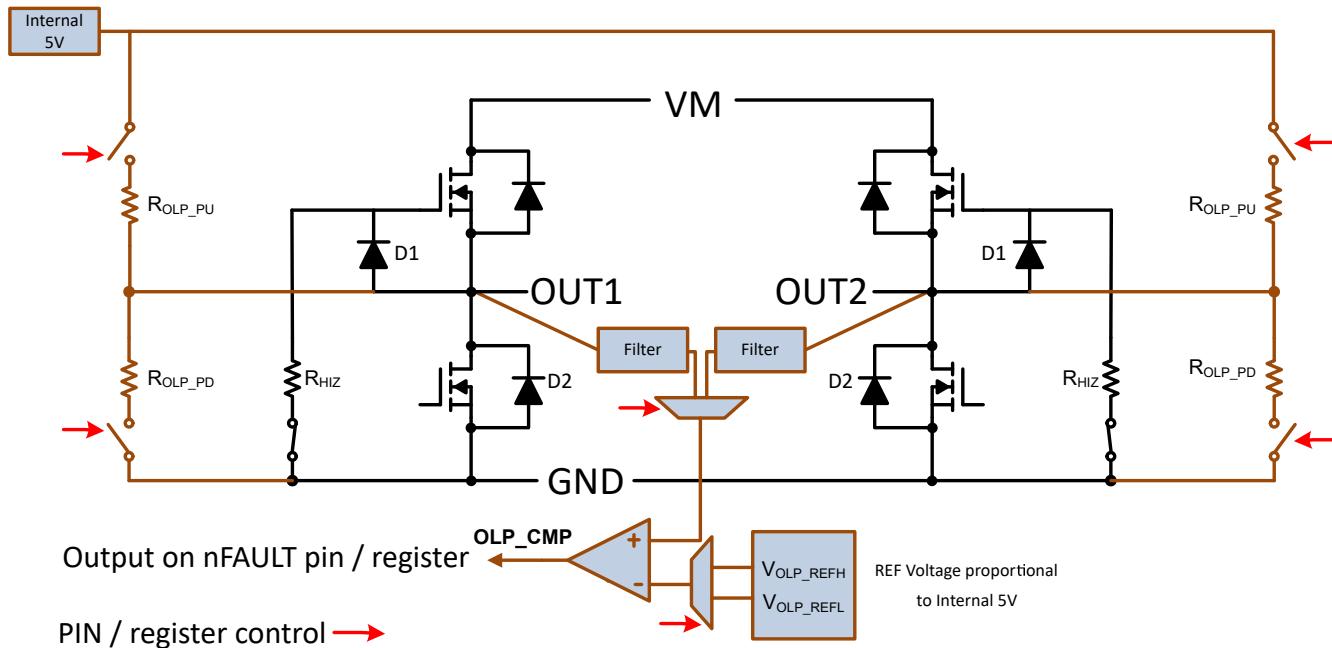


図 7-5. フルブリッジ負荷のオフ状態診断 (PH/EN または PWM モード)

PH/EN モードまたは PWM モードのフルブリッジ負荷について、フォルトがないシナリオとフォルト シナリオに対する OLP の組み合わせおよび真理値表を表 7-16 に示します。

表 7-16. オフ状態診断表 - PH/EN または PWM モード (フルブリッジ)

ユーザー入力				OLP の設定				OLP CMP 出力			
nSLEEP	DRVOFF	EN/IN1	PH/IN2	OUT1	OUT2	CMP REF	選択された出力	通常	オープン	GND 短絡	VM 短絡
1	1	1	0	R_{OLP_PU}	R_{OLP_PD}	V_{OLP_REFH}	OUT1	L	H	L	H
1	1	0	1	R_{OLP_PU}	R_{OLP_PD}	V_{OLP_REFL}	OUT2	H	L	L	H

表 7-16. オフ状態診断表 - PH/EN または PWM モード (フルブリッジ) (続き)

ユーザー入力						OLP の設定				OLP CMP 出力			
nSLEEP	DRVOFF	EN/IN1	PH/IN2	OUT1	OUT2	CMP REF	選択された出力	通常	オープン	GND 短絡	VM 短絡		
1	1	1	1	R_{OLP_PD}	R_{OLP_PU}	V_{OLP_REFL}	OUT2	H	H	L	H		

独立モードのローサイド負荷について、フォルトがないシナリオおよびフォルトシナリオに対する OLP の組み合わせおよび真理値表を [表 7-17](#) に示します。

表 7-17. ローサイド負荷のオフ状態診断表 - 独立モード

ユーザー入力						OLP の設定				OLP_CMP 出力		
DIAG ピン	S_DIAG ビット	nSLEEP	DRVOFF	EN/IN1	PH/IN2	OUT1	OUT2	CMP REF	選択された出力	通常	オープン	VM への短絡
LVL2、 LVL6	01b	1	1	1	未使用	R_{OLP_PU}	ハイインピーダンス	V_{OLP_REF} H	OUT1	L	H	H
LVL3、 LVL4	11b	1	1	1	未使用	R_{OLP_PD}	ハイインピーダンス	V_{OLP_REF} L	OUT1	L	L	H
LVL2、 LVL6	01b	1	1	0	1	ハイインピーダンス	R_{OLP_PU}	V_{OLP_REF} H	OUT2	L	H	H
LVL3、 LVL4	11b	1	1	0	1	ハイインピーダンス	R_{OLP_PD}	V_{OLP_REF} L	OUT2	L	L	H

独立モードのハイサイド負荷について、フォルトがないシナリオおよびフォルトシナリオに対する OLP の組み合わせおよび真理値表を [表 7-18](#) に示します。

表 7-18. ハイサイド負荷のオフ状態診断表 - 独立モード

ユーザー入力						OLP の設定				OLP_CMP 出力		
DIAG ピン	S_DIAG ビット	nSLEEP	DRVOFF	EN/IN1	PH/IN2	OUT1	OUT2	CMP REF	選択された出力	通常	オープン	GND への短絡
LVL2、 LVL6	01b	1	1	1	未使用	R_{OLP_PU}	ハイインピーダンス	V_{OLP_REF} H	OUT1	H	H	L
LVL3、 LVL4	11b	1	1	1	未使用	R_{OLP_PD}	ハイインピーダンス	V_{OLP_REF} L	OUT1	H	L	L
LVL2、 LVL6	01b	1	1	0	1	ハイインピーダンス	R_{OLP_PU}	V_{OLP_REF} H	OUT2	H	H	L
LVL3、 LVL4	11b	1	1	0	1	ハイインピーダンス	R_{OLP_PD}	V_{OLP_REF} L	OUT2	H	L	L

7.3.4.5 オン状態診断 (OLA) - SPI バリエントのみ

- デバイスの状態: アクティブ - ハイサイド還流

- メカニズムおよびスレッショルド: オン状態診断 (OLA) により、ハイサイド還流時にアクティブ状態での開放負荷検出が可能です。このハイサイド負荷には、VM に直接接続されるもの、または、もう一方のハーフブリッジのハイサイド FET を経由するものが含まれます。PWM スイッチング遷移中、LS FET がオフになると、誘導性負荷電流が HS ボディダイオードを通じて VM に還流します。HS FET がオンになる前、短時間のデッドタイム中に、デバイスは、VM を超える電圧スパイクが OUTx で発生するかどうかを検知します。この電圧スパイクが観測されるためには、この負荷電流は、FET ドライバによってアサートされる出力のプルダウン電流 (I_{PD_OLA}) よりも大きくなる必要があります。デバイスには、「16 回」または「1024 回」連続の再循環切り替えサイクルを構成可能な OLA_FLTR (CONFIG4) ビットが搭載されており、この電圧スパイクが検出されない場合、負荷インダクタンスの損失または負荷抵抗の増加を検出し、OLA フォルトとして検出されます。
- 動作:
 - nFAULT ピンは LOW にアサート
 - 出力 - 通常機能を維持
 - IPROPI ピン - 通常機能を維持
- 再試行とラッチのいずれかに応答を設定可能再試行設定では、還流スイッチング サイクル中に電圧スパイクが「16 回」または「1024 回」連続して検出されると、OLA フォルトが自動的にクリアされます。
- 方向変更時の OLA フォルト動作:
 - 再試行モード - OUTx で開放負荷条件が検出されると、条件がフィルタ時間を超えて持続した場合、OLAx ビットが設定されます。方向を変更すると、OLAx フィルタがクリアされます。
 - ラッチ モード - OUTx で開放負荷条件が検出されると、条件がフィルタ時間を超えて持続した場合、OLAx が設定されます。OLAx は、CLR_FLT コマンドが発行されるまでラッチされたままです。方向を変更すると、OLAx フィルタがクリアされます。
- CLR_FLT コマンド中の OLA フォルト動作:
 - 再試行モード - CLR_FLT コマンドは使用されません。
 - ラッチ モード - OUT1 で開放負荷条件が検出されると、条件が持続する場合、その状態がフィルタ時間を超えた場合、OLA1 が設定されます。OLAx は、CLR_FLT コマンドが発行されるまでラッチされたままです。開放負荷条件に関係なくクリアされます。条件が存在する場合は、フィルタ時間の後に OLA フォルトが再度通知されます。

この監視は選択可能であり、無効にできます。

注

OLA は、ローサイド負荷 (ローサイド還流) ではサポートされていません。

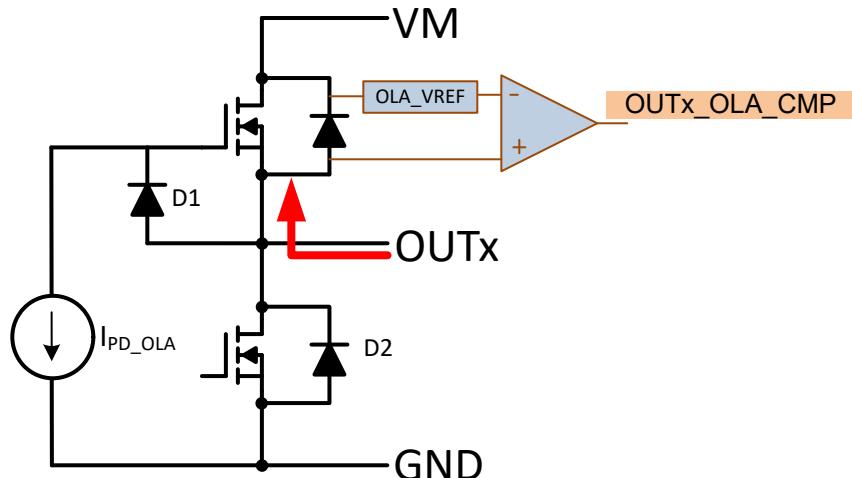


図 7-6. オン状態診断

7.3.4.6 VM 過電圧監視- SPI バリアントのみ

- デバイスの状態:スタンバイ、アクティブ
- メカニズムおよびスレッショルド:VM ピンの電源電圧が V_{VMOV} で設定されたスレッショルドを上回る状態になり、その時間が t_{VMOV} を超えると、VM 過電圧フォルトが検出されます。
- 動作:
 - nFAULT ピンは LOW にアサート
 - 出力 - 通常機能を維持
 - IPROPI ピン - 通常機能を維持
- 再試行とラッチのいずれかに応答を設定可能

この監視は選択可能であり、OVSEL ビットを 1b にすることで無効化できます。

7.3.4.7 VM 低電圧監視

- デバイスの状態:スタンバイ、アクティブ
- メカニズムおよびスレッショルド:VM ピンの電源電圧が V_{VMUV} で設定されたスレッショルドを下回る状態になり、その時間が t_{VMUV} を超えると、VM 低電圧フォルトが検出されます。
- 動作:
 - nFAULT ピンは LOW にアサート
 - OUTx はいずれもハイインピーダンス
 - IPROPI ピンは Hi-Z
- HW バリアント:DIAG 設定に従い、反応モードを再試行とラッチの間で設定可能
- SPI バリアント:再試行とラッチのいずれかに応答を設定可能
- 再試行時間は VM 低電圧状態の回復にのみ依存し、 t_{RETRY} および t_{CLEAR} とは無関係

7.3.4.8 パワー オン リセット (POR)

- デバイスの状態:すべて
- メカニズムおよびスレッショルド:VDD の電圧が V_{POR_FALL} を下回る状態になり、その時間が t_{POR} を超えると、パワーオンリセットが発生してデバイスがハードリセットされます。
- 動作:
 - nFAULT ピンはアサート解除
 - OUTx はいずれもハイインピーダンス
 - IPROPI ピンはハイインピーダンス。
 - VDD が V_{POR_RISE} レベルを上回るまで回復した場合、デバイスはウェークアップ初期化を実行し、nFAULT ピンが Low にアサートされて、このリセットをユーザーに通知します（「[ウェークアップ遷移](#)」を参照）。
- フォルト応答:常に再試行。再試行時間は、外部電源がデバイス ウェークアップを開始する条件に依存します。
- POR フォルトは、VM 電圧が低電圧スレッショルド レベルを上回っている場合にのみクリアされます

7.3.4.9 パワー オフ ブレーキ (POB)

モーターが外部の力によって駆動される場合、ジェネレータとして機能し、電源電圧レールに電流をポンプバックします。この場合、電源レールに接続されている他の回路が損傷する可能性があります。電源電圧の上昇を防止するため、パワー オフ ブレーキ (POB) 機能が実装されています。POB は、H ブリッジ負荷とのみ使用するようにしてください。

低消費電力スリープ モードで、またはブリッジがディセーブルされているとき (Hi-Z)、電源電圧が V_{VMOV_POB} より高く、出力ノードの電圧が電源電圧を V_{POB_TH} より上回ると、デバイスは 2 つのローサイド MOSFET をオンにします。これにより、モータ端子間の逆起電力を短絡することで、出力に接続されているモータにアクティブにブレーキをかけられます。

SPI バリアントの場合 -

- デフォルトでは、パワー オフ ブレーキ (POB) はイネーブルです。
- パワー アップ後、[CONFIG3](#) レジスタの EN_POB ビットを 0b にして、この機能をイネーブルにできます。
- EN_POB のロジック状態はラッチされるため、内部デジタル ロジックがリセットされても、スリープ モードではデバイスは EN_POB ビットの設定に従って無効になります。

- EN_POB 状態をラッチするには、VDD 電源が存在する必要があります。
- VDD をサイクルすると、EN_POB 状態はリセットされ、次の電源オン時に POB が再度イネーブルになります。VDD がサイクルされる前に POB が無効化された場合、VDD が UVLO レベルを上回った後で、ユーザーは POB を再度無効化する必要があります。
- VM のサイクルは EN_POB 状態には影響しません。

フルブリッジ モードの HW バリエントの場合、DIAG ピンの設定により POB をイネーブルまたはディセーブルにできます。

スリープ モードでは、電力段に電源への短絡障害が発生した場合、ブレーキ中に大電流イベントが検出された場合にローサイド MOSFET をディセーブルするため、アナログ RC グリッチ除去フィルタを備えた単純な過電流検出回路が実装されます。これは、デバイスの低消費電力スリープ モード中は、通常の過電流保護回路がディセーブルされるために必要です。過電流コンパレータと RC グリッチ除去フィルタの値は固定されており、調整できません。この制限値に 7 回達すると、POB_EN は自動的に Low に設定され、POB 機能はディセーブルされます。POB ディセーブルは、フル パワー サイクル (VDD = 0V および VM = 0V) が発生するまでラッチされます。

7.3.4.10 イベントの優先順位

アクティブ状態で、2つ以上のイベントが同時に発生する場合、デバイスは次の優先順位表に基づいてドライバの制御を割り当てます。

表 7-19. イベント優先順位表

イベント	優先順位
ユーザー スリープ コマンド	1
ユーザー入力:DRVOFF	2
過熱検出 (TSD)	3
過電流検出 (OCP) ⁽¹⁾	4
VM 低電圧検出 (VMUV)	5
ユーザー入力:EN/IN1、PH/IN2 のいずれかまたは両方	6
ITRIP レギュレーションによる内部 PWM 制御	7
VM 過電圧検出 (VMOV)	8
オン状態フォルト検出 (OLA - SPI バリエントのみ) ⁽²⁾	9

(1) デバイスが OCP イベントの確認を待っているとき (t_{OCP} の間待機) に、OCP イベントよりも優先順位の低いイベントが発生した場合、OCP イベントを検出できるようにするため、デバイスは他のイベントの処理を最大 t_{OCP} まで遅延させることができます。

(2) このフォルトイベントによって OUTx が変化することはないので、この場合の優先順位は「無関係 (Do not care)」です。

7.3.5 デバイスの機能モード

このデバイスには、3 つの状態があります。

- SLEEP
- STANDBY
- アクティブ

これらの状態について以下のセクションで説明します。

7.3.5.1 SLEEP 状態

この状態は、nSLEEP ピンが LOW にアサートされている時間 が t_{SLEEP} を超えたとき、または VDD ピンの電圧が VDD_{POR_FALL} 未満であるときに発生します。

これは、デバイスのディープ スリープ低消費電力 (I_{SLEEP}) 状態であり、ウェークアップ コマンドを除いてすべての機能が実行されません。ドライバは、ハイ インピーダンスになります。内部電源レール (5V、その他) はオフになります。この状態のとき、nFAULT ピンはアサート解除されます。デバイスは、スタンバイ状態またはアクティブ状態からこの状態に移行できます。

7.3.5.2 スタンバイ状態

nSLEEP ピンが High に設定され、VDD ピンの電圧が $> VDD_{POR_RISE}$ 、かつすべてのモードにおいて DRDRV OFF = ロジック High の状態で、さらに PWM モードにおいて IN1/EN と IN2/PH がともにロジック High で DRV OFF = ロジック Low のときに、このデバイスは当該状態にあります。この状態では、デバイスはパワーアップされたままで (I STANDBY)、ドライバはハイインピーダンスになり、nFAULT はアサート解除されます。デバイスは、指令されたときにアクティブ状態またはスリープ状態に移行する準備ができます。オフ状態診断 (OLP) は、イネーブルの場合、この状態で実行されます。

7.3.5.3 スタンバイ状態へのウェークアップ

以下に示す場合に、デバイスはスリープ状態からスタンバイ状態への遷移を開始します。

- nSLEEP ピンが t_{WAKE} より長い時間にわたって High になっているとき、あるいは
- VDD 電源 $> VDD_{POR_RISE}$ となって、パワーアップを示すために内部 POR が解除されたとき

デバイスは、初期化シーケンスを実行して内部レジスタをロードし、以下に示すシーケンスに従ってすべてのブロックをウェークアップします。

- ウェークアップから一定時間 t_{COM} 経過すると、デバイスは通信できるようになります。これは、nFAULT ピンが Low にアサートされることにより通知されます。
- 続いて、時間 t_{READY} が経過すると、デバイスのウェークアップが完了します。
- この時点で、HW バリエント デバイスは、PH/EN モードまたは PWM モードのすべての DIAG オプション (RLVL5 を除く) のスタンバイモードに移行します。DIAG = RLVL5 の場合、スタンバイモードに移行するために nSLEEP ウェークアップ パルスが必要です。独立モードの動作については、[表 7-13](#) を参照してください。SPI バリエントの場合、ウェークアップに対するコントローラからのアクノリッジとして、デバイスが SPI 経由で **CLR FAULT** コマンド (SPI バリエントの場合) を受信すると、デバイスはスタンバイ状態に移行します。これは、nFAULT ピンがアサート解除されることにより通知されます。ドライバーはこの時点までハイインピーダンスに保持されます。
- この時点から、デバイスは、設定されている各モードの真理値表に基づいてプリッジを駆動する用意ができます。

説明図については、[ウェークアップ遷移波形](#)を参照してください。

7.3.5.4 アクティブ状態

この状態では、本デバイスは、今までのセクションで説明したように、他の入力によって制御されるドライバとともに完全に機能します。すべての保護機能は、nFAULT ピンでのフォルト信号通知とともに完全に機能します。SPI 通信が利用可能です。デバイスがこの状態に遷移できるのは、スタンバイ状態からのみです。

7.3.5.5 nSLEEP リセット パルス (HW バリエント、ラッチ設定のみ)

nSLEEP ピンによるコントローラからデバイスへの特別な通信信号で、HW バリエントでのみ使用できます。これは次の目的で使用されます。

- フォルト応答がラッチ設定になっているとき、デバイスを強制的にスリープにしたり、他の機能に影響を与えたりせずに、ラッチされたフォルトをクリア (SPI バリエントの **CLR_FAULT** コマンドと同等)

この nSLEEP パルスは、nSLEEP のデグリッチ時間 t_{RESET} 時間よりも長く、かつ t_{SLEEP} 時間よりも短くする必要があります (以下に示す [表 7-20](#) のケース #3 を参照)。

表 7-20. nSLEEP タイミング (HW バリエントのみ)

ケース番号	ウインドウ開始時間	ウインドウ終了時間	コマンドの意味	
			フォルトをクリア	スリープ
1	0	t_{RESET} の最小値	なし	なし
2	t_{RESET} の最小値	t_{RESET} の最大値	不定	なし
3	t_{RESET} の最大値	t_{SLEEP} の最小値	あり	なし
4	t_{SLEEP} の最小値	t_{SLEEP} の最大値	あり	不定
5	t_{SLEEP} の最大値	無制限	あり	あり

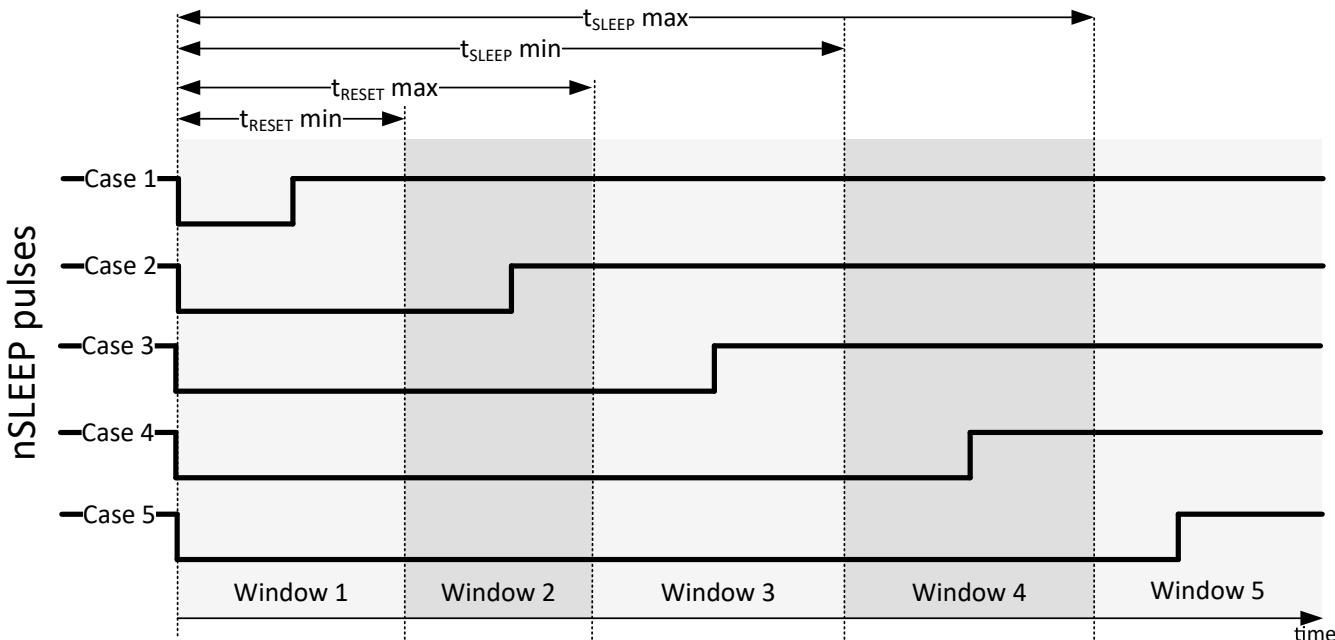


図 7-7. nSLEEP パルスのシナリオ

7.3.6 プログラミング - SPI バリエントのみ

7.3.6.1 シリアル・ペリフェラル・インターフェイス (SPI)

SPI バリエントは、全二重の 4 線式同期通信を備えており、デバイスの構成や動作パラメータの設定、デバイスからの診断情報の読み出しに使います。SPI は、ペリフェラル モードで動作し、コントローラに接続します。シリアル データ入力 (SDI) ワードの構成は、16 ビットのワード、8 ビットのコマンド (A1)、8 ビットのデータ (D1) となっています。シリアル データ出力 (SDO) ワードの構成は、FAULT バイト (S1)、その後にレポート バイト (R1) です。レポート バイトは、読み出しコマンドでアクセスする場合はレジスタ データ、書き込みコマンドの場合はヌルです。MCU と SPI ペリフェラル ドライバ間のデータシーケンス 図 7-8 を示します。

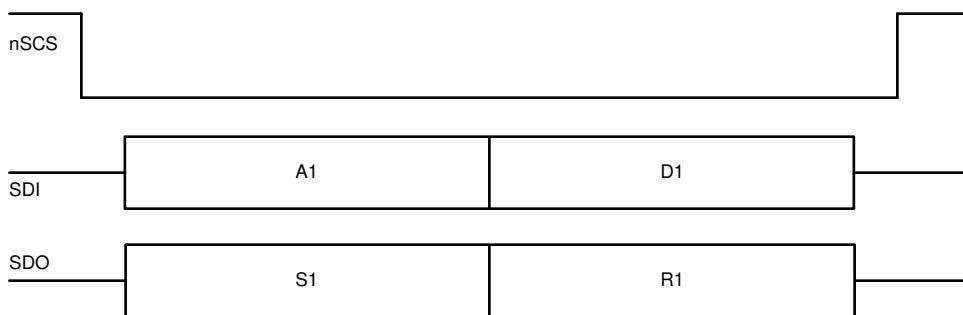


図 7-8. SPI データ - 標準「16 ビット」フレーム

有効なフレームは次の条件を満たしていかなければなりません。

- nSCS ピンが High から Low、Low から High に遷移すると、SCLK ピンの Low になります。
- nSCS ピンは、ワードとワードの間では High にされている必要があります。
- nSCS ピンが HIGH にプルアップされているときは、SCLK ピンおよび SDI ピンのすべての信号が無視され、SDO ピンが Hi-Z 状態になる。

- デバイスからの SDO データは **SCLK** の立ち上がりエッジで伝搬され、SDI データは **SCLK** の次の立ち下がりエッジでデバイスによってキャプチャされる。
- 最上位ビット (MSB) が最初にシフトイン / シフトアウトされる。
- 標準フレームで有効なトランザクションを実行するには、16 **SCLK** サイクルが完全に発生する必要がある。または、デイジーチェーンフレームに「n」個のペリフェラルデバイスが接続されているとき、有効なトランザクションを得るには $16 + (n \times 16)$ の **SCLK** サイクルが発生しなければならない。上記を満たさない場合、フレームエラー (ERR) が報告され、有効なフレームの書き込み動作ではデータは無視される。

7.3.6.2 標準フレーム

SDI 入力データワードは 2 バイト長であり、以下のフォーマットで構成されています。

- コマンド バイト (最初のバイト)
 - MSB ビットはフレームの種類を示します (標準フレームの場合、ビット **B15 = 0**)
 - MSB の次のビット **W0** は、読み取り / 書き込み動作を示します (ビット **B14**、書き込み=0、読み取り=1)
 - 次に、6 つのアドレスビット **A[5:0]** (ビット **B13** から **B8** まで) が続きます。
- データ バイト (2 番目のバイト)
 - 2 番目のバイトは、データ **D[7:0]** (ビット **B7**～**B0**) を示します。読み取り動作では、これらのビットは通常ヌル値に設定されます。書き込み動作では、アドレス指定されたレジスタのデータ値がこれらのビットに設定されます。

表 7-21. SDI - 標準フレーム フォーマット

ビット	コマンド バイト								データ バイト							
	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
データ	0	W0	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0

SDO 出力データワードは 2 バイト長であり、以下のフォーマットで構成されています。

- ステータス バイト (最初のバイト)
 - MSB の 2 ビットは HIGH に固定 (**B15, B14 = 1**)
 - 次の 6 ビットは、FAULT レジスタ (**B13:B8**) の値が出力されます。
- レポート バイト (2 番目のバイト)
 - 2 番目のバイト (**B7:B0**) は、読み出し動作 (**W0 = 1**) の場合、読もうとするレジスタの現在のデータであり、書き込みコマンド (**W0 = 0**) の場合、書き込まれるレジスタに存在するデータです。

表 7-22. SDO - 標準フレーム フォーマット

ビット	ステータス バイト								レポート バイト							
	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
データ	1	1	フォルト	VMOV	VMUV	OCP	TSD	ERR	D7	D6	D5	D4	D3	D2	D1	D0

7.3.6.3 複数ペリフェラルに対する SPI

複数のデバイスをコントローラに接続するには、デイジーチェーンを使う方法と、使わない方法があります。デイジーチェーンを使用せずに「n」個のデバイスをコントローラに接続する場合は、図 7-9 に示すように、nSCS ピンのためにコントローラ側で「n」個の I/O リソースを利用する必要があります。これに対して、デイジーチェーン構成を使用する場合は、図 7-10 に示すように、単一の nSCS ラインを使って複数のデバイスを接続できます。

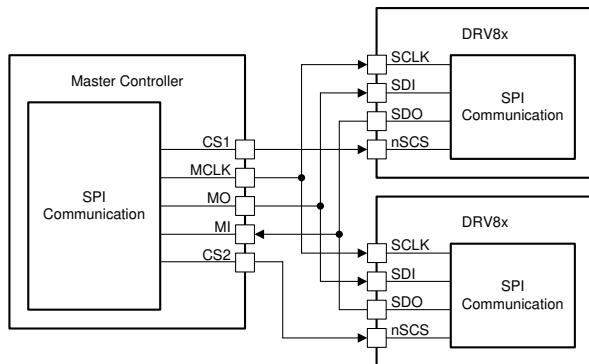


図 7-9. デイジーチェーンを使わない SPI 動作

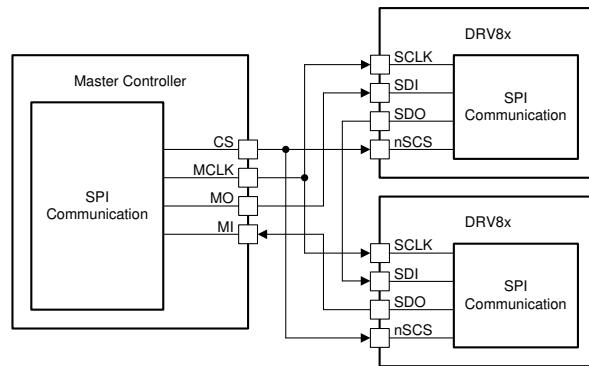


図 7-10. デイジーチェーンを使った SPI 動作

7.3.6.3.1 複数のペリフェラルに対するデイジーチェーンフレーム

複数のデバイスが同じ MCU と通信する場合に、デバイスをデイジーチェーン構成で接続することで GPIO ポートを節約できます。図 7-11 は、そのトポロジと波形を示しています。ここで、デイジーチェーン接続されているペリフェラル「n」の数は 3 になっています。この方法で最大 63 個のデバイスを接続できます。

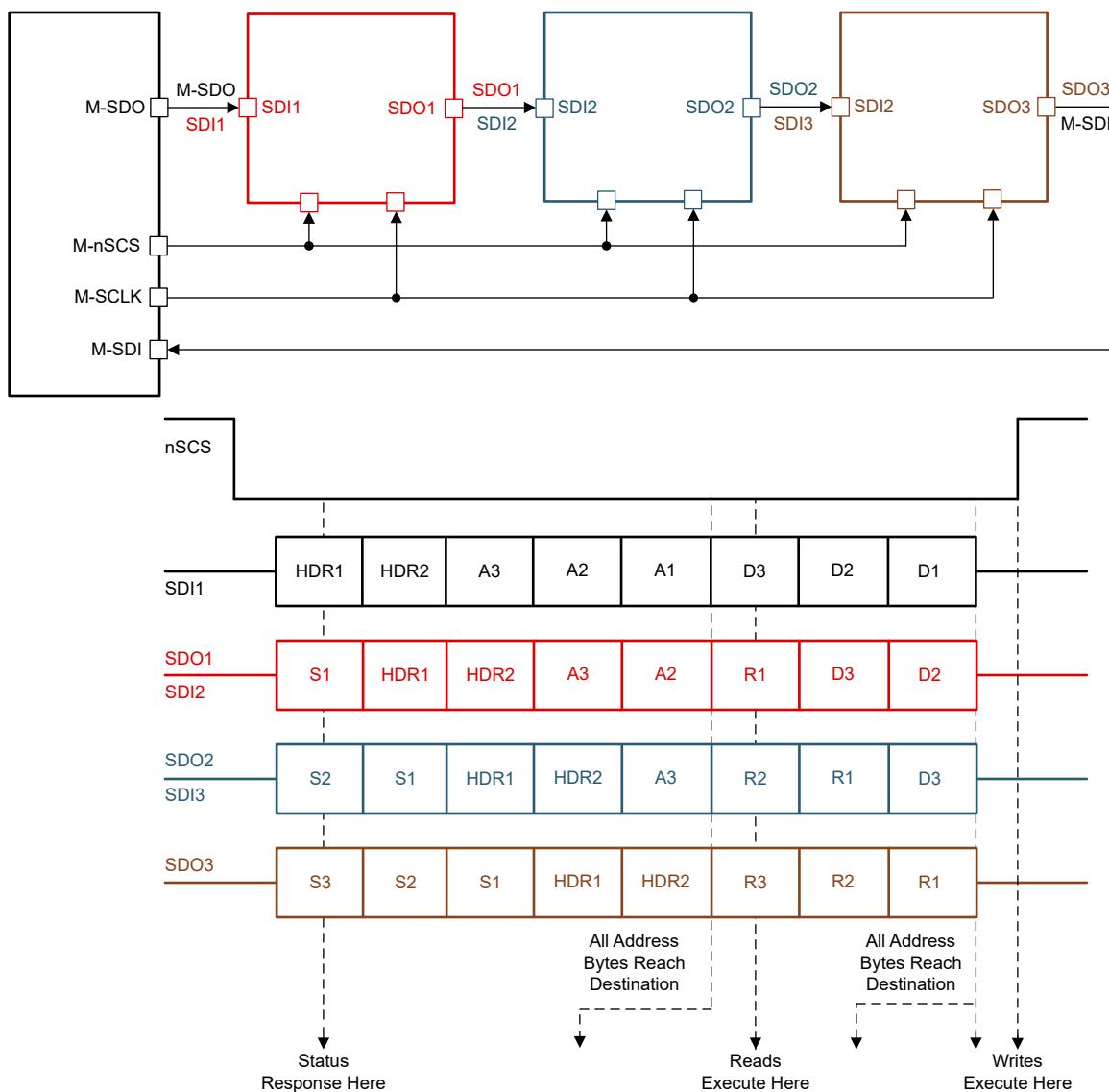


図 7-11. デイジーチェーン SPI 動作

この場合、コントローラから送信される SDI は次の形式です (図 7-11 の SDI1 を参照)。

- 2 バイトのヘッダ (HDR1, HDR2)
- チェーン内で最も遠いペリフェラルから始まる「n」バイトのコマンドバイト (この例では A3, A2, A1)
- チェーン内で最も遠いペリフェラルから始まる「n」バイトのデータバイト (この例では D3, D2, D1)
- 合計 $2 \times [n] + 2$ バイト

データがチェーンを通って送信されると、コントローラはデータを次の形式で受信します (図 7-11 の SDO3 を参照)。

- チェーン内で最も遠いペリフェラルから始まる 3 バイトのステータスバイト (この例では S3, S2, S1)
- 前に送信される 2 バイトのヘッダ (HDR1, HDR2)
- チェーン内の最も遠いペリフェラルから始まる 3 バイトのレポートバイト (この例では R3, R2, R1)

ヘッダバイトは、デイジーチェーン SPI 通信の開始時にアサートされる特別なバイトです。ヘッダバイトは、先頭の 2 ビットが 1 と 0 で始まる必要があります。

最初のヘッダ バイト (HDR1) には、デイジー チェーン内のペリフェラル デバイスの総数に関する情報が含まれます。N5 ~N0 は、図 7-12 のようにチェーン内のデバイスの数を示す 6 ビットの値です。各デイジー チェーン接続に、最大 63 個のデバイスを直列に接続できます。ペリフェラルの数 = 0 は許容されず、ERR フラグが立てられます。

2 番目のヘッダ バイト (HDR2) には、グローバルな **CLR_FAULT** コマンドが含まれており、チップ セレクト (nSCS) 信号の立ち上がりエッジですべてのデバイスのフルト レジスタをクリアします。HDR2 レジスタの後続 5 ビットは、**SPARE** (予備) となっています (冗長ビット)。これらのデータは、MCU でデイジー チェーン接続の整合性を判定するために使用できます。

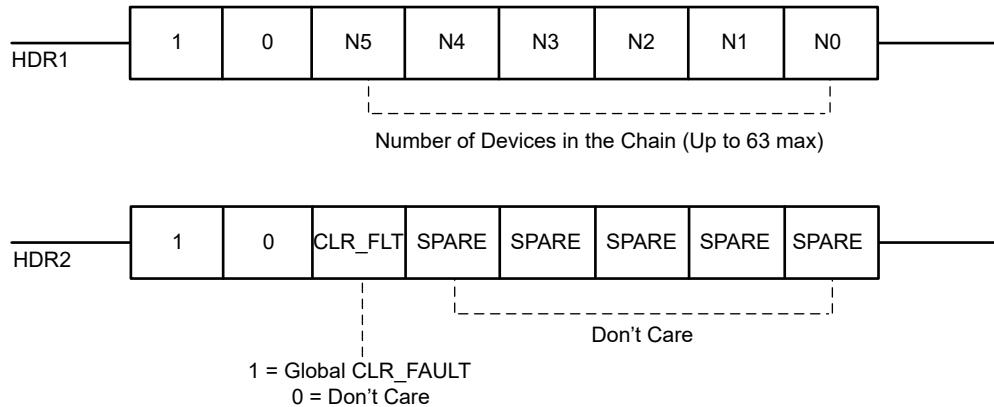


図 7-12. ヘッダ バイト

さらに、このデバイスは、先頭の 2 ビットが 1 と 1 で始まるバイトを「パス」バイトとして認識します。「パス」バイトはデバイスによって処理されませんが、「パス」バイトは単に SDO 上で次のバイトとして送信されます。

データがデバイスを通過する際、データはデバイスは最初のヘッダ バイトの前にデバイスが受信したステータス バイトの数を数えることで、チェーン内のデータの位置を判断します。たとえば、この 3 デバイス構成でチェーン内のデバイス 2 は、2 つのヘッダ バイトを受信する前に、1 つのステータス バイトを受信します。

ステータス バイトが 1 つなので、データはチェーン内の位置が 2 番目であることがわかります。また、HDR1 バイトから、データはチェーン内に接続されているデバイスの数がわかります。このようにして、ヘッダー バイトはそのデバイスに対応するアドレスおよびデータ バイトのみをバッファに読み込み、ヘッダー バイトはその他のビットは無視してバイパスします。このプロトコルは、チェーン接続した最大 63 台のデバイスのシステムにレイテンシを生じさせずに、より高速な通信を可能にします。

コマンド、データ、ステータス、およびレポート バイトは、「標準フレーム形式」で説明されているものと同じです。

7.3.7 レジスタ マップ- SPI バリアントのみ

このセクションでは、デバイス内にある、ユーザーが構成可能なレジスタについて説明します。

注

デバイスで SPI 通信が利用可能なときには、いつでもレジスタへの書き込みが可能ですが、TI は、負荷が駆動されている間にアクティブ状態でレジスタを更新する際に注意することを推奨しています。これは、重要なデバイス構成を制御する **S_MODE** および **S_DIAG** などの設定で特に重要です。レジスタへの意図しない書き込みを防止するため、このデバイスは、**COMMAND** レジスタの **REG_LOCK** ビットによるロック メカニズムを備えており、設定可能なすべてのレジスタの内容をロックできます。ベスト プラクティスとしては、初期化の際にすべての構成可能なレジスタに書き込み、次にこれらの設定をロックすることです。出力制御用のランタイム レジスタ書き込みは、**SPI_IN** レジスタによって処理されます。このレジスタは、**SPI_IN_LOCK** ビットによる専用の個別ロック メカニズムを備えています。

7.3.7.1 ユーザー レジスタ

次の表に、ユーザーがアクセスできるすべてのレジスタを示します。この表に記載されていないレジスタのアドレスは、すべて「予約済み」と見なされ、この空間へのアクセスはブロックされます。

表 7-23. ユーザー レジスタ

名称	ピット 7	ピット 6	ピット 5	ピット 4	ピット 3	ピット 2	ピット 1	ピット 0	タイプ
DEVICE_ID	DEV_ID[5:0]							REV_ID[1:0]	R
FAULT	ERR ⁽²⁾	POR	フォルト	VMOV	VMUV	OCP	TSD	OLA ⁽²⁾	R
STATUS1	OLA1	OLA2	ITRIP_CMP	アクティブ	OCP_H1	OCP_L1	OCP_H2	OCP_L2	R
STATUS2	DRV_STAT	RSVD	OTW	アクティブ	RSVD			OLP_CMP	R
COMMAND	CLR_FLT	RSVD		SPI_IN_LOCK[1:0]		RSVD	REG_LOCK[1:0]		R/W
SPI_IN	RSVD				S_DRVOFF	S_DRVOFF2	S_ENIN1	S_PHIN2	R/W
CONFIG1	EN_OLA	OTW_SEL	OVSEL	SSC_DIS	OCP_RTRY	TSD_RTRY	OV_RTRY	OLA_RTRY	R/W
CONFIG2	EXTEND	S_DIAG[1:0]		ISEL[1:0]		S_ITRIP[2:0]			R/W
CONFIG3	TOFF[1:0]		EN_POB	TBLK	SR[1:0]		S_MODE [1:0]		R/W
CONFIG4	OTW_REP	TOCP	OLA_FLTR	OCP_SEL[1:0]		DRV_SEL	ENIN1_SEL	PHIN2_SEL	R/W

(1) R = 読み取り専用、R/W = 読み取り / 書き込み

(2) OLA は、すべての SPI フレームについて、SDO 応答の最初のバイトでは、ERR に置き換えられています。SDO - 標準フレーム フォーマットを参照してください。

7.3.7.1.1 DEVICE_ID レジスタ (アドレス = 00h)

ユーザー レジスタ表に戻ります。

デバイス	DEVICE_ID の値
DRV8263S-Q1	0 x 25

7.3.7.1.2 FAULT レジスタ (アドレス = 01h) [リセット = 40h]

ユーザー レジスタ表に戻ります。

ビット	フィールド	タイプ	リセット	説明
7	ERR	R	0b	1b は前の SPI フレームで SPI 通信フォルトが発生したことを示します。
6	POR	R	1b	1b は、パワーオンリセットが検出されたことを示します。
5	フォルト	R	0b	ERR, POR, VMUV, OCP, TSD のロジック OR
4	VMOV	R	0b	1b は、VM 過電圧が検出されたことを示します。
3	VMUV	R	0b	1b は、VM 低電圧が検出されたことを示します。
2	OCP	R	0b	1b は、1 つまたは複数のパワー FET で過電流が検出されたことを示します。スレッショルドおよびフィルタ時間を変更するには、OCP_SEL、TOCP を参照してください。フォルト応答を設定するには、OCP_RETRY を参照してください。
1	TSD	R	0b	1b は過熱が検出されたことを示します。フォルト応答を設定するには、TSD_RETRY を参照してください。
0	OLA	R	0b	1b は、アクティブ状態のときに開放負荷状態が検出されたことを示します。診断をディセーブルにするには EN_OLA を、フォルト応答を設定するには OLA_RETRY を参照してください。

7.3.7.1.3 STATUS1 レジスタ (アドレス = 02h) [リセット = 00h]

ユーザー レジスタ表に戻ります。

ビット	フィールド	タイプ	リセット	説明
7	OLA1	R	0b	1b は、アクティブ状態のときに OUT1 で開放負荷状態が検出されたことを示します
6	OLA2	R	0b	1b は、アクティブ状態のときに OUT2 で開放負荷状態が検出されたことを示します
5	ITRIP_CMP	R	0b	1b は、負荷電流が ITRIP レギュレーション レベルに達したことを示します。
4	アクティブ	R	0b	1b は、デバイスがアクティブ状態であることを示します
3	OCP_H1	R	0b	1b は、OUT1 のハイサイド FET で過電流 (GND への短絡) が検出されたことを示します
2	OCP_L1	R	0b	1b は、OUT1 のローサイド FET で過電流 (VM への短絡) が検出されたことを示します
1	OCP_H2	R	0b	1b は、OUT2 のハイサイド FET で過電流 (GND への短絡) が検出されたことを示します
0	OCP_L2	R	0b	1b は、OUT2 のローサイド FET で過電流 (VM への短絡) が検出されたことを示します

7.3.7.1.4 STATUS2 レジスタ (アドレス = 03h) [リセット = 0h]

ユーザー レジスタ表に戻ります。

ビット	フィールド	タイプ	リセット	説明
7	DRV_STAT	R	-	このビットは、DRVOFF ピンの状態を示します。1b は、ピンの状態が High であることを意味します。
6	RSVD	R	0b	予約済み
5	OTW	R	0b	1b は過熱警告イベントが検出されたことを示します。
4	アクティブ	R	0b	1b は、デバイスがアクティブ状態であることを示します (STATUS1 のビット 4 のコピー)
3-1	RSVD	R	000b	予約済み
0	OLP_CMP	R	0b	このビットは、オフ状態診断 (OLP) コンパレータの出力です。

7.3.7.1.5 COMMAND レジスタ (アドレス = 08h) [リセット = 09h]

ユーザー レジスタ表に戻ります。

ビット	フィールド	タイプ	リセット	説明
7	CLR_FLT	R/W	0b	クリア フォルト コマンド - 1b を書き込むと、フォルト レジスタで報告されたすべてのフォルトがクリアされ、nFAULT ピンがアサート解除されます
6-5	RSVD	R	00b	予約済み
4-3	SPI_IN_LOCK	R/W	01b	<ul style="list-style-type: none"> 10b を書き込むと、SPI_IN レジスタのロックを解除します 01b または 00b または 11b を書き込むと、SPI_IN レジスタをロックします SPI_IN レジスタは、デフォルトでロックされています。
2	RSVD	R	0b	予約済み
1-0	REG_LOCK	R/W	01b	<ul style="list-style-type: none"> 10b を書き込むと、CONFIG レジスタをロックします 01b または 00b または 11b を書き込むと、CONFIG レジスタをロック解除します CONFIG レジスタは、デフォルトでロック解除されています。

7.3.7.1.6 SPI_IN レジスタ (アドレス = 09h) [リセット = 0Ch]

ユーザー レジスタ表に戻ります。

ビット	フィールド	タイプ	リセット	説明
7-4	RSVD	R	0000b	予約済み
3	S_DRVOFF	R/W	1b	SPI_IN がロックされていない場合、DRVOFF ピンと等価なレジスタ ビットです。レジスタ ピン制御セクションを参照してください。独立モードでは、このビットはハーフブリッジ 1 をシャットオフします。
2	S_DRVOFF2	R/W	1b	SPI_IN がロックされていない場合に、独立モードでハーフブリッジ 2 をシャットオフするためのレジスタ ビットです。レジスタ ピン制御セクションを参照してください。
1	S_ENIN1	R/W	0b	SPI_IN がロックされていない場合、EN/IN1 ピンと等価なレジスタ ビットです。レジスタ ピン制御セクションを参照してください。
0	S_PHIN2	R/W	0b	SPI_IN がロックされていない場合、PH/IN2 ピンと等価なレジスタ ビットです。レジスタ ピン制御セクションを参照してください。

7.3.7.1.7 CONFIG1 レジスタ (アドレス = 0Ah) [リセット = 10h]

ユーザー レジスタ表に戻ります。

ビット	フィールド	タイプ	リセット	説明
7	EN_OLA	R/W	0b	1b を書き込むと、アクティブ状態で開放負荷検出をイネーブルにします。独立モードでは、ローサイド負荷に対して OLA は常にディセーブルになっています。「DIAG」セクションを参照してください。
6	OTW_SEL	R/W	0b	過熱警告スレッショルド 0b = 140°C 1b = 120°C
5	OVSEL	R/W	0b	0b: VMOV はイネーブル 1b: VMOV はディセーブル
4	SSC_DIS	R/W	1b	0b: スペクトラム拡散クロック機能をイネーブルにします
3	OCP_RTRY	R/W	0b	1b を書き込むと、過電流検出の設定を再試行するようにフォルト応答を構成します。それ以外の場合、フォルト応答はラッチされます。
2	TSD_RTRY	R/W	0b	1b を書き込むと、過熱検出の設定を再試行するようにフォルト応答を構成します。それ以外の場合、フォルト応答はラッチされます。
1	OV_RTRY	R/W	0b	1b を書き込むと、VMOV 検出の設定を再試行するようにフォルト応答を構成します。それ以外の場合、フォルト応答はラッチされます。このビットは VM 低電圧検出のフォルト応答も制御します。
0	OLA_RTRY	R/W	0b	1b を書き込むと、アクティブ状態での開放負荷検出の設定を再試行するようにフォルト応答を構成します。それ以外の場合、フォルト応答はラッチされます。

7.3.7.1.8 CONFIG2 レジスタ (アドレス = 0Bh) [リセット = 18h]

ユーザー レジスタ表に戻ります。

ビット	フィールド	タイプ	リセット	説明
7	EXTEND	R/W	0b	1b を書き込むと、PWM モードで追加のハイインピーダンス (コースト) 状態を利用できます。PWM 拡張表を参照
6-5	S_DIAG	R/W	00b	負荷タイプ表示 - DIAG 表を参照
4-3	ISEL	R/W	11b	比例電流出力とダイ温度の読み出し電圧を選択します。
2-0	S_ITRIP	R/W	000b	ITRIP レベル設定 - ITRIP 表を参照

7.3.7.1.9 CONFIG3 レジスタ (アドレス = 0Ch) [リセット = 40h]

ユーザー レジスタ表に戻ります。

ビット	フィールド	タイプ	リセット	説明
7-6	TOFF	R/W	01b	ITRIP 電流レギュレーションで使用する TOFF 時間 00b = 20μsec 01b = 30μsec 10b = 40μsec 11b = 50μsec
5	EN_POB	R/W	0b	1b を書き込むと、スリープ モードで電源オフ ブレーキを有効にし、ブリッジがディセーブルになったとき(Hi-Z)になります。それ以外の場合、電源オフブレーキはディセーブルです。

ピット	フィールド	タイプ	リセット	説明
4	TBLK	R/W	0b	プランギング時間の設定 0b = 2.4 μ sec 1b = 3.4 μ sec
3-2	SR	R/W	00b	スルーレート構成 00b = 155V/ μ s 01b = 83V/ μ s 10b = 39V/ μ s 11b = 16V/ μ s
1-0	S_MODE	R/W	00b	デバイス モード構成 - 参照

7.3.7.1.10 CONFIG4 レジスタ (アドレス = 0Dh) [リセット = 44h]

ユーザー レジスタ表に戻ります。

ピット	フィールド	タイプ	リセット	説明
7	OTW REP	R/W	0b	0b = 過熱警告は nFAULT で通知されません 1b = 過熱警告は nFAULT で通知されます
6	TOCP	R/W	1b	過電流検出に対するフィルタ時間の設定 0b = 1 μ sec 1b = 2 μ sec
5	OLA_FLTR	R/W	0b	OLA フィルタ数を選択します。0b = 16 回、1b = 1024 回。
4-3	OCP_SEL	R/W	00b	過電流検出に対するスレッショルドの設定
2	DRV_SEL	R/W	1b	DRVOFF ピン - レジスタ ロジックの組み合わせ (SPI_IN がロックされていない場合) 0b = OR 1b = AND
1	ENIN1_SEL	R/W	0b	EN/IN1 ピン - レジスタ ロジックの組み合わせ (SPI_IN2 がロックされていない場合) 0b = OR 1b = AND
0	PHIN2_SEL	R/W	0b	PH/IN2 ピン - レジスタ ロジックの組み合わせ (SPI_IN2 がロックされていない場合) 0b = OR 1b = AND

7.3.7.1.11 CONFIG6 レジスタ (アドレス = 10h) [リセット = 00h]

DRV8263A-Q1 追加構成オプション。ユーザー レジスタ表に戻ります。

ピット	フィールド	タイプ	リセット	説明
7	PU1_EN	R/W	0b	手動オフ状態診断:ハイサイド ROLP_PU イネーブル。OLP_CMP_SEL = 00b 設定に基づいてピン制御 OLP をオーバーライドします。選択した出力の S_DRVOFFx が 0 に設定されるまで値を保持します。 0b = 無効化 1b = イネーブル
6	PD1_EN	R/W	0b	手動オフ状態診断:ローサイド ROLP_PD イネーブル。OLP_CMP_SEL = 00b 設定に基づいてピン制御 OLP をオーバーライドします。選択した出力の S_DRVOFFx が 0 に設定されるまで値を保持します。 0b = 無効化 1b = イネーブル
5	RHIZ1_DIS	R/W	0b	手動オフ状態診断:RHIZ1 ディセーブル。OLP_CMP_SEL = 00b 設定に基づいてピン制御 OLP をオーバーライドします。 0b = イネーブル 1b = 無効化
4	PU2_EN	R/W	0b	手動オフ状態診断:ハイサイド ROLP_PU イネーブル。OLP_CMP_SEL = 01b 設定に基づいてピン制御 OLP をオーバーライドします。選択した出力の S_DRVOFFx が 0 に設定されるまで値を保持します。 0b = 無効化 1b = イネーブル
3	PD2_EN	R/W	00b	手動オフ状態診断:ローサイド ROLP_PD イネーブル。OLP_CMP_SEL = 01b 設定に基づいてピン制御 OLP をオーバーライドします。選択した出力の S_DRVOFFx が 0 に設定されるまで値を保持します。 0b = 無効化 1b = イネーブル
2	RHIZ2_DIS	R/W	0b	手動オフ状態診断:RHIZ2 ディセーブル。OLP_CMP_SEL = 01b 設定に基づいてピン制御 OLP をオーバーライドします。 0b = イネーブル 1b = 無効化
1	M_OLP_EN	R/W	0b	手動オフ状態診断の有効化:ピン制御の OLP 選択をオーバーライドし、OLP_CMP_SEL で選択された出力に対して有効にします。 0b = 無効化 1b = イネーブル
0	CMP_REF_SEL	R/W	0b	手動オフ状態診断:コンパレータのリファレンス選択、ピン制御の OLP_CMP_SEL 選択をオーバーライドし、OLP_CMP ステータス ピットを出力します。 0b = VOLP_REFL 1b = VOLP_REFH

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

DRV8263-Q1 は、ハーフブリッジまたは H ブリッジの電力段構成を必要とする各種用途に使用できます。一般的なアプリケーション例としては、ブラシ付き DC モータ、ソレノイド、アクチュエータなどがあります。また、LED、抵抗素子、リレーなど多くの一般的な受動負荷の駆動にも利用できます

8.1.1 負荷の概要

以下の表に、各種の誘導性負荷に対するデバイス機能のユーティリティを示します。

表 8-1. 負荷の概要表

負荷タイプ	構成		デバイスの機能	
	デバイス	還流パス	電流センス	I _{TRIP} レギュレーション
双方向モーターまたはソレノイド ⁽¹⁾	PH/EN または PWM モードの DRV8263	ハイサイド	連続	役に立つ
2 つの単方向モーターまたはローサイドソレノイド (片側は GND に接続)	独立モードの DRV8263 ⁽²⁾	ローサイド	不連続 ⁽³⁾	個別の負荷レギュレーションは不可能
2 つのハイサイドソレノイド (片側は VM に接続)	独立モードの DRV8263 ⁽²⁾	ハイサイド	利用不可、外部ソリューションが必要	

(1) ソレノイド - クランプまたはクイック消磁が可能、クランプレベルは VM に依存

(2) 個別の Hi-Z は SPI バリエントでのみサポート

(3) 還流中および OUTx 電圧のスル一時間中 (t_{blank} を含む) には検出しない

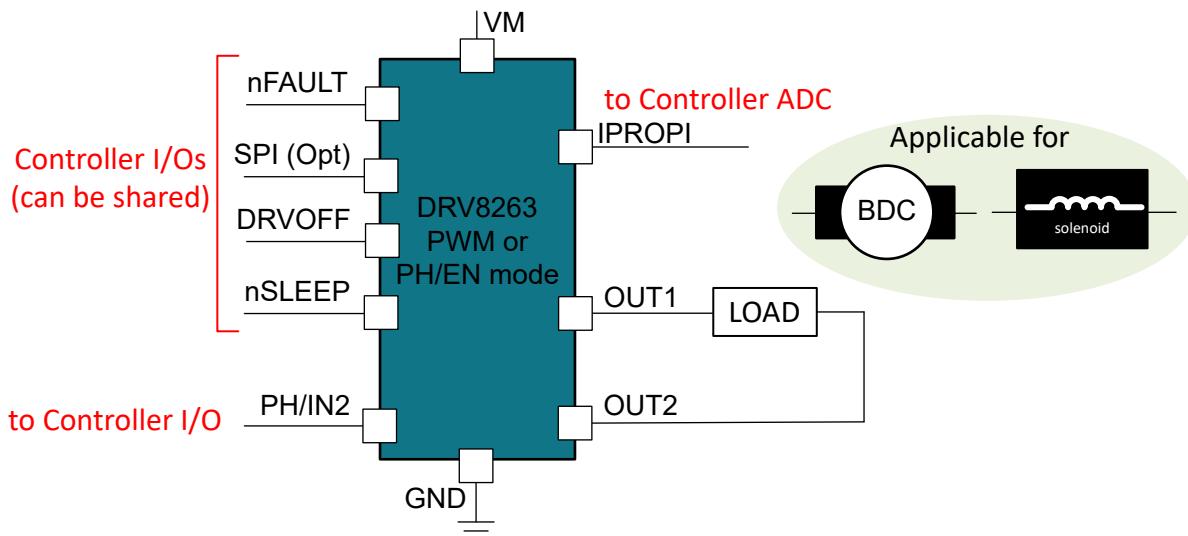


図 8-1. PWM または PH/EN モードの DRV8263-Q1 によるフルブリッジトポロジの説明図

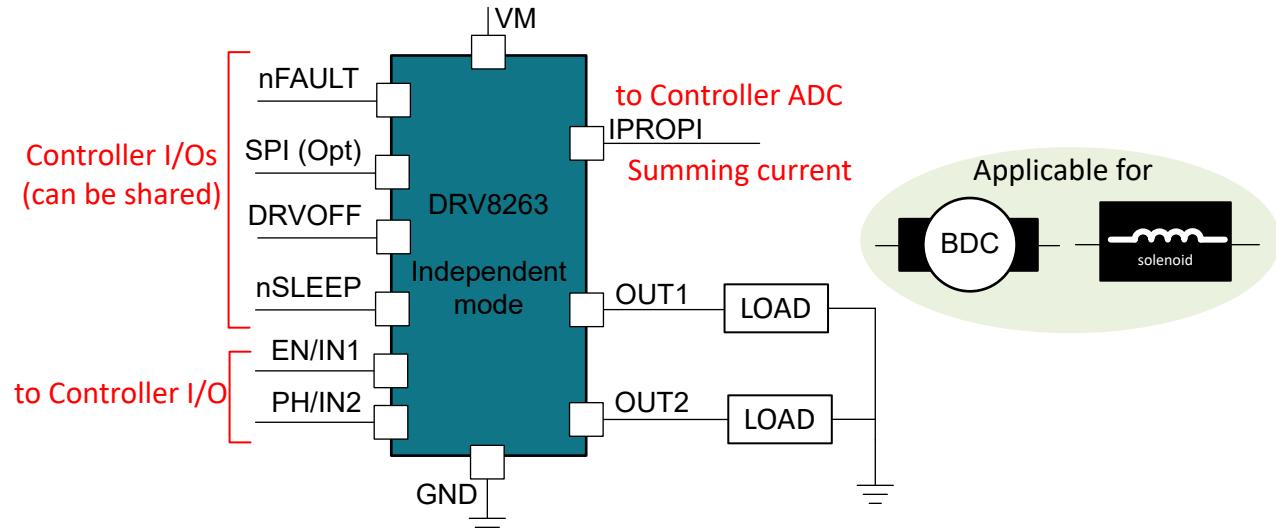


図 8-2. 独立モードの DRV8263-Q1 デバイスで 2 つのローサイド負荷を個別に駆動するハーフ ブリッジ トポロジの説明図

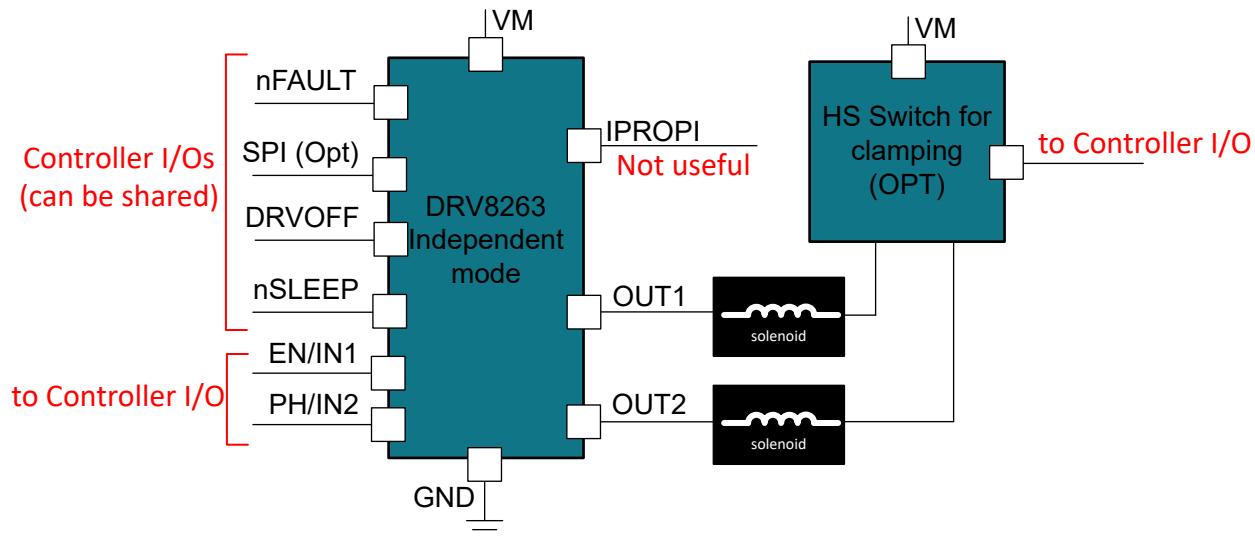


図 8-3. 独立モードの DRV8263-Q1 デバイスで 2 つのハイサイド負荷を個別に駆動するハーフ ブリッジ トポロジの説明図

8.2 代表的なアプリケーション

以下の図は、ブラシ付き DC モーターまたは何らかの誘導性負荷をさまざまなモードで駆動するための代表的なアプリケーション回路図を示しています。これらの回路図にはいくつかの選択可能な接続があります。それぞれを以下に示します。

- nSLEEP ピン
 - SPI バリアント - スリープ機能が必要ないアプリケーションでは、このピンを High に接続できます。
 - HW バリアント - スリープ機能が必要ない場合であっても、ピン制御は 必須 です。ウェークアップ時、コントローラは、ウェークアップまたはパワーアップに応答するため、リセット パルスを発行する必要があります。
- DRVOFF ピン
 - SPI バリアント - ピンでシャットオフする機能が必要ないアプリケーションでは、LOW に接続できます。これと等価なレジスタ ピットを使用できます。

- EN/IN1 ピン
 - SPI バリアント - レジスタのみでの制御が必要な場合、このピンを **Low** に接続するか、またはフローティングのままにできます。
- PH/IN2 ピン
 - SPI バリアント - レジスタのみでの制御が必要な場合、このピンを **Low** に接続するか、またはフローティングのままにできます。
- OUT1 および OUT2 ピン
 - EMC の目的で、OUTx と GND の間、および OUTx 相互間の負荷付近に、コンデンサのための PCB フットプリントを追加することを推奨します。
- IPROPI ピン
 - すべてのバリアント - この出力の監視は任意です。また、ITRIP 機能および IPROPI 機能が不要な場合、IPROPI ピンを **Low** に接続できます。必要に応じて、小型コンデンサ (10nF~100nF) のための PCB フットプリントを追加することを推奨します。
- nFAULT ピン
 - SPI バリアント - この出力の監視は任意です。すべての診断情報は、STATUS レジスタから読み取り可能です。
- SPI 入力ピン
 - SPI バリアント - 入力 (SDI, nSCS, SCLK) は、3.3V/5V レベル互換です。
- SPI SDO ピン
 - SDO は VDD ピン電圧に追従します。3.3V レベルのコントローラ入力と接続するには、レベルシフタまたは電流制限用の直列抵抗を推奨します。
- CONFIG ピン
 - HW バリアント - GND への短絡およびハイインピーダンスレベルを選択する場合、抵抗は不要です

8.2.1 HW バリアント

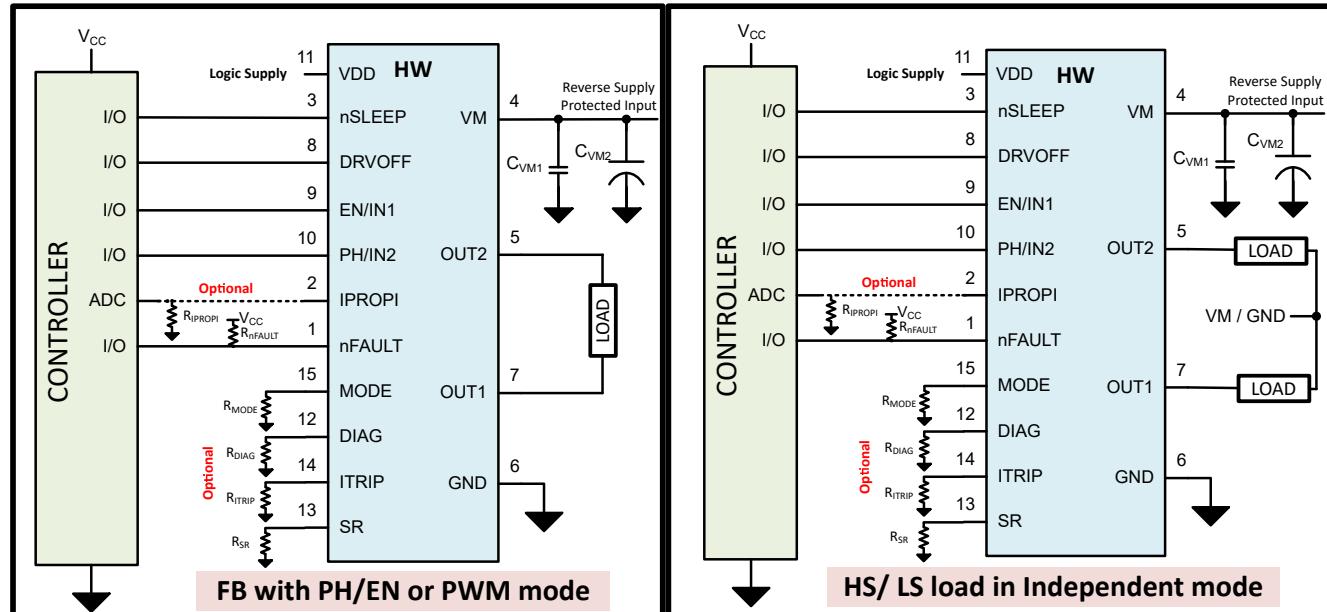


図 8-4. 代表的なアプリケーション回路図 - HW バリアント

8.2.2 SPI バリアント

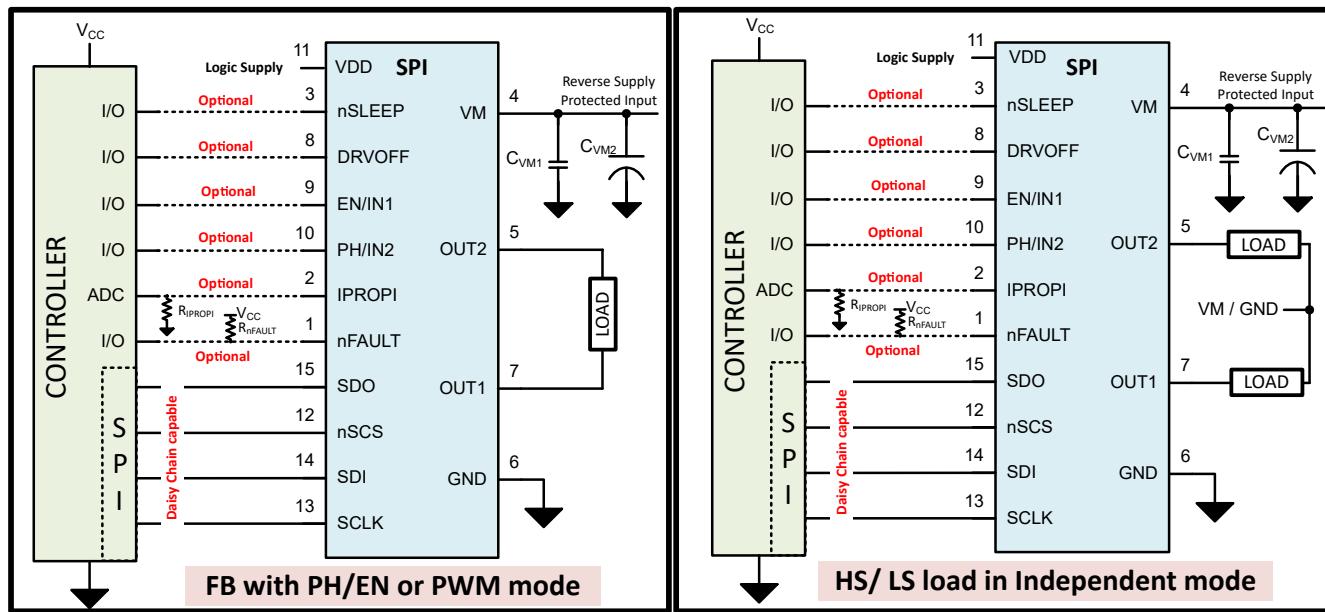


図 8-5. 代表的なアプリケーション回路図 - SPI バリアント

8.3 電源に関する推奨事項

このデバイスは、4.5V ~ 65V の入力電源電圧 (VM) 範囲で動作するように設計されています。VM 定格の 0.1 μ F セラミックコンデンサをデバイスのできるだけ近くに配置する必要があります。また、適切なサイズのバルクコンデンサを VM ピンに配置する必要があります。

8.3.1 バulk容量の決定

バルク容量のサイズ決定は、モーター駆動システムの設計において重要な要素です。バルク容量が大きいことは有益ですが、コストと物理的なサイズが大きくなるというデメリットもあります。

必要なローカル容量値は、次のようなさまざまな要因で決まります。

- モーター システムが必要とする最大電流
- 電源の容量、および電源の電流供給能力
- 電源とモーター システムの間の寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモーターの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)
- モータのブレーキ方式

電源とモーター駆動システムの間のインダクタンスにより、電源からの電流が変化する速度が制限されます。ローカル バルク容量が小さすぎると、モーターに大電流を供給しようとする場合、または負荷ダンプが発生した場合、システムの電圧が変動します。十分なバルク容量を使うことで、モーターの電圧は安定し、大電流を素早く供給できます。

データシートには推奨値が記載されていますが、バルクコンデンサの容量が適切かどうかを判断するには、システム レベルのテストが必要です。

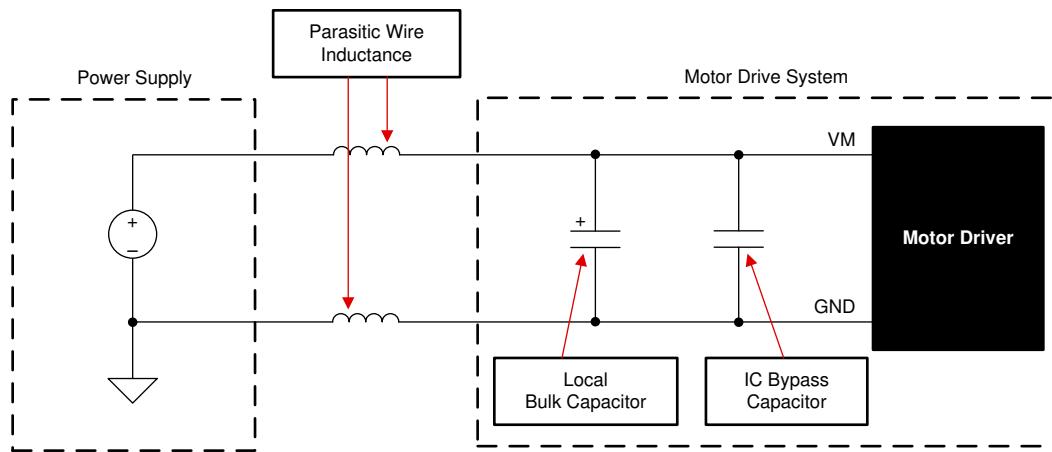


図 8-6. 外部電源を使用したモーター駆動システムの構成例

モータが電源にエネルギーを伝達する場合のマージンを確保するため、バルクコンデンサの定格電圧は動作電圧より高いです。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

低ESRセラミックバイパスコンデンサ(VMに対応する定格電圧、推奨値 $0.1\mu\text{F}$)を使って、各VMピンをグランドにバイパスする必要があります。これらのコンデンサはVMピンのできるだけ近くに配置し、太いパターンまたはグラウンドプレーンを介してデバイスのGNDピンへ接続することが推奨されます。

大電流パスをバイパスするために、追加のバルクコンデンサが必要です。このバルク容量は、バルク容量が高電流パスの長さを最小化するように配置されています。接続用の金属パターンはできる限り幅広くし、PCBの層間を多数のビアで接続します。これらの手法により、インダクタンスが最小限に抑えられ、バルクコンデンサが大電流を供給できるようになります。

低ESRセラミック6.3Vバイパスコンデンサ(推奨値 $0.1\mu\text{F}$)を使って、VDDピンをグランドにバイパスする必要があります。

8.4.2 レイアウト例

DRV8x63-Q1のレイアウト例については、以下のデバイスのEVMを参照してください。

- DRV8163S-Q1
- DRV8163H-Q1
- DRV8263S-Q1
- DRV8263H-Q1

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、システムの開発を行うためのツールやソフトウェアを、以下に挙げます。

9.1 デバイス サポート

9.2 ドキュメントのサポート

9.2.1 関連資料

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (January 2025) to Revision A (September 2025)

Page

- | | |
|--------------------------|---|
| • デバイスのステータスを「量産データ」に更新。 | 1 |
|--------------------------|---|

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのプラウザ版を使用されている場合は、画面左側の説明をご覧ください。

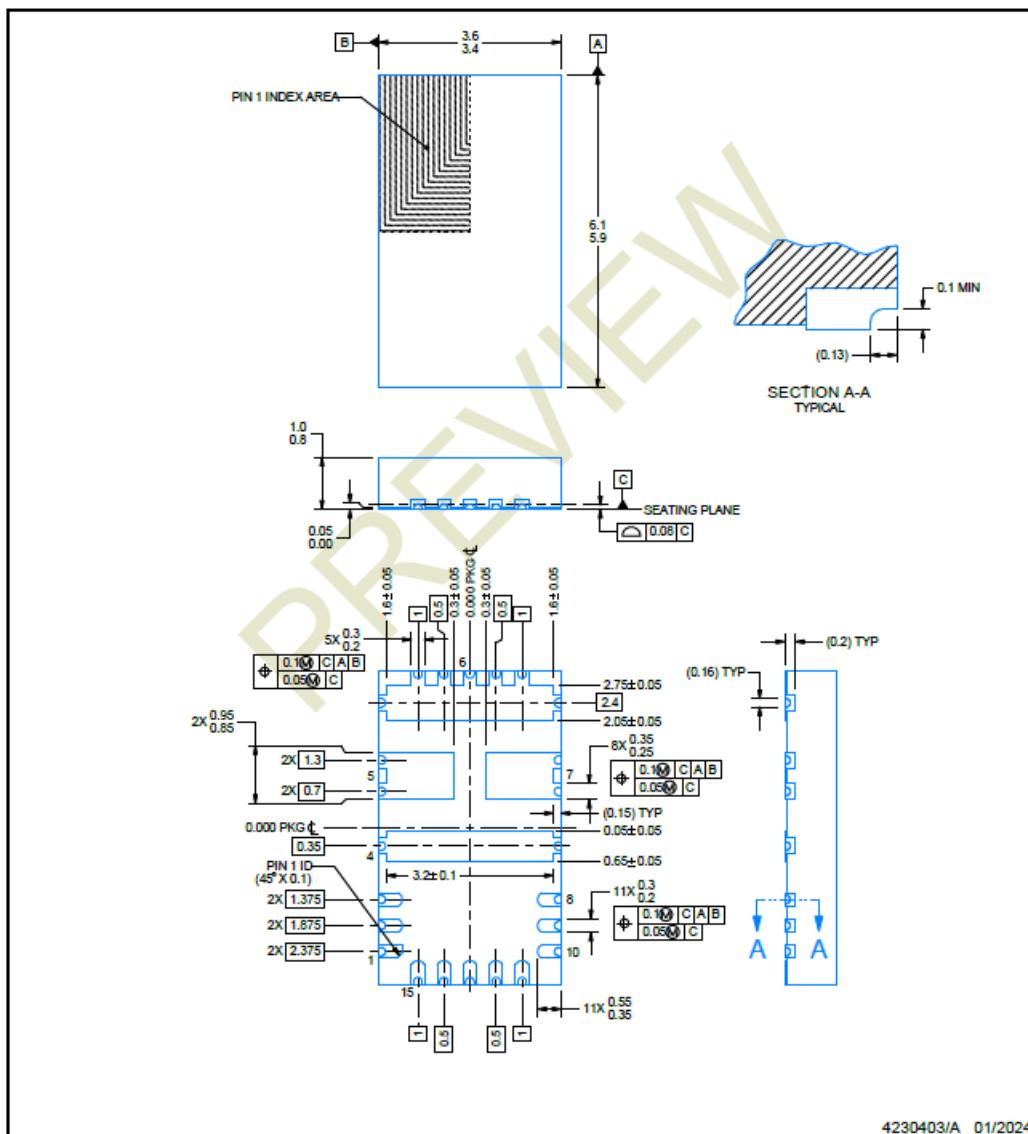
VAK0015A



PACKAGE OUTLINE

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

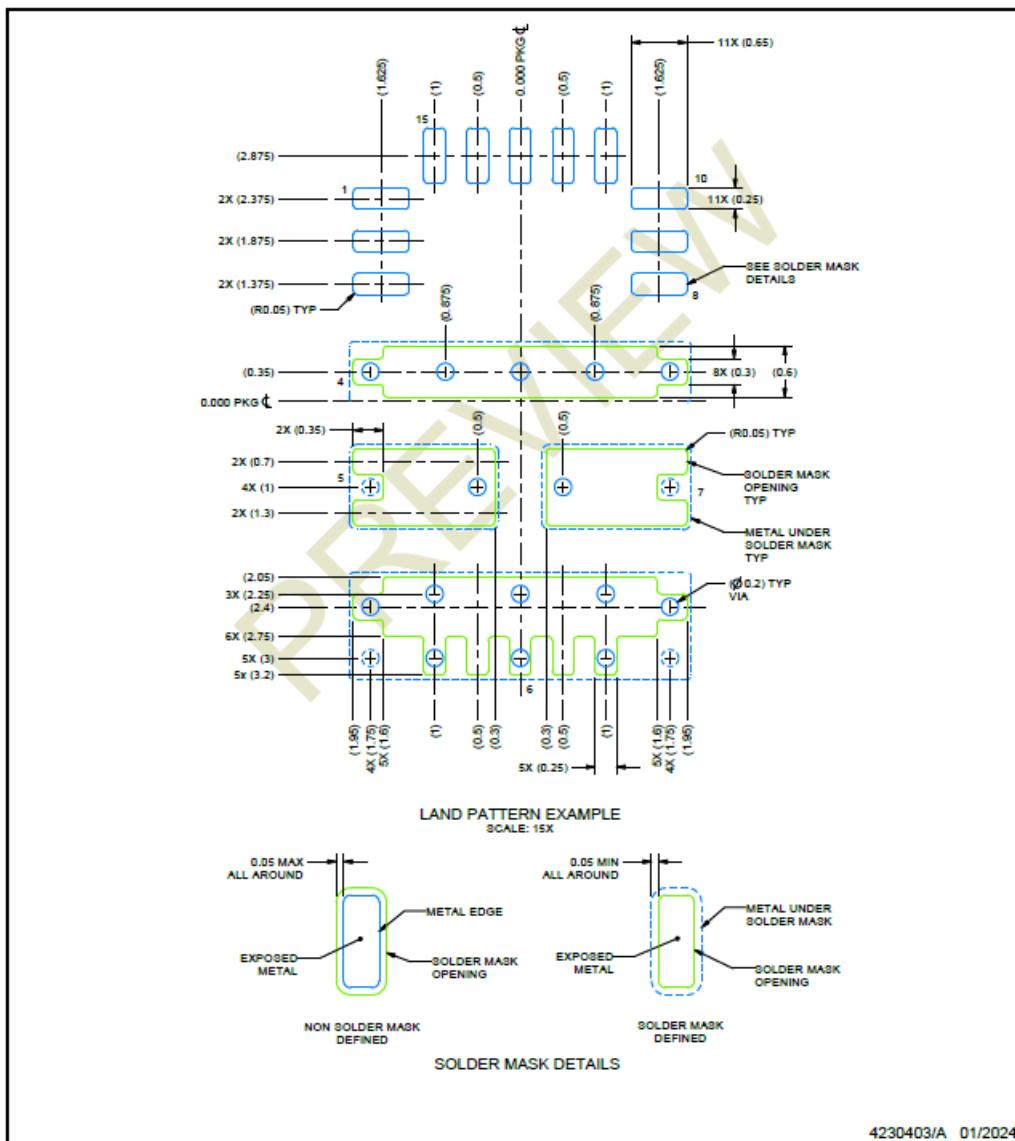
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

VAK0015A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4230403/A 01/2024

NOTES: (continued)

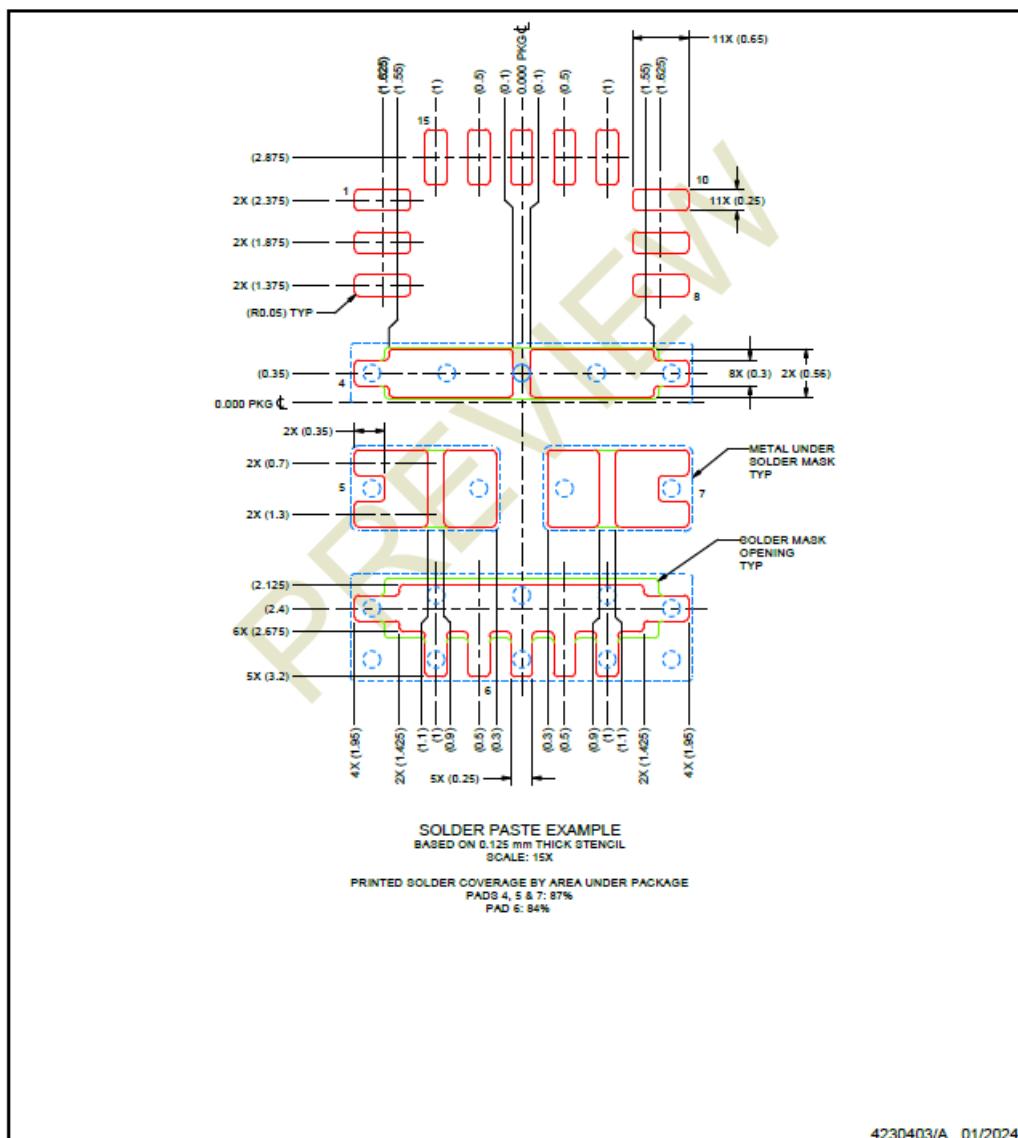
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
4. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

VAK0015A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8263HQVAKRQ1	Active	Production	VQFN-HR (VAK) 15	3000 LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	8263H
DRV8263SQVAKRQ1	Active	Production	VQFN-HR (VAK) 15	3000 LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	8263S

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

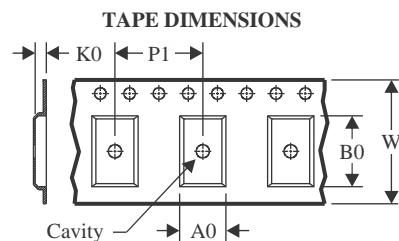
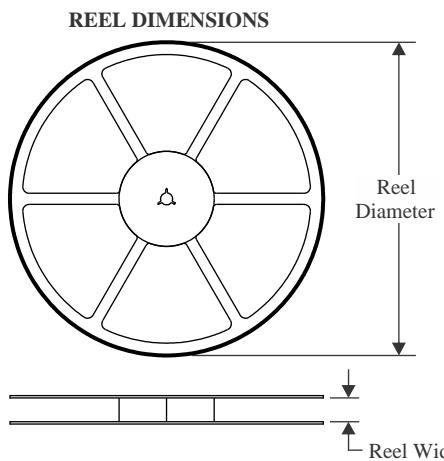
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

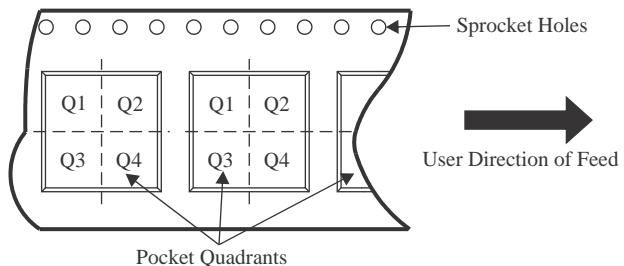
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

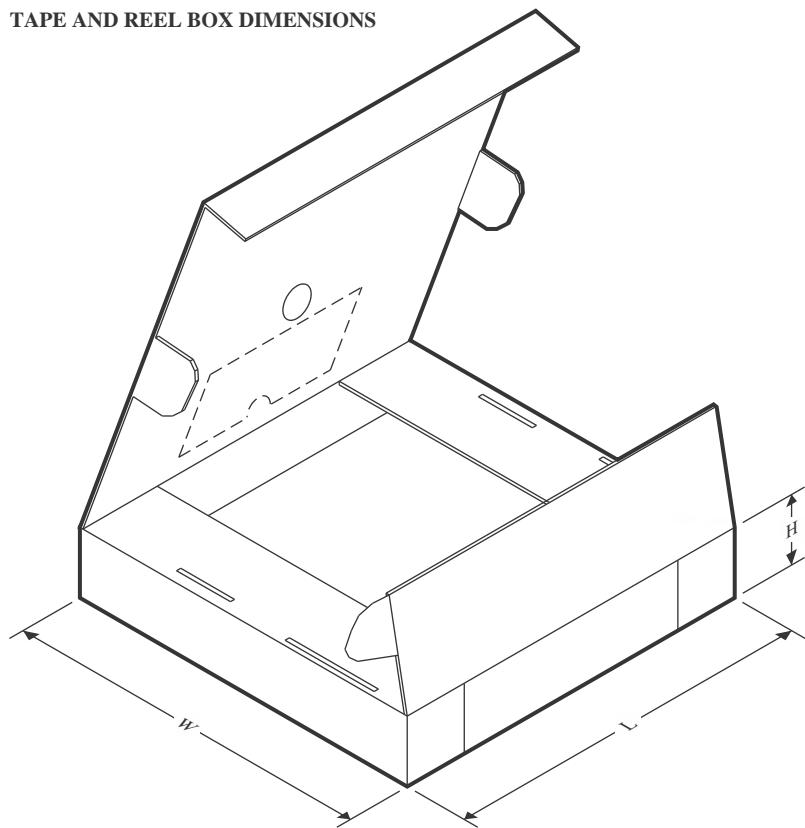
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8263HQVAKRQ1	VQFN-HR	VAK	15	3000	330.0	12.4	3.8	6.3	1.15	8.0	12.0	Q1
DRV8263SQVAKRQ1	VQFN-HR	VAK	15	3000	330.0	12.4	3.8	6.3	1.15	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8263HQVAKRQ1	VQFN-HR	VAK	15	3000	367.0	367.0	35.0
DRV8263SQVAKRQ1	VQFN-HR	VAK	15	3000	367.0	367.0	35.0

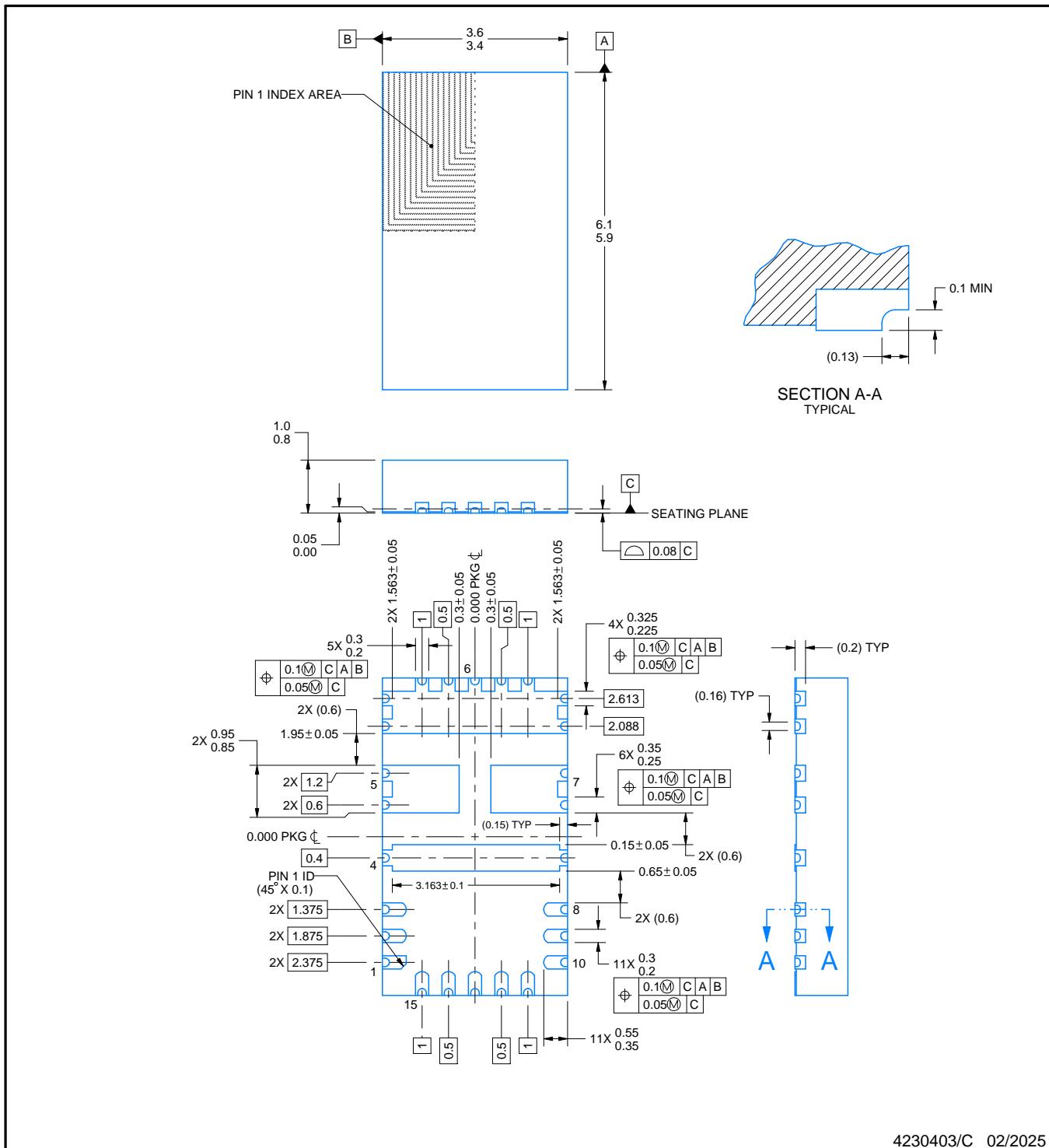


PACKAGE OUTLINE

VAK0015A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4230403/C 02/2025

NOTES:

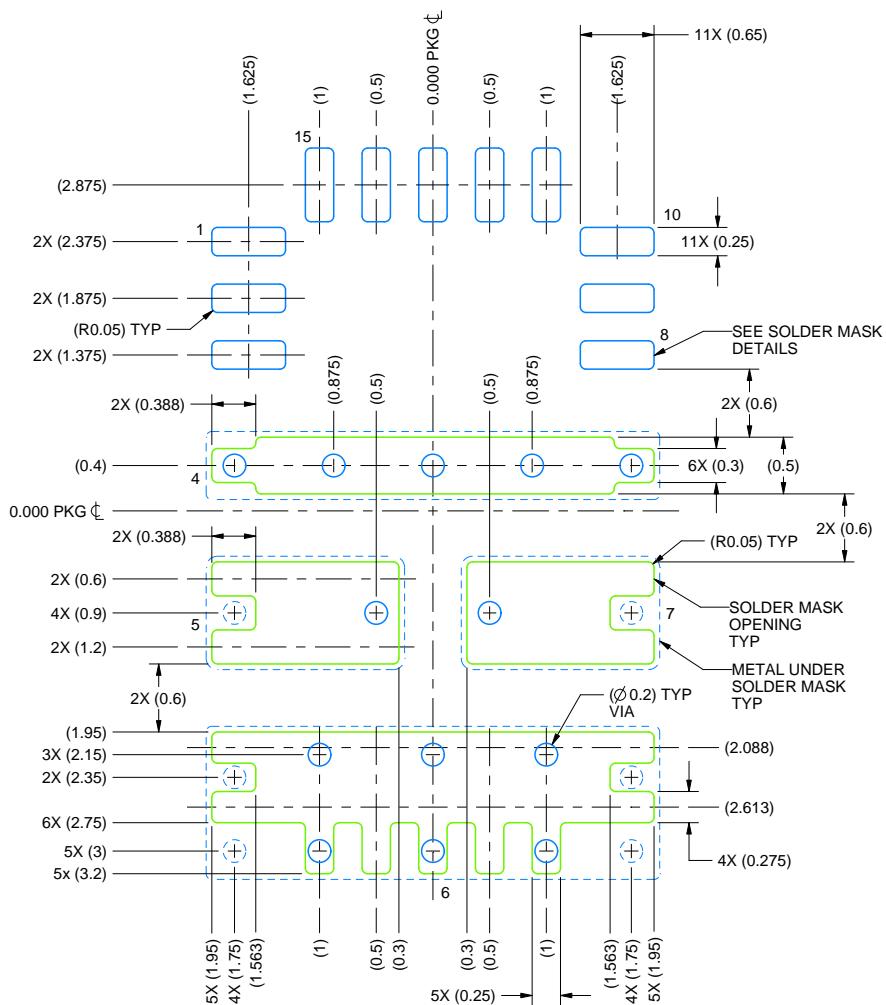
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

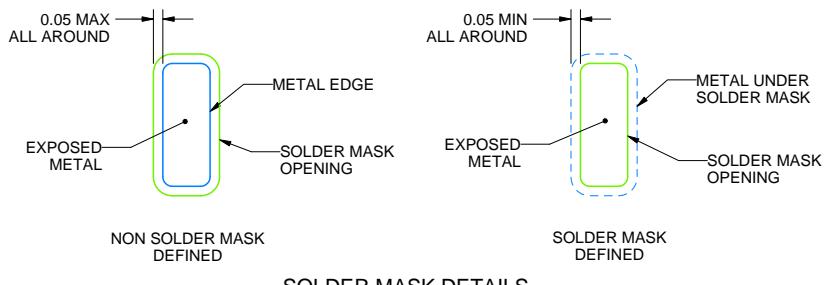
VAK0015A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE: 15X



4230403/C 02/2025

NOTES: (continued)

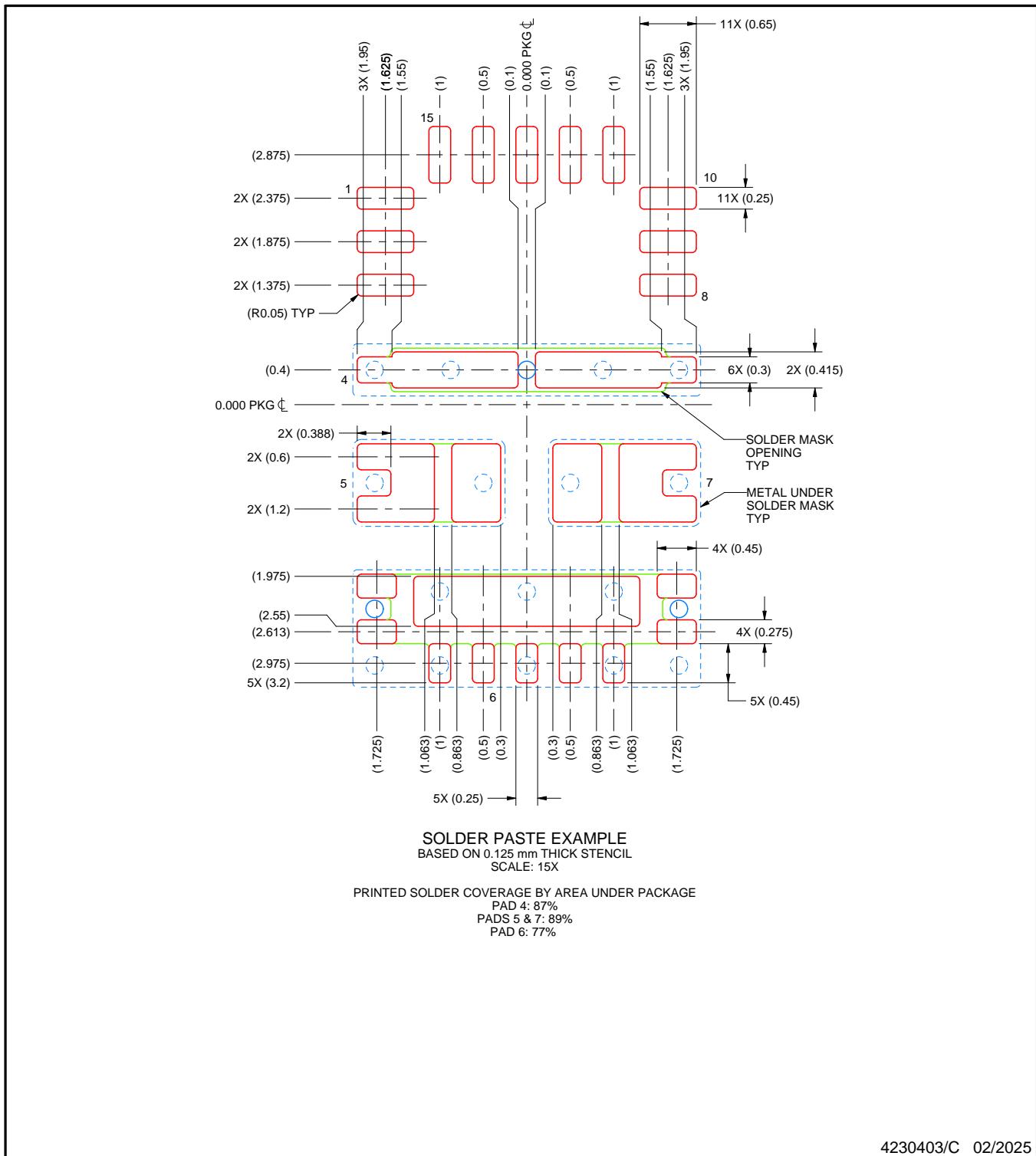
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
 4. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

VAK0015A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月