DRV832x 6～60V、3 相スマート ゲート ドライバ

1 特長

- トリプル ハーフブリッジ ゲート ドライバ
  - 3 つのハイサイドおよび 3 つのローサイドの N チャネル MOSFET (NMOS) を駆動
- スマート ゲート ドライブ アーキテクチャ
  - 調整可能なスルー レート制御
  - 10mA～1A のピーク ソース電流
  - 20mA～2A のピーク シンク電流
- ゲート ドライバ電源を内蔵
  - 100%の PWM デューティ サイクルをサポート
  - ハイサイドのチャージ ポンプ
  - ローサイドのリニア レギュレータ
- 6～60V の動作電圧範囲
- オプションの内蔵 DC/DC 降圧レギュレータ
  - LMR16006X SIMPLE SWITCHER®
  - 4～60V の動作電圧範囲
  - 0.8 ～ 60V、600mA の出力能力
- トリプル ローサイド電流センス アンプ (CSA) 内蔵 (オプション)
  - 可変ゲイン (5、10、20、40V/V)
  - 双方向または単方向のサポート
- SPI およびハードウェア インターフェイスを利用可能
- 6x、3x、1x、および独立 PWM モード
- 1.8V、3.3V、5V のロジック入力をサポート
- 低消費電力スリープ モード (12μA)
- リニア電圧レギュレータ、3.3V、30mA
- 小型で占有面積の小さい QFN パッケージ
- パワー ブロックによる効率的なシステム設計
- 内蔵保護機能
  - VM 低電圧誤動作防止 (UVLO)
  - チャージ ポンプ低電圧（CPUV）
  - MOSFET の過電流保護 (OCP)
  - ゲート ドライバのフォルト (GDF)
  - 熱警告およびシャットダウン (OTW/OTSD)
  - フォルト状態インジケータ (nFAULT)

2 アプリケーション

- ブラシレス DC (BLDC) モーター モジュールおよび PMSM
- ファン、ポンプ、サーボ ドライブ
- 電動アシスト自転車、電動スクーター、E-モビリティ
- コードレスの庭園機器および電動工具、芝刈り機
- コードレス掃除機
- ドローン、ロボティクス、ラジコン玩具
- 産業用および物流用ロボット

3 説明

DRV832x ファミリのデバイスは、3 相アプリケーション用の統合型ゲート ドライバです。このデバイスには、3 つのハーフ ブリッジ ゲート ドライバがあり、それぞれがハイサイドとローサイドの N チャネル パワー MOSFET を駆動できます。DRV832x は、内蔵のチャージ ポンプを使用してハイサイド MOSFET 用の、リニア レギュレータを使用してローサイド MOSFET 用の、適切なゲート駆動電圧を生成します。スマート ゲート ドライブのアーキテクチャは、最大でソース 1A、シンク 2A のピーク ゲート駆動電流をサポートします。DRV832x は単一電源で動作し、ゲート ドライバについて 6～60V、オプションの降圧レギュレータについて 4～60V の広い入力電源電圧に対応します。

6x、3x、1x、および独立入力の PWM モードにより、コントローラ回路と簡単に接続できます。ゲート ドライバとデバイスの構成設定は、SPI またはハードウェア(H/W)インターフェイスにより細かく変更可能です。DRV8323 および DRV8323R デバイスには 3 つのローサイド電流センス アンプが内蔵されており、駆動段の 3 相すべてについて、双方向の電流センシングが可能です。DRV8320R および DRV8323R デバイスは、600mA DC/DC 降圧レギュレータを内蔵しています。

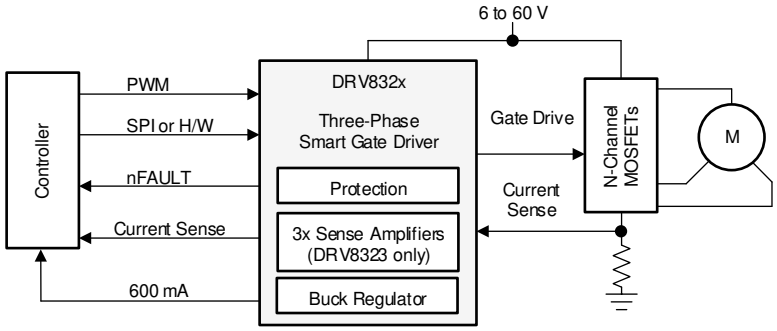
低消費電力のスリープ モードがあり、内部回路のほとんどをシャットダウンして、静止電流を低減できます。低電圧誤動作防止、チャージ ポンプ障害、MOSFET 過電流、MOSFET 短絡、ゲート ドライバ障害、過熱に対する保護機能が内蔵されています。SPI デバイスのバージョンでは、フォルト状態は nFAULT ピンで通知され、デバイス レジスタで詳細を確認できます。

製品情報

部品番号	パッケージ (1)	本体サイズ (公称)
DRV8320	WQFN (32)	5.00mm × 5.00mm
DRV8320R	VQFN (40)	6.00mm × 6.00mm
DRV8323	WQFN (40)	6.00mm × 6.00mm
DRV8323R	VQFN (48)	7.00mm × 7.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



Copyright © 2017, Texas Instruments Incorporated

概略回路図

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 改訂履歴 ... 3
5 デバイス比較表 ... 5
6 ピン構成および機能 ... 5
7 仕様 ... 12
7.1 絶対最大定格 ... 12
7.2 ESD 定格 ... 13
7.3 推奨動作条件 ... 13
7.4 熱に関する情報 ... 13
7.5 電気的特性 ... 14
7.6 SPI のタイミング要件 ... 21
7.7 代表的特性 ... 22
8 詳細説明 ... 24
8.1 概要 ... 24
8.2 機能ブロック図 ... 25
8.3 機能説明 ... 33
8.4 デバイスの機能モード ... 54
8.5 プログラミング ... 56
8.6 レジスタ マップ ... 58
9 アプリケーションと実装 ... 68
9.1 使用上の注意 ... 68
9.2 代表的なアプリケーション ... 68
10 電源に関する推奨事項 ... 78
10.1 ジェネレータ モードでの電源に関する検討事項 ... 78
10.2 バルク容量の決定 ... 79
11 レイアウト ... 80
11.1 レイアウトのガイドライン ... 80
11.2 レイアウト例 ... 82
12 デバイスおよびドキュメントのサポート ... 83
12.1 デバイス サポート ... 83
12.2 ドキュメントのサポート ... 83
12.3 ドキュメントの更新通知を受け取る方法 ... 83
12.4 サポート・リソース ... 84
12.5 商標 ... 84
12.6 静電気放電に関する注意事項 ... 84
12.7 用語集 ... 84
13 メカニカル、パッケージ、および注文情報 ... 84

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (August 2018) to Revision D (March 2022) — **Page**

- 「スリープモード」セクションに、Enable ピンが Low になった際の GHx と GLx の動作に関する情報を追加 ... 54

Changes from Revision B (December 2017) to Revision C (August 2018) — **Page**

- 「アプリケーション」のを変更 ... 1
- 「レイアウト例」画像の INLx および INHx 信号の入力ラベルを更新 ... 82
- 「デバイスの命名規則」セクションの画像に DRV835x デバイス オプションを追加 ... 83

Changes from Revision A (April 2017) to Revision B (December 2017) — **Page**

- 「特長」で、低消費電力のスリープ モードの消費電流を最大値 (20µA) から標準値 (12µA) に変更 ... 1
- 「アプリケーション」のを変更 ... 1
- 「電気的特性」表で、H/W デバイスに対するアンプ ゲインの試験条件の GAIN 値を 45kΩ から 47kΩ に変更 ... 14
- 「SPI セカンダリ モード タイミング図」から t_{EN_nSCS} を削除 ... 21
- 「同期 1x PWM モード」に *!PWM* を定義する注を追加 ... 34
- 「自動オフセット キャリブレーション」セクションを更新 ... 48
- 「V_{DS} ラッチ シャットダウン」および「V_{DS} 自動リトライ」セクションを更新 ... 52
- 「スリープ モード」セクションを更新 ... 54
- 「ゲート駆動 LS レジスタ」セクションのタイトルに記載されるアドレスを正しいレジスタ アドレス 0x04 に変更 ... 65
- 「詳細な設計手順」の V_{VM} = 8V の例で、矩形波整流と正弦波整流の両方の最大 Q_g 値を変更 ... 70
- 「IDRIVE 構成」セクションの I_{DRIVEP} と I_{DRIVEN} の式を変更 ... 70

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision * (February 2017) to Revision A (April 2017) **Page**

- 「電気的特性」表における I_{BIAS} パラメータのテスト条件を変更 14
- 「3x PWM モードの真理値表」の GHx 値を変更 34
- キャリブレーションの説明を変更し、自動キャリブレーション機能の説明を追加..... 48

Copyright © 2026 Texas Instruments Incorporated

5 デバイス比較表

デバイス	バリアント(1)	電流センス アンプ	降圧レギュレータ(1)	インターフェイス(1)
DRV8320	DRV8320H	0	なし	ハードウェア
	DRV8320S			SPI
DRV8320R	DRV8320RH		600mA	ハードウェア
	DRV8320RS			SPI
DRV8323	DRV8323H	3	なし	ハードウェア
	DRV8323S			SPI
DRV8323R	DRV8323RH		600mA	ハードウェア
	DRV8323RS			SPI

(1) デバイス名およびデバイス オプションの詳細については、「*セクション 12.1.1*」を参照してください。詳細については、『ブラシレス DC ゲート ドライブ システムのアーキテクチャ』アプリケーション レポートを参照してください。

6 ピン構成および機能

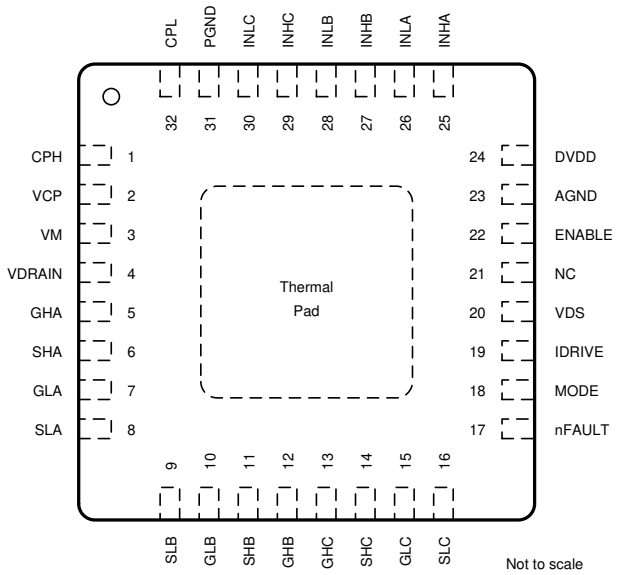


図 6-1. DRV8320H RTV パッケージ 32 ピン WQFN (露出サーマル パッド付き) 上面図

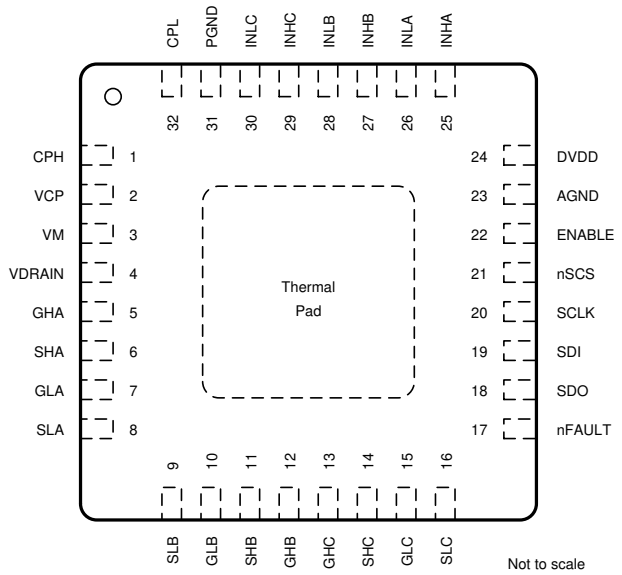


図 6-2. DRV8320S RTV パッケージ 32 ピン WQFN (露出サーマル パッド付き) 上面図

表 6-1. ピン機能—32 ピン DRV8320 デバイス

ピン			タイプ(1)	説明
名称	番号			
	DRV8320H	DRV8320S		
AGND	23	23	PWR	デバイスのアナログ グランド。システム グランドに接続。AGND を外部から PGND に接続する必要があります。
CPH	1	1	PWR	チャージ ポンプのスイッチング ノード。X5R または X7R、47nF、VM 定格セラミック コンデンサを CPH ピンと CPL ピンの間に接続します。たとえば、24V システムの場合は、コンデンサを 50V (2x マージン) 定格にする必要があります。
CPL	32	32	PWR	
DVDD	24	24	PWR	3.3V 内部レギュレータ出力。X5R または X7R、1μF、6.3V セラミック コンデンサを DVDD ピンと AGND ピンの間に接続します。このレギュレータは最大 30mA を外部にソースできます。
イネーブル	22	22	I	ゲート ドライバのイネーブル。このピンを論理 Low にすると、本デバイスは低消費電力のスリープ モードに移行します。8 ～ 40μs パルスを使うと、スリープ モードに移行することなくフォルト状態をリセットできます。
GHA	5	5	O	ハイサイド ゲート ドライバ出力。ハイサイド パワー MOSFET のゲートに接続します。
GHB	12	12	O	ハイサイド ゲート ドライバ出力。ハイサイド パワー MOSFET のゲートに接続します。
GHC	13	13	O	ハイサイド ゲート ドライバ出力。ハイサイド パワー MOSFET のゲートに接続します。
GLA	7	7	O	ローサイド ゲート ドライバ出力。ローサイド パワー MOSFET のゲートに接続します。
GLB	10	10	O	ローサイド ゲート ドライバ出力。ローサイド パワー MOSFET のゲートに接続します。

Copyright © 2026 Texas Instruments Incorporated

表 6-1. ピン機能—32 ピン DRV8320 デバイス (続き)

ピン			タイプ(1)	説明
名称	番号			
	DRV8320H	DRV8320S		
GLC	15	15	O	ローサイド ゲートドライバ出力。ローサイド パワー MOSFET のゲートに接続します。
IDRIVE	19	—	I	ゲート駆動出力電流設定。このピンは、外付け抵抗で設定される 7 レベル入力ピンです。
INHA	25	25	I	ハイサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはハイサイド ゲートドライバの出力を制御します。
INHB	27	27	I	ハイサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはハイサイド ゲートドライバの出力を制御します。
INHC	29	29	I	ハイサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはハイサイド ゲートドライバの出力を制御します。
INLA	26	26	I	ローサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはローサイド ゲートドライバの出力を制御します。
INLB	28	28	I	ローサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはローサイド ゲートドライバの出力を制御します。
INLC	30	30	I	ローサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはローサイド ゲートドライバの出力を制御します。
モード	18	—	I	PWM 入力モード設定。このピンは、外付け抵抗で設定される 4 レベル入力ピンです。
NC	21	—	NC	内部接続なしこのピンはフローティングのままにしておくことも、システム グランドに接続することもできます。
nFAULT	17	17	OD	フォルト通知出力。このオープン ドレイン ピンは、フォルト状態時にロジック Low となり、外付けプルアップ抵抗を必要とします。
nSCS	—	21	I	シリアル チップ選択。このピンのロジック LOW により、シリアル インターフェイス通信が可能になります。
PGND	31	31	PWR	デバイスの電源グランド。ローサイド MOSFET のゲート駆動シンク パスとしても使用されます。システム グランドに接続。PGND を外部から AGND に接続する必要があります。
SCLK	—	20	I	シリアル クロック入力。シリアル データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト アウトおよびキャプチャされます。
SDI	—	19	I	シリアル データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます。
SDO	—	18	OD	シリアル データ出力。データは、SCLK ピンの立ち上がりエッジでシフト アウトされます。このオープン ドレイン ピンには、外付けのプルアップ抵抗が必要です。
SHA	6	6	I/O	ハイサイド ソース ピン。ハイサイド パワー MOSFET ソースに接続します。このピンは VDS 監視用入力であり、ハイサイド ゲートドライバのシンクのための出力です。
SHB	11	11	I/O	ハイサイド ソース ピン。ハイサイド パワー MOSFET ソースに接続します。このピンは VDS 監視用入力であり、ハイサイド ゲートドライバのシンクのための出力です。
SHC	14	14	I/O	ハイサイド ソース ピン。ハイサイド パワー MOSFET ソースに接続します。このピンは VDS 監視用入力であり、ハイサイド ゲートドライバのシンクのための出力です。
SLA	8	8	I	ローサイド ソース入力。ローサイド パワー MOSFET のソースに接続します。このピンは VDS 監視の入力です。
SLB	9	9	I	ローサイド ソース入力。ローサイド パワー MOSFET のソースに接続します。このピンは VDS 監視の入力です。
SLC	16	16	I	ローサイド ソース入力。ローサイド パワー MOSFET のソースに接続します。このピンは VDS 監視の入力です。
VCP	2	2	PWR	チャージ ポンプ出力。X5R または X7R、1μF、25V セラミック コンデンサを VCP ピンと VM ピンの間に接続します。
VDRAIN	4	4	I	ハイサイド MOSFET ドレイン入力。ハイサイド MOSFET ドレインのコモン ポイントに接続します。このピンは VDS 監視の入力です。
VDS	20	—	I	VDS モニタのトリップ ポイント設定。このピンは、外付け抵抗で設定される 7 レベル入力ピンです。
VM	3	3	PWR	ゲートドライバの電源入力。モーター電源と VDRAIN に接続します。X5R または X7R、0.1μF、VM 定格セラミック コンデンサと 10μF 以上のローカル コンデンサを VM ピンと PGND ピンの間に接続します。
サーマル パッド	PAD	PAD	PWR	GND に接続する必要があります。

(1) PWR = 電源、I = 入力、O = 出力、NC = 接続なし、OD = オープン ドレイン出力

Copyright © 2026 Texas Instruments Incorporated

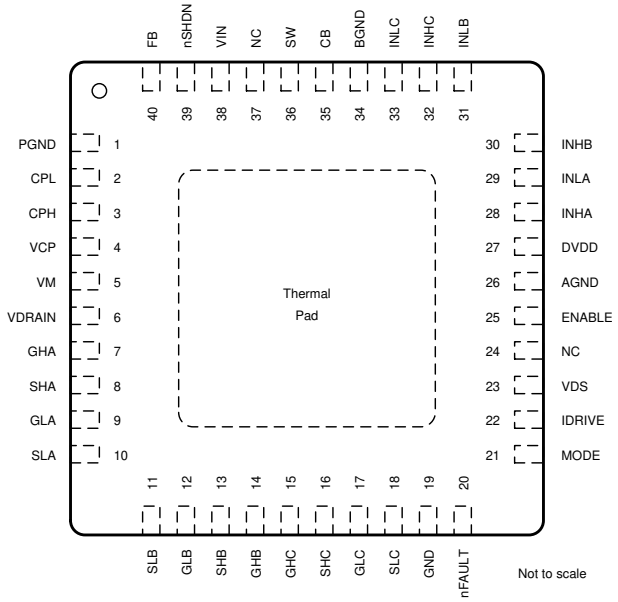


図 6-3. DRV8320RH RHA パッケージ 40 ピン VQFN (露出サーマル パッド付き) 上面図

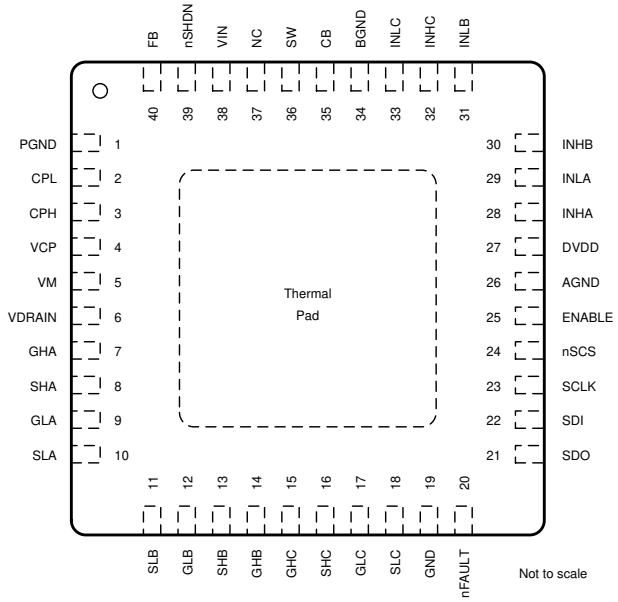


図 6-4. DRV8320RS RHA パッケージ 40 ピン VQFN (露出サーマル パッド付き) 上面図

表 6-2. ピン機能—40 ピン DRV8320R デバイス

ピン			タイプ[1]	説明
名称	番号			
	DRV8320RH	DRV8320RS		
AGND	26	26	PWR	デバイスのアナログ グランド。システム グランドに接続。AGND を外部から BGND および PGND に接続する必要があります。
BGND	34	34	PWR	Buck regulator ground.システム グランドに接続。BGND を外部から AGND および PGND に接続する必要があります。
CB	35	35	PWR	降圧レギュレータのブートストラップ入力。X5R または X7R、0.1µF、16V コンデンサを CB ピンと SW ピンの間に接続します。
CPH	3	3	PWR	チャージ ポンプのスイッチング ノード。X5R または X7R、47nF、VM 定格セラミック コンデンサを CPH ピンと CPL ピンの間に接続します。たとえば、24V システムの場合は、コンデンサを 50V (2x マージン) 定格にする必要があります。
CPL	2	2	PWR	
DVDD	27	27	PWR	3.3V 内部レギュレータ出力。X5R または X7R、1µF、6.3V セラミック コンデンサを DVDD ピンと AGND ピンの間に接続します。このレギュレータは最大 30mA を外部にソースできます。
イネーブル	25	25	I	ゲートドライバのイネーブル。このピンを論理 Low にすると、本デバイスは低消費電力のスリープ モードに移行します。8 ～ 40µs の Low パルスを使うとフォルト状態をリセットできます。
FB	40	40	I	降圧フィードバック入力。降圧ポスト インダクタ出力からこのピンへの抵抗デバイダにより、降圧出力電圧が設定されます。
GHA	7	7	O	ハイサイド ゲートドライバ出力。ハイサイド パワー MOSFET のゲートに接続します。
GHB	14	14	O	ハイサイド ゲートドライバ出力。ハイサイド パワー MOSFET のゲートに接続します。
GHC	15	15	O	ハイサイド ゲートドライバ出力。ハイサイド パワー MOSFET のゲートに接続します。
GLA	9	9	O	ローサイド ゲートドライバ出力。ローサイド パワー MOSFET のゲートに接続します。
GLB	12	12	O	ローサイド ゲートドライバ出力。ローサイド パワー MOSFET のゲートに接続します。
GLC	17	17	O	ローサイド ゲートドライバ出力。ローサイド パワー MOSFET のゲートに接続します。
GND	19	19	PWR	デバイスのグランド。システム グランドに接続。
IDRIVE	22	—	I	ゲート駆動出力電流設定。このピンは、外付け抵抗で設定される 7 レベル入力ピンです。
INHA	28	28	I	ハイサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはハイサイド ゲートドライバの出力を制御します。
INHB	30	30	I	ハイサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはハイサイド ゲートドライバの出力を制御します。
INHC	32	32	I	ハイサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはハイサイド ゲートドライバの出力を制御します。
INLA	29	29	I	ローサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはローサイド ゲートドライバの出力を制御します。
INLB	31	31	I	ローサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはローサイド ゲートドライバの出力を制御します。
INLC	33	33	I	ローサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはローサイド ゲートドライバの出力を制御します。
モード	21	—	I	PWM 入力モード設定。このピンは、外付け抵抗で設定される 4 レベル入力ピンです。
NC	24	—	NC	内部接続なしこのピンはフローティングのままにしておくことも、システム グランドに接続することもできます。
NC	37	37	NC	内部接続なしこのピンはフローティングのままにしておくことも、システム グランドに接続することもできます。
nFAULT	20	20	OD	フォルト通知出力。このオープン ドレイン ピンは、フォルト状態時にロジック Low となり、外付けプルアップ抵抗を必要とします。

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン機能—40 ピン DRV8320R デバイス (続き)

ピン			タイプ(1)	説明
名称	番号			
	DRV8320RH	DRV8320RS		
nSCS	—	24	I	シリアル チップ選択。このピンのロジック LOW により、シリアル インターフェイス通信が可能になります。
nSHDN	39	39	I	降圧シャットダウン入力。イネーブルおよびディスエーブル入力 (高電圧許容)。内部プルアップ電流ソース。無効化するには、1.25V より低い値にプルダウンします。有効化するには、フローティング状態にします。2 個の抵抗デバイダで入力低電圧誤動作防止を実現します。
PGND	1	1	PWR	デバイスの電源グランド。ローサイド MOSFET のゲート駆動シンク パスとしても使用されます。システム グランドに接続。PGND を外部から AGND および BGND に接続する必要があります。
SCLK	—	23	I	シリアル クロック入力。シリアル データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト アウトおよびキャプチャされます。
SDI	—	22	I	シリアル データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます。
SDO	—	21	OD	シリアル データ出力。データは、SCLK ピンの立ち上がりエッジでシフト アウトされます。このオープン ドレイン ピンには、外付けのプルアップ抵抗が必要です。
SHA	8	8	I/O	ハイサイド ソース ピン。ハイサイド パワー MOSFET ソースに接続します。このピンは VDS 監視用入力であり、ハイサイド ゲートドライバのシンクのための出力です。
SHB	13	13	I/O	ハイサイド ソース ピン。ハイサイド パワー MOSFET ソースに接続します。このピンは VDS 監視用入力であり、ハイサイド ゲートドライバのシンクのための出力です。
SHC	16	16	I/O	ハイサイド ソース ピン。ハイサイド パワー MOSFET ソースに接続します。このピンは VDS 監視用入力であり、ハイサイド ゲートドライバのシンクのための出力です。
SLA	10	10	I	ローサイド ソース入力。ローサイド パワー MOSFET のソースに接続します。このピンは VDS 監視の入力です。
SLB	11	11	I	ローサイド ソース入力。ローサイド パワー MOSFET のソースに接続します。このピンは VDS 監視の入力です。
SLC	18	18	I	ローサイド ソース入力。ローサイド パワー MOSFET のソースに接続します。このピンは VDS 監視の入力です。
SW	36	36	O	Buck switch node.このピンを、インダクタ、ダイオード、CB ブートストラップ コンデンサに接続します。
VCP	4	4	PWR	チャージ ポンプ出力。X5R または X7R、1μF、25V セラミック コンデンサを VCP ピンと VM ピンの間に接続します。
VDRAIN	6	6	I	ハイサイド MOSFET ドレイン入力。ハイサイド MOSFET ドレインのコモン ポイントに接続します。このピンは VDS 監視の入力です。
VDS	23	—	I	VDS モニタのトリップ ポイント設定。このピンは、外付け抵抗で設定される 7 レベル入力ピンです。
VIN	38	38	PWR	降圧レギュレータの電源入力。X5R または X7R、VM 定格セラミック コンデンサを VIN ピンと BGND ピンの間に接続します。
VM	5	5	PWR	ゲートドライバの電源入力。モーター電源と VDRAIN に接続します。X5R または X7R、0.1μF、VM 定格セラミック コンデンサと 10μF 以上のローカル コンデンサを VM ピンと PGND ピンの間に接続します。
サーマル パッド	PAD	PAD	PWR	GND に接続する必要があります。

(1) PWR = 電源、I = 入力、O = 出力、NC = 接続なし、OD = オープン ドレイン出力

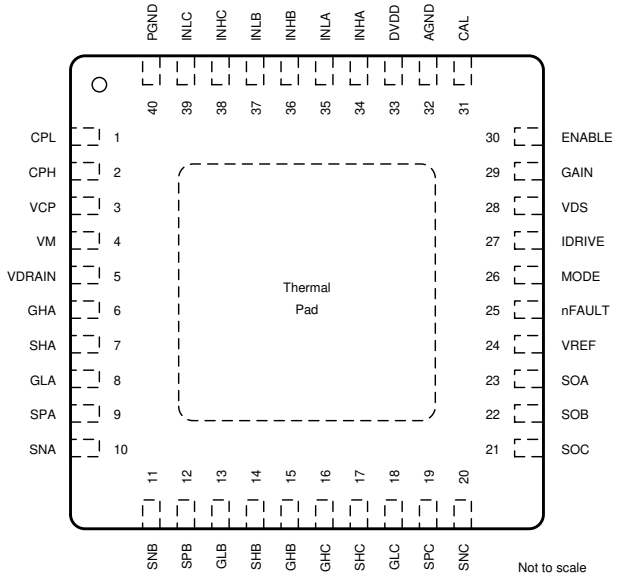


図 6-5. DRV8323H RTA パッケージ 40 ピン WQFN (露出サーマル パッド付き) 上面図

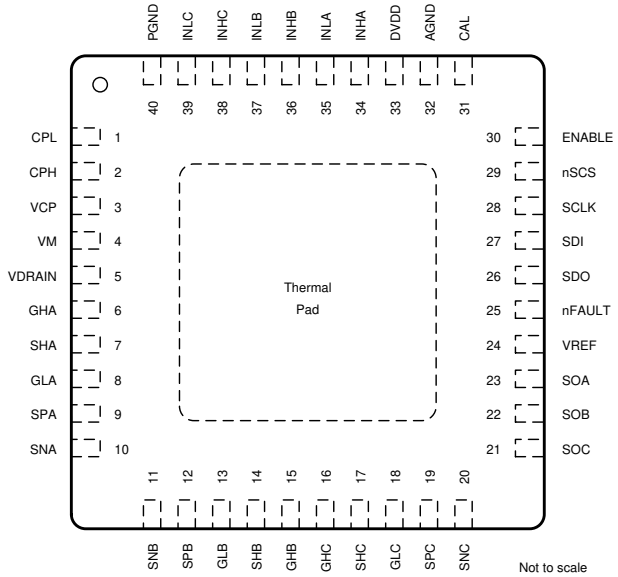


図 6-6. DRV8323S RTA パッケージ 40 ピン WQFN (露出サーマル パッド付き) 上面図

Copyright © 2026 Texas Instruments Incorporated

表 6-3. ピン機能—40 ピン DRV8323 デバイス

ピン			タイプ[1]	説明
名称	番号			
	DRV8323H	DRV8323S		
AGND	32	32	PWR	デバイスのアナログ グランド。システム グランドに接続。AGND を外部から PGND に接続する必要があります。
CAL	31	31	I	アンプのキャリブレーション入力。ロジック High に設定して、アンプの入力を内部で短絡し、自動オフセット キャリブレーションを実行できます。
CPH	2	2	PWR	チャージ ポンプのスイッチング ノード。X5R または X7R、47nF、VM 定格セラミック コンデンサを CPH ピンと CPL ピンの間に接続します。たとえば、24V システムの場合は、コンデンサを 50V (2x マージン) 定格にする必要があります。
CPL	1	1	PWR	
DVDD	33	33	PWR	3.3V 内部レギュレータ出力。X5R または X7R、1µF、6.3V セラミック コンデンサを DVDD ピンと AGND ピンの間に接続します。このレギュレータは最大 30mA を外部にソースできます。
イネーブル	30	30	I	ゲートドライバのイネーブル。このピンを論理 Low にすると、本デバイスは低消費電力のスリープ モードに移行します。8 ～ 40µs の Low パルスを使うとフォルト状態をリセットできます。
ゲイン	29	—	I	アンプ ゲイン設定。このピンは、外付け抵抗で設定される 4 レベル入力ピンです。
GHA	6	6	O	ハイサイド ゲートドライバ出力。ハイサイド パワー MOSFET のゲートに接続します。
GHB	15	15	O	ハイサイド ゲートドライバ出力。ハイサイド パワー MOSFET のゲートに接続します。
GHC	16	16	O	ハイサイド ゲートドライバ出力。ハイサイド パワー MOSFET のゲートに接続します。
GLA	8	8	O	ローサイド ゲートドライバ出力。ローサイド パワー MOSFET のゲートに接続します。
GLB	13	13	O	ローサイド ゲートドライバ出力。ローサイド パワー MOSFET のゲートに接続します。
GLC	18	18	O	ローサイド ゲートドライバ出力。ローサイド パワー MOSFET のゲートに接続します。
IDRIVE	27	—	I	ゲート駆動出力電流設定。このピンは、外付け抵抗で設定される 7 レベル入力ピンです。
INHA	34	34	I	ハイサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはハイサイド ゲートドライバの出力を制御します。
INHB	36	36	I	ハイサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはハイサイド ゲートドライバの出力を制御します。
INHC	38	38	I	ハイサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはハイサイド ゲートドライバの出力を制御します。
INLA	35	35	I	ローサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはローサイド ゲートドライバの出力を制御します。
INLB	37	37	I	ローサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはローサイド ゲートドライバの出力を制御します。
INLC	39	39	I	ローサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはローサイド ゲートドライバの出力を制御します。
モード	26	—	I	PWM 入力モード設定。このピンは、外付け抵抗で設定される 4 レベル入力ピンです。
nFAULT	25	25	OD	フォルト通知出力。このオープン ドレイン ピンは、フォルト状態時にロジック Low となり、外付けプルアップ抵抗を必要とします。
nSCS	—	29	I	シリアル チップ選択。このピンのロジック LOW により、シリアル インターフェイス通信が可能になります。
PGND	40	40	PWR	デバイスの電源グランド。ローサイド MOSFET のゲート駆動シンク パスとしても使用されます。システム グランドに接続。PGND を外部から AGND に接続する必要があります。
SCLK	—	28	I	シリアル クロック入力。シリアル データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト アウトおよびキャプチャされます。
SDI	—	27	I	シリアル データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます。
SDO	—	26	OD	シリアル データ出力。データは、SCLK ピンの立ち上がりエッジでシフト アウトされます。このオープン ドレイン ピンには、外付けのプルアップ抵抗が必要です。
SHA	7	7	I/O	ハイサイド ソース ピン。ハイサイド パワー MOSFET ソースに接続します。このピンは VDS 監視用入力であり、ハイサイド ゲートドライバのシンクのための出力です。
SHB	14	14	I/O	ハイサイド ソース ピン。ハイサイド パワー MOSFET ソースに接続します。このピンは VDS 監視用入力であり、ハイサイド ゲートドライバのシンクのための出力です。
SHC	17	17	I/O	ハイサイド ソース ピン。ハイサイド パワー MOSFET ソースに接続します。このピンは VDS 監視用入力であり、ハイサイド ゲートドライバのシンクのための出力です。
SNA	10	10	I	電流検出アンプ入力。電流シャント抵抗の低電位側に接続します。CSA を使用しない場合は、PGND に接続します。
SNB	11	11	I	電流検出アンプ入力。電流シャント抵抗の低電位側に接続します。CSA を使用しない場合は、PGND に接続します。
SNC	20	20	I	電流検出アンプ入力。電流シャント抵抗の低電位側に接続します。CSA を使用しない場合は、PGND に接続します。
SOA	23	23	O	電流センスアンプの出力。CSA を使用しない場合は、このピンを接続解除のままにします。
SOB	22	22	O	電流センスアンプの出力。CSA を使用しない場合は、このピンを接続解除のままにします。
SOC	21	21	O	電流センスアンプの出力。CSA を使用しない場合は、このピンを接続解除のままにします。
SPA	9	9	I	ローサイド電流シャント アンプ入力。ローサイド MOSFET の負入力も VDS 監視します。ローサイド パワー MOSFET のソースと電流シャント抵抗の高電位側に接続します。CSA を使用しない場合は、SNA に接続します。
SPB	12	12	I	ローサイド電流シャント アンプ入力。ローサイド MOSFET の負入力も VDS 監視します。ローサイド パワー MOSFET のソースと電流シャント抵抗の高電位側に接続します。CSA を使用しない場合は、SNB に接続します。
SPC	19	19	I	ローサイド電流シャント アンプ入力。ローサイド MOSFET の負入力も VDS 監視します。ローサイド パワー MOSFET のソースと電流シャント抵抗の高電位側に接続します。CSA を使用しない場合は、SNC に接続します。
VCP	3	3	PWR	チャージ ポンプ出力。X5R または X7R、1µF、25V セラミック コンデンサを VCP ピンと VM ピンの間に接続します。
VDRAIN	5	5	I	ハイサイド MOSFET ドレイン入力。ハイサイド MOSFET ドレインのコモン ポイントに接続します。このピンは VDS 監視の入力です。
VDS	28	—	I	VDS モニタのトリップ ポイント設定。このピンは、外付け抵抗で設定される 7 レベル入力ピンです。

Copyright © 2026 Texas Instruments Incorporated

表 6-3. ピン機能—40 ピン DRV8323 デバイス (続き)

ピン			タイプ(1)	説明
名称	番号			
	DRV8323H	DRV8323S		
VM	4	4	PWR	ゲートドライバの電源入力。モーター電源と VDRAIN に接続します。X5R または X7R、0.1µF、VM 定格セラミック コンデンサと 10µF 以上のローカル コンデンサを VM ピンと PGND ピンの間に接続します。
VREF	24	24	PWR	電流センス アンプの電源入力およびリファレンス。X5R または X7R、0.1µF、6.3V セラミック コンデンサを VREF ピンと AGND ピンの間に接続します。
サーマル パッド	PAD	PAD	PWR	GND に接続する必要があります。

(1) PWR = 電源、I = 入力、O = 出力、NC = 接続なし、OD = オープン ドレイン出力

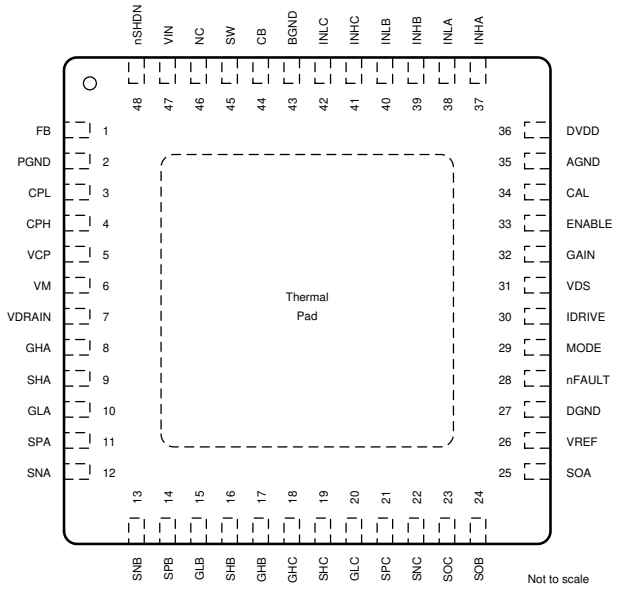


図 6-7. DRV8323RH RGZ パッケージ 48 ピン VQFN (露出サーマル パッド付き) 上面図

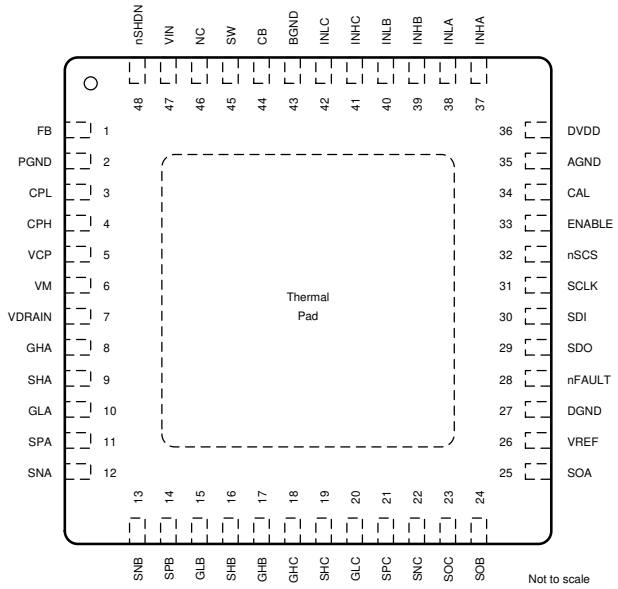


図 6-8. DRV8323RS RGZ パッケージ 48 ピン VQFN (露出サーマル パッド付き) 上面図

表 6-4. ピン機能—48 ピン DRV8323R デバイス

ピン			タイプ(1)	説明
名称	番号			
	DRV8323RH	DRV8323RS		
AGND	35	35	PWR	デバイスのアナログ グランド。システム グランドに接続。AGND を外部から BGND および PGND に接続する必要があります。
BGND	43	43	PWR	Buck regulator ground.システム グランドに接続。BGND を外部から AGND および PGND に接続する必要があります。
CAL	34	34	I	アンプのキャリブレーション入力。ロジック High に設定して、アンプの入力を内部で短絡し、自動オフセット キャリブレーションを実行できます。
CB	44	44	PWR	降圧レギュレータのブートストラップ入力。X5R または X7R、0.1µF、16V コンデンサを CB ピンと SW ピンの間に接続します。
CPH	4	4	PWR	チャージ ポンプのスイッチング ノード。X5R または X7R、47nF、VM 定格セラミック コンデンサを CPH ピンと CPL ピンの間に接続します。たとえば、24V システムの場合は、コンデンサを 50V (2x マージン) 定格にする必要があります。
CPL	3	3	PWR	
DGND	27	27	PWR	デバイスのグランド。システム グランドに接続。
DVDD	36	36	PWR	3.3V 内部レギュレータ出力。X5R または X7R、1µF、6.3V セラミック コンデンサを DVDD ピンと AGND ピンの間に接続します。このレギュレータは最大 30mA を外部にソースできます。
イネーブル	33	33	I	ゲートドライバのイネーブル。このピンを論理 Low にすると、本デバイスは低消費電力のスリープ モードに移行します。8 ～ 40µs の Low パルスを使うとフォルト状態をリセットできます。
FB	1	1	I	降圧フィードバック入力。降圧ポスト インダクタ出力からこのピンへの抵抗デバイダにより、降圧出力電圧が設定されます。
ゲイン	32	—	I	アンプ ゲイン設定。このピンは、外付け抵抗で設定される 4 レベル入力ピンです。
GHA	8	8	O	ハイサイド ゲートドライバ出力。ハイサイド パワー MOSFET のゲートに接続します。
GHB	17	17	O	ハイサイド ゲートドライバ出力。ハイサイド パワー MOSFET のゲートに接続します。
GHC	18	18	O	ハイサイド ゲートドライバ出力。ハイサイド パワー MOSFET のゲートに接続します。
GLA	10	10	O	ローサイド ゲートドライバ出力。ローサイド パワー MOSFET のゲートに接続します。

Copyright © 2026 Texas Instruments Incorporated

表 6-4. ピン機能—48 ピン DRV8323R デバイス (続き)

ピン			タイプ[1]	説明
名称	番号			
	DRV8323RH	DRV8323RS		
GLB	15	15	O	ローサイド ゲートドライバ出力。ローサイド パワー MOSFET のゲートに接続します。
GLC	20	20	O	ローサイド ゲートドライバ出力。ローサイド パワー MOSFET のゲートに接続します。
IDRIVE	30	—	I	ゲート駆動出力電流設定。このピンは、外付け抵抗で設定される 7 レベル入力ピンです。
INHA	37	37	I	ハイサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはハイサイド ゲートドライバの出力を制御します。
INHB	39	39	I	ハイサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはハイサイド ゲートドライバの出力を制御します。
INHC	41	41	I	ハイサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはハイサイド ゲートドライバの出力を制御します。
INLA	38	38	I	ローサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはローサイド ゲートドライバの出力を制御します。
INLB	40	40	I	ローサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはローサイド ゲートドライバの出力を制御します。
INLC	42	42	I	ローサイド ゲートドライバの制御入力。6x PWM モードを使用する場合、このピンはローサイド ゲートドライバの出力を制御します。
モード	29	—	I	PWM 入力モード設定。このピンは、外付け抵抗で設定される 4 レベル入力ピンです。
NC	46	46	NC	内部接続なしこのピンはフローティングのままにしておくことも、システム グランドに接続することもできます。
nFAULT	28	28	OD	フォルト通知出力。このオープン ドレイン ピンは、フォルト状態時にロジック Low となり、外付けプルアップ抵抗を必要とします。
nSCS	—	32	I	シリアル チップ選択。このピンのロジック LOW により、シリアル インターフェイス通信が可能になります。
nSHDN	48	48	I	降圧シャットダウン入力。イネーブルおよびディスエーブル入力 (高電圧許容)。内部プルアップ電流ソース。無効化するには、1.25V より低い値にプルダウンします。有効化するには、フローティング状態にします。2 個の抵抗デバイダで入力低電圧誤動作防止を実現します。
PGND	2	2	PWR	デバイスの電源グランド。ローサイド MOSFET のゲート駆動シンク パスとしても使用されます。システム グランドに接続。PGND を外部から AGND および BGND に接続する必要があります。
SCLK	—	31	I	シリアル クロック入力。シリアル データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト アウトおよびキャプチャされます。
SDI	—	30	I	シリアル データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます。
SDO	—	29	OD	シリアル データ出力。データは、SCLK ピンの立ち上がりエッジでシフト アウトされます。このオープン ドレイン ピンには、外付けのプルアップ抵抗が必要です。
SHA	9	9	I/O	ハイサイド ソース ピン。ハイサイド パワー MOSFET ソースに接続します。このピンは VDS 監視用入力であり、ハイサイド ゲートドライバのシンクのための出力です。
SHB	16	16	I/O	ハイサイド ソース ピン。ハイサイド パワー MOSFET ソースに接続します。このピンは VDS 監視用入力であり、ハイサイド ゲートドライバのシンクのための出力です。
SHC	19	19	I/O	ハイサイド ソース ピン。ハイサイド パワー MOSFET ソースに接続します。このピンは VDS 監視用入力であり、ハイサイド ゲートドライバのシンクのための出力です。
SNA	12	12	I	電流検出アンプ入力。電流シャント抵抗の低電位側に接続します。CSA を使用しない場合は、PGND に接続します。
SNB	13	13	I	電流検出アンプ入力。電流シャント抵抗の低電位側に接続します。CSA を使用しない場合は、PGND に接続します。
SNC	22	22	I	電流検出アンプ入力。電流シャント抵抗の低電位側に接続します。CSA を使用しない場合は、PGND に接続します。
SOA	25	25	O	電流センスアンプの出力。CSA を使用しない場合は、このピンを接続解除のままにします。
SOB	24	24	O	電流センスアンプの出力。CSA を使用しない場合は、このピンを接続解除のままにします。
SOC	23	23	O	電流センスアンプの出力。CSA を使用しない場合は、このピンを接続解除のままにします。
SPA	11	11	I	ローサイド電流シャント アンプ入力。ローサイド MOSFET の負入力も VDS 監視します。ローサイド パワー MOSFET のソースと電流シャント抵抗の高電位側に接続します。CSA を使用しない場合は、SNA に接続します。
SPB	14	14	I	ローサイド電流シャント アンプ入力。ローサイド MOSFET の負入力も VDS 監視します。ローサイド パワー MOSFET のソースと電流シャント抵抗の高電位側に接続します。CSA を使用しない場合は、SNB に接続します。
SPC	21	21	I	ローサイド電流シャント アンプ入力。ローサイド MOSFET の負入力も VDS 監視します。ローサイド パワー MOSFET のソースと電流シャント抵抗の高電位側に接続します。CSA を使用しない場合は、SNC に接続します。
SW	45	45	O	Buck switch node.このピンを、インダクタ、ダイオード、CB ブートストラップ コンデンサに接続します。
VCP	5	5	PWR	チャージ ポンプ出力。X5R または X7R、1μF、25V セラミック コンデンサを VCP ピンと VM ピンの間に接続します。
VDRAIN	7	7	I	ハイサイド MOSFET ドレイン入力。ハイサイド MOSFET ドレインのコモン ポイントに接続します。このピンは VDS 監視の入力です。
VDS	31	—	I	VDS モニタのトリップ ポイント設定。このピンは、外付け抵抗で設定される 7 レベル入力ピンです。
VIN	47	47	PWR	降圧レギュレータの電源入力。X5R または X7R、VM 定格セラミック コンデンサを VIN ピンと BGND ピンの間に接続します。
VM	6	6	PWR	ゲートドライバの電源入力。モーター電源と VDRAIN に接続します。X5R または X7R、0.1μF、VM 定格セラミック コンデンサと 10μF 以上のローカル コンデンサを VM ピンと PGND ピンの間に接続します。
VREF	26	26	PWR	電流センス アンプの電源入力およびリファレンス。X5R または X7R、0.1μF、6.3V セラミック コンデンサを VREF ピンと AGND ピンの間に接続します。
サーマル パッド	PAD	PAD	PWR	GND に接続する必要があります。

(1) PWR = 電源、I = 入力、O = 出力、NC = 接続なし、OD = オープン ドレイン出力

Copyright © 2026 Texas Instruments Incorporated

7 仕様

7.1 絶対最大定格

T_A = -40°C ～ +125°C (特に記述のない限り)(1)

	最小値	最大値	単位
ゲートドライバ			
電源ピン電圧 (VM)	-0.3	65	V
グランド ピン (AGND、BGND、DGND、PGND) 間の電圧差	-0.3	0.3	V
MOSFET ドレイン検出ピン電圧 (VDRAIN)	-0.3	65	V
チャージ ポンプ ピン電圧 (CPH、VCP)	-0.3	V_{VM} + 15.5	V
連続チャージ ポンプ負スイッチング ピン電圧 (CPL)	-0.3	V_{VM} + 1	V
過渡 1µs チャージ ポンプ負スイッチング ピン電圧 (CPL)	-1		V
内部ロジック レギュレータ ピン電圧 (DVDD)	-0.3	3.8	V
デジタル ピン電圧 (CAL、ENABLE、GAIN、IDRIVE、INHx、INLx、MODE、nFAULT、nSCS、SCLK、SDI、SDO、VDS)	-0.3	5.75	V
連続ハイサイド ゲートドライバ出力ピン電圧 (GHx)	-5(2)	V_{VCP} + 1	V
過渡 200ns ハイサイド ゲートドライバ出力ピン電圧 (GHx)	-7	V_{VCP} + 1	V
SHx を基準としたハイサイド ゲートドライバ出力ピン電圧 (GHx)	-1.6	18	V
連続ハイサイド ソース ピン電圧 (SHx)	-5(2)	V_{VM} + 5	V
過渡 200ns ハイサイド ソース ピン電圧 (SHx)	-7	V_{VM} + 7	V
過渡 1µs ハイサイド ソース検出ピン電圧 (SHx)		V_{VCP} - 2	V
連続ローサイド ゲートドライバ出力ピン電圧 (GLx)	-0.5	18	V
過渡 200ns ローサイド ゲートドライバ出力ピン電圧 (GLx)	-1.5		V
ゲートドライバ出力ピン ソース電流 (GHx、GLx)	内部的に制限		A
ゲートドライバ出力ピン シンク電流 (GHx、GLx)	内部的に制限		A
ローサイド ソース ピン (SLx) と電流センス アンプ入力ピン (SPx、SNx) の連続電圧	-1	1	V
ローサイド ソース ピン (SLx) と電流センス アンプ入力ピン (SPx、SNx) の過渡 200ns 電圧	-3	3	V
電流センス アンプの電源入力およびリファレンス ピン電圧 (VREF)	-0.3	5.75	V
電流センス アンプ出力ピン電圧 (SOx)	-0.3	V_{VREF} + 0.3	V
降圧レギュレータ			
電源ピン電圧 (VIN)	-0.3	65	V
シャットダウン制御ピン電圧 (nSHDN)	-0.3	V_{VIN}	V
電圧フィードバック ピン電圧 (FB)	-0.3	7	V
SW を基準とするブートストラップ ピンの電圧 (CB)	-0.3	7	V
スイッチング ノード ピン電圧 (SW)	-0.3	V_{VIN}	V
スイッチング ノード ピン電圧における 30ns 未満の過渡事象 (SW)	-2	V_{VIN}	V
DRV832x			
動作時の接合部温度、T_J	-40	150	°C
保管温度、T_{stg}	-65	150	°C

(1) 「絶対最大定格」で示す値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレスの定格のみについてであり、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、このデバイスが正しく動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

Copyright © 2026 Texas Instruments Incorporated

(2) VM または VDRAIN の絶対最大定格 65V に対して、連続ハイサイド ゲートドライバ出力ピン (GHx) およびハイサイド ソース ピン電圧 (SHx) は最小 –2V に制限される必要があります。60V 以下では、GHx と SHx での –5V 連続出力の全仕様が許容されます。

7.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±3000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。±2000V と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。±500V と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。

7.3 推奨動作条件

T_A = -40°C ～ +125°C (特に記述のない限り)

		最小値	最大値	単位
ゲートドライバ				
V_{VM}	電源電圧 (VM)	6	60	V
V_I	入力電圧 (CAL、ENABLE、GAIN、IDRIVE、INHx、INLx、MODE、nSCS、SCLK、SDI、VDS)	0	5.5	V
f_{PWM}	PWM 印加信号 (INHx、INLx)	0	200(1)	kHz
I_{GATE_HS}	ハイサイド平均ゲート駆動電流 (GHx)	0	25(1)	mA
I_{GATE_LS}	ローサイド平均ゲート駆動電流 (GLx)	0	25(1)	mA
I_{DVDD}	外部負荷電流 (DVDD)	0	30(1)	mA
V_{VREF}	電流センス アンプの電源入力およびリファレンス (VREF)	3	5.5	V
I_{SO}	電流センス アンプ出力電流 (SOx)	0	5	mA
V_{OD}	オープン ドレイン ピンのプルアップ電圧 (nFAULT、SDO)	0	5.5	V
I_{OD}	オープン ドレイン ピンの出力電流 (nFAULT、SDO)	0	5	mA
降圧レギュレータ				
V_{VIN}	電源電圧 (VIN)	4	60	V
V_{nSHDN}	シャットダウン制御入力電圧 (nSHDN)	0	60	V
DRV832x				
T_A	動作時周囲温度	-40	125	°C

(1) 消費電力および温度の制限に従う必要があります。

7.4 熱に関する情報

熱評価基準(1)		DRV832x				単位
		RTV (WQFN)	RHA (VQFN)	RTA (WQFN)	RGZ (VQFN)	
		32 ピン	40 ピン	40 ピン	48 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	32.9	30.1	32.1	26.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	15.8	16.7	11	13.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	6.8	9.9	7.1	9.2	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	0.2	0.5	0.1	0.3	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	6.8	9.9	7.1	9.1	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.1	2.2	2.1	2	°C/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』アプリケーション レポート*を参照してください。

Copyright © 2026 Texas Instruments Incorporated

7.5 電気的特性

T_A = -40°C ～ +125°C、V_{VM} = 6 ～ 60V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (DVDD、VCP、VM)						
I_{VM}	VM 動作電源電流	V_{VM} = 24V、ENABLE = 3.3V、INHx/INLx = 0		10.5	14	mA
I_{VMQ}	VM スリープ モード電源電流	ENABLE = 0V、V_{VM} = 24V、T_A = 25°C		12	20	μA
		ENABLE = 0V、V_{VM} = 24V、T_A = 125°C(1)			50	
t_{RST} (1)	リセット パルス時間	フォルトをリセットするのに必要な ENABLE = Low の期間	8		40	μs
t_{WAKE}	ウェークアップ時間	V_{VM} > V_{UVLO}、出力を準備完了にするのに必要な ENABLE = 3.3V の期間			1	ms
t_{SLEEP}	スリープ時間	デバイスをスリープ モードに移行させるのに必要な ENABLE = 0V の期間			1	ms
V_{DVDD}	DVDD レギュレータ電圧	I_{DVDD} = 0～30mA	3	3.3	3.6	V
V_{VCP}	VCP 動作電圧 (VM 基準)	V_{VM} = 13V、I_{VCP} = 0～25mA	8.4	11	12.5	V
		V_{VM} = 10V、I_{VCP} = 0～20mA	6.3	9	10	
		V_{VM} = 8V、I_{VCP} = 0～15mA	5.4	7	8	
		V_{VM} = 6V、I_{VCP} = 0～10mA	4	5	6	
ロジック レベル入力 (CAL、ENABLE、INHx、INLx、nSCS、SCLK、SDI)						
V_{IL}	入力ロジック Low 電圧		0		0.8	V
V_{IH}	入力ロジック High 電圧		1.5		5.5	V
V_{HYS}	入力ロジック ヒステリシス			100		mV
I_{IL}	入力ロジック Low 電流	V_{VIN} = 0V	-5		5	μA
I_{IH}	入力ロジック High 電流	V_{VIN} = 5V		50	70	μA
R_{PD}	プルダウン抵抗	To AGND		100		kΩ
t_{PD}	伝搬遅延	INHx/INLx の遷移から GHx/GLx の遷移まで		150		ns
4 レベル H/W 入力 (GAIN、MODE)						
V_{I1}	入力モード 1 電圧	AGND に接続		0		V
V_{I2}	入力モード 2 電圧	45kΩ ± 5% で AGND に接続		1.2		V
V_{I3}	入力モード 3 電圧	ハイ インピーダンス		2		V
V_{I4}	入力モード 4 電圧	DVDD に接続		3.3		V
R_{PU}	プルアップ抵抗	DVDD に内部プルアップ		50		kΩ
R_{PD}	プルダウン抵抗	AGND に内部プルダウン		84		kΩ
7 レベル H/W 入力 (IDRIVE、VDS)						
V_{I1}	入力モード 1 電圧	AGND に接続		0		V
V_{I2}	入力モード 2 電圧	18kΩ ± 5% で AGND に接続		0.5		V
V_{I3}	入力モード 3 電圧	75kΩ ± 5% で AGND に接続		1.1		V
V_{I4}	入力モード 4 電圧	ハイ インピーダンス		1.65		V
V_{I5}	入力モード 5 電圧	75kΩ ± 5% で DVDD に接続		2.2		V
V_{I6}	入力モード 6 電圧	18kΩ ± 5% で DVDD に接続		2.8		V
V_{I7}	入力モード 7 電圧	DVDD に接続		3.3		V
R_{PU}	プルアップ抵抗	DVDD に内部プルアップ		73		kΩ
R_{PD}	プルダウン抵抗	AGND に内部プルダウン		73		kΩ
オープンドレイン出力 (nFAULT、SDO)						

Copyright © 2026 Texas Instruments Incorporated

7.5 電気的特性 (続き)

T_A = -40°C ～ +125°C、V_{VM} = 6 ～ 60V (特に記述のない限り)

パラメータ			テスト条件	最小値	標準値	最大値	単位
V_{OL}	出力ロジック Low 電圧		I_O = 5mA			0.1	V
I_{OZ}	ハイ インピーダンス出力リーク		V_O = 5V	-2		2	µA
ゲート ドライバ (GHx、GLx)							
V_{GSH} (1)	ハイサイド ゲート駆動電圧 (SHx 基準)		V_{VM} = 13V、I_{VCP} = 0～25mA	8.4	11	12.5	V
			V_{VM} = 10V、I_{VCP} = 0～20mA	6.3	9	10	
			V_{VM} = 8V、I_{VCP} = 0～15mA	5.4	7	8	
			V_{VM} = 6V、I_{VCP} = 0～10mA	4	5	6	
V_{GSL} (1)	ローサイド ゲート駆動電圧 (PGND 基準)		V_{VM} = 12V、I_{VGLS} = 0～25mA	9	11	12	V
			V_{VM} = 10V、I_{VGLS} = 0～20mA	7.5	9	10	
			V_{VM} = 8V、I_{VGLS} = 0～15mA	5.5	7	8	
			V_{VM} = 6V、I_{VGLS} = 0～10mA	4	5	6	
t_{DEAD}	ゲート駆動デッド タイム	SPI デバイス	DEAD_TIME = 00b		50		ns
			DEAD_TIME = 01b		100		
			DEAD_TIME = 10b		200		
			DEAD_TIME = 11b		400		
		H/W デバイス			100		
t_{DRIVE}	ピーク電流 ゲート駆動時間	SPI デバイス	TDRIVE = 00b		500		ns
			TDRIVE = 01b		1000		
			TDRIVE = 10b		2000		
			TDRIVE = 11b		4000		
		H/W デバイス			4000		

Copyright © 2026 Texas Instruments Incorporated

7.5 電気的特性 (続き)

T_A = -40°C ～ +125°C、V_{VM} = 6 ～ 60V (特に記述のない限り)

パラメータ			テスト条件	最小値	標準値	最大値	単位
I_{DRIVEP}	ピーク ソース ゲート電流	SPI デバイス	IDRIVEP_HS または IDRIVEP_LS = 0000b			10	mA
			IDRIVEP_HS または IDRIVEP_LS = 0001b			30	
			IDRIVEP_HS または IDRIVEP_LS = 0010b			60	
			IDRIVEP_HS または IDRIVEP_LS = 0011b			80	
			IDRIVEP_HS または IDRIVEP_LS = 0100b			120	
			IDRIVEP_HS または IDRIVEP_LS = 0101b			140	
			IDRIVEP_HS または IDRIVEP_LS = 0110b			170	
			IDRIVEP_HS または IDRIVEP_LS = 0111b			190	
			IDRIVEP_HS または IDRIVEP_LS = 1000b			260	
			IDRIVEP_HS または IDRIVEP_LS = 1001b			330	
			IDRIVEP_HS または IDRIVEP_LS = 1010b			370	
			IDRIVEP_HS または IDRIVEP_LS = 1011b			440	
			IDRIVEP_HS または IDRIVEP_LS = 1100b			570	
			IDRIVEP_HS または IDRIVEP_LS = 1101b			680	
			IDRIVEP_HS または IDRIVEP_LS = 1110b			820	
			IDRIVEP_HS または IDRIVEP_LS = 1111b			1000	
		H/W デバイス	IDRIVE = AGND に接続			10	
			IDRIVE = 18kΩ ± 5% で AGND に接続			30	
			IDRIVE = 75kΩ ± 5% で AGND に接続			60	
			IDRIVE = ハイ インピーダンス			120	
			IDRIVE = 75kΩ ± 5% で DVDD に接続			260	
			IDRIVE = 18kΩ ± 5% で DVDD に接続			570	
			IDRIVE = DVDD に接続			1000	

Copyright © 2026 Texas Instruments Incorporated

7.5 電気的特性 (続き)

T_A = -40°C ～ +125°C、V_{VM} = 6 ～ 60V (特に記述のない限り)

パラメータ			テスト条件	最小値	標準値	最大値	単位
I_{DRIVEN}	ピーク シンク ゲート電流	SPI デバイス	IDRIVEN_HS または IDRIVEN_LS = 0000b		20		mA
			IDRIVEN_HS または IDRIVEN_LS = 0001b		60		
			IDRIVEN_HS または IDRIVEN_LS = 0010b		120		
			IDRIVEN_HS または IDRIVEN_LS = 0011b		160		
			IDRIVEN_HS または IDRIVEN_LS = 0100b		240		
			IDRIVEN_HS または IDRIVEN_LS = 0101b		280		
			IDRIVEN_HS または IDRIVEN_LS = 0110b		340		
			IDRIVEN_HS または IDRIVEN_LS = 0111b		380		
			IDRIVEN_HS または IDRIVEN_LS = 1000b		520		
			IDRIVEN_HS または IDRIVEN_LS = 1001b		660		
			IDRIVEN_HS または IDRIVEN_LS = 1010b		740		
			IDRIVEN_HS または IDRIVEN_LS = 1011b		880		
			IDRIVEN_HS または IDRIVEN_LS = 1100b		1140		
			IDRIVEN_HS または IDRIVEN_LS = 1101b		1360		
			IDRIVEN_HS または IDRIVEN_LS = 1110b		1640		
			IDRIVEN_HS または IDRIVEN_LS = 1111b		2000		
		H/W デバイス	IDRIVE = AGND に接続		20		
			IDRIVE = 18kΩ ± 5% で AGND に接続		60		
			IDRIVE = 75kΩ ± 5% で AGND に接続		120		
			IDRIVE = ハイ インピーダンス		240		
			IDRIVE = 75kΩ ± 5% で DVDD に接続		520		
			IDRIVE = 18kΩ ± 5% で DVDD に接続		1140		
			IDRIVE = DVDD に接続		2000		
I_{HOLD}	ゲート保持電流		t_{DRIVE} 後のソース電流		10		mA
			t_{DRIVE} 後のシンク電流		50		
I_{STRONG}	ゲート強プルダウン電流		GHx から SHx、GLx から PGND		2		A
R_{OFF}	ゲート オフ保持抵抗		GHx～SHx		480		kΩ
			GLx から PGND		150		
電流センス アンプ (SNx、SOx、SPx、VREF)							
G_{CSA}	アンプのゲイン	SPI デバイス	CSA_GAIN = 00b	4.85	5	5.15	V/V
			CSA_GAIN = 01b	9.7	10	10.3	
			CSA_GAIN = 10b	19.4	20	20.6	
			CSA_GAIN = 11b	38.8	40	41.2	
		H/W デバイス	GAIN = AGND に接続	4.85	5	5.15	
			GAIN = 47kΩ ± 5% で AGND に接続	9.7	10	10.3	
			GAIN = ハイ インピーダンス	19.4	20	20.6	
			GAIN = DVDD に接続	38.8	40	41.2	
t_{SET} (1)	±1% までのセトリング タイム		V_{O_STEP} = 0.5V、G_{CSA} = 5V/V		150		ns
			V_{O_STEP} = 0.5V、G_{CSA} = 10V/V		300		
			V_{O_STEP} = 0.5V、G_{CSA} = 20V/V		600		
			V_{O_STEP} = 0.5V、G_{CSA} = 40V/V		1200		

Copyright © 2026 Texas Instruments Incorporated

7.5 電気的特性 (続き)

T_A = -40°C ～ +125°C、V_{VM} = 6 ～ 60V (特に記述のない限り)

パラメータ			テスト条件	最小値	標準値	最大値	単位
V_{COM}	コモン モード入力範囲			-0.15		0.15	V
V_{DIFF}	差動モード入力範囲			-0.3		0.3	V
V_{OFF}	入力オフセット誤差		V_{SP} = V_{SN} = 0V、CAL = 3.3、VREF = 3.3V	-4		4	mV
V_{DRIFT} (1)	オフセットドリフト		V_{SP} = V_{SN} = 0V		10		µV/°C
V_{LINEAR}	SOx 出力電圧の直線範囲			0.25		V_{VREF} – 0.25	V
V_{BIAS}	SOx 出力電圧バイアス	SPI デバイス	V_{SP} = V_{SN} = 0V、CAL = 3.3V、VREF_DIV = 0b	V_{VREF} – 0.3			V
			V_{SP} = V_{SN} = 0V、CAL = 3.3、VREF_DIV = 1b	V_{VREF} / 2			
		H/W デバイス	V_{SP} = V_{SN} = 0V、CAL = 3.3V	V_{VREF} / 2			
I_{BIAS}	SPx/SNx 入力バイアス電流		VREF_DIV = 1b			100	µA
V_{SLEW} (1)	SOx 出力スルーレート		60pF の負荷		10		V/µs
I_{VREF}	VREF 入力電流		V_{VREF} = 5V		2	3	mA
UGB(1)	ユニティ ゲイン帯域幅		60pF の負荷		10		MHz
保護回路							
V_{UVLO}	VM 低電圧誤動作防止		VM 立ち下がり、UVLO レポート	5.4	5.6	5.8	V
			VM 立ち上がり、UVLO 解除	5.6	5.8	6	
V_{UVLO_HYS}	VM 低電圧ヒステリシス		立ち上がりから立ち下がりへのスレッショルド		200		mV
t_{UVLO_DEG}	VM 低電圧グリッチ除去時間		VM 立ち下がり、UVLO レポート		10		µs
V_{CPUV}	チャージ ポンプ低電圧誤動作防止		VCP 立ち下がり、CPUV レポート	V_{VM} + 2.8			V
V_{GS_CLAMP}	ハイサイド ゲート クランプ		正のクランプ電圧	15	16.5	18	V
			負のクランプ電圧		-0.7		

Copyright © 2026 Texas Instruments Incorporated

7.5 電気的特性 (続き)

T_A = -40°C ～ +125°C、V_{VM} = 6 ～ 60V (特に記述のない限り)

パラメータ			テスト条件	最小値	標準値	最大値	単位
V_{VDS_OCP}	V_{DS} 過電流トリップ電圧	SPI デバイス	VDS_LVL = 0000b		0.06		V
			VDS_LVL = 0001b		0.13		
			VDS_LVL = 0010b		0.2		
			VDS_LVL = 0011b		0.26		
			VDS_LVL = 0100b		0.31		
			VDS_LVL = 0101b		0.45		
			VDS_LVL = 0110b		0.53		
			VDS_LVL = 0111b		0.6		
			VDS_LVL = 1000b		0.68		
			VDS_LVL = 1001b		0.75		
			VDS_LVL = 1010b		0.94		
			VDS_LVL = 1011b		1.13		
			VDS_LVL = 1100b		1.3		
			VDS_LVL = 1101b		1.5		
			VDS_LVL = 1110b		1.7		
			VDS_LVL = 1111b		1.88		
		H/W デバイス	VDS = AGND に接続		0.06		
			VDS = 18kΩ ± 5% で AGND に接続		0.13		
			VDS = 75kΩ ± 5% で AGND に接続		0.26		
			VDS = ハイ インピーダンス		0.6		
			VDS = 75kΩ ± 5% で DVDD に接続		1.13		
			VDS = 18kΩ ± 5% で DVDD に接続		1.88		
			VDS = DVDD に接続		ディセーブル		
t_{OCP_DEG}	V_{DS} および V_{SENSE} 過電流グリッチ除去時間	SPI デバイス	OCP_DEG = 00b		2		µs
			OCP_DEG = 01b		4		
			OCP_DEG = 10b		6		
			OCP_DEG = 11b		8		
		H/W デバイス			4		
V_{SEN_OCP}	V_{SENSE} 過電流トリップ電圧	SPI デバイス	SEN_LVL = 00b		0.25		V
			SEN_LVL = 01b		0.5		
			SEN_LVL = 10b		0.75		
			SEN_LVL = 11b		1		
		H/W デバイス			1		
t_{RETRY}	過電流リトライ時間	SPI デバイス	TRETRY = 0b		4		ms
			TRETRY = 1b		50		µs
		H/W デバイス			4		ms
T_{OTW} (1)	過熱警告温度		ダイ温度、T_J	130	150	165	°C
T_{OTSD} (1)	サーマル シャットダウン温度		ダイ温度、T_J	150	170	185	°C
T_{HYS} (1)	熱ヒステリシス		ダイ温度、T_J		20		°C
降圧レギュレータ電源 (VIN)							
I_{nSHDN}	シャットダウン時の電源電流		V_{nSHDN} = 0V		1	3	µA
I_Q	動作時静止電流		V_{VIN} = 12V、無負荷、スイッチングなし		28		µA

Copyright © 2026 Texas Instruments Incorporated

7.5 電気的特性 (続き)

T_A = -40°C ～ +125°C、V_{VM} = 6 ～ 60V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{VIN_UVLO}	VIN 低電圧誤動作防止スレッショルド	VIN 立ち上がり			4	V
		VIN 立ち下がり	3			
降圧レギュレータ シャットダウン (nSHDN)						
V_{nSHDN_TH}	立ち上がり nSHDN スレッショルド		1.05	1.25	1.38	V
I_{nSHDN}	入力電流	V_{nSHDN} = 2.3V		-4.2		μA
		V_{nSHDN} = 0.9V		-1		
I_{nSHDN_HYS}	ヒステリシス電流			-3		μA
降圧レギュレータのハイサイド MOSFET						
R_{DS_ON}	MOSFET オン抵抗	V_{VIN} = 12V、V_{CB} から V_{SW} = 5.8V、T_A = 25°C		900		mΩ
降圧レギュレータ電圧リファレンス (FB)						
V_{FB}	帰還電圧		0.747	0.765	0.782	V
降圧レギュレータ電流制限						
I_{LIMIT}	ピーク電流制限	V_{VIN} = 12V、T_A = 25°C		1200		mA
					1700	
降圧レギュレータのスイッチング (SW)						
f_{SW}	スイッチング周波数		595	700	805	kHz
D_{MAX}	最大デューティ サイクル			96%		
降圧レギュレータ サーマル シャットダウン						
T_{SHDN} (1)	サーマル シャットダウンのスレッショルド			170		°C
T_{HYS} (1)	サーマル シャットダウン ヒステリシス			10		°C

(1) 設計と特性データにより規定されています

Copyright © 2026 Texas Instruments Incorporated

7.6 SPI のタイミング要件

T_A = -40°C ～ +125°C、V_{VM} = 6 ～ 60V (特に記述のない限り) (1)

			最小値	公称値	最大値	単位
SPI (nSCS、SCLK、SDI、SDO)						
t_{READY}	イネーブル後、SPI 準備完了まで	VM > UVLO、ENABLE = 3.3V			1	ms
t_{CLK}	SCLK の最小周期		100			ns
t_{CLKH}	SCLK 最小 High 時間		50			ns
t_{CLKL}	SCLK の最小 Low 時間		50			ns
t_{SU_SDI}	SDI 入力データ セットアップ時間		20			ns
t_{H_SDI}	SDI 入力データ ホールド時間		30			ns
t_{D_SDO}	SDO 出力データ遅延時間	SCLK High から SDO 有効まで			30	ns
t_{SU_nSCS}	nSCS 入力セットアップ時間		50			ns
t_{H_nSCS}	nSCS 入力ホールド時間		50			ns
t_{HI_nSCS}	nSCS のアクティブ Low の前の最小 High 時間		400			ns
t_{DIS_nSCS}	nSCS ディスエーブル時間	nSCS High から SDO ハイ インピーダンスまで		10		ns

(1) 設計と特性データにより規定されています

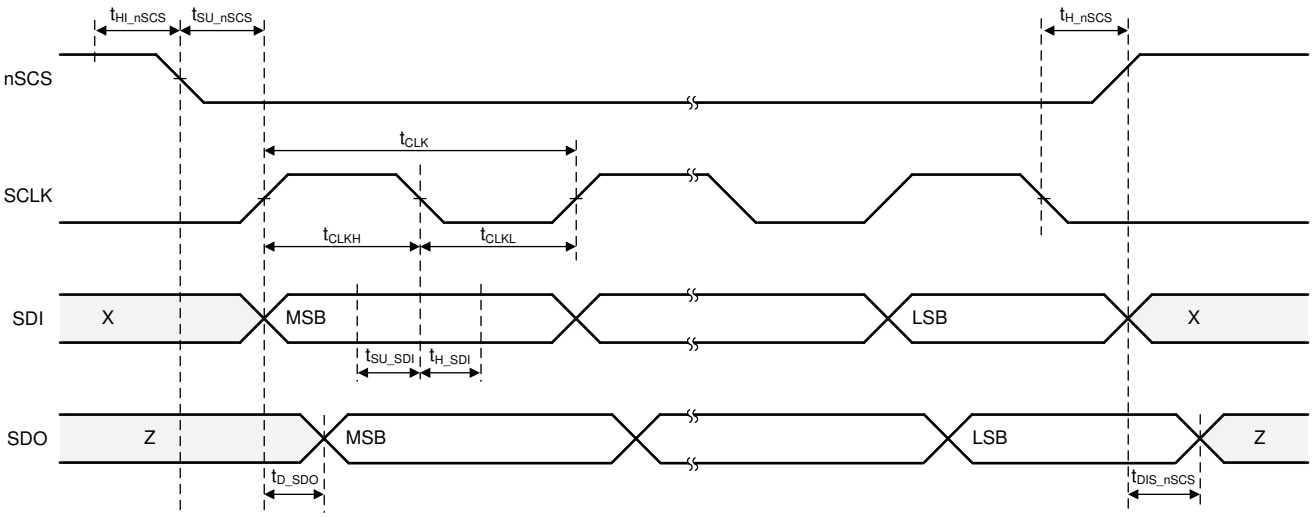


図 7-1. SPI スレーブ モード タイミング図

7.7 代表的特性

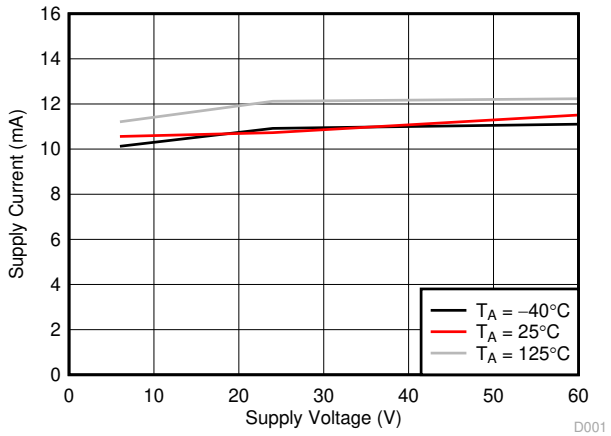


図 7-2. 電源電流と VM との関係

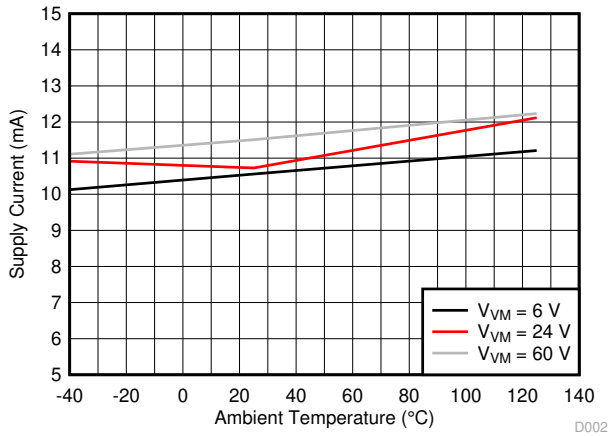


図 7-3. 電源電流と温度との関係

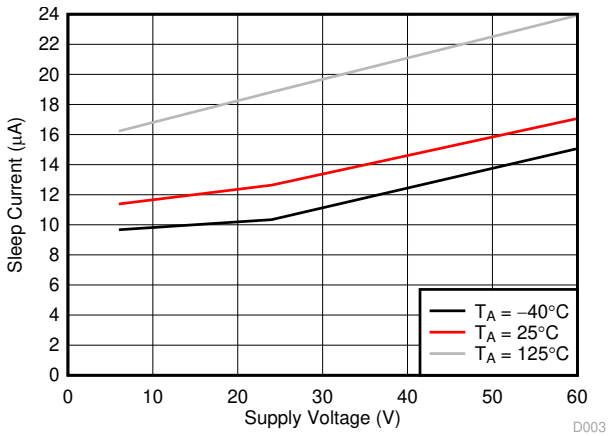


図 7-4. スリープ電流と VM との関係

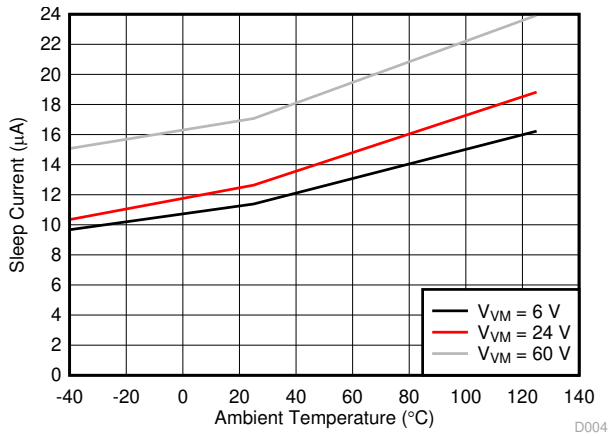
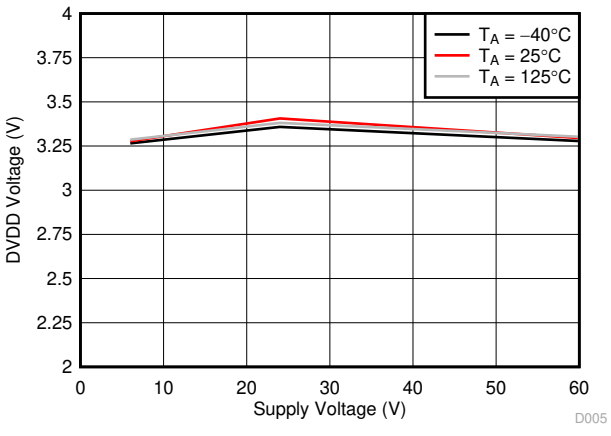
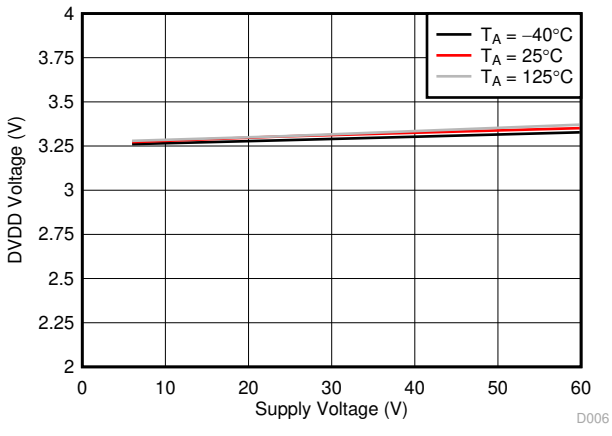


図 7-5. スリープ電流と温度



0mA 負荷

図 7-6. DVDD 電圧と VM との関係



30mA 負荷

図 7-7. DVDD 電圧と VM との関係

Copyright © 2026 Texas Instruments Incorporated

7.7 代表的特性 (続き)

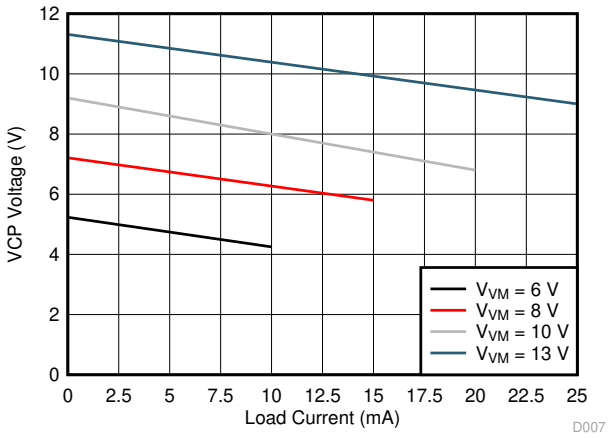
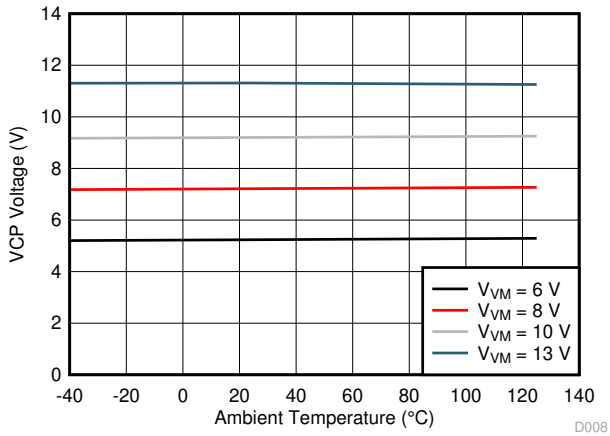


図 7-8. VCP 電圧と負荷



0mA 負荷

図 7-9. VCP 電圧と温度との関係

8 詳細説明

8.1 概要

DRV832x ファミリのデバイスは、3 相モーター駆動アプリケーション用の統合型 6～60V ゲート ドライバです。これらのデバイスは、ハイサイド/ローサイド ゲート ドライバの電源電圧用に 3 つの独立したハーフブリッジ ゲート ドライバ、およびチャージ ポンプとリニア レギュレータを内蔵しているため、システムの部品点数、コスト、複雑さを低減できます。また、オプションとして 3 つの電流シャント (電流センス) アンプや 600mA の降圧レギュレータを組み込むこともできます。標準のシリアル ペリフェラル インターフェイス (SPI) を使うと、デバイスの各種設定とフォルト診断情報の読み出しを外部コントローラから簡単に行うことができます。また、ハードウェア インターフェイス (H/W) のオプションを選択した場合は、固定の外部抵抗を使用して、ごく一般的な設定を行うことができます。

本ゲート ドライバは外付け N チャネル ハイサイド/ローサイド パワー MOSFET をサポートしており、25mA の平均出力電流で最大 1A (ソース)/2A (シンク) のピーク駆動電流を供給できます。ハイサイド ゲート駆動の電源電圧は、ダブラー チャージ ポンプから生成されます。このチャージ ポンプ アーキテクチャにより、VCP 出力が V_{VM} + 11V にレギュレートされます。ローサイド ゲート ドライバの電源電圧は、11V に制御される VM 電源からリニア レギュレータを使用して生成されます。スマート ゲート ドライブ アーキテクチャはゲート駆動出力電流の強度を動的に調整する機能を備えています。これにより、ゲート ドライバはパワー MOSFET の V_{DS} スイッチング速度を制御できます。この機能により、外部のゲート駆動抵抗およびダイオードが不要になるので、部品表 (BOM) の部品点数や、コスト、プリント基板 (PCB) 上に占める面積が低減します。このアーキテクチャでは、ゲート ドライバで発生する短絡からの保護、ハーフブリッジのデッド タイムの制御、外部パワー MOSFET の dV/dt 寄生ターンオンからの保護のために、内部ステート マシンも使用します。

DRV8323 と DRV8323R の各デバイスには、ローサイド シャント抵抗を使用して各外部ハーフブリッジを流れる電流のレベルを監視するために、3 つの双方向電流センス アンプが内蔵されています。電流センス アンプのゲイン設定は、SPI またはハードウェア インターフェイスを介して調整できます。SPI 方式では、出力バイアス ポイントをより柔軟に調整できます。

DRV8320R および DRV8323R デバイスには 600mA 降圧レギュレータが内蔵されており、外部コントローラやその他のロジック回路への電力供給に使用できます。降圧レギュレータは独立した内部ダイとして実装され、ゲート ドライバと同じ電源として使用することも、別の電源として使用することもできます。

高いレベルでデバイスが統合されていることに加え、DRV832x ファミリのデバイスには、広範な保護機能も組み込まれています。例えば、電源の低電圧誤動作防止 (UVLO)、チャージ ポンプの低電圧誤動作防止 (CPUV)、V_{DS} 過電流監視 (OCP)、ゲート ドライバ短絡検出 (GDF)、過熱シャットダウン (OTW および OTSD) などの機能が挙げられます。フォルト イベントは nFAULT ピンにより通知され、SPI 版のデバイスでは SPI レジスタで詳細情報を取得できます。

DRV832x ファミリのデバイスは、0.5mm ピン ピッチの QFN 表面実装パッケージで供給されます。QFN サイズは 32 ピン パッケージで 5 × 5mm、40 ピン パッケージで 6 × 6mm、48 ピン パッケージで 7 × 7mm です。

Copyright © 2026 Texas Instruments Incorporated

8.2 機能ブロック図

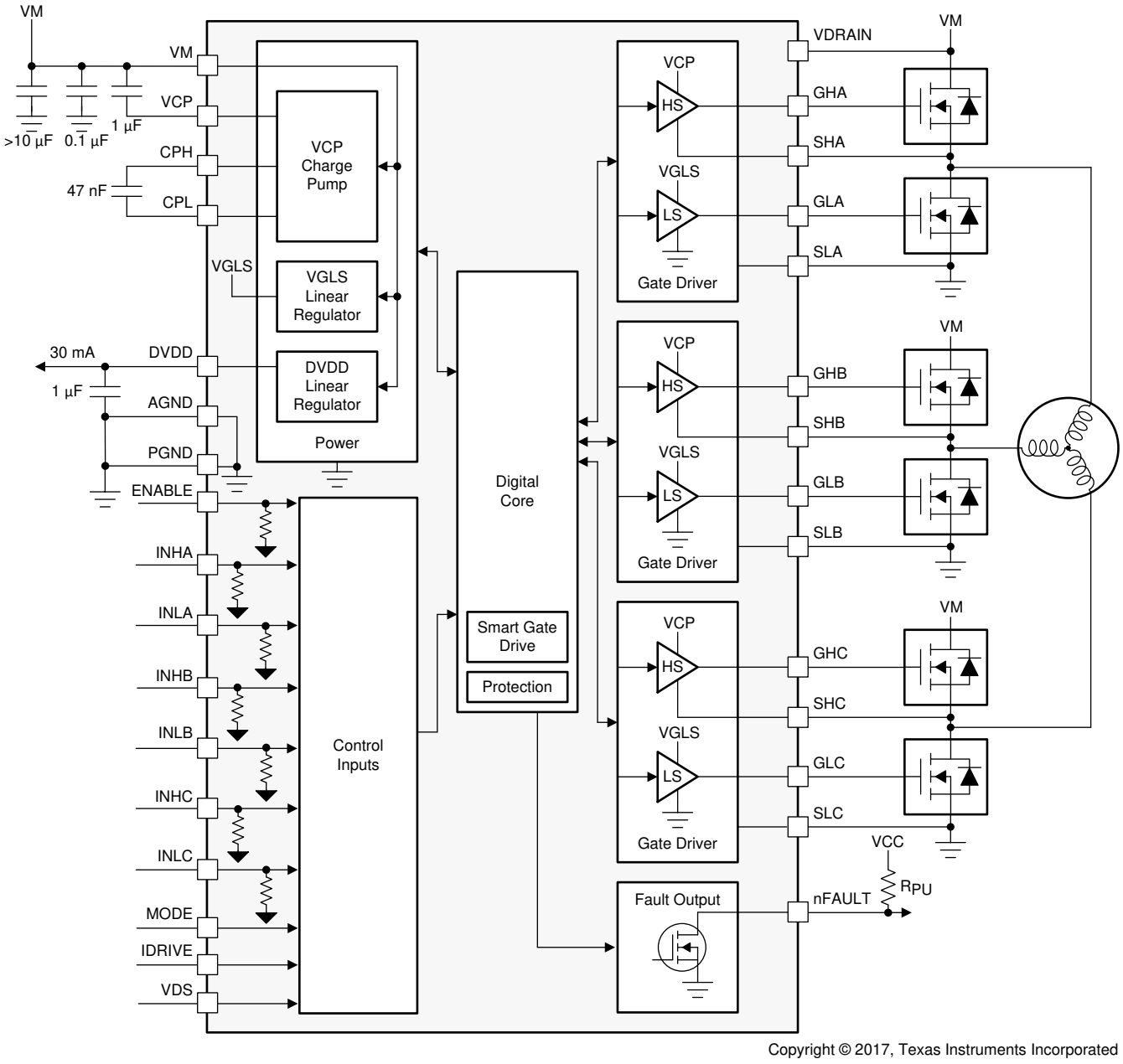


図 8-1. DRV8320H のブロック図

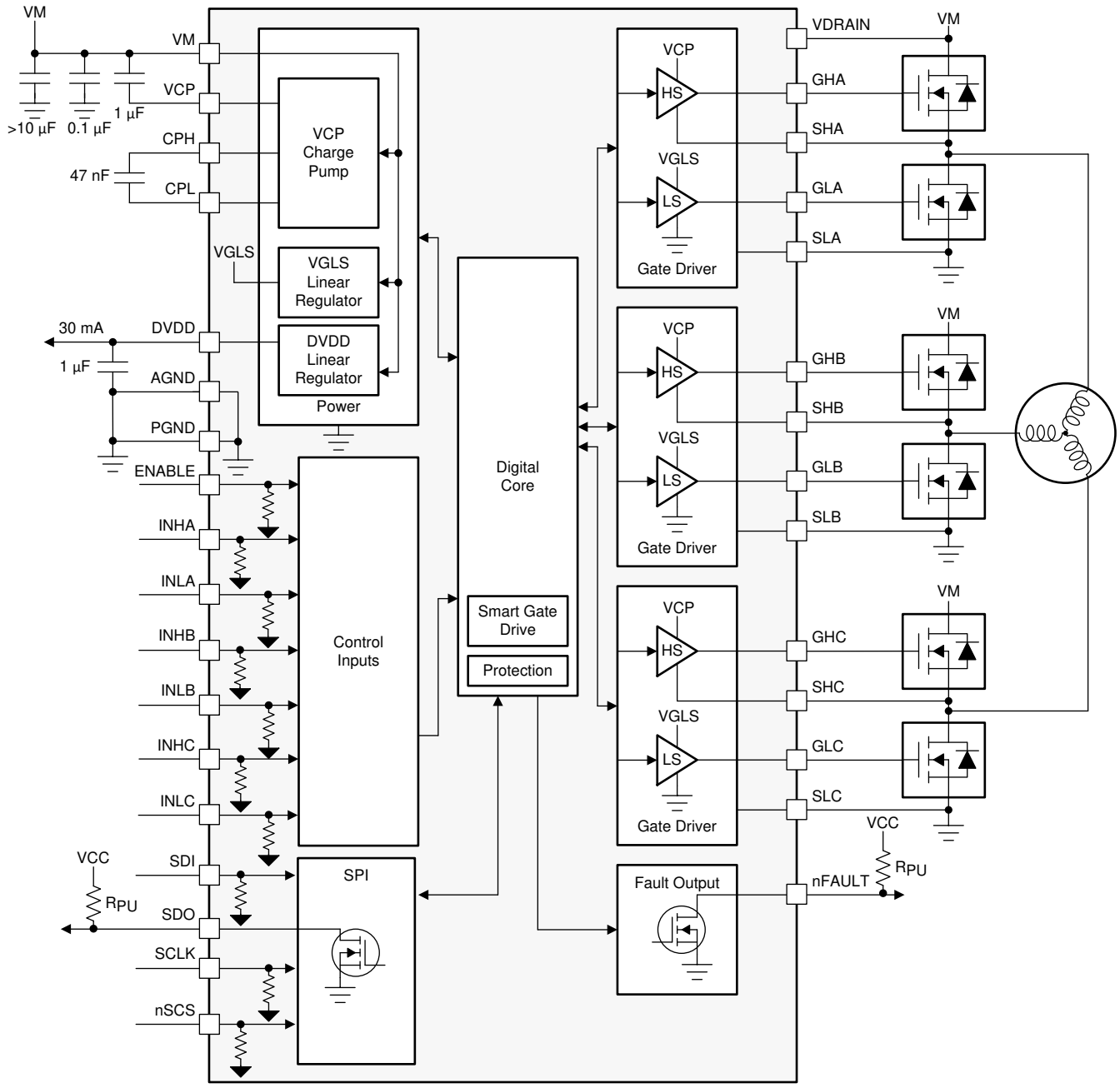
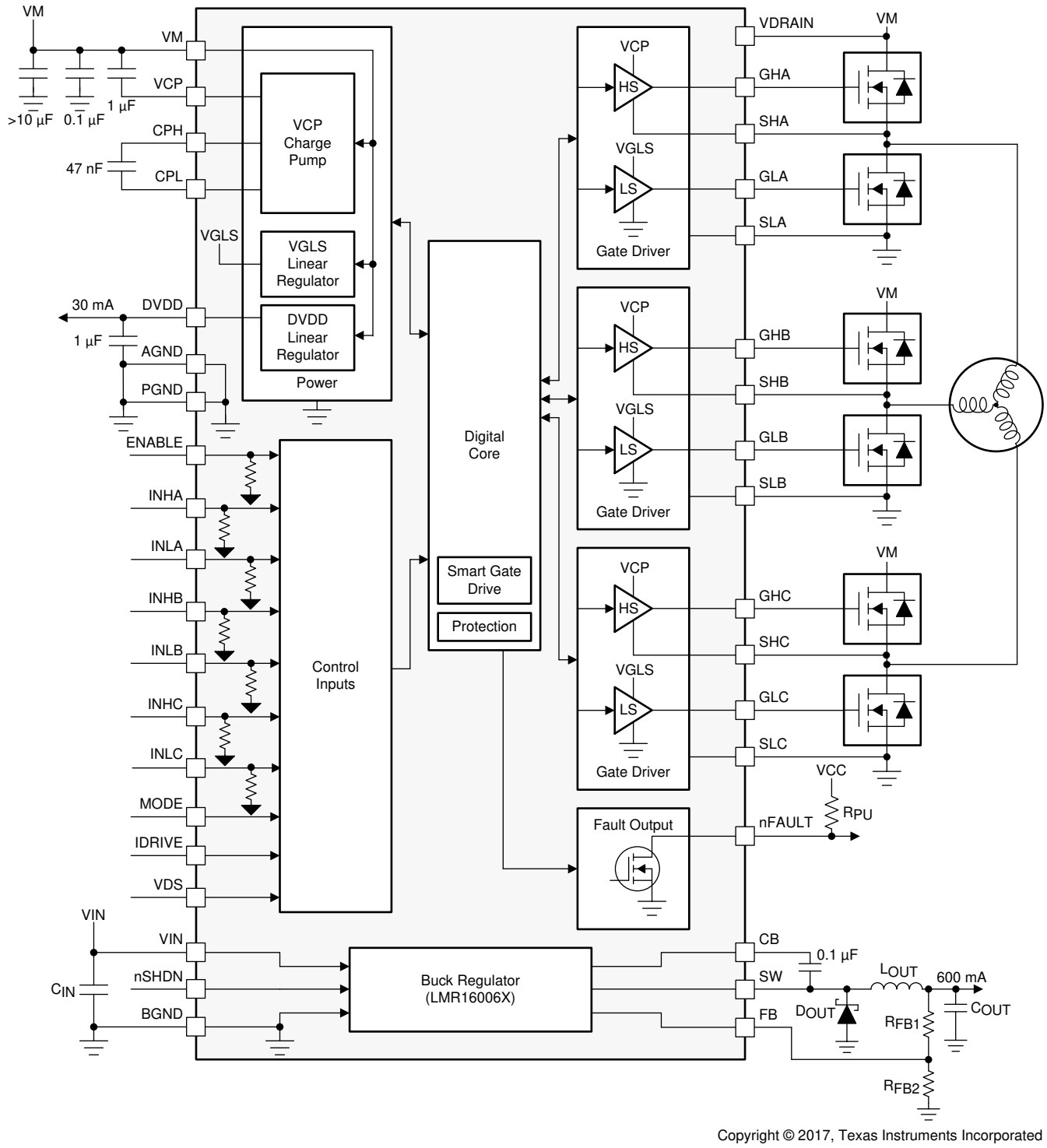


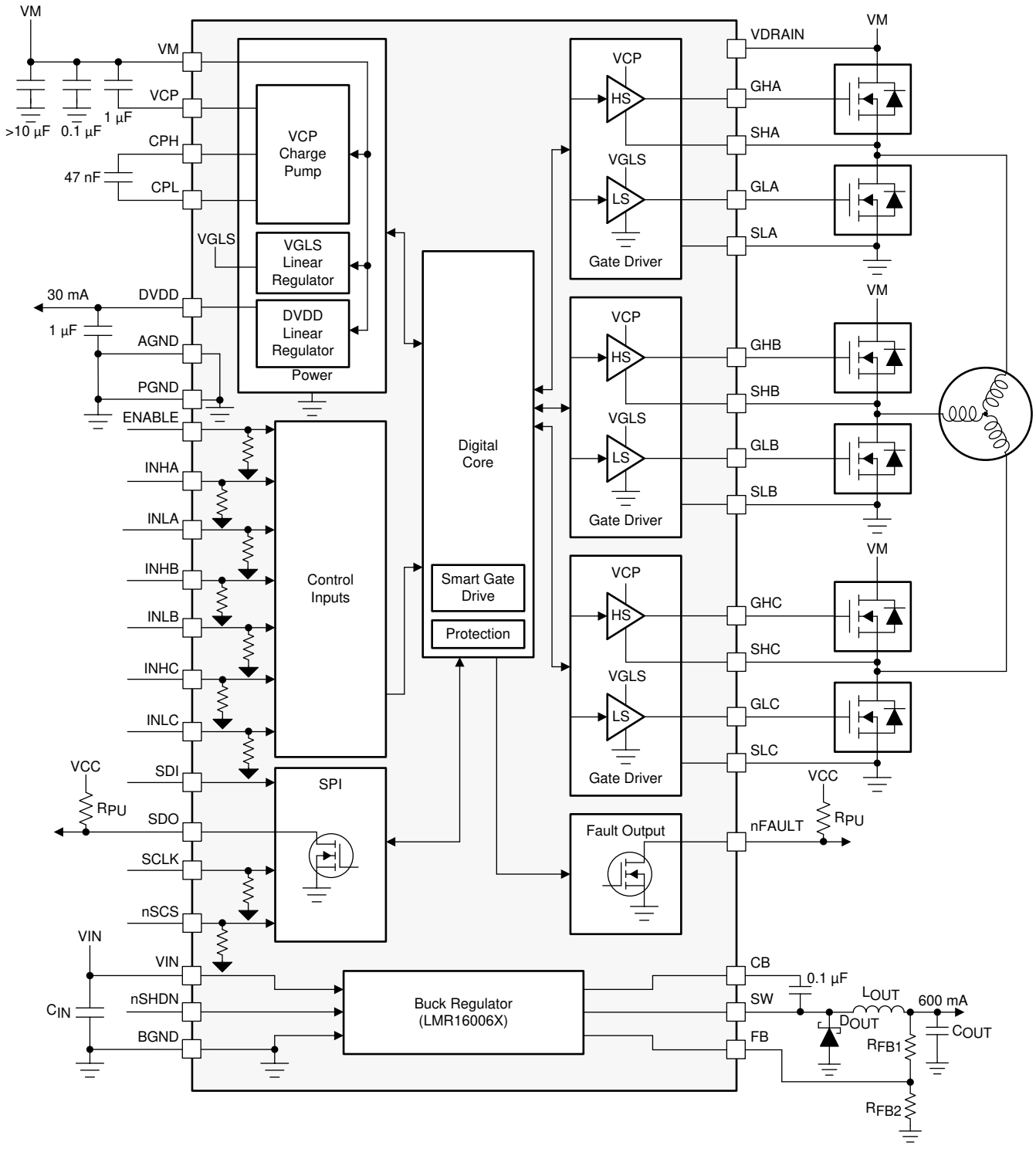
図 8-2. DRV8320S のブロック図

Copyright © 2026 Texas Instruments Incorporated



Copyright © 2017, Texas Instruments Incorporated

図 8-3. DRV8320RH のブロック図



Copyright © 2017, Texas Instruments Incorporated

図 8-4. DRV8320RS のブロック図

Copyright © 2026 Texas Instruments Incorporated

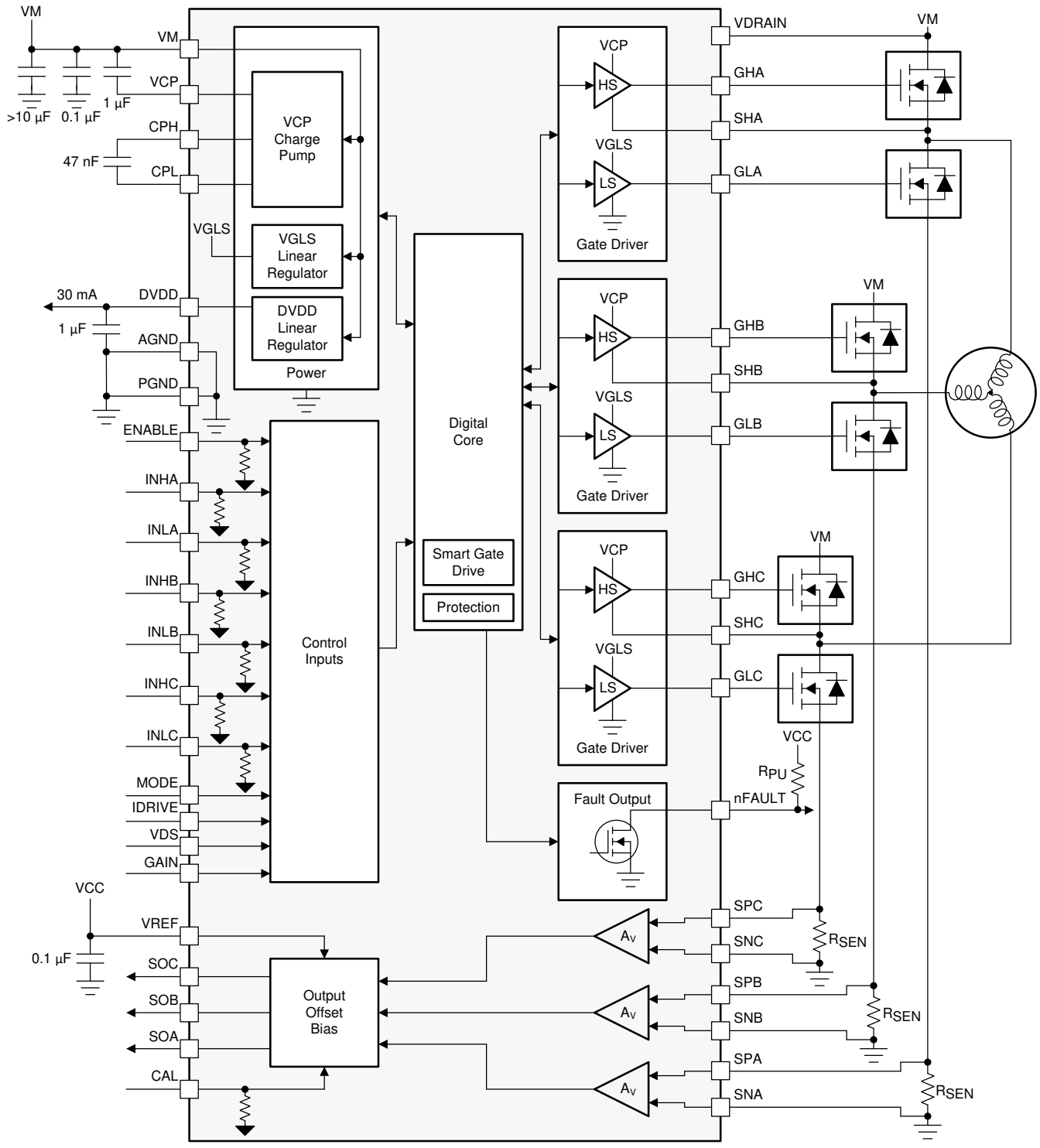
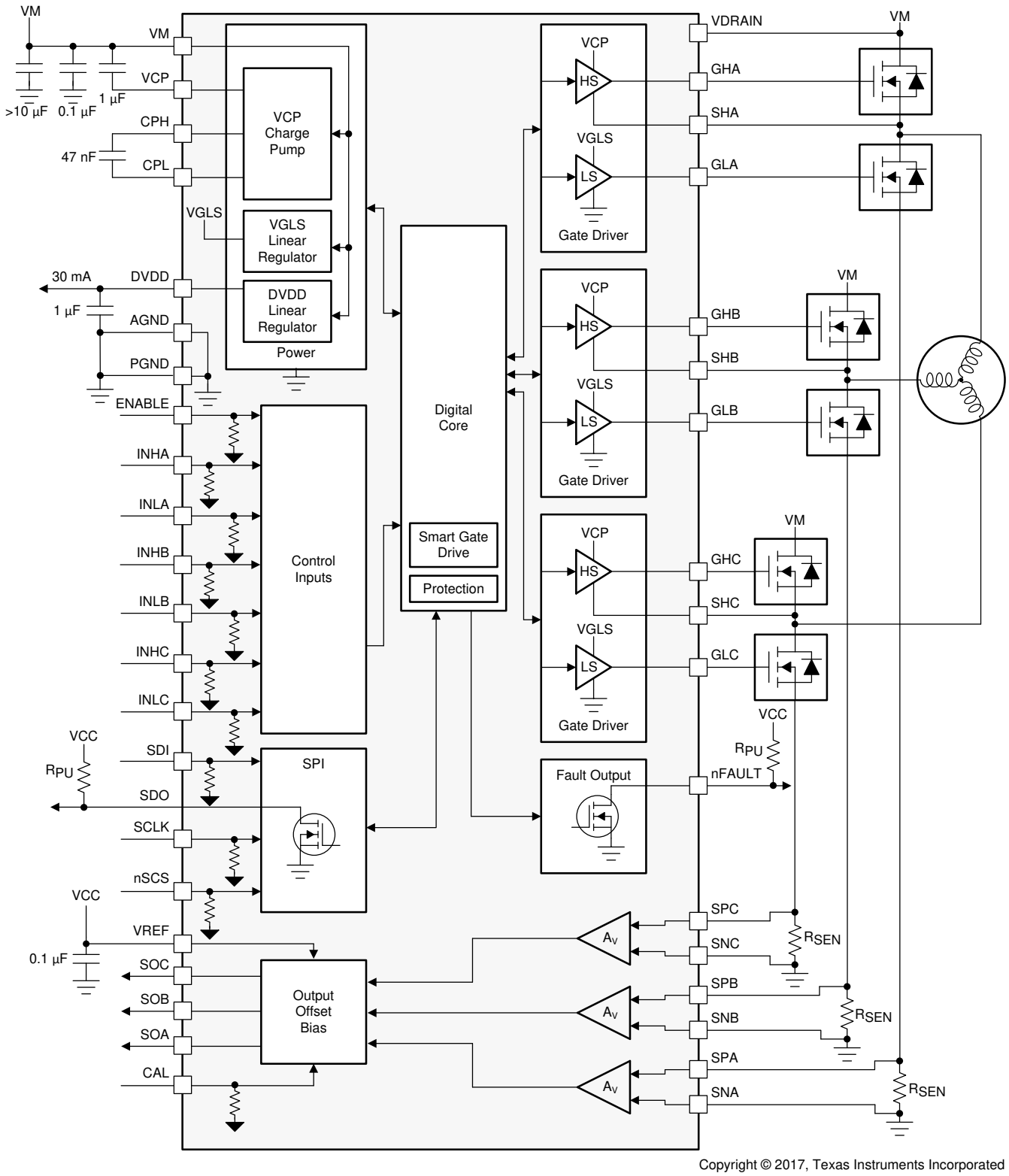


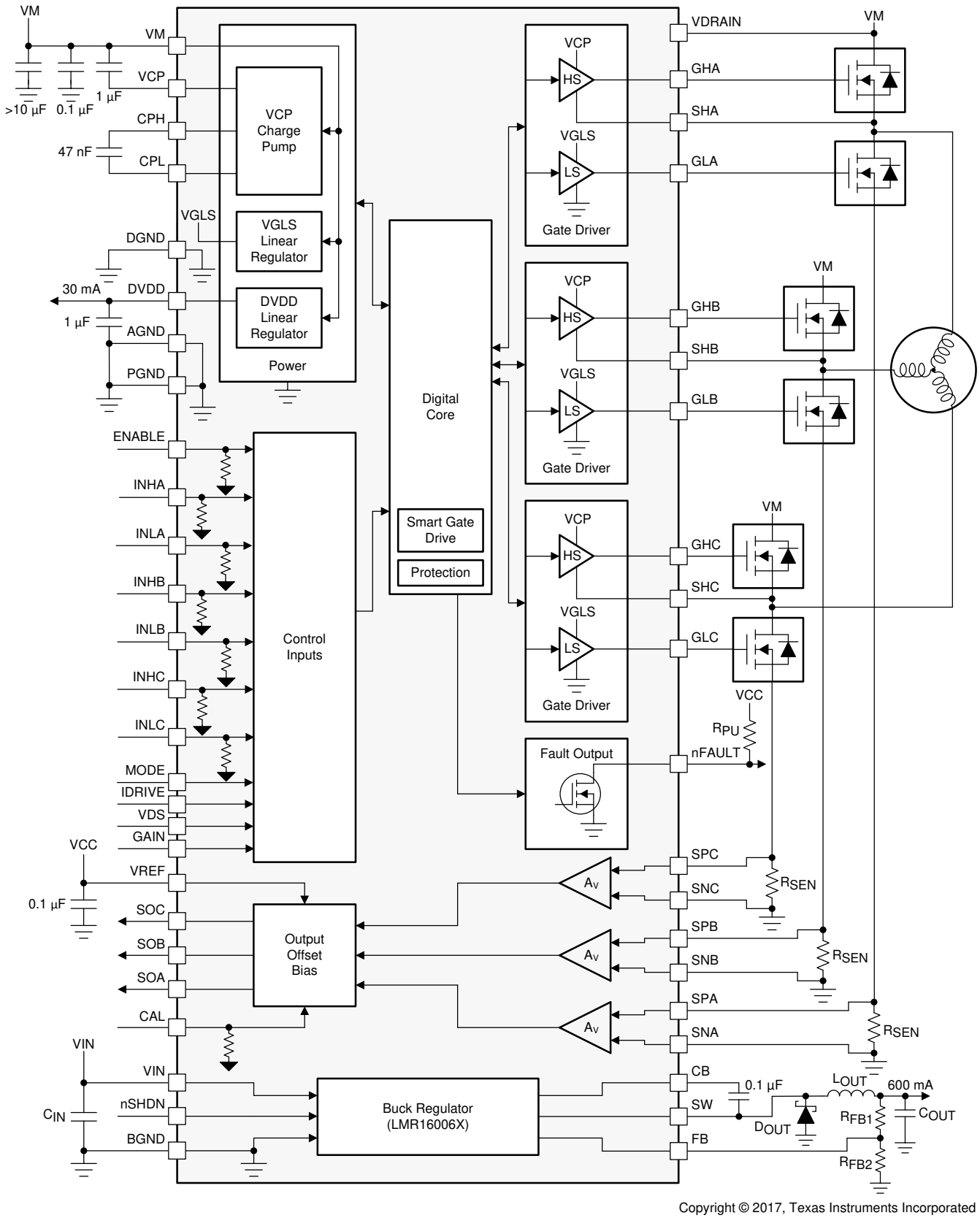
図 8-5. DRV8323H のブロック図



Copyright © 2017, Texas Instruments Incorporated

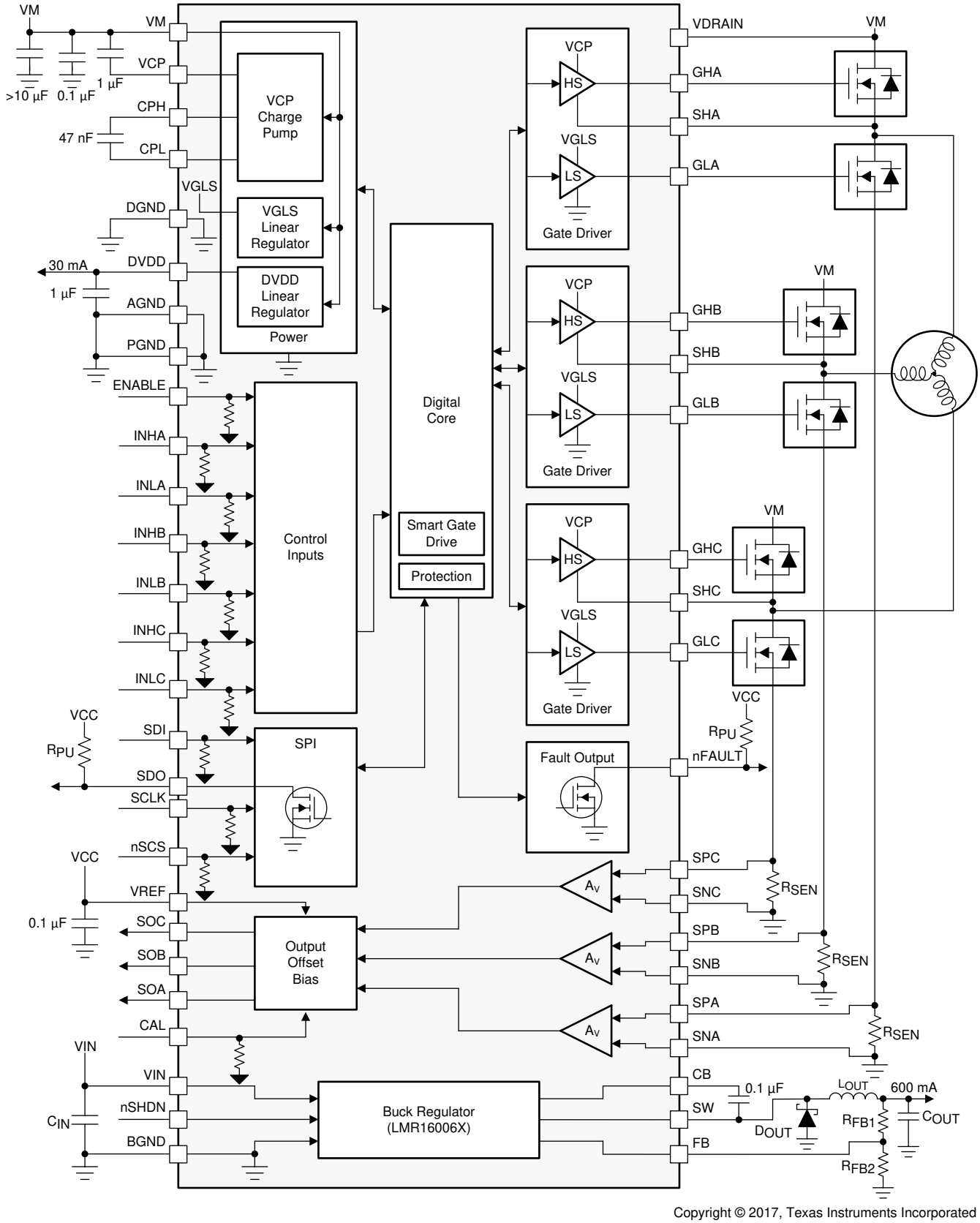
図 8-6. DRV8323S のブロック図

Copyright © 2026 Texas Instruments Incorporated



Copyright © 2017, Texas Instruments Incorporated

図 8-7. DRV8323RH のブロック図



Copyright © 2017, Texas Instruments Incorporated

図 8-8. DRV8323RS のブロック図

Copyright © 2026 Texas Instruments Incorporated

8.3 機能説明

表 8-1 には、ゲートドライバと降圧レギュレータ用の外部部品の推奨値が記載されています。

表 8-1. DRV832x の外付け部品

部品	ピン 1	ピン 2	推奨
ゲートドライバとセンス アンプ			
C_{VM1}	VM	PGND	X5R または X7R、0.1µF、VM 定格コンデンサ
C_{VM2}	VM	PGND	≥ 10µF、VM 定格コンデンサ
C_{VCP}	VCP	VM	X5R または X7R、25V、1µF コンデンサ
C_{SW}	CPH	CPL	X5R または X7R、47nF、VM 定格コンデンサ
C_{DVDD}	DVDD	AGND	X5R または X7R、1µF、6.3V コンデンサ
R_{nFAULT}	VCC(1)	nFAULT	プルアップ抵抗
R_{SDO}	VCC(1)	SDO	プルアップ抵抗
R_{IDRIVE}	IDRIVE	AGND または DVDD	DRV832x ハードウェア インターフェイス
R_{VDS}	VDS	AGND または DVDD	DRV832x ハードウェア インターフェイス
R_{MODE}	モード	AGND または DVDD	DRV832x ハードウェア インターフェイス
R_{GAIN}	ゲイン	AGND または DVDD	DRV832x ハードウェア インターフェイス
C_{VREF}	VREF	AGND または DGND	X5R または X7R、0.1µF、VREF 定格コンデンサ
R_{ASENSE}	SPA	SNA と PGND	検出シャント抵抗
R_{BSENSE}	SPB	SNB および PGND	検出シャント抵抗
R_{CSENSE}	SPC	SNC と PGND	検出シャント抵抗
降圧レギュレータ			
C_{VIN}	VIN	BGND	X5R または X7R、1 ～ 10µF、VM 定格コンデンサ
C_{BOOT}	SW	CB	X5R または X7R、0.1µF、16V コンデンサ
D_{SW}	SW	BGND	ショットキー ダイオード
L_{SW}	SW	OUT(2)	出力インダクタ
C_{OUT}	OUT(2)	BGND	X5R または X7R、OUT 定格コンデンサ
R_{FB1}	OUT(2)	FB	降圧出力電圧を設定するための抵抗デバイダ
R_{FB2}	FB	BGND	

(1) この VCC ピンは DRV832x ファミリのデバイス上のピンではありませんが、オープン ドレイン出力の nFAULT と SDO には VCC 電源電圧プルアップが必要です。これらのピンは、DVDD にプルアップすることもできます。
(2) OUT ピンは DRV8320R および DRV8323R デバイスのピンではなく、出力インダクタの後段にある降圧レギュレータによる安定化出力電圧です。

8.3.1 3 相スマート ゲート ドライバ

DRV832x ファミリのデバイスには 3 つのハーフブリッジ ゲート ドライバが内蔵されており、それぞれがハイサイドとローサイドの N チャネル パワー MOSFET を駆動できます。ダブラー チャージ ポンプが 100% のデューティ サイクルをサポートしつつ、広い動作電圧範囲にわたって適切なゲート バイアス電圧をハイサイド MOSFET に供給します。ローサイド MOSFET 用のゲート バイアス電圧は、内部リニア レギュレータが供給します。ハーフブリッジ ゲート ドライバは、3 相モータを駆動するために複数のドライバを組み合わせて使用することも、他の種類の負荷を駆動するために個別に使用することもできます。

DRV832x ファミリのデバイスにはスマート ゲート ドライブ アーキテクチャが実装されており、ゲート駆動電流をユーザーが動的に調整できるので、外部抵抗でゲート電流を制限する必要がありません。また、このアーキテクチャにより、自動デッド タイム挿入、寄生成分による dV/dt ゲート ターンオンの防止、ゲート障害検出など、外部 MOSFET 用のさまざまな保護機能が実現できます。

8.3.1.1 PWM 制御モード

DRV832x ファミリのデバイスには、さまざまな整流方式や制御方式をサポートするために、4 種類の PWM 制御モードが用意されています。テキサス・インスツルメンツでは、パワー MOSFET の動作中に MODE ピンまたは PWM_MODE レジスタを変更することを推奨していません。その代わりに、MODE ピンまたは PWM_MODE レジスタを変更する前に、すべての INHx および INLx ピンをロジック Low に設定してください。

8.3.1.1.1 6x PWM モード (PWM_MODE = 00b または MODE ピンを AGND に接続)

6x PWM モードでは、ハーフブリッジごとに Low、High、ハイ インピーダンス (Hi-Z) の 3 つの出力状態がサポートされます。表 8-2 に示すように、対応する INHx および INLx 信号で出力状態を制御します。

表 8-2. 6x PWM モードの真理値表

INLx	INHx	GLx	GHx	SHx
0	0	L	L	ハイ インピーダンス
0	1	L	H	H
1	0	H	L	L
1	1	L	L	ハイ インピーダンス

8.3.1.1.2 3x PWM モード (PWM_MODE = 01b または MODE ピン = 47kΩ ～ AGND)

この 3x PWM モードでは、INHx ピンで各ハーフブリッジを制御し、Low または High の 2 つの出力状態がサポートされます。INLx ピンは、ハーフブリッジをハイ インピーダンス状態にするために使用します。ハイ インピーダンス状態にする必要がない場合は、すべての INLx ピンをロジック High に固定してください。表 8-3 に示すように、対応する INHx および INLx 信号で出力状態を制御します。

表 8-3. 3x PWM モードの真理値表

INLx	INHx	GLx	GHx	SHx
0	X	L	L	ハイ インピーダンス
1	0	H	L	L
1	1	L	H	H

8.3.1.1.3 1x PWM モード (PWM_MODE = 10b または MODE ピン = Hi-Z)

1x PWM モードでは、DRV832x ファミリのデバイスは内部に格納されている 6 段階のブロック整流テーブルを使用します。この機能により、3 相 BLDC モータを、単純なコントローラから供給する 1 つの PWM を使用して制御できます。PWM は INHA ピンに印加され、ハーフブリッジの出力周波数とデューティ サイクルを決定します。

ハーフブリッジの出力状態は INLA、INHB、INLB の各ピンによって管理され、それらが状態の論理入力として使用されます。状態の入力は、外部コントローラで制御することも、モータからのホール エフェクト センサのデジタル出力に直接接続することもできます (INLA = HALL_A、INHB = HALL_B、INLB = HALL_C)。1x PWM モードは、通常は同期整流 (ローサイド MOSFET 再循環) で動作しますが、SPI デバイスでは、非同期整流 (MOSFET ボディ ダイオードのフリーホイール) を使用するように構成することもできます。この構成は、SPI レジスタの 1PWM_COM ビットを使用して設定します。

INHC 入力は、6 段階の整流テーブルによって方向を制御します。このテーブルは、ホール エフェクト センサが INLA、INHB、INLB の状態入力を直接制御している場合に、モータの方向を変更するために使用されます。この機能が必要ない場合は、INHC ピンを Low に接続してください。

INLC 入力は、INLC ピンが Low にプルされたときに、すべてのハイサイド MOSFET をオフにし、すべてのローサイド MOSFET をオンにすることにより、モータにブレーキをかけます。このブレーキ動作は、他の入力ピンの状態とは無関係です。この機能が必要ない場合は、INLC ピンを High に接続してください。

Copyright © 2026 Texas Instruments Incorporated

表 8-4. 同期 1x PWM モード

ロジックおよびホール入力						ゲートドライブ出力(1)						
状態	INHC = 0			INHC = 1			位相 A		位相 B		位相 C		説明
	INLA	INHB	INLB	INLA	INHB	INLB	GHA	GLA	GHB	GLB	GHC	GLC	
ストップ	0	0	0	0	0	0	L	L	L	L	L	L	ストップ
アライン	1	1	1	1	1	1	PWM	!PWM	L	H	L	H	アライン
1	1	1	0	0	0	1	L	L	PWM	!PWM	L	H	B → C
2	1	0	0	0	1	1	PWM	!PWM	L	L	L	H	A → C
3	1	0	1	0	1	0	PWM	!PWM	L	H	L	L	A → B
4	0	0	1	1	1	0	L	L	L	H	PWM	!PWM	C → B
5	0	1	1	1	0	0	L	H	L	L	PWM	!PWM	C → A
6	0	1	0	1	0	1	L	H	PWM	!PWM	L	L	B → A

(1) *!PWM* は PWM 信号の反転です。

表 8-5. 非同期 1x PWM モード 1PWM_COM = 1 (SPI のみ)

ロジックおよびホール入力						ゲートドライブ出力						
状態	INHC = 0			INHC = 1			位相 A		位相 B		位相 C		説明
	INLA	INHB	INLB	INLA	INHB	INLB	GHA	GLA	GHB	GLB	GHC	GLC	
ストップ	0	0	0	0	0	0	L	L	L	L	L	L	ストップ
アライン	1	1	1	1	1	1	PWM	L	L	H	L	H	アライン
1	1	1	0	0	0	1	L	L	PWM	L	L	H	B → C
2	1	0	0	0	1	1	PWM	L	L	L	L	H	A → C
3	1	0	1	0	1	0	PWM	L	L	H	L	L	A → B
4	0	0	1	1	1	0	L	L	L	H	PWM	L	C → B
5	0	1	1	1	0	0	L	H	L	L	PWM	L	C → A
6	0	1	0	1	0	1	L	H	PWM	L	L	L	B → A

図 8-9 と図 8-10 は、1x PWM モードで可能な 2 種類の構成を示しています。

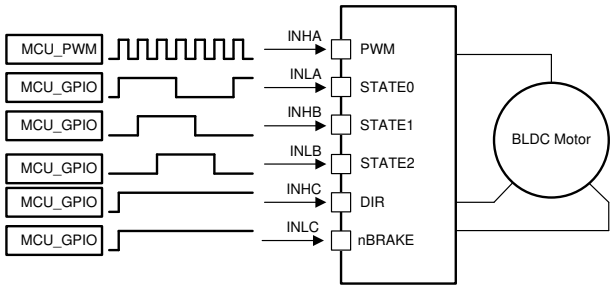


図 8-9. 1x PWM — 単純なコントローラ

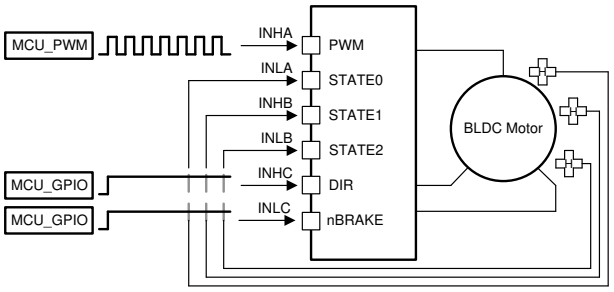


図 8-10. 1x PWM — ホール エフェクト センサ

8.3.1.1.4 独立 PWM モード (PWM_MODE = 11b または MODE ピンを DVDD に接続)

独立 PWM モードでは、各ハイサイドおよびローサイド ゲートドライバが、対応する入力ピンにより独立して制御されます。この制御モードにより、DRV832x ファミリのデバイスは各ハーフブリッジで別のハイサイド負荷とローサイド負荷を駆動できます。このような種類の負荷には、単方向ブラシ付き DC モータ、ソレノイド、ローサイドおよびハイサイド スイッチなどがあります。このモードでは、システムがハーフブリッジ構成の場合、ハイサイドとローサイドの MOSFET が同時にオンした際に貫通電流が発生します。

表 8-6. 独立 PWM モードの真理値表

INLx	INHx	GLx	GHx
0	0	L	L

表 8-6. 独立 PWM モードの真理値表 (続き)

INLx	INHx	GLx	GHx
0	1	L	H
1	0	H	L
1	1	H	H

ハイサイドおよびローサイド V_{DS} 過電流監視では SHx センス ラインが共有されるので、1 つのハーフブリッジのハイサイドとローサイド両方のゲート ドライバが分割されて使用されている場合には監視ができません。この場合は、SHx ピンをハイサイド ドライバに接続して V_{DS} 過電流監視を無効にしてください (図 8-11 を参照)。

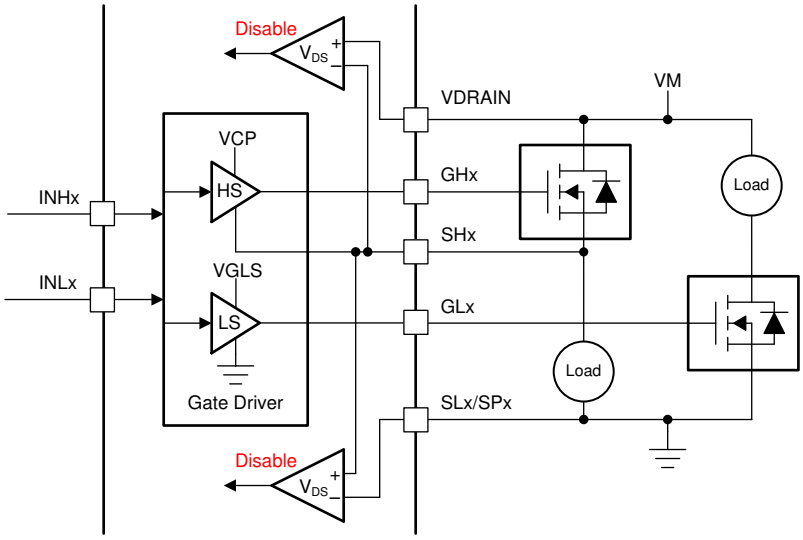


図 8-11. 独立 PWM ハイサイドおよびローサイド ドライバ

ハーフブリッジを使用してハイサイド ドライバとローサイド ドライバのどちらか一方のみを実装している場合は、V_{DS} 過電流監視を使用できます。図 8-12 または図 8-13 に示すように SHx ピンを接続します。使用されていないゲート ドライバとそれに対応する入力ピンは未接続のままで構いません。

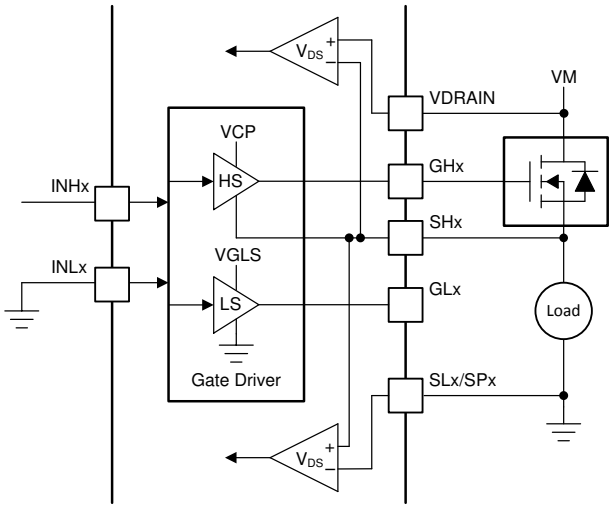


図 8-12. 1 つのハイサイド ドライバ

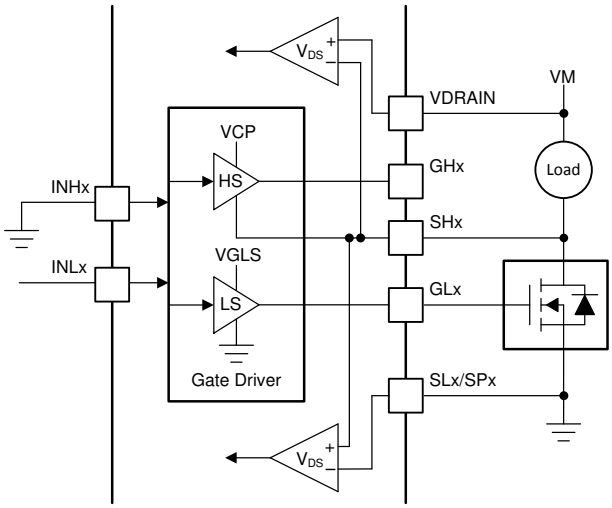


図 8-13. 1 つのローサイド ドライバ

Copyright © 2026 Texas Instruments Incorporated

8.3.1.2 デバイス インターフェイス モード

DRV832x ファミリのデバイスでは、最終的なアプリケーションを柔軟な設計にするか単純な設計にするか選択できるように、2 種類のインターフェイス モード（SPI とハードウェア）をサポートしています。2 つのインターフェイス モードで同じ 4 つのピンが共有されているので、異なるバージョン間でのピン互換が実現します。こうした互換性の高さから、アプリケーション設計者は、設計に最小限の変更を加えるだけで、評価に使用するインターフェイス バージョンを切り替えることができます。

8.3.1.2.1 シリアル・ペリフェラル・インターフェイス (SPI)

SPI デバイスは、外部コントローラと DRV832x の間でデータを送受信できるシリアル通信バスをサポートしています。これにより、外部コントローラはデバイスを設定し、詳細なフォルト情報を読み出すことができます。インターフェイスは、SCLK、SDI、SDO、nSCS ピンを使用する 4 線式インターフェイスです。以下の説明をご覧ください。

- SCLK ピンは、クロック信号を受け付けて SDI と SDO ピン上のデータの収集と伝搬のタイミングを決める入力ピンです。
- SDI ピンはデータ入力です。
- SDO ピンはデータ出力です。SDO ピンにはオープン ドレイン構造が使用されており、外部プルアップ抵抗が必要です。
- nSCS ピンはチップ選択入力です。このピンに論理 Low 信号を印加すると、DRV832x との SPI 通信が有効になります。

SPI の詳細については、*セクション 8.5.1* を参照してください。

8.3.1.2.2 ハードウェア インターフェイス

ハードウェア インターフェイス デバイスでは、4 つの SPI ピンが抵抗によって設定可能な 4 つの入力、GAIN、IDRIVE、MODE、VDS に変換されます。この変換により、アプリケーション設計者は、ピンをロジック High やロジック Low に接続するか、または単純なプルアップ抵抗やプルダウン抵抗を使用することで、ごく一般的なデバイス設定を行えるようになります。外部コントローラには SPI バスが不要になります。全般的なフォルト情報は、引き続き nFAULT ピンを介して取得できます。

- GAIN ピンでは電流センス アンプのゲインを設定します。
- IDRIVE ピンではゲートドライブ電流の強さを構成します。
- MODE ピンでは PWM 制御モードを設定します。
- VDS ピンでは V_{DS} 過電流監視の電圧スレッショルドを設定します。

ハードウェア インターフェイスの詳細については、*セクション 8.3.3* を参照してください。

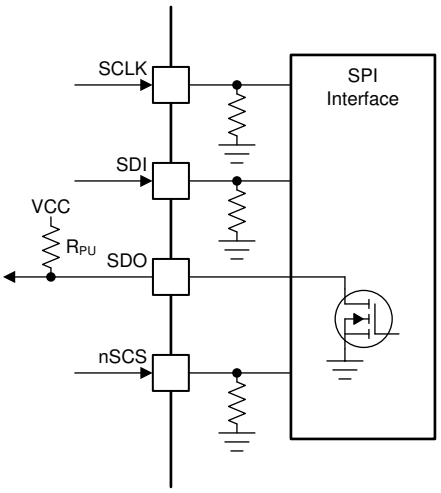


図 8-14. SPI

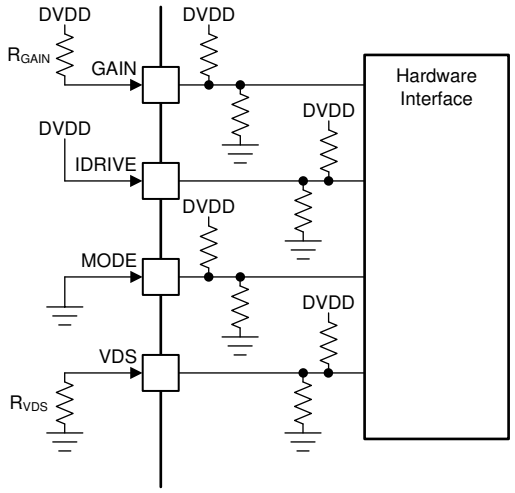


図 8-15. ハードウェア インターフェイス

8.3.1.3 ゲート ドライバ電源電圧

ハイサイド ゲート ドライバの電源電圧は、VM 電源電圧の入力によって動作するダブラー チャージ ポンプを使用して生成されます。このチャージ ポンプにより、ゲート ドライバは幅広い入力電源電圧範囲にわたるソースを基準としてハイサイド MOSFET ゲートを正確にバイアスできます。チャージ ポンプは、V_{VM} + 11V の固定出力電圧を維持し、25mA の平均出力電流に対応できるようレギュレートされます。V_{VM} が 12V 未満の場合、チャージ ポンプは完全ダブラー モードで動作し、無負荷時に $V_{VCP} = 2 \times V_{VM} - 1.5V$ を生成します。低電流状態を検出して MOSFET の駆動不足を防止するため、チャージ ポンプは継続的に監視されます。このチャージ ポンプには、VM ピンと VCP ピン間の蓄積コンデンサとして、X5R または X7R、1μF、25V のセラミック コンデンサが必要です。また、CPH ピンと CPL ピン間には、フライング コンデンサとして、X5R または X7R、47nF、VM 定格のセラミック コンデンサが必要です。

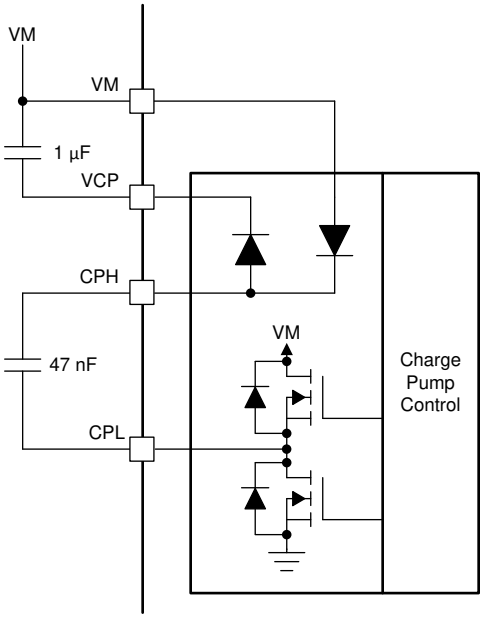


図 8-16. チャージ ポンプのアーキテクチャ

ローサイド ゲート ドライバの電源電圧は、VM 電源電圧の入力によって動作するリニア レギュレータを使用して生成されます。このリニア レギュレータにより、ゲート ドライバはグランドを基準としてローサイド MOSFET ゲートを正確にバイアスできます。リニア レギュレータの出力は 11V に固定され、25mA の出力電流に対応します。

8.3.1.4 スマート ゲート ドライブ アーキテクチャ

DRV832x ゲート ドライバは、ハイサイドとローサイド両方のドライバに対して、調整可能な相補型のプッシュプル トポロジが使用されています。このトポロジにより、外部 MOSFET ゲートのプルアップとプルダウンが両方とも強化できます。

また、ゲート ドライバでは、スマート ゲート ドライブ アーキテクチャの使用によって、外部パワー MOSFET のより詳細な制御や、MOSFET の保護手法の追加、効率性と堅牢性のバランスの最適化が実現できます。このアーキテクチャは IDRIVE および TDRIVE と呼ばれる 2 つのコンポーネント (「*セクション 8.3.1.4.1*」と「*セクション 8.3.1.4.2*」を参照) によって実装されます。図 8-17 は、ゲート ドライバの概略機能ブロック図です。

IDRIVE ゲート駆動電流と TDRIVE ゲート駆動時間の最初の設定は、システムで使用する外部パワー MOSFET のパラメータと、目標とする立ち上がりおよび立ち下がり時間に基づき選択する必要があります (「*セクション 9*」を参照)。

MOSFET で外部短絡が発生した場合に外部 MOSFET ゲートを過電圧状態から保護するために、ハイサイド ゲート ドライバにはツェナー クランプ ダイオードも実装されています。

Copyright © 2026 Texas Instruments Incorporated

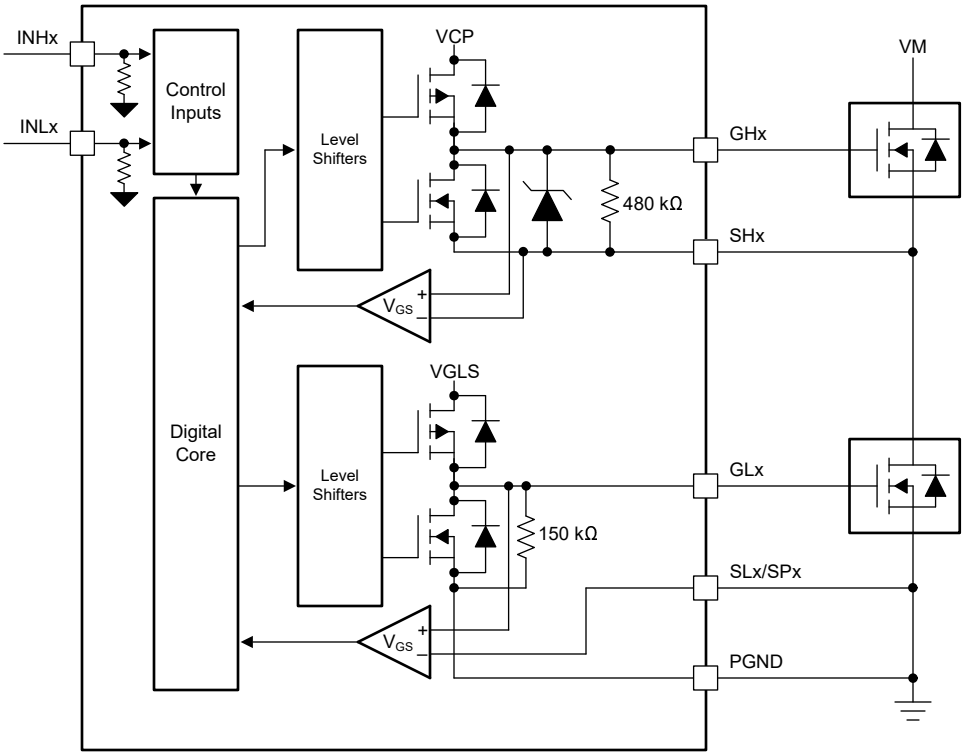


図 8-17. ゲート ドライバ ブロック図

8.3.1.4.1 IDRIVE：MOSFET スルーレート制御

IDRIVE コンポーネントは、MOSFET V_{DS} スルーレートを制御するための調整可能なゲート駆動電流を実装します。MOSFET V_{DS} スルーレートは、放射されるエミッションやエネルギー、ダイオードの回復スパイク期間、貫通電流を引き起こす dV/dt ゲート ターンオン、および外部ハーフブリッジの寄生成分に関連するスイッチング過渡電圧を最適化するために不可欠な要素です。IDRIVE コンポーネントは、MOSFET V_{DS} スルーレートが主に MOSFET Q_{GD} またはミラー充電領域中のゲートの充電率 (または供給されるゲート電流) によって決まるという原理に基づいて動作します。ゲート電流を調整できるようにすることで、ゲート ドライバは外部パワー MOSFET のスルー レートを効果的に制御できます。

IDRIVE コンポーネントを活用することにより、DRV832x ファミリのデバイスは、SPI デバイスのレジスタ設定やハードウェア インターフェイス デバイスの IDRIVE ピンを介してゲート駆動電流を動的に切り替えることができます。SPI デバイスは、10mA ～ 1A (ソース)、20mA ～ 2A (シンク) の範囲内で 16 個の I_{DRIVE} 設定を備えています。ハードウェア インターフェイス デバイスには、同じ範囲内で 7 個の I_{DRIVE} 設定が用意されています。ゲート駆動電流の設定は、t_{DRIVE} 期間にわたって外部パワー MOSFET のターン オンおよびターン オフ中にゲートに供給されます。MOSFET のターンオンまたはターンオフ後、ゲート ドライバは効率性を高めるために I_{HOLD} 保持電流をより小さな値に切り替えます。IDRIVE 設定の詳細については、SPI デバイスの場合は「*セクション 8.6*」、ハードウェア インターフェイス デバイスの場合は「*セクション 8.3.3*」を参照してください。

8.3.1.4.2 TDRIVE：MOSFET ゲート駆動制御

TDRIVE コンポーネントは、統合されたゲート駆動ステート マシンであり、ハイサイドおよびローサイド ゲート ドライバ間でのハンドシェークによる自動デッド タイム挿入、寄生成分による dV/dt ゲート ターンオンの防止、MOSFET ゲート障害検出といった機能を備えています。

TDRIVE ステート マシンの最初の構成要素は自動デッド タイム挿入です。デッド タイムとは、外部ハイサイド MOSFET とローサイド MOSFET のスイッチング間隔であり、MOSFET 間のクロス導通とそれによる貫通電流の発生を防止することを目的としています。DRV832x ファミリのデバイスは、固定の時間値を使用するのではなく、V_{GS} 電圧監視を使用して MOSFET ゲート - ソース間電圧を測定することにより、スイッチングの適切なタイミングを決定します。この機能により、ゲ

Copyright © 2026 Texas Instruments Incorporated

ートドライバのデッド タイムを、温度ドリフトなどのシステム内の変化や MOSFET パラメータの変動に合わせて調整できます。追加のデジタル デッド タイム (t_{DEAD}) を挿入することもでき、SPI デバイスのレジスタを介して調整できます。

TDRIVE ステート マシンの 2 つ目の構成要素は、寄生成分による dV/dt ゲート ターンオンの防止です。これを実装するため、TDRIVE ステート マシンには、MOSFET のスイッチングが行われるたびに反対側の MOSFET ゲートに強いプルダウン電流 (I_{STRONG}) を流す機能が用意されています。この強いプルダウンは TDRIVE 期間全体にわたって発生します。この機能は、電圧ハーフブリッジ スイッチ モードのスルーレートが高い場合に MOSFET ゲートに結合する寄生電荷を除去するのに役立ちます。

TDRIVE ステート マシンの 3 つ目の構成要素には、ピン間の半田付け不良、MOSFET ゲート障害、MOSFET ゲートでの電圧の High 固着または Low 固着状態を検出するためのゲート障害検出機能が実装されています。この検出機能は、各ハーフブリッジ ゲート ドライバの V_{GS} ゲート-ソース間電圧監視とともに実行されます。ハーフブリッジの状態を変更するコマンドを受け取ると、ゲート ドライバは外部 MOSFET のゲート電圧の監視を開始します。V_{GS} 電圧が t_{DRIVE} 期間の終了時に適切なスレッショルドに達していない場合、ゲート ドライバは障害を通知します。フォルトが誤って検出されないように、MOSFET ゲートの充電または放電に必要な時間より長い t_{DRIVE} 時間を選択する必要があります。t_{DRIVE} 時間によって PWM 時間が延長されることはなく、アクティブ時に別の PWM コマンドを受け取った場合はその時点で終了します。TDRIVE 設定の詳細については、SPI デバイスの「*セクション 8.6*」セクションを参照してください。ハードウェア インターフェイスデバイスには、4µs の固定 t_{DRIVE} があります。

図 8-18 に、TDRIVE ステート マシンの動作例を示します。

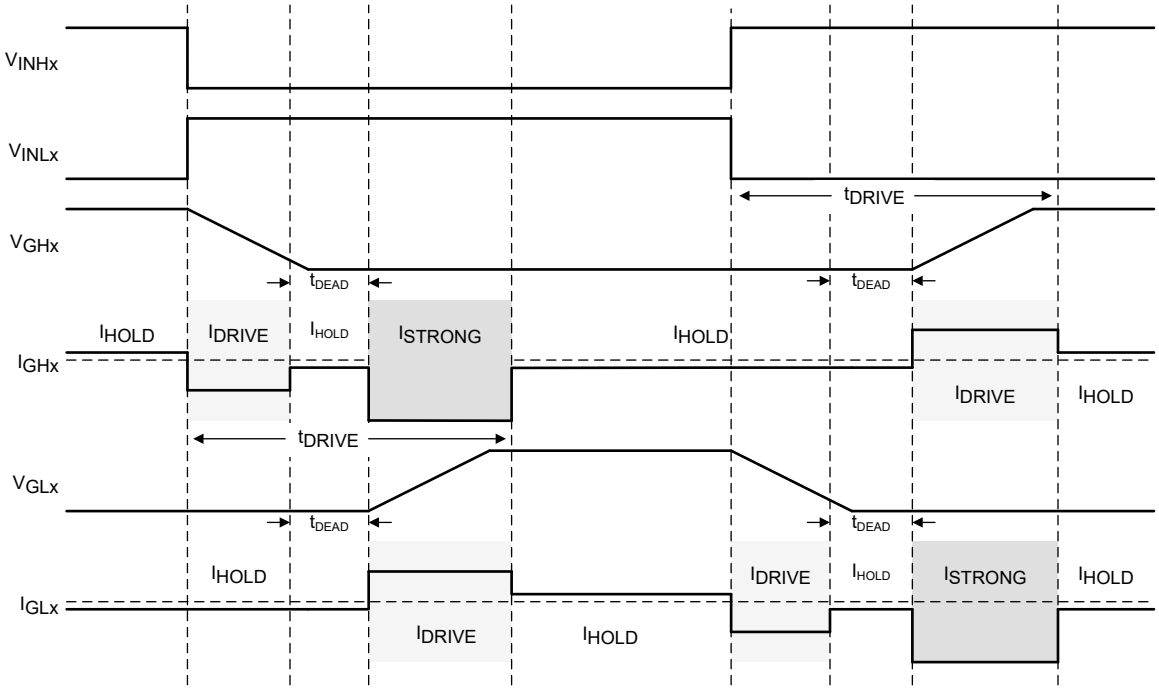


図 8-18. TDRIVE ステート マシン

8.3.1.4.3 伝搬遅延

伝搬遅延時間 (t_{pd}) は入力ロジックのエッジから出力の変化が検出されるまでの時間として測定されます。この時間はデジタル入力デグリッチャ遅延、デジタル伝搬遅延、アナログ ゲートドライバによる遅延という 3 つの要素で構成されています。

入力デグリッチャは、入力ピンでの高周波ノイズがゲートドライバの出力状態に影響するのを防止します。複数の制御モードとデッド タイム挿入をサポートするため、デバイス全体への入力コマンドの伝搬に伴い、わずかなデジタル遅延が追加されます。また、アナログ ゲートドライバによるわずかな遅延も、デバイスの全体的な伝搬遅延に含まれます。

Copyright © 2026 Texas Instruments Incorporated

8.3.1.4.4 MOSFET V_{DS} 監視

ゲート ドライバには、外部パワー MOSFET での過電流状態や短絡状態を検出するために、調整可能な V_{DS} 電圧監視が実装されています。監視対象の電圧が V_{DS} トリップ ポイント (V_{VDS_OCP}) をデグリッチ時間 (t_{OCP}) より長い時間にわたって上回った場合は、過電流状態が検出され、デバイスの V_{DS} フォルト モードに基づく処置が実行されます。

ハイサイド V_{DS} 監視では VDRAIN ピンと SHx ピンの間の電圧が測定されます。3 つの電流センス アンプを備えたデバイス (DRV8323 と DRV8323R) では、ローサイド V_{DS} 監視によって SHx ピンと SPx ピン間の電圧が測定されます。電流センス アンプを使用していない場合は、SP ピンを外部ハーフブリッジの共通グランド ポイントに接続してください。電流センス アンプのないデバイス (DRV8320 と DRV8320R) では、ローサイド V_{DS} 監視によって SHx ピンと SLx ピン間の電圧が測定されます。

SPI デバイスの場合、LS_REF レジスタ設定を使用し、ローサイド V_{DS} 監視の基準点を SPx ピンと SNx ピンの間で必要に応じて変更できます。

V_{VDS_OCP} スレッショルドは 0.06V ～ 1.88V の範囲でプログラム可能です。V_{DS} 監視レベルの詳細については、SPI デバイスの場合は「*セクション 8.6*」、ハードウェア インターフェイス デバイスの場合は「*セクション 8.3.3*」を参照してください。

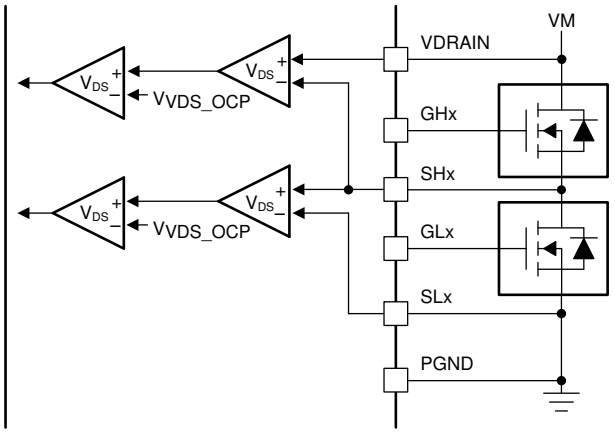


図 8-19. DRV8320 および DRV8320R の V_{DS} 監視

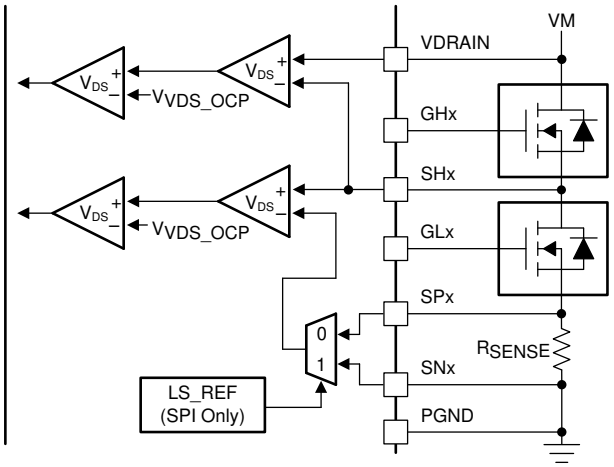


図 8-20. DRV8323 および DRV8323R の V_{DS} 監視

8.3.1.4.5 VDRAIN センス ピン

DRV832x ファミリのデバイスは、ハイサイド MOSFET ドレインの共通ポイント用に個別のセンス ピンを備えています。このピンを VDRAIN と呼びます。このピンを利用すれば、過電流監視 (VDRAIN) のセンス ラインと電源 (VM) を分離したままにして、VDRAIN センス ラインでのノイズ発生を防止することができます。また、この分離により、必要に応じてゲート ドライバ電源 (VM) への小さなフィルタの実装や昇圧コンバータの挿入も行えるようになり、より低い電圧での動作に対応できます。VM がハイサイド ゲート駆動電圧 (V_{GSH}) を供給する VCP チャージ ポンプの基準点であることに変わりはないので、フィルタや個別の電源を設計する際には注意が必要です。外部パワー MOSFET の V_{GS} 電圧仕様を満たすため、VM 電源は VDRAIN 電源から過度にドリフトしないようにする必要があります。

8.3.2 DVDD リニア電圧レギュレータ

DRV832x ファミリのデバイスには、3.3V、30mA のリニア レギュレータが内蔵されており、外部回路から使用できます。このレギュレータは、低電力 MCU または低電流をサポートするその他の回路に電源電圧を供給できます。DVDD レギュレータの出力は DVDD ピン付近で X5R または X7R の 1µF、6.3V セラミック コンデンサを使用してバイパスし、隣接する AGND グランド ピンに直接配線する必要があります。

DVDD の公称無負荷出力電圧は 3.3V です。DVDD 負荷電流が 30mA を超えると、レギュレータは定電流源のように機能します。電流負荷が 30mA を超えると、出力電圧は大幅に低下します。

Copyright © 2026 Texas Instruments Incorporated

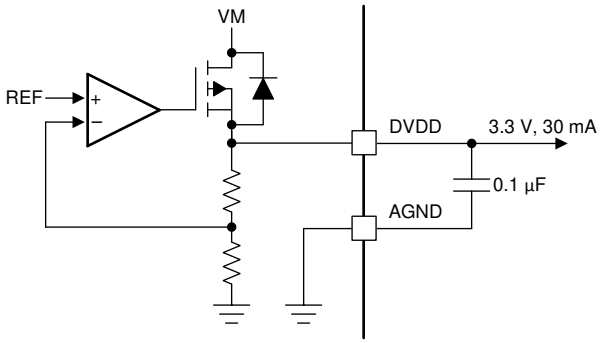


図 8-21. DVDD リニア レギュレータのブロック図

DVDD リニア レギュレータによってデバイス内で消費される電力を計算するには、式 1 を使用します。

$$P = (V_{VM} - V_{DVDD}) \times I_{DVDD} \quad (1)$$

例えば、V_{VM} = 24V の場合、DVDD から 20mA の電流が流れると、消費電力は 式 2 のようになります。

$$P = (24\ V - 3.3\ V) \times 20\ mA = 414\ mW \quad (2)$$

8.3.3 ピン配置図

図 8-22 は、論理レベル ピンである INHx、INLx、CAL、ENABLE、nSCS、SCLK、SDI の入力構造を示しています。入力は電圧または外部抵抗で駆動できます。

STATE	RESISTANCE
V_{IH}	Tied to DVDD
V_{IL}	Tied to AGND

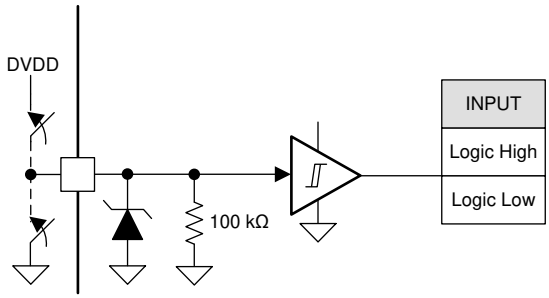
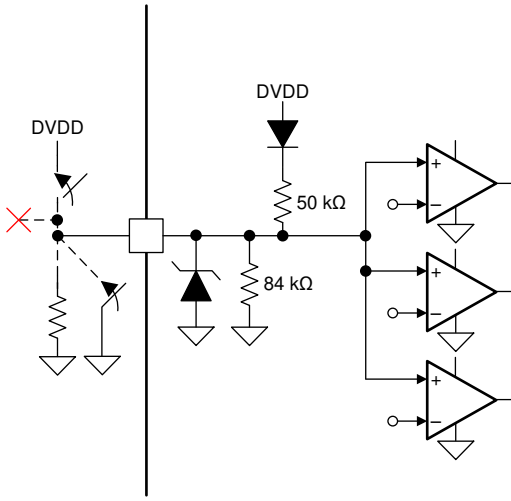


図 8-22. ロジック レベル入力ピンの構造

Copyright © 2026 Texas Instruments Incorporated

図 8-23 は、ハードウェア インターフェイス デバイス上の 4 レベル入力ピンである MODE と GAIN の構造を示しています。入力は外付け抵抗で設定できます。

STATE	RESISTANCE
V_{I4}	Tied to DVDD
V_{I3}	Hi-Z (>500 kΩ to AGND)
V_{I2}	47 kΩ ±5% to AGND
V_{I1}	Tied to AGND

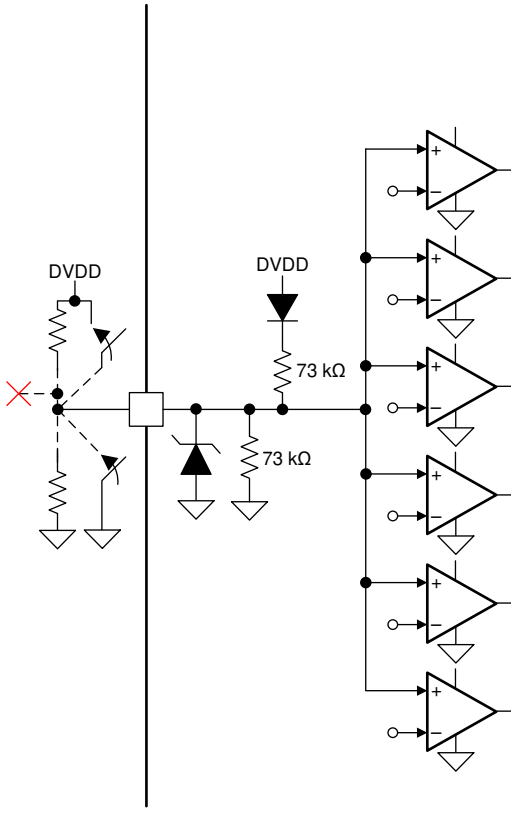


MODE	GAIN
Independent	40 V/V
1x PWM	20V/V
3x PWM	10 V/V
6x PWM	5 V/V

図 8-23. 4 レベル入力ピンの構造

図 8-24 は、ハードウェア インターフェイス デバイス上の 7 レベル入力ピンである IDRIVE と VDS の構造を示しています。入力は外付け抵抗で設定できます。

STATE	RESISTANCE
V_{I7}	Tied to DVDD
V_{I6}	18 kΩ ± 5% to DVDD
V_{I5}	75 kΩ ± 5% to DVDD
V_{I4}	Hi-Z (>500 kΩ to AGND)
V_{I3}	75 kΩ ± 5% to AGND
V_{I2}	18 kΩ ±5% to AGND
V_{I1}	Tied to AGND



IDRIVE	VDS
1/2 A	Disabled
570/1140 mA	1.88 V
260/520 mA	1.13 V
120/240 mA	0.60 V
60/120 mA	0.26 V
30/60 mA	0.13 V
10/20 mA	0.06 V

図 8-24. 7 レベル入力ピンの構造

Copyright © 2026 Texas Instruments Incorporated

図 8-25 は、オープン ドレイン出力ピンである nFAULT と SDO の構造を示しています。オープン ドレイン出力を正しく機能させるためには、外部プルアップ抵抗が必要です。

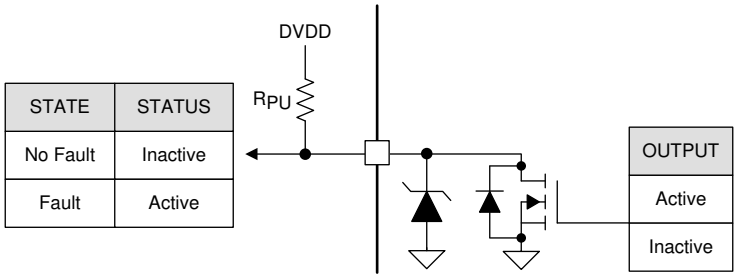


図 8-25. オープン ドレイン出力ピンの構造

8.3.4 ローサイド電流センス アンプ（DRV8323 と DRV8323R のみ）

DRV8323 と DRV8323R には、外部ハーフブリッジ内のローサイド シャント抵抗を使用した電流測定用に、3 つの高性能ローサイド電流センス アンプが内蔵されています。ローサイド電流測定は、一般に過電流保護、外部トルク制御、または外部コントローラによるブラシレス DC の整流を実装するために使用されます。3 つのアンプすべてを使用して各ハーフブリッジ レグ内の電流を検出することも、1 つのアンプを使用してハーフブリッジ レグの合計電流を検出することもできます。電流センス アンプにはプログラマブル ゲイン、オフセット較正、単方向と双方向のサポート、電圧リファレンス ピン（VREF）などの機能が含まれています。3 つの電流センス アンプのどれも使用しない場合は、SNx ピンを SPx ピンに短絡させて SOx ピンを未接続のままにすることにより、それらを遮断できます。過電流 VDS 監視が依然として機能するようにするため、SPx または SNx ピンは必ずローサイド FET ソースに接続してください。

8.3.4.1 双方向電流検出の動作

DRV8323 と DRV8323R の SOx ピンは、SPx および SNx ピン間の電圧にゲイン設定 (G_{CSA}) を乗算した値に等しいアナログ電圧を出力します。ゲイン設定は 4 つの異なるレベル
(5V/V、10V/V、20V/V、40V/V) に調整できます。シャント抵抗を流れる電流値を計算するには、式 3 を使用します。

$$I = \frac{\frac{V_{VREF}}{2} - V_{SOx}}{G_{CSA} \times R_{SENSE}} \quad (3)$$

Copyright © 2026 Texas Instruments Incorporated

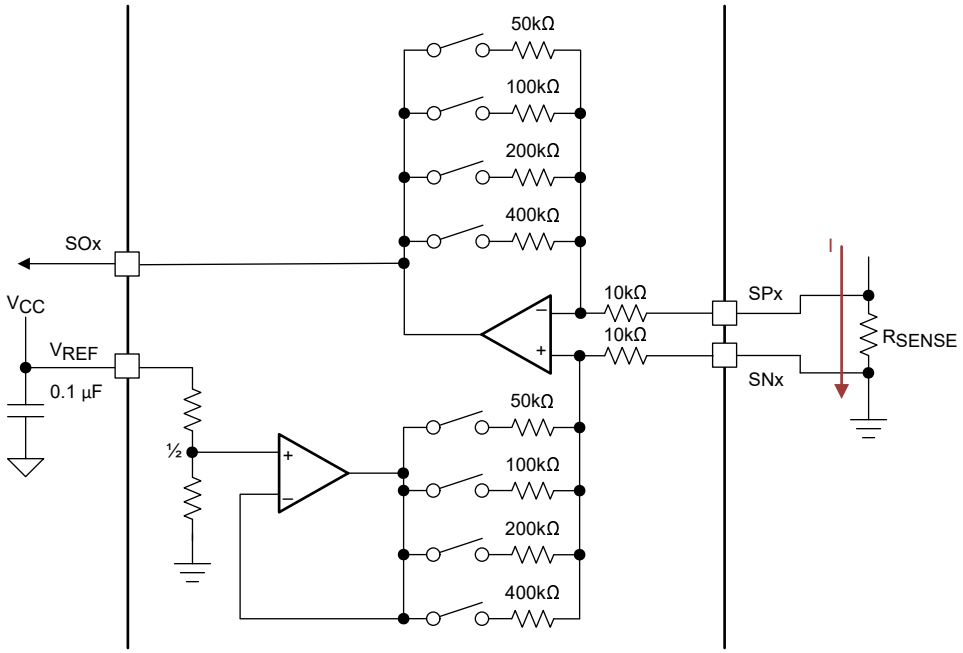


図 8-26. 双方向電流検出の構成

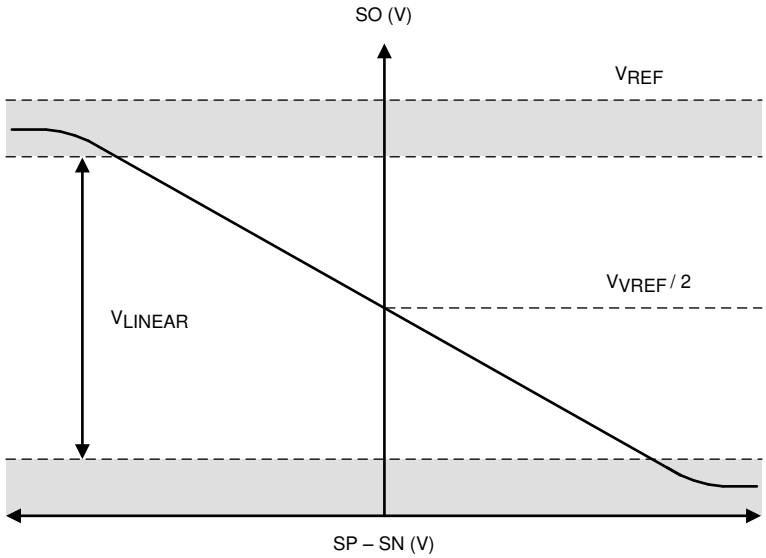


図 8-27. 双方向電流検出の出力

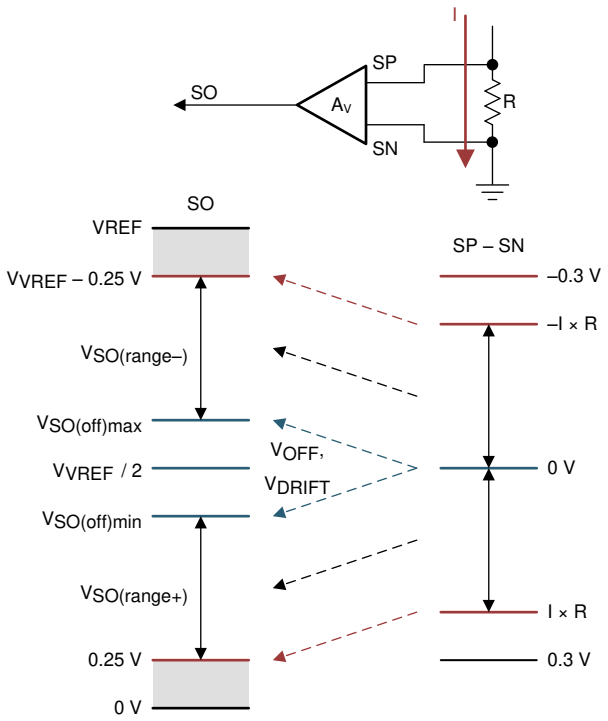


図 8-28. 双方向電流検出の領域

Copyright © 2026 Texas Instruments Incorporated

8.3.4.2 単方向電流検出の動作 (SPI のみ)

DRV8323 および DRV8323R SPI デバイスでは、VREF 分圧回路の代わりに VREF_DIV ビットを使用します。この場合、電流センス アンプは単方向で動作し、SOx ピンは SPx および SNx ピン間の電圧にゲイン設定 (G_{CSA}) を乗算した値に等しいアナログ電圧を出力します。シャント抵抗を流れる電流値を計算するには、式 4 を使用します。

$$I = \frac{V_{VREF} - 0.3 - V_{SOx}}{G_{CSA} \times R_{SENSE}} \quad (4)$$

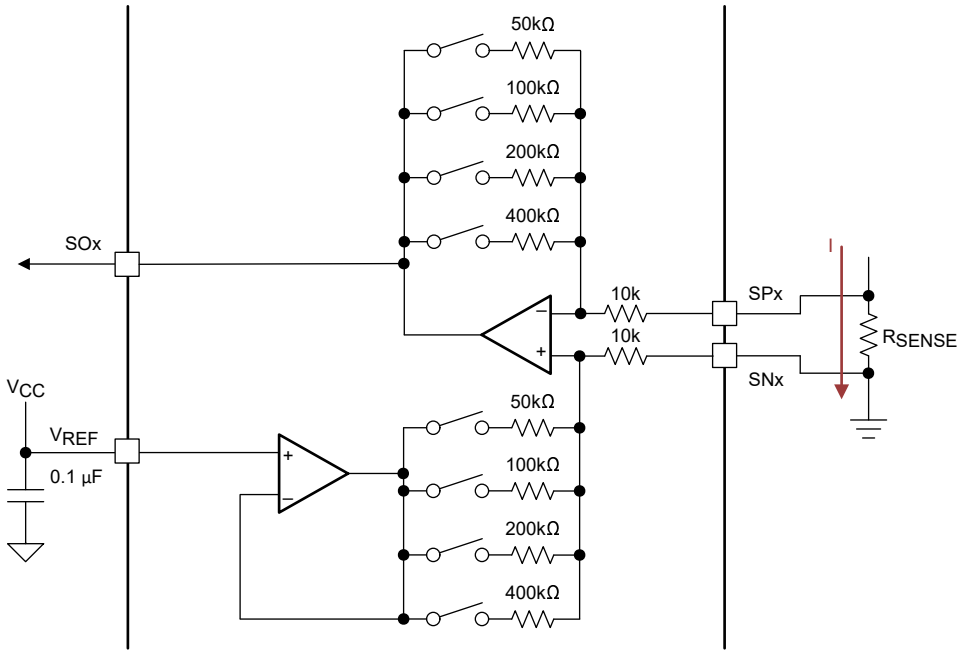


図 8-29. 単方向電流検出の構成

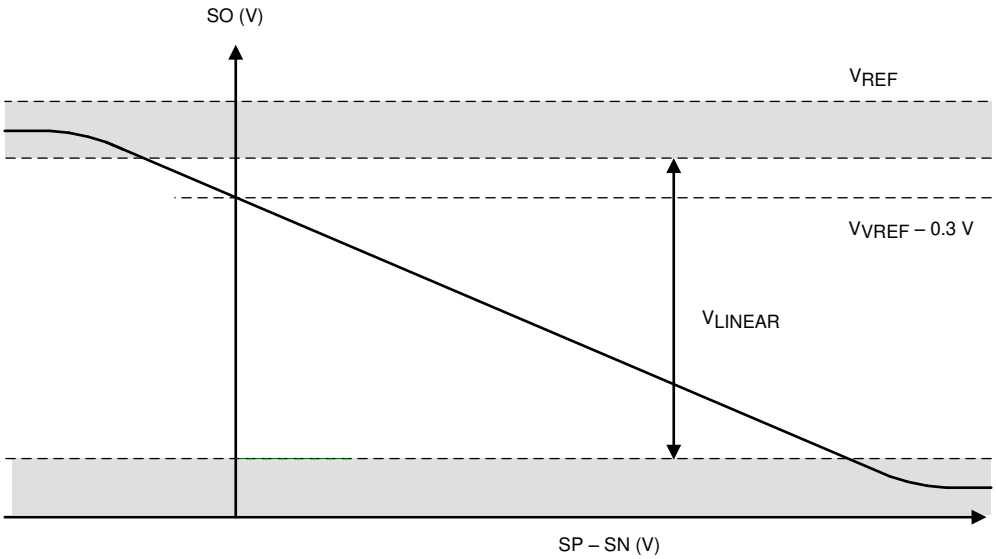


図 8-30. 単方向電流検出の出力

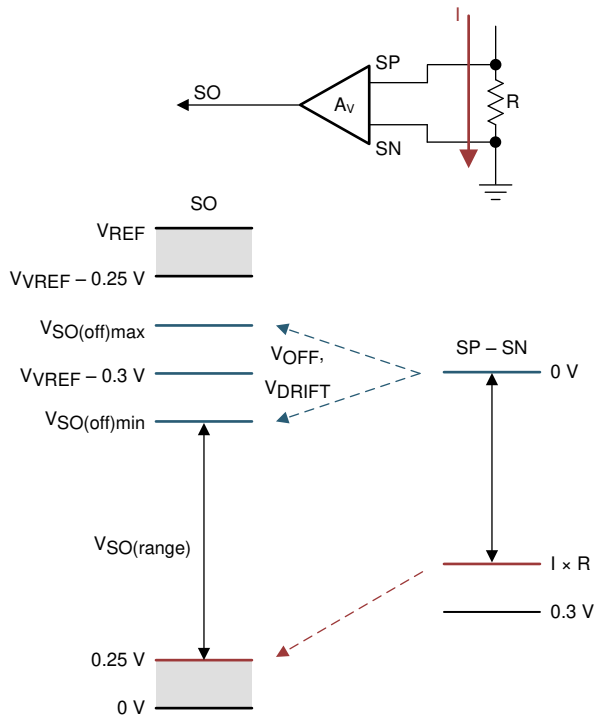


図 8-31. 単方向電流検出の領域

8.3.4.3 自動オフセット キャリブレーション

DC オフセットを最小限に抑えるため、DRV8323 および DRV8323R デバイスは、SPI レジスタ (CSA_CAL_X) または CAL ピンによる自動オフセット キャリブレーションを実行できます。キャリブレーションが有効なとき、アンプへの入力が短絡し、負荷が切り離され、アンプのゲイン (G_{CSA}) が 40V/V 設定に変更されます。その後は入力オフセットを最小化するために、アンプの自動トリム ルーチンが実行されます。較正がイネーブルになってから自動トリム ルーチンが完了するまでに 100µs かかります。この時間後、アンプの入力は短絡した状態を維持し、負荷は切断されたままになり、外部コントローラでさらにオフセット キャリブレーションを行う必要がある場合、ゲインは 40V/V に維持されます。オフセット キャリブレーションを完了するには、CSA_CAL_X レジスタまたは CAL ピンを Low に戻す必要があります。デバイスがキャリブレーションを完了すると、ゲインは元のゲイン設定に戻ります。最善の結果が得られるように、外部 MOSFET がスイッチングしていないときにオフセット キャリブレーションを行うことで、アンプへのノイズの影響を最小限に抑えられます。デバイスが単方向モードで構成されている場合は、電流センス アンプが較正モードに入ると、VREF ピンが双方向モードに設定されます。CSA_CAL_X レジスタが設定されていないチャネルがあったとしても、VREF ピンの設定は 3 つの電流センス アンプすべてのチャネルに影響します。

8.3.4.4 MOSFET V_{DS} 検出モード (SPI のみ)

DRV8323 と DRV8323R の各 SPI デバイスの電流センス アンプは、外部ローサイド MOSFET の V_{DS} 電圧を増幅するように構成できます。この構成により、シャント抵抗を使用せずに外部コントローラから MOSFET $R_{DS(on)}$ での電圧降下を測定し、ハーフブリッジ電流レベルを計算できます。

このモードを有効にするには、CSA_FET ビットを 1 に設定します。センス アンプへの正の入力は、SHx ピンに印加される高電圧によってアンプの入力が損傷しないように、内部クランプを使用して SHx ピンに内部接続されます。この動作モード中、SPx ピンは切断されたままにしておく必要があります。CSA_FET ビットが 1 に設定されている場合、ローサイド V_{DS} 監視用の負の基準点は、LS_REF ビットの状態に関係なく自動的に SNx ピンに設定されます。この設定は、ローサイド V_{DS} 監視を無効にするのを防止するために実装されています。

システムが MOSFET V_{DS} 電流センス モードで動作する場合は、SHx ピンと SNx ピンを、外部ローサイド MOSFET のドレインとソースを挟んでケルビン接続で配線してください。

Copyright © 2026 Texas Instruments Incorporated

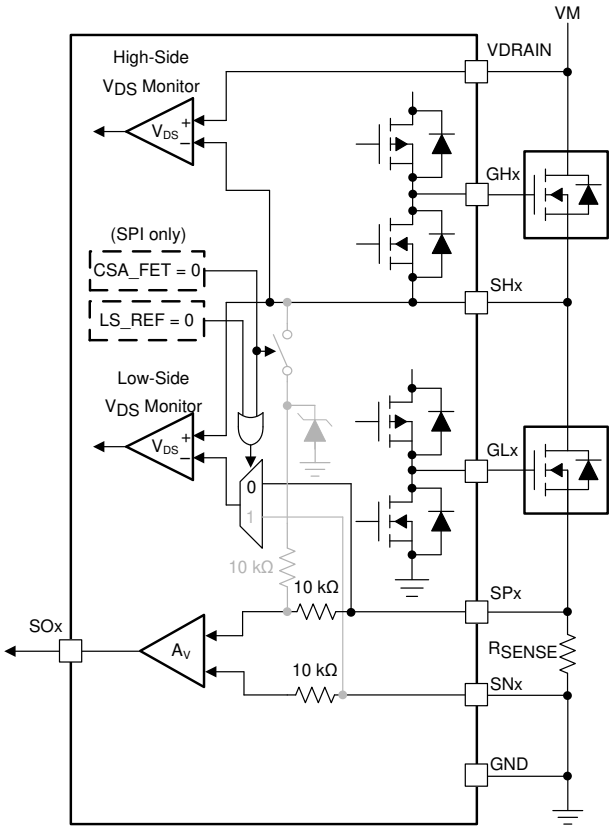


図 8-32. 抵抗検出の構成

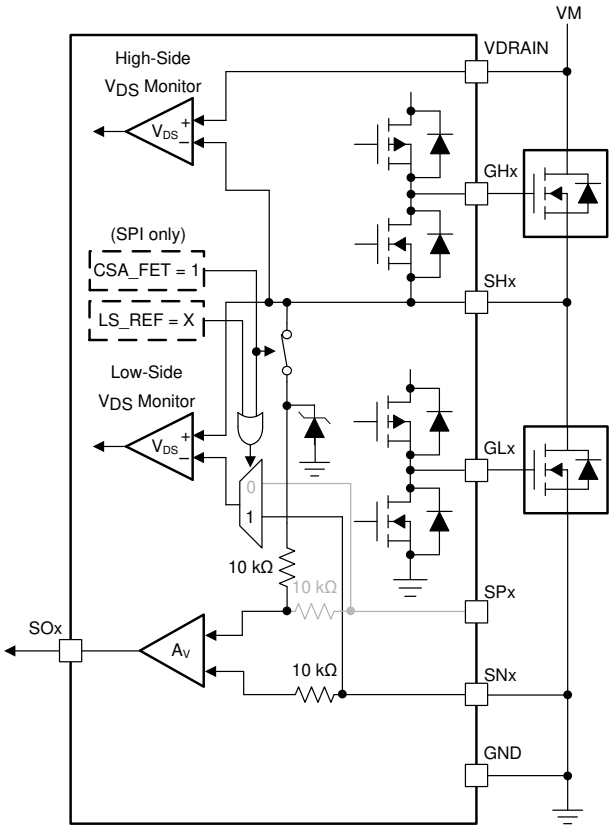


図 8-33. V_{DS} 電流センス モード

MOSFET V_{DS} 電流センス モードで動作している場合、アンプは t_{DRIVE} 時間の終了時にイネーブルになります。この時点で、アンプの入力は SHx ピンに接続され、SOx 出力が有効になっています。ローサイド MOSFET がターン オフ信号を受け取ると、アンプの入力である SPx と SNx が内部で短絡されます。

8.3.5 降圧 (バック) レギュレータ

DRV8320R および DRV8323R は、外部コントローラやシステム電圧レールに電力を供給するための降圧レギュレータ (LMR16006) を内蔵しています。LMR16006 デバイスは 60V、600mA、バック (降圧型) レギュレータです。

降圧レギュレータは、バッテリ寿命を延ばすために、軽負荷時には静止電流が極めて低くなっています。LMR16006 デバイスは、一定周波数電流モード制御を実装しており、出力容量の低減や周波数補償設計の簡素化により、ラインおよび負荷の過渡状態における性能を向上させます。LMR16006 は、0.7MHz スイッチング周波数を使用する LMR16006X のデバイス バージョンです。

LMR16006 デバイスはブートストラップ再充電ダイオードを内蔵しているため、外付け部品数を削減できます。内蔵ハイサイド MOSFET のバイアス電圧は、CB ピンから SW ピンの間の外コンデンサによって供給されます。ブートストラップ コンデンサの電圧は UVLO 回路によって監視され、ブート電圧があらかじめ設定されたスレッショルドを下回ると、ハイサイド MOSFET がオフになります。

このブート UVLO により、LMR16006 デバイスは高いデューティ サイクルで動作しつつ、ブート電圧の低下した MOSFET をリフレッシュすることができます。出力電圧は、0.8V リファレンス電圧と同じ値まで降圧させることができます。内部ソフトスタート機能により、突入電流を最小限に抑えます。

詳細、wimp MOSFET を示すブロック図、設計情報については、『LMR16006 SIMPLE SWITCHER® 高効率 Eco-mode 搭載 60V、0.6A 降圧レギュレータ』データシートを参照してください。

8.3.5.1 固定周波数 PWM 制御

LMR16006 デバイスは固定スイッチング周波数を備えており、ピーク電流モード制御を実装しています。内部 COMP ノードを駆動するエラー アンプにより、出力電圧が FB ピンの外付け抵抗を介して内部電圧リファレンスと比較されます。内部発振器により、ハイサイド パワー スイッチのオン動作が開始され、エラー アンプの出力がハイサイド パワー スイッチ電流と比較されます。パワー スイッチ電流が内部 COMP 電圧で設定されたレベルに達すると、パワー スイッチがオフになります。内部 COMP ノード電圧は、出力電流の増減に合わせて増減します。本デバイスでは、COMP ノード電圧を最大レベルにクランプすることで、電流制限機能を実現しています。

8.3.5.2 ブートストラップ電圧 (CB)

LMR16006 デバイスにはブートストラップ レギュレータが内蔵されており、ハイサイド MOSFET のゲート駆動電圧を供給するために、CB ピンと SW ピンの間に小さなセラミック コンデンサが必要です。CB コンデンサは、ハイサイド MOSFET がオフでローサイド ダイオードが導通しているときにリフレッシュされます。ドロップアウトを改善するため、LMR16006 デバイスは、CB ピンから SW ピンへの電圧が標準値 3V より大きければ、100% のデューティ サイクルで動作するよう設計されています。CB ピンから SW ピンへの電圧が 3V 未満に低下すると、UVLO 回路を使用してハイサイド MOSFET がオフになり、ローサイド ダイオードが導通し、CB コンデンサの充電がリフレッシュされます。CB コンデンサから供給される電源電流が低いため、ハイサイド MOSFET はコンデンサのリフレッシュに必要な時間よりも多くのスイッチング サイクルにわたってオンに保持できます。そのため、スイッチング レギュレータの実効デューティ サイクルは高くなります。軽負荷を使用した最大デューティ サイクルのアプリケーションでは、注意が必要です。SW ピンをグランドにプルして CB コンデンサをリフレッシュできるように、負荷が軽いときまたはデバイスがドロップアウト状態で動作しているときに、内部回路によって CB コンデンサが充電されます。

8.3.5.3 出力電圧設定

出力電圧は、図 9-1 に示すように、フィードバック ピン (FB) と出力に接続された抵抗デバイダを使用して設定します。フィードバック ピンの電圧は 0.765V なので、帰還抵抗の比によって、式 5 に従って出力電圧が設定されます。

$$V_O = 0.765\,V \times \left(1 + \left[\frac{R1}{R2}\right]\right) \tag{5}$$

通常、R2 の開始値は 1kΩ から 100kΩ までです。R1 の値を計算するには、式 6 を使用します。

$$R1 = R2 \times \left(\left[\frac{V_O}{0.765\,V}\right] - 1\right) \tag{6}$$

8.3.5.4 nSHDN および VIN 低電圧誤動作防止の有効化

LMR16006 デバイスの nSHDN ピンは、内部プルアップ回路により高電圧を許容する入力です。デバイスは、nSHDN ピンがフローティング状態であっても有効にできます。1.23V 以上のロジック信号を使って、このレギュレータをオンにすることもできます。システムやその他の制約のために高い電圧を使用する必要がある場合は、デバイスを保護するために、印加電圧と nSHDN ピンの間に 100kΩ 以上の値の抵抗を接続することを推奨します。nSHDN ピンが 0V にプルダウンされると、デバイスはオフになり、最小のシャットダウン電流モードに移行します。シャットダウン モードでは、消費電流が約 1μA まで低下します。シャットダウン機能を使用しない場合は、nSHDN ピンを 100kΩ 抵抗で VIN ピンに接続できます。nSHDN ピンの最大電圧を 60V 以下にする必要があります。LMR16006 デバイスには UVLO 回路が内蔵されており、内部的に固定されている UVLO スレッショルド レベル未満まで入力電圧が低下した場合は、この回路が出力をシャットダウンします。このように出力をシャットダウンすることで、入力電圧が低い状態のときにレギュレータが未知の状態にラッチされることが防止されます。入力電圧が電圧レベルを超えると、レギュレータが起動します。UVLO 電圧をより高くする必要がある場合は、nSHDN ピンを使用して外付け抵抗でシステムの UVLO を調整します。

8.3.5.5 電流制限

LMR16006 デバイスには電流モード制御が実装されており、内部の COMP 電圧を使用してハイサイド MOSFET をサイクル毎でオフにできます。各サイクルでは、スイッチ電流と内部の COMP 電圧が比較されます。ピーク スイッチ電流が COMP 電圧を超えた場合、ハイサイド スイッチがオフになります。過電流状態で出力電圧が Low に低下すると、エラー

Copyright © 2026 Texas Instruments Incorporated

アンプの応答によって COMP ノードが High になり、スイッチ電流が増加します。エラー アンプの出力は内部でクランプされるため、スイッチ電流の制限として機能します。

8.3.5.6 過電圧過渡保護

LMR16006 デバイスには、過電圧過渡保護 (OVTP) 回路が備えられており、電源設計の出力容量値が小さい場合に、出力障害状態や強い無負荷過渡事象からの回復時に発生する電圧オーバーシュートを最小限に抑えます。例えば、電源出力が過負荷となった場合、エラー アンプによって実際の出力電圧が内部基準電圧と比較されます。FB ピンの電圧が内部基準電圧よりも一定時間にわたって低くなった場合は、エラー アンプの出力が高電圧にクランプされるため、最大出力電流が要求されます。この状態が解消されると、レギュレータの出力が上昇し、エラー アンプの出力は定常状態のデューティ サイクルに遷移します。一部のアプリケーションでは、電源の出力電圧がエラー アンプの出力よりも速く応答する場合があり、出力のオーバーシュートにつながる可能性があります。OVTP 機能は、FB ピンの電圧を内部電圧リファレンスの 108% である OVTP スレッショルドと比較する回路を実装することで、値の小さい出力コンデンサを使用するときの出力オーバーシュートを最小限に抑えます。FB ピンの電圧が OVTP スレッショルドを超えると、ハイサイド MOSFET が無効になり、出力に電流が流れるのを防ぎ、出力のオーバーシュートを最小限に抑えます。FB 電圧が OVTP スレッショルドを下回ると、次のクロック サイクルでハイサイド MOSFET をオンにできます。

8.3.5.7 サーマル シャットダウン

デバイスには、接合部の温度が 170°C（標準値）を超えた場合にデバイス自体を保護するため、内部的なサーマル シャットダウン機能が実装されています。接合部温度が過熱トリップ スレッショルドを超えると、デバイスのスイッチングが強制的に停止されます。接合部温度が 160°C (標準値) を下回ると、デバイスはパワーアップ シーケンスを再び開始します。

8.3.6 ゲート ドライバ保護回路

DRV832x ファミリのデバイスは、VM 低電圧、チャージ ポンプ低電圧、MOSFET V_{DS} 過電流、ゲートドライバ短絡、および過熱状態から保護されています。

表 8-7. フォルト時の動作と応答 (SPI デバイス)

フォルト	条件	構成	通知	ゲートドライバ	ロジック	復帰
VM 低電圧 (UVLO)	$V_{VM} < V_{UVLO}$	—	nFAULT	ハイ インピーダンス	ディセーブル	自動: $V_{VM} > V_{UVLO}$
チャージ ポンプ低電圧 (CPUV)	$V_{VCP} < V_{CPUV}$	DIS_CPUV = 0b	nFAULT	ハイ インピーダンス	アクティブ	自動: $V_{VCP} > V_{CPUV}$
		DIS_CPUV = 1b	なし	アクティブ	アクティブ	
V_{DS} 過電流 (VDS_OCP)	$V_{DS} > V_{VDS_OCP}$	OCP_MODE = 00b	nFAULT	ハイ インピーダンス	アクティブ	ラッチ: CLR_FLT、ENABLE パルス
		OCP_MODE = 01b	nFAULT	ハイ インピーダンス	アクティブ	リトライ: t_{RETRY}
		OCP_MODE = 10b	nFAULT	アクティブ	アクティブ	アクションなし
		OCP_MODE = 11b	なし	アクティブ	アクティブ	アクションなし
V_{SENSE} 過電流 (SEN_OCP)	$V_{SP} > V_{SEN_OCP}$	OCP_MODE = 00b	nFAULT	ハイ インピーダンス	アクティブ	ラッチ: CLR_FLT、ENABLE パルス
		OCP_MODE = 01b	nFAULT	ハイ インピーダンス	アクティブ	リトライ: t_{RETRY}
		OCP_MODE = 10b	nFAULT	アクティブ	アクティブ	アクションなし
		OCP_MODE = 11b または DIS_SEN = 1b	なし	アクティブ	アクティブ	アクションなし
ゲートドライバのフォルト (GDF)	t_{DRIVE} 後にゲート電圧が固着	DIS_GDF = 0b	nFAULT	ハイ インピーダンス	アクティブ	ラッチ: CLR_FLT、ENABLE パルス
		DIS_GDF = 1b	なし	アクティブ	アクティブ	アクションなし
過熱警告 (OTW)	$T_J > T_{OTW}$	OTW_REP = 0b	なし	アクティブ	アクティブ	アクションなし
		OTW_REP = 1b	nFAULT	アクティブ	アクティブ	自動: $T_J < T_{OTW} - T_{HYS}$
サーマル シャットダウン (OTSD)	$T_J > T_{OTSD}$	—	nFAULT	ハイ インピーダンス	アクティブ	自動: $T_J < T_{OTSD} - T_{HYS}$

Copyright © 2026 Texas Instruments Incorporated

8.3.6.1 VM 電源低電圧ロックアウト (UVLO)

任意の時点で VM ピンの入力電源電圧が V_{UVLO} スレッショルド未満に低下した場合は、すべての外部 MOSFET とチャージ ポンプが無効になり、nFAULT ピンが Low になります。また、SPI デバイスのレジスタでは、FAULT ビットと VM_UVLO ビットが High にラッチされます。VM の低電圧状態が解消されると、通常動作が再開されます(ゲート ドライバの動作が再開され、nFAULT ピンが解放される)。VM_UVLO ビットの設定は、CLR_FLT ビットまたは ENABLE ピンのリセット パルス (t_{RST}) によってクリアされるまで保持されます。

8.3.6.2 VCP チャージ ポンプ低電圧誤動作防止 (CPUV)

任意の時点で VCP ピン (チャージ ポンプ) の電圧が V_{CPUV} スレッショルド未満に低下した場合は、すべての外部 MOSFET が無効になり、nFAULT ピンが Low になります。また、SPI デバイスのレジスタでは、FAULT ビットと CPUV ビットが High にラッチされます。VCP の低電圧状態が解消されると、通常動作が再開されます(ゲート ドライバの動作が再開され、nFAULT ピンが解放される)。CPUV ビットは、CLR_FLT ビットまたは ENABLE ピン リセット パルス (t_{RST}) によってクリアされるまでセットされたまま維持されます。SPI デバイスの DIS_CPUV ビットを High に設定すると、この保護機能は無効になります。ハードウェア インターフェイス デバイスでは、常に CPUV 保護がイネーブルになっています。

8.3.6.3 MOSFET V_{DS} 過電流保護 (VDS_OCP)

MOSFET 過電流状態は、外部 MOSFET $R_{DS(on)}$ での V_{DS} 電圧降下を監視することによって検出されます。イネーブル状態の MOSFET での電圧が、V_{VDS_OCP} スレッショルドを t_{OCP_DEG} デグリッチ時間より長い時間にわたって上回った場合は、VDS_OCP イベントが認識され、OCP_MODE ビットに基づく処置が実行されます。ハードウェア インターフェイス デバイスでは、V_{VDS_OCP} スレッショルドは VDS ピンによって設定され、t_{OCP_DEG} は 4µs に固定され、OCP_MODE ビットは 4ms の自動リトライ用に設定されますが、VDS ピンを DVDD に接続することでディスエーブルにできます。SPI デバイスでは、V_{VDS_OCP} スレッショルドは VDS_LVL SPI レジスタによって設定され、t_{OCP_DEG} は OCP_DEG SPI レジスタによって設定され、OCP_MODE ビットは 4 種類のモード(V_{DS} ラッチ シャットダウン、V_{DS} 自動リトライ、V_{DS} 通知のみ、V_{DS} ディスエーブル) 設定をできます。

8.3.6.3.1 V_{DS} ラッチ シャットダウン (OCP_MODE = 00b)

このモードでは、VDS_OCP イベント後にすべての外部 MOSFET が無効化され、nFAULT ピンが Low になります。外部 MOSFET がこのようにして無効化されると、ドライバはプログラミングされた IDRIVE 設定ではなく、ゲート駆動電流の設定を自動的に低い値にします。この設定により、システムの寄生インダクタンスに起因する誘導性キックバックを最小限に抑えるため、存在する可能性のある大きな電流をゆっくりオフにできます。SPI レジスタでは、FAULT、VDS_OCP、および対応する MOSFET OCP ビットが High にラッチされます。VDS_OCP 状態が解消され、CLR_FLT ビットまたは ENABLE リセット パルス (t_{RST}) のいずれかによって障害クリア コマンドが実行されると、通常動作が再開されます (ゲート ドライバの動作が再開され、nFAULT ピンが解放される)。

8.3.6.3.2 V_{DS} 自動リトライ (OCP_MODE = 01b)

このモードでは、VDS_OCP イベント後にすべての外部 MOSFET がディスエーブルになり、nFAULT ピンが Low になります。外部 MOSFET がこのようにして無効化されると、ドライバはプログラミングされた IDRIVE 設定ではなく、ゲート駆動電流の設定を自動的に低い値にします。この設定により、システムの寄生インダクタンスに起因する誘導性キックバックを最小限に抑えるため、存在する可能性のある大きな電流をゆっくりオフにできます。SPI レジスタでは、FAULT、VDS_OCP、および対応する MOSFET OCP ビットが High にラッチされます。t_{RETRY} 時間が経過した後は、通常動作が自動的に再開されます (ゲート ドライバの動作が再開され、nFAULT ピンが解放される)。FAULT、VDS_OCP、および MOSFET OCP ビットは t_{RETRY} 期間が終了するまでラッチされた状態を保ちます。

8.3.6.3.3 V_{DS} 通知のみ (OCP_MODE = 10b)

このモードでは、VDS_OCP イベントの後に保護動作は発生しません。nFAULT ピンを Low にし、FAULT、VDS_OCP、および対応する MOSFET OCP ビットを SPI レジスタで High にラッチすることにより、過電流状態が通知されます。ゲート ドライバは通常どおり動作を継続します。外部コントローラは、適切に動作することによって過電流状態を管理する必要があります。VDS_OCP 状態が解消され、CLR_FLT ビットまたは ENABLE リセット パルス (t_{RST}) のいずれかによって障害クリア コマンドが実行されると、通知がクリアされます (nFAULT ピンが解放される)。

Copyright © 2026 Texas Instruments Incorporated

8.3.6.3.4 V_{DS} ディスエーブル (OCP_MODE = 11b)

このモードでは、VDS_OCP イベントの後に何の動作や報告も発生しません。

8.3.6.4 V_{SENSE} 過電流保護 (SEN_OCP)

外部電流検出抵抗での電圧降下を SP ピンで検出することにより、ハーフブリッジの過電流も監視できます。任意の時点での CSA の SP 入力の電圧が、V_{SEN_OCP} スレッショルドを t_{OCP_DEG} デグリッチ時間より長い時間にわたって上回った場合は、SEN_OCP イベントが認識され、OCP_MODE ビットに基づく処置が実行されます。ハードウェア インターフェイス デバイスでは、V_{SENSE} スレッショルドが 1V、t_{OCP_DEG} が 4µs、V_{SENSE} の OCP_MODE が 4ms の自動リトライ用に固定されています。SPI デバイスでは、SPI レジスタの SEN_LVL ビットで V_{SENSE} スレッショルドを設定し、SPI レジスタの OCP_DEG ビットで t_{OCP_DEG} を設定し、OCP_MODE ビットで 4 種類の動作モード(V_{SENSE} ラッチ シャットダウン、V_{SENSE} 自動リトライ、V_{SENSE} 通知のみ、V_{SENSE} ディスエーブル) 設定をできます。

8.3.6.4.1 V_{SENSE} ラッチ シャットダウン (OCP_MODE = 00b)

このモードでは、SEN_OCP イベント後にすべての外部 MOSFET がディスエーブルになり、nFAULT ピンが Low になります。SPI レジスタでは、FAULT ビットと SEN_OCP ビットが High にラッチされます。SEN_OCP 状態が解消され、CLR_FLT ビットまたは ENABLE リセット パルス (t_{RST}) のいずれかによって障害クリア コマンドが実行されると、通常動作が再開されます (ゲートドライバの動作が再開され、nFAULT ピンが解放される)。

8.3.6.4.2 V_{SENSE} 自動リトライ (OCP_MODE = 01b)

このモードでは、SEN_OCP イベント後にすべての外部 MOSFET がディスエーブルになり、nFAULT ピンが Low になります。SPI レジスタでは、FAULT、SEN_OCP、および対応する検出 OCP ビットが High にラッチされます。t_{RETRY} 時間が経過した後は、通常動作が自動的に再開されます (ゲートドライバの動作が再開され、nFAULT ピンが解放される)。FAULT、SEN_OCP、および検出 OCP ビットは t_{RETRY} 期間が終了するまでラッチされた状態を保ちます。

8.3.6.4.3 V_{SENSE} 通知のみ (OCP_MODE = 10b)

このモードでは、SEN_OCP イベントの後に保護動作は発生しません。nFAULT ピンを Low にし、FAULT ビットと SEN_OCP ビットを SPI レジスタで High にラッチすることにより、過電流状態が通知されます。ゲートドライバは動作を継続します。外部コントローラは適切に動作することによって過電流状態を管理します。SEN_OCP 状態が解消され、CLR_FLT ビットまたは ENABLE リセット パルス (t_{RST}) のいずれかによって障害クリア コマンドが実行されると、通知がクリアされます (nFAULT が解放される)。

8.3.6.4.4 V_{SENSE} ディスエーブル (OCP_MODE = 11b または DIS_SEN = 1b)

このモードでは、SEN_OCP イベントの後に何の動作も発生しません。DIS_SEN SPI レジスタを使用することで、VDS_OCP ビットとは無関係に SEN_OCP ビットをディスエーブルにできます。

8.3.6.5 ゲート ドライバのフォルト (GDF)

GHx ピンと GLx ピンが監視されているため、t_{DRIVE} 時間の経過後に外部 MOSFET ゲートの電圧が増加も減少もしなければ、ゲート ドライバ フォルトが検出されます。このような障害は、GHx または GLx ピンが PGND、SHx、または VM ピンと短絡している場合に発生します。また、選択した I_{DRIVE} 設定が外部 MOSFET を t_{DRIVE} 期間中にオンにするのに十分ではない場合にも、ゲートドライバ フォルトが発生する可能性があります。ゲートドライバ フォルトが検出されると、すべての外部 MOSFET がディスエーブルになり、nFAULT ピンが Low になります。さらに、SPI レジスタでは、FAULT、GDF、および対応する VGS ビットが High にラッチされます。ゲートドライバの障害状態が解消され、CLR_FLT ビットまたは ENABLE リセット パルス (t_{RST}) のいずれかによって障害クリア コマンドが実行されると、通常動作が再開されます (ゲートドライバの動作が再開され、nFAULT ピンが解放される)。SPI デバイスでは、DIS_GDF ビットを High に設定すると、この保護機能がディスエーブルになります。

ゲートドライバ フォルトが発生する場合は、選択した I_{DRIVE} または t_{DRIVE} 設定が、外部 MOSFET に必要なスルーレートに対して低すぎる可能性があります。このような場合のゲートドライバ フォルトは、I_{DRIVE} または t_{DRIVE} の設定値を増やすことで解決できます。また、外部 MOSFET のゲート - ソース間で短絡が発生している場合は、MOSFET ゲートがオンにならないのでゲートドライバ フォルトが通知されます。

8.3.6.6 過熱警告 (OTP) (SPI のみ)

ダイ温度が過熱警告のトリップ ポイント (T_{OTW}) を上回ると、SPI デバイスのレジスタに OTW ビットが設定されます。デバイスの機能は継続され、追加動作が実行されることはありません。ダイ温度が過熱警告のヒステリシス ポイント未満まで低下すると、OTW ビットは自動的にクリアされます。また、SPI レジスタで OTW_REP ビットを 1 に設定することにより、nFAULT ピンで通知するように OTW ビットを構成することもできます。

8.3.6.7 サーマル シャットダウン (OTSD)

ダイ温度がサーマル シャットダウン制限のトリップ ポイント (T_{OTSD}) を上回ると、すべての外部 MOSFET がディスエーブルになり、チャージ ポンプがシャットダウンされ、nFAULT ピンが Low になります。さらに、FAULT ビットと TSD ビットが High にラッチされます。過熱状態が解消されると、通常動作が再開されます（ゲートドライバの動作が再開され、nFAULT ピンが解放される）。TSD ビットが High にラッチされたままになっている場合は、CLR_FLT ビットまたは ENABLE リセット パルス (t_{RST}) のいずれかによってクリア フォルト コマンドが実行されるまで、過熱状態が発生していたことを示します。この保護機能は無効化できません。

8.4 デバイスの機能モード

8.4.1 ゲート ドライバの機能モード

8.4.1.1 スリープ モード

ENABLE ピンは、DRV832x ファミリのデバイスの状態を管理するピンです。ENABLE ピンが Low になると、デバイスは低消費電力のスリープ モードに移行します。スリープ モードでは、すべてのゲートドライバ、センス アンプ（使用されている場合）、すべての外部 MOSFET、チャージ ポンプ、DVDD レギュレータ、SPI バスがディスエーブルになります。LMR16006X 降圧レギュレータ（使用されている場合）は ENABLE ピンでは制御されていないため、ゲート ドライバとは独立して動作できます。ENABLE ピンでの立ち下がりエッジの後、t_{SLEEP} 時間が経過するとデバイスがスリープ モードに移行します。

注

いずれかのゲートが High のときに GHx および GLx の出力がハイ インピーダンス状態に移行するのを防ぐため、ENABLE ピンが Low になった後、t_{RST} (最大 40µs) よりも前に INHx および INLx ピンを Low にする必要があります。

図 8-34 に、ENABLE ピンが Low になった後、ドライバの出力が ENABLE ピンが Low になってから 50µs 後に入力を無視するようになるまでの間に、INHx および INLx ピンが Low であった場合のデバイスの動作を示します。デバイスがスリープ モードに移行するプロセスを開始すると、GHx ピンと GLx ピンは Low のままになります。図 8-35 に、入力を無視するドライバ出力の前に、入力 PWM が Low にプルされていない場合のデバイスの動作を示します。GHx ピンと GLx ピンは、ENABLE ピンが Low になった後、50µs 間入力を追従し、その後、ENABLE ピンが Low になってから最大 400µs の間、nFAULT が Low になるまでハイ インピーダンス状態になります。この動作を回避するため、いずれかのゲート出力が High のときに GHx と GLx の出力がハイ インピーダンス状態に移行するのを防ぐため、図 8-34 に示すように ENABLE ピンが Low になった後、tRST (最大 40µs) よりも前に INHx ピンと INLx ピンを Low にする必要があります。

Copyright © 2026 Texas Instruments Incorporated

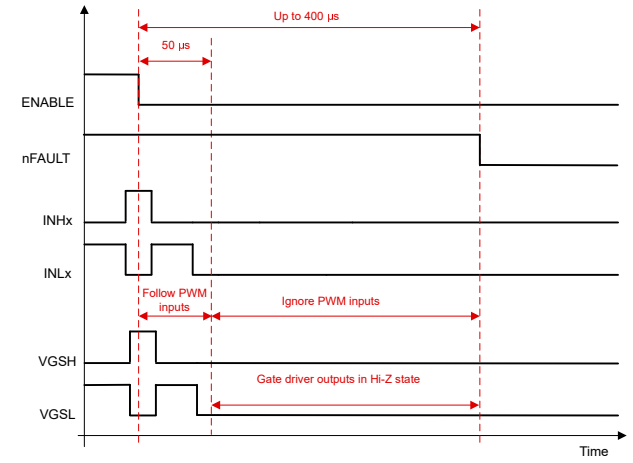


図 8-34. ENABLE Low のタイミング図：PWM 入力を無視する前に入力が Low の場合

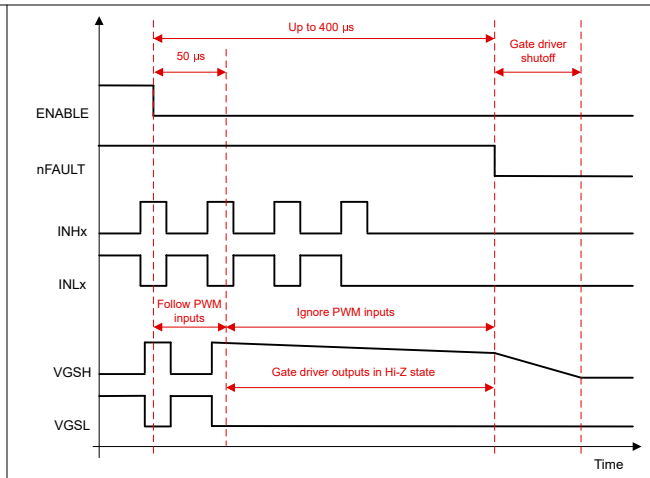


図 8-35. ENABLE Low のタイミング図：ENABLE ピンが Low になった後、入力が 50µs トグルし続ける場合

ENABLE ピンが High になると、デバイスのスリープ モードは自動的に終了します。t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

スリープ モード中や $V_{VM} < V_{UVLO}$ のときは、すべての外部 MOSFET がディスエーブルになります。ハイサイド ゲート ピン GHx は内部プルダウン抵抗によって SHx ピンの電位に、ローサイド ゲート ピン GLx は内部プルダウン抵抗によって PGND ピンの電位になります。

注

ENABLE ピンを通してデバイスがパワーアップおよびパワーダウンしている間は、内部レギュレータが有効化または無効化されるため、nFAULT ピンは Low に保持されます。レギュレータが有効化または無効化された後、nFAULT ピンは自動的に解放されます。nFAULT ピンが Low になっている時間が t_{SLEEP} 時間または t_{WAKE} 時間を上回ることはありません。

8.4.1.2 動作モード

ENABLE ピンが High で、V_{VM} 電圧が V_{UVLO} 電圧より大きい場合は、デバイスが動作モードに移行します。t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。このモードでは、チャージ ポンプ、ローサイド ゲート レギュレータ、DVDD レギュレータ、SPI バスがアクティブです。

8.4.1.3 フォルト リセット (CLR_FLT または ENABLE リセット パルス)

デバイスのフォルト状態がラッチされている場合、DRV832x ファミリのデバイスは、外部パワー MOSFET とシステムを保護するために部分的シャットダウン状態に移行します。

フォルト状態が解消されると、SPI デバイスで CLR_FLT SPI ビットを設定するか、またはいずれかのインターフェイスで ENABLE ピンにリセット パルスを印加することにより、デバイスを動作状態に戻すことができます。ENABLE リセット パルス (t_{RST}) は、ENABLE ピンでの High → Low → High の遷移で構成されています。このシーケンスの Low 期間は t_{RST} 時間枠内に収める必要があり、そうしないとデバイスが完全なシャットダウン シーケンスを開始することになります。リセット パルスがレギュレータ、デバイス設定、またはその他の機能ブロックに影響することはありません。

8.4.2 降圧レギュレータの機能モード

8.4.2.1 連続導通モード（CCM）

LMR16006 内蔵降圧レギュレータは、入力電圧をより低い出力電圧に降圧します。連続導通モードでは (CCM でインダクタ電流がゼロにならない場合)、降圧レギュレータは 2 サイクルで動作します。VIN ピンと SW ピンの間に電源スイッチを

接続します。最初の動作サイクル中、トランジスタは閉じられ、ダイオードは逆バイアスになります。エネルギーはインダクタに収集され、負荷電流は C_{OUT} コンデンサと、インダクタを流れる立ち上がり電流によって供給されます。2 番目の動作サイクル中、インダクタ電流は瞬時に方向を変えることができないため、トランジスタはオープンで、ダイオードは順方向バイアスになります。インダクタに蓄積したエネルギーは負荷と出力コンデンサに伝達されます。これら 2 サイクルの比によって出力電圧が決まります。式 7 と式 8 に、出力電圧の概算値を定義します。

$$D = \frac{V_O}{V_{VIN}} \tag{7}$$

ここで、

- D は、スイッチングのデューティ サイクルです。

$$D' = (1 - D) \tag{8}$$

設計計算には、D および D' の値が必要です。

8.4.2.2 Eco-mode™ 制御方式

LMR16006 デバイスは、軽負荷電流時には Eco-mode 制御方式で動作し、スイッチング損失やゲート駆動損失の低減によって効率を向上させます。LMR16006 デバイスは、出力電圧がレギュレーション範囲内のときに、任意のスイッチング サイクルの終了時点でピーク スイッチ電流がスリープ電流スレッショルド $I_{INDUCTOR}$ (80mA 以下) を下回っている場合、Eco-mode に移行するよう設計されています。Eco-mode 動作の場合、LMR16006 デバイスは平均電流や負荷電流ではなくピーク電流を検出するため、デバイスが Eco-mode に移行したときの負荷電流は、入力電圧、出力電圧、および出力インダクタの値に依存します。負荷電流が低く、出力電圧がレギュレーション範囲内になると、デバイスは Eco-mode に移行し、28µA 入力静止電流のみを消費します。

8.5 プログラミング

このセクションは、DRV832x SPI デバイスにのみ適用されます。

8.5.1 SPI 通信

8.5.1.1 SPI

DRV832x SPI デバイスでは、デバイス構成と動作パラメータの設定、診断情報の読み出しに SPI バスを使用します。SPI は、セカンダリ モードで動作し、プライマリ コントローラに接続します。SPI 入力データ (SDI) ワードは 16 ビットのワード、5 ビットのコマンド、11 ビットのデータで構成されています。SPI 出力データ (SDO) ワードは 11 ビットのレジスタ データで構成されています。最初の 5 ビットはドント ケア ビットです。

有効なフレームは次の条件を満たしていなければなりません。

- SCLK ピンは、nSCS ピンが High から Low、Low から High に遷移するときに Low になっている必要があります。
- nSCS ピンは、ワード間の 400ns 以上にわたって High にプルアップされている必要がある。
- nSCS ピンが High にされているときは、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンがハイ インピーダンス状態になります。
- データは SCLK ピンの立ち下がりエッジでキャプチャされ、SCLK ピンの立ち上がりエッジで伝搬される。
- 最上位ビット (MSB) から先にシフト イン/シフト アウトされます。
- トランザクションを有効にするには、16 SCLK サイクルすべてが発生しなければならない。
- SDI ピンに送信されるデータ ワードが 16 ビットより多い / 少ない場合は、フレーム エラーが発生してデータ ワードが無視される。
- 書き込みコマンドの場合、書き込み先レジスタ内の既存データは、5 ビットのコマンド データに続いて SDO ピンでシフト アウトされる。

SPI レジスタは、電源投入時、デバイスがスリープ モードに移行するとき、UVLO フォルトが発生した場合に、デフォルト設定にリセットされます。

Copyright © 2026 Texas Instruments Incorporated

8.5.1.1.1 SPI フォーマット

SDI 入力データ ワードは 16 ビット長であり、以下のフォーマットで構成されています。

- 1 ビットの読み取りまたは書き込みビット、W (ビット B15)
- 4 アドレス ビット、A (ビット B14～B11)
- 11 データ ビット、D (ビット B10～B0)

SDO 出力データ ワードは 16 ビット長であり、最初の 5 ビットはドント ケア ビットです。データ ワードとはアクセス先のレジスタの内容です。

書き込みコマンド (W0 = 0) の場合、SDO ピンでの応答ワードはその時点で書き込み先レジスタ内にあるデータです。

読み取りコマンド (W0 = 1) の場合、応答ワードはその時点で読み取り元レジスタ内にあるデータです。

表 8-8. SDI 入力データ ワードのフォーマット

R/W	アドレス				データ										
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
W0	A3	A2	A1	A0	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

表 8-9. SDO 出力データ ワードのフォーマット

ドント ケア ビット					データ										
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
X	X	X	X	X	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

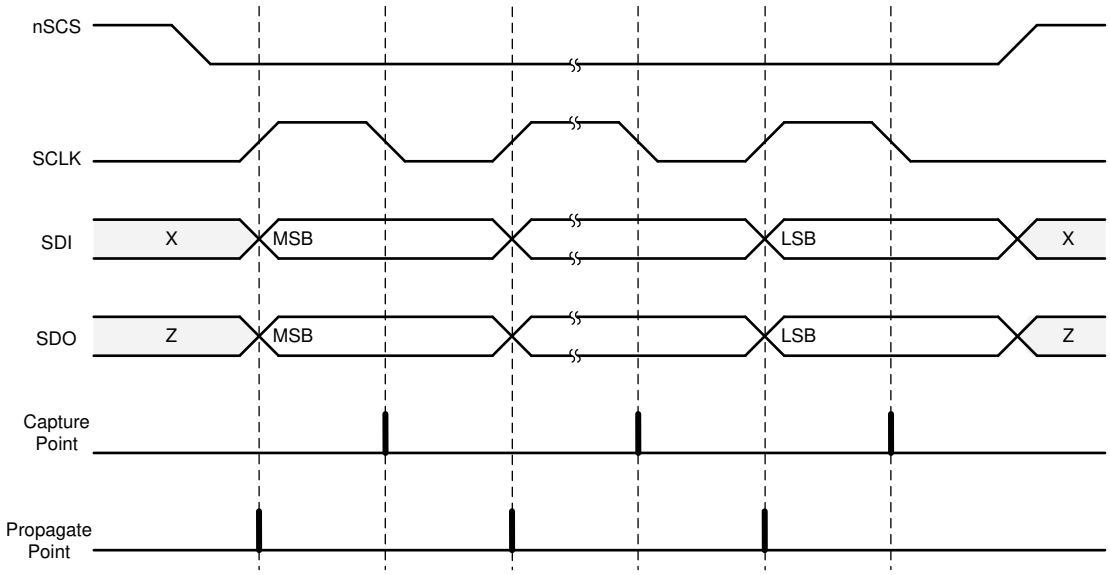


図 8-36. SPI セカンダリのタイミング図

8.6 レジスタ マップ

このセクションは、DRV832x SPI デバイスにのみ適用されます。

注

Reserved と示されたレジスタや、レジスタ マップ（表 8-10）に示されていないアドレスは変更しないでください。これらのレジスタに書き込むと、意図しない動作を引き起こす可能性があります。すべての予約済みビットのデフォルト値は 0 です。プライマリ コントローラからの誤った SPI 書き込みを防ぐには、LOCK ビットを設定して SPI レジスタをロックしてください。

表 8-10. DRV832xS および DRV832xRS のレジスタ マップ

名称	10	9	8	7	6	5	4	3	2	1	0	タイプ	アドレス
DRV8320S と DRV8320RS													
フォルト ステータス 1	フォルト	VDS_OCP	GDF	UVLO	OTSD	VDS_HA	VDS_LA	VDS_HB	VDS_LB	VDS_HC	VDS_LC	R	0h
VGS ステータス 2	SA_OC	SB_OC	SC_OC	OTW	CPUV	VGS_HA	VGS_LA	VGS_HB	VGS_LB	VGS_HC	VGS_LC	R	1h
ドライバ制御	予約済み	DIS_CPUV	DIS_GDF	OTW_REP	PWM_MODE		1PWM_COM	1PWM_DIR	COAST	BRAKE	CLR_FLT	RW	2h
ゲート駆動 HS	LOCK			IDRIVEP_HS				IDRIVEN_HS				RW	3h
ゲート駆動 LS	CBC	TDRIVE		IDRIVEP_LS				IDRIVEN_LS				RW	4h
OCP 制御	TRETRY	DEAD_TIME		OCP_MODE		OCP_DEG		VDS_LVL				RW	5h
予約済み	予約済み											RW	6h
予約済み	予約済み											RW	7h
DRV8323S と DRV8323RS													
フォルト ステータス 1	フォルト	VDS_OCP	GDF	UVLO	OTSD	VDS_HA	VDS_LA	VDS_HB	VDS_LB	VDS_HC	VDS_LC	R	0h
VGS ステータス 2	SA_OC	SB_OC	SC_OC	OTW	CPUV	VGS_HA	VGS_LA	VGS_HB	VGS_LB	VGS_HC	VGS_LC	R	1h
ドライバ制御	予約済み	DIS_CPUV	DIS_GDF	OTW_REP	PWM_MODE		1PWM_COM	1PWM_DIR	COAST	BRAKE	CLR_FLT	RW	2h
ゲート駆動 HS	LOCK			IDRIVEP_HS				IDRIVEN_HS				RW	3h
ゲート駆動 LS	CBC	TDRIVE		IDRIVEP_LS				IDRIVEN_LS				RW	4h
OCP 制御	TRETRY	DEAD_TIME		OCP_MODE		OCP_DEG		VDS_LVL				RW	5h
CSA 制御	CSA_FET	VREF_DIV	LS_REF	CSA_GAIN		DIS_SEN	CSA_CAL_A	CSA_CAL_B	CSA_CAL_C	SEN_LVL		RW	6h
予約済み	予約済み											RW	7h

Copyright © 2026 Texas Instruments Incorporated

8.6.1 ステータス レジスタ

ステータス レジスタは、警告およびフォルト状態を報告するために使用されます。ステータス レジスタは読み出し専用レジスタです。

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-11 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-11. ステータス レジスタのアクセス タイプ表記

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.6.1.1 フォルト ステータス レジスタ 1 (アドレス = 0x00)

フォルト ステータス レジスタ 1 を図 8-37 に示し、説明を表 8-12 に示します。

レジスタ アクセス タイプ:読み取り専用

図 8-37. フォルト ステータス レジスタ 1

10	9	8	7	6	5	4	3	2	1	0
フォルト	VDS_OCP	GDF	UVLO	OTSD	VDS_HA	VDS_LA	VDS_HB	VDS_LB	VDS_HC	VDS_LC
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-12. フォルト ステータス レジスタ 1 のフィールド説明

ビット	フィールド	タイプ	デフォルト	説明
10	フォルト	R	0b	フォルト ステータス レジスタの論理和。nFAULT ピンを反映します。
9	VDS_OCP	R	0b	VDS モニタ過電流フォルト状態を示します。
8	GDF	R	0b	ゲート駆動フォルト状態を示します。
7	UVLO	R	0b	低電圧誤動作防止フォルト状態を示します。
6	OTSD	R	0b	過熱シャットダウンを示します。
5	VDS_HA	R	0b	A ハイサイド MOSFET の VDS 過電流フォルトを示します。
4	VDS_LA	R	0b	A ローサイド MOSFET の VDS 過電流フォルトを示します。
3	VDS_HB	R	0b	B ハイサイド MOSFET の VDS 過電流フォルトを示します。
2	VDS_LB	R	0b	B ローサイド MOSFET の VDS 過電流フォルトを示します。
1	VDS_HC	R	0b	C ハイサイド MOSFET の VDS 過電流フォルトを示します。
0	VDS_LC	R	0b	C ローサイド MOSFET の VDS 過電流フォルトを示します。

Copyright © 2026 Texas Instruments Incorporated

8.6.1.2 フォルト ステータス レジスタ 2 (アドレス = 0x01)

フォルト ステータス レジスタ 2 を図 8-38 に示し、説明を表 8-13 に示します。

レジスタ アクセス タイプ : 読み取り専用

図 8-38. フォルト ステータス レジスタ 2

10	9	8	7	6	5	4	3	2	1	0
SA_OC	SB_OC	SC_OC	OTW	CPUV	VGS_HA	VGS_LA	VGS_HB	VGS_LB	VGS_HC	VGS_LC
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-13. フォルト ステータス レジスタ 2 のフィールド説明

ビット	フィールド	タイプ	デフォルト	説明
10	SA_OC	R	0b	位相 A 検出アンプの過電流を示します (DRV8323xS)
9	SB_OC	R	0b	位相 B 検出アンプの過電流を示します (DRV8323xS)
8	SC_OC	R	0b	位相 C 検出アンプの過電流を示します (DRV8323xS)
7	OTW	R	0b	過熱警告を示します。
6	CPUV	R	0b	チャージ ポンプ低電圧フォルト状態を示します
5	VGS_HA	R	0b	A ハイサイド MOSFET のゲート駆動フォルトを示します。
4	VGS_LA	R	0b	A ローサイド MOSFET のゲート駆動フォルトを示します。
3	VGS_HB	R	0b	B ハイサイド MOSFET のゲート駆動フォルトを示します。
2	VGS_LB	R	0b	B ローサイド MOSFET のゲート駆動フォルトを示します。
1	VGS_HC	R	0b	C ハイサイド MOSFET のゲート駆動フォルトを示します。
0	VGS_LC	R	0b	C ローサイド MOSFET のゲート駆動フォルトを示します。

Copyright © 2026 Texas Instruments Incorporated

8.6.2 制御レジスタ

制御レジスタは、デバイスの設定に使用されます。制御レジスタは読み出しと書き込みが可能です。

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-14 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-14. 制御レジスタのアクセス タイプ表記

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.6.2.1 ドライバ制御レジスタ (アドレス = 0x02)

ドライバ制御レジスタを図 8-39 に示し、説明を表 8-15 に示します。

レジスタ アクセス タイプ: 読み出し / 書き込み

図 8-39. ドライバ制御レジスタ

10	9	8	7	6	5	4	3	2	1	0
予約済み	DIS _CPUV	DIS _GDF	OTW _REP	PWM_MODE		1PWM _COM	1PWM _DIR	COAST	BRAKE	CLR _FLT
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-00b		R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-15. ドライバ制御のフィールド説明

ビット	フィールド	タイプ	デフォルト	説明
10	予約済み	R/W	0b	予約済み
9	DIS_CPUV	R/W	0b	**0b = チャージ ポンプ UVLO フォルトが有効** 1b = チャージ ポンプ UVLO フォルトが無効
8	DIS_GDF	R/W	0b	**0b = ゲート駆動フォルトが有効** 1b = ゲート駆動フォルトが無効
7	OTW_REP	R/W	0b	**0b = OTW は nFAULT でも FAULT ビットでも通知されない** 1b = OTW は nFAULT と FAULT ビットで通知される
6-5	PWM_MODE	R/W	00b	**00b = 6x PWM モード** 01b = 3x PWM モード 10b = 1x PWM モード 11b = 独立 PWM モード
4	1PWM_COM	R/W	0b	**0b = 1x PWM モードは同期整流を使用** 1b = 1x PWM モードは非同期整流を使用 (ダイオードのフリーホイール動作)
3	1PWM_DIR	R/W	0b	1x PWM モードではこのビットは INHC (DIR) 入力と論理和がとられます。
2	COAST	R/W	0b	すべての MOSFET をハイ インピーダンス状態にするにはこのビットに 1 を書き込みます。
1	BRAKE	R/W	0b	1x PWM モードで 3 つのローサイド MOSFET をすべてオンにするには、このビットに 1 を書き込みます。 このビットは INLC (BRAKE) 入力と論理和がとられます。

Copyright © 2026 Texas Instruments Incorporated

表 8-15. ドライバ制御のフィールド説明 (続き)

ビット	フィールド	タイプ	デフォルト	説明
0	CLR_FLT	R/W	0b	ラッチされたフォルト ビットをクリアするには、このビットに 1 を書き込みます。 書き込んだ後、このビットは自動的にリセットされます。

Copyright © 2026 Texas Instruments Incorporated

8.6.2.2 ゲート駆動 HS レジスタ (アドレス = 0x03)

ゲート駆動 HS レジスタを図 8-40 に示し、説明を表 8-16 に示します。

レジスタ アクセス タイプ : 読み出し / 書き込み

図 8-40. ゲート駆動 HS レジスタ

10	9	8	7	6	5	4	3	2	1	0
LOCK			IDRIVEP_HS				IDRIVEN_HS			
R/W-011b			R/W-1111b				R/W-1111b			

表 8-16. ゲート駆動 HS のフィールド説明

ビット	フィールド	タイプ	デフォルト	説明
10-8	LOCK	R/W	011b	設定をロックして、レジスタへのさらなる書き込み (これらのビットとアドレス 0x02 のビット 0～2 への書き込みを除く) を無視するには、110b を書き込みます。 ロックされていない状態で、110b 以外のどんなシーケンスを書き込んでも何の影響も及ぼしません。 すべてのレジスタのロックを解除するには、このレジスタに 011b を書き込みます。 ロックされている状態で、011b 以外のどんなシーケンスを書き込んでも何の影響も及ぼしません。
7-4	IDRIVEP_HS	R/W	1111b	0000b = 10mA 0001b = 30mA 0010b = 60mA 0011b = 80mA 0100b = 120mA 0101b = 140mA 0110b = 170mA 0111b = 190mA 1000b = 260mA 1001b = 330mA 1010b = 370mA 1011b = 440mA 1100b = 570mA 1101b = 680mA 1110b = 820mA **1111b = 1000mA**

Copyright © 2026 Texas Instruments Incorporated

表 8-16. ゲート駆動 HS のフィールド説明 (続き)

ビット	フィールド	タイプ	デフォルト	説明
3-0	IDRIVEN_HS	R/W	1111b	0000b = 20mA 0001b = 60mA 0010b = 120mA 0011b = 160mA 0100b = 240mA 0101b = 280mA 0110b = 340mA 0111b = 380mA 1000b = 520mA 1001b = 660mA 1010b = 740mA 1011b = 880mA 1100b = 1140mA 1101b = 1360mA 1110b = 1640mA **1111b = 2000mA**

Copyright © 2026 Texas Instruments Incorporated

8.6.2.3 ゲート駆動 LS レジスタ (アドレス = 0x04)

ゲート駆動 LS レジスタを図 8-41 に示し、説明を表 8-17 に示します。

レジスタ アクセス タイプ : 読み出し / 書き込み

図 8-41. ゲート駆動 LS レジスタ

10	9	8	7	6	5	4	3	2	1	0
CBC	TDRIVE		IDRIVEP_LS				IDRIVEN_LS			
R/W-1b	R/W-11b		R/W-1111b				R/W-1111b			

表 8-17. ゲート駆動 LS レジスタのフィールド説明

ビット	フィールド	タイプ	デフォルト	説明
10	CBC	R/W	1b	サイクル単位の動作。OCP_MODE をリトライする場合、VDS_OCP と SEN_OCP の両方について、PWM 入力が与えられるとフォルトは自動的にクリアされます
9-8	TDRIVE	R/W	11b	00b = 500ns のピーク ゲート電流駆動時間 01b = 1000ns のピーク ゲート電流駆動時間 10b = 2000ns のピーク ゲート電流駆動時間 **11b = 4000ns のピーク ゲート電流駆動時間**
7-4	IDRIVEP_LS	R/W	1111b	0000b = 10mA 0001b = 30mA 0010b = 60mA 0011b = 80mA 0100b = 120mA 0101b = 140mA 0110b = 170mA 0111b = 190mA 1000b = 260mA 1001b = 330mA 1010b = 370mA 1011b = 440mA 1100b = 570mA 1101b = 680mA 1110b = 820mA **1111b = 1000mA**
3-0	IDRIVEN_LS	R/W	1111b	0000b = 20mA 0001b = 60mA 0010b = 120mA 0011b = 160mA 0100b = 240mA 0101b = 280mA 0110b = 340mA 0111b = 380mA 1000b = 520mA 1001b = 660mA 1010b = 740mA 1011b = 880mA 1100b = 1140mA 1101b = 1360mA 1110b = 1640mA **1111b = 2000mA**

Copyright © 2026 Texas Instruments Incorporated

8.6.2.4 OCP 制御レジスタ (アドレス = 0x05)

OCP 制御レジスタを図 8-42 に示し、説明を表 8-18 に示します。

レジスタ アクセス タイプ : 読み出し / 書き込み

図 8-42. OCP 制御レジスタ

10	9	8	7	6	5	4	3	2	1	0
TRETRY	DEAD_TIME		OCP_MODE		OCP_DEG		VDS_LVL			
R/W-0b	R/W-01b		R/W-01b		R/W-01b		R/W-1001b			

表 8-18. OCP 制御のフィールド説明

ビット	フィールド	タイプ	デフォルト	説明
10	TRETRY	R/W	0b	**0b = VDS_OCP と SEN_OCP のリトライ時間は 4ms** 1b = VDS_OCP と SEN_OCP のリトライ時間は 50µs
9-8	DEAD_TIME	R/W	01b	00b = 50ns のデッド タイム **01b = 100ns のデッド タイム** 10b = 200ns のデッド タイム 11b = 400ns のデッド タイム
7-6	OCP_MODE	R/W	01b	00b = 過電流によってフォルト状態がラッチされる。 **01b = 過電流によってフォルト状態が自動的にリトライされる。** 10b = 過電流によって通知のみが行われ、何の動作も行われない。 11b = 過電流によっては通知も何の動作も行われない。
5-4	OCP_DEG	R/W	01b	00b = 2µs の過電流グリッチ除去時間 **01b = 4µs の過電流グリッチ除去時間** 10b = 6µs の過電流グリッチ除去時間 11b = 8µs の過電流グリッチ除去時間
3-0	VDS_LVL	R/W	1001b	0000b = 0.06 V 0001b = 0.13 V 0010b = 0.2 V 0011b = 0.26 V 0100b = 0.31 V 0101b = 0.45 V 0110b = 0.53 V 0111b = 0.6 V 1000b = 0.68 V **1001b = 0.75 V** 1010b = 0.94 V 1011b = 1.13 V 1100b = 1.3 V 1101b = 1.5 V 1110b = 1.7 V 1111b = 1.88 V

Copyright © 2026 Texas Instruments Incorporated

8.6.2.5 CSA 制御レジスタ (DRV8323x のみ) (アドレス = 0x06)

CSA 制御レジスタを図 8-43 に示し、説明を表 8-19 に示します。

レジスタ アクセス タイプ : 読み出し / 書き込み
このレジスタは DRV8323x ファミリのデバイスにのみ存在します。

図 8-43. CSA 制御レジスタ

10	9	8	7	6	5	4	3	2	1	0
CSA _FET	VREF _DIV	LS _REF	CSA _GAIN		DIS _SEN	CSA _CAL_A	CSA _CAL_B	CSA _CAL_C	SEN _LVL	
R/W-0b	R/W-1b	R/W-0b	R/W-10b		R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-11b	

表 8-19. CSA 制御のフィールド説明

ビット	フィールド	タイプ	デフォルト	説明
10	CSA_FET	R/W	0b	**0b = 電流センス アンプの正入力は SPx** 1b = 電流センス アンプの正入力は SHx (また LS_REF ビットを自動的に 1 に設定)
9	VREF_DIV	R/W	1b	0b = 電流センス アンプのリファレンス電圧は VREF (単方向モード) **1b = 電流センス アンプのリファレンス電圧は VREF の 2 分の 1**
8	LS_REF	R/W	0b	**0b = ローサイド MOSFET の VDS_OCP は SHx と SPx の間で測定** 1b = ローサイド MOSFET の VDS_OCP は SHx と SNx の間で測定
7-6	CSA_GAIN	R/W	10b	00b = 5V/V 電流センス アンプのゲイン 01b = 10V/V 電流センス アンプのゲイン **10b = 20V/V 電流センス アンプのゲイン** 11b = 40V/V 電流センス アンプのゲイン
5	DIS_SEN	R/W	0b	**0b = 検出過電流フォルトは有効** 1b = 検出過電流フォルトは無効
4	CSA_CAL_A	R/W	0b	**0b = 電流センス アンプ A は通常動作** 1b = オフセット較正のために電流センス アンプ A の入力を短絡
3	CSA_CAL_B	R/W	0b	**0b = 電流センス アンプ B は通常動作** 1b = オフセット較正のために電流センス アンプ B の入力を短絡
2	CSA_CAL_C	R/W	0b	**0b = 電流センス アンプ C は通常動作** 1b = オフセット較正のために電流検出アンプ C の入力を短絡
1-0	SEN_LVL	R/W	11b	00b = 検出 OCP 0.25V 01b = 検出 OCP 0.5V 10b = 検出 OCP 0.75V **11b = 検出 OCP 1V**

Copyright © 2026 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

DRV832x ファミリのデバイスは、主に 3 相ブラシレス DC モーター制御のアプリケーションで使用されます。「*セクション 9.2*」の設計手順では、DRV832x ファミリのデバイスの使用方法と設定方法を中心に説明します。

9.2 代表的なアプリケーション

9.2.1 主なアプリケーション

このアプリケーション例では DRV8323R SPI デバイスを使用します。

Copyright © 2026 Texas Instruments Incorporated

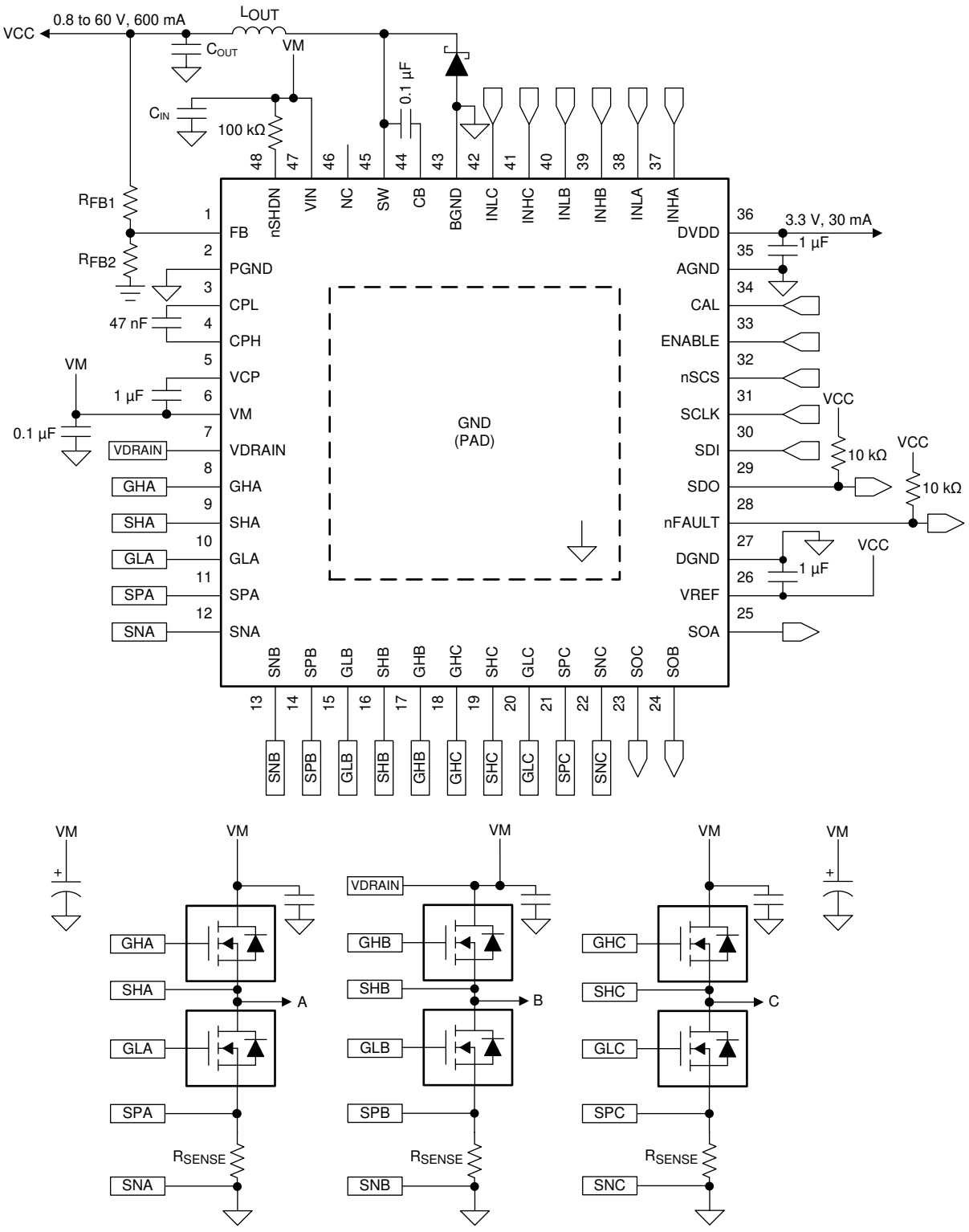


図 9-1. 主要アプリケーションの回路図

9.2.1.1 設計要件

表 9-1 に、システム設計の入力パラメータの例を示します。

表 9-1. 設計パラメータ

設計パラメータ例	リファレンス	数値の例
公称電源電圧	V_{VM}	24V
電源電圧範囲		8V ～ 45V
MOSFET の部品番号		CSD18536KCS
MOSFET の総ゲート電荷量	Q_g	V_{VGS} = 10V で標準値 83nC
MOSFET のゲート - ドレイン間の電荷量	Q_{gd}	14nC (標準値)
目標出力立ち上がり時間	t_r	100 ～ 300ns
目標出力立ち下がり時間	t_f	50 ～ 150ns
PWM 周波数	f_{PWM}	45kHz
降圧レギュレータの出力電圧	V_{VCC}	3.3V
最大モータ電流	I_{max}	100A
ADC リファレンス電圧	V_{VREF}	3.3V
巻線電流検出範囲	I_{SENSE}	-40A ～ +40A
モーター RMS 電流	I_{RMS}	28.3A
検出抵抗の電力定格	P_{SENSE}	2W
システムの周囲温度	T_A	-20°C ～ +105°C

9.2.1.2 詳細な設計手順

9.2.1.2.1 外部 MOSFET のサポート

DRV832x の MOSFET サポートは、チャージ ポンプの容量と出力の PWM スイッチング周波数に基づいています。MOSFET 駆動能力を簡単に計算するには、3 相 BLDC モータ アプリケーションに対して式 9 および式 10 を使用します。

Trapezoidal 120° Commutation: $I_{VCP} > Q_g \times f_{PWM}$ (9)

ここで、

- f_{PWM} は、必要な最大の PWM スイッチング周波数です。
- I_{VCP} は、VM ピンの電圧に依存するチャージ ポンプ容量です。
- 整流制御方式に基づく乗数は、実装によって異なる場合があります。

Sinusoidal 180° Commutation: $I_{VCP} > 3 \times Q_g \times f_{PWM}$ (10)

9.2.1.2.1.1 例

V_{VM} 電圧が 8V (I_{VCP} = 15mA) のシステムで、使用する最大 PWM スイッチング周波数が 45kHz の場合、チャージ ポンプは Q_g が 333nC 未満の矩形波整流を使用した MOSFET、および Q_g が 111nC 未満の正弦波整流を使用した MOSFET をサポートできます。

9.2.1.2.2 IDRIVE の構成

ゲート駆動電流 I_{DRIVE} の強さは、外部 MOSFET のゲート - ドレイン間電荷と、出力における目標の立ち上がり / 立ち下がり時間に基づいて選択します。特定の MOSFET に対して選択した I_{DRIVE} が低すぎると、MOSFET が t_{DRIVE} 時間内に完全にオンにならず、ゲート駆動フォルトがアサートされる場合があります。また、立ち上がり時間および立ち下がり時間が遅いと、スイッチング電力損失が大きくなります。特定の MOSFET / レイアウトに対して選択した I_{DRIVE} が高すぎると、ゲート - ソース間電圧のオーバーシュート、アンダーシュート、または過剰なリンギングが発生し、デバイスの ABS MAX

Copyright © 2026 Texas Instruments Incorporated

に違反して、ドライバや FET の損傷を引き起こす可能性があります。TI では、必要な MOSFET およびモータとともにシステム内でこれらの値を調整し、アプリケーションに対して可能な最良の設定を決めることを推奨します。

SPI デバイスでは、ローサイドとハイサイド両方の MOSFET に対して I_{DRIVEP} および I_{DRIVEN} 電流を SPI レジスタ経由で独立に調整可能です。ハードウェア インターフェイス デバイスでは、IDRIVE ピンでソースとシンク両方の設定が同時に選択されます。

MOSFET のゲート - ドレイン間電荷 (Q_{gd})、目標立ち上がり時間 (t_r)、目標立ち下がり時間 (t_f) が既知である場合は、それぞれ式 11 および式 12 を使用して I_{DRIVEP} および I_{DRIVEN} の値を計算します。

$$I_{DRIVEP} > \frac{Q_{gd}}{t_r} \tag{11}$$

$$I_{DRIVEN} > \frac{Q_{gd}}{t_f} \tag{12}$$

9.2.1.2.2.1 例

式 13 および式 14 を使用して、ゲート - ドレイン間電荷が 14nC、立ち上がり時間が 100 ～ 300ns の場合の $I_{DRIVEP1}$ および $I_{DRIVEP2}$ の値を (それぞれ) 計算します。

$$I_{DRIVEP1} = \frac{14\,nC}{100\,ns} = 140\,mA \tag{13}$$

$$I_{DRIVEP2} = \frac{14\,nC}{300\,ns} = 47\,mA \tag{14}$$

I_{DRIVEP} の値は 47mA～140mA の範囲で選択します。この例では、I_{DRIVEP} の値として 120mA ソースを選択しています。

式 15 および式 16 を使用して、ゲート - ドレイン間電荷が 14nC、立ち下がり時間が 50～150ns の場合の $I_{DRIVEN1}$ および $I_{DRIVEN2}$ の値を (それぞれ) 計算します。

$$I_{DRIVEN1} = \frac{14\,nC}{50\,ns} = 280\,mA \tag{15}$$

$$I_{DRIVEN2} = \frac{14\,nC}{150\,ns} = 93\,mA \tag{16}$$

I_{DRIVEN} の値は 93mA～280mA の範囲で選択します。この例では、I_{DRIVEN} の値として 240mA シンクを選択しています。

9.2.1.2.3 V_{DS} 過電流監視の設定

V_{DS} 監視は、式 17 に示すように、ワーストケースの監視電流および外部 MOSFET の $R_{DS(on)}$ に基づいて設定されます。

$$V_{DS_OCP} > I_{max} \times R_{DS(on)max} \tag{17}$$

9.2.1.2.3.1 例

この例の目的は、100A を超える電流で V_{DS} 監視がトリップするように設定することです。『CSD18536KCS 60V、N チャネル NexFET™ パワー MOSFET』データシートによると、175°C の場合の $R_{DS(on)}$ の値は 1.8 倍高く、V_{GS} が 10V のときの最大 $R_{DS(on)}$ の値は 1.6mΩ です。これらの値から、$R_{DS(on)}$ のワーストケースの近似値は 1.8 × 1.6mΩ = 2.88mΩ となります。

式 17 で $R_{DS(on)}$ の値を 2.88mΩ、ワーストケースの監視電流を 100A とすると、V_{DS} 監視の計算値は式 18 のように求められます。

$$V_{DS_OCP} > 100\,A \times 2.88\,m\Omega \rightarrow V_{DS_OCP} > 0.288\,V \tag{18}$$

Copyright © 2026 Texas Instruments Incorporated

この例では、V_{DS_OCP} の値として 0.31V を選択しています。

SPI デバイスでは、V_{DS} 過電流監視のデグリッチ時間の調整が可能です。デグリッチ時間は 2µs、4µs、6µs、8µs に設定できます。

9.2.1.2.4 センス アンプの双方向設定（DRV8323 および DRV8323R）

DRV8323、DRV8323R デバイスのセンス アンプ ゲインおよびセンス抵抗値は、目標電流範囲、VREF 電源電圧、センス抵抗の電力定格、および動作温度範囲に基づいて選択されます。センス アンプの双方向動作では、出力のダイナミック レンジは近似的に式 19 で計算されます。

$$V_O = (V_{VREF} - 0.25\ V) - \frac{V_{VREF}}{2} \tag{19}$$

式 19 で求めた V_O により、選択する検出抵抗の近似値を式 20 で計算します。

$$R = \frac{V_O}{A_V \times I} \quad P_{SENSE} > {I_{RMS}}^2 \times R \tag{20}$$

式 19 と式 20 から、使用する検出抵抗の電力定格に基づいて目標ゲイン設定を選択します。

9.2.1.2.4.1 例

このシステム例では、検出電流が –40 ～ +40A のとき、VREF 電圧の値は 3.3V です。SOx 出力のリニア動作範囲は 0.25V ～ V_{VREF} – 0.25V です (V_{LINEAR} の仕様より)。検出アンプ入力の差動範囲は -0.3～+0.3V です (V_{DIFF})。

$$V_O = (3.3\ V - 0.25\ V) - \frac{3.3\ V}{2} = 1.4\ V \tag{21}$$

$$\mathrm{R} = \frac{1.4\ \mathrm{V}}{\mathrm{A_V} \times 40\ \mathrm{A}} \quad 2\ \mathrm{W} > {28.3}^2 \times \mathrm{R} \rightarrow \mathrm{R} < 2.5\ \mathrm{m\Omega} \tag{22}$$

$$2.5\ \mathrm{m\Omega} > \frac{1.4\ \mathrm{V}}{\mathrm{A_V} \times 40\ \mathrm{A}} \rightarrow \mathrm{A}_V > 14 \tag{23}$$

したがって、ゲイン設定には 20V/V または 40V/V を選択し、検出抵抗の電力を満たすために、検出抵抗の値は 2.5mΩ 未満とする必要があります。この例では、ゲイン設定として 20V/V を選択しています。抵抗の値とワーストケースの電流については、R < 2.5mΩ および I_{max} = 40A のときに電流センス アンプ入力 (V_{SPxD}) の差動範囲仕様が満たされることが確認できます。

9.2.1.2.5 降圧レギュレータ構成 (DRV8320R および DRV8323R)

詳細な設計手順と適切な降圧レギュレータの外付け部品を選択する情報については、『LMR16006 SIMPLE SWITCHER® 高効率 Eco-mode 搭載、60V、0.6A 降圧レギュレータ』データシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

9.2.1.3 アプリケーション曲線

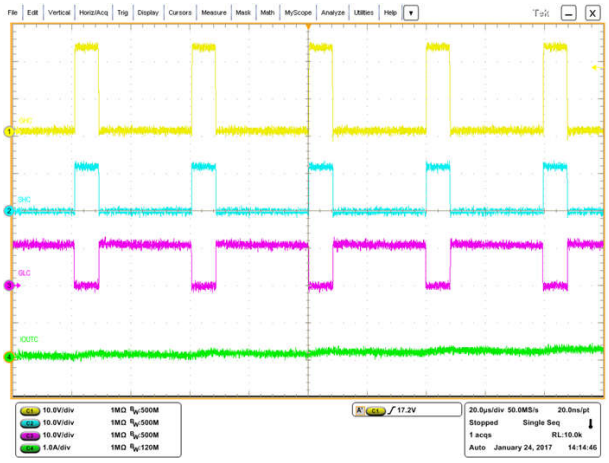


図 9-2. 20%デューティ サイクルでのゲート駆動

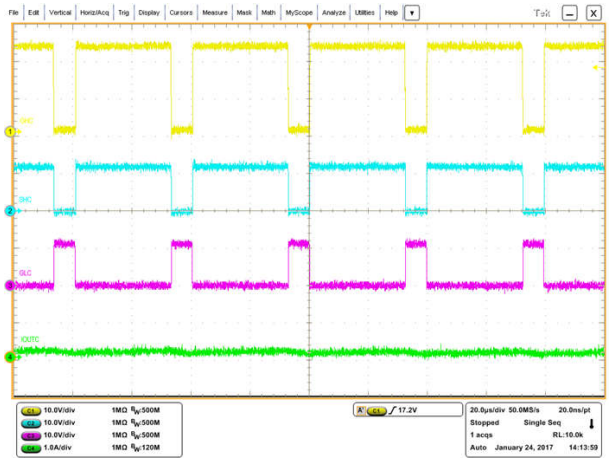


図 9-3. 80%デューティ サイクルでのゲート駆動

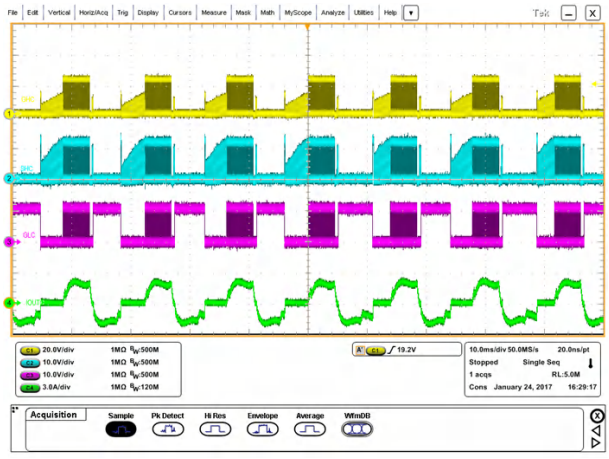


図 9-4. BLDC モーター整流 1000 RPM

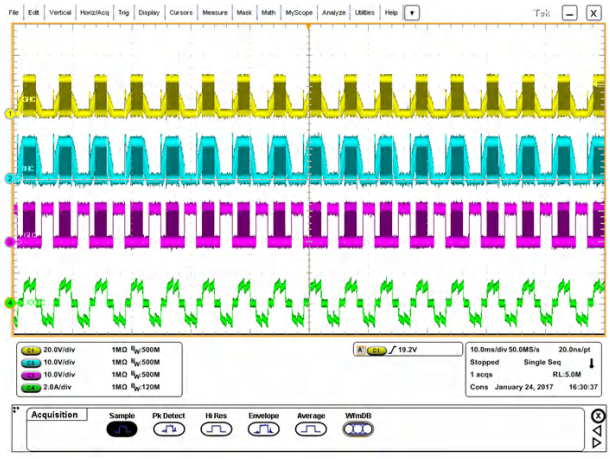


図 9-5. BLDC モーター整流 2000 RPM

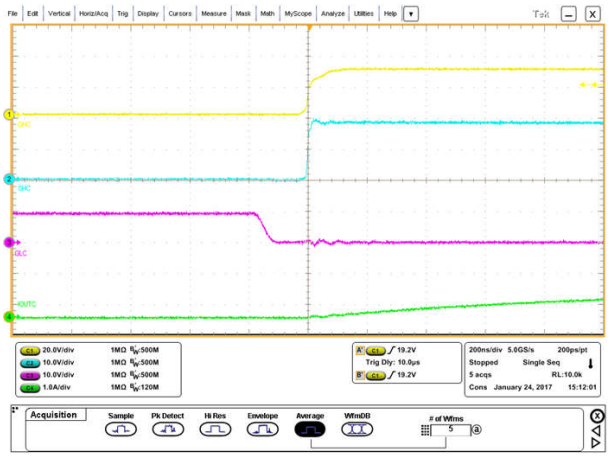


図 9-6. IDRIVE 最大設定正電流

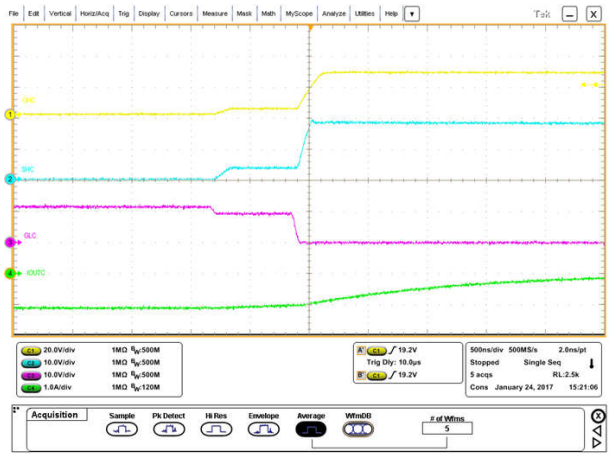


図 9-7. IDRIVE 最大設定負電流

Copyright © 2026 Texas Instruments Incorporated

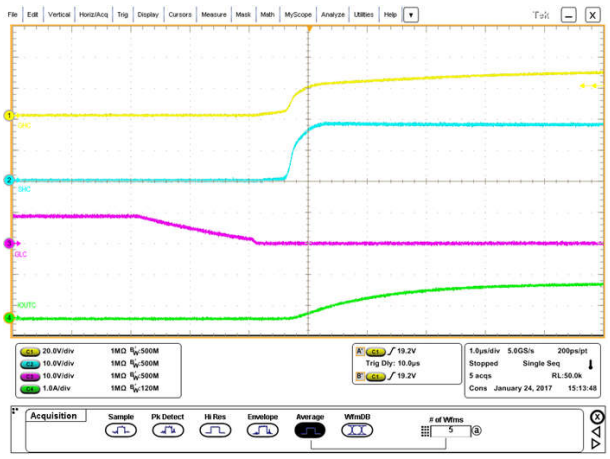


図 9-8. IDRIVE 最小設定正電流

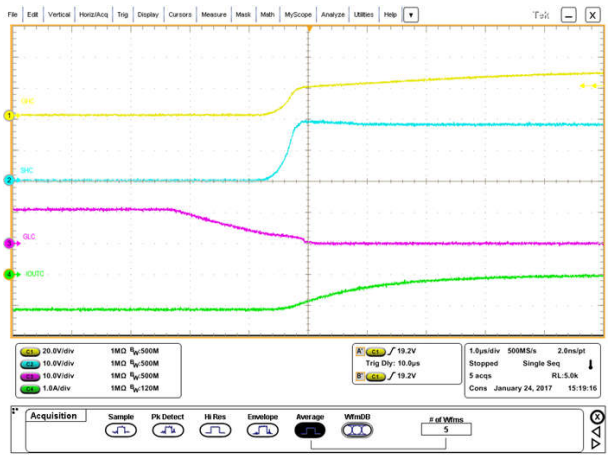


図 9-9. IDRIVE 最小設定負電流

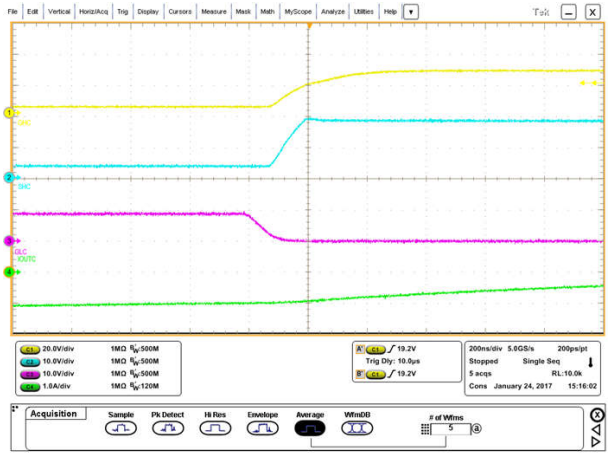


図 9-10. SHx から流出する電流、IDRIVE_P = 260mA および IDRIVE_N = 520mA

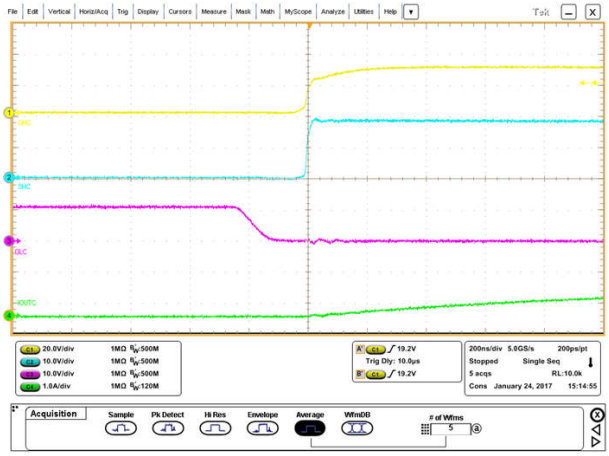


図 9-11. SHx に流入する電流、IDRIVE_P = 260mA および IDRIVE_N = 520mA

9.2.2 代替アプリケーション

このアプリケーションでは、矩形波またはホール ベースの BLDC 整流制御でよく使用される加算電流センス方式のために、1 つのセンス アンプを単方向モードで使用します。

Copyright © 2026 Texas Instruments Incorporated

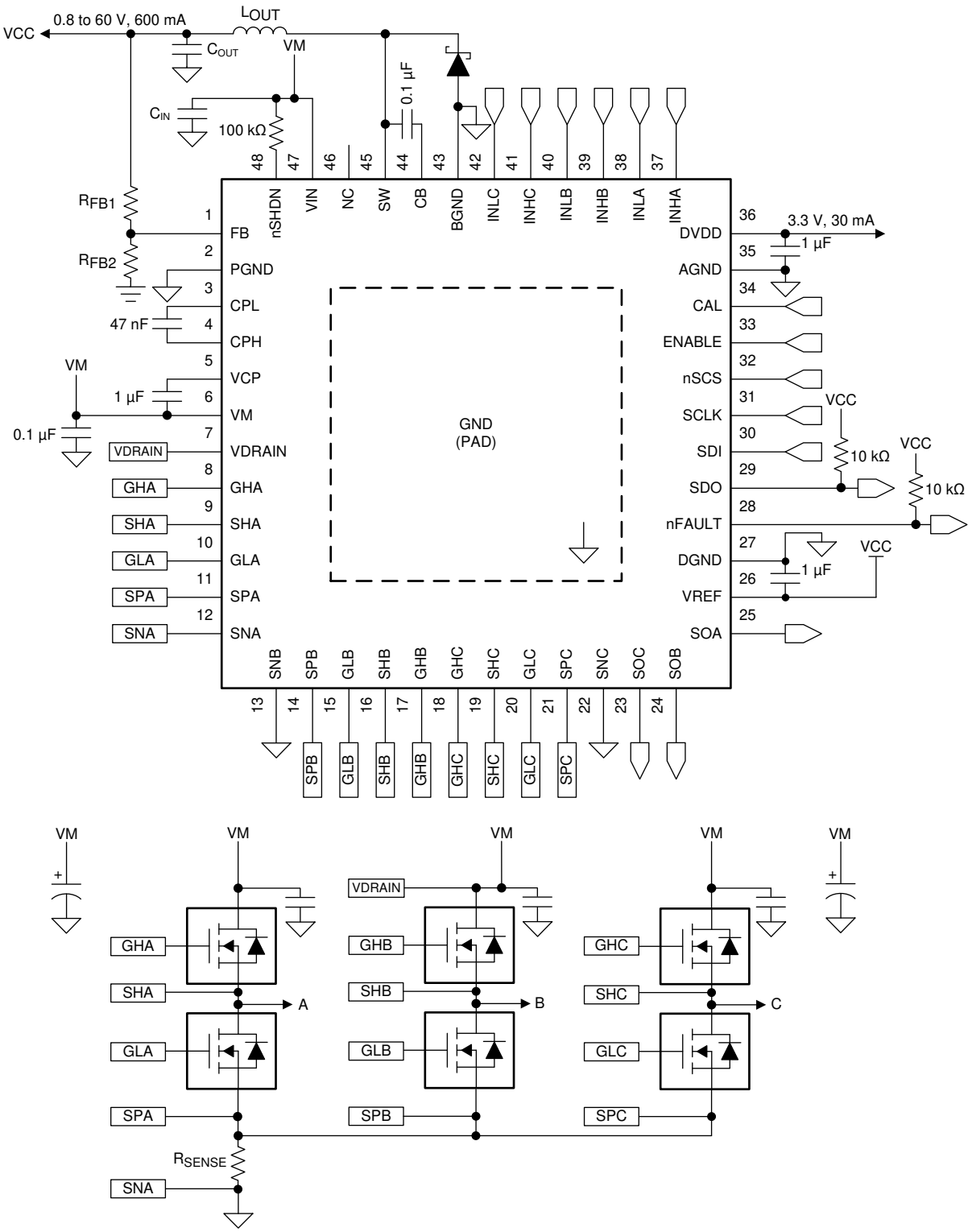


図 9-12. 代替アプリケーションの回路図

9.2.2.1 設計要件

表 9-2 に、システム設計の入力パラメータ例を示します。

表 9-2. 設計パラメータ

設計パラメータ例	リファレンス	数値の例
ADC リファレンス電圧	V_{VREF}	3.3V
検出された電流	I_{SENSE}	0 ～ 40A
モーター RMS 電流	I_{RMS}	28.3A
検出抵抗の電力定格	P_{SENSE}	3W
システムの周囲温度	T_A	-20°C ～ +105°C

9.2.2.2 詳細な設計手順

9.2.2.2.1 センス アンプの単方向設定

センス アンプは、SPI デバイス上のレジスタで VREF_DIV ビットに 0 を書き込むことにより、単方向に設定されます。

センス アンプ ゲインおよびセンス抵抗値は、目標電流範囲、VREF、センス抵抗の電力定格、および動作温度範囲に基づいて選択されます。検出アンプの単方向動作では、式 24 を使用して、出力でのダイナミック レンジの近似値を計算します。

$$V_O = (V_{VREF} - 0.25\,V) - 0.25\,V = V_{VREF} - 0.5\,V \tag{24}$$

選択する検出抵抗の近似値を式 25 で計算します。

$$R = \frac{V_O}{A_V \times I} \quad P_{SENSE} > {I_{RMS}}^2 \times R \tag{25}$$

ここで、

- $V_O = V_{VREF} - 0.5\,V$

式 24 と式 25 から、使用する検出抵抗の電力定格に基づいて目標ゲイン設定を選択します。

9.2.2.2.1.1 例

このシステム例では、検出電流が 0 ～ 40A で VREF 電圧の値が 3.3V です。DRV8323x デバイスの SOx 出力の直線範囲は 0.25V から V_{VREF} – 0.25V までです (V_{LINEAR} の仕様より)。検出アンプ入力の差動範囲は -0.3～+0.3V です (V_{DIFF})。

$$V_O = 3.3\,V - 0.5\,V = 2.8\,V \tag{26}$$

$$R = \frac{2.8\,V}{A_V \times 40\,A} \quad 3\,W > {28.3}^2 \times R \rightarrow R < 3.75\,m\Omega \tag{27}$$

$$3.75\ \mathrm{m\Omega} > \frac{2.8\ \mathrm{V}}{\mathrm{A_V} \times 40\ \mathrm{A}} \rightarrow \mathrm{A}_V > 18.7 \tag{28}$$

したがって、ゲイン設定には 20V/V または 40V/V を選択し、検出抵抗の電力を満たすために、検出抵抗の値は 3.75mΩ 未満とする必要があります。この例では、ゲイン設定として 20V/V を選択しています。抵抗の値とワーストケースの電流については、R < 3.75mΩ および I_{max} = 40A のときに検出アンプ入力の差動範囲仕様 (V_{SPxD}) が満たされることが確認できます。

Copyright © 2026 Texas Instruments Incorporated

9.2.3 未使用のピンと機能

このセクションでは、デバイスの未使用ピンとブロックの適切な処理について詳しく説明します。CSA や降圧などの機能を使用しない場合は、ガイダンスのこのセクションを参照してください。

表 9-3. 未使用のピンと機能

未使用の機能	関連ピン	推奨事項
未使用のハーフブリッジ	GHx と GLx	浮動
	PWM 入力	GND へ短絡またはフローティング
	SHx	浮動
未使用の HS または LS (個別)	SHx/INHx/INLx/GHx/GLx	「独立 PWM モード」を参照
未使用 CSA	SPx と SNx	GND に接続
	SOx	浮動
	VREF	以下に接続 DVDD
未使用の降圧	すべてのピン	GND に接続し、すべての外付け部品を取り外します
未使用 SPI	SDI/SDO/nSCS/SCLK	浮動

10 電源に関する推奨事項

DRV832x ファミリのデバイスは、6V ～ 60V の入力電圧電源 (VM) 範囲で動作するように設計されています。VM 定格の 0.1µF セラミック コンデンサを デバイスのできるだけ近くに配置する必要があります。また、VM ピンにはバルク コンデンサを配置する必要がありますが、外部パワー MOSFET のバルク バイパス容量と共用可能です。外部のハーフ ブリッジ MOSFET をバイパスするために追加のバルク容量が必要となり、その大きさはアプリケーションの要件によって決まります。

10.1 ジェネレータ モードでの電源に関する検討事項

BLDC または PMSM モーターのモーター シャフトが外力によって回転すると、モーター巻線はモーター入力に電圧を生成します。この状態は、ジェネレータ モードまたはモーター バックドライブと呼ばれます。ジェネレータ モードでは、デバイスの SHx ピンで正の電圧が観測されます。VDRAIN と VM の間にスイッチがあり (図 10-1 の SW_{VDRAIN})、システムに以下の条件が存在する場合、VM に対する VCP の絶対最大電圧をレビューする必要があります。

- ジェネレータ モード
- SW_{VDRAIN} はオフ
- VM と VCP は低電圧 (例:VM = 0V)

SHx 電圧 (V_{SHx}) が VCP 電圧を超えると、デバイスの内部ダイオード D1 および D2 (または D3) により、VCP 電圧は V_{SHx} に追従し始めます。VCP - VM 電圧が DRV832x の絶対最大電圧を超えると、ESD ダイオード D4 が導通を開始し、ダイオード D2、D1、D4 を経由して SHx から VM へ大きな電流が発生します。この状況を回避するため、VDRAIN と VM の間に外付けダイオード D_{VDRAIN_VM} 追加することを推奨します。

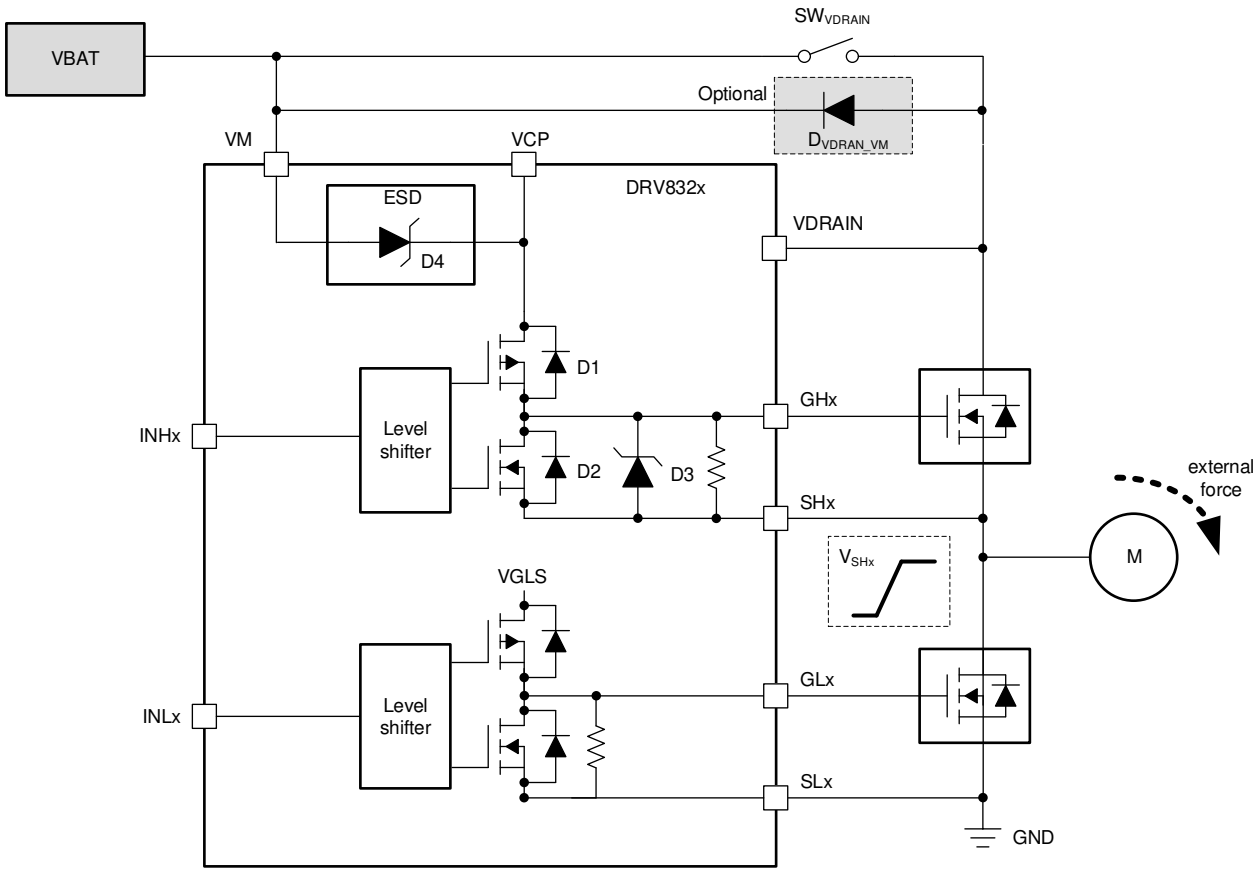


図 10-1. ジェネレータ モードでの電源に関する検討事項

Copyright © 2026 Texas Instruments Incorporated

10.2 バルク容量の決定

適切なローカル バルク容量の確保は、モーター駆動システムの設計において重要な要素です。一般に、バルク コンデンサが大きいほど利点がありますが、コストと物理的なサイズが増加します。ローカル容量値は、次のようなさまざまな要因で決まります。

- モーター システムが必要とする最大電流
- 電源'タイプ、容量と電流供給能力
- 電源とモーター システムの間の寄生インダクタンスの大きさ
- 許容される電源電圧リップル
- モータの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)
- モータの始動および制動方法

電源とモーター駆動システムとの間のインダクタンスにより、電源からの電流が変化できる速度は制限されます。ローカル バルク容量が小さすぎる場合、システムはモーターからの過剰な電流要求やダンプによる電圧変動の影響を受けます。十分なバルク容量を備えることで、モーターの電圧は安定し、大電流を素早く供給できます。

データシートには推奨最小値が記載されていますが、バルク コンデンサの容量が適切かどうかを判断するには、システム レベルのテストが必要です。

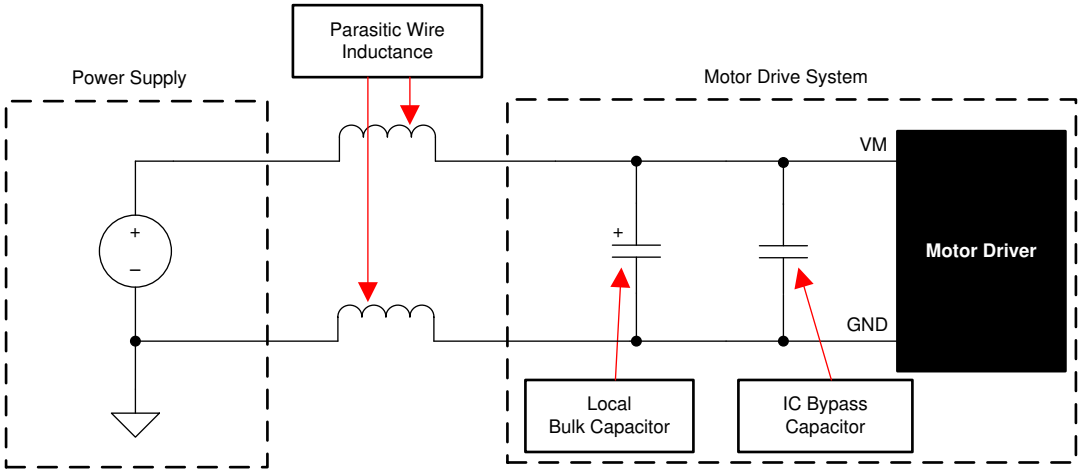


図 10-2. モータ駆動電源の寄生インダクタンスの例

11 レイアウト

11.1 レイアウトのガイドライン

推奨値 0.1µF の低 ESR セラミック バイパス コンデンサを使用して、VM ピンを PGND ピンにバイパスします。このコンデンサは、幅の広いパターン、または PGND ピンに接続されたグランド プレーンを使用して、VM ピンのできるだけ近くに配置してください。また、VM ピンは、VM の定格を持つバルク コンデンサを使用してバイパスします。この部品は電解質である可能性があります。容量は 10µF 以上とします。

外部 MOSFET 上の高電流パスをバイパスするために、追加のバルク容量が必要です。このバルク容量は、外部 MOSFET を通過する高電流パスの長さが最小となるよう配置する必要があります。接続用の金属パターンはできる限り幅広くし、PCB の層間を多数のビアで接続します。これらの手法により、インダクタンスが最小限に抑えられ、バルク コンデンサが高電流を伝達できるようになります。

CPL ピンと CPH ピンの間にも、低 ESR のセラミック コンデンサを配置します。これには、X5R または X7R タイプで、VM 定格、47nF のコンデンサを使用する必要があります。また、VCP ピンと VM ピンの間にも低 ESR のセラミック コンデンサを配置します。これには、X5R または X7R タイプで、25V 定格、1µF のコンデンサを使用する必要があります。

X5R または X7R タイプで 6.3V の定格を持つ 1µF の低 ESR セラミック コンデンサを使用して、DVDD ピンを AGND ピンにバイパスします。このコンデンサはピンにできる限り近づけて配置し、コンデンサから AGND ピンまでのパスを最短にします。

VDRAIN ピンは、直接 VM ピンに短絡することができます。ただし、デバイスと外部 MOSFET の間が大きく離れている場合は、専用のパターンを使用して、ハイサイド外部 MOSFET のドレインの共通ポイントに接続します。SLx ピンは直接 PGND には接続しないでください。その代わりに、専用のパターンを使用して、これらのピンをローサイド外部 MOSFET のソースに接続します。これらの推奨事項により、過電流検出のための外部 MOSFET の V_{DS} 検出をより正確に行うことができます。

ハイサイドおよびローサイド ゲート ドライバのループ長はできるだけ短くします。ハイサイド ループはデバイスの GHx ピンからハイサイド パワー MOSFET のゲートまでであり、その後ハイサイド MOSFET のソースを通って SHx ピンへと戻ります。ローサイド ループはデバイスの GLx ピンからローサイド パワー MOSFET のゲートまでであり、その後ローサイド MOSFET のソースを通って PGND ピンへと戻ります。ゲートとソースのパターンは、I_{DRIVE} 電流全体を流すのに十分なサイズを配置する必要があり、層の変更とビアは避ける必要があります。これらの手法を活用すると、ゲート ノードとソース ノードのインダクタンスを低減する必要があります。その結果、最高の性能と効率を確保できます。ローサイド パスは、過剰なインダクタンスにより VGLS レギュレータのオーバーシュートが発生し、FET V_{GS} にオーバーストレスがかかる可能性があるため、特別な注意が必要です。

追加のレイアウト ガイドラインおよび例については、『DRV832x ファミリの 3 相スマート ゲート ドライバのレイアウト ガイド』アプリケーション レポートと『モーター ドライバの基板レイアウトのベストプラクティス』アプリケーション レポートを参照してください。

11.1.1 降圧レギュレータのレイアウト ガイドライン

レイアウトは、優れた電源設計のために重要な要素です。以下のガイドラインに従うことで、最高の電力変換性能や熱性能を実現しながら、不要な電磁干渉 (EMI) の生成を最小限に抑える PCB を設計できます。

- 帰還回路抵抗は、フィードバック ピンへの結合ノイズを最小限に抑えるため、FB ピンの近くに配置し、インダクタから離して配置してください。
- 入力バイパス コンデンサは VIN ピンの近くに配置して、デバイスの入力電圧リップルに影響を与える銅パターン抵抗を低減します。
- インダクタは、磁気ノイズと静電気ノイズを低減するため、SW ピンの近くに配置してください。
- 出力コンデンサは、インダクタとダイオードの接合部の近くに配置します。伝導および放射ノイズを低減し、全体の効率を向上させるため、インダクタ、ダイオード、C_{OUT} のパターンはできるだけ短くする必要があります。
- ダイオード、C_{VIN}、および C_{OUT} のグランド接続はできるだけ小さくし、システム グランド プレーンに 1 箇所だけで接続することにより (C_{OUT} グランド ポイントを推奨)、システム グランド プレーンでの伝導ノイズを最小限に抑えます。

Copyright © 2026 Texas Instruments Incorporated

スイッチング電源のレイアウトに関する検討事項の詳細については、『AN-1149 スイッチング電源のレイアウト ガイドライン』アプリケーション レポートを参照してください。

11.2 レイアウト例

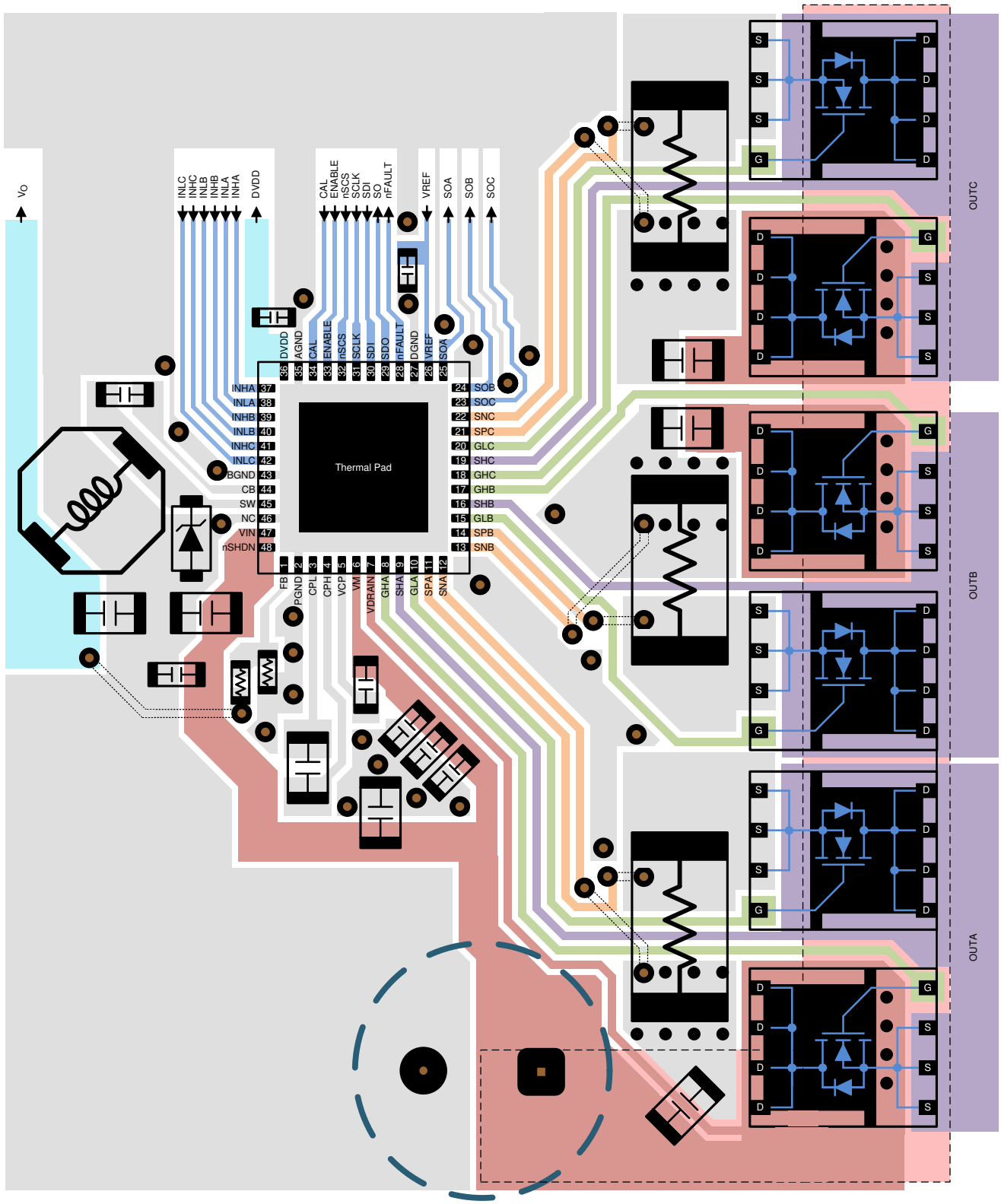


図 11-1. レイアウト例

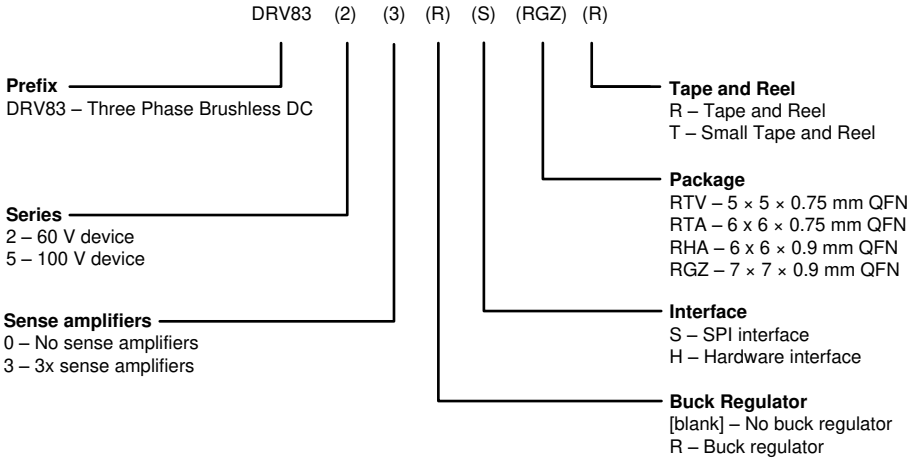
Copyright © 2026 Texas Instruments Incorporated

12 デバイスおよびドキュメントのサポート

12.1 デバイス サポート

12.1.1 デバイスの命名規則

次の図は、完全なデバイス名を解釈するための凡例を示しています。



12.2 ドキュメントのサポート

12.2.1 関連資料

- テキサス インスツルメンツ、『ブラシレス DC ゲートドライブ システム用アーキテクチャ』アプリケーション レポート
- テキサス インスツルメンツ、『LMR16006 SIMPLE SWITCHER® 高効率 Eco-mode 搭載 60V、0.6A 降圧レギュレータ』データシート
- テキサス インスツルメンツ、『DRV832x ファミリ 3 相スマート ゲートドライバのレイアウト ガイド』アプリケーション レポート
- テキサス インスツルメンツ、『AN-1149 スイッチング電源のレイアウトのガイドライン』アプリケーション レポート
- テキサス・インスツルメンツ、『*TI 製 モータ ゲートドライバでの IDRIVE および TDRIVE について*』アプリケーション レポート
- テキサス・インスツルメンツ、『*TI スマート ゲートドライブによるモータドライブの BOM と PCB 面積の削減*』TI TechNote
- テキサス・インスツルメンツ、『*TI スマート ゲートドライブによる放射電磁ノイズ (EMI) の低減*』TI TechNote
- テキサス インスツルメンツ、『TI スマート ゲートドライブによるモーター ドライブの保護』TI TechNote
- テキサス・インスツルメンツ、『QFN/SON の PCB 実装』アプリケーション レポート
- テキサス インスツルメンツ、『大電流モーター駆動アプリケーションのカットオフ スイッチ』アプリケーション レポート
- テキサス インスツルメンツ、『BLDC モーターを使用する効率的な掃除機のハードウェア設計の検討事項』アプリケーション レポート
- テキサス インスツルメンツ、『BLDC モーターを使用する電動自転車のハードウェア設計の検討事項』アプリケーション レポート
- テキサス インスツルメンツ、『MSP430™ を使用するセンサ付き 3 相 BLDC モーター制御』アプリケーション レポート

12.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

12.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

12.5 商標

Eco-mode™, NexFET™, and MSP430™ are trademarks of Texas Instruments.
テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
SIMPLE SWITCHER® is a registered trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

12.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

12.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8320HRTVR	Active	Production	WQFN (RTV) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8320H
DRV8320HRTVR.A	Active	Production	WQFN (RTV) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8320H
DRV8320HRTVT	Active	Production	WQFN (RTV) | 32	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8320H
DRV8320HRTVT.A	Active	Production	WQFN (RTV) | 32	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8320H
DRV8320HRTVTG4	Active	Production	WQFN (RTV) | 32	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8320H
DRV8320HRTVTG4.A	Active	Production	WQFN (RTV) | 32	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8320H
DRV8320RHRHAR	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8320RH
DRV8320RHRHAR.A	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8320RH
DRV8320RHRHAT	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8320RH
DRV8320RHRHAT.A	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8320RH
DRV8320RSRHAR	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8320RS
DRV8320RSRHAR.A	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8320RS
DRV8320RSRHAT	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8320RS
DRV8320RSRHAT.A	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8320RS
DRV8320SRTVR	Active	Production	WQFN (RTV) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8320S
DRV8320SRTVR.A	Active	Production	WQFN (RTV) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8320S
DRV8320SRTVT	Active	Production	WQFN (RTV) | 32	250 | SMALL T&R	Yes	Call TI | Nipdau	Level-2-260C-1 YEAR	-40 to 125	DRV8320S
DRV8320SRTVT.A	Active	Production	WQFN (RTV) | 32	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8320S
DRV8323HRTAR	Active	Production	WQFN (RTA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323H
DRV8323HRTAR.A	Active	Production	WQFN (RTA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323H
DRV8323HRTAT	Active	Production	WQFN (RTA) | 40	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323H
DRV8323HRTAT.A	Active	Production	WQFN (RTA) | 40	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323H
DRV8323RHRGZR	Active	Production	VQFN (RGZ) | 48	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RH

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8323RHRGZR.A	Active	Production	VQFN (RGZ) | 48	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RH
DRV8323RHRGZT	Active	Production	VQFN (RGZ) | 48	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RH
DRV8323RHRGZT.A	Active	Production	VQFN (RGZ) | 48	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RH
DRV8323RSRGZR	Active	Production	VQFN (RGZ) | 48	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RS
DRV8323RSRGZR.A	Active	Production	VQFN (RGZ) | 48	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RS
DRV8323RSRGZRG4	Active	Production	VQFN (RGZ) | 48	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RS
DRV8323RSRGZRG4.A	Active	Production	VQFN (RGZ) | 48	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RS
DRV8323RSRGZT	Active	Production	VQFN (RGZ) | 48	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RS
DRV8323RSRGZT.A	Active	Production	VQFN (RGZ) | 48	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RS
DRV8323SRTAR	Active	Production	WQFN (RTA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323S
DRV8323SRTAR.A	Active	Production	WQFN (RTA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323S
DRV8323SRTARG4	Active	Production	WQFN (RTA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323S
DRV8323SRTARG4.A	Active	Production	WQFN (RTA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323S
DRV8323SRTAT	Active	Production	WQFN (RTA) | 40	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323S
DRV8323SRTAT.A	Active	Production	WQFN (RTA) | 40	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323S

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

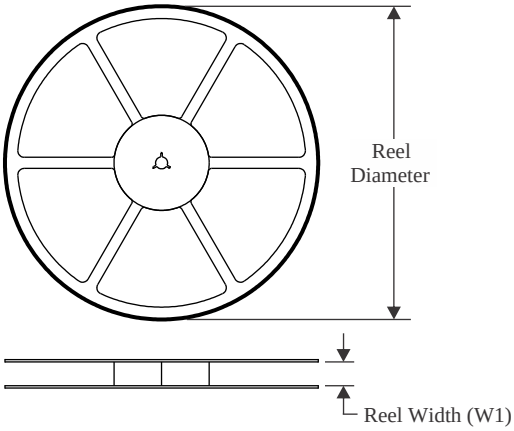
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

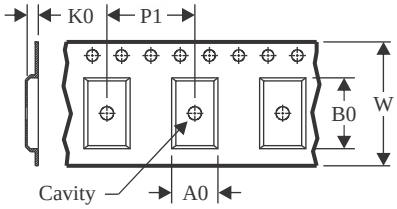
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

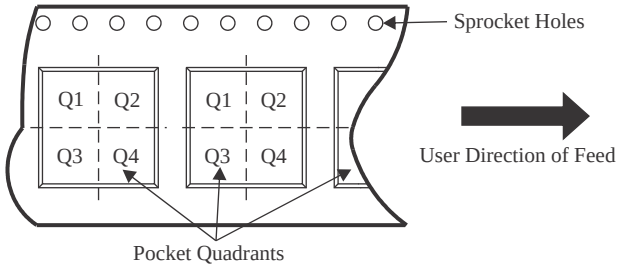


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

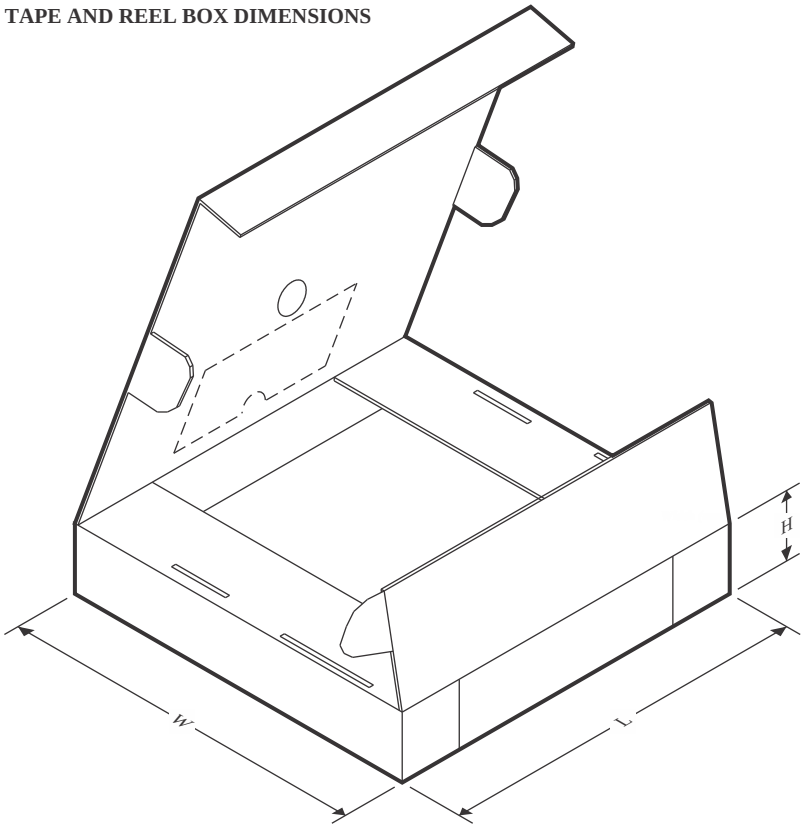


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8320HRTVR	WQFN	RTV	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DRV8320HRTVT	WQFN	RTV	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DRV8320HRTVTG4	WQFN	RTV	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DRV8320RHRHAR	VQFN	RHA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8320RHRHAT	VQFN	RHA	40	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8320RSRHAR	VQFN	RHA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8320RSRHAT	VQFN	RHA	40	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8320SRTVR	WQFN	RTV	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DRV8320SRTVT	WQFN	RTV	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DRV8323HRTAR	WQFN	RTA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8323HRTAT	WQFN	RTA	40	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8323RHRGZR	VQFN	RGZ	48	2500	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
DRV8323RHRGZT	VQFN	RGZ	48	250	180.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
DRV8323RSRGZR	VQFN	RGZ	48	2500	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
DRV8323RSRGZRG4	VQFN	RGZ	48	2500	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
DRV8323RSRGZT	VQFN	RGZ	48	250	180.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8323SRTAR	WQFN	RTA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8323SRTARG4	WQFN	RTA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8323SRTAT	WQFN	RTA	40	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8320HRTVR	WQFN	RTV	32	3000	346.0	346.0	33.0
DRV8320HRTVT	WQFN	RTV	32	250	182.0	182.0	20.0
DRV8320HRTVTG4	WQFN	RTV	32	250	182.0	182.0	20.0
DRV8320RHRHAR	VQFN	RHA	40	2500	367.0	367.0	38.0
DRV8320RHRHAT	VQFN	RHA	40	250	182.0	182.0	20.0
DRV8320RSRHAR	VQFN	RHA	40	2500	367.0	367.0	38.0
DRV8320RSRHAT	VQFN	RHA	40	250	182.0	182.0	20.0
DRV8320SRTVR	WQFN	RTV	32	3000	346.0	346.0	33.0
DRV8320SRTVT	WQFN	RTV	32	250	210.0	185.0	35.0
DRV8323HRTAR	WQFN	RTA	40	2500	367.0	367.0	38.0
DRV8323HRTAT	WQFN	RTA	40	250	182.0	182.0	20.0
DRV8323RHRGZR	VQFN	RGZ	48	2500	367.0	367.0	38.0
DRV8323RHRGZT	VQFN	RGZ	48	250	210.0	185.0	35.0
DRV8323RSRGZR	VQFN	RGZ	48	2500	367.0	367.0	38.0
DRV8323RSRGZRG4	VQFN	RGZ	48	2500	367.0	367.0	38.0
DRV8323RSRGZT	VQFN	RGZ	48	250	210.0	185.0	35.0
DRV8323SRTAR	WQFN	RTA	40	2500	367.0	367.0	38.0
DRV8323SRTARG4	WQFN	RTA	40	2500	367.0	367.0	38.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8323SRTAT	WQFN	RTA	40	250	182.0	182.0	20.0

GENERIC PACKAGE VIEW

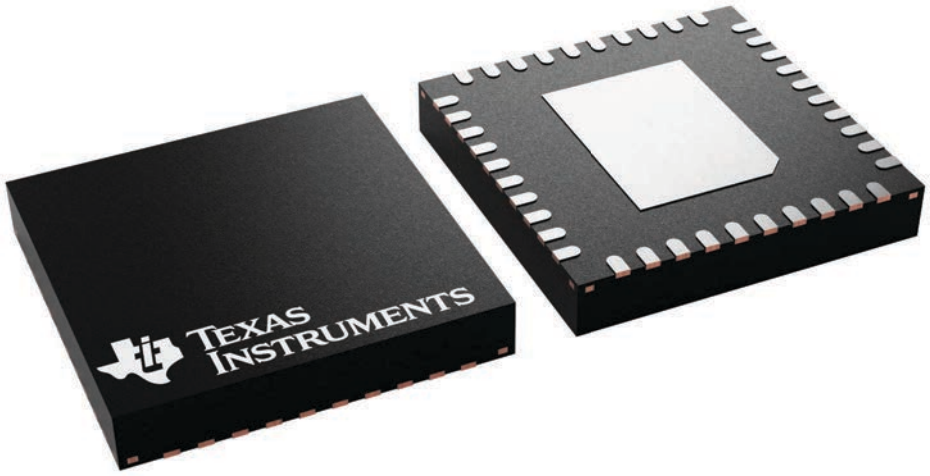
RHA 40

VQFN - 1 mm max height

6 x 6, 0.5 mm pitch

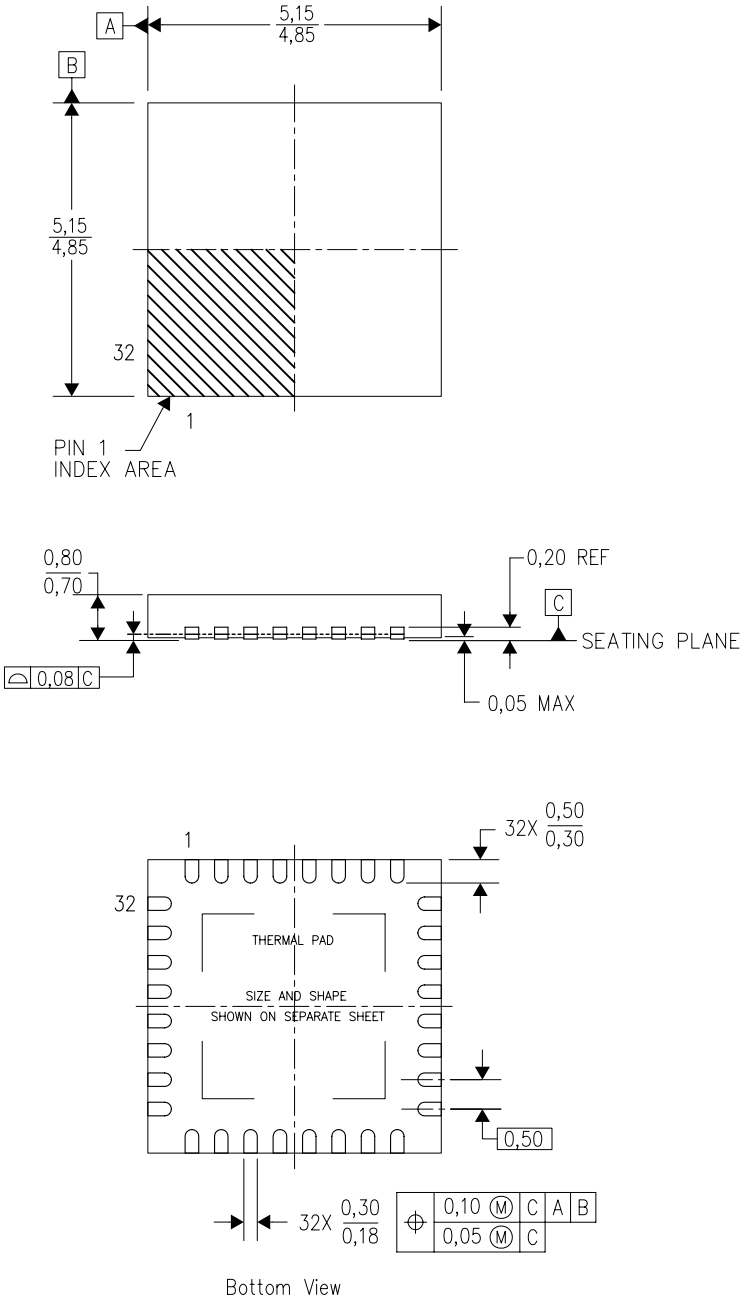
PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225870/A

RTV (S–PWQFN–N32) PLASTIC QUAD FLATPACK NO–LEAD



4206245/C 10/11

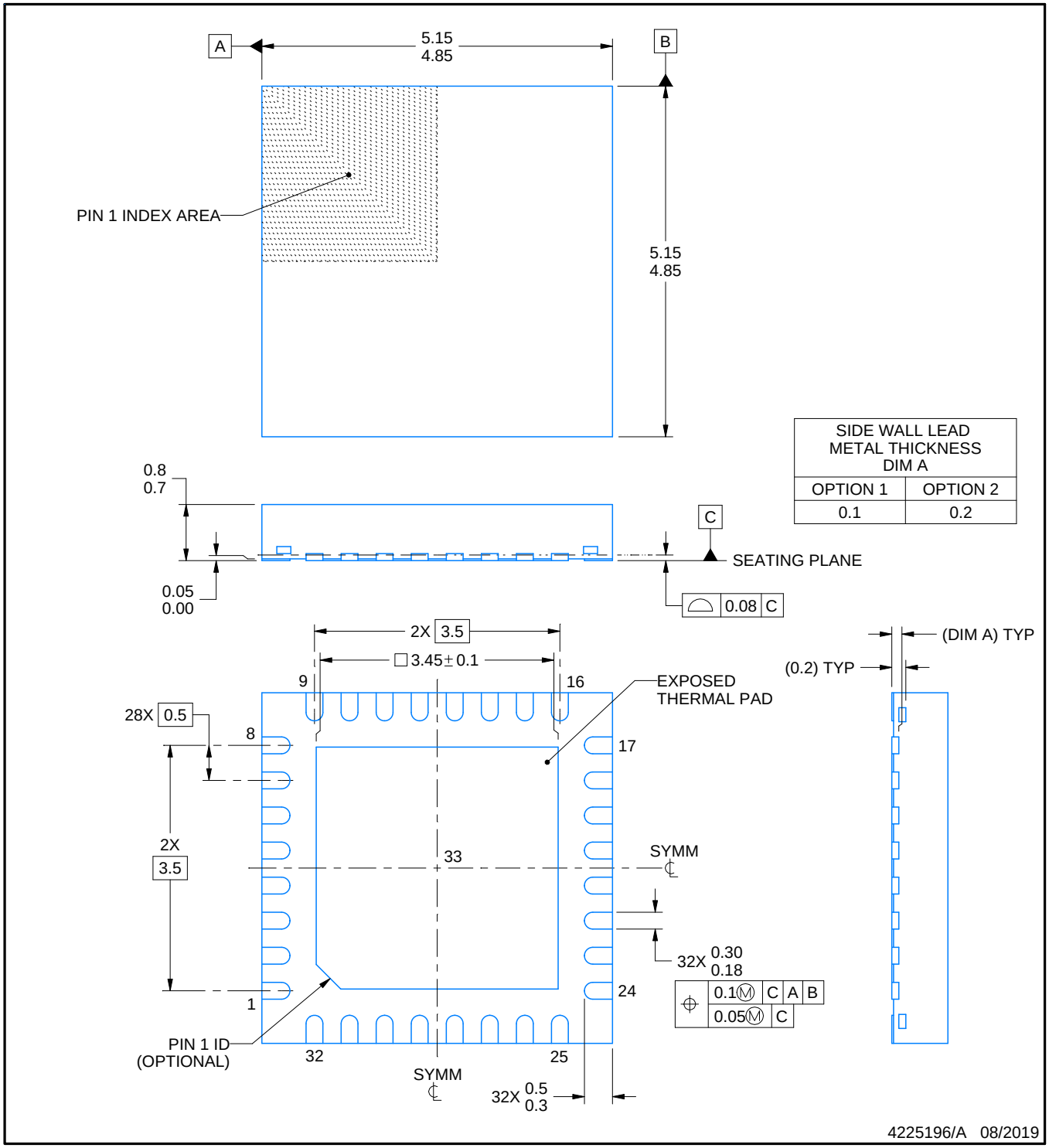
NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5–1994.
B. This drawing is subject to change without notice.
C. Quad Flatpack, No–Leads (QFN) package configuration.
D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
F. Falls within JEDEC MO–220.

RTV0032E

PACKAGE OUTLINE

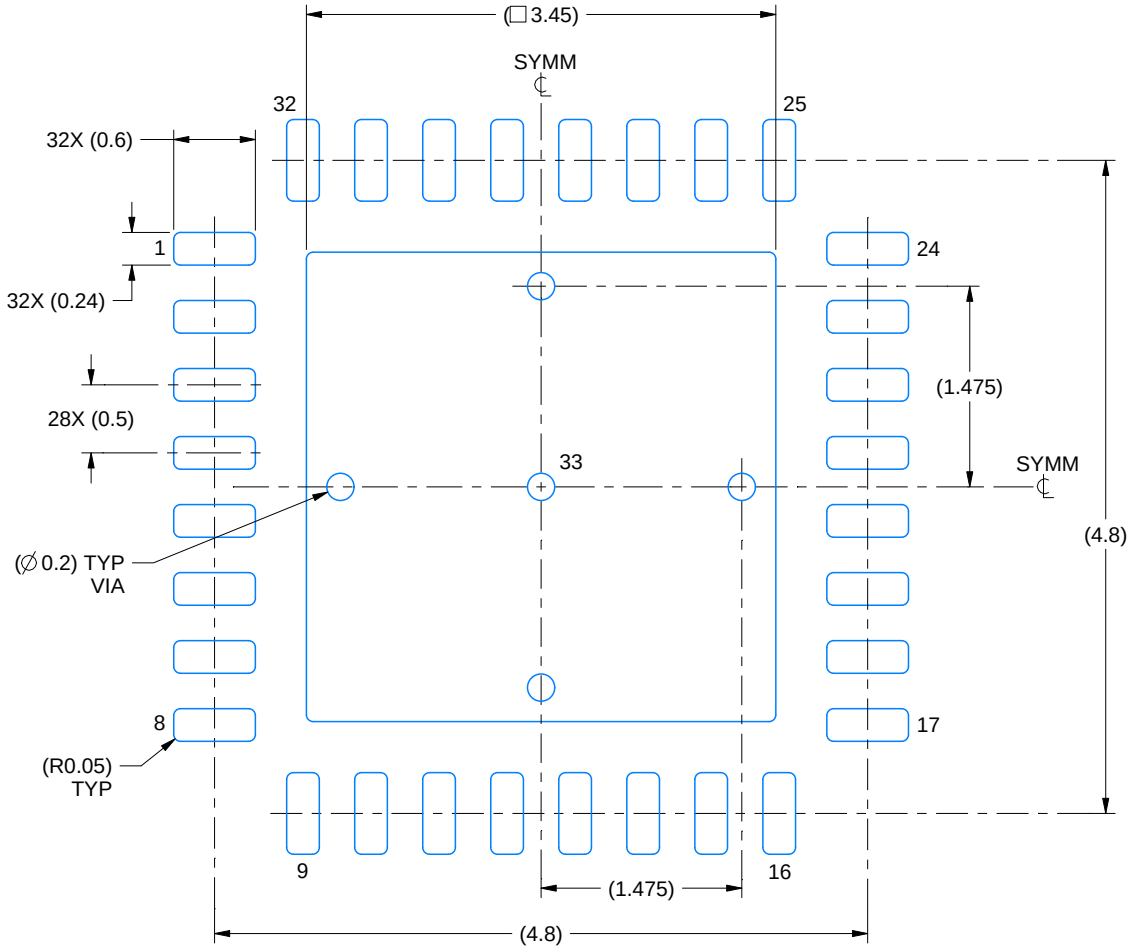
WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

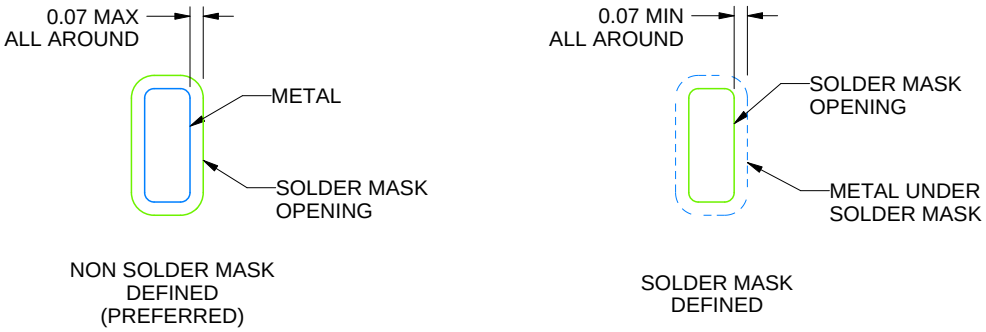


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:18X

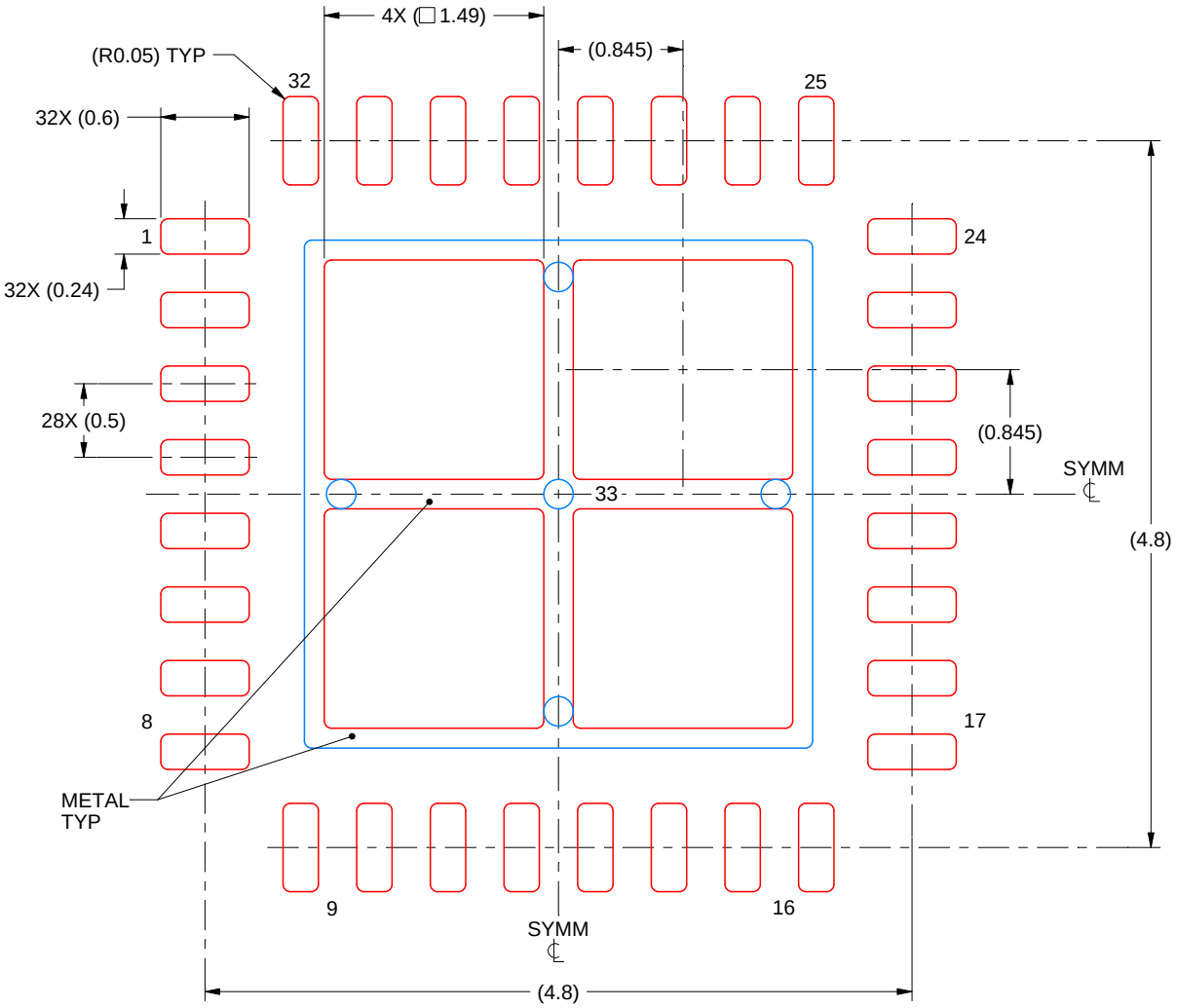


SOLDER MASK DETAILS

4225196/A 08/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4225196/A 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

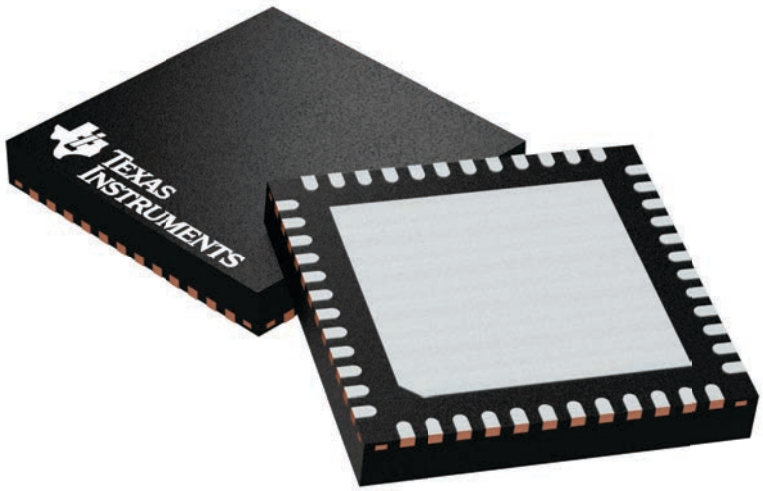
GENERIC PACKAGE VIEW

RGZ 48

VQFN - 1 mm max height

7 x 7, 0.5 mm pitch

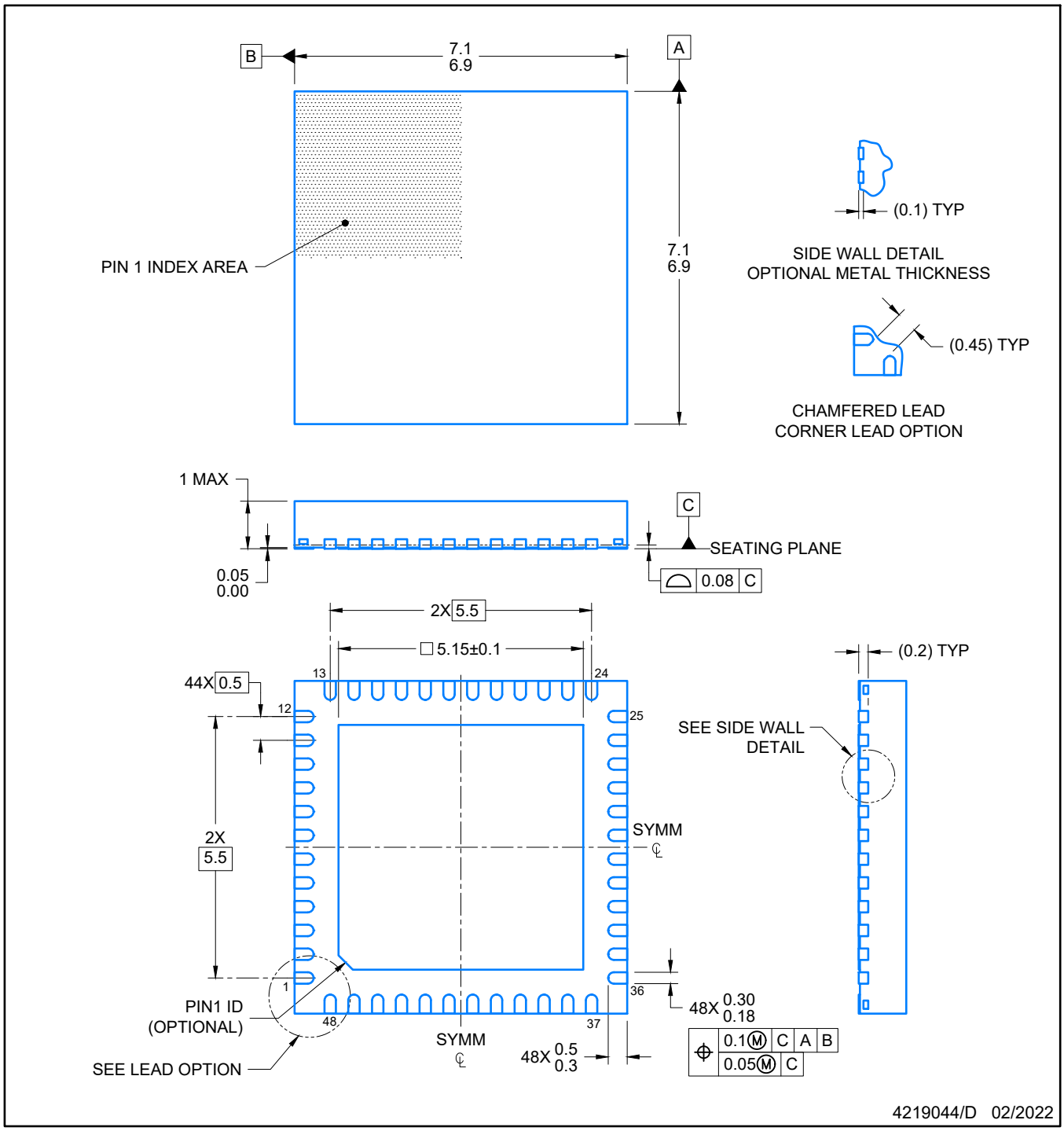
PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

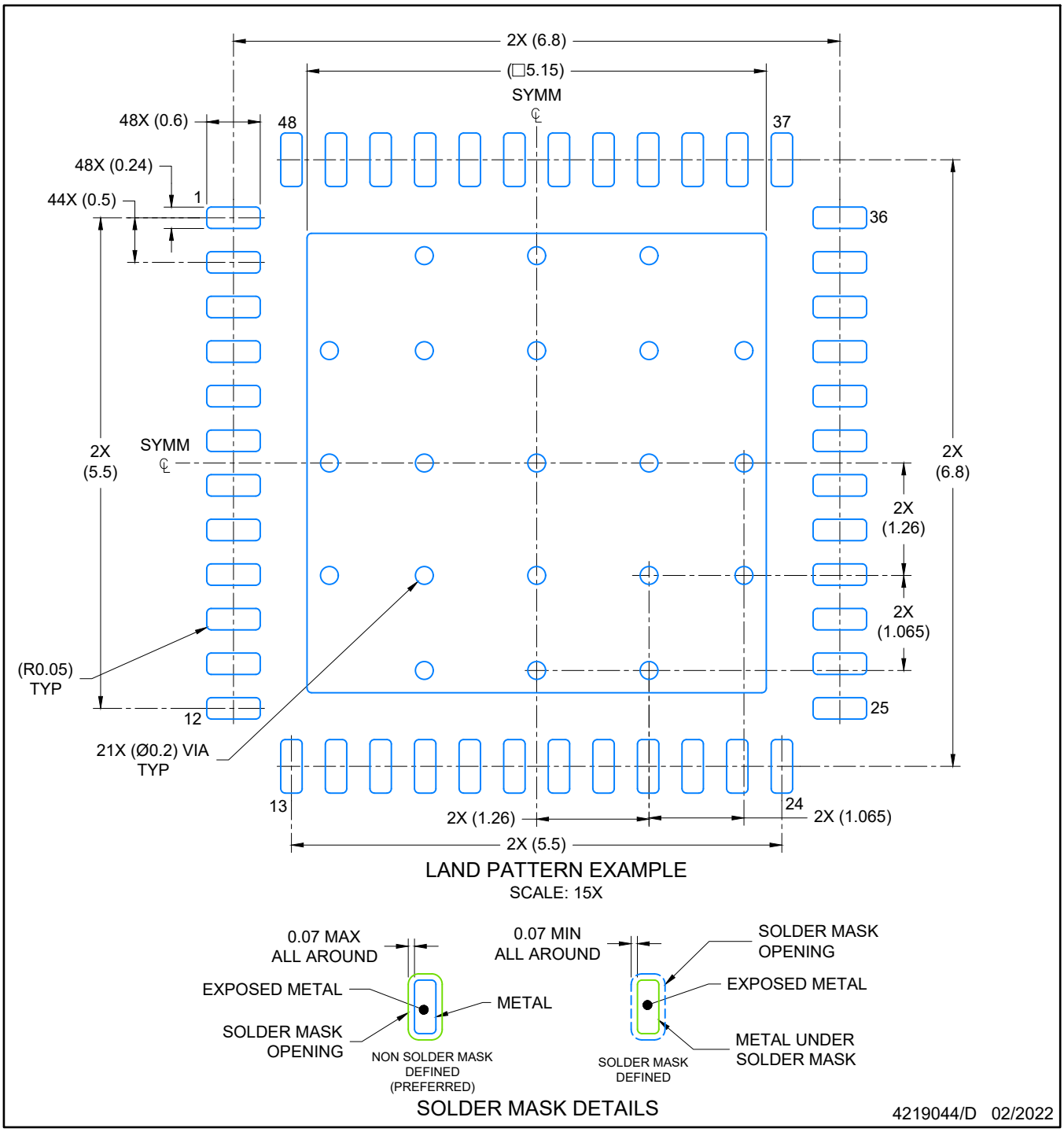
4224671/A

PLASTIC QUADFLAT PACK- NO LEAD



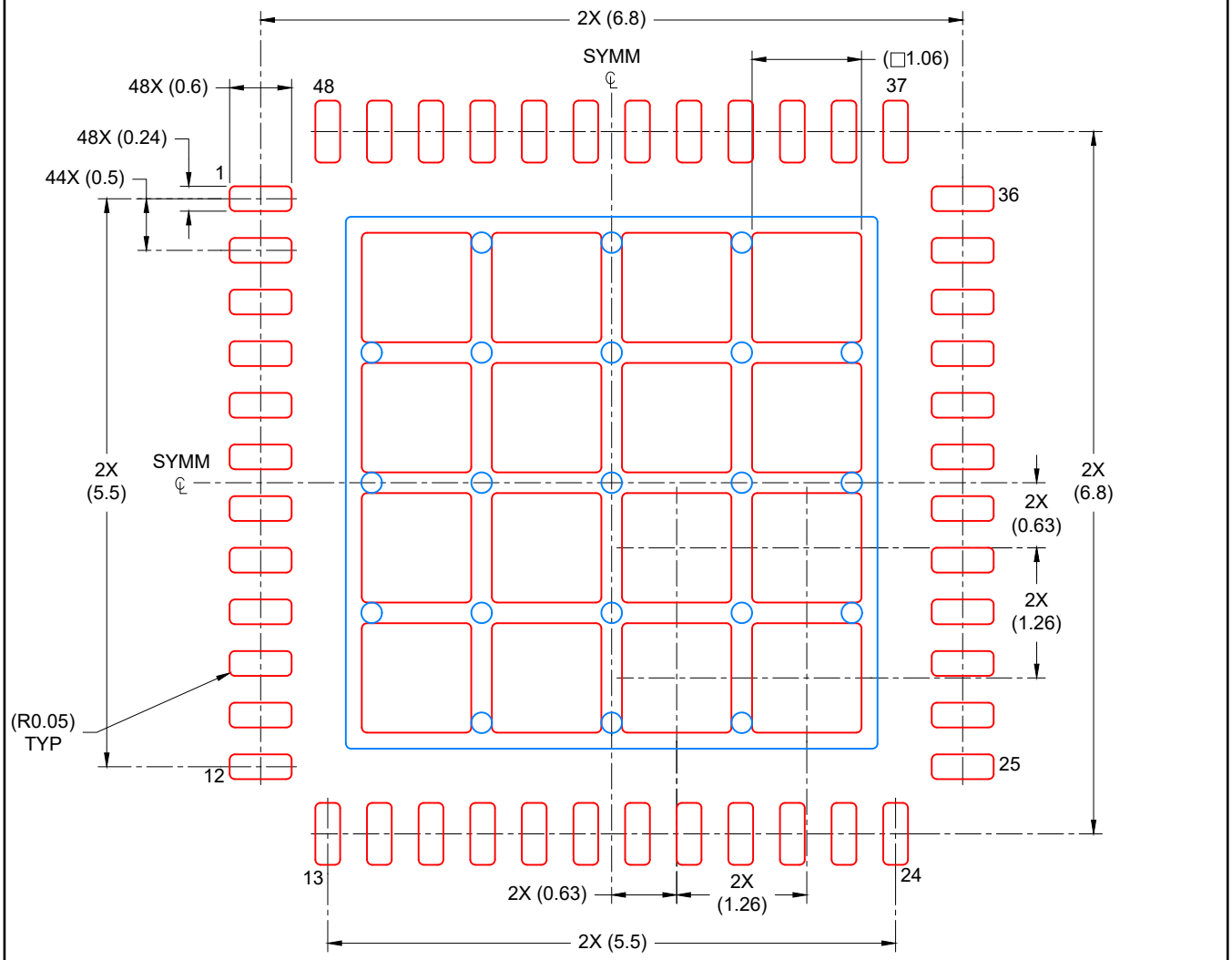
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

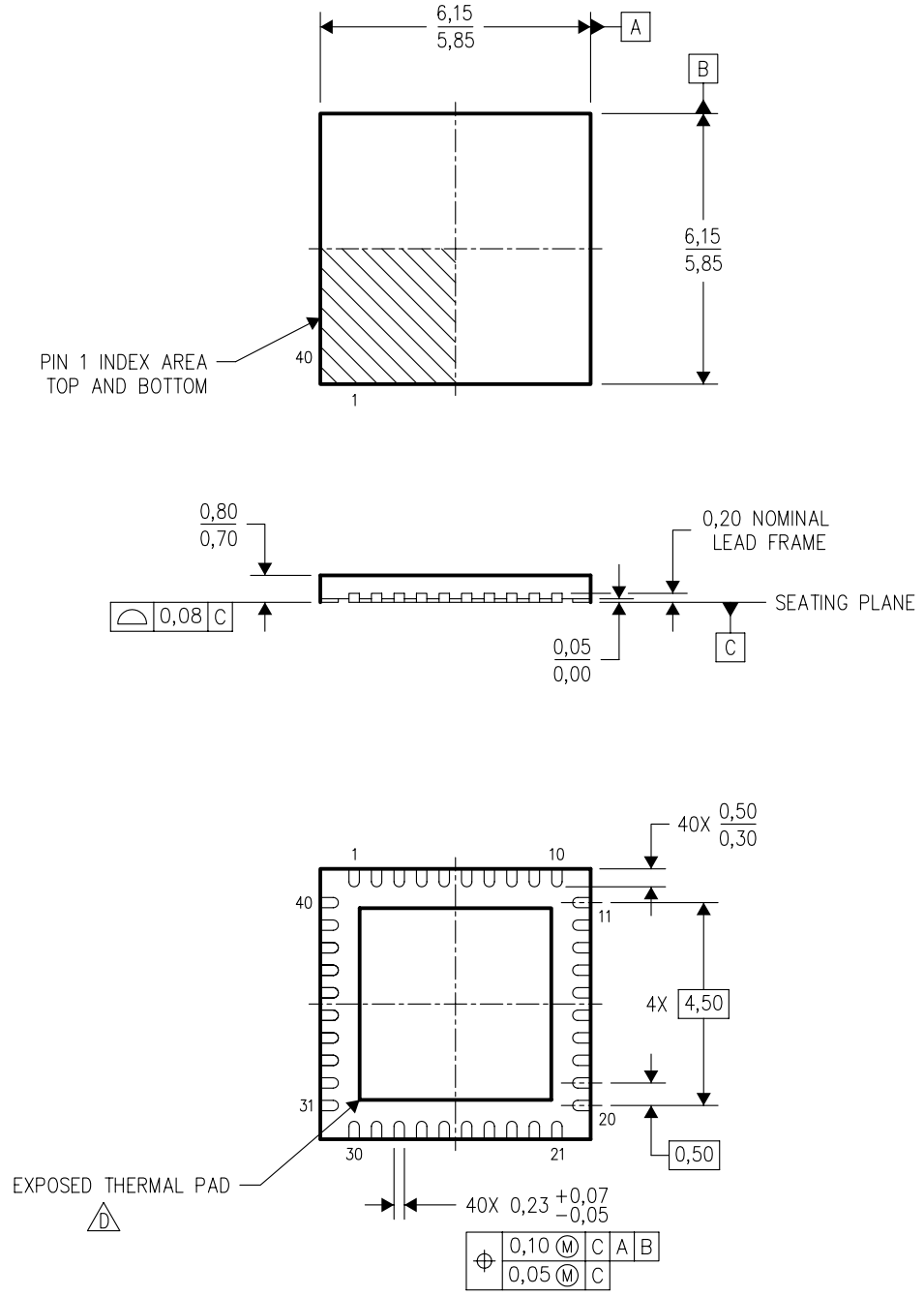
EXPOSED PAD
67% PRINTED COVERAGE BY AREA
SCALE: 15X

4219044/D 02/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

RTA (S–PQFP–N40) PLASTIC QUAD FLATPACK



4204422/B 11/04

NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. QFN (Quad Flatpack No–Lead) Package configuration.
D. The package thermal pad must be soldered to the board for thermal and mechanical performance. See the Product Data Sheet for details regarding the exposed thermal pad dimensions.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月