DRV835xF 100V 3 相スマート・ゲート・ドライバ

1 特長

- 9～100V、トリプル・ハーフブリッジ・ゲート・ドライバ
  - (オプション) トリプル・ローサイド電流シャント・アンプ
- 機能安全品質管理
  - IEC 61800-5-2 機能安全準拠システム設計を支援するドキュメントを提供
- スマート・ゲート・ドライブ・アーキテクチャ
  - 調整可能なスルーレート制御による EMI 性能の向上
  - V_{GS} ハンドシェイクおよび最小限のデッド・タイム挿入により貫通電流を回避
  - 50mA～1A のピーク・ソース電流
  - 100mA～2A のピーク・シンク電流
  - 強力なプルダウンにより dV/dt を低減
- ゲート・ドライバ電源を内蔵
  - ハイサイド・ダブラー・チャージ・ポンプによる 100% PWM デューティ・サイクル制御
  - ローサイドのリニア・レギュレータ
- トリプル電流シャント・アンプ内蔵
  - 可変ゲイン (5、10、20、40V/V)
  - 双方向または単方向のサポート
- 6x、3x、1x、および独立 PWM モード
  - 120° センサ付き動作をサポート
- SPI またはハードウェア・インターフェイスを利用可能
- 低消費電力のスリープ・モード (V_{VM} = 48V で 20μA)
- 保護機能内蔵
  - VM 低電圧誤動作防止 (UVLO)
  - ゲート駆動電源低電圧 (GDUV)
  - MOSFET V_{DS} 過電流保護 (OCP)
  - MOSFET 貫通電流防止
  - ゲート・ドライバのフォルト (GDF)
  - 熱警告およびシャットダウン (OTW/OTSD)
  - フォルト状態インジケータ (nFAULT)

2 アプリケーション

- 3 相のブラシレス DC (BLDC) モータ・モジュール
- サーボ・ドライブ、ファクトリ・オートメーション
- リニア・モータ輸送用システム
- 産業用協力ロボット (コボット)
- 無人搬送車、配達用ドローン
- 電動アシスト自転車、電動スクーター、E-モビリティ

3 概要

DRV835xF ファミリのデバイスは、3 相ブラシレス DC (BLDC) モータ・アプリケーション向けの高度に統合されたゲート・ドライバです。一部のデバイス・バリエーションは、各種モータ制御方式をサポートするための電流シャント・アンプを内蔵しています。

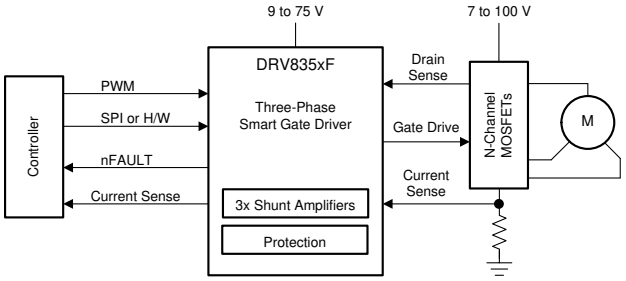
DRV835xF はスマート・ゲート・ドライブ (SGD) アーキテクチャを使用して、通常は MOSFET スルーレート制御および保護回路に必要となる外付け部品の数を減らしています。また、SGD アーキテクチャによりデッド・タイムが最適化されて貫通電流状況が防止され、MOSFET のスルーレート制御により電磁気干渉 (EMI) を柔軟に低減でき、V_{GS} 監視によってゲートの短絡状況に対する保護を行えます。ゲートの強力なプルダウン回路は、望ましくない dV/dt 寄生ゲート・ターンオンの防止に役立ちます。

各種の PWM 制御モード (6x、3x、1x、および独立) がサポートされており、外部コントローラと簡単に接続できます。これらのモードにより、モータ・ドライバ PWM 制御信号のために必要なコントローラ出力の数を減らすことができます。このファミリのデバイスには 1x PWM モードも含まれており、内部ブロックの通信テーブルを使用して、BLDC モータの単純なセンサ付き台形制御に使用できます。

製品情報

(1) 部品番号	パッケージ	本体サイズ (公称)
DRV8350F	WQFN (32)	5.00mm × 5.00mm
DRV8353F	WQFN (40)	6.00mm × 6.00mm

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。



概略回路図

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長.... 1
2 アプリケーション.... 1
3 概要.... 1
4 改訂履歴.... 2
5 デバイス比較表.... 3
6 ピン構成と機能.... 3
ピン機能 — 32 ピン DRV8350F デバイス.... 3
ピン機能 — 40 ピン DRV8353F デバイス.... 5
7 仕様.... 7
7.1 絶対最大定格.... 7
7.2 ESD 定格.... 7
7.3 推奨動作条件.... 8
7.4 熱に関する情報.... 8
7.5 電気的特性.... 9
7.6 SPI のタイミング要件.... 15
7.7 代表的特性.... 16
8 詳細説明.... 18
8.1 概要.... 18
8.2 機能ブロック図.... 19
8.3 機能説明.... 22
8.4 デバイスの機能モード.... 45
8.5 プログラミング.... 46
8.6 レジスタ・マップ.... 48
9 アプリケーションと実装.... 59
9.1 アプリケーション情報.... 59
9.2 代表的なアプリケーション.... 59
10 電源に関する推奨事項.... 71
10.1 バルク容量の決定.... 71
11 レイアウト.... 72
11.1 レイアウトの注意点.... 72
11.2 レイアウト例.... 73
12 デバイスおよびドキュメントのサポート.... 74
12.1 デバイスのサポート.... 74
12.2 ドキュメントのサポート.... 74
12.3 関連リンク.... 75
12.4 Receiving Notification of Documentation Updates.. 75
12.5 サポート・リソース.... 75
12.6 商標.... 75
12.7 Electrostatic Discharge Caution.... 75
12.8 Glossary.... 75
13 メカニカル、パッケージ、および注文情報.... 75

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (October 2020) to Revision B (August 2021) — **Page**

- DRV8353RF と DRV8350RF への参照を削除.... 1
- 主要および代替アプリケーションの図を更新.... 59
- レイアウト例を更新.... 73
- 「デバイス命名規則」を更新.... 74

Changes from Revision * (August 2018) to Revision A (October 2020) — **Page**

- ドキュメントのステータスを「量産データ」に変更.... 1
- DRV8350 および DRV8353 からプレビューのみという注記を削除.... 1

Copyright © 2022 Texas Instruments Incorporated

5 デバイス比較表

デバイス	バリエーション	シャント・アンプ	インターフェイス
DRV8350F	DRV8350FH	0	ハードウェア (H)
	DRV8350FS		SPI (S)
DRV8353F	DRV8353FH	3	ハードウェア (H)
	DRV8353FS		SPI (S)

6 ピン構成と機能

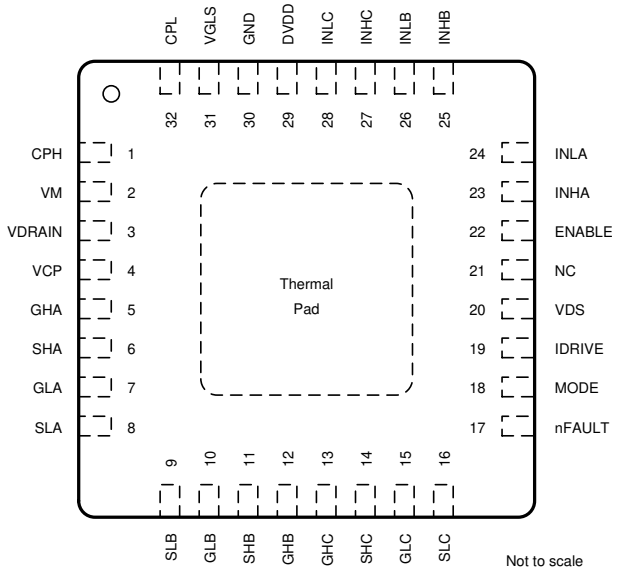


図 6-1. DRV8350FH RTV パッケージ 32 ピン WQFN (露出サーマル・パッド付き) 上面図

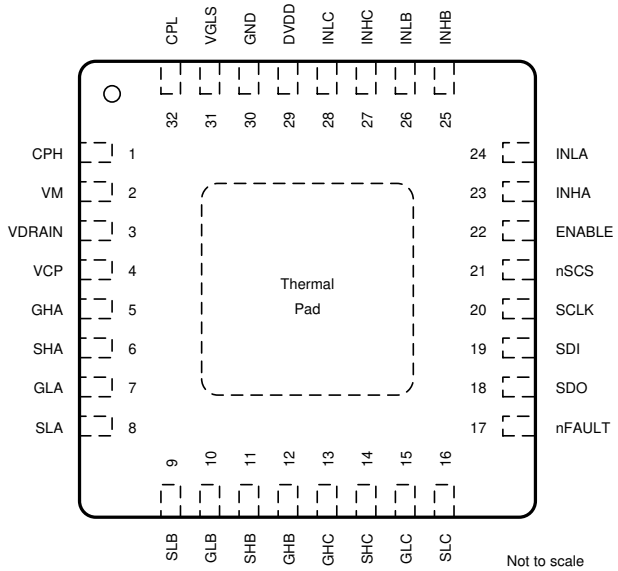


図 6-2. DRV8350FS RTV パッケージ 32 ピン WQFN (露出サーマル・パッド付き) 上面図

ピン機能 — 32 ピン DRV8350F デバイス

ピン			タイプ [(1)]	説明
名前	番号			
	DRV8350FH	DRV8350FS		
CPH	1	1	PWR	チャージ・ポンプのスイッチング・ノード。X5R または X7R、47nF、VDRAIN 定格セラミック・コンデンサを CPH ピンと CPL ピンの間に接続します。
CPL	32	32	PWR	チャージ・ポンプのスイッチング・ノード。X5R または X7R、47nF、VDRAIN 定格セラミック・コンデンサを CPH ピンと CPL ピンの間に接続します。
DVDD	29	29	PWR	5V 内部レギュレータ出力。X5R または X7R、1μF、6.3V セラミック・コンデンサを DVDD ピンと GND ピンの間に接続します。このレギュレータは最大 10mA を外部にソースできます。
ENABLE	22	22	I	ゲート・ドライバのイネーブル。このピンを論理 Low にすると、本デバイスは低消費電力のスリープ・モードに移行します。8～40μs のパルスを使ってフォルト条件をリセットできます。
GHA	5	5	O	ハイサイド・ゲート・ドライバ出力。ハイサイド・パワー MOSFET のゲートに接続します。
GHB	12	12	O	ハイサイド・ゲート・ドライバ出力。ハイサイド・パワー MOSFET のゲートに接続します。
GHC	13	13	O	ハイサイド・ゲート・ドライバ出力。ハイサイド・パワー MOSFET のゲートに接続します。
GLA	7	7	O	ローサイド・ゲート・ドライバ出力。ローサイド・パワー MOSFET のゲートに接続します。
GLB	10	10	O	ローサイド・ゲート・ドライバ出力。ローサイド・パワー MOSFET のゲートに接続します。
GLC	15	15	O	ローサイド・ゲート・ドライバ出力。ローサイド・パワー MOSFET のゲートに接続します。
GND	30	30	PWR	デバイスの基本的なグランド。システム・グランドに接続します。
IDRIVE	19	—	I	ゲート駆動出力電流設定。このピンは、外付け抵抗で設定される 7 レベル入力ピンです。
INHA	23	23	I	ハイサイド・ゲート・ドライバの制御入力。このピンはハイサイド・ゲート・ドライバの出力を制御します。
INHB	25	25	I	ハイサイド・ゲート・ドライバの制御入力。このピンはハイサイド・ゲート・ドライバの出力を制御します。
INHC	27	27	I	ハイサイド・ゲート・ドライバの制御入力。このピンはハイサイド・ゲート・ドライバの出力を制御します。

ピン			タイプ (1)	説明
名前	番号			
	DRV8350FH	DRV8350FS		
INLA	24	24	I	ローサイド・ゲート・ドライバの制御入力。このピンはローサイド・ゲート・ドライバの出力を制御します。
INLB	26	26	I	ローサイド・ゲート・ドライバの制御入力。このピンはローサイド・ゲート・ドライバの出力を制御します。
INLC	28	28	I	ローサイド・ゲート・ドライバの制御入力。このピンはローサイド・ゲート・ドライバの出力を制御します。
MODE	18	—	I	PWM 入力モード設定。このピンは、外付け抵抗で設定される 4 レベル入力ピンです。
NC	21	—	NC	内部で接続されていません。このピンはフローティングのままにしておくことも、システム・グランドに接続することもできます。
nFAULT	17	17	OD	フォルト通知出力。このピンはフォルト条件中論理 Low にプルされ、外付けプルアップ抵抗を必要とします。
nSCS	—	21	I	シリアル・チップ選択。このピンを論理 Low にすると、シリアル・インターフェイス通信が有効になります。
SCLK	—	20	I	シリアル・クロック入力。シリアル・データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト・アウトおよびキャプチャされます。
SDI	—	19	I	シリアル・データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます。
SDO	—	18	OD	シリアル・データ出力。データは、SCLK ピンの立ち上がりエッジでシフト・アウトされます。このピンは外付けプルアップ抵抗を必要とします。
SHA	6	6	I	ハイサイド・ソース検出入力。ハイサイド・パワー MOSFET のソースに接続します。
SHB	11	11	I	ハイサイド・ソース検出入力。ハイサイド・パワー MOSFET のソースに接続します。
SHC	14	14	I	ハイサイド・ソース検出入力。ハイサイド・パワー MOSFET のソースに接続します。
SLA	8	8	I	ローサイド・ソース検出入力。ローサイド・パワー MOSFET のソースに接続します。
SLB	9	9	I	ローサイド・ソース検出入力。ローサイド・パワー MOSFET のソースに接続します。
SLC	16	16	I	ローサイド・ソース検出入力。ローサイド・パワー MOSFET のソースに接続します。
VCP	4	4	PWR	チャージ・ポンプの出力。X5R または X7R、1μF、16V セラミック・コンデンサを VCP ピンと VDRAIN ピンの間に接続します。
VDRAIN	3	3	I	ハイサイド MOSFET ドレイン検出入力およびチャージ・ポンプ基準電圧。MOSFET のドレインの共通ポイントに接続します。
VDS	20	—	I	VDS モニタのトリップ・ポイント設定。このピンは、外付け抵抗で設定される 7 レベル入力ピンです。
VGLS	31	31	PWR	11V 内部レギュレータ出力。X5R または X7R、1μF、16V セラミック・コンデンサを VGLS ピンと GND ピンの間に接続します。
VM	2	2	PWR	ゲート・ドライバの電源入力。VDRAIN または個別のゲート・ドライバ電源電圧に接続します。X5R または X7R、0.1μF、VM 定格セラミック・コンデンサと 10μF 以上のローカル・コンデンサを VM ピンと GND ピンの間に接続します。

(1) PWR = 電源、I = 入力、O = 出力、NC = 接続なし、OD = オープン・ドレイン

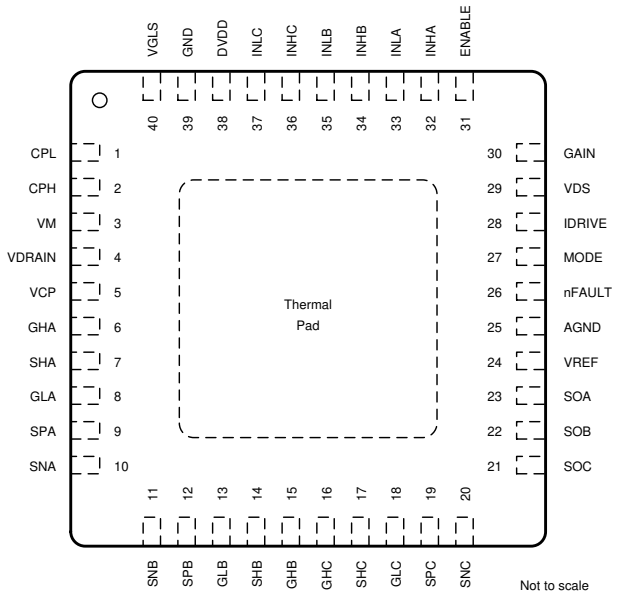


図 6-3. DRV8353FH RTA パッケージ 40 ピン WQFN (露出サーマル・パッド付き) 上面図

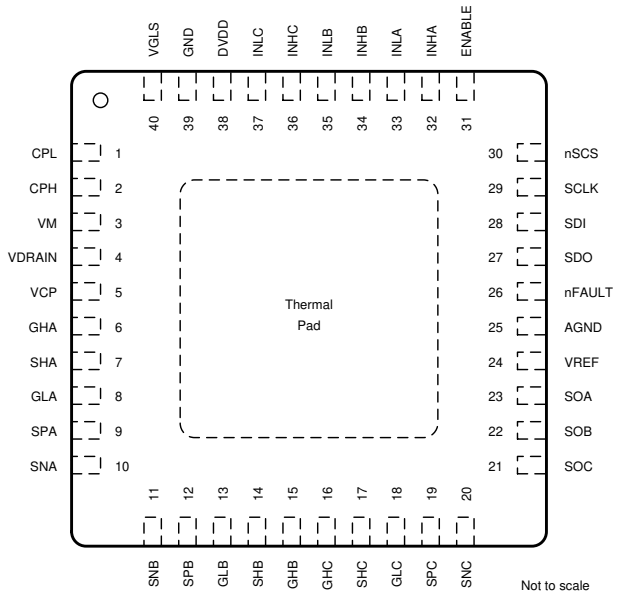


図 6-4. DRV8353FS RTA パッケージ 40 ピン WQFN (露出サーマル・パッド付き) 上面図

Copyright © 2022 Texas Instruments Incorporated

ピン機能 — 40 ピン DRV8353F デバイス

ピン			タイプ (1)	説明
名前	番号			
	DRV8353FH	DRV8353FS		
AGND	25	25	PWR	デバイスのアナログ・グランド。システム・グランドに接続します。
CPH	2	2	PWR	チャージ・ポンプのスイッチング・ノード。X5R または X7R、47nF、VDRAIN 定格セラミック・コンデンサを CPH ピンと CPL ピンの間に接続します。
CPL	1	1	PWR	チャージ・ポンプのスイッチング・ノード。X5R または X7R、47nF、VDRAIN 定格セラミック・コンデンサを CPH ピンと CPL ピンの間に接続します。
DVDD	38	38	PWR	5V 内部レギュレータ出力。X5R または X7R、1μF、6.3V セラミック・コンデンサを DVDD ピンと GND ピンの間に接続します。このレギュレータは最大 10mA を外部にソースできます。
ENABLE	31	31	I	ゲート・ドライバのイネーブル。このピンを論理 Low にすると、本デバイスは低消費電力のスリープ・モードに移行します。8～40μs の Low パルスを使うとフォルト条件をリセットできます。
GAIN	30	—	I	アンプ・ゲイン設定。このピンは、外付け抵抗で設定される 4 レベル入力ピンです。
GND	39	39	PWR	デバイスの電源グランド。システム・グランドに接続します。
GHA	6	6	O	ハイサイド・ゲート・ドライバ出力。ハイサイド・パワー MOSFET のゲートに接続します。
GHB	15	15	O	ハイサイド・ゲート・ドライバ出力。ハイサイド・パワー MOSFET のゲートに接続します。
GHC	16	16	O	ハイサイド・ゲート・ドライバ出力。ハイサイド・パワー MOSFET のゲートに接続します。
GLA	8	8	O	ローサイド・ゲート・ドライバ出力。ローサイド・パワー MOSFET のゲートに接続します。
GLB	13	13	O	ローサイド・ゲート・ドライバ出力。ローサイド・パワー MOSFET のゲートに接続します。
GLC	18	18	O	ローサイド・ゲート・ドライバ出力。ローサイド・パワー MOSFET のゲートに接続します。
IDRIVE	28	—	I	ゲート駆動出力電流設定。このピンは、外付け抵抗で設定される 7 レベル入力ピンです。
INHA	32	32	I	ハイサイド・ゲート・ドライバの制御入力。このピンはハイサイド・ゲート・ドライバの出力を制御します。
INHB	34	34	I	ハイサイド・ゲート・ドライバの制御入力。このピンはハイサイド・ゲート・ドライバの出力を制御します。
INHC	36	36	I	ハイサイド・ゲート・ドライバの制御入力。このピンはハイサイド・ゲート・ドライバの出力を制御します。
INLA	33	33	I	ローサイド・ゲート・ドライバの制御入力。このピンはローサイド・ゲート・ドライバの出力を制御します。
INLB	35	35	I	ローサイド・ゲート・ドライバの制御入力。このピンはローサイド・ゲート・ドライバの出力を制御します。
INLC	37	37	I	ローサイド・ゲート・ドライバの制御入力。このピンはローサイド・ゲート・ドライバの出力を制御します。
MODE	27	—	I	PWM 入力モード設定。このピンは、外付け抵抗で設定される 4 レベル入力ピンです。
nFAULT	26	26	OD	フォルト通知出力。このピンはフォルト条件中論理 Low にプルされ、外付けプルアップ抵抗を必要とします。
nSCS	—	30	I	シリアル・チップ選択。このピンを論理 Low にすると、シリアル・インターフェイス通信が有効になります。
SCLK	—	29	I	シリアル・クロック入力。シリアル・データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト・アウトおよびキャプチャされます。
SDI	—	28	I	シリアル・データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます。
SDO	—	27	OD	シリアル・データ出力。データは、SCLK ピンの立ち上がりエッジでシフト・アウトされます。このピンは外付けプルアップ抵抗を必要とします。
SHA	7	7	I	ハイサイド・ソース検出入力。ハイサイド・パワー MOSFET のソースに接続します。
SHB	14	14	I	ハイサイド・ソース検出入力。ハイサイド・パワー MOSFET のソースに接続します。
SHC	17	17	I	ハイサイド・ソース検出入力。ハイサイド・パワー MOSFET のソースに接続します。
SNA	10	10	I	シャント・アンプの入力。電流シャント抵抗の低電位側に接続します。
SNB	11	11	I	シャント・アンプの入力。電流シャント抵抗の低電位側に接続します。
SNC	20	20	I	シャント・アンプの入力。電流シャント抵抗の低電位側に接続します。
SOA	23	23	O	シャント・アンプ出力。
SOB	22	22	O	シャント・アンプ出力。
SOC	21	21	O	シャント・アンプ出力。
SPA	9	9	I	ローサイド・ソース検出およびシャント・アンプ入力。ローサイド・パワー MOSFET のソースと電流シャント抵抗の高電位側に接続します。
SPB	12	12	I	ローサイド・ソース検出およびシャント・アンプ入力。ローサイド・パワー MOSFET のソースと電流シャント抵抗の高電位側に接続します。
SPC	19	19	I	ローサイド・ソース検出およびシャント・アンプ入力。ローサイド・パワー MOSFET のソースと電流シャント抵抗の高電位側に接続します。
VCP	5	5	PWR	チャージ・ポンプの出力。X5R または X7R、1μF、16V セラミック・コンデンサを VCP ピンと VDRAIN ピンの間に接続します。
VDRAIN	4	4	I	ハイサイド MOSFET ドレイン検出入力およびチャージ・ポンプ基準電圧。MOSFET のドレインの共通ポイントに接続します。
VDS	29	—	I	VDS モニタのトリップ・ポイント設定。このピンは、外付け抵抗で設定される 7 レベル入力ピンです。
VGLS	40	40	PWR	11V 内部レギュレータ出力。X5R または X7R、1μF、16V セラミック・コンデンサを VGLS ピンと GND ピンの間に接続します。
VM	3	3	PWR	ゲート・ドライバの電源入力。VDRAIN または個別のゲート・ドライバ電源電圧に接続します。X5R または X7R、0.1μF、VM 定格セラミック・コンデンサと 10μF 以上のローカル・コンデンサを VM ピンと GND ピンの間に接続します。

ピン			タイプ (1)	説明
名前	番号			
	DRV8353FH	DRV8353FS		
VREF	24	24	PWR	シャント・アンプの電源入力と基準電圧 X5R または X7R、0.1μF、6.3V セラミック・コンデンサを VREF ピンと AGND ピンの間に接続します。

(1) PWR = 電源、I = 入力、O = 出力、NC = 接続なし、OD = オープン・ドレイン

Copyright © 2022 Texas Instruments Incorporated

7 仕様

7.1 絶対最大定格

T_A = -40℃～+125℃ (特に記述のない限り) (1)

	最小	最大	単位
ゲート・ドライバ			
電源ピン電圧 (VM)	-0.3	80	V
グランド・ピン (AGND、BGND、DGND、PGND) 間の電圧差	-0.3	0.3	V
MOSFET ドレイン検出ピン電圧 (VDRAIN)	-0.3	102	V
MOSFET ドレイン検出ピン電圧 (VDRAIN) スルーレート	0	2	V/µs
チャージ・ポンプ・ピン電圧 (CPH、VCP)	-0.3	V_{VDRAIN} + 16	V
チャージ・ポンプ負スイッチング・ピン電圧 (CPL)	-0.3	V_{VDRAIN}	V
ローサイド・ゲート駆動レギュレータ・ピン電圧 (VGLS)	-0.3	18	V
内部ロジック・レギュレータ・ピン電圧 (DVDD)	-0.3	5.75	V
デジタル・ピン電圧 (ENABLE、GAIN、IDRIVE、INHx、INLx、MODE、nFAULT、nSCS、SCLK、SDI、SDO、VDS)	-0.3	5.75	V
連続ハイサイド・ゲート駆動ピン電圧 (GHx)	-5 (2)	V_{VCP} + 0.3	V
過渡 200ns ハイサイド・ゲート駆動ピン電圧 (GHx)	-10	V_{VCP} + 0.3	V
SHx を基準としたハイサイド・ゲート駆動ピン電圧 (GHx)	-0.3	16	V
連続ハイサイド・ソース検出ピン電圧 (SHx)	-5 (2)	102	V
連続ハイサイド・ソース検出ピン電圧 (SHx)	-5 (2)	V_{VDRAIN} + 5	V
過渡 200ns ハイサイド・ソース検出ピン電圧 (SHx)	-10	V_{VDRAIN} + 10	V
連続ローサイド・ゲート駆動ピン電圧 (GLx)	-1.0	V_{VGLS} + 0.3	V
過渡 200ns ローサイド・ゲート駆動ピン電圧 (GLx)	-5.0	V_{VGLS} + 0.3	V
ゲート駆動ピン・ソース電流 (GHx、GLx)	内部的に制限	内部的に制限	A
ゲート駆動ピン・シンク電流 (GHx、GLx)	内部的に制限	内部的に制限	A
連続ローサイド・ソース検出ピン電圧 (SLx)	-1	1	V
過渡 200ns ローサイド・ソース検出ピン電圧 (SLx)	-5	5	V
連続シャント・アンプ入力ピン電圧 (SNx、SPx)	-1	1	V
過渡 200ns シャント・アンプ入力ピン電圧 (SNx、SPx)	-5	5	V
基準電圧入力ピン電圧 (VREF)	-0.3	5.75	V
シャント・アンプ出力ピン電圧 (SOx)	-0.3	V_{VREF} + 0.3	V
周囲温度、T_A	-40	125	℃
接合部温度、T_J	-40	150	℃
保管温度、T_{stg}	-65	150	℃

(1) *絶対最大定格*を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「*推奨動作条件*」に示された値を越える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
(2) ハイサイド・ゲート・ピン (GHx) を基準とした VDRAIN ピンの電圧と位相ノード・ピン (SHx) の電圧は、最大 102V に制限する必要があります。これにより、VDRAIN が 92V を超える場合の GHx および SHx ピンの負電圧能力が制限されます。

7.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±1000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 (2)	±500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 制御プロセスで安全な製造が可能であると記載されています。±2000V と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 制御プロセスで安全な製造が可能であると記載されています。±500V と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。

7.3 推奨動作条件

T_A = -40℃～+125℃ (特に記述のない限り)

		最小値	最大値	単位
ゲート・ドライバ				
V_{VM}	ゲート・ドライバの電源電圧 (VM)	9	75	V
V_{VDRAIN}	チャージ・ポンプ基準電圧およびドレイン電圧検出 (VDRAIN)	7	100	V
V_I	入力電圧 (ENABLE、GAIN、IDRIVE、INHx、INLx、MODE、nSCS、SCLK、SDI、VDS)	0	5.5	V
f_{PWM}	PWM 印加信号 (INHx、INLx)	0	200 (1)	kHz
t_{SH}	スイッチ・ノードのスルーレート範囲 (SHx)	0	2	V/ns
I_{GATE_HS}	ハイサイド平均ゲート駆動電流 (GHx)	0	25 (1)	mA
I_{GATE_LS}	ローサイド平均ゲート駆動電流 (GLx)	0	25 (1)	mA
I_{DVDD}	外部負荷電流 (DVDD)	0	10 (1)	mA
V_{VREF}	基準電圧入力 (VREF)	3	5.5	V
I_{SO}	シャント・アンプ出力電流 (SOx)	0	5	mA
V_{OD}	オープン・ドレイン・プルアップ電圧 (nFAULT、SDO)	0	5.5	V
I_{OD}	オープン・ドレイン出力電流 (nFAULT、SDO)	0	5	mA
T_A	動作時周囲温度	-40	125	℃
T_J	動作時接合部温度	-40	150	℃

(1) 消費電力および温度の制限に従う必要があります。

7.4 熱に関する情報

熱評価基準 (1)		DRV8350F RTV (WQFN) 32 ピン	DRV8353F RTA (WQFN) 40 ピン	単位
$R_{\theta JA}$	ジャンクションから周囲までの熱抵抗	29.2	26.1	℃/W
$R_{\theta JC(top)}$	ジャンクションからケース (上部) までの熱抵抗	15.2	13.1	℃/W
$R_{\theta JB}$	ジャンクションから基板までの熱抵抗	9.2	8.4	℃/W
ψ_{JT}	接合部から上面への熱特性パラメータ	0.1	0.1	℃/W
ψ_{JB}	接合部から基板への熱特性パラメータ	9.2	8.4	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	1.2	1.1	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

Copyright © 2022 Texas Instruments Incorporated

7.5 電気的特性

T_A = -40℃～+125℃、V_{VM} = 9～75V、V_{VDRAIN} = 9～100V、V_{VIN} = 48V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (DVDD、VCP、VGLS、VM)						
I_{VM}	VM 動作電源電流	V_{VM} = V_{VDRAIN} = 48V、ENABLE = 3.3V、INHx/INLx = 0V		8.5	13	mA
I_{VDRAIN}	VDRAIN 動作電源電流	V_{VM} = V_{VDRAIN} = 48V、ENABLE = 3.3V、INHx/INLx = 0V		1.9	4	mA
I_{SLEEP}	スリープ・モード電源電流	ENABLE = 0V、V_{VM} = V_{VDRAIN} = 48V、T_A = 25℃		20	40	μA
		ENABLE = 0V、V_{VM} = V_{VDRAIN} = 48V、T_A = 125℃			100	
t_{RST}	リセット・パルス時間	フォルトをリセットするのに必要な ENABLE = 0V の期間	5		40	μs
t_{WAKE}	ターンオン時間	V_{VM} > V_{UVLO}、出力を準備完了にするのに必要な ENABLE = 3.3V の期間			1	ms
t_{SLEEP}	ターンオフ時間	デバイスをスリープ・モードに移行させるのに必要な ENABLE = 0V の期間			1	ms
V_{DVDD}	DVDD レギュレータ電圧	I_{DVDD} = 0～10mA	4.75	5	5.25	V
V_{VCP}	VCP 動作電圧 (VDRAIN 基準)	V_{VM} = 15V、I_{VCP} = 0～25mA	9	10.5	12	V
		V_{VM} = 12V、I_{VCP} = 0～20mA	7.5	10	11.5	
		V_{VM} = 10V、I_{VCP} = 0～15mA	6	8	9.5	
		V_{VM} = 9V、I_{VCP} = 0～10mA	5.5	7.5	8.5	
V_{VGLS}	VGLS 動作電圧 (GND 基準)	V_{VM} = 15V、I_{VGLS} = 0～25mA	13	14.5	16	V
		V_{VM} = 12V、I_{VGLS} = 0～20mA	10	11.5	12.5	

T_A = -40℃～+125℃、V_{VM} = 9～75V、V_{VDRAIN} = 9～100V、V_{VIN} = 48V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
		V_{VM} = 10V、I_{VGLS} = 0～15mA	8	9.5	10.5	
		V_{VM} = 9V、I_{VGLS} = 0～10mA	7	8.5	9.5	
論理レベル入力 (ENABLE、INHx、INLx、nSCS、SCLK、SDI)						
V_{IL}	入力論理 Low 電圧		0		0.8	V
V_{IH}	入力論理 High 電圧		1.5		5.5	V
V_{HYS}	入力論理ヒステリシス			100		mV
I_{IL}	入力論理 Low 電流	V_{VIN} = 0V	-5		5	μA
I_{IH}	入力論理 High 電流	V_{VIN} = 5V		50	70	μA
R_{PD}	プルダウン抵抗	対 GND		100		kΩ
t_{PD}	伝搬遅延	INHx/INLx の遷移から GHx/GLx の遷移まで		200		ns
4 レベル H/W 入力 (GAIN、MODE)						
V_{I1}	入力モード 1 電圧	GND に接続		0		V
V_{COMP1}	クワッドレベル電圧コンパレータ 1	V_{I1} と V_{I2} の間の電圧コンパレータ	1.156	1.256	1.356	V
V_{I2}	入力モード 2 電圧	47kΩ ± 5% で GND に接続		1.9		V
V_{COMP2}	クワッドレベル電圧コンパレータ 1	V_{I2} と V_{I3} の間の電圧コンパレータ	2.408	2.508	2.608	V
V_{I3}	入力モード 3 電圧	Hi-Z		3.1		V
V_{COMP3}	クワッドレベル電圧コンパレータ 3	V_{I3} と V_{I4} の間の電圧コンパレータ	3.614	3.714	3.814	V
V_{I4}	入力モード 4 電圧	DVDD に接続		5		V
R_{PU}	プルアップ抵抗	DVDD に内部プルアップ		50		kΩ
R_{PD}	プルダウン抵抗	GND に内部プルダウン		84		kΩ
7 レベル H/W 入力 (IDRIVE、VDS)						
V_{I1}	入力モード 1 電圧	GND に接続		0		V
V_{COMP1}	7 レベル電圧コンパレータ 1	V_{I1} と V_{I2} の間の電圧コンパレータ	0.057	0.157	0.257	V
V_{I2}	入力モード 2 電圧	18kΩ ± 5% で GND に接続		0.8		V
V_{COMP2}	7 レベル電圧コンパレータ 2	V_{I2} と V_{I3} の間の電圧コンパレータ	1.158	1.258	1.358	V
V_{I3}	入力モード 3 電圧	75kΩ ± 5% で GND に接続		1.7		V
V_{COMP3}	7 レベル電圧コンパレータ 3	V_{I3} と V_{I4} の間の電圧コンパレータ	2.257	2.357	2.457	V
V_{I4}	入力モード 4 電圧	Hi-Z		2.5		V
V_{COMP4}	7 レベル電圧コンパレータ 4	V_{I4} と V_{I5} の間の電圧コンパレータ	2.561	2.661	2.761	V
V_{I5}	入力モード 5 電圧	75kΩ ± 5% で DVDD に接続		3.3		V
V_{COMP5}	7 レベル電圧コンパレータ 5	V_{I5} と V_{I6} の間の電圧コンパレータ	3.615	3.715	3.815	V
V_{I6}	入力モード 6 電圧	18kΩ ± 5% で DVDD に接続		4.2		V
V_{COMP6}	7 レベル電圧コンパレータ 6	V_{I6} と V_{I7} の間の電圧コンパレータ	4.75	4.85	4.95	V
V_{I7}	入力モード 7 電圧	DVDD に接続		5		V
R_{PU}	プルアップ抵抗	DVDD に内部プルアップ		73		kΩ
R_{PD}	プルダウン抵抗	GND に内部プルダウン		73		kΩ
オープン・ドレイン出力 (nFAULT、SDO)						
V_{OL}	出力論理 Low 電圧	I_O = 5mA			0.125	V
I_{OZ}	ハイ・インピーダンス出力リーク	V_O = 5V	-2		2	μA
ゲート・ドライバ (GHx、GLx)						
V_{GSH}	ハイサイド・ゲート駆動電圧 (SHx 基準)	V_{VM} = 15V、I_{VCP} = 0～25mA	9	10.5	12	V
		V_{VM} = 12V、I_{VCP} = 0～20mA	7.5	10	11.5	
		V_{VM} = 10V、I_{VCP} = 0～15mA	6	8	9.5	
		V_{VM} = 9V、I_{VCP} = 0～10mA	5.5	7.5	8.5	

Copyright © 2022 Texas Instruments Incorporated

T_A = -40℃～+125℃、V_{VM} = 9～75V、V_{VDRAIN} = 9～100V、V_{VIN} = 48V (特に記述のない限り)

パラメータ			テスト条件	最小値	標準値	最大値	単位
V_{GSL}	ローサイド・ゲート駆動電圧 (PGND 基準)		V_{VM} = 15V、I_{VGLS} = 0～25mA	9.5	11	12.5	V
			V_{VM} = 12V、I_{VGLS} = 0～20mA	9	10.5	12	
			V_{VM} = 10V、I_{VGLS} = 0～15mA	7.5	9	10.5	
			V_{VM} = 9V、I_{VGLS} = 0～10mA	6.5	8	9.5	
t_{DEAD}	ゲート駆動 デッド・タイム	SPI デバイス	DEAD_TIME = 00b		50		ns
			DEAD_TIME = 01b		100		
			DEAD_TIME = 10b		200		
			DEAD_TIME = 11b		400		
		H/W デバイス			100		
t_{DRIVE}	ピーク電流 ゲート駆動時間	SPI デバイス	TDRIVE = 00b		500		ns
			TDRIVE = 01b		1000		
			TDRIVE = 10b		2000		
			TDRIVE = 11b		4000		
		H/W デバイス			4000		
I_{DRIVEP}	ピーク・ソース ゲート電流	SPI デバイス	IDRIVEP_HS または IDRIVEP_LS = 0000b		50		mA
			IDRIVEP_HS または IDRIVEP_LS = 0001b		50		
			IDRIVEP_HS または IDRIVEP_LS = 0010b		100		
			IDRIVEP_HS または IDRIVEP_LS = 0011b		150		
			IDRIVEP_HS または IDRIVEP_LS = 0100b		300		
			IDRIVEP_HS または IDRIVEP_LS = 0101b		350		
			IDRIVEP_HS または IDRIVEP_LS = 0110b		400		
			IDRIVEP_HS または IDRIVEP_LS = 0111b		450		
			IDRIVEP_HS または IDRIVEP_LS = 1000b		550		
			IDRIVEP_HS または IDRIVEP_LS = 1001b		600		
			IDRIVEP_HS または IDRIVEP_LS = 1010b		650		
			IDRIVEP_HS または IDRIVEP_LS = 1011b		700		
			IDRIVEP_HS または IDRIVEP_LS = 1100b		850		
			IDRIVEP_HS または IDRIVEP_LS = 1101b		900		
			IDRIVEP_HS または IDRIVEP_LS = 1110b		950		
			IDRIVEP_HS または IDRIVEP_LS = 1111b		1000		
		H/W デバイス	IDRIVE = GND に接続		50		
			IDRIVE = 18kΩ ± 5% で GND に接続		100		
			IDRIVE = 75kΩ ± 5% で GND に接続		150		
			IDRIVE = Hi-Z		300		
			IDRIVE = 75kΩ ± 5% で DVDD に接続		450		
			IDRIVE = 18kΩ ± 5% で DVDD に接続		700		
			IDRIVE = DVDD に接続		1000		

T_A = -40℃～+125℃、V_{VM} = 9～75V、V_{VDRAIN} = 9～100V、V_{VIN} = 48V (特に記述のない限り)

パラメータ			テスト条件	最小値	標準値	最大値	単位
I_{DRIVEN}	ピーク・シンク ゲート電流	SPI デバイス	IDRIVEN_HS または IDRIVEN_LS = 0000b		100		mA
			IDRIVEN_HS または IDRIVEN_LS = 0001b		100		
			IDRIVEN_HS または IDRIVEN_LS = 0010b		200		
			IDRIVEN_HS または IDRIVEN_LS = 0011b		300		
			IDRIVEN_HS または IDRIVEN_LS = 0100b		600		
			IDRIVEN_HS または IDRIVEN_LS = 0101b		700		
			IDRIVEN_HS または IDRIVEN_LS = 0110b		800		
			IDRIVEN_HS または IDRIVEN_LS = 0111b		900		
			IDRIVEN_HS または IDRIVEN_LS = 1000b		1100		
			IDRIVEN_HS または IDRIVEN_LS = 1001b		1200		
			IDRIVEN_HS または IDRIVEN_LS = 1010b		1300		
			IDRIVEN_HS または IDRIVEN_LS = 1011b		1400		
			IDRIVEN_HS または IDRIVEN_LS = 1100b		1700		
			IDRIVEN_HS または IDRIVEN_LS = 1101b		1800		
			IDRIVEN_HS または IDRIVEN_LS = 1110b		1900		
			IDRIVEN_HS または IDRIVEN_LS = 1111b		2000		
		H/W デバイス	IDRIVE = GND に接続		100		
			IDRIVE = 18kΩ ± 5% で GND に接続		200		
			IDRIVE = 75kΩ ± 5% で GND に接続		300		
			IDRIVE = Hi-Z		600		
			IDRIVE = 75kΩ ± 5% で DVDD に接続		900		
			IDRIVE = 18kΩ ± 5% で DVDD に接続		1400		
			IDRIVE = DVDD に接続		2000		
I_{HOLD}	ゲート保持電流		t_{DRIVE} 後のソース電流		50		mA
			t_{DRIVE} 後のシンク電流		100		
I_{STRONG}	ゲート強プルダウン電流		GHx から SHx、GLx から SPx/SLx		2		A
R_{OFF}	ゲート・オフ保持抵抗		GHx から SHx、GLx から SPx/SLx		150		kΩ
電流シャント・アンプ (SNx、SOx、SPx、VREF)							
G_{CSA}	アンプのゲイン	SPI デバイス	CSA_GAIN = 00b	4.85	5	5.15	V/V
			CSA_GAIN = 01b	9.7	10	10.3	
			CSA_GAIN = 10b	19.4	20	20.6	
			CSA_GAIN = 11b	38.8	40	41.2	
		H/W デバイス	GAIN = GND に接続	4.85	5	5.15	
			GAIN = 47kΩ ± 5% で GND に接続	9.7	10	10.3	
			GAIN = Hi-Z	19.4	20	20.6	
			GAIN = DVDD に接続	38.8	40	41.2	
t_{SET}	±1% までのセトリング・タイム		V_{O_STEP} = 0.5V、G_{CSA} = 5V/V		250		ns
			V_{O_STEP} = 0.5V、G_{CSA} = 10V/V		500		
			V_{O_STEP} = 0.5V、G_{VSA} = 20V/V		1000		
			V_{O_STEP} = 0.5V、G_{CSA} = 40V/V		2000		
V_{COM}	コモン・モード入力範囲			-0.15		0.15	V
V_{DIFF}	差動モード入力範囲			-0.3		0.3	V
V_{OFF}	入力オフセット誤差		V_{SP} = V_{SN} = 0V	-3		3	mV
V_{DRIFT}	オフセット・ドリフト		V_{SP} = V_{SN} = 0V		10		μV/℃
V_{LINEAR}	SOx 出力電圧の直線範囲			0.25		V_{VREF} – 0.25	V

Copyright © 2022 Texas Instruments Incorporated

T_A = -40℃～+125℃、V_{VM} = 9～75V、V_{VDRAIN} = 9～100V、V_{VIN} = 48V (特に記述のない限り)

パラメータ			テスト条件	最小値	標準値	最大値	単位
V_{BIAS}	SOx 出力電圧バイアス	SPI デバイス	V_{SP} = V_{SN} = 0V、VREF_DIV = 0b		V_{VREF} – 0.3		V
			V_{SP} = V_{SN} = 0V、VREF_DIV = 1b		V_{VREF} / 2		
		H/W デバイス	V_{SP} = V_{SN} = 0V		V_{VREF} / 2		
I_{BIAS}	SPx/SNx 入力バイアス電流					250	μA
V_{SLEW}	SOx 出力スルーレート		60pF 負荷		10		V/μs
I_{VREF}	VREF 入力電流		V_{VREF} = 5V		1.5	2.5	mA
UGB	ユニティ・ゲイン帯域幅		DRV835xF:60pF 負荷		10		MHz
			DRV835xFR:60pF 負荷		1		MHz
保護回路							
V_{VM_UV}	VM 低電圧誤動作防止		DRV835xF:VM 立ち下がり、UVLO 通知	8.0	8.3	8.8	V
			DRV835xF:VM 立ち上がり、UVLO 復帰	8.2	8.5	9.0	
			DRV835xFR:VM 立ち下がり、UVLO 通知	8.0	8.3	8.6	
			DRV835xFR:VM 立ち上がり、UVLO 復帰	8.2	8.5	8.8	
V_{VM_UVH}	VM 低電圧ヒステリシス		立ち上がりから立ち下がりへのスレッショルド		200		mV
t_{VM_UVD}	VM 低電圧グリッチ除去時間		VM 立ち下がり、UVLO 通知		10		μs
V_{VDR_UV}	VDRAIN 低電圧誤動作防止		DRV835xF:VDRAIN 立ち下がり、UVLO 通知	6.1	6.4	6.8	V
			DRV835xF:VDRAIN 立ち上がり、UVLO 復帰	6.3	6.6	7.0	
			DRV835xFR:VDRAIN 立ち下がり、UVLO 通知	6.1	6.4	6.7	
			DRV835xFR:VDRAIN 立ち上がり、UVLO 復帰	6.3	6.6	6.9	
V_{VDR_UVH}	VDRAIN 低電圧ヒステリシス		立ち上がりから立ち下がりへのスレッショルド		200		mV
t_{VDR_UVD}	VDRAIN 低電圧グリッチ除去時間		VDRAIN 立ち下がり、UVLO 通知		10		μs
V_{VCP_UV}	VCP チャージ・ポンプ低電圧誤動作防止		VCP 立ち下がり、GDUV 通知		V_{DRAIN} + 5		V
V_{VGLS_UV}	VGLS ローサイド・レギュレータ低電圧誤動作防止		VGLS 立ち下がり、GDUV 通知		4.25		V
V_{GS_CLAMP}	ハイサイド・ゲート・クランプ		正のクランプ電圧	12.5	13.5	16	V
			負のクランプ電圧		-0.7		

T_A = -40℃～+125℃、V_{VM} = 9～75V、V_{VDRAIN} = 9～100V、V_{VIN} = 48V (特に記述のない限り)

パラメータ			テスト条件	最小値	標準値	最大値	単位
V_{VDS_OCP}	V_{DS} 過電流トリップ電圧	SPI デバイス	DRV835xF:VDS_LVL = 0000b	0.041	0.06	0.072	V
			DRV835xF:VDS_LVL = 0001b	0.051	0.07	0.084	
			DRV835xF:VDS_LVL = 0010b	0.061	0.08	0.096	
			DRV835xF:VDS_LVL = 0011b	0.071	0.09	0.108	
			DRV835xF:VDS_LVL = 0100b	0.081	0.1	0.115	
			DRV835xFR:VDS_LVL = 0000b	0.048	0.06	0.072	
			DRV835xFR:VDS_LVL = 0001b	0.056	0.07	0.084	
			DRV835xFR:VDS_LVL = 0010b	0.064	0.08	0.096	
			DRV835xFR:VDS_LVL = 0011b	0.072	0.09	0.108	
			DRV835xFR:VDS_LVL = 0100b	0.085	0.1	0.115	
			VDS_LVL = 0101b	0.18	0.2	0.22	
			VDS_LVL = 0110b	0.27	0.3	0.33	
			VDS_LVL = 0111b	0.36	0.4	0.44	
			VDS_LVL = 1000b	0.45	0.5	0.55	
			VDS_LVL = 1001b	0.54	0.6	0.66	
			VDS_LVL = 1010b	0.63	0.7	0.77	
			VDS_LVL = 1011b	0.72	0.8	0.88	
			VDS_LVL = 1100b	0.81	0.9	0.99	
			VDS_LVL = 1101b	0.9	1.0	1.1	
			VDS_LVL = 1110b	1.35	1.5	1.65	
			VDS_LVL = 1111b	1.8	2	2.2	
		H/W デバイス	DRV835xF:VDS = GND に接続	0.041	0.06	0.072	V
			DRV835xF:VDS = 18kΩ ± 5% で GND に接続	0.081	0.1	0.115	
			DRV835xFR:VDS = GND に接続	0.048	0.06	0.072	
			DRV835xFR:VDS = 18kΩ ± 5% で GND に接続	0.085	0.1	0.115	
			VDS = 75kΩ ± 5% で GND に接続	0.18	0.2	0.22	
			VDS = ハイ・インピーダンス	0.36	0.4	0.44	
			VDS = 75kΩ ± 5% で DVDD に接続	0.63	0.7	0.77	
			VDS = 18kΩ ± 5% で DVDD に接続	0.9	1	1.1	
			VDS = DVDD に接続	ディスエーブル			
t_{OCP_DEG}	V_{DS} および V_{SENSE} 過電流グリッチ除去時間	SPI デバイス	OCP_DEG = 00b		1		μs
			OCP_DEG = 01b		2		
			OCP_DEG = 10b		4		
			OCP_DEG = 11b		8		
		H/W デバイス			4		
V_{SEN_OCP}	V_{SENSE} 過電流トリップ電圧	SPI デバイス	SEN_LVL = 00b		0.25		V
			SEN_LVL = 01b		0.5		
			SEN_LVL = 10b		0.75		
			SEN_LVL = 11b		1		
		H/W デバイス			1		
t_{RETRY}	過電流リトライ時間	SPI デバイス	TRETRY = 0b		8		ms
			TRETRY = 1b		50		μs
		H/W デバイス			8		ms
T_{OTW}	過熱警告温度		ダイ温度、T_J	130	150	170	℃
T_{OTSD}	過熱シャットダウン温度		ダイ温度、T_J	150	170	190	℃
T_{HYS}	熱ヒステリシス		ダイ温度、T_J		20		℃

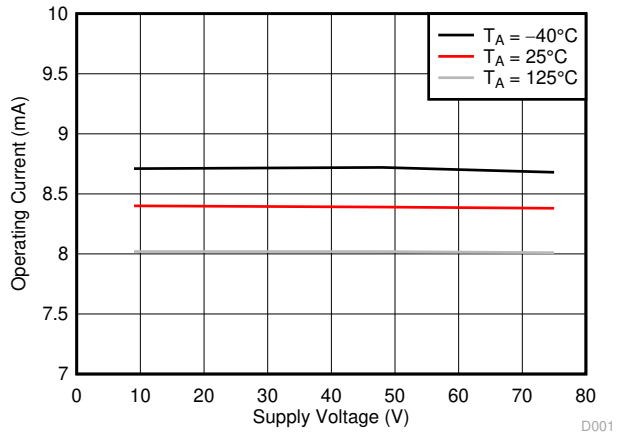
Copyright © 2022 Texas Instruments Incorporated

7.6 SPI のタイミング要件

T_A = -40℃～+125℃、V_{VM} = 9～75V (特に記述のない限り)

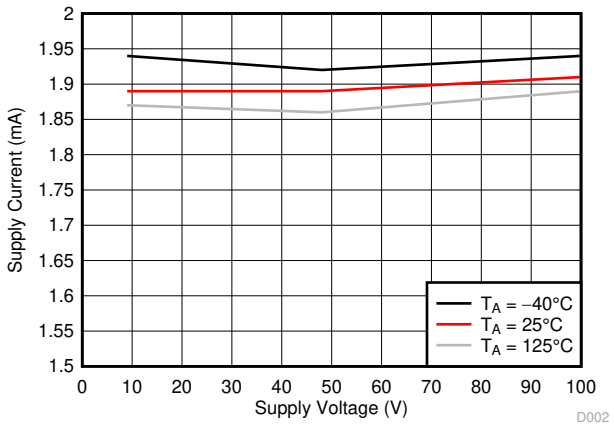
			最小値	公称値	最大値	単位
t_{READY}	イネーブル後、SPI 準備完了まで	VM > UVLO、ENABLE = 3.3V			1	ms
t_{CLK}	SCLK の最小周期		100			ns
t_{CLKH}	SCLK 最小 High 時間		50			ns
t_{CLKL}	SCLK 最小 Low 時間		50			ns
t_{SU_SDI}	SDI 入力データ・セットアップ時間		20			ns
t_{H_SDI}	SDI 入力データ・ホールド時間		30			ns
t_{D_SDO}	SDO 出力データ遅延時間	SCLK High から SDO 有効まで			30	ns
t_{SU_nSCS}	nSCS 入力セットアップ時間		50			ns
t_{H_nSCS}	nSCS 入力ホールド時間		50			ns
t_{HI_nSCS}	nSCS のアクティブ Low の前の最小 High 時間		400			ns
t_{DIS_nSCS}	nSCS ディスエーブル時間	nSCS High から SDO ハイ・インピーダンスまで		10		ns

7.7 代表的特性



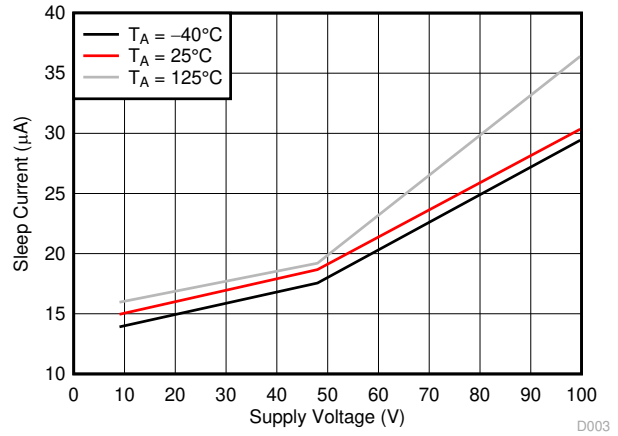
V_{VM} = V_{VDRAIN}

図 7-1. VM 電源電流と電源電圧



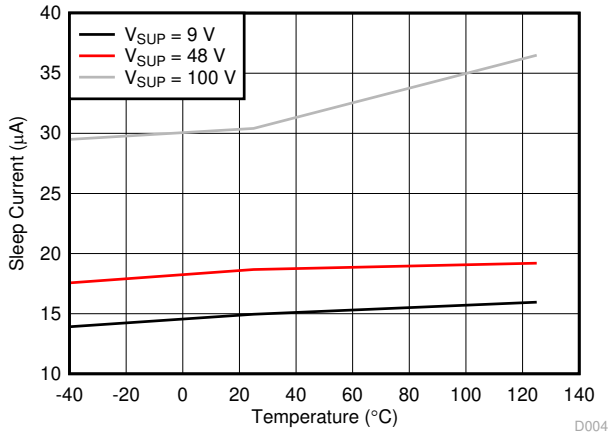
V_{VM} = V_{VDRAIN}

図 7-2. V_{DRAIN} 電源電流と電源電圧



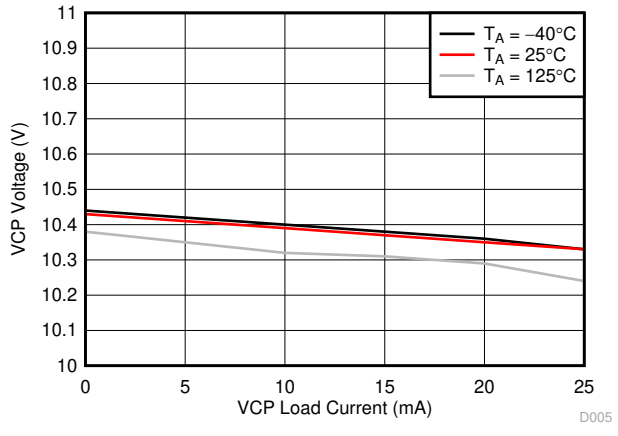
I_{VM} + I_{VDRAIN}

図 7-3. スリープ電流と電源電圧



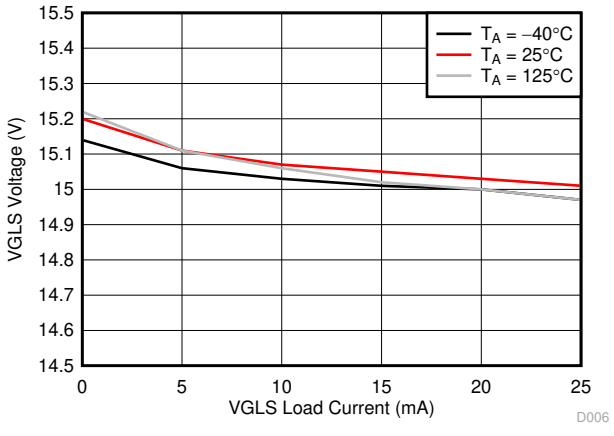
I_{VM} + I_{VDRAIN}

図 7-4. スリープ電流と温度



V_{VM} = 48V

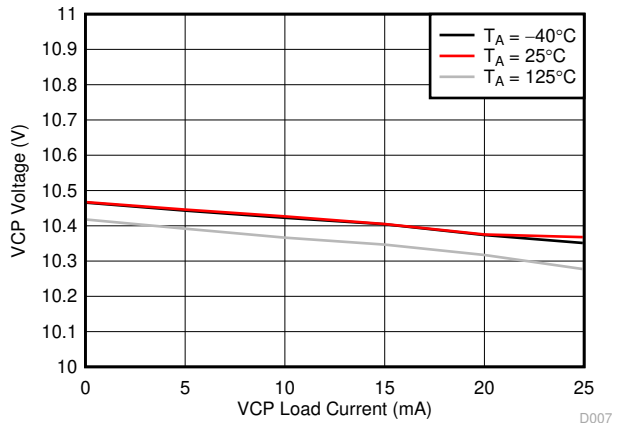
図 7-5. VCP 電圧と負荷



V_{VM} = 48V

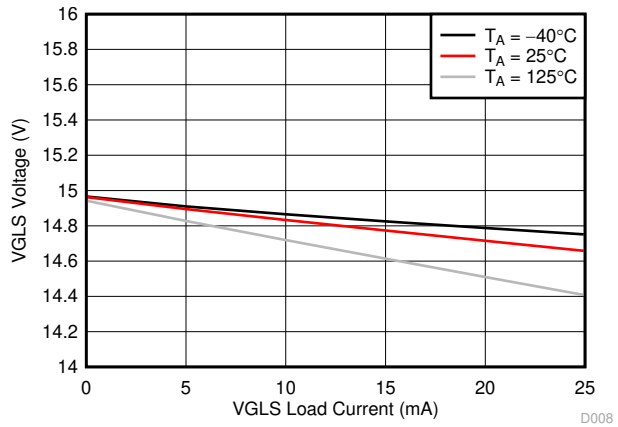
図 7-6. VGLS 電圧と負荷電流

Copyright © 2022 Texas Instruments Incorporated



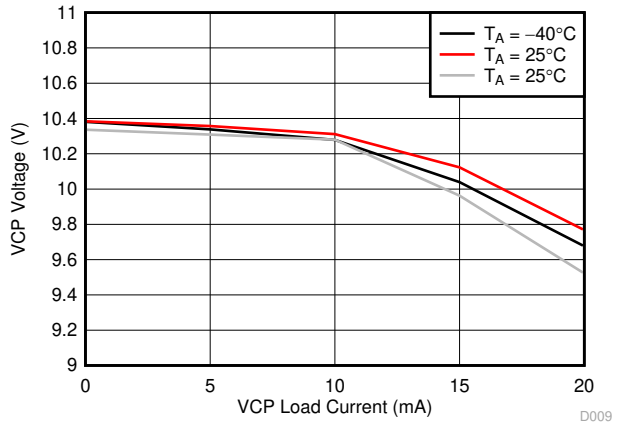
V_{VM} = 15V

図 7-7. VCP 電圧と負荷電流



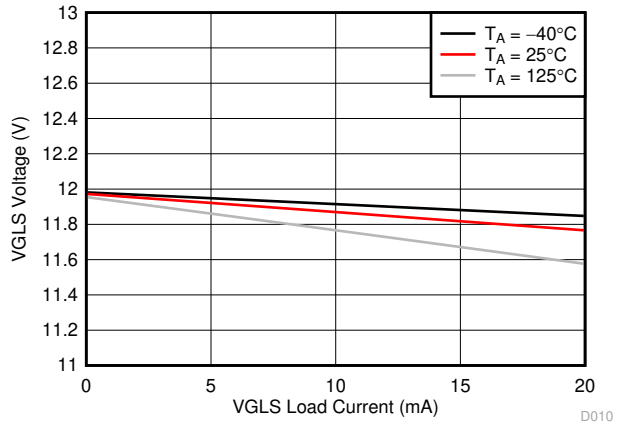
V_{VM} = 15V

図 7-8. VGLS 電圧と負荷電流



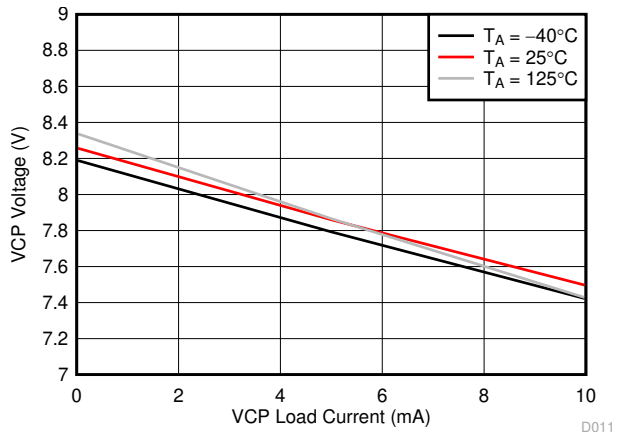
V_{VM} = 12V

図 7-9. VCP 電圧と負荷電流



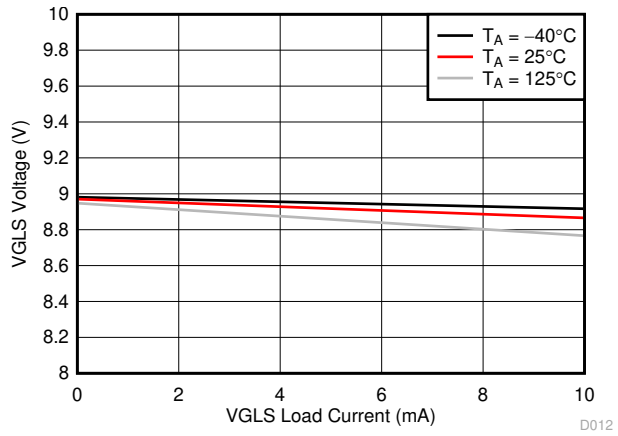
V_{VM} = 12V

図 7-10. VGLS 電圧と負荷電流



V_{VM} = 9V

図 7-11. VCP 電圧と負荷電流



V_{VM} = 9V

図 7-12. VGLS 電圧と負荷電流

8 詳細説明

8.1 概要

DRV835xF デバイス・ファミリは、3 相モータ駆動アプリケーション用の統合型 100V ゲート・ドライバです。これらのデバイスでは、3 つの独立したハーフ・ブリッジ・ゲート・ドライバ、ハイサイドおよびローサイド・ゲート・ドライバ電源電圧のためのチャージ・ポンプとリニア・レギュレータ、トリプル電流シャント・アンプ (オプション) を統合することで、システムの部品点数、コスト、複雑さを低減しています。標準のシリアル・ペリフェラル・インターフェイス (SPI) を使うと、デバイスの各種設定とフォルト診断情報の読み出しを外部コントローラから簡単に行うことができます。また、ハードウェア・インターフェイス (H/W) オプションを選択した場合、固定の外部抵抗を使用して、ごく一般的な設定を行うことができます。

本ゲート・ドライバは外付け N チャネル・ハイサイド / ローサイド・パワー MOSFET をサポートしており、25mA の平均出力電流で最大 1A (ソース) / 2A (シンク) のピーク駆動電流を供給できます。ハイサイド・ゲート駆動の電源電圧は、VCP 出力を V_{VDRAIN} + 10.5V に安定化するダブラー・チャージ・ポンプ・アーキテクチャを使用して生成されます。ローサイド・ゲート駆動の電源電圧は、VGLS の出力を 14.5V にレギュレートする VM 電源からリニア・レギュレータを使用して生成されます。VGLS 電源は、GLx ローサイド・ゲート・ドライバ出力でさらに 11V にレギュレートされます。スマート・ゲート・ドライブ・アーキテクチャは出力ゲート駆動電流強度を動的に調整する機能を備えているため、ゲート・ドライバはパワー MOSFET の V_{DS} スイッチング速度を制御できます。このため、外付けゲート駆動抵抗およびダイオードが不要になり、BOM の部品点数、コスト、PCB 面積の低減が可能です。このアーキテクチャでは、ゲート駆動の短絡に対する保護、ハーフブリッジのデッド・タイムの制御、外部パワー MOSFET の dV/dt 寄生ターンオンに対する保護のために、内部ステート・マシンも使っています。

本ゲート・ドライバは、シングル電源アーキテクチャとデュアル電源アーキテクチャのどちらでも動作できます。シングル電源アーキテクチャでは、VM を VDRAIN に接続することで、VM は適切な電源電圧に内部的にレギュレートされます。デュアル電源アーキテクチャでは、より高効率のスイッチング・レギュレータから供給する低電圧電源に VM を接続することで、本デバイスの効率を向上させることができます。どちらのアーキテクチャでも、VDRAIN は外部 MOSFET に接続されており、チャージ・ポンプと過電流モニタの適切な基準電圧を設定します。

DRV8353F デバイスには、ローサイド・シャント抵抗を使用して各外部ハーフブリッジを流れる電流のレベルを監視するために、3 つの双方向電流シャント・アンプが内蔵されています。シャント・アンプのゲイン設定は、SPI または SPI とのハードウェア・インターフェイスにより調整できるため、出力バイアス点をより柔軟に調整できます。

高いレベルでデバイスが統合されていることに加え、DRV835xF ファミリのデバイスには、広範な保護機能も組み込まれています。例えば、電源の低電圧誤動作防止 (UVLO)、ゲート駆動の低電圧誤動作防止 (GDUV)、V_{DS} 過電流監視 (OCP)、ゲート・ドライバ短絡検出 (GDF)、過熱シャットダウン (OTW/OTSD) などの機能が挙げられます。フォルト・イベントは nFAULT ピンにより通知され、SPI 版のデバイスでは SPI レジスタで詳細情報を取得できます。

DRV835xF ファミリのデバイスは、0.5mm ピン・ピッチの QFN 表面実装パッケージで供給されます。QFN サイズは 32 ピン・パッケージで 5 × 5mm、40 ピン・パッケージで 6 × 6mm です。

Copyright © 2022 Texas Instruments Incorporated

8.2 機能ブロック図

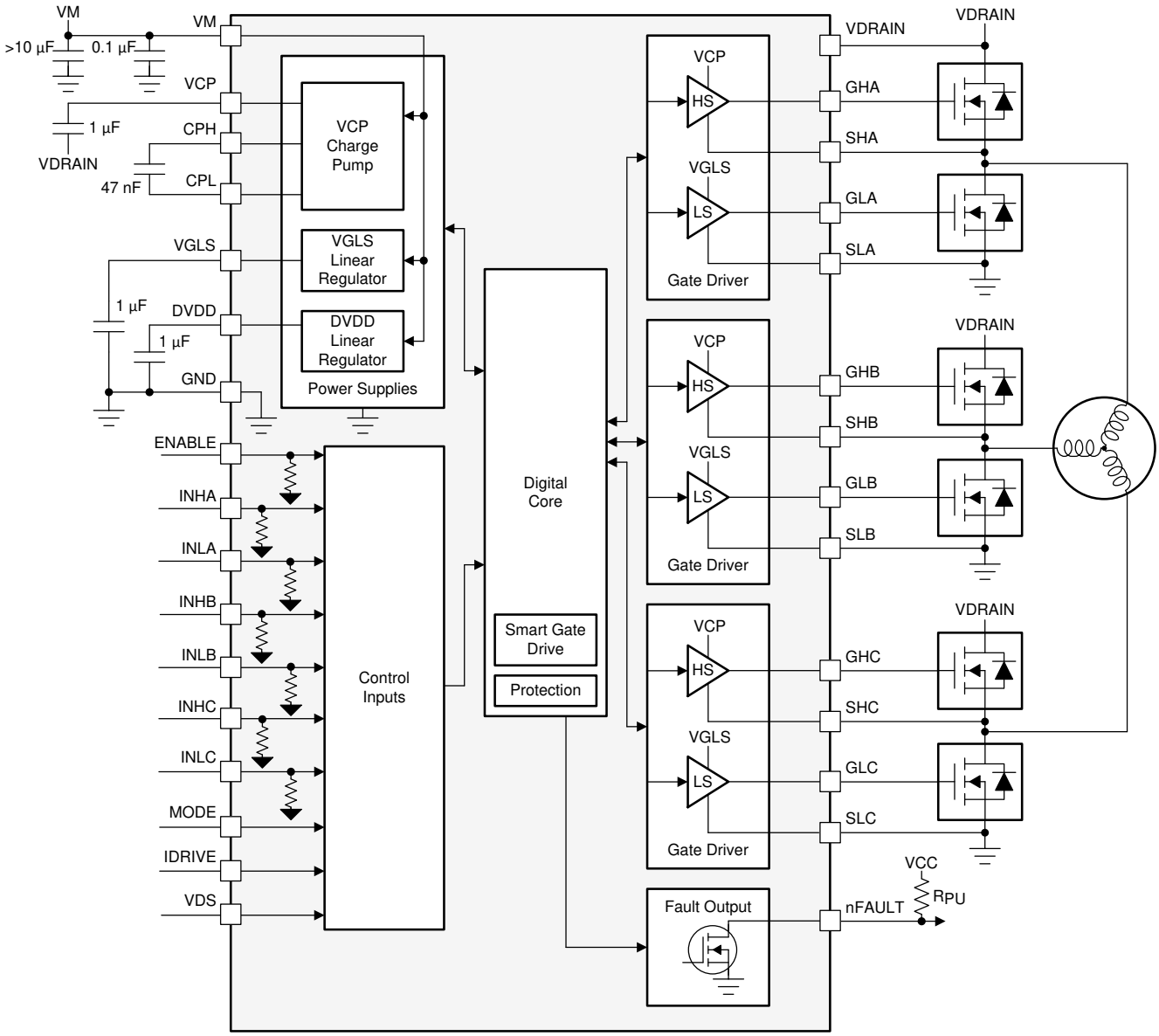


図 8-1. DRV8350FH のブロック図

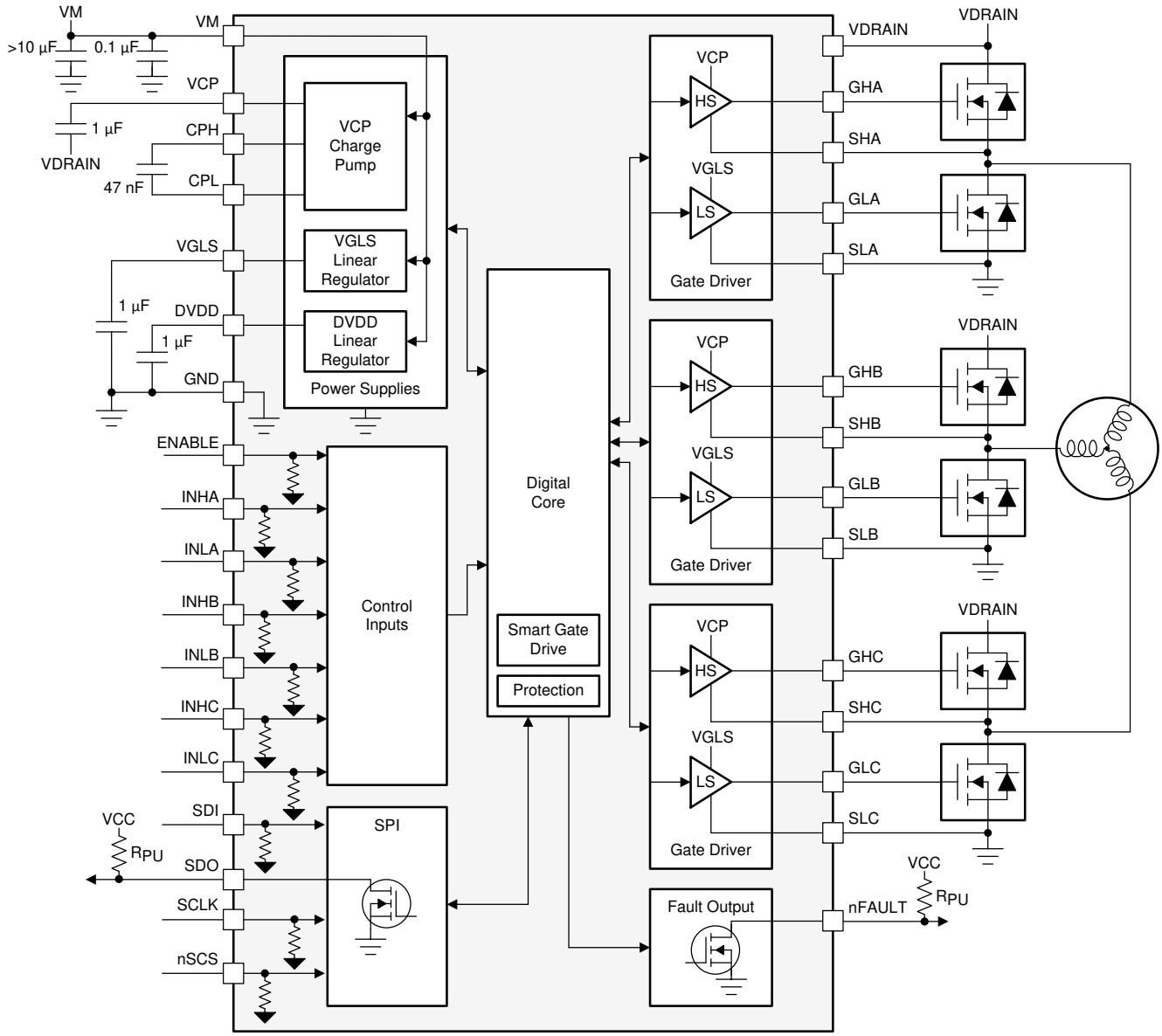


図 8-2. DRV8350FS のブロック図

Copyright © 2022 Texas Instruments Incorporated

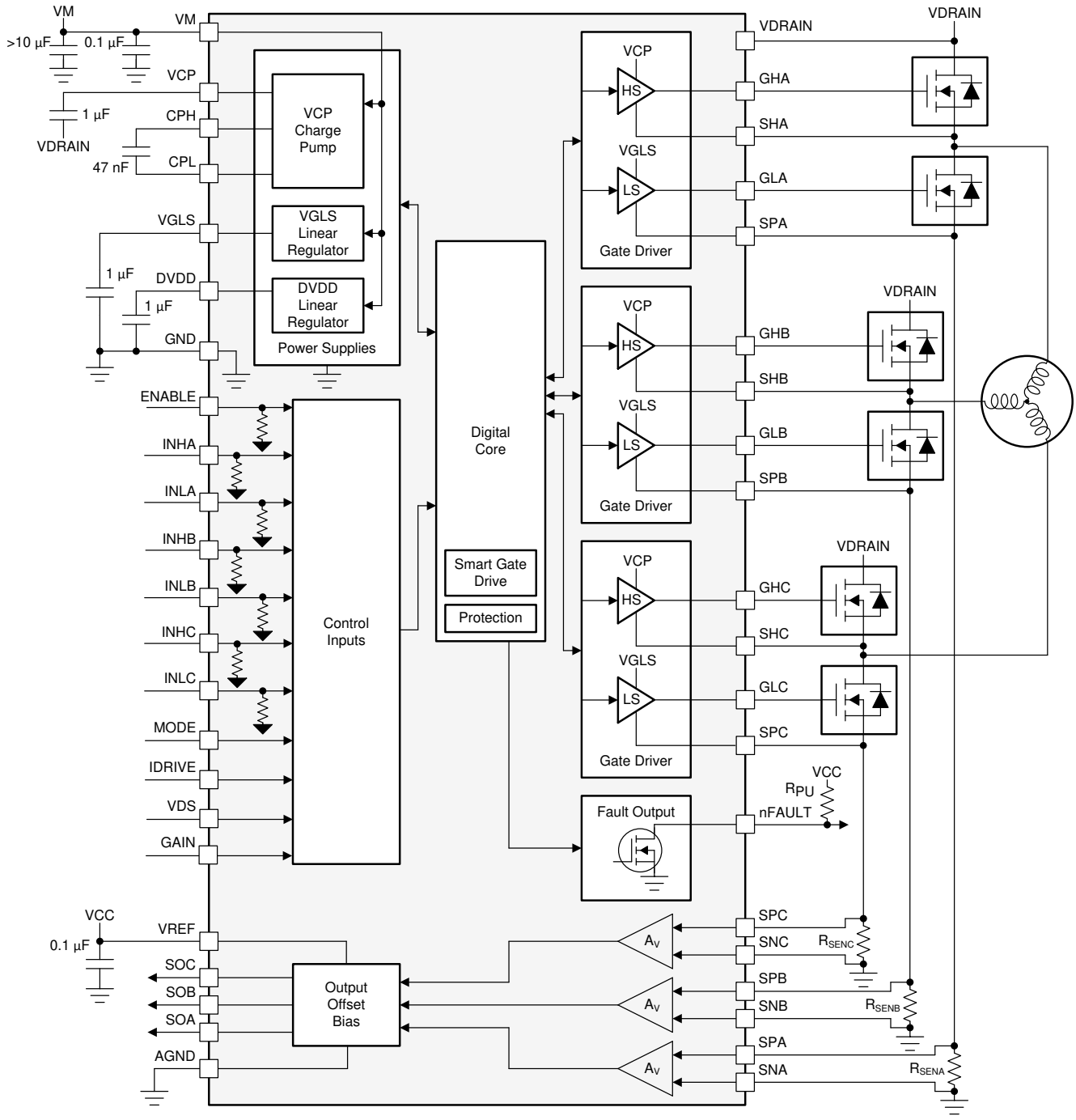


図 8-3. DRV8353FH のブロック図

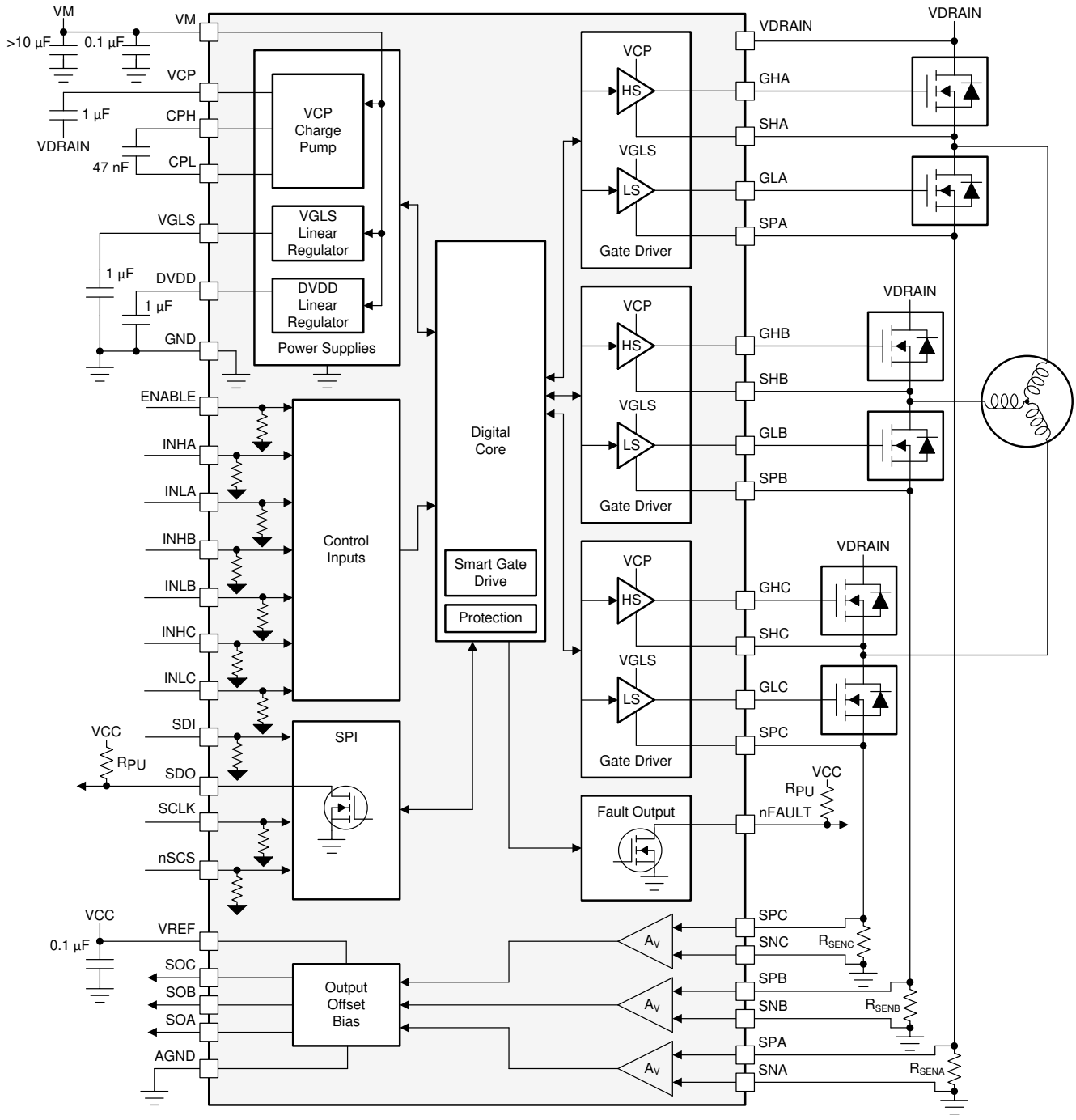


図 8-4. DRV8353FS のブロック図

8.3 機能説明

8.3.1 3 相スマート・ゲート・ドライバ

DRV835xF ファミリのデバイスには 3 つのハーフブリッジ・ゲート・ドライバが内蔵されており、それぞれがハイサイドとローサイドの N チャネル・パワー MOSFET を駆動できます。VCP ダブラー・チャージ・ポンプが 100% のデューティ・サイクルをサポートしつつ、広い動作電圧範囲にわたって適切なゲート・バイアス電圧をハイサイド MOSFET に供給します。ローサイド MOSFET 用のゲート・バイアス電圧は、内部 VGLS リニア・レギュレータが供給します。ハーフブリッジ・ゲート・ドライバは、3 相モータを駆動するために複数のドライバを組み合わせて使用することも、他の種類の負荷を駆動するために個別に使用することもできます。

Copyright © 2022 Texas Instruments Incorporated

DRV835xF ファミリのデバイスには、ゲート駆動電流をユーザーが動的に調整できるスマート・ゲート・ドライブ・アーキテクチャが実装されているため、外付けのゲート電流制限抵抗は不要です。また、このアーキテクチャにより、自動デッド・タイム挿入、寄生成分による dV/dt ゲート・ターンオン防止、ゲート・フォルト検出など、外部 MOSFET 用のさまざまな保護機能が実現できます。

8.3.1.1 PWM 制御モード

DRV835xF ファミリのデバイスには、さまざまな整流方式や制御方式をサポートするために、4 種類の PWM 制御モードが用意されています。テキサス・インスツルメンツでは、パワー MOSFET の動作中に MODE ピンまたは PWM_MODE レジスタを変更することを推奨していません。MODE または PWM_MODE を変更する場合、その前にすべての INHx および INLx ピンを Low に設定してください。

8.3.1.1.1 6x PWM モード (PWM_MODE = 00b または MODE ピンを AGND に接続)

このモードでは、ハーフブリッジごとに Low、High、ハイ・インピーダンス (Hi-Z) の 3 つの出力状態がサポートされます。表 8-1 に示すように、対応する INHx および INLx 信号で出力状態を制御します。

表 8-1. 6x PWM モードの真理値表

INLx	INHx	GLx	GHx	SHx
0	0	L	L	Hi-Z
0	1	L	H	H
1	0	H	L	L
1	1	L	L	Hi-Z

8.3.1.1.2 3x PWM モード (PWM_MODE = 01b または MODE ピンを 47kΩ の抵抗を介して AGND に接続)

このモードでは、INHx ピンで各ハーフブリッジを制御し、Low または High の 2 つの出力状態がサポートされます。INLx ピンは、ハーフブリッジをハイ・インピーダンスに変更するために使用します。ハイ・インピーダンス (Hi-Z) 状態にする必要がない場合は、すべての INLx ピンを High に接続してください。表 8-2 に示すように、対応する INHx および INLx 信号で出力状態を制御します。

表 8-2. 3x PWM モードの真理値表

INLx	INHx	GLx	GHx	SHx
0	X	L	L	Hi-Z
1	0	H	L	L
1	1	L	H	H

8.3.1.1.3 1x PWM モード (PWM_MODE = 10b または MODE ピン = Hi-Z)

このモードでは、DRV835xF ファミリのデバイスは内部に格納されている 6 段階のブロック整流テーブルを使用します。この機能により、3 相 BLDC モータを、単純なコントローラから供給する 1 つの PWM を使用して制御できます。PWM は INHA ピンに印加され、ハーフブリッジの出力周波数とデューティ・サイクルを決定します。

ハーフブリッジの出力状態は INLA、INHB、INLB の各ピンによって管理され、それらが状態の論理入力として使用されます。状態の入力は、外部コントローラで制御することも、モータからのホール・センサのデジタル出力に直接接続することもできます (INLA = HALL_A、INHB = HALL_B、INLB = HALL_C)。1x PWM モードは通常、同期整流で動作しますが、SPI デバイスでは非同期ダイオード・フリーホイール整流を使用するよう構成することもできます。この構成は、SPI レジスタの 1PWM_COM ビットを使用して設定します。

INHC 入力は、6 段階の整流テーブルによって方向を制御します。このテーブルは、ホール・センサが INLA、INHB、INLB の状態入力を直接制御している場合に、モータの方向を変更するために使用されます。この機能が必要ない場合は、INHC ピンを Low に接続してください。

INLC 入力は、INLC ピンが Low になったときに、すべてのハイサイド MOSFET をオフにし、すべてのローサイド MOSFET をオンにすることにより、モータにブレーキをかけます。このブレーキ動作は、他の入力ピンの状態とは無関係です。この機能が必要ない場合は、INLC ピンを High に接続してください。

表 8-3. 同期 1x PWM モード

ロジックおよびホール入力							ゲート駆動出力						
状態	INHC = 0			INHC = 1			位相 A		位相 B		位相 C		説明
	INLA	INHB	INLB	INLA	INHB	INLB	GHA	GLA	GHB	GLB	GHC	GLC	
ストップ	0	0	0	0	0	0	L	L	L	L	L	L	ストップ
アライン	1	1	1	1	1	1	PWM	!PWM	L	H	L	H	アライン
1	1	1	0	0	0	1	L	L	PWM	!PWM	L	H	B → C
2	1	0	0	0	1	1	PWM	!PWM	L	L	L	H	A → C
3	1	0	1	0	1	0	PWM	!PWM	L	H	L	L	A → B
4	0	0	1	1	1	0	L	L	L	H	PWM	!PWM	C → B
5	0	1	1	1	0	0	L	H	L	L	PWM	!PWM	C → A
6	0	1	0	1	0	1	L	H	PWM	!PWM	L	L	B → A

表 8-4. 非同期 1x PWM モード 1PWM_COM = 1 (SPI のみ)

ロジックおよびホール入力							ゲート駆動出力						
状態	INHC = 0			INHC = 1			位相 A		位相 B		位相 C		説明
	INLA	INHB	INLB	INLA	INHB	INLB	GHA	GLA	GHB	GLB	GHC	GLC	
ストップ	0	0	0	0	0	0	L	L	L	L	L	L	ストップ
アライン	1	1	1	1	1	1	PWM	L	L	H	L	H	アライン
1	1	1	0	0	0	1	L	L	PWM	L	L	H	B → C
2	1	0	0	0	1	1	PWM	L	L	L	L	H	A → C
3	1	0	1	0	1	0	PWM	L	L	H	L	L	A → B
4	0	0	1	1	1	0	L	L	L	H	PWM	L	C → B
5	0	1	1	1	0	0	L	H	L	L	PWM	L	C → A
6	0	1	0	1	0	1	L	H	PWM	L	L	L	B → A

図 8-5 と図 8-6 は、1x PWM モードで可能な 2 種類の構成を示しています。

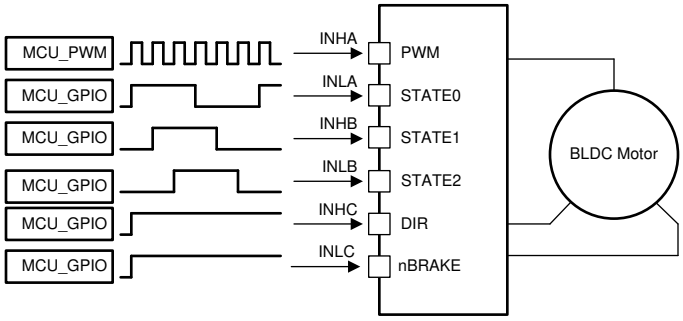


図 8-5. 1x PWM — 単純なコントローラ

Copyright © 2022 Texas Instruments Incorporated

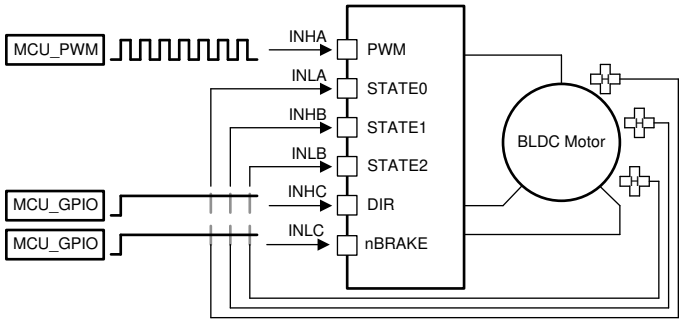


図 8-6. 1x PWM — ホール・センサ

8.3.1.1.4 独立 PWM モード (PWM_MODE = 11b または MODE ピンを DVDD に接続)

このモードでは、各ハイサイドおよびローサイド・ゲート・ドライバが、対応する入力ピンにより独立して制御されます。この制御モードを使うと、外部コントローラが DRV835xF の内部デッド・タイム・ハンドシェイクをバイパスでき、またはハイサイドおよびローサイド・ドライバを利用して各ハーフブリッジで別のハイサイドおよびローサイド負荷を駆動できます。このような種類の負荷には、単方向ブラシ付き DC モータ、ソレノイド、ローサイドおよびハイサイド・スイッチなどがあります。このモードでは、システムがハーフブリッジ構成の場合、ハイサイドとローサイドの MOSFET が同時にオンした際に貫通電流が流れます。

表 8-5. 独立 PWM モードの真理値表

INLx	INHx	GLx	GHx
0	0	L	L
0	1	L	H
1	0	H	L
1	1	H	H

ハイサイドおよびローサイド V_{DS} 過電流モニタは SHx 検出ラインを共有しているため、ハイサイドとローサイドの両方のゲート・ドライバが独立して動作する場合、両方のモニタを使用することはできません。

この場合は、SHx ピンをハイサイド・ドライバに接続して V_{DS} 過電流監視を無効にしてください (図 8-7 を参照)。

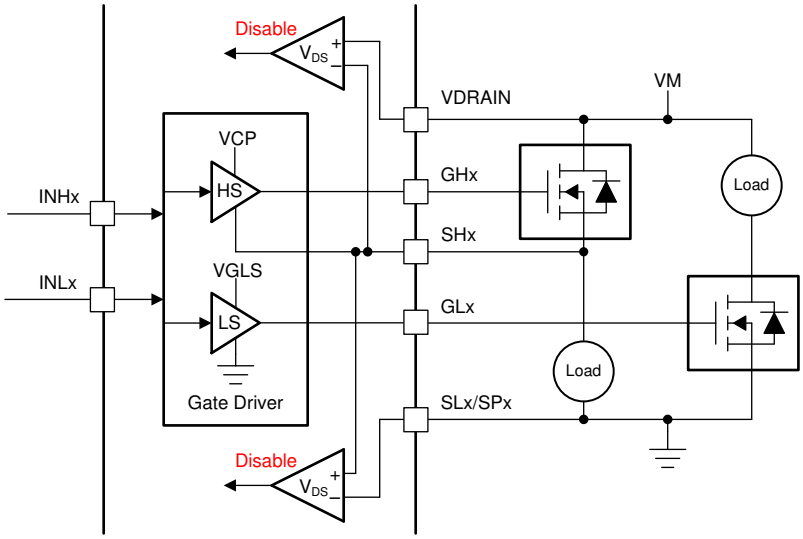


図 8-7. 独立 PWM ハイサイドおよびローサイド・ドライバ

ハーフブリッジを使用してハイサイド・ドライバとローサイド・ドライバのどちらか一方のみを実装している場合は、V_{DS} 過電流監視を使用できます。図 8-8 または図 8-9 に示すように SHx ピンを接続します。使用されていないゲート・ドライバとそれに対応する入力は未接続のままで構いません。

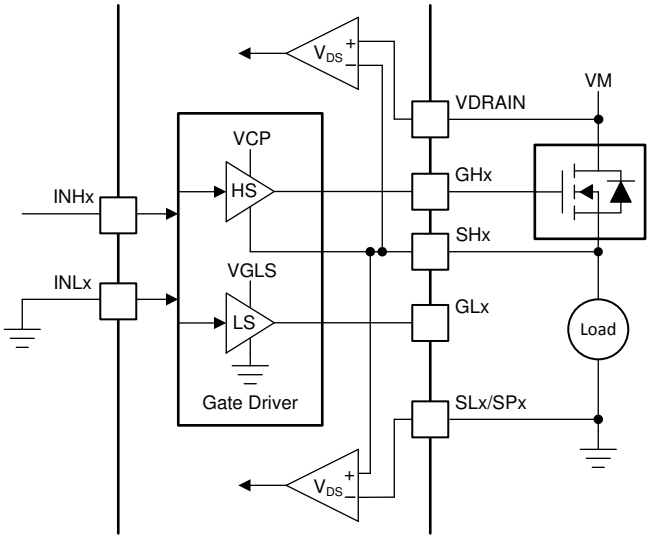


図 8-8. シングル・ハイサイド・ドライバ

Copyright © 2022 Texas Instruments Incorporated

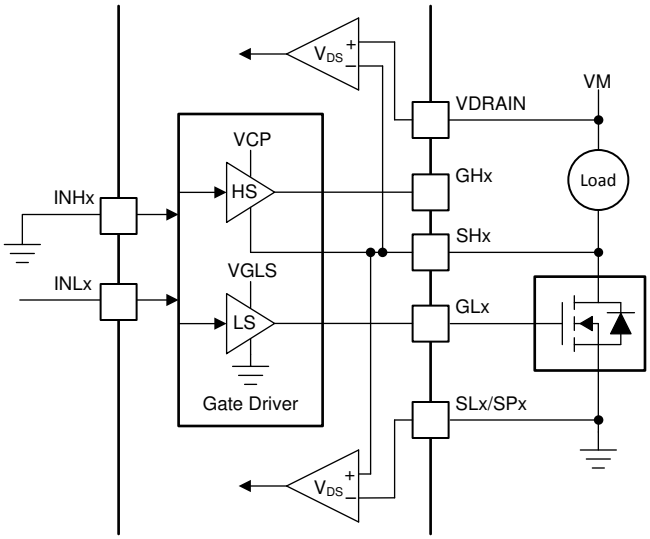


図 8-9. シングル・ローサイド・ドライバ

8.3.1.2 デバイス・インターフェイス・モード

DRV835xF ファミリのデバイスでは、最終的なアプリケーションを柔軟な設計にするか単純な設計にするか選択できるように、2 種類のインターフェイス・モード (SPI とハードウェア) をサポートしています。2 つのインターフェイス・モードで同じ 4 つのピンが共有されているので、異なるバージョン間でのピン互換が実現します。そのため、アプリケーション設計者は、設計に最小限の変更を加えるだけで、評価に使用するインターフェイス・バージョンを切り替えることができます。

8.3.1.2.1 シリアル・ペリフェラル・インターフェイス (SPI)

SPI デバイスは、外部コントローラと DRV835xF の間でデータを送受信できるシリアル通信バスをサポートしています。これにより、外部コントローラはデバイスを設定し、詳細なフォルト情報を読み出すことができます。このインターフェイスは SCLK、SDI、SDO、nSCS の各ピンを使用した 4 線式インターフェイスです。

- SCLK ピンは、クロック信号を受け付けて SDI と SDO 上のデータの収集と伝搬のタイミングを決める入力ピンです。
- SDI ピンはデータ入力です。
- SDO ピンはデータ出力です。SDO ピンにはオープン・ドレイン構造が使用されており、外部プルアップ抵抗が必要です。
- nSCS ピンはチップ選択入力です。このピンに論理 Low 信号を印加すると、DRV835xF との SPI 通信が有効になります。

SPI の詳細については、「*セクション 8.5.1*」セクションを参照してください。

8.3.1.2.2 ハードウェア・インターフェイス

ハードウェア・インターフェイス・デバイスでは、4 本の SPI ピンが抵抗で設定可能な 4 本の入力 (GAIN、IDRIVE、MODE、VDS) に変更されています。これにより、ピンを High や Low に接続するか、または単純なプルアップ抵抗やプルダウン抵抗を使用することで、ごく一般的なデバイス設定を行えるようになり、外部コントローラには SPI バスが不要になります。全般的なフォルト情報は、引き続き nFAULT ピンを介して取得できます。

- GAIN ピンでは電流シャント・アンプのゲインを設定します。
- IDRIVE ピンではゲート駆動電流の強さを設定します。
- MODE ピンでは PWM 制御モードを設定します。
- VDS ピンでは V_{DS} 過電流監視の電圧スレッショルドを設定します。

ハードウェア・インターフェイスの詳細については、「*セクション 8.3.3*」セクションを参照してください。

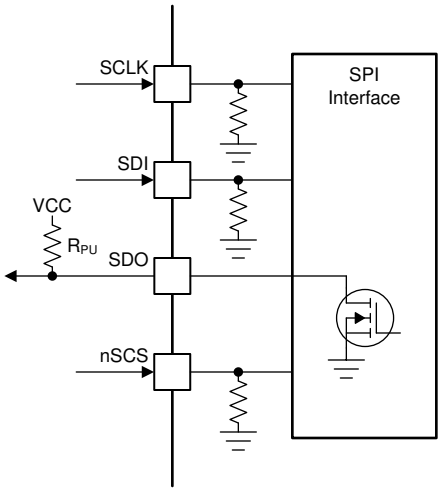


図 8-10. SPI

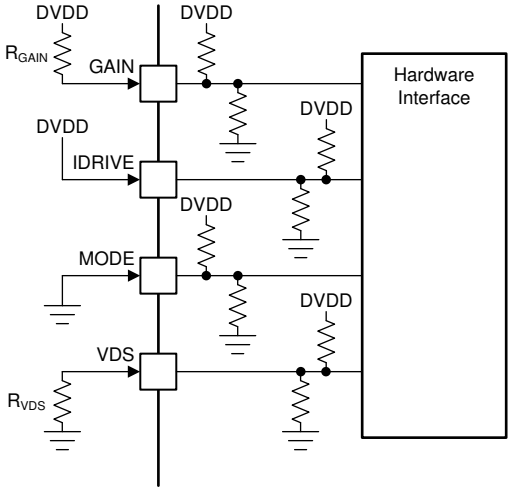


図 8-11. ハードウェア・インターフェイス

8.3.1.3 ゲート・ドライバ電源と入力電源の構成

ハイサイド・ゲート駆動の電源電圧は、VM および VDRAIN 電源入力で動作するダブラー・チャージ・ポンプを使って生成されます。このチャージ・ポンプにより、ゲート・ドライバは幅広い入力電源電圧範囲にわたってハイサイド MOSFET のゲート - ソース間に適切な電圧を印加できます。チャージ・ポンプは、V_{VDRAIN} + 10.5V の固定出力電圧を維持し、25mA の平均出力電流に対応できるようレギュレートされます。V_{VM} が 12V 未満の場合、チャージ・ポンプは完全ダブラー・モードで動作し、V_{VDRAIN} を基準として $V_{VCP} = 2 \times V_{VM} - 1.5V$ (無負荷時) を生成します。MOSFET の駆動不足を防止するため、チャージ・ポンプが低電圧になっていないかが継続的に監視されます。

このチャージ・ポンプには、VDRAIN ピン - VCP ピン間の蓄積コンデンサとして、X5R または X7R、1µF、16V のセラミック・コンデンサが必要です。また、CPH ピン - CPL ピン間には、フライング・コンデンサとして、X5R または X7R、47nF、VDRAIN 定格のセラミック・コンデンサが必要です。

Copyright © 2022 Texas Instruments Incorporated

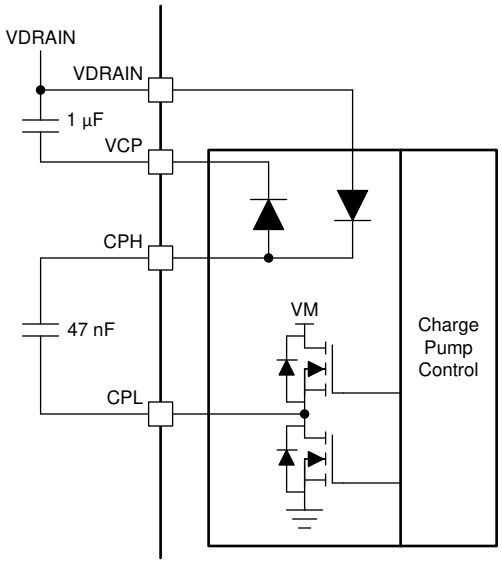


図 8-12. チャージ・ポンプのアーキテクチャ

ローサイド・ゲート駆動電圧は、VM 電源電圧入力によって動作するリニア・レギュレータを使用して生成されます。VGLS リニア・レギュレータにより、ゲート・ドライバはグランドを基準としてローサイド MOSFET ゲートを正確にバイアスできます。VGLS リニア・レギュレータの出力は 14.5V に固定され、動作中の GLx 出力では 11V にさらに調整されます。VGLS レギュレータは 25mA の出力電流をサポートしています。MOSFET の駆動不足を防止するため、VGLS リニア・レギュレータは低電圧にならないように監視されます。VGLS リニア・レギュレータには、VGLS と GND の間に X5R または X7R、1µF、16V のセラミック・コンデンサが必要です。

チャージ・ポンプ出力は V_{VDRAIN} + 10.5V にレギュレートされるため、高電圧モータ電源 (最大 75V) から直接 VM に電力を供給することも、スイッチングまたはリニア・レギュレータから生成された低電圧ゲート・ドライバ電源から VM に電力を供給することもできます。前者ではシングル電源システムに対応でき、後者ではデバイス効率を向上させ、外部から供給される電源を利用できます。図 8-13 と図 8-14 に、シングル電源構成とデュアル電源構成の DRV835xF の例を示します。

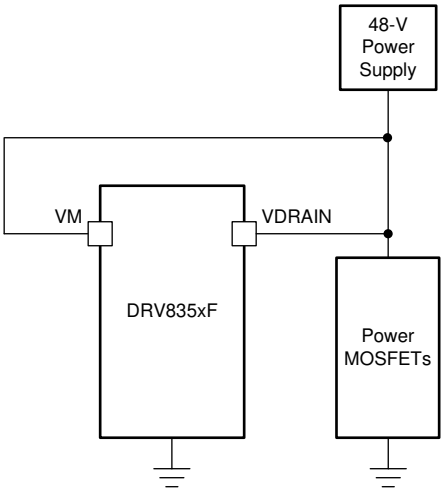


図 8-13. シングル電源の例

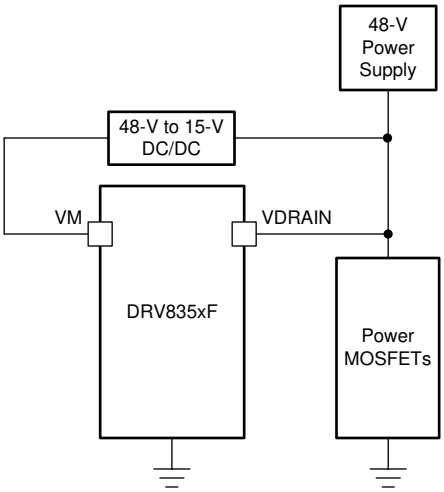


図 8-14. デュアル電源の例

8.3.1.4 スマート・ゲート・ドライブ・アーキテクチャ

DRV835xF ゲート・ドライバは、ハイサイドとローサイド両方のドライバに対して、調整可能な相補型のプッシュプル・トポロジが使用されています。このトポロジにより、外部 MOSFET ゲートのプルアップとプルダウンが両方とも強化できます。

また本ゲート・ドライバはスマート・ゲート・ドライブ・アーキテクチャを採用することで、外部パワー MOSFET のより詳細な制御、MOSFET を保護するための追加的な手段の実施、効率と堅牢性のバランスの最適化を実現しています。このアーキテクチャは IDRIVE および TDRIVE と呼ばれる 2 つのコンポーネント (「*セクション 8.3.1.4.1*」セクションと「*セクション 8.3.1.4.2*」セクションを参照) によって実装されます。図 8-15 は、ゲート・ドライバの概略機能ブロック図です。

IDRIVE ゲート駆動電流と TDRIVE ゲート駆動時間の最初の設定は、システムで使用する外部パワー MOSFET のパラメータと、目標とする立ち上がりおよび立ち下がり時間に基づき選択する必要があります (「*セクション 9*」セクションを参照)。

MOSFET で外部短絡が発生した場合に外部 MOSFET ゲートを過電圧状態から保護するために、ハイサイド・ゲート・ドライバにはツェナー・クランプ・ダイオードも実装されています。

Copyright © 2022 Texas Instruments Incorporated

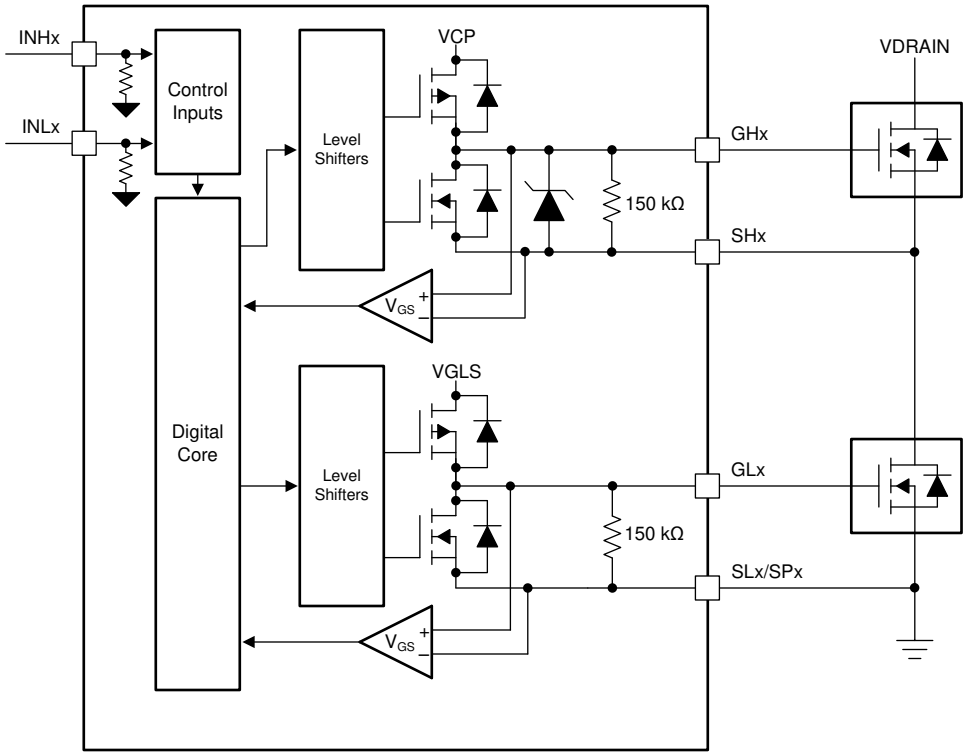


図 8-15. ゲート・ドライバのブロック図

8.3.1.4.1 IDRIVE：MOSFET スルーレート制御

IDRIVE コンポーネントは、MOSFET V_{DS} スルーレートを制御するための調整可能なゲート駆動電流を実装します。MOSFET V_{DS} スルーレートは、放射されるエミッションやエネルギー、ダイオードの回復スパイク期間、貫通電流を引き起こす dV/dt ゲート・ターンオン、および外部ハーフブリッジの寄生成分に関連するスイッチング過渡電圧を最適化するために不可欠な要素です。IDRIVE は、MOSFET V_{DS} スルーレートが主に MOSFET Q_{GD} またはミラー充電領域中のゲートの充電率 (または供給されるゲート電流) によって決まるという原理に基づいて動作します。ゲート・ドライバでゲート電流を調整できるようにすることで、外部パワー MOSFET のスルーレートを効果的に制御できます。

IDRIVE を活用することにより、DRV835xF ファミリのデバイスは、SPI デバイスのレジスタ設定やハードウェア・インターフェイス・デバイスの IDRIVE ピンを介してゲート駆動電流を動的に切り替えることができます。SPI デバイスは、50mA～1A (ソース)、100mA～2A (シンク) の範囲内で 16 個の I_{DRIVE} 設定を備えています。ハードウェア・インターフェイス・デバイスには、同じ範囲内で 7 個の I_{DRIVE} 設定が用意されています。設定されたゲート駆動電流は、t_{DRIVE} 期間にわたって外部パワー MOSFET のターンオンおよびターンオフ中にゲートに供給されます。MOSFET のターンオンまたはターンオフ後、ゲート・ドライバは効率性を高めるために I_{HOLD} 保持電流をより小さな値に切り替えます。IDRIVE 設定の詳細については、SPI デバイスの場合は「*セクション 8.6*」セクション、ハードウェア・インターフェイス・デバイスの場合は「*セクション 8.3.3*」セクションを参照してください。

8.3.1.4.2 TDRIVE：MOSFET ゲート駆動制御

TDRIVE コンポーネントは、スイッチング・ハンドシェイク中のデッド・タイムの自動挿入、寄生 dV/dt ゲート・ターンオン防止、MOSFET ゲート・フォルト検出を行う内蔵ゲート駆動ステート・マシンです。

TDRIVE ステート・マシンの第 1 の構成要素は自動デッド・タイム挿入です。デッド・タイムとは、外部ハイサイド MOSFET とローサイド MOSFET のスイッチング間隔であり、MOSFET 間のクロス導通とそれによる貫通電流の発生を防止することを目的としています。DRV835xF ファミリのデバイスは、固定の時間値を使用するのではなく、V_{GS} 電圧監視を使用して MOSFET ゲート - ソース間電圧を測定することにより、スイッチングの適切なタイミングを決定します。この機能により、ゲート・ドライバのデッド・タイムを、温度ドリフトなどのシステム内の変化や MOSFET パラメータの変動に合わせて調整できます。追加のデジタル・デッド・タイム (t_{DEAD}) を挿入することもでき、SPI デバイスのレジスタを介して調整できます。

位相電流が外部ハーフブリッジに流入しており、ゲート・ドライバがハイサイド MOSFET オンからローサイド MOSFET オンに遷移しつつある場合、デッド・タイムの自動挿入には限界があります。この場合、ハイサイド・ダイオードがデッド・タイム中に導通し、スイッチ・ノード電圧を VDRAIN に保持します。この場合、約 100～200ns の遅延がデッド・タイムのハンドシェイクに追加されます。これは、内部 V_{GS} 検出回路に現れる電圧を放電する必要性のために行われます。

第 2 の構成要素は、寄生 dV/dt ゲート・ターンオン防止を目的としています。これを実装するため、TDRIVE ステート・マシンには、MOSFET のスイッチングが行われるたびに反対側の MOSFET ゲートに強プルダウン電流 (I_{STRONG}) を流す機能が用意されています。この強いプルダウンは TDRIVE 期間全体にわたって持続します。この機能は、ハーフブリッジ・スイッチ・ノード電圧のスルーレートが高い場合に外部 MOSFET ゲートにカップリングする寄生電荷を除去するのに役立ちます。

第 3 の構成要素は、ピン間の半田付け不良、MOSFET ゲートの故障、MOSFET ゲートが High または Low に固着した電圧条件を検出するためのゲート・フォルト検出機能を実装しています。この検出機能は、各ハーフブリッジ・ゲート・ドライバの V_{GS} ゲート - ソース間電圧監視とともに実行されます。ハーフブリッジの状態を変更するコマンドを受け取ると、ゲート・ドライバは外部 MOSFET のゲート電圧の監視を開始します。t_{DRIVE} 期間の終了時に V_{GS} 電圧が適切なスレッショルドに達しなかった場合、ゲート・ドライバはフォルトを報告します。フォルトが誤って検出されないように、MOSFET ゲートの充電または放電に必要な時間より長い t_{DRIVE} 時間を選択する必要があります。t_{DRIVE} 時間によって PWM 時間が延長されることはなく、アクティブ時に別の PWM コマンドを受け取った場合はその時点で終了します。TDRIVE 設定の詳細については、SPI デバイスの場合は「*セクション 8.6*」セクション、ハードウェア・インターフェイス・デバイスの場合は「*セクション 8.3.3*」セクションを参照してください。

図 8-16 に、TDRIVE ステート・マシンの動作例を示します。

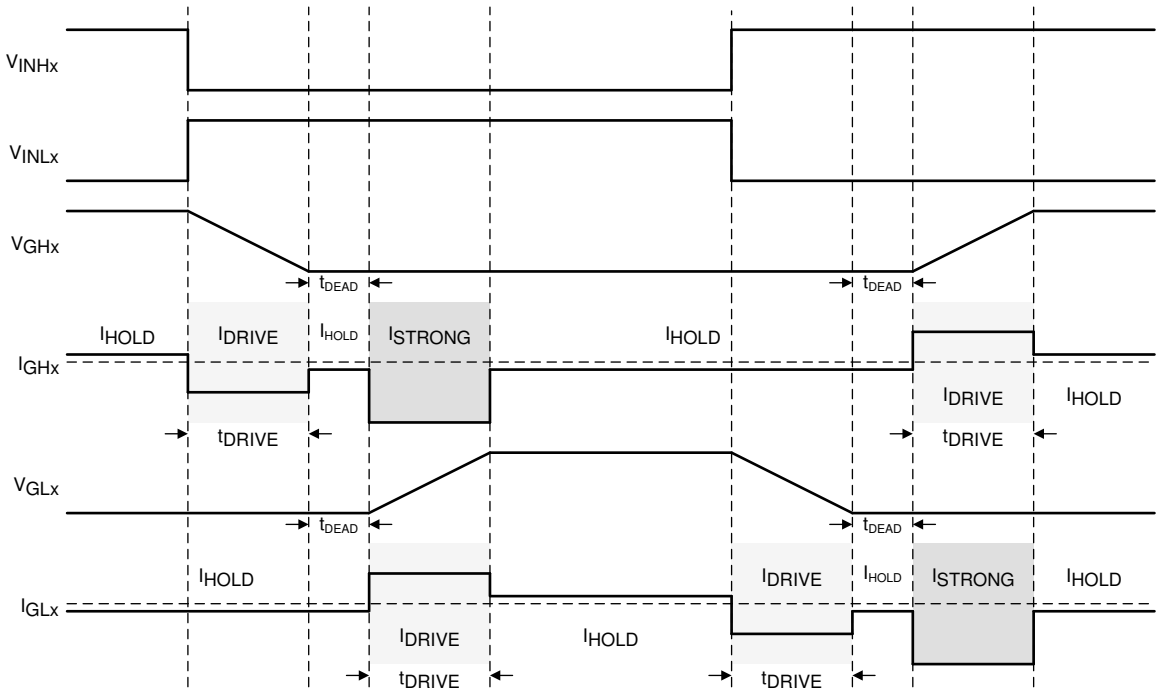


図 8-16. TDRIVE ステート・マシン

8.3.1.4.3 伝搬遅延

伝搬遅延時間 (t_{pd}) は入力ロジックのエッジから出力の変化が検出されるまでの時間として測定されます。この時間はデジタル入力デグリッチャ遅延、デジタル伝搬遅延、アナログ・ゲート・ドライバによる遅延という 3 つの要素で構成されています。

入力デグリッチャは、入力ピンでの高周波ノイズがゲート・ドライバの出力状態に影響するのを防止します。複数の制御モードとデッド・タイム挿入をサポートするため、デバイス全体への入力コマンドの伝搬に伴い、わずかなデジタル遅延が追加されます。また、アナログ・ゲート・ドライバによるわずかな遅延も、デバイスの全体的な伝搬遅延に含まれます。

Copyright © 2022 Texas Instruments Incorporated

8.3.1.4.4 MOSFET V_{DS} 監視

ゲート・ドライバには、外部パワー MOSFET での過電流状態や短絡状態を検出するために、調整可能な V_{DS} 電圧監視が実装されています。監視対象の電圧が V_{DS} トリップ・ポイント (V_{VDS_OCP}) をデグリッチ時間 (t_{OCP}) より長い時間にわたって上回った場合は、過電流状態が検出され、デバイスの V_{DS} フォルト・モードに基づく処置が実行されます。

ハイサイド V_{DS} 監視では VDRAIN ピンと SHx ピンの間の電圧が測定されます。3 つの電流シャント・アンプを備えたデバイス (DRV8353F) では、ローサイド V_{DS} 監視によって SHx ピンと SPx ピン間の電圧が測定されます。電流シャント・アンプを使用していない場合は、SP ピンを外部ハーフブリッジの共通グランド・ポイントに接続してください。電流シャント・アンプのないデバイス (DRV8350F) では、ローサイド V_{DS} 監視によって SHx ピンと SLx ピンの間の電圧が測定されます。

SPI デバイスの場合、LS_REF レジスタ設定を使用し、ローサイド V_{DS} 監視の基準点を SPx ピンと SNx ピンの間で必要に応じて変更できます。これは、ローサイド V_{DS} 監視のみにあてはまります。ハイサイド V_{DS} 監視では VDRAIN ピンと SHx ピンの間の電圧が測定されます。

V_{VDS_OCP} スレッショルドは、SPI デバイスでは 0.06V と 2V の間、ハードウェア・インターフェイス・デバイスでは 0.06V と 1V の間に設定できます。V_{DS} 監視レベルの詳細については、SPI デバイスの場合は *セクション 8.6*、ハードウェア・インターフェイス・デバイスの場合は *セクション 8.3.3* を参照してください。

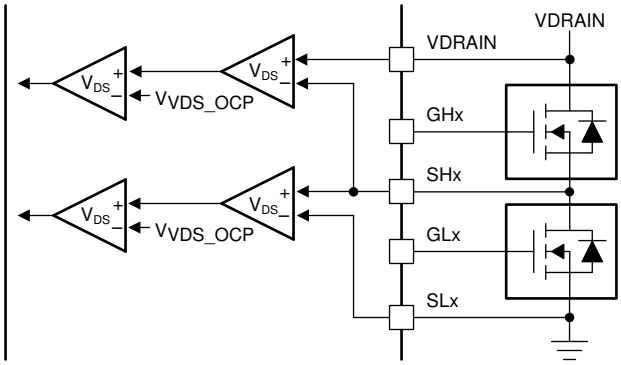


図 8-17. DRV8350F の V_{DS} 監視

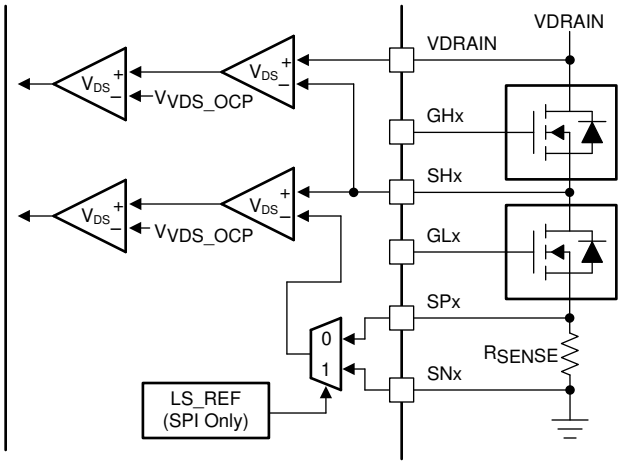


図 8-18. DRV8353F の V_{DS} 監視

8.3.1.4.5 VDRAIN 検出および基準電圧ピン

DRV835xF ファミリのデバイスは、ハイサイド MOSFET ドレインの共通ポイント用に個別の検出および基準電圧ピンを備えています。このピンを VDRAIN と呼びます。このピンを使うと、過電流監視の検出ライン (VDRAIN) と電源 (VM) を分離し、VDRAIN 検出ラインでのノイズ発生を防止できます。

VDRAIN ピンは、内蔵チャージ・ポンプの基準点として機能します。これにより、電圧過渡条件の間も、パワー MOSFET の電源に対してチャージ・ポンプの基準電圧が常に一定に維持されます。

チャージ・ポンプは VDRAIN を基準としているため、パワー MOSFET 電源 (VDRAIN) からでも、独立した電源からでも VM に電力を供給できます。そのため、高効率の低電圧電源から VM に電力を供給するように構成することで、本デバイスの効率を向上させることができます。

8.3.2 DVDD リニア電圧レギュレータ

DRV835xF ファミリのデバイスには 5V、10mA のリニア・レギュレータが内蔵されており、外部回路から使用できます。このレギュレータは、低電流サポート回路に電源電圧を供給できます。DVDD レギュレータの出力は DVDD ピン付近で X5R または X7R、1µF、6.3V のセラミック・コンデンサを使用してバイパスし、隣接する DGND または GND グランド・ピンに直接配線する必要があります。

DVDD の公称無負荷出力電圧は 5V です。DVDD 負荷電流が 10mA を超えると、レギュレータは定電流源のように機能します。電流負荷が 10mA を超えると、出力電圧は大幅に低下します。

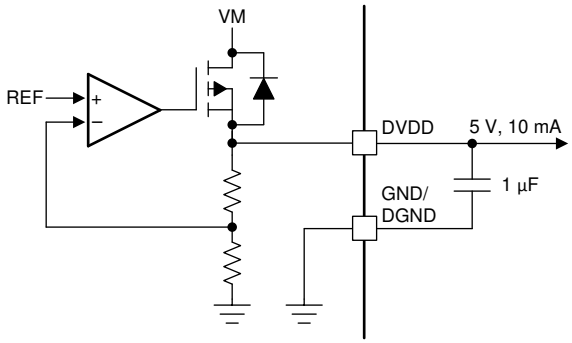


図 8-19. DVDD リニア・レギュレータのブロック図

DVDD リニア・レギュレータによってデバイス内で消費される電力を計算するには、式 1 を使用します。

$$P = \left(V_{VM} - V_{DVDD}\right) \times I_{DVDD} \tag{1}$$

Copyright © 2022 Texas Instruments Incorporated

例えば、V_{VM} = 24V の場合、DVDD から 20mA の電流が流れると、消費電力は式 2 のようになります。

$$P = (24\ V - 3.3\ V) \times 20\ mA = 414\ mW \tag{2}$$

8.3.3 ピン構造図

図 8-20 に、論理レベル・ピン INHx、INLx、ENABLE、nSCS、SCLK、SDI の入力構造を示します。

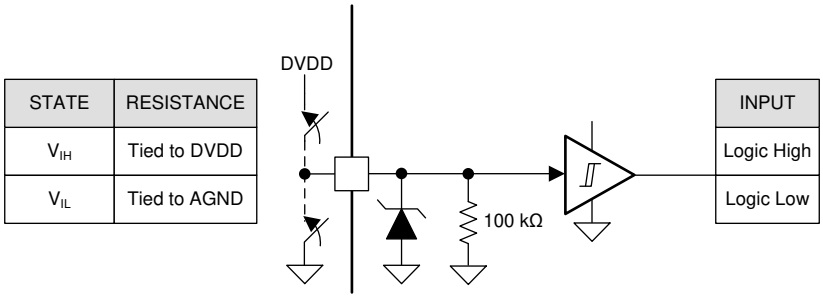


図 8-20. 論理レベル入力ピンの構造

図 8-21 は、ハードウェア・インターフェイス・デバイス上の 4 レベル入力ピンである MODE と GAIN の構造を示しています。入力は外部抵抗によって設定できます。

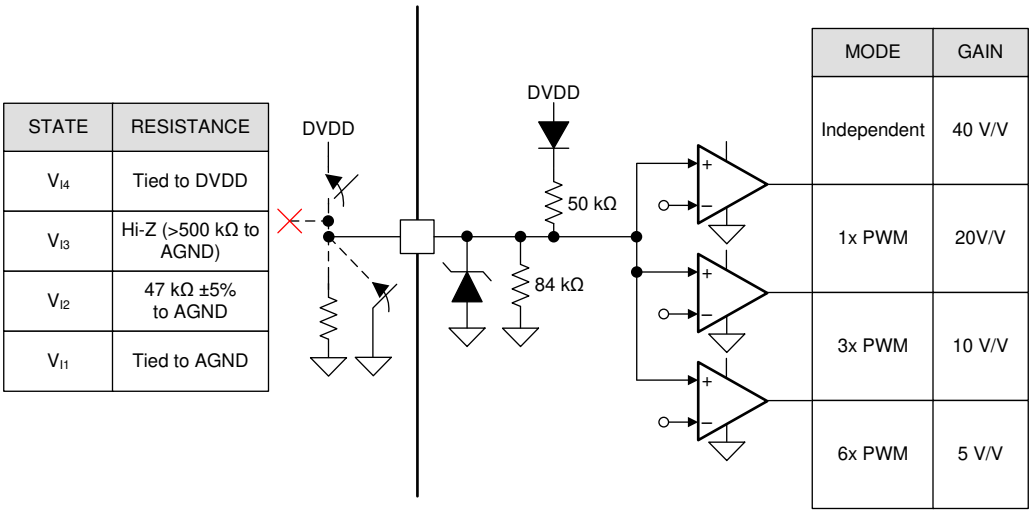


図 8-21. 4 レベル入力ピンの構造

図 8-22 は、ハードウェア・インターフェイス・デバイス上の 7 レベル入力ピンである IDRIVE と VDS の構造を示しています。入力は外部抵抗によって設定できます。

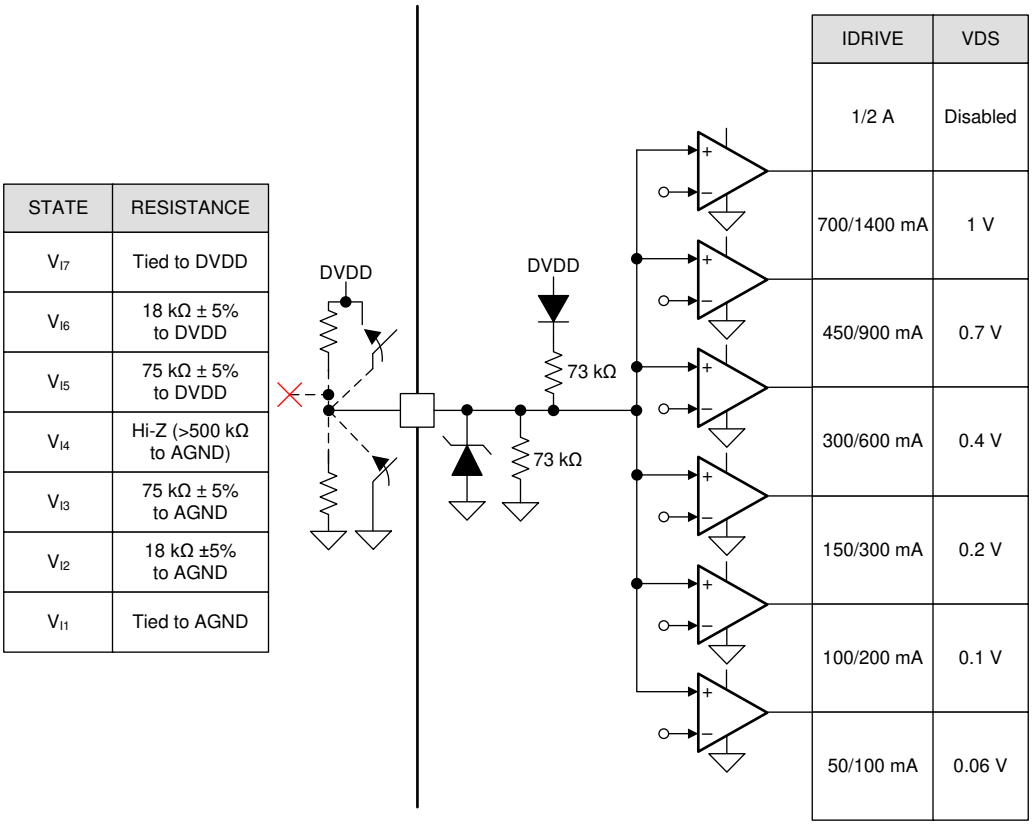


図 8-22. 7 レベル入力ピンの構造

Copyright © 2022 Texas Instruments Incorporated

図 8-23 は、オープン・ドレイン出力ピンである nFAULT と SDO の構造を示しています。オープン・ドレイン出力を正しく機能させるためには、外部プルアップ抵抗が必要です。

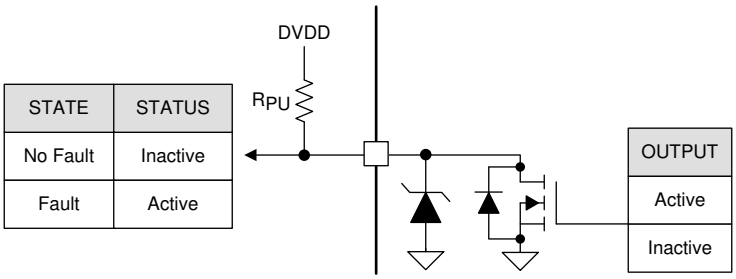


図 8-23. オープン・ドレイン出力ピンの構造

8.3.4 ローサイド電流シャント・アンプ (DRV8353F)

DRV8353F には、外部ハーフブリッジ内のローサイド・シャント抵抗を使用した電流測定用に、3 つの高性能ローサイド電流シャント・アンプが内蔵されています。ローサイド電流測定は、一般に過電流保護、外部トルク制御、または外部コントローラによるブラシレス DC の整流を実装するために使用されます。3 つのアンプすべてを使用して各ハーフブリッジ・レグ内の電流を検出することも、1 つのアンプを使用してハーフブリッジ・レグの合計電流を検出することもできます。電流シャント・アンプにはプログラマブル・ゲイン、オフセット較正、単方向と双方向のサポート、基準電圧ピン (VREF) などの機能が含まれています。

8.3.4.1 双方向電流検出の動作

DRV8353F の SOx ピンは、SPx および SNx ピン間の電圧にゲイン設定 (G_{CSA}) を乗算した値に等しいアナログ電圧を出力します。ゲイン設定は 4 つの異なるレベル (5V/V、10V/V、20V/V、40V/V) に調整できます。シャント抵抗を流れる電流値を計算するには、式 3 を使用します。

$$I = \frac{\frac{V_{VREF}}{2} - V_{SOx}}{G_{CSA} \times R_{SENSE}} \tag{3}$$

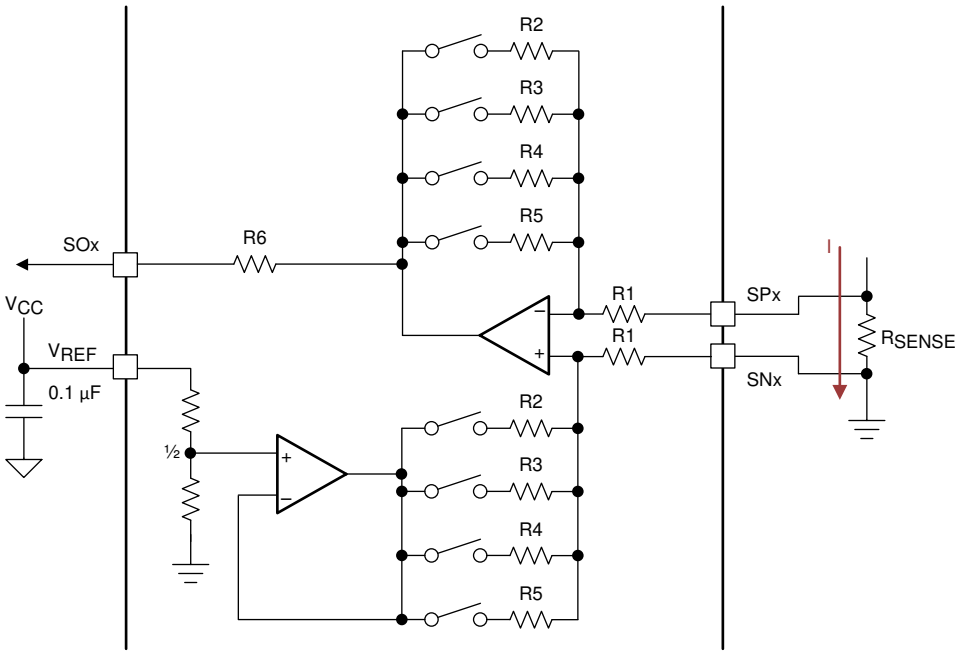


図 8-24. 双方向電流検出の構成

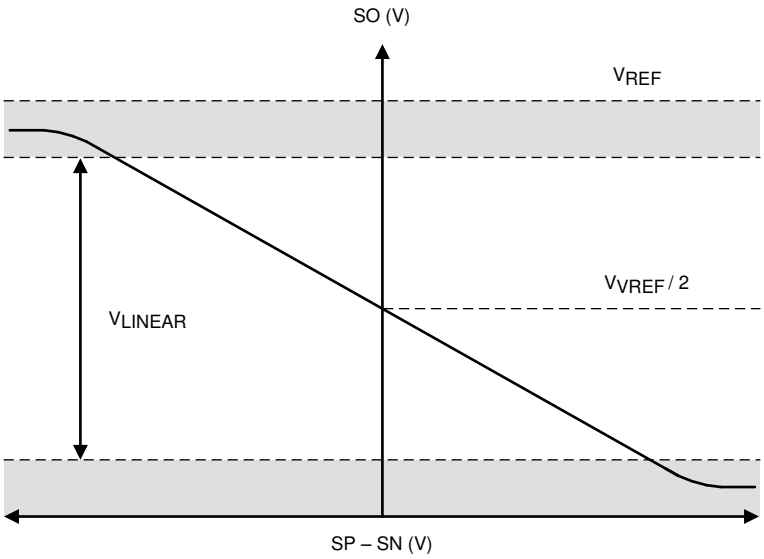


図 8-25. 双方向電流検出の出力

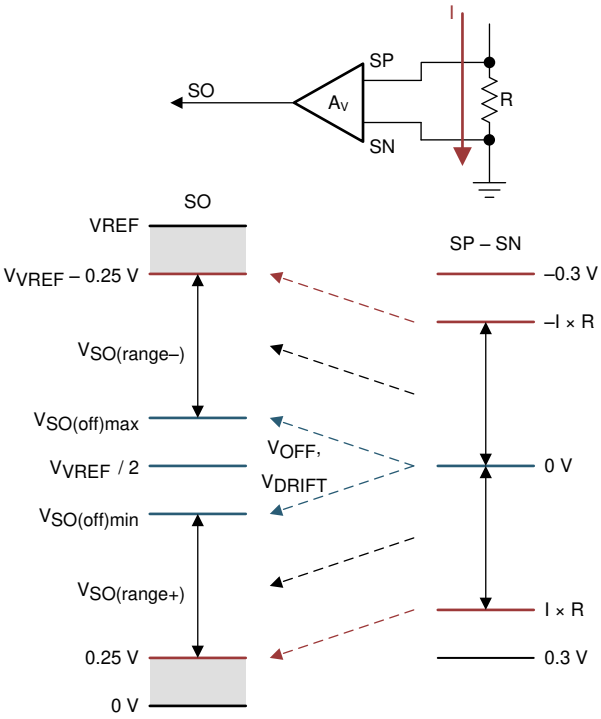


図 8-26. 双方向電流検出の領域

Copyright © 2022 Texas Instruments Incorporated

8.3.4.2 単方向電流検出の動作 (SPI のみ)

DRV8353F SPI デバイスでは、VREF 分圧回路の代わりに VREF_DIV ビットを使用します。この場合、シャント・アンプは単方向で動作し、SOx は、SPx および SNx ピン間の電圧にゲイン設定 (G_{CSA}) を乗算した値に等しいアナログ電圧を出力します。シャント抵抗を流れる電流値を計算するには、式 4 を使用します。

$$I = \frac{V_{VREF} - V_{SOx}}{G_{CSA} \times R_{SENSE}} \tag{4}$$

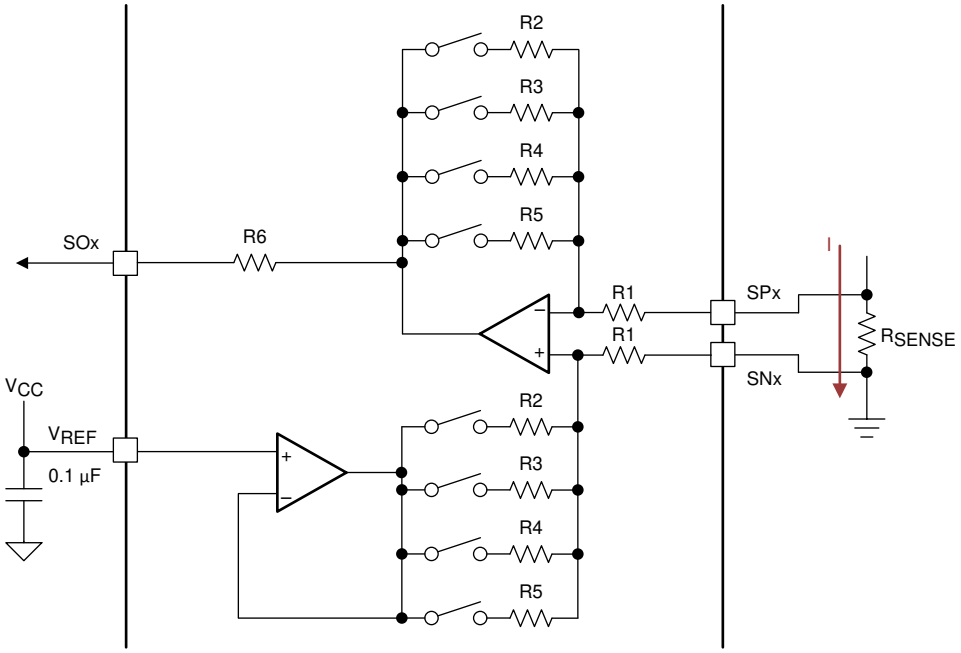


図 8-27. 単方向電流検出の構成

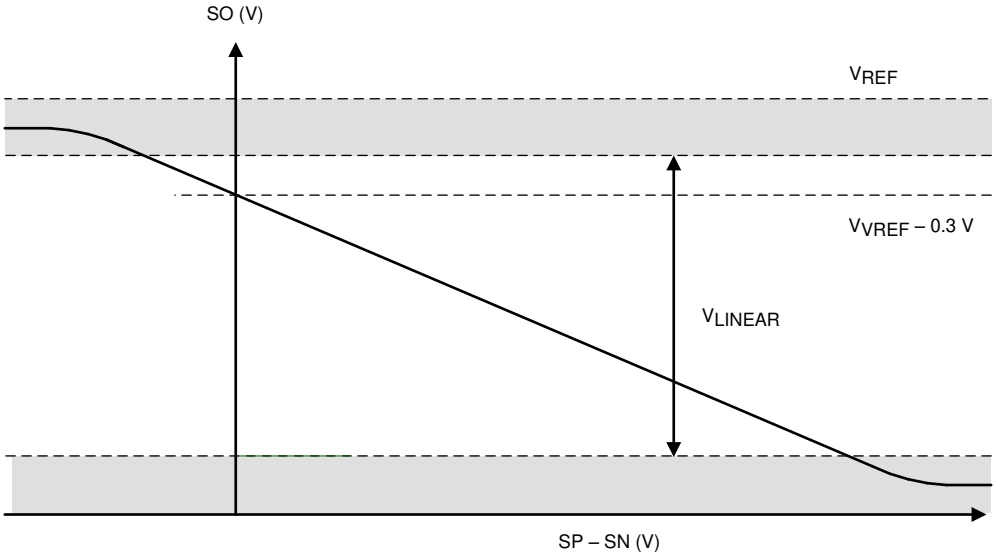


図 8-28. 単方向電流検出の出力

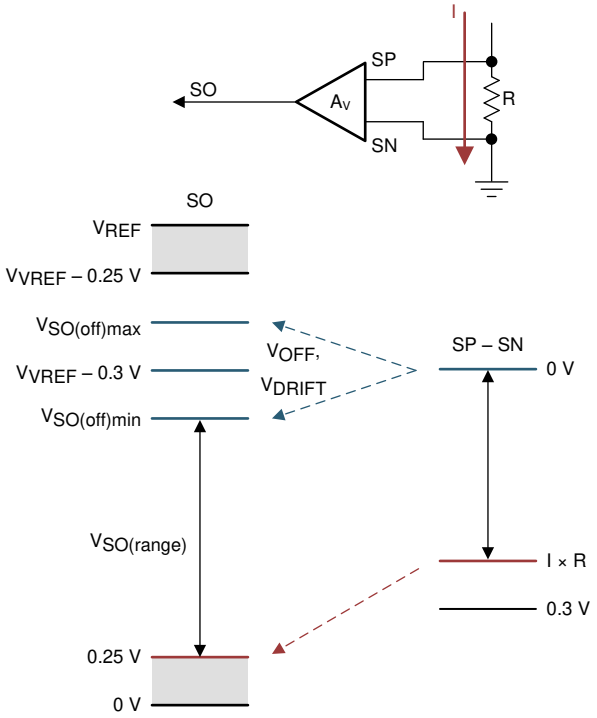


図 8-29. 単方向電流検出の領域

8.3.4.3 アンプの較正モード

温度に対する DC オフセットおよびドリフトを最小限に抑えるため、DC 較正モードが備わっており、SPI レジスタ (CSA_CAL_X) によって有効にできます。このオプションは、ハードウェア・インターフェイス・デバイスでは利用できません。較正設定を有効にすると、アンプの入力は短絡され、負荷は切り離されます。DC 較正はいつでも実行できます (ハーフブリッジの動作中でも実行できます)。最善の結果が得られるように、スイッチング・オフ期間中に DC 較正を行うことで、アンプへのノイズの影響の可能性を減らします。較正モードの図を以下に示します。CSA_CAL_X ビットをセットすると、対応するアンプが較正モードに移行します。

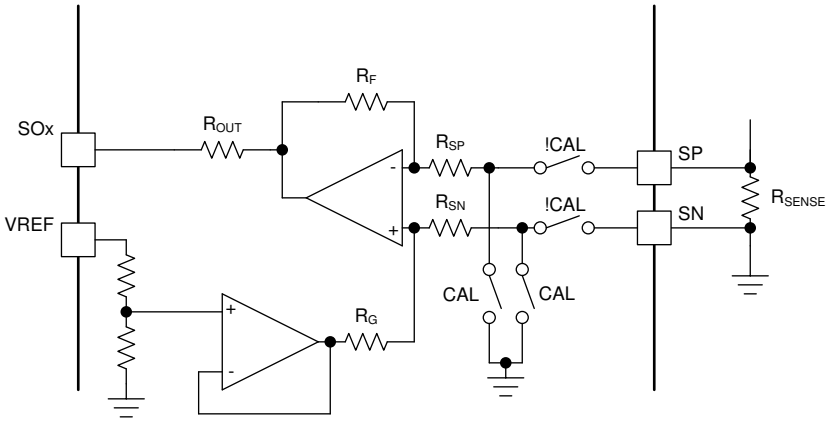


図 8-30. アンプの手動較正

SPI デバイス・バージョンが備える手動較正方法に加えて、DRV835xF ファミリは、起動後と実行中のアンプの入力オフセットを最小化するため、ハードウェアと SPI の両方のデバイス・バージョンで自動較正機能を備えており、温度とデバイスのばらつきに対応しています。

ハードウェアと SPI の両方のデバイス・オプションで、自動較正はデバイス起動時に自動的に行われます。起動時の自動較正は、VREF ピンが最小動作 VREF 電圧と交差した直後に開始します。VREF ピン電圧が最小 VREF 動作電圧と交

Copyright © 2022 Texas Instruments Incorporated

差した後、起動時の自動較正ルーチンが完了するのに 50us を許容する必要があります。自動較正は、アンプの調整ルーチンを実行してアンプの入力オフセットを最小化することで機能します。この後、アンプは通常動作の準備が整います。

SPI デバイス・オプションの場合、AUTO_CAL レジスタ設定を有効にすることで、実行中に自動較正を再度実行できます。その後、自動較正ルーチンを再実行するために、対応する CSA_CAL_X レジスタ設定を使って自動較正を命令できます。自動較正中、較正ルーチンの精度を向上させるため、すべてのアンプは最大ゲイン設定に構成されます。

8.3.4.4 MOSFET V_{DS} 検出モード (SPI のみ)

DRV8353F SPI デバイスの電流検出アンプは、外部ローサイド MOSFET の V_{DS} 電圧を増幅するように構成できます。これにより、シャント抵抗を使用せずに外部コントローラから MOSFET $R_{DS(on)}$ での電圧降下を測定し、ハーフブリッジ電流レベルを計算できます。

このモードを有効にするには、CSA_FET ビットを 1 に設定します。検出アンプへの正の入力は、SHx ピンに印加される高電圧によってアンプの入力が損傷しないように、内部クランプを使用して SHx ピンに内部接続されます。この動作モード中、SPx ピンはローサイド・ゲート・ドライバの基準点として機能するため、SPx ピンをローサイド MOSFET のソースに接続したままにしておく必要があります。CSA_FET ビットが 1 に設定されている場合、ローサイド V_{DS} 監視用の負の基準点は、LS_REF ビットの状態に関係なく自動的に SNx ピンに設定されます。この設定は、ローサイド V_{DS} 監視を無効にするのを防止するために実装されています。

システムが MOSFET V_{DS} 電流検出モードで動作する場合は、SHx ピンと SNx ピンを、外部ローサイド MOSFET のドレインとソースを挟んでケルビン接続で配線してください。

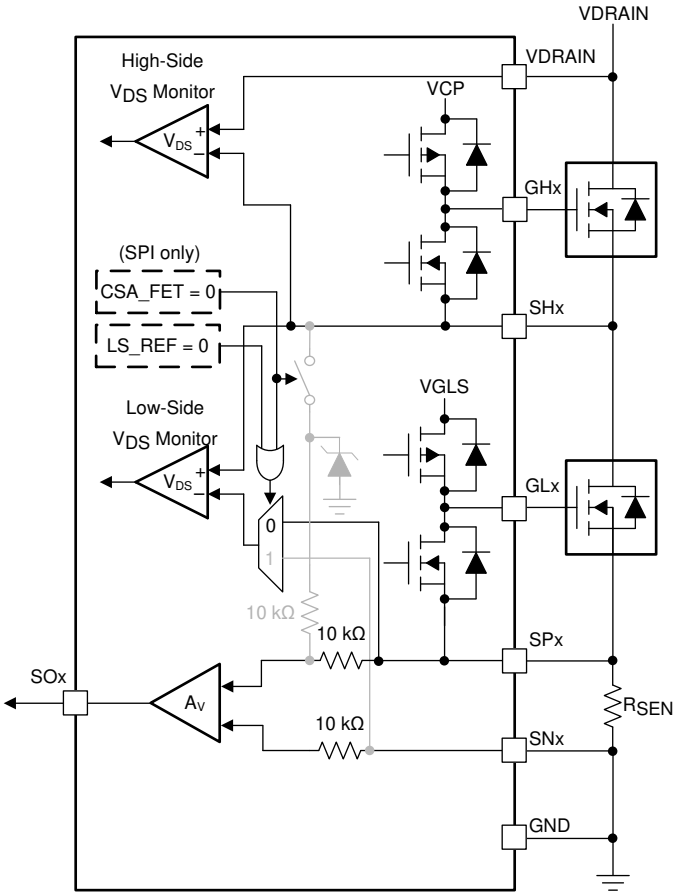


図 8-31. 抵抗検出の構成

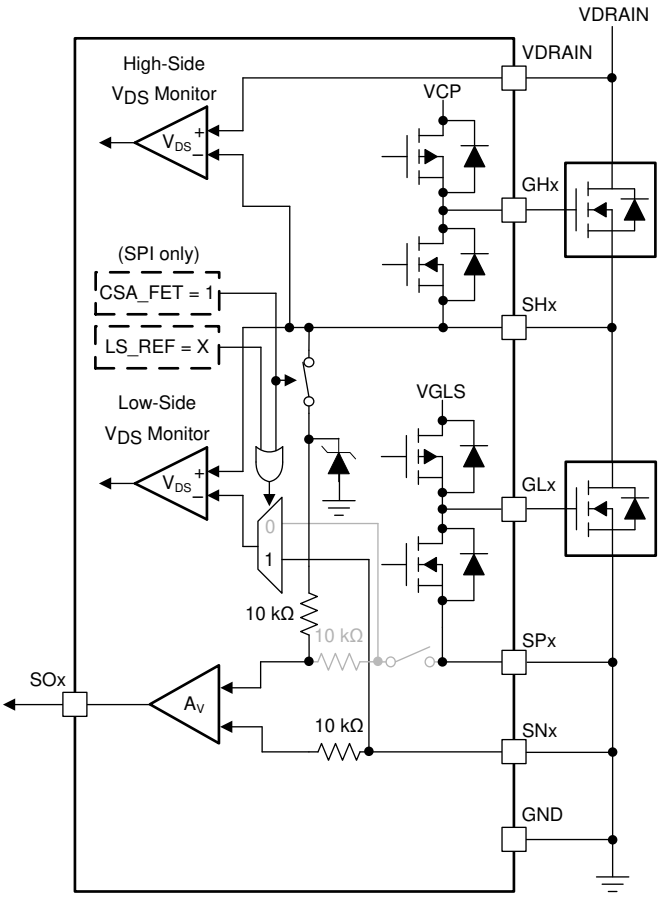


図 8-32. V_{DS} 検出の構成

MOSFET V_{DS} 検出モードで動作している場合、アンプは t_{DRIVE} 時間の終了時にイネーブルになります。この時点で、アンプの入力は SHx ピンに接続され、SOx 出力が有効になっています。ローサイド MOSFET がターンオフ信号を受け取ると、アンプの入力である SPx と SNx が内部で短絡されます。

8.3.5 ゲート・ドライバ保護回路

DRV835xF ファミリのデバイスは、VM 低電圧、チャージ・ポンプおよびローサイド・レギュレータ低電圧、MOSFET V_{DS} 過電流、ゲート・ドライバ短絡、過熱イベントから完全に保護されています。

8.3.5.1 VM 電源および VDRAIN 低電圧誤動作防止 (UVLO)

VM ピンの入力電源電圧が V_{VM_UV} スレッショルドを下回ると、または VDRAIN ピンの電圧が V_{VDR_UV} を下回ると常に、すべての外部 MOSFET がディスエーブルになり、nFAULT ピンが Low になります。また、SPI デバイスのレジスタでは、FAULT ビットと UVLO ビットが High にラッチされます。低電圧状態が解消されると、通常動作が再開されます (ゲート・ドライバの動作が再開され、nFAULT ピンが解放される)。UVLO ビットは、CLR_FLT ビットまたは ENABLE ピン・リセット・パルス (t_{RST}) によってクリアされるまでセットされたまま維持されます。

VM 電源または VDRAIN の低電圧も、VCP チャージ・ポンプまたは VGLS レギュレータの低電圧状態が通知される原因となり得ます。VCP および VGLS 電源電圧は VM および VDRAIN ピン電圧の影響を受けるため、この動作が必要とされます。

8.3.5.2 VCP チャージ・ポンプと VGLS レギュレータの低電圧誤動作防止 (GDUV)

VCP ピン (チャージ・ポンプ) の電圧 が V_{VCP_UV} スレッショルドを下回るか、VGLS ピンの電圧 が V_{VGLS_UV} スレッショルドを下回ると常に、すべての外部 MOSFET がディスエーブルになり、nFAULT ピンが Low になります。また、SPI デバイスのレジスタでは、FAULT ビットと GDUV ビットが High にラッチされます。低電圧条件が解消すると、通常動作を再開します (ゲート・ドライバの動作と nFAULT ピンの解放)。GDUV ビットは、CLR_FLT ビットまたは ENABLE ピンのリセット・

Copyright © 2022 Texas Instruments Incorporated

パルス (t_{RST}) によってクリアされるまでセットされたまま維持されます。SPI デバイスの DIS_GDUV ビットを High に設定すると、この保護機能はディスエーブルになります。ハードウェア・インターフェイス・デバイスでは、常に GDUV 保護がイネーブルになっています。

8.3.5.3 MOSFET V_{DS} 過電流保護 (VDS_OCP)

MOSFET 過電流状態は、外部 MOSFET $R_{DS(on)}$ での V_{DS} 電圧降下を監視することによって検出されます。イネーブル状態の MOSFET での電圧が、V_{VDS_OCP} スレッショルドを t_{OCP_DEG} デグリッチ時間より長い時間にわたって上回った場合は、VDS_OCP イベントが認識され、OCP_MODE に基づく処置が実行されます。ハードウェア・インターフェイス・デバイスでは、V_{VDS_OCP} スレッショルドは VDS ピンによって設定され、t_{OCP_DEG} は 4µs に固定され、OCP_MODE は 8ms の自動リトライ用に設定されますが、VDS ピンを DVDD に接続することでディスエーブルにできます。SPI デバイスでは、V_{VDS_OCP} スレッショルドは VDS_LVL SPI レジスタによって設定され、t_{OCP_DEG} は OCP_DEG SPI レジスタによって設定され、OCP_MODE ビットは 4 種類のモード(V_{DS} ラッチ・シャットダウン、V_{DS} 自動リトライ、V_{DS} 通知のみ、V_{DS} ディスエーブル) で動作できます。

MOSFET V_{DS} 過電流保護は、デフォルトではサイクル単位 (CBC) モードで動作します。SPI デバイス・バリアントでは、SPI レジスタを使ってこの機能を無効化できます。サイクル単位 (CBC) モードの場合、PWM 入力の新しい立ち上がりエッジにより、既存の過電流フォルトがクリアされます。

また SPI デバイスでは、OCP_ACT レジスタを設定することで、VDS_OCP の過電流応答を連鎖シャットダウン・モードと個別シャットダウン・モードに切り替えることができます。OCP_ACT が 0 の場合、VDS_OCP フォルトはそれが発生したハーフ・ブリッジにのみ影響します。OCP_ACT が 1 の場合、いずれかのハーフブリッジの VDS_OCP フォルトに 3 つのハーフブリッジのすべてが応答します。OCP_ACT はデフォルトで 0 (個別シャットダウン・モード) に設定されています。

8.3.5.3.1 V_{DS} ラッチ・シャットダウン (OCP_MODE = 00b)

このモードでは、VDS_OCP イベント後にすべての外部 MOSFET がディスエーブルになり、nFAULT ピンが Low になります。SPI レジスタでは、FAULT、VDS_OCP、および対応する MOSFET OCP ビットが High にラッチされます。VDS_OCP 条件が解消され、CLR_FLT ビットと ENABLE リセット・パルス (t_{RST}) のどちらかによってクリア・フォルト・コマンドが発行されると、通常動作が再開されます (ゲート・ドライバの動作が再開され、nFAULT ピンが解放される)。

8.3.5.3.2 V_{DS} 自動リトライ (OCP_MODE = 01b)

このモードでは、VDS_OCP イベント後にすべての外部 MOSFET がディスエーブルになり、nFAULT ピンが Low になります。SPI レジスタでは、FAULT、VDS_OCP、および対応する MOSFET OCP ビットが High にラッチされます。t_{RETRY} 時間が経過した後は、通常動作が自動的に再開されます (ゲート・ドライバの動作が再開され、nFAULT ピンが解放される)。FAULT、VDS_OCP、および MOSFET OCP ビットは t_{RETRY} 期間が終了するまでラッチされた状態を保ちます。

8.3.5.3.3 V_{DS} 通知のみ (OCP_MODE = 10b)

このモードでは、VDS_OCP イベントの後に保護動作は発生しません。nFAULT ピンを Low にし、FAULT、VDS_OCP、および対応する MOSFET OCP ビットを SPI レジスタで High にラッチすることにより、過電流状態が通知されます。ゲート・ドライバは通常動作を継続します。外部コントローラは適切に動作することによって過電流状態を管理します。VDS_OCP 状態が解消され、CLR_FLT ビットと ENABLE リセット・パルス (t_{RST}) のどちらかによってクリア・フォルト・コマンドが発行されると、通知がクリアされます (nFAULT ピンが解放される)。

8.3.5.3.4 V_{DS} ディスエーブル (OCP_MODE = 11b)

このモードでは、VDS_OCP イベントの後に何の動作も発生しません。

8.3.5.4 V_{SENSE} 過電流保護 (SEN_OCP)

外部電流検出抵抗での電圧降下を SP ピンで検出することにより、ハーフブリッジの過電流も監視できます。任意の時点での電流検出アンプの SP 入力の電圧が、V_{SEN_OCP} スレッショルドを t_{OCP_DEG} デグリッチ時間より長い時間にわたって上回った場合は、SEN_OCP イベントが認識され、OCP_MODE ビットに基づく処置が実行されます。ハードウェア・インターフェイス・デバイスでは、V_{SENSE} スレッショルドが 1V、t_{OCP_DEG} が 4µs、V_{SENSE} の OCP_MODE が 8ms の自動リトライ用に固定されています。SPI デバイスでは、SPI レジスタの SEN_LVL ビットで V_{SENSE} スレッショルドを設定し、SPI レジスタの OCP_DEG ビットで t_{OCP_DEG} を設定し、OCP_MODE ビットで 4 種類の動作モード(V_{SENSE} ラッチ・シャットダウン、V_{SENSE} 自動リトライ、V_{SENSE} 通知のみ、V_{SENSE} ディスエーブル) 設定をできます。

V_{SENSE} 過電流保護は、デフォルトではサイクル単位 (CBC) モードで動作します。SPI デバイス・バリアントでは、SPI レジスタを使ってこの機能を無効化できます。サイクル単位 (CBC) モードの場合、PWM 入力の新しい立ち上がりエッジにより、既存の過電流フォルトがクリアされます。

また SPI デバイスでは、OCP_ACT レジスタを設定することで、SEN_OCP の過電流応答を連鎖シャットダウン・モードと個別シャットダウン・モードに切り替えることができます。OCP_ACT が 0 の場合、SEN_OCP フォルトはそれが発生したハーフ・ブリッジにのみ影響します。OCP_ACT が 1 の場合、いずれかのハーフブリッジの SEN_OCP フォルトに 3 つのハーフブリッジのすべてが応答します。OCP_ACT はデフォルトで 0 (個別シャットダウン・モード) に設定されています。

8.3.5.4.1 V_{SENSE} ラッチ・シャットダウン (OCP_MODE = 00b)

このモードでは、SEN_OCP イベント後にすべての外部 MOSFET がディスエーブルになり、nFAULT ピンが Low になります。SPI レジスタでは、FAULT ビットと SEN_OCP ビットが High にラッチされます。SEN_OCP 状態が解消され、CLR_FLT ビットまたは ENABLE リセット・パルス (t_{RST}) のどちらかによってクリア・フォルト・コマンドが発行されると、通常動作が再開されます (ゲート・ドライバの動作が再開され、nFAULT ピンが解放される)。

8.3.5.4.2 V_{SENSE} 自動リトライ (OCP_MODE = 01b)

このモードでは、SEN_OCP イベント後にすべての外部 MOSFET がディスエーブルになり、nFAULT ピンが Low になります。SPI レジスタでは、FAULT、SEN_OCP、および対応する検出 OCP ビットが High にラッチされます。t_{RETRY} 時間が経過した後は、通常動作が自動的に再開されます (ゲート・ドライバの動作が再開され、nFAULT ピンが解放される)。FAULT、SEN_OCP、および検出 OCP ビットは t_{RETRY} 期間が終了するまでラッチされた状態を保ちます。

8.3.5.4.3 V_{SENSE} 通知のみ (OCP_MODE = 10b)

このモードでは、SEN_OCP イベントの後に保護動作は発生しません。nFAULT ピンを Low にし、FAULT ビットと SEN_OCP ビットを SPI レジスタで High にラッチすることにより、過電流状態が通知されます。ゲート・ドライバは動作を継続します。外部コントローラは適切に動作することによって過電流状態を管理します。SEN_OCP 状態が解消され、CLR_FLT ビットまたは ENABLE リセット・パルス (t_{RST}) のどちらかによってクリア・フォルト・コマンドが発行されると、通知がクリアされます (nFAULT が解放される)。

8.3.5.4.4 V_{SENSE} ディスエーブル (OCP_MODE = 11b または DIS_SEN = 1b)

このモードでは、SEN_OCP イベントの後に何の動作も発生しません。DIS_SEN SPI レジスタを使用することで、VDS_OCP ビットとは無関係に SEN_OCP ビットをディスエーブルにできます。

8.3.5.5 ゲート・ドライバのフォルト (GDF)

GHx ピンと GLx ピンが監視されているため、t_{DRIVE} 時間の経過後に外部 MOSFET ゲートの電圧が増加も減少もしなければ、ゲート・ドライバ・フォルトが検出されます。このような障害は、GHx または GLx ピンが PGND、SHx、または VM ピンと短絡している場合に発生します。また、選択した I_{DRIVE} 設定が外部 MOSFET を t_{DRIVE} 期間中にオンにするのに十分ではない場合にも、ゲート・ドライバ・フォルトが発生する可能性があります。ゲート・ドライバ・フォルトが検出されると、すべての外部 MOSFET がディスエーブルになり、nFAULT ピンが Low になります。さらに、SPI レジスタでは、FAULT、GDF、および対応する VGS ビットが High にラッチされます。ゲート・ドライバのフォルト状態が解消され、CLR_FLT ビットまたは ENABLE リセット・パルス (t_{RST}) のどちらかによってクリア・フォルト・コマンドが実行されると、通常動作が継続されます (ゲート・ドライバの動作が再開され、nFAULT ピンが解放される)。SPI デバイスでは、DIS_GDF_UVLO ビットを High に設定すると、この保護機能がディスエーブルになります。

ゲート・ドライバ・フォルトが発生する場合は、選択した I_{DRIVE} または t_{DRIVE} 設定が、外部 MOSFET に必要なスルーレートに対して低すぎる可能性があります。このような場合のゲート・ドライバ・フォルトは、I_{DRIVE} または t_{DRIVE} の設定値を増やすことで解決できます。また、外部 MOSFET のゲート - ソース間で短絡が発生している場合は、MOSFET ゲートがオンにならないのでゲート・ドライバ・フォルトが通知されます。

8.3.5.6 過電流ソフト・シャットダウン (OCP ソフト)

MOSFET V_{DS} または V_{SENSE} 過電流フォルトが発生した場合、本ドライバは特別なシャットダウン・シーケンスを使用して高電圧スイッチング過渡からドライバと MOSFET を保護します。過電流イベント中など、大きなドレイン - ソース間電流が発生した場合、外付け MOSFET を素早くオフする際にこれらの大きな電圧過渡が発生する場合があります。

Copyright © 2022 Texas Instruments Incorporated

この問題を軽減するため、DRV835xF デバイス・ファミリでは、フォルト・イベントに応答して MOSFET がオフしている間、ハイサイドとローサイドの両方のゲート・ドライバの I_{DRIVEN} プルダウン電流設定を低減しています。設定された I_{DRIVEN} 値が 1100mA 未満の場合、IDRIVEN 値は最小 I_{DRIVEN} 設定値に設定されます。設定された I_{DRIVEN} 値が 1100mA 以上の場合、I_{DRIVEN} 値は 7 つのコード設定に減らされます。

8.3.5.7 過熱警告 (OTW)

ダイ温度が過熱警告のトリップ・ポイント (T_{OTW}) を上回ると、SPI デバイスのレジスタに OTW ビットが設定されます。デバイスの動作は継続され、追加動作が実行されることはありません。ダイ温度が過熱警告のヒステリシス・ポイント未満まで低下すると、OTW ビットは自動的にクリアされます。また、SPI レジスタで OTW_REP ビットを 1 に設定することにより、nFAULT ピンと FAULT ビットで通知するように OTW ビットを構成することもできます。

8.3.5.8 サーマル・シャットダウン (OTSD)

ダイ温度がサーマル・シャットダウン制限のトリップ・ポイント (T_{OTSD}) を上回ると、すべての外部 MOSFET がディスエーブルになり、チャージ・ポンプがシャットダウンされ、nFAULT ピンが Low になります。さらに、FAULT ビットと TSD ビットが High にラッチされます。過熱状態が解消すると、通常動作に復帰します (ゲート・ドライバの動作と nFAULT ピンの解放)。TSD ビットが High にラッチされたままになっている場合は、CLR_FLT ビットまたは ENABLE リセット・パルス (t_{RST}) のいずれかによってクリア・フォルト・コマンドが実行されるまで、過熱状態が発生していたことを示します。この保護機能をディスエーブルにすることはできません。

8.3.5.9 フォルト応答表

表 8-6. フォルト動作および応答

フォルト	条件	設定	通知	ゲート・ドライバ	復帰
VM 低電圧 (VM_UV)	$V_{VM} < V_{VM_UV}$	—	nFAULT	Hi-Z	自動: $V_{VM} > V_{VM_UV}$
VDRAIN 低電圧 (VDR_UV)	$V_{VDRAIN} < V_{VDR_UV}$	—	nFAULT	Hi-Z	自動: $V_{VM} > V_{VDR_UV}$
チャージ・ポンプ低電圧 (VCP_UV)	$V_{VCP} < V_{VCP_UV}$	DIS_GDUV = 0b	nFAULT	Hi-Z	自動: $V_{VCP} > V_{VCP_UV}$
		DIS_GDUV = 1b	なし	アクティブ	
VGLS レギュレータ低電圧 (VGLS_UV)	$V_{VGLS} < V_{VGLS_UV}$	DIS_GDUV = 0b	nFAULT	Hi-Z	自動: $V_{VGLS} > V_{VGLS_UV}$
		DIS_GDUV = 1b	なし	アクティブ	
V_{DS} 過電流 (VDS_OCP)	$V_{DS} > V_{VDS_OCP}$	OCP_MODE = 00b	nFAULT	Hi-Z	ラッチ: CLR_FLT、ENABLE パルス
		OCP_MODE = 01b	nFAULT	Hi-Z	リトライ: t_{RETRY}
		OCP_MODE = 10b	nFAULT	アクティブ	何もしない
		OCP_MODE = 11b	なし	アクティブ	何もしない
V_{SENSE} 過電流 (SEN_OCP)	$V_{SP} > V_{SEN_OCP}$	OCP_MODE = 00b	nFAULT	Hi-Z	ラッチ: CLR_FLT、ENABLE パルス
		OCP_MODE = 01b	nFAULT	Hi-Z	リトライ: t_{RETRY}
		OCP_MODE = 10b	nFAULT	アクティブ	何もしない
		OCP_MODE = 11b または DIS_SEN = 1b	なし	アクティブ	何もしない
ゲート・ドライバのフォルト (GDF)	$V_{GS\ スタック} > t_{DRIVE}$	DIS_GDF = 0b	nFAULT	Hi-Z	ラッチ: CLR_FLT、ENABLE パルス
		DIS_GDF = 1b	なし	アクティブ	何もしない
過熱警告 (OTW)	$T_J > T_{OTW}$	OTW_REP = 1b	nFAULT	アクティブ	自動: $T_J < T_{OTW} - T_{HYS}$
		OTW_REP = 0b	なし	アクティブ	何もしない
サーマル・シャットダウン (OTSD)	$T_J > T_{OTSD}$	—	nFAULT	Hi-Z	自動: $T_J < T_{OTSD} - T_{HYS}$

8.4 デバイスの機能モード

8.4.1 ゲート・ドライバの機能モード

8.4.1.1 スリープ・モード

ENABLE ピンは、DRV835xF ファミリのデバイスの状態を管理するピンです。ENABLE ピンが Low になると、デバイスは低消費電力のスリープ・モードに移行します。スリープ・モードでは、すべてのゲート・ドライバ、すべての外部 MOSFET、

VCP チャージ・ポンプ、VGLS レギュレータ、DVDD レギュレータ、検出アンプ、SPI バスが無効になります。スリープ・モードでは、すべてのデバイス・レジスタがそれらのデフォルト値にリセットされます。ENABLE ピンでの立ち下がりエッジの後、t_{SLEEP} 時間が経過するとデバイスがスリープ・モードに移行します。ENABLE ピンが High になると、デバイスのスリープ・モードは自動的に終了します。t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

スリープ・モード中や $V_{VM} < V_{UVLO}$ のときは、すべての外部 MOSFET がディスエーブルになります。ハイサイド・ゲート・ピン GHx は内部抵抗によって SHx ピンの電位に、ローサイド・ゲート・ピン GLx は内部抵抗によって PGND ピンの電位になります。

8.4.1.2 動作モード

ENABLE ピンが High、$V_{VM} > V_{UVLO}$ の場合、本デバイスは動作モードに移行します。t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。このモードでは、チャージ・ポンプ、ローサイド・ゲート・レギュレータ、DVDD レギュレータ、SPI バスがアクティブです。

8.4.1.3 フォルト・リセット (CLR_FLT または ENABLE リセット・パルス)

デバイスのフォルト状態がラッチされている場合、DRV835xF ファミリのデバイスは、外部パワー MOSFET とシステムを保護するために部分的シャットダウン状態に移行します。

フォルト状態が解消されると、SPI デバイスで CLR_FLT SPI ビットを設定することで、またはどちらのインターフェイス・バリアントでも ENABLE ピンにリセット・パルスを印加することで、本デバイスを動作状態に戻すことができます。ENABLE リセット・パルス (t_{RST}) は、ENABLE ピンでの High → Low → High の遷移で構成されています。このシーケンスの Low 期間は t_{RST} 時間枠内に収める必要があり、そうしないとデバイスが完全なシャットダウン・シーケンスを開始することになります。リセット・パルスがレギュレータ、デバイス設定、またはその他の機能ブロックに影響することはありません。

8.5 プログラミング

このセクションは、DRV835xF SPI デバイスにのみ適用されます。

8.5.1 SPI 通信

8.5.1.1 SPI

DRV835xF SPI デバイスでは、デバイス構成と動作パラメータの設定、診断情報の読み出しに SPI バスを使用します。SPI はスレーブ・モードで動作し、マスタ・コントローラに接続します。SPI 入力データ (SDI) ワードは 16 ビットのワード、5 ビットのコマンド、11 ビットのデータで構成されています。SPI 出力データ (SDO) ワードは 11 ビットのレジスタ・データで構成されています。最初の 5 ビットはドント・ケア・ビットです。

有効なフレームは以下の条件を満たしていなければなりません。

- SCLK ピンは、nSCS ピンが High から Low、Low から High に遷移するときに Low になっている必要がある。
- nSCS ピンは、ワード間の 400ns 以上にわたって High にプルアップされている必要がある。
- nSCS ピンが High にされているときは、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンが Hi-Z 状態に設定される。
- データは SCLK ピンの立ち下がりエッジで収集され、SCLK ピンの立ち上がりエッジで伝搬される。
- 最上位ビット (MSB) のシフト・イン / シフト・アウトが最初に行われる。
- トランザクションを有効にするには、16 SCLK サイクルすべてが発生しなければならない。
- SDI ピンに送信されるデータ・ワードが 16 ビットでない場合、フレーム・エラーが発生してデータ・ワードが無視される。
- 書き込みコマンドの場合、書き込み先レジスタ内の既存データは、5 ビットのコマンド・データに続いて SDO ピンでシフト・アウトされる。
- SDO ピンはオープン・ドレイン出力であり、外部プルアップ抵抗が必要です。

8.5.1.1.1 SPI フォーマット

SDI 入力データ・ワードは 16 ビット長であり、以下のフォーマットで構成されています。

- 1 読み出しまたは書き込みビット、W (ビット B15)
- 4 アドレス・ビット、A (ビット B14～B11)

Copyright © 2022 Texas Instruments Incorporated

- 11 データ・ビット、D (ビット B11～B0)

書き込みコマンドの場合、読み出し / 書き込みビット (W0、B15) を 0b に設定します。読み出しコマンドの場合、読み出し / 書き込みビット (W0、B15) を 1b に設定します。

SDO 出力データ・ワードは 16 ビット長であり、最初の 5 ビットはドント・ケア・ビットです。応答ワードはその時点でアクセス中のレジスタ内のデータです。

表 8-7. SDI 入力データ・ワードのフォーマット

R/W	アドレス				データ										
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
W0	A3	A2	A1	A0	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

表 8-8. SDO 出力データ・ワードのフォーマット

ドント・ケア・ビット					データ										
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
X	X	X	X	X	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

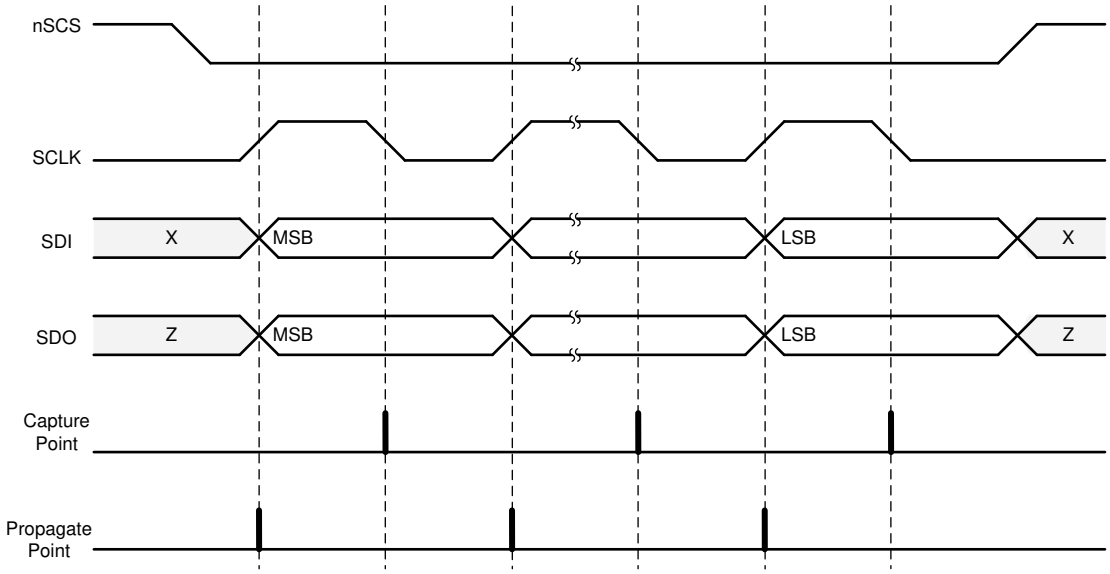


図 8-33. SPI スレーブのタイミング図

8.6 レジスタ・マップ

このセクションは、DRV835xF SPI デバイスにのみ適用されます。

NOTE

「予約済み」と示されたレジスタや、レジスタ・マップに示されていないアドレスは変更しないでください。そのようなレジスタに書き込みを行うと、予期しない動作が生じる場合があります。すべての予約済みビットのデフォルト値は 0 です。マスタ・コントローラからの誤った SPI 書き込みを防ぐには、LOCK ビットを設定して SPI レジスタをロックしてください。

表 8-9. レジスタ・マップ

名称	10	9	8	7	6	5	4	3	2	1	0	タイプ	アドレス
DRV8350FS													
フォルト・ステータス 1	FAULT	VDS_OCP	GDF	UVLO	OTSD	VDS_HA	VDS_LA	VDS_HB	VDS_LB	VDS_HC	VDS_LC	R	0h
VGS ステータス 2	SA_OC	SB_OC	SC_OC	OTW	GDUV	VGS_HA	VGS_LA	VGS_HB	VGS_LB	VGS_HC	VGS_LC	R	1h
ドライバ制御	OCP_ACT	DIS_GDUV	DIS_GDF	OTW_REP	PWM_MODE		1PWM_COM	1PWM_DIR	COAST	BRAKE	CLR_FLT	RW	2h
ゲート駆動 HS	LOCK			IDRIVEP_HS				IDRIVEN_HS				RW	3h
ゲート駆動 LS	CBC	TDRIVE		IDRIVEP_LS				IDRIVEN_LS				RW	4h
OCP 制御	TRETRY	DEAD_TIME		OCP_MODE		OCP_DEG		VDS_LVL				RW	5h
予約済み	予約済み											RW	6h
予約済み	予約済み											RW	7h
DRV8353FS													
フォルト・ステータス 1	FAULT	VDS_OCP	GDF	UVLO	OTSD	VDS_HA	VDS_LA	VDS_HB	VDS_LB	VDS_HC	VDS_LC	R	0h
VGS ステータス 2	SA_OC	SB_OC	SC_OC	OTW	GDUV	VGS_HA	VGS_LA	VGS_HB	VGS_LB	VGS_HC	VGS_LC	R	1h
ドライバ制御	OCP_ACT	DIS_GDUV	DIS_GDF	OTW_REP	PWM_MODE		1PWM_COM	1PWM_DIR	COAST	BRAKE	CLR_FLT	RW	2h
ゲート駆動 HS	LOCK			IDRIVEP_HS				IDRIVEN_HS				RW	3h
ゲート駆動 LS	CBC	TDRIVE		IDRIVEP_LS				IDRIVEN_LS				RW	4h
OCP 制御	TRETRY	DEAD_TIME		OCP_MODE		OCP_DEG		VDS_LVL				RW	5h
CSA 制御	CSA_FET	VREF_DIV	LS_REF	CSA_GAIN		DIS_SEN	CSA_CAL_A	CSA_CAL_B	CSA_CAL_C	SEN_LVL		RW	6h
予約済み	予約済み										CAL_MODE	RW	7h

Copyright © 2022 Texas Instruments Incorporated

8.6.1 ステータス・レジスタ

ステータス・レジスタは、警告およびフォルト状態を示すために使用されます。ステータス・レジスタは読み出し専用レジスタです。

表の小さなセルに収まるように、複雑なビット・アクセス・タイプを記号で表記しています。表 8-10 に、このセクションでアクセス・タイプに使用している表記を示します。

表 8-10. ステータス・レジスタのアクセス・タイプ表記

アクセス・タイプ	表記	説明
読み出しタイプ		
R	R	読み出し
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.6.1.1 フォルト・ステータス・レジスタ 1 (アドレス = 0x00h)

フォルト・ステータス・レジスタ 1 を図 8-34 に示し、説明を表 8-11 に示します。

レジスタ・アクセス・タイプ : 読み出し専用

図 8-34. フォルト・ステータス・レジスタ 1

10	9	8	7	6	5	4	3	2	1	0
FAULT	VDS_OCP	GDF	UVLO	OTSD	VDS_HA	VDS_LA	VDS_HB	VDS_LB	VDS_HC	VDS_LC
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-11. フォルト・ステータス・レジスタ 1 のフィールド説明

ビット	フィールド	タイプ	デフォルト	説明
10	FAULT	R	0b	フォルト・ステータス・レジスタの論理和。nFAULT ピンを反映します。
9	VDS_OCP	R	0b	VDS モニタ過電流フォルト状態を示します。
8	GDF	R	0b	ゲート駆動フォルト状態を示します。
7	UVLO	R	0b	低電圧誤動作防止フォルト状態を示します。
6	OTSD	R	0b	過熱シャットダウンを示します。
5	VDS_HA	R	0b	A ハイサイド MOSFET の VDS 過電流フォルトを示します。
4	VDS_LA	R	0b	A ローサイド MOSFET の VDS 過電流フォルトを示します。
3	VDS_HB	R	0b	B ハイサイド MOSFET の VDS 過電流フォルトを示します。
2	VDS_LB	R	0b	B ローサイド MOSFET の VDS 過電流フォルトを示します。
1	VDS_HC	R	0b	C ハイサイド MOSFET の VDS 過電流フォルトを示します。
0	VDS_LC	R	0b	C ローサイド MOSFET の VDS 過電流フォルトを示します。

8.6.1.2 フォルト・ステータス・レジスタ 2 (アドレス = 0x01h)

フォルト・ステータス・レジスタ 2 を図 8-35 に示し、説明を表 8-12 に示します。

レジスタ・アクセス・タイプ：読み出し専用

図 8-35. フォルト・ステータス・レジスタ 2

10	9	8	7	6	5	4	3	2	1	0
SA_OC	SB_OC	SC_OC	OTW	GDUV	VGS_HA	VGS_LA	VGS_HB	VGS_LB	VGS_HC	VGS_LC
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-12. フォルト・ステータス・レジスタ 2 のフィールド説明

ビット	フィールド	タイプ	デフォルト	説明
10	SA_OC	R	0b	位相 A 検出アンプの過電流を示します (DRV8353xS DRV8353xS-Q1)。
9	SB_OC	R	0b	位相 B 検出アンプの過電流を示します (DRV8353xS DRV8353xS-Q1)。
8	SC_OC	R	0b	位相 C 検出アンプの過電流を示します (DRV8353xS DRV8353xS-Q1)。
7	OTW	R	0b	過熱警告を示します。
6	GDUV	R	0b	VCP チャージ・ポンプまたは VGLS 低電圧フォルト状態を示します。
5	VGS_HA	R	0b	A ハイサイド MOSFET のゲート駆動フォルトを示します。
4	VGS_LA	R	0b	A ローサイド MOSFET のゲート駆動フォルトを示します。
3	VGS_HB	R	0b	B ハイサイド MOSFET のゲート駆動フォルトを示します。
2	VGS_LB	R	0b	B ローサイド MOSFET のゲート駆動フォルトを示します。
1	VGS_HC	R	0b	C ハイサイド MOSFET のゲート駆動フォルトを示します。
0	VGS_LC	R	0b	C ローサイド MOSFET のゲート駆動フォルトを示します。

Copyright © 2022 Texas Instruments Incorporated

8.6.2 制御レジスタ

制御レジスタは、デバイスの設定に使用します。制御レジスタは読み出しと書き込みが可能です。

表の小さなセルに収まるように、複雑なビット・アクセス・タイプを記号で表記しています。表 8-13 に、このセクションでアクセス・タイプに使用している表記を示します。

表 8-13. 制御レジスタのアクセス・タイプ表記

アクセス・タイプ	表記	説明
読み出しタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.6.2.1 ドライバ制御レジスタ (アドレス = 0x02h)

ドライバ制御レジスタを図 8-36 に示し、説明を表 8-14 に示します。

レジスタ・アクセス・タイプ : 読み出し / 書き込み

図 8-36. ドライバ制御レジスタ

10	9	8	7	6	5	4	3	2	1	0
OCP _ACT	DIS _GDUV	DIS _GDF	OTW _REP	PWM_MODE		1PWM _COM	1PWM _DIR	COAST	BRAKE	CLR _FLT
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-00b		R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-14. ドライバ制御のフィールド説明

ビット	フィールド	タイプ	デフォルト	説明
10	OCP_ACT	R/W	0b	**0b = VDS_OCP と SEN_OCP に対応して関連するハーフブリッジがシャットダウン** 1b = VDS_OCP と SEN_OCP に対応して 3 つのハーフブリッジがすべてシャットダウン
9	DIS_GDUV	R/W	0b	**0b =VCP および VGLS 低電圧誤動作防止フォルトが有効** 1b = VCP および VGLS 低電圧誤動作防止フォルトが無効
8	DIS_GDF	R/W	0b	**0b = ゲート駆動フォルトが有効** 1b = ゲート駆動フォルトが無効
7	OTW_REP	R/W	0b	**0b = OTW は nFAULT でも FAULT ビットでも通知されない** 1b = OTW は nFAULT と FAULT ビットで通知される
6-5	PWM_MODE	R/W	00b	**00b = 6x PWM モード** 01b = 3x PWM モード 10b = 1x PWM モード 11b = 独立 PWM モード
4	1PWM_COM	R/W	0b	**0b = 1x PWM モードは同期整流を使用** 0b = 1x PWM モードは非同期整流を使用
3	1PWM_DIR	R/W	0b	1x PWM モードではこのビットは INHC (DIR) 入力と論理和がとられます。
2	COAST	R/W	0b	すべての MOSFET をハイ・インピーダンス状態にするにはこのビットに 1 を書き込みます。

表 8-14. ドライバ制御のフィールド説明 (continued)

ビット	フィールド	タイプ	デフォルト	説明
1	BRAKE	R/W	0b	3 つのローサイド MOSFET をすべてオンするにはこのビットに 1 を書き込みます。 1x PWM モードではこのビットは INLC (BRAKE) 入力と論理和がとられます。
0	CLR_FLT	R/W	0b	ラッチされたフォルト・ビットをクリアするにはこのビットに 1 を書き込みます。 書き込んだ後、このビットは自動的にリセットされます。

Copyright © 2022 Texas Instruments Incorporated

8.6.2.2 ゲート駆動 HS レジスタ (アドレス = 0x03h)

ゲート駆動 HS レジスタを図 8-37 に示し、説明を表 8-15 に示します。

レジスタ・アクセス・タイプ : 読み出し / 書き込み

図 8-37. ゲート駆動 HS レジスタ

10	9	8	7	6	5	4	3	2	1	0
LOCK			IDRIVEP_HS				IDRIVEn_HS			
R/W-011b			R/W-1111b				R/W-1111b			

表 8-15. ゲート駆動 HS のフィールド説明

ビット	フィールド	タイプ	デフォルト	説明
10-8	LOCK	R/W	011b	設定をロックして、レジスタへのさらなる書き込み (これらのビットとアドレス 0x02h のビット 0～2 への書き込みを除く) を無視するには、110b を書き込みます。 ロックされていない状態で、110b 以外のどんなシーケンスを書き込んでも何の影響も及ぼしません。 すべてのレジスタのロックを解除するには、このレジスタに 011b を書き込みます。 ロックされている状態で、011b 以外のどんなシーケンスを書き込んでも何の影響も及ぼしません。
7-4	IDRIVEP_HS	R/W	1111b	0000b = 50mA 0001b = 50mA 0010b = 100mA 0011b = 150mA 0100b = 300mA 0101b = 350mA 0110b = 400mA 0111b = 450mA 1000b = 550mA 1001b = 600mA 1010b = 650mA 1011b = 700mA 1100b = 850mA 1101b = 900mA 1110b = 950mA **1111b = 1000mA**
3-0	IDRIVEN_HS	R/W	1111b	0000b = 100mA 0001b = 100mA 0010b = 200mA 0011b = 300mA 0100b = 600mA 0101b = 700mA 0110b = 800mA 0111b = 900mA 1000b = 1100mA 1001b = 1200mA 1010b = 1300mA 1011b = 1400mA 1100b = 1700mA 1101b = 1800mA 1110b = 1900mA **1111b = 2000mA**

Copyright © 2022 Texas Instruments Incorporated

8.6.2.3 ゲート駆動 LS レジスタ (アドレス = 0x04h)

ゲート駆動 LS レジスタを図 8-38 に示し、説明を表 8-16 に示します。

レジスタ・アクセス・タイプ : 読み出し / 書き込み

図 8-38. ゲート駆動 LS レジスタ

10	9	8	7	6	5	4	3	2	1	0
CBC	TDRIVE		IDRIVEP_LS				IDRIVEN_LS			
R/W-1b	R/W-11b		R/W-1111b				R/W-1111b			

表 8-16. ゲート駆動 LS レジスタのフィールド説明

ビット	フィールド	タイプ	デフォルト	説明
10	CBC	R/W	1b	OCP_MODE = 01b の場合にのみ機能します。 0b = VDS_OCP と SEN_OCP の場合、t_{RETRY} 後にフォルトはクリアされます。 **1b = VDS_OCP と SEN_OCP の場合、新しい PWM 入力が与えられたとき、または t_{RETRY} 後にフォルトはクリアされます。**
9-8	TDRIVE	R/W	11b	00b = 500ns のピーク・ゲート電流駆動時間 01b = 1000ns のピーク・ゲート電流駆動時間 10b = 2000ns のピーク・ゲート電流駆動時間 **11b = 4000ns のピーク・ゲート電流駆動時間**
7-4	IDRIVEP_LS	R/W	1111b	0000b = 50mA 0001b = 50mA 0010b = 100mA 0011b = 150mA 0100b = 300mA 0101b = 350mA 0110b = 400mA 0111b = 450mA 1000b = 550mA 1001b = 600mA 1010b = 650mA 1011b = 700mA 1100b = 850mA 1101b = 900mA 1110b = 950mA **1111b = 1000mA**

Copyright © 2022 Texas Instruments Incorporated

表 8-16. ゲート駆動 LS レジスタのフィールド説明 (continued)

ビット	フィールド	タイプ	デフォルト	説明
3-0	IDRIVEN_LS	R/W	1111b	0000b = 100mA 0001b = 100mA 0010b = 200mA 0011b = 300mA 0100b = 600mA 0101b = 700mA 0110b = 800mA 0111b = 900mA 1000b = 1100mA 1001b = 1200mA 1010b = 1300mA 1011b = 1400mA 1100b = 1700mA 1101b = 1800mA 1110b = 1900mA **1111b = 2000mA**

8.6.2.4 OCP 制御レジスタ (アドレス = 0x05h)

OCP 制御レジスタを図 8-39 に示し、説明を表 8-17 に示します。

レジスタ・アクセス・タイプ : 読み出し / 書き込み

図 8-39. OCP 制御レジスタ

10	9	8	7	6	5	4	3	2	1	0
TRETRY	DEAD_TIME		OCP_MODE		OCP_DEG		VDS_LVL			
R/W-0b	R/W-01b		R/W-01b		R/W-01b		R/W-1101b			

表 8-17. OCP 制御のフィールド説明

ビット	フィールド	タイプ	デフォルト	説明
10	TRETRY	R/W	0b	**0b = VDS_OCP と SEN_OCP のリトライ時間は 8ms** 1b = VDS_OCP と SEN_OCP のリトライ時間は 50µs
9-8	DEAD_TIME	R/W	01b	00b = 50ns のデッド・タイム **01b = 100ns デッド・タイム** 10b = 200ns デッド・タイム 11b = 400ns デッド・タイム
7-6	OCP_MODE	R/W	01b	00b = 過電流によってフォルト状態がラッチされます。 **01b = 過電流によってフォルト状態が自動的にリトライされます。** 10b = 過電流によって通知のみが行われ何の動作も行われません。 11b = 過電流によって通知も何の動作も行われません。
5-4	OCP_DEG	R/W	10b	00b = 1µs の過電流グリッチ除去 01b = 2µs の過電流グリッチ除去 **10b = 4µs の過電流グリッチ除去** 11b = 8µs の過電流グリッチ除去
3-0	VDS_LVL	R/W	1001b	0000b = 0.06V 0001b = 0.07V 0010b = 0.08V 0011b = 0.09V 0100b = 0.1V 0101b = 0.2V 0110b = 0.3V 0111b = 0.4V 1000b = 0.5V 1001b = 0.6V 1010b = 0.7V 1011b = 0.8V 1100b = 0.9V **1101b = 1V** 1110b = 1.5V 1111b = 2V

Copyright © 2022 Texas Instruments Incorporated

8.6.2.5 CSA 制御レジスタ (DRV8353F のみ) (アドレス = 0x06h)

CSA 制御レジスタを図 8-40 に示し、説明を表 8-18 に示します。

レジスタ・アクセス・タイプ : 読み出し / 書き込み
このレジスタは DRV8353F ファミリのデバイスにのみ存在します。

図 8-40. CSA 制御レジスタ

10	9	8	7	6	5	4	3	2	1	0
CSA _FET	VREF _DIV	LS _REF	CSA _GAIN		DIS _SEN	CSA _CAL_A	CSA _CAL_B	CSA _CAL_C	SEN _LVL	
R/W-0b	R/W-1b	R/W-0b	R/W-10b		R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-11b	

表 8-18. CSA 制御のフィールド説明

ビット	フィールド	タイプ	デフォルト	説明
10	CSA_FET	R/W	0b	**0b = 検出アンプの正入力は SPx** 1b = 検出アンプの正入力は SHx (また LS_REF ビットを自動的に 1 に設定)
9	VREF_DIV	R/W	1b	0b = 検出アンプの基準電圧は VREF (単方向モード) **1b = 検出アンプの基準電圧は VREF の 2 分の 1**
8	LS_REF	R/W	0b	**0b = ローサイド MOSFET の VDS_OCP は SHx と SPx の間で測定** 1b = ローサイド MOSFET の VDS_OCP は SHx と SNx の間で測定
7-6	CSA_GAIN	R/W	10b	00b = 5V/V のシャント・アンプ・ゲイン 01b = 10V/V のシャント・アンプ・ゲイン **10b = 20V/V のシャント・アンプ・ゲイン** 11b = 40V/V のシャント・アンプ・ゲイン
5	DIS_SEN	R/W	0b	**0b = 検出過電流フォルトは有効** 1b = 検出過電流フォルトは無効
4	CSA_CAL_A	R/W	0b	**0b = 検出アンプ A は通常動作** 1b = オフセット較正のために電流検出アンプ A の入力を短絡
3	CSA_CAL_B	R/W	0b	**0b = 検出アンプ B は通常動作** 1b = オフセット較正のために電流検出アンプ B の入力を短絡
2	CSA_CAL_C	R/W	0b	**0b = 検出アンプ C は通常動作** 1b = オフセット較正のために電流検出アンプ C の入力を短絡
1-0	SEN_LVL	R/W	11b	00b = 検出 OCP 0.25V 01b = 検出 OCP 0.5V 10b = 検出 OCP 0.75V **11b = 検出 OCP 1V**

8.6.2.6 ドライバ構成レジスタ (DRV8353F のみ) (アドレス = 0x07h)

ドライバ構成レジスタを図 8-41 に示し、説明を表 8-19 に示します。

レジスタ・アクセス・タイプ : 読み出し / 書き込み
このレジスタは DRV8353F デバイスにのみ存在します。

図 8-41. ドライバ構成レジスタ

10	9	8	7	6	5	4	3	2	1	0
予約済み										CAL _MODE
R/W-000 0000 000b										R/W-0b

表 8-19. ドライバ構成のフィールド説明

ビット	フィールド	タイプ	デフォルト	説明
10-1	予約済み	R/W	000 0000 000b	予約済み
0	CAL_MODE	R/W	0b	**0b = アンプの較正は手動モードで動作** 1b = アンプの較正は内部自動較正ルーチンを使用

Copyright © 2022 Texas Instruments Incorporated

9 アプリケーションと実装

NOTE

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

DRV835xF ファミリのデバイスは主に、3 相ブラシレス DC モータ制御アプリケーションで使用されます。「*セクション 9.2*」セクションの設計手順では、DRV835xF ファミリのデバイスの使用方法と設定方法を中心に説明します。

9.2 代表的なアプリケーション

9.2.1 主要アプリケーション

このアプリケーション例では、個別ハーフブリッジ電流検出を備えたシングル電源 3 相 BLDC モータ駆動に DRV8353F を使用しています。

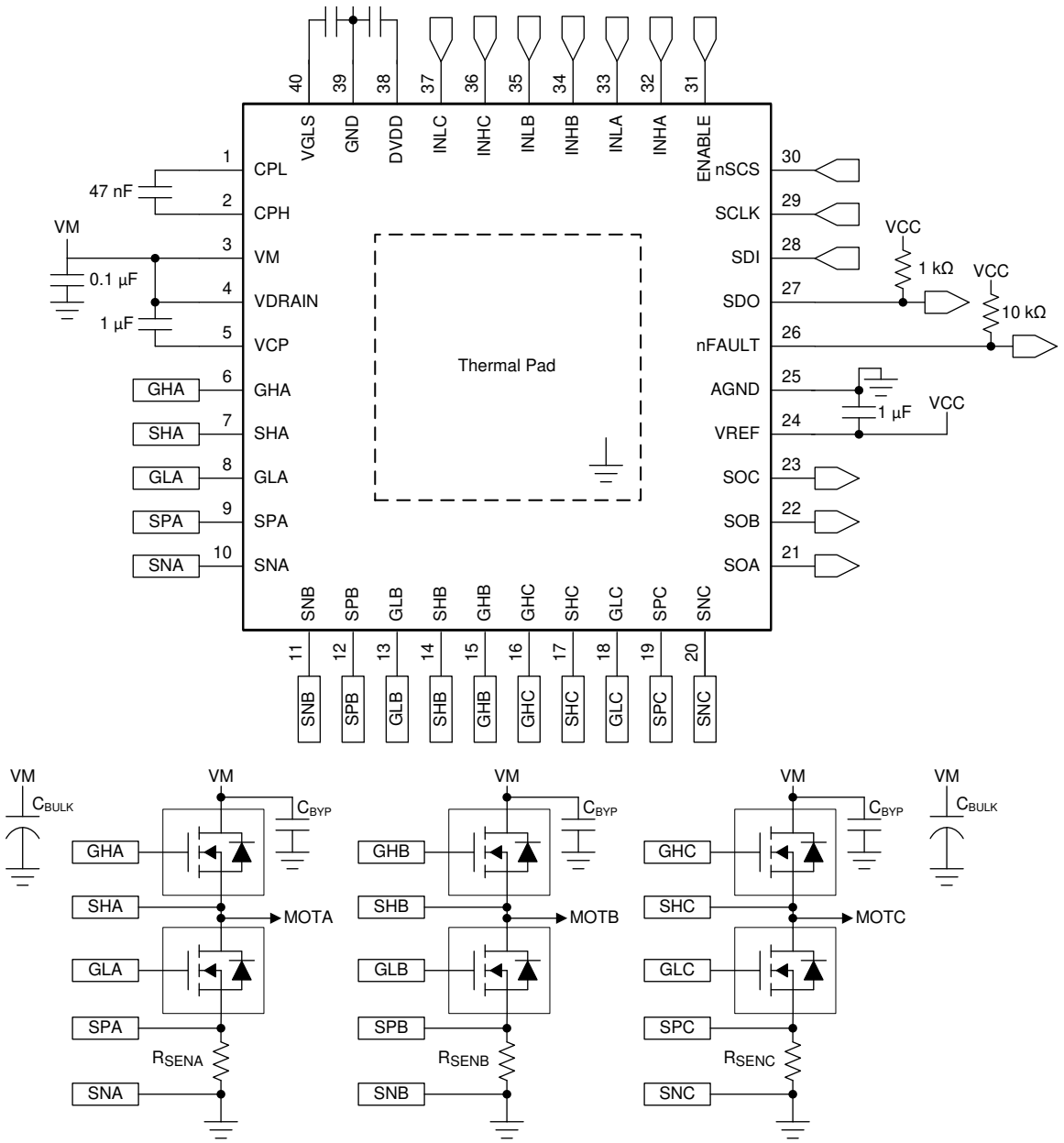


図 9-1. 主要アプリケーションの回路図

Copyright © 2022 Texas Instruments Incorporated

9.2.1.1 設計要件

表 9-1 に、システム設計の入力パラメータの例を示します。

表 9-1. 設計パラメータ

設計パラメータ例	略号	数値の例
電源電圧	V_{VM}、V_{VDRAIN}、V_{VIN}	48V
MOSFET の部品番号	MOSFET	CSD19535KCS
MOSFET の総ゲート電荷量	Q_g	78nC (標準値、V_{VGS} = 10V)
MOSFET のゲート - ドレイン間の電荷量	Q_{gd}	13nC (標準値)
目標出力立ち上がり時間	t_r	100～300ns
目標出力立ち下がり時間	t_f	50～150ns
PWM 周波数	f_{PWM}	45kHz
最大モータ電流	I_{max}	100A
ADC 基準電圧	V_{VREF}	3.3V
巻線電流検出範囲	I_{SENSE}	-40A～+40A
モータ RMS 電流	I_{RMS}	28.3A
検出抵抗の電力定格	P_{SENSE}	3W
システムの周囲温度	T_A	-20℃～+60℃

9.2.1.2 詳細な設計手順

表 9-2 に、ゲート・ドライバの外付け部品の推奨値を示します。表 9-2 に、降圧レギュレータの外付け部品の推奨値を示します。

表 9-2. DRV835xF ゲート・ドライバの外付け部品

部品	ピン 1	ピン 2	推奨する事項
C_{VM1}	VM	GND	X5R または X7R、0.1μF、VM 定格コンデンサ
C_{VM2}	VM	GND	10μF 以上、VM 定格コンデンサ
C_{VCP}	VCP	VM	X5R または X7R、1μF、16V コンデンサ
C_{VGLS}	VGLS	GND	X5R または X7R、1μF、16V コンデンサ
C_{SW}	CPH	CPL	X5R または X7R、47nF、VDRAIN 定格コンデンサ
C_{DVDD}	DVDD	DGND	X5R または X7R、1μF、6.3V コンデンサ
R_{nFAULT}	VCC (1)	nFAULT	プルアップ抵抗
R_{SDO}	VCC (1)	SDO	プルアップ抵抗
R_{IDRIVE}	IDRIVE	GND または DVDD	DRV835xF ハードウェア・インターフェイス
R_{VDS}	VDS	GND または DVDD	DRV835xF ハードウェア・インターフェイス
R_{MODE}	MODE	GND または DVDD	DRV835xF ハードウェア・インターフェイス
R_{GAIN}	GAIN	GND または DVDD	DRV835xF ハードウェア・インターフェイス
C_{VREF}	VREF	GND または DGND	VREF 定格のコンデンサ (任意)
R_{ASENSE}	SPA	SNA または GND	検出シャント抵抗
R_{BSENSE}	SPB	SNB または GND	検出シャント抵抗
R_{CSENSE}	SPC	SNC または GND	検出シャント抵抗

(1) VCC は DRV835xF のピンではありませんが、オープン・ドレイン出力 (nFAULT、SDO) のために VCC 電源電圧にプルアップする必要があります。これらのピンは、DVDD にプルアップすることもできます。

9.2.1.2.1 外部 MOSFET のサポート

DRV835xF デバイス・ファミリの MOSFET のサポートは、MOSFET ゲート電荷、VCP チャージ・ポンプ容量、VGLS レギュレータ容量、出力 PWM スイッチング周波数に基づいています。MOSFET 駆動能力を簡単に計算するには、3 相 BLDC モータ・アプリケーションに対して式 5 および式 6 を使用します。

120° 台形波整流: $I_{VCP/VGLS} > Q_g \times f_{PWM}$ (5)

180° 正弦波整流: $I_{VCP/VGLS} > 3 \times Q_g \times f_{PWM}$ (6)

ここで

- f_{PWM} は、必要な最大の PWM スイッチング周波数です。
- Q_g は MOSFET の総ゲート電荷量です。
- $I_{VCP/VGLS}$ は、VM ピンの電圧に応じて、チャージ・ポンプとローサイド・レギュレータのどちらかの容量です。
- 整流制御方式に基づく MOSFET 乗数は、実装によって異なる場合があります。

9.2.1.2.1.1 MOSFET の例

システムが V_{VM} = 48V (I_{VCP} = 25mA)、45kHz の最大 PWM スイッチング周波数を使っている場合、VCP チャージ・ポンプと VGLS レギュレータは Q_g が 556nC 未満の台形波整流を使用した MOSFET、および Q_g が 185nC 未満の正弦波整流を使用した MOSFET をサポートできます。

9.2.1.2.2 IDRIVE の設定

ゲート駆動電流の強さ (I_{DRIVE}) は、外部 MOSFET のゲート - ドレイン間電荷と、出力における目標の立ち上がり / 立ち下がり時間に基づいて選択します。特定の MOSFET に対して選択した I_{DRIVE} が低すぎると、MOSFET が t_{DRIVE} 時間内に完全にオンにならず、ゲート駆動フォルトがアサートされる場合があります。また、立ち上がり時間および立ち下がり時間が遅いと、スイッチング電力損失が大きくなります。TI では、必要な MOSFET およびモータとともにシステム内でこれらの値を調整し、アプリケーションに対して可能な最良の設定を決めることを推奨します。

SPI デバイスでは、ローサイドとハイサイド両方の MOSFET に対して I_{DRIVEP} および I_{DRIVEN} 電流を SPI レジスタ経由で独立に調整可能です。ハードウェア・インターフェイス・デバイスでは、IDRIVE ピンでソースとシンク両方の設定が同時に選択されます。

MOSFET のゲート - ドレイン間電荷 (Q_{gd})、目標立ち上がり時間 (t_r)、目標立ち下がり時間 (t_f) が既知である場合は、それぞれ式 7 および式 8 を使用して I_{DRIVEP} および I_{DRIVEN} の値を計算します。

$$I_{DRIVEP} > \frac{Q_{gd}}{t_r} \tag{7}$$

$$I_{DRIVEN} > \frac{Q_{gd}}{t_f} \tag{8}$$

9.2.1.2.2.1 IDRIVE の例

式 9 および式 10 を使用して、ゲート - ドレイン間電荷が 13nC、立ち上がり時間が 100～300ns の場合の $I_{DRIVEP1}$ および $I_{DRIVEP2}$ の値を計算します。

$$I_{DRIVEP1} = \frac{13\ \text{nC}}{100\ \text{ns}} = 130\ \text{mA} \tag{9}$$

$$I_{DRIVEP2} = \frac{13\ \text{nC}}{300\ \text{ns}} = 43\ \text{mA} \tag{10}$$

I_{DRIVEP} の値は 43mA～130mA の範囲で選択します。この例では、I_{DRIVEP} の値として 100mA ソースを選択しています。

Copyright © 2022 Texas Instruments Incorporated

式 11 および式 12 を使用して、ゲート - ドレイン間電荷が 13nC、立ち下がり時間が 50～150ns の場合の $I_{DRIVEN1}$ および $I_{DRIVEN2}$ の値を計算します。

$$I_{DRIVEN1} = \frac{13\ nC}{50\ ns} = 260\ mA \tag{11}$$

$$I_{DRIVEN2} = \frac{13\ nC}{150\ ns} = 87\ mA \tag{12}$$

I_{DRIVEN} の値は 87mA～260mA の範囲で選択します。この例では、I_{DRIVEN} の値として 200mA シンクを選択しています。

9.2.1.2.3 V_{DS} 過電流監視の設定

V_{DS} 監視は、式 13 に示すように、ワーストケースの監視電流および外部 MOSFET の $R_{DS(on)}$ に基づいて設定されます。

$$V_{DS_OCP} > I_{max} \times R_{DS(on)max} \tag{13}$$

9.2.1.2.3.1 V_{DS} 過電流の例

この例の目的は、75A を超える電流でトリップするように V_{DS} モニタを設定することです。*『CSD19535KCS 100V N チャネル NexFET™ パワー MOSFET データシート』*によると、$R_{DS(on)}$ の値は 175℃で 2.2 倍になり、T_A = 25℃、V_{GS} = 10V での $R_{DS(on)}$ の最大値 3.6mΩ です。これらの値から、$R_{DS(on)}$ のワーストケースの近似値は 2.2 × 3.6mΩ = 7.92mΩ です。

式 13 で $R_{DS(on)}$ の値を 7.92mΩ、ワーストケースの監視電流を 75A とすると、V_{DS} 過電流監視の目標値は式 14 のように求められます。

$$V_{DS_OCP} > 75\ A \times 7.92\ m\Omega$$
$$V_{DS_OCP} > 0.594\ V \tag{14}$$

この例では、V_{DS_OCP} の値として 0.6V を選択しています。

SPI デバイスでは、V_{DS} 過電流監視のデグリッチ時間の調整が可能です。デグリッチ時間は 1µs、2µs、4µs、8µs に設定できます。

9.2.1.2.4 検出アンプの双方向設定 (DRV8353F)

DRV8353F デバイスの検出アンプ・ゲインおよび検出抵抗値は、目標電流範囲、VREF 基準電圧、検出抵抗の電力定格、および動作温度範囲に基づいて選択されます。検出アンプの双方向動作では、出力のダイナミック・レンジは近似的に式 15 で計算されます。

$$V_O = \left(V_{VREF} - 0.25\ V\right) - \frac{V_{VREF}}{2} \tag{15}$$

式 15 で求めた V_O により、選択する検出抵抗の近似値を式 16 で計算します。

$$R = \frac{V_O}{A_V \times I} \qquad P_{SENSE} > I_{RMS}^2 \times R \tag{16}$$

式 15 と式 16 から、使用する検出抵抗の電力定格に基づいて目標ゲイン設定を選択します。

9.2.1.2.4.1 検出アンプの例

このシステム例では、検出電流が -40～+40A で VREF 電圧の値が 3.3V です。SOx 出力の直線範囲は 0.25V から V_{VREF} – 0.25V までです (V_{LINEAR} の仕様より)。検出アンプ入力の差動範囲は -0.3～+0.3V です (V_{DIFF})。

$$V_O = (3.3\ V - 0.25\ V) - \frac{3.3\ V}{2} = 1.4\ V \tag{17}$$

$$R = \frac{1.4\ V}{A_V \times 40\ A} \qquad 2\ W > 28.3^2 \times R \rightarrow R < 2.5\ m\Omega \tag{18}$$

$$2.5\ m\Omega > \frac{1.4\ V}{A_V \times 40\ A} \rightarrow A_V > 14 \tag{19}$$

したがって、ゲイン設定には 20V/V または 40V/V を選択し、検出抵抗の電力要件を満たすために、検出抵抗の値は 2.5mΩ 未満とする必要があります。この例では、ゲイン設定として 20V/V を選択しています。抵抗の値とワーストケースの電流については、R < 2.5mΩ および I_{max} = 40A のときに検出アンプ入力 (V_{SPxD}) の差動範囲仕様が満たされることが確認できます。

9.2.1.2.5 シングル電源の消費電力

本デバイスの通常動作時に DRV835xF の熱定格に違反しないように注意して設計する必要があります。これは、消費電力が大きくまたはデバイス周囲温度が高い高電圧および高周囲動作のアプリケーションで特に重要です。

シングル電源動作でのデバイス温度を決定するには、最初に内部消費電力を計算する必要があります。内部消費電力には、以下に示す主要な 3 つの要素があります。

- VCP チャージ・ポンプの消費電力 (P_{VCP})
- VGLS ローサイド・レギュレータの消費電力 (P_{VGLS})
- VM デバイスの公称消費電力 (P_{VM})

P_{VCP} と P_{VGLS} の値は、最初に I_{VCP} と I_{VGLS} を求めるために *セクション 9.2.1.2.1* を参照し、次に式 20 と式 21 を参照することで概算できます。

$$P_{VCP} = I_{VCP} \times (V_{VM} + V_{VDRAIN}) \tag{20}$$

$$P_{VGLS} = I_{VGLS} \times V_{VM} \tag{21}$$

P_{VM} の値は、I_{VM} 電流のデータシート・パラメータを参照することで式 22 を使って計算できます。

$$P_{VM} = I_{VM} \times V_{VM} \tag{22}$$

次に、3 つの要素を合計することで総消費電力を計算します (式 23 を参照)。

$$P_{tot} = P_{VCP} + P_{VGLS} + P_{VM} \tag{23}$$

最後に、セクション 7.4 と式 24 を参照することで本デバイスの接合部温度を概算できます。

$$T_J max = T_A max + (R_{\theta JA} \times P_{tot}) \tag{24}$$

セクション 7.4 の情報は、パッケージと PCB の放熱に関する標準化されたテスト基準に基づいています。実際の値は、アプリケーションで使用される実際の PCB 設計によって異なる場合があります。

9.2.1.2.6 シングル電源の消費電力の例

このアプリケーション例では、本デバイスはシングル電源で動作するように構成されています。この構成では、DRV835xF に必要な電源は 1 つのみで済みますが、内部消費電力が増加するというトレードオフがあります。以下の例で、接合部温度を推定します。

式 5 を使って、「MOSFET ゲート電荷は 78nC、3 つのハイサイド MOSFET と 3 つのローサイド MOSFET がすべてがスイッチングする、スイッチング周波数は 45kHz」という条件で I_{VCP} と I_{VGLS} の値を計算します。

$$I_{VCP/VGLS} = 78nC \times 3 \times 45kHz = 10.5mA \tag{25}$$

Copyright © 2022 Texas Instruments Incorporated

式 20、式 21、式 22、式 23 を使って、「V_{VM} = V_{VDRAIN} = V_{VIN} = 48V、I_{VM} = 9.5mA、I_{VCP} = 10.5mA、I_{VGLS} = 10.5mA」という条件で P_{tot} の値を計算します。

$$P_{VCP} = 10.5mA \times (48V + 48V) = 1W \quad (26)$$

$$P_{VGLS} = 10.5mA \times 48V = 0.5W \quad (27)$$

$$P_{VM} = 9.5mA \times 48V = 0.5W \quad (28)$$

$$P_{tot} = 1W + 0.5W + 0.5W = 2.0W \quad (29)$$

最後に、動作中の本デバイスの接合部温度を推定するため、式 24 を使って $T_A$max = 60℃、$R_{\theta JA}$ = 26.1℃/W (RTA パッケージ)、P_{tot} = 2.054W の場合の $T_J$max の値を計算します。繰り返しますが、$R_{\theta JA}$ は実際のアプリケーションで使用される PCB 設計に大きく依存することと、$R_{\theta JA}$ を検証する必要があることに注意します。従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』アプリケーション・レポート*を参照してください。

$$T_J max = 60℃ + (26.1℃/W \times 2.0W) = 112.2℃ \quad (30)$$

この例に示すように、本デバイスは動作制限内にありますが、ほぼ最大動作接合部温度で動作しています。本デバイスの消費電力を適切に管理するため、シングル電源構成では設計に注意を払う必要があります。

9.2.1.3 アプリケーション曲線

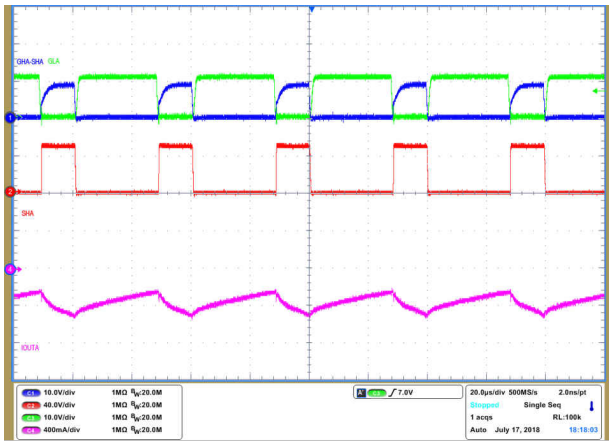


図 9-2. ゲート・ドライバの動作 (30% デューティ・サイクル)

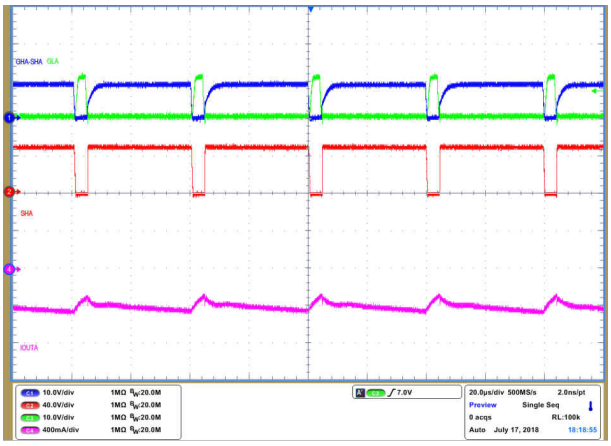


図 9-3. ゲート・ドライバの動作 (90% デューティ・サイクル)

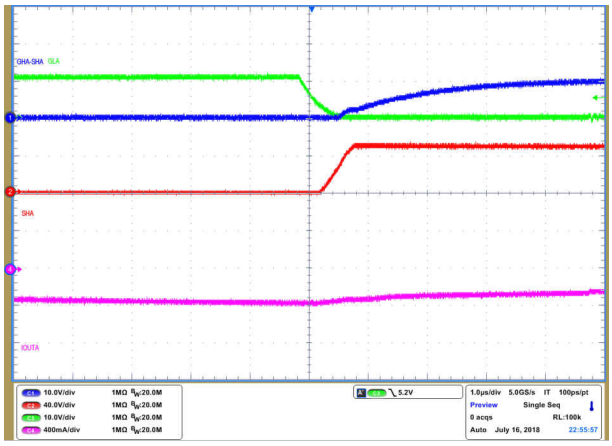


図 9-4. IDRIVE 最小設定正電流

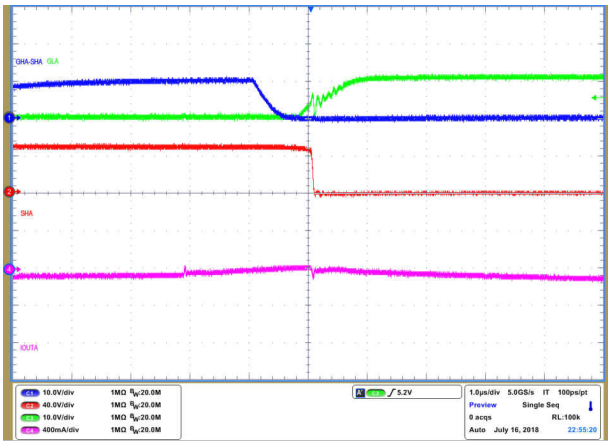


図 9-5. IDRIVE 最小設定負電流

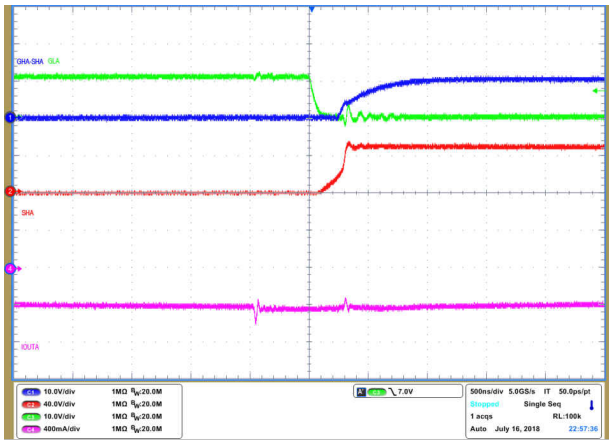


図 9-6. IDRIVE 300mA、600mA 設定正電流

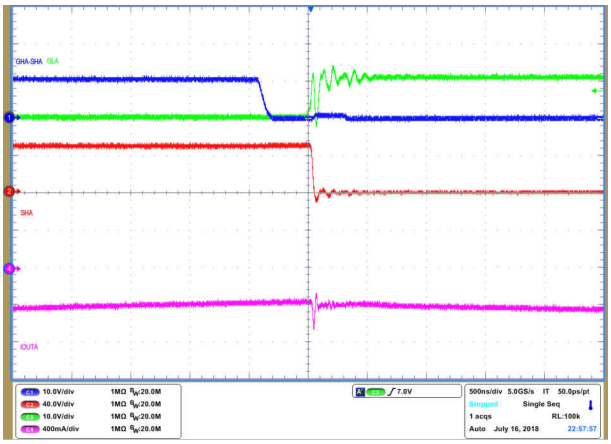


図 9-7. IDRIVE 300mA、600mA 設定負電流

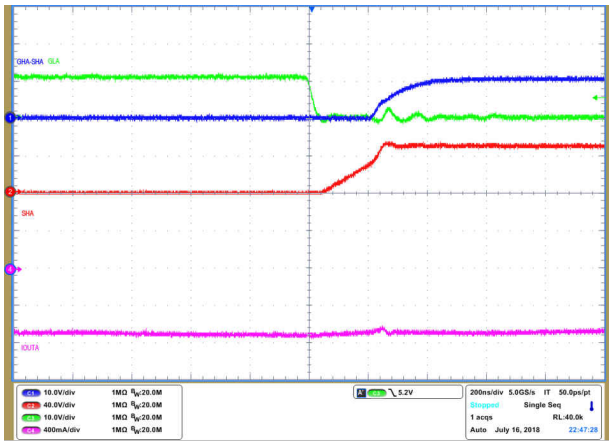


図 9-8. IDRIVE 最大設定正電流

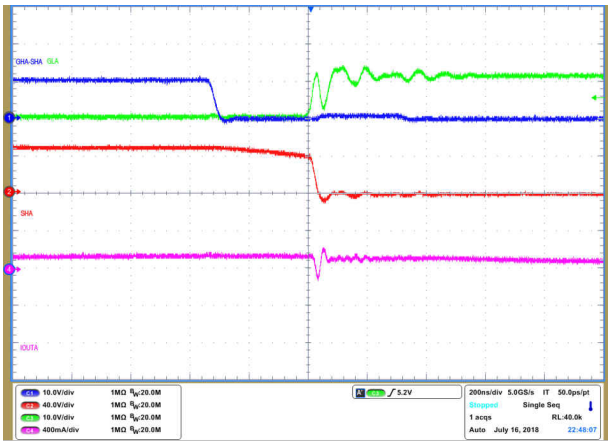


図 9-9. IDRIVE 最大設定負電流

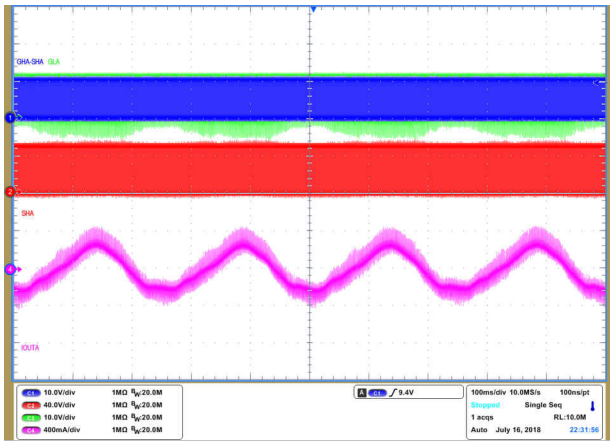


図 9-10. FOC モータ整流

Copyright © 2022 Texas Instruments Incorporated

9.2.2 代替アプリケーション

このアプリケーションでは、矩形波またはホール・ベースの BLDC 整流制御でよく使用される加算電流検出方式のために、1 つの検出アンプを単方向モードで使うように DRV8353F を構成しています。また、内部消費電力を低減するため、VM ゲート駆動電源として外部降圧レギュレータを使うデュアル電源モードに本デバイスを構成しています。

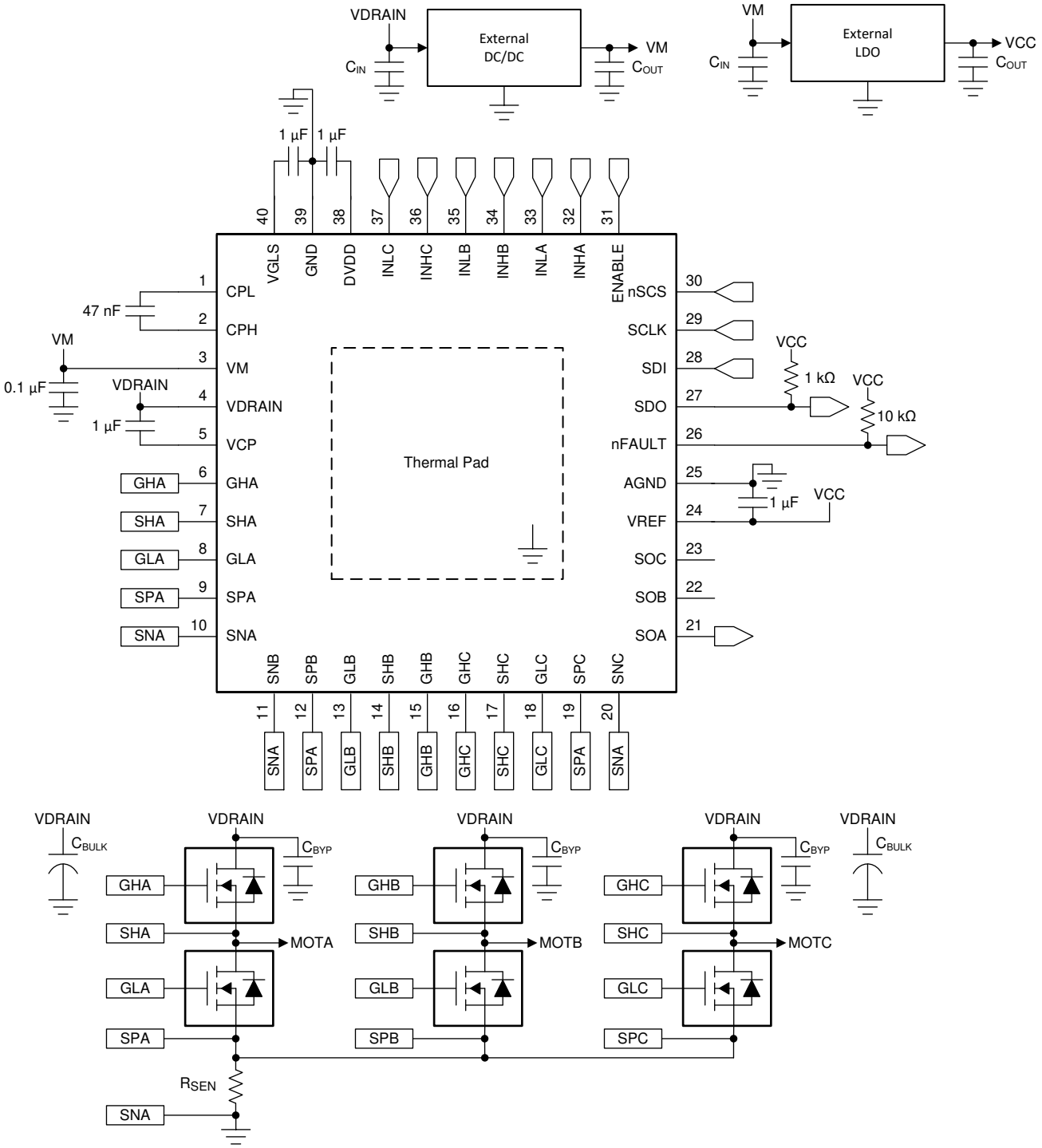


図 9-11. 代替アプリケーションの回路図

9.2.2.1 設計要件

表 9-3 に、システム設計の入力パラメータ例を示します。

表 9-3. 設計パラメータ

設計パラメータ例	略号	数値の例
電源電圧	V_{VM}	12V
MOSFET のドレイン電圧	V_{VDRAIN}	48V
MOSFET の部品番号	MOSFET	CSD19535KCS
MOSFET の総ゲート電荷量	Q_g	78nC
PWM 周波数	f_{PWM}	20kHz
ADC 基準電圧	V_{VREF}	3.3V
巻線電流検出範囲	I_{SENSE}	0～40A
モータ RMS 電流	I_{RMS}	28.3A
検出抵抗の電力定格	P_{SENSE}	3W
システムの周囲温度	T_A	-20℃～+105℃

9.2.2.2 詳細な設計手順

9.2.2.2.1 検出アンプの単方向設定

検出アンプは、SPI デバイス上のレジスタで VREF_DIV ビットに 0 を書き込むことにより、単方向に設定されます。

検出アンプ・ゲインおよび検出抵抗値は、目標電流範囲、VREF、検出抵抗の電力定格、および動作温度範囲に基づいて選択されます。検出アンプの単方向動作では、式 31 を使用して、出力でのダイナミック・レンジの近似値を計算します。

$$V_O = (V_{VREF} - 0.25\ V) - 0.25\ V = V_{VREF} - 0.5\ V \tag{31}$$

選択する検出抵抗の近似値を式 32 で計算します。

$$R = \frac{V_O}{A_V \times I} \qquad P_{SENSE} > I_{RMS}^2 \times R \tag{32}$$

ここで

- $V_O = V_{VREF} - 0.5\ V$

式 31 と式 32 から、使用する検出抵抗の電力定格に基づいて目標ゲイン設定を選択します。

9.2.2.2.1.1 検出アンプの例

このシステム例では、検出電流が 0～40A で V_{VREF} の値が 3.3V です。DRV8353x デバイスの Sox 出力の直線範囲は 0.25V から V_{VREF} – 0.25V までです (V_{LINEAR} の仕様より)。検出アンプ入力の差動範囲は -0.3～+0.3V です (V_{DIFF})。

$$V_O = 3.3\ V - 0.5\ V = 2.8\ V \tag{33}$$

$$R = \frac{2.8\ V}{A_V \times 40\ A} \qquad 3\ W > 28.3^2 \times R \rightarrow R < 3.75\ m\Omega \tag{34}$$

$$3.75\ m\Omega > \frac{2.8\ V}{A_V \times 40\ A} \rightarrow A_V > 18.7 \tag{35}$$

したがって、ゲイン設定には 20V/V または 40V/V を選択し、検出抵抗の電力要件を満たすために、検出抵抗の値は 3.75mΩ 未満とする必要があります。この例では、ゲイン設定として 20V/V を選択しています。抵抗の値とワーストケース

Copyright © 2022 Texas Instruments Incorporated

の電流については、R < 3.75mΩ および I_{max} = 40A のときに検出アンプ入力の差動範囲仕様 (V_{SPxD}) が満たされることが確認できます。

9.2.2.2.1.2 デュアル電源の消費電力

本デバイスの通常動作時に DRV835xF の熱定格に違反しないように注意して設計する必要があります。これは、消費電力が大きくまたはデバイス周囲温度が高い高電圧および高温動作のアプリケーションで特に重要です。

デュアル電源動作でのデバイス温度を決定するには、最初に内部消費電力を計算する必要があります。内部消費電力には、以下に示す主要な 3 つの要素があります。

- VCP チャージ・ポンプの消費電力 (P_{VCP})
- VGLS ローサイド・レギュレータの消費電力 (P_{VGLS})
- VM デバイスの公称消費電力 (P_{VM})

P_{VCP} と P_{VGLS} の値は、最初に I_{VCP} と I_{VGLS} を求めるために*セクション 9.2.1.2.1* を参照し、次に式 36 と式 37 を参照することで概算できます。

$$P_{VCP} = I_{VCP} \times (V_{VM} + V_{VDRAIN}) \quad (36)$$

$$P_{VGLS} = I_{VGLS} \times V_{VM} \quad (37)$$

P_{VM} の値は、I_{VM} 電流のデータシート・パラメータを参照することで式 38 を使って計算できます。

$$P_{VM} = I_{VM} \times V_{VM} \quad (38)$$

次に、4 つの要素を合計することで総消費電力を計算します (式 39 を参照)。

$$P_{tot} = P_{VCP} + P_{VGLS} + P_{VM} \quad (39)$$

最後に、セクション 7.4 と式 40 を参照することで本デバイスの接合部温度を概算できます。

$$T_J max = T_A max + (R_{\theta JA} \times P_{tot}) \quad (40)$$

セクション 7.4 の情報は、パッケージと PCB の放熱に関する標準化されたテスト基準に基づいていることに注意します。実際の値は、アプリケーションで使用される実際の PCB 設計によって異なる場合があります。

9.2.2.2.1.3 デュアル電源の消費電力の例

このアプリケーション例では、本デバイスをデュアル電源で動作するように構成しています。デュアル電源動作では、ゲート・ドライバにより低い電源電圧を供給することで内部消費電力を低減できます。この電圧は、内蔵降圧レギュレータまたは外部電源から供給できます。以下の例で、接合部温度を推定します。

MOSFET ゲート電荷は 78nC、1 つのハイサイド MOSFET と 1 つのローサイド MOSFET が同時にスイッチング、スイッチング周波数は 20kHz として、式 5 を使用して I_{VCP} と I_{VGLS} の値を計算します。

$$I_{VCP/VGLS} = 78nC \times 1 \times 20kHz = 1.56mA \quad (41)$$

式 式 36、式 37、式 38、式 39 を使って V_{VM} = 12V、V_{VDRAIN} = 48V、V_{VIN} = 48V、I_{VM} = 9.5mA、I_{VCP} = 1.56mA、I_{VGLS} = 1.56mA の場合の P_{tot} の値を計算します。

$$P_{VCP} = 1.56mA \times (12V + 48V) = 0.1W \quad (42)$$

$$P_{VGLS} = 1.56mA \times 12V = 0.02W \quad (43)$$

$$P_{VM} = 9.5mA \times 12V = 0.1W \quad (44)$$

$$P_{tot} = 0.1W + 0.02W + 0.1W = 0.22W \quad (45)$$

最後に、動作中の本デバイスの接合部温度を推定するため、式 40 を使って $T_A max$ = 105℃、$R_{\theta JA}$ = 26.1℃/W (RGZ パッケージ)、P_{tot} = 0.22W の場合の $T_J max$ の値を計算します。繰り返しますが、$R_{\theta JA}$ は実際のアプリケーションで使用

される PCB 設計に大きく依存することと、$R_{\theta JA}$ を検証する必要があることに注意します。従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

$$T_J max = 105℃ + (26.1℃/W \times 0.22W) = 110.7℃ \quad (46)$$

Copyright © 2022 Texas Instruments Incorporated

10 電源に関する推奨事項

DRV835xF ファミリのデバイスは、9V～75V の入力電圧源 (VM) 範囲で動作するように設計されています。VM 定格の 0.1µF セラミック・コンデンサを本デバイスのできるだけ近くに配置する必要があります。また、VM ピンにはバルク・コンデンサを配置する必要がありますが、外部パワー MOSFET のバルク・バイパス容量と共用可能です。外部のハーフブリッジ MOSFET をバイパスするために追加のバルク容量が必要となり、その大きさはアプリケーションの要件によって決まります。

10.1 バルク容量の決定

適切なローカル・バルク容量の確保は、モータ駆動システムの設計において重要な要素です。通常、バルク容量が大きいほど有利ですが、その一方でコストと物理的なサイズが増加します。ローカル容量値は、次のようなさまざまな要因で決まります。

- モータ・システムが必要とする最大電流
- 電源の種類、容量、および電流ソース能力
- 電源とモータ・システムの間の寄生インダクタンスの大きさ
- 許容される電源電圧リップル
- モータの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)
- モータの始動および制動方法

電源とモータ駆動システムの間のインダクタンスにより、電源からの電流が変化する速度が制限されます。ローカル・バルク容量が小さすぎると、モータに大電流を供給しようとする場合、または負荷ダンプが発生した場合、システムの電圧が変動します。十分なバルク容量を使うことで、モータの電圧は安定し、大電流を素早く供給できます。

データシートには推奨最小値が記載されていますが、バルク・コンデンサの容量が適切かどうかを判断するには、システム・レベルのテストが必要です。

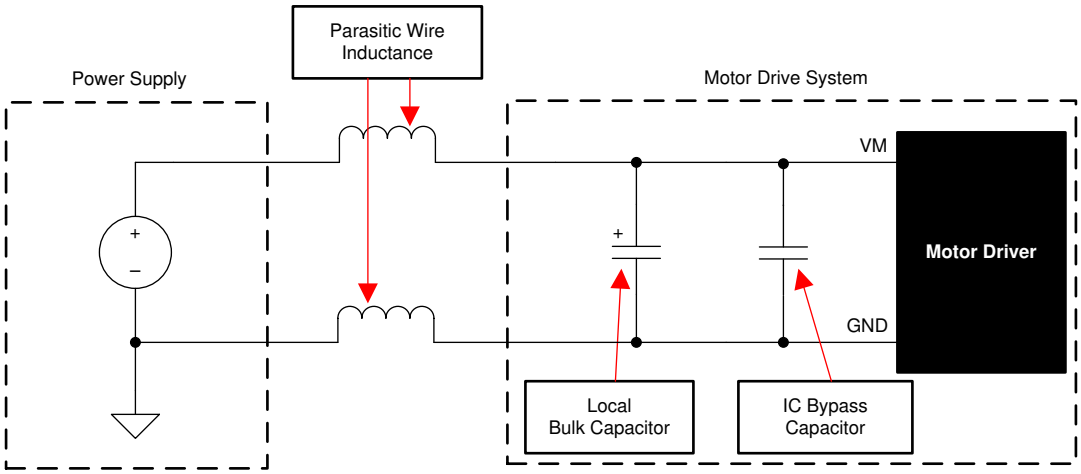


図 10-1. モータ駆動電源の寄生インダクタンスの例

11 レイアウト

11.1 レイアウトの注意点

推奨値 0.1μF の低 ESR セラミック・バイパス・コンデンサを使用して、VM ピンを GND ピンにバイパスします。このコンデンサは、幅の広いパターン、または GND ピンに接続されたグランド・プレーンを使用して、VM ピンのできるだけ近くに配置してください。また、VM ピンは、VM の定格を持つバルク・コンデンサを使用してバイパスします。これには電解コンデンサを使用できます。容量は 10μF 以上としてください。

外部 MOSFET 上の高電流パスをバイパスするために、追加のバルク容量が必要です。このバルク容量は、外部 MOSFET を通過する高電流パスの長さが最小となるよう配置する必要があります。接続用の金属パターンはできる限り幅広くし、PCB の層間を多数のビアで接続します。これらの手法により、インダクタンスが最小限に抑えられ、バルク・コンデンサが大電流を供給できるようになります。

CPL ピンと CPH ピンの間に低 ESR のセラミック・コンデンサを配置します。これには、VDRAIN の定格を持つ 47nF のタイプ X5R または X7R コンデンサを使用する必要があります。また、VCP ピンと VDRAIN ピンの間、VGLS ピンと GND ピンの間にも低 ESR のセラミック・コンデンサを配置します。これらには、16V 定格、1μF、タイプ X5R または X7R コンデンサを使用する必要があります。

タイプ X5R または X7R で 6.3V の定格を持つ 1μF の低 ESR セラミック・コンデンサを使用して、DVDD ピンを GND/DGND ピンにバイパスします。このコンデンサはピンにできる限り近づけて配置し、コンデンサから GND/DGND ピンまでのパスを最短にします。

シングル電源アプリケーション構成の場合、VDRAIN ピンを VM ピンに直接短絡できます。ただし、デバイスと外部 MOSFET の間が大きく離れている場合は、専用のパターンを使用して、ハイサイド外部 MOSFET のドレインの共通ポイントに接続します。SLx ピンは直接 GND には接続しないでください。その代わりに、専用のパターンを使用して、これらのピンをローサイド外部 MOSFET のソースに接続します。これらの推奨事項により、過電流検出のための外部 MOSFET の V_{DS} 検出をより正確に行うことができます。

ハイサイドおよびローサイド・ゲート・ドライバのループ長はできるだけ短くします。ハイサイド・ループはデバイスの GHx ピンからハイサイド・パワー MOSFET のゲートまでであり、その後ハイサイド MOSFET のソースを通って SHx ピンへと戻ります。ローサイド・ループはデバイスの GLx ピンからローサイド・パワー MOSFET のゲートまでであり、その後ローサイド MOSFET のソースを通って SPx/SLx ピンへと戻ります。

Copyright © 2022 Texas Instruments Incorporated

11.2 レイアウト例

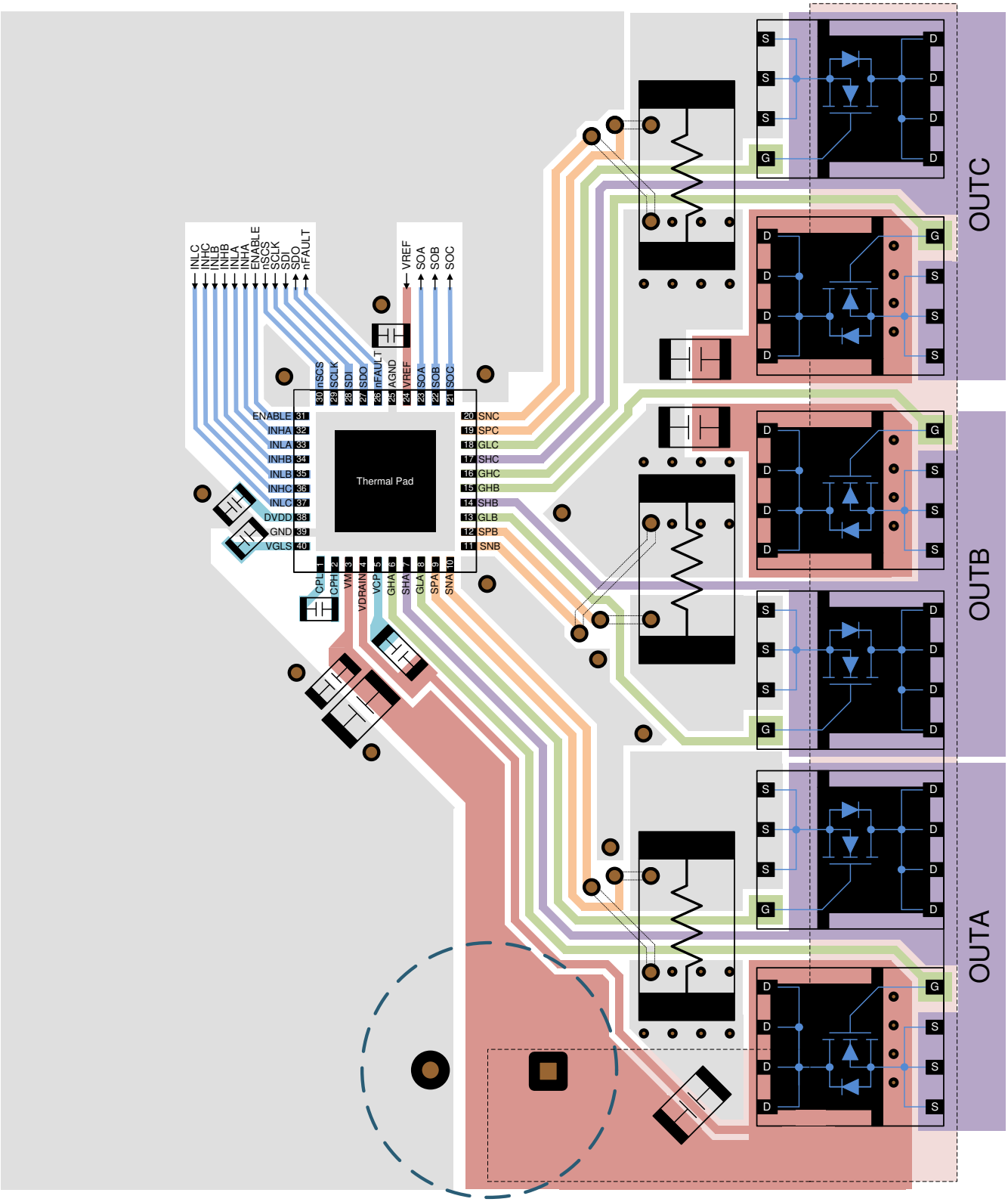


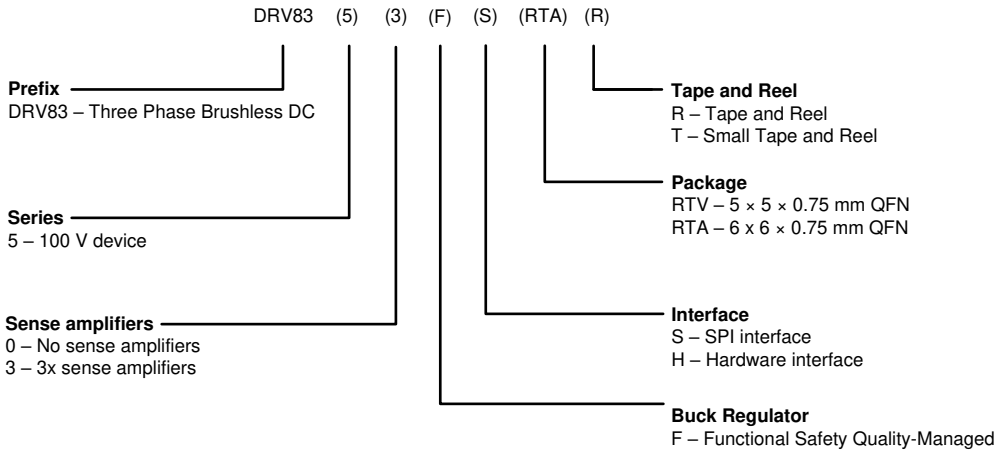
図 11-1. レイアウト例

12 デバイスおよびドキュメントのサポート

12.1 デバイスのサポート

12.1.1 デバイス命名規則

次の図は、完全なデバイス名を解釈するための凡例を示したものです。



12.2 ドキュメントのサポート

12.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*『DRV8353Rx-EVM ユーザー・ガイド』*
- テキサス・インスツルメンツ、*『DRV8353Rx-EVM GUI ユーザー・ガイド』*
- テキサス・インスツルメンツ、*『DRV8353Rx-EVM InstaSPIN™ ソフトウェア・クイックスタート・ガイド』*
- テキサス・インスツルメンツ、*『DRV8350x-EVM ユーザー・ガイド』*
- テキサス・インスツルメンツ、*『DRV8350x-EVM GUI ユーザー・ガイド』*
- テキサス・インスツルメンツ、*『DRV8350x-EVM センサレス・ソフトウェア・ユーザー・ガイド』*
- テキサス・インスツルメンツ、*『DRV8350x-EVM センサ付きソフトウェア・ユーザー・ガイド』*
- テキサス・インスツルメンツ、*『CSD19535KCS 100V N チャネル NexFET™ パワー MOSFET』*データシート
- テキサス・インスツルメンツ、*『TI 製 モータ・ゲート・ドライバでの IDRIVE および TDRIVE について』*アプリケーション・レポート
- テキサス・インスツルメンツ、*『TI スマート・ゲート・ドライブによるモータ・ドライブの保護』*TI TechNote
- テキサス・インスツルメンツ、*『TI スマート・ゲート・ドライブによるモータ・ドライブの BOM と PCB 面積の削減』*TI TechNote
- テキサス・インスツルメンツ、*『TI スマート・ゲート・ドライブによる放射電磁ノイズ (EMI) の低減』*TI TechNote
- テキサス・インスツルメンツ、*『BLDC モータを使用する効率的な掃除機のハードウェア設計の考慮事項』*
- テキサス・インスツルメンツ、*『BLDC モータを使用する電動自転車のハードウェア設計の考慮事項』*
- テキサス・インスツルメンツ、*『産業用モータ・ドライブ・ソリューション・ガイド』*
- テキサス・インスツルメンツ、*『QFN/SON の PCB 実装』*アプリケーション・レポート
- テキサス・インスツルメンツ、*『MSP430™ を使用するセンサ付き 3 相 BLDC モータ制御』*アプリケーション・レポート

Copyright © 2022 Texas Instruments Incorporated

12.3 関連リンク

次の表に、クイック・アクセス・リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティ・リソース、ツールとソフトウェア、およびご注文へのクイック・アクセスが含まれます。

表 12-1. 関連リンク

製品	プロダクト・フォルダ	ご注文はこちら	技術資料	ツールとソフトウェア	サポートとコミュニティ
DRV8350F	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
DRV8353F	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

12.4 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

12.5 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

12.6 商標

NexFET™, InstaSPIN™, and MSP430™ are trademarks of Texas Instruments.
TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

12.7 Electrostatic Discharge Caution

This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

12.8 Glossary

TI Glossary　　This glossary lists and explains terms, acronyms, and definitions.

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8350FHRTVR	Active	Production	WQFN (RTV) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8350FH
DRV8350FHRTVR.A	Active	Production	WQFN (RTV) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8350FH
DRV8350FSRTVR	Active	Production	WQFN (RTV) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8350FS
DRV8350FSRTVR.A	Active	Production	WQFN (RTV) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8350FS
DRV8353FHRTAR	Active	Production	WQFN (RTA) | 40	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8353FH
DRV8353FHRTAR.A	Active	Production	WQFN (RTA) | 40	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8353FH
DRV8353FSRTAR	Active	Production	WQFN (RTA) | 40	2000 | LARGE T&R	Yes	Call TI | Nipdau	Level-1-260C-UNLIM	-40 to 125	8353FS
DRV8353FSRTAR.A	Active	Production	WQFN (RTA) | 40	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8353FS
DRV8353FSRTARG4	Active	Production	WQFN (RTA) | 40	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8353FS
DRV8353FSRTARG4.A	Active	Production	WQFN (RTA) | 40	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8353FS

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

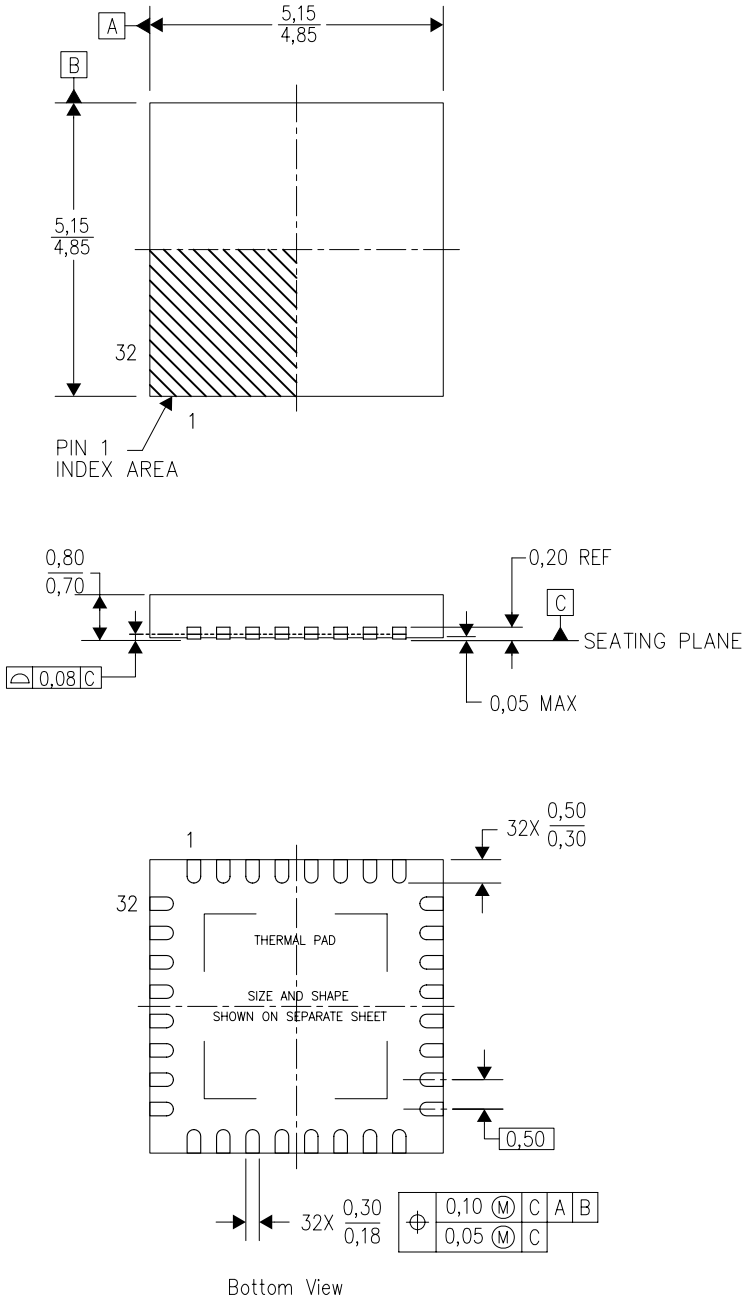
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

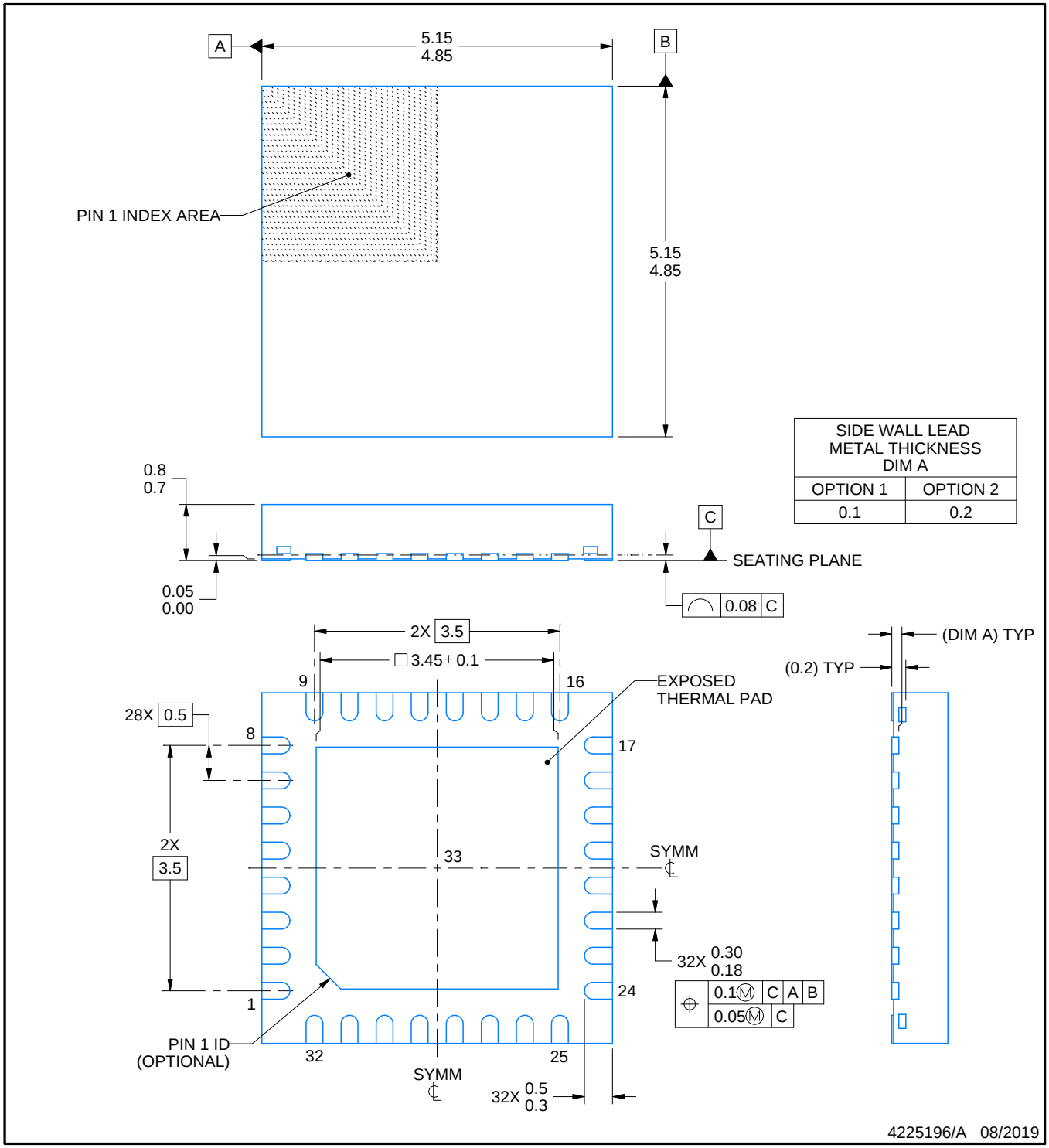
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

RTV (S-PWQFN-N32) PLASTIC QUAD FLATPACK NO-LEAD



4206245/C 10/11

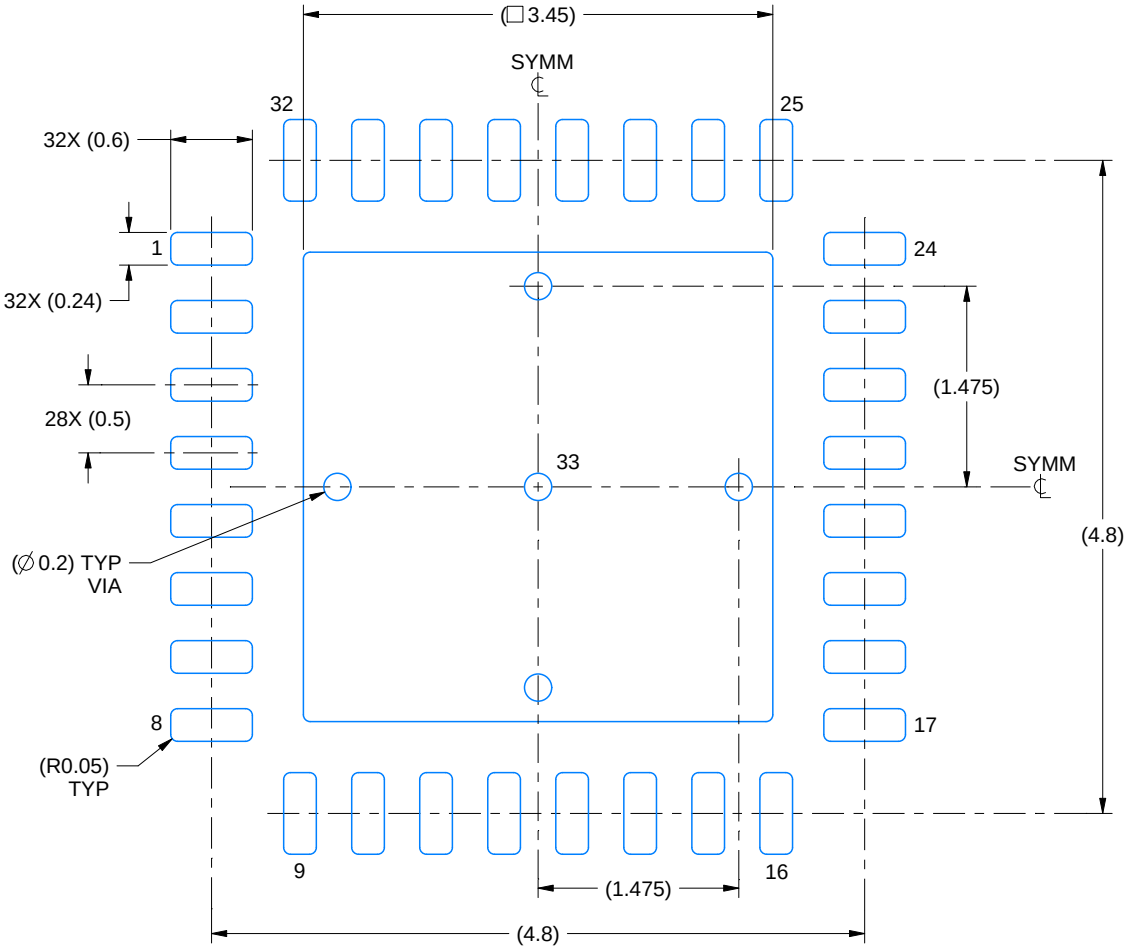
NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5-1994.
B. This drawing is subject to change without notice.
C. Quad Flatpack, No-Leads (QFN) package configuration.
D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
F. Falls within JEDEC MO-220.



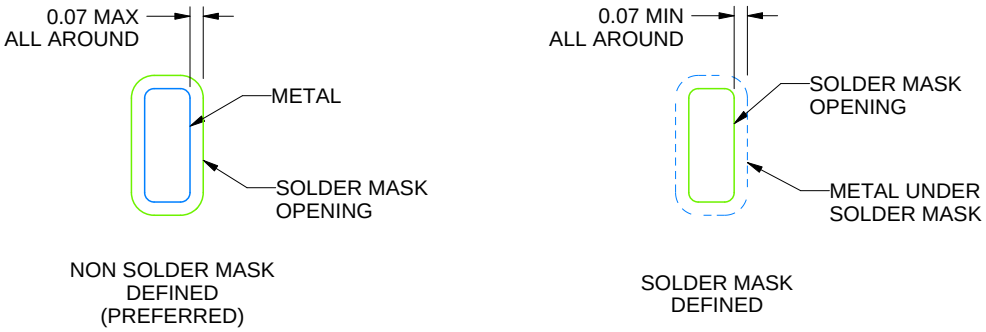
SIDE WALL LEAD METAL THICKNESS DIM A	
OPTION 1	OPTION 2
0.1	0.2

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:18X

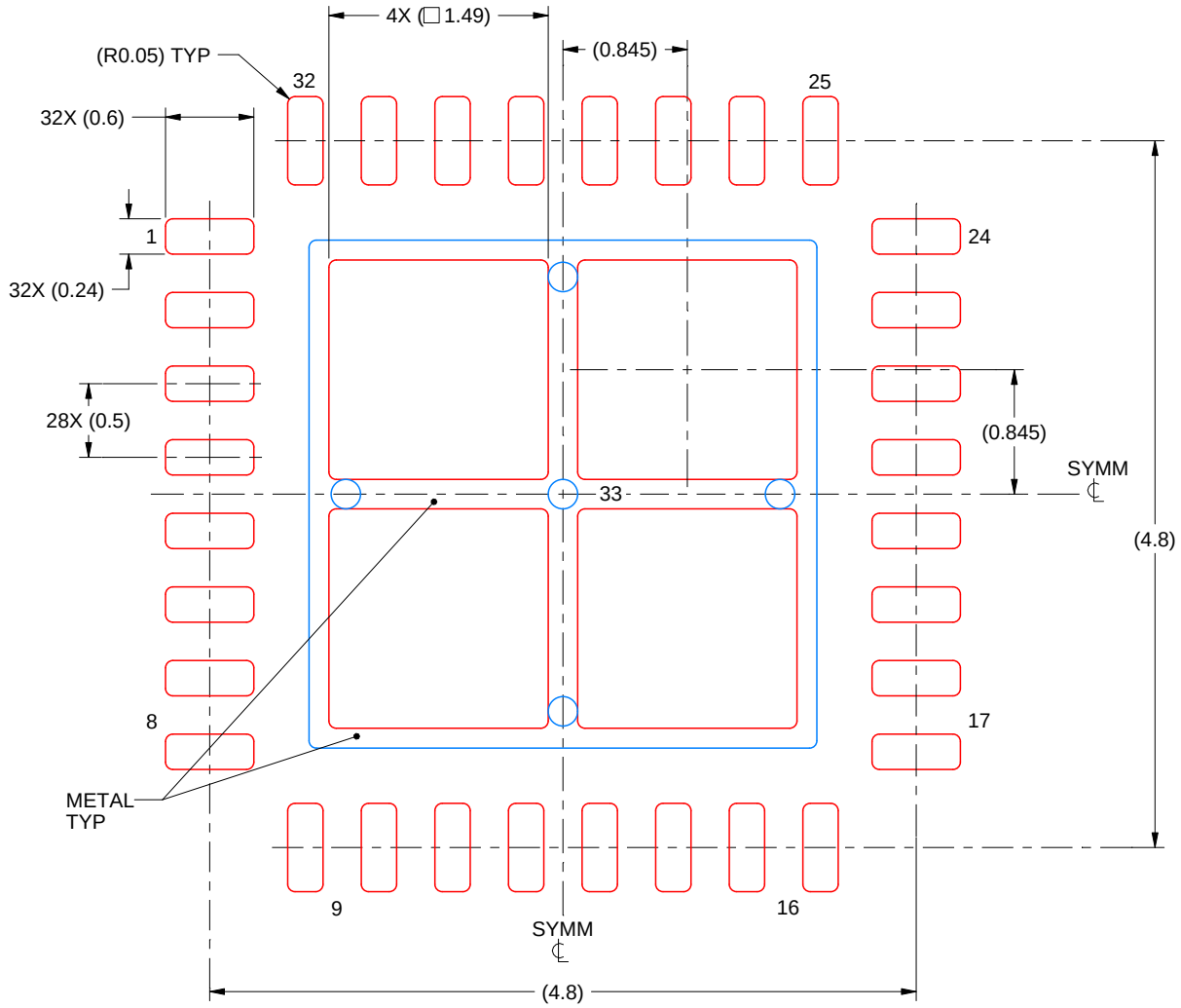


SOLDER MASK DETAILS

4225196/A 08/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

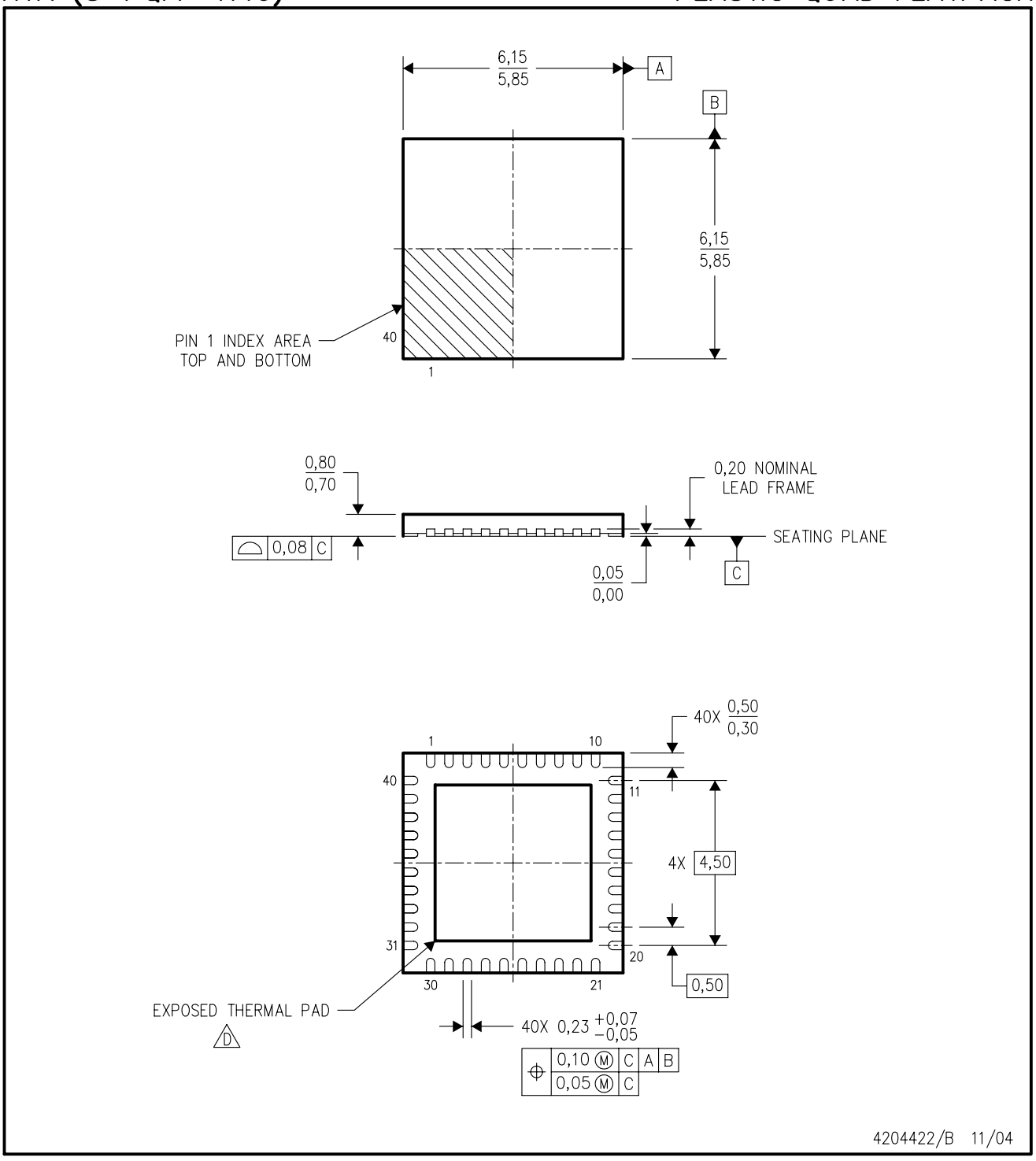
EXPOSED PAD 33:
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4225196/A 08/2019

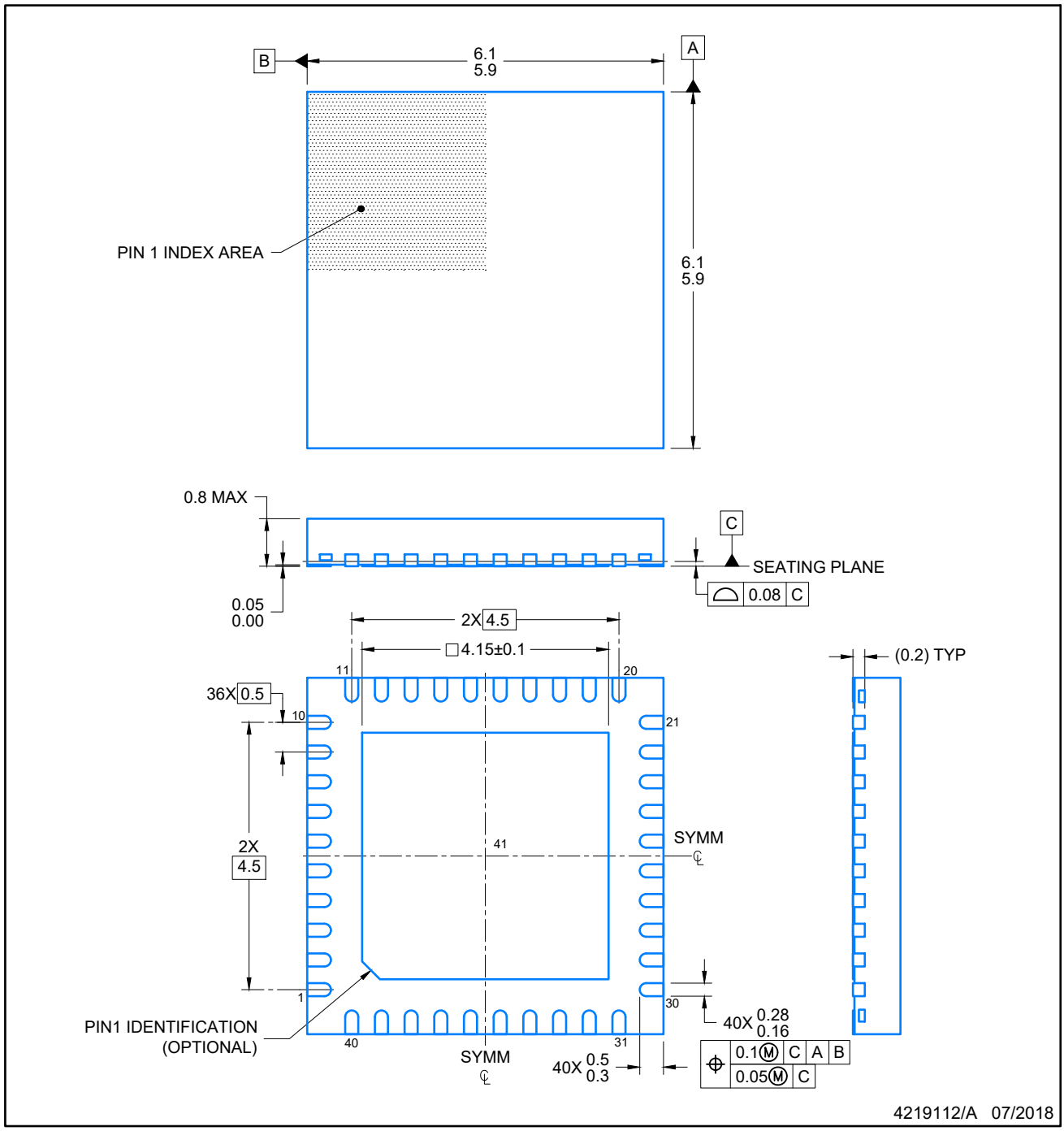
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

RTA (S–PQFP–N40) PLASTIC QUAD FLATPACK

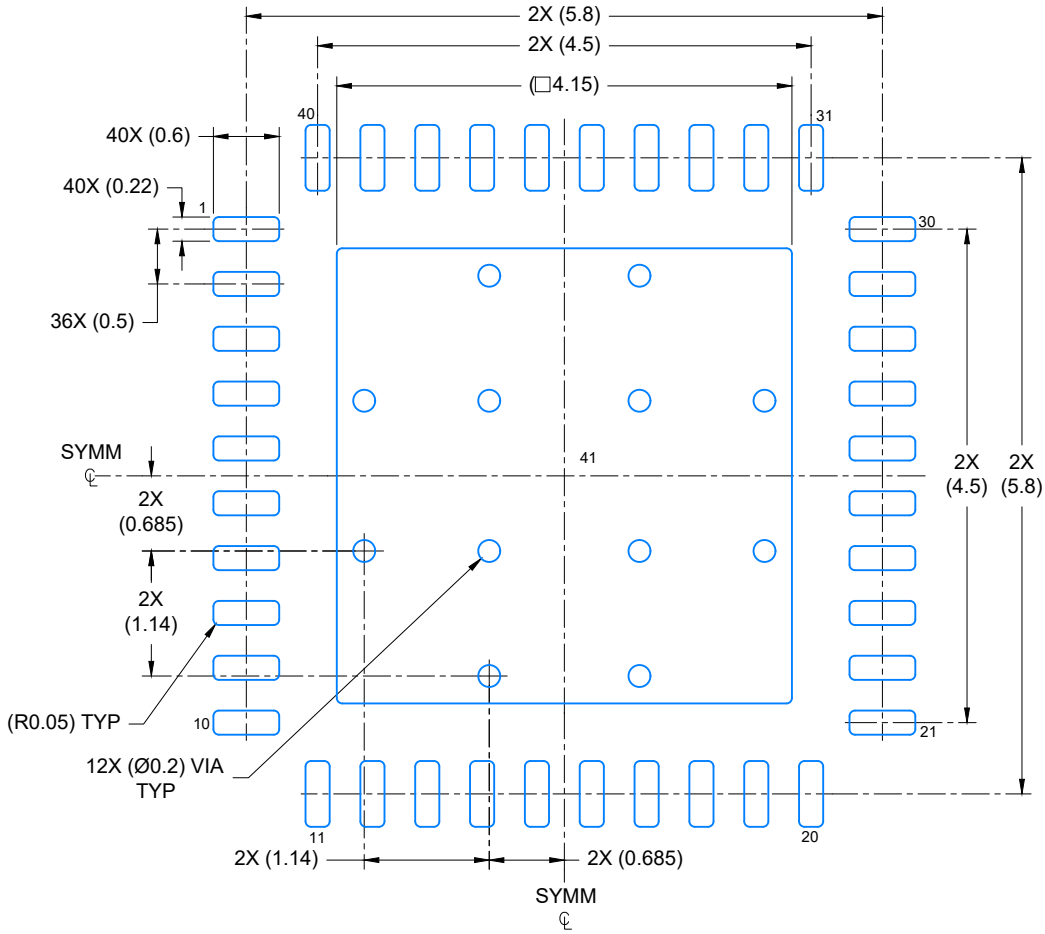


NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. QFN (Quad Flatpack No–Lead) Package configuration.
D. The package thermal pad must be soldered to the board for thermal and mechanical performance. See the Product Data Sheet for details regarding the exposed thermal pad dimensions.



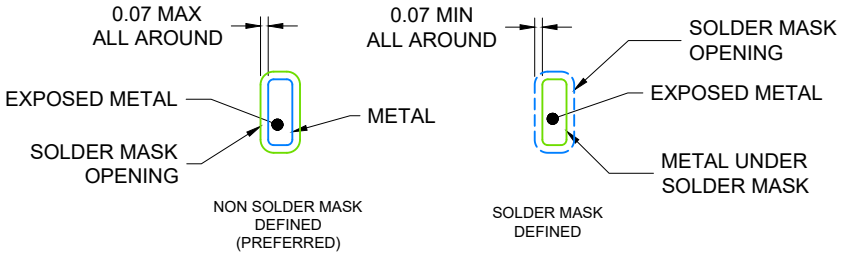
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE

SCALE: 15X

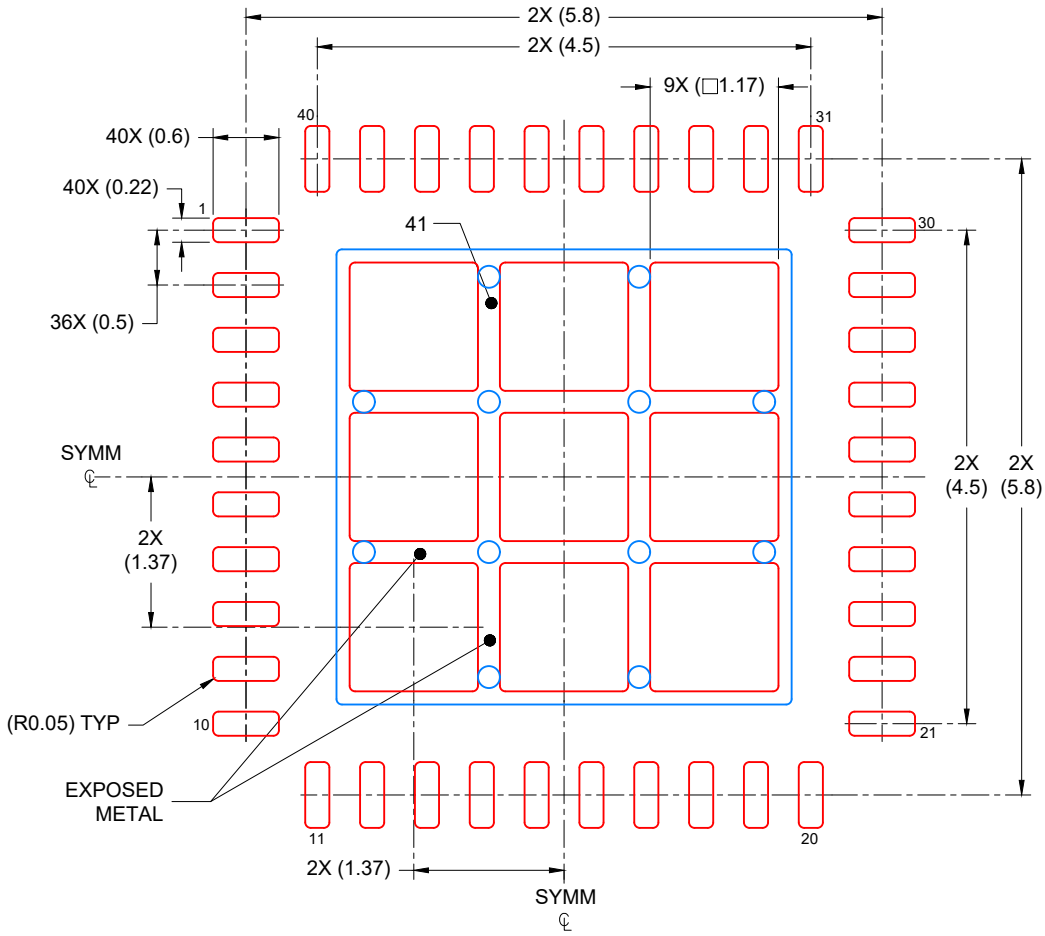


SOLDER MASK DETAILS

4219112/A 07/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
71% PRINTED COVERAGE BY AREA
SCALE: 15X

4219112/A 07/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月