DRV8376 3 相 FET 内蔵モーター ドライバ

1 特長

- 三相 BLDC モータードライバ
  - 48V システムをサポート
  - 最大 100kHz の PWM 周波数をサポート
  - アクティブ消磁により電力損失を低減
  - サイクル単位の電流制限により位相電流を制限
- 動作電圧:4.5V～65V (絶対最大定格 70V)
- 高い出力電流能力:ピーク 4.5A
- 低い MOSFET オンステート抵抗
  - T_A = 25℃で 400mΩ の $R_{DS(ON)}$ (HS + LS)
- 1.1V/ns のスルーレートと逆方向回復損失の最小化手法により、スイッチング損失を低減します
  - 調整可能なスルー レート オプション
- 200ns 未満の非常に短いデッドタイムと、100ns 未満の伝搬遅延により、小さい可聴ノイズとモーター制御が容易
- 低消費電力スリープ モード
  - 1.5µA (標準値) (V_{VM} = 24V、T_A = 25°C)
- 複数の制御インターフェイス オプション
  - 6x PWM 制御インターフェイス
  - 3x PWM 制御インターフェイス
- 電流センス機能内蔵、外付け電流センス抵抗不要
- 柔軟なデバイス構成オプション
  - DRV8376S:デバイスの構成とフォルト ステータスのための 5MHz、16 ビット SPI
  - DRV8376H:ハードウェア ピンベースの構成
- 1.8V、3.3V、5V のロジック入力をサポート
- 3.3V (5%)、30mA LDO レギュレータ内蔵
- 5V (5%)、30mA LDO レギュレータ内蔵
- 保護機能内蔵
  - 電源低電圧誤動作防止 (UVLO)
  - チャージ ポンプ低電圧 (CPUV)
  - 過電流保護 (OCP)
  - 熱警告およびシャットダウン (OTW/OTSD)
  - フォルト状況表示ピン (nFAULT)
  - SPI によるフォルト診断 (オプション)

2 アプリケーション

- ブラシレス DC (BLDC) モーター モジュール
- HVAC モーター
- OA 機器
- ファクトリ オートメーションおよびロボティクス
- ワイヤレス アンテナ モーター
- ドローン

3 概要

DRV8376 は、4.5V ～ 65V のブラシレス DC モーターを駆動するためのゲート ドライブと電力段を提供します。DRV8376 は、大電力駆動能力を実現するため、70V の絶対最大定格と 400mΩ (ハイサイドとローサイドの合計) という非常に小さい $R_{DS(ON)}$ を持つ 3 つのハーフ H ブリッジを内蔵しています。内蔵の電流検出機能を使用して電流を検出するので、外付けの検出抵抗は不要です。内蔵 LDO による電源管理機能が、デバイスに必要な電圧レールを生成します。また、外部回路に電力を供給するためにも使用できます。

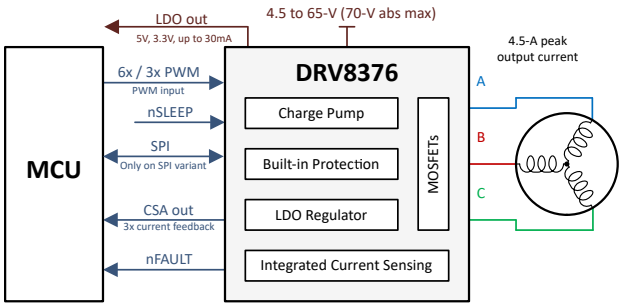
DRV8376 には 6x または 3x の PWM 制御方式が実装されており、センサ付きまたはセンサレスのフィールド オリエンテッド制御 (FOC)、正弦波制御、または外付けマイコンを使用した台形制御を実現できます。DRV8376 は、最大 100kHz の PWM 周波数で駆動できます。制御方式は、モーター電流制限動作からフォルト応答まで、ハードウェア ピンまたはレジスタ設定を使って詳細に設定できます。

DRV8376 は、本デバイス自身、モーター、システムをフォルト イベントから保護するための多くの保護機能を内蔵しています。

製品情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (公称)
DRV8376H	VQFN (28)	6.00 mm × 5.00mm	6.00 mm × 5.00mm
DRV8376S	VQFN (28)	6.00 mm × 5.00mm	6.00 mm × 5.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 デバイス比較表.....2
5 ピン構成および機能.....3
6 仕様.....5
6.1 絶対最大定格.....5
6.2 ESD 定格.....5
6.3 推奨動作条件.....5
6.4 熱に関する情報.....6
6.5 電気的特性.....6
6.6 SPI のタイミング要件.....11
6.7 SPI スレーブ モードのタイミング.....12
6.8 代表的特性.....12
7 詳細説明.....13
7.1 概要.....13
7.2 機能ブロック図.....14
7.3 機能説明.....16
7.4 デバイスの機能モード.....45
7.5 SPI 通信.....46
8 レジスタ マップ.....47
8.1 STATUS レジスタ.....47
8.2 制御レジスタ.....54
9 アプリケーションと実装.....62
9.1 アプリケーション情報.....62
9.2 代表的なアプリケーション.....63
9.3 電源に関する推奨事項.....67
9.4 レイアウト.....68
10 デバイスおよびドキュメントのサポート.....71
10.1 ドキュメントのサポート.....71
10.2 サポート・リソース.....71
10.3 商標.....71
10.4 静電気放電に関する注意事項.....71
10.5 用語集.....71
11 改訂履歴.....71
12 メカニカル、パッケージ、および注文情報.....71

4 デバイス比較表

デバイス	パッケージ	インターフェイス
DRV8376S	28 ピン VQFN (6x5mm)	SPI
DRV8376H		ハードウェア

表 4-1. DRV8376S (SPI バリアント) と DRV8376H (ハードウェア バリアント) の構成比較

パラメータ	DRV8376S (SPI バリアント)	DRV8376H (ハードウェア バリアント)
PWM モード設定	PWM_MODE (4 つの設定)	MODE_SR ピン (4 つの設定)
スルーレートの設定	SLEW_RATE (4 つの設定)	SLEW ピン (4 つの設定)
CSA ゲイン設定	CSA_GAIN (4 つの設定)	GAIN ピン (4 つの設定)
SDO ピン構成:モード、電圧	SDO_ODEN (2 つの設定)、SDO_VSEL (2 つの設定)、SDO_MD (2 つの設定)	
電流制限構成:モード、nFAULT 通知、ブランキング時間、100% デューティ PWM 周波数	ILIM FLT_MODE (2 つの設定)、ILIM_MODE (2 つの設定)、ILIM_BLANK_SEL (4 つの設定)、PWM_100_FREQ_SEL (4 つの設定)	nFAULT 時の電流制限通知は有効化、コーストモードは固定、スルーレート 50 の場合は 5.5µs に設定、その他すべてのスルーレートの場合は 1.8µs に設定、100% デューティ入力 PWM サイクルは 20kHz に固定
過電圧保護モード	OVP_MODE (2 つの設定)、OVP_SEL (2 つの設定)	過電圧保護は無効化
OCP の構成:モード、レベル、グリッチ除去	OCP_MODE (4 つの設定)、OCP_LVL (2 つの設定)、OCP_DEG (4 つの設定)、OCP_RETRY (2 つの設定)	自動リトライ モードで有効化、レベルは 4.5A に固定、グリッチ除去時間は 1.25µs、リトライ時間は 5 ms
アクティブ消磁:有効、コンパレータのスレッショルド、コンパレータのマスク時間、フォルト時の動作	EN_ASR (2 つの設定)、EN_AAR (2 つの設定)、AD_COMP_TH (2 つの設定)	MODE_SR (2 つの設定)、アクティブ消磁コンパレータ スレッショルドは 100mA に設定、スルーレートが 50V/µs の場合はコンパレータのマスク時間は 5.5µs 、その他すべてのスルーレートの場合は 1.8µs に設定。ADMAG_TMARGIN は 1.6µs に設定、OCP 中はアクティブ消磁が無効化。
過熱警告	OTW_MODE (2 つの設定)	nFAULT で通知

Copyright © 2025 Texas Instruments Incorporated

5 ピン構成および機能

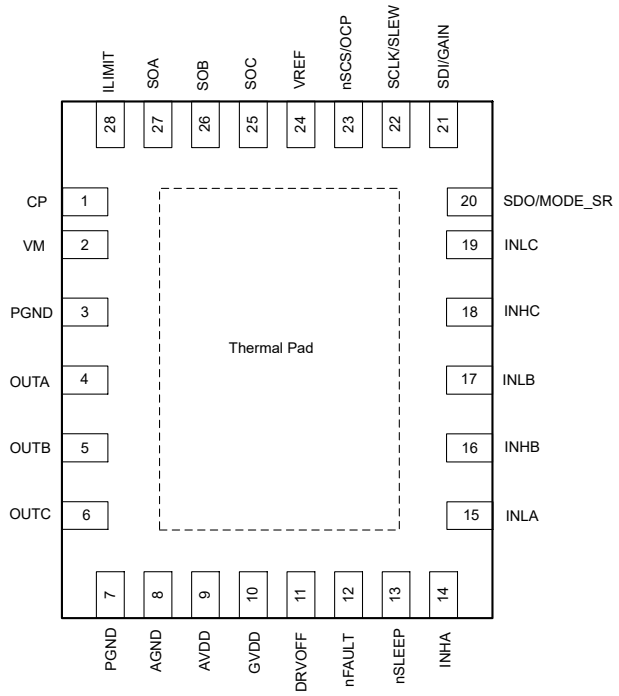


図 5-1. DRV8376 28 ピン VQFN (露出サーマル パッド付き) 上面図

表 5-1. DRV8376 のピンの機能

ピン	28 ピン VQFN パッケージ		種類[1]	説明
名称	DRV8376H	DRV8376S		
AGND	8	8	GND	デバイスのアナログ グランド。接続に関する推奨事項については、セクション 9.4.1 を参照してください。
AVDD	9	9	PWR O	3.3V 内部レギュレータ出力。X5R または X7R、0.1µF、6.3V セラミック コンデンサを AVDD ピンと AGND ピンの間に接続します。このレギュレータは最大 30mA を外部にソースできます。
CP	1	1	PWR O	チャージ ポンプ出力。X5R または X7R、0.1µF、16V セラミック コンデンサを CP ピンと VM ピンの間に接続します。
DRVOFF	11	11	I	このピンが High にプルされると、電力段の 6 つの MOSFET がターンオフし、すべての出力がハイ インピーダンスになります。
ゲイン	21	-	I	電流センス アンプのゲイン設定。このピンは、外付け抵抗で設定される 4 レベル入力ピンです。
GVDD	10	10	PWR O	5V 内部レギュレータ出力。X5R または X7R、1µF、10V セラミック コンデンサを AVDD ピンと AGND ピンの間に接続します。このレギュレータは最大 30mA を外部にソースできます。
ILIMIT	28	28		サイクル単位の電流制限で使用される相電流のスレッショルドを設定します。
INHA	14	14	I	OUTA のハイサイド ドライバ制御入力。このピンは、ハイサイド MOSFET の出力を制御します。
INHB	16	16	I	OUTB のハイサイド ドライバ制御入力。このピンは、ハイサイド MOSFET の出力を制御します。
INHC	18	18	I	OUTC のハイサイド ドライバ制御入力。このピンは、ハイサイド MOSFET の出力を制御します。
INLA	15	15	I	OUTA のローサイド ドライバ制御入力。このピンは、ローサイド MOSFET の出力を制御します。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. DRV8376 のピンの機能 (続き)

ピン	28 ピン VQFN パッケージ		種類[1]	説明
名称	DRV8376H	DRV8376S		
INLB	17	17	I	OUTB のローサイド ドライバ制御入力。このピンは、ローサイド MOSFET の出力を制御します。
INLC	19	19	I	OUTC のローサイド ドライバ制御入力。このピンは、ローサイド MOSFET の出力を制御します。
MODE_SR	20	-	I	PWM 入力モード設定。このピンは、外付け抵抗で設定される 4 レベル入力ピンです。
nFAULT	12	12	O	フォルト インジケータ。フォルト条件によってロジック Low にプルされます。オープン ドレイン出力には、1.8V～5.0V への外部プルアップ抵抗が必要です。nFAULT をプルアップするために外部電源を使用する場合は、パワーアップ時に 2.2V を上回る値にプルアップされていることを確認してください。
nSCS	-	23	I	シリアル チップ選択。このピンのロジック LOW により、シリアル インターフェイス通信が可能になります。
nSLEEP	13	13	I	ドライバ nSLEEP。このピンをロジック Low にすると、デバイスは低消費電力のスリープ モードに移行します。20µs ～ 40µs の Low パルスを使うとフォルト状態をリセットできます。
OCP	23	-	I	OCP レベル設定。このピンは、外付け抵抗で設定される 2 レベル入力ピンです (ハードウェア デバイス)。
OUTA	4	4	PWR O	ハーフブリッジ出力 A
OUTB	5	5	PWR O	ハーフブリッジ出力 B
OUTC	6	6	PWR O	ハーフブリッジ出力 C
PGND	3、7	3、7	GND	デバイスの電源グランド。接続に関する推奨事項については、セクション 9.4.1 を参照してください。
SCLK	-	22	I	シリアル クロック入力。シリアル データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト アウトおよびキャプチャされます (SPI デバイス)。
SDI	-	21	I	シリアル データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます (SPI デバイス)。
SDO	-	20	O	シリアル データ出力。データは、SCLK ピンの立ち上がりエッジでシフト アウトされます。このピンは外付けプルアップ抵抗を必要とします (SPI デバイス)。。
SLEW	22	-	I	スルーレート制御設定このピンは、外付け抵抗で設定される 4 レベル入力ピンです。
SOA	27	27	O	電流センスアンプの出力。容量性負荷またはローパス フィルタ (直列抵抗と GND へのコンデンサ) をサポート
SOB	26	26	O	電流センスアンプの出力。容量性負荷またはローパス フィルタ (直列抵抗と GND へのコンデンサ) をサポート
SOC	25	25	O	電流センスアンプの出力。容量性負荷またはローパス フィルタ (直列抵抗と GND へのコンデンサ) をサポート
VM	2	2	PWR I	電源。モーター電源電圧に接続し、0.1µF コンデンサと VM 定格のバルク コンデンサ 1 つを使用して PGND にバイパスします。コンデンサの電圧定格は、デバイスの通常動作電圧の 2 倍以上とすることを推奨します。
VREF	24	24	PWR/I	電流センス アンプのリファレンス X5R または X7R、0.1µF、6.3V セラミック コンデンサを VREF ピンと AGND ピンの間に接続します。
サーマル・パッド			AGND	アナログ グランドに接続する必要があります。

(1) I = 入力、O = 出力、GND = グランド ピン、PWR = 電源、NC = 未接続

Copyright © 2025 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り) (1)

	最小値	最大値	単位
電源ピン電圧 (VM)	-0.3	70	V
電源電圧ランプ (VM)		4	V/µs
グランド ピン (PGND、AGND) 間の電圧差	-0.6	0.6	V
チャージ ポンプ電圧 (CP)	-0.3	V_M + 6.2	V
アナログ レギュレータ ピン電圧 (GVDD)	-0.3	5.75	V
アナログ レギュレータ ピン電圧 (AVDD)	-0.3	5.75	V
アナログ ピン入力電圧 (VREF、ILIMIT)	-0.3	5.75	V
アナログ ピン出力電圧 (SOx)	-0.3	5.75	V
ロジックピン入力電圧 (DRVOFF、INHx、INLx、nSCS、nSLEEP、SCLK、SDI)	-0.3	5.75	V
ロジック ピン出力電圧 (nFAULT、SDO、)	-0.3	5.75	V
マルチレベル ピン入力電圧 (GAIN、MODE_SR、OCP、SLEW)	-0.3	5.75	V
出力ピン電圧 (OUTA、OUTB、OUTC)	-1	V_M + 1	V
周囲温度、T_A	-40	125	℃
接合部温度、T_J	-40	150	℃
保管温度、T_{stg}	-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠(2)	±750	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

動作時周辺温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{VM}	電源電圧	V_{VM}	4.5	24	65	V
f_{PWM}	出力 PWM 周波数	OUTA、OUTB、OUTC			100	kHz
I_{OUT} (1)	ピーク出力巻線電流	OUTA、OUTB、OUTC			4	A
V_{IN}	ロジック入力電圧	DRVOFF、INHx、INLx、nSCS、nSLEEP、SCLK、SDI、OCP	-0.1		5.5	V
V_{IN}	マルチレベル入力電圧	GAIN、MODE_SR、SLEW	-0.1		GVDD	
V_{OD}	オープン ドレイン プルアップ電圧	nFAULT、SDO、FG	-0.1		5.5	V
V_{SDO}	プッシュ プル電圧	SDO	2.2		AVDD	V
I_{OD}	オープン ドレイン出力電流	nFAULT、SDO、FG			5	mA
V_{VREF}	電圧リファレンス ピン電圧	VREF		2.8	5.5	V
ILIMIT	電流制限の電圧リファレンス	ILIMIT	-0.1		5.5	V

Copyright © 2025 Texas Instruments Incorporated

動作時周辺温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
T_A	動作時の周囲温度		-40		125	℃
T_J	動作時接合部温度		-40		150	℃

(1) 消費電力および温度の制限に従う必要があります。

6.4 熱に関する情報

熱評価基準(1)		DRV8376H、DRV8376S VQFN (NLG) 28 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	29.9	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	20.8	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	11	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.3	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	11	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.9	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.5 電気的特性

T_J = -40℃～+150℃、V_{VM} = 4.5～65V (特に記述のない限り)。標準値には T_A = 25℃、V_{VM} = 24V が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
I_{VMQ}	VM スリープ モード電流	V_{VM} > 6V、nSLEEP = 0、T_A = 25°C		1.5	3	µA
		nSLEEP = 0		2.5	8	µA
I_{VMS}	VM スタンバイ モード電流	V_{VM} > 6V、nSLEEP = 1、INHx = INLx = 0、SPI = 'OFF'、T_A = 25°C		6.6	8.2	mA
		nSLEEP = 1、INHx = INLx = 0、SPI = 'OFF'		6.6	8.2	mA
I_{VMS}	VM スタンバイ モード電流	V_{VM} > 6V、nSLEEP = 1、INHx = INLx = 0、SPI = 'OFF'、T_A = 25°C、ASR および AAR は無効化		6.1	7.5	mA
I_{VMS}	VM スタンバイ モード電流	nSLEEP = 1、INHx = INLx = 0、SPI = 'OFF'、ASR および AAR は無効化		6.1	7.5	mA
I_{VM}	VM 動作モード電流	V_{VM} > 6V、nSLEEP = 1、f_{PWM} = 20kHz		7.6	9.8	mA
		nSLEEP =1、f_{PWM} = 20kHz		7.6	9.8	mA
		nSLEEP =1、f_{PWM} =100kHz		10.1	13.4	mA
V_{GVDD}	アナログ レギュレータの電圧	0mA ≤ I_{GVDD} ≤ 30mA、(外部負荷)、VM > 6V	4.75	5	5.25	V
V_{GVDD}	アナログ レギュレータの電圧	0mA ≤ I_{GVDD} ≤ 30mA、(外部負荷)、VM = 4.5V	3.7		4.5	V
V_{AVDD}	アナログ レギュレータの電圧	0mA ≤ I_{AVDD} ≤ 30mA、(外部負荷)	3.1	3.3	3.465	V
I_{GVDD}	外部アナログ レギュレータの負荷	I_{AVDD} = 0mA			30	mA
I_{AVDD}	外部アナログ レギュレータの負荷	I_{GVDD} = 0mA			30	mA
V_{VCP}	チャージポンプ レギュレータ電圧	VM を基準とした VCP (V_{VM} > 6V)	4	5	6	V
t_{WAKE}	ウェークアップ時間	V_{VM} > V_{UVLO}、nSLEEP = 1 で出力準備完了、nFAULT 解放			5.5	ms

Copyright © 2025 Texas Instruments Incorporated

T_J = -40℃～+150℃、V_{VM} = 4.5～65V (特に記述のない限り)。標準値には T_A = 25℃、V_{VM} = 24V が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{SLEEP}	スリープ パルス時間	nSLEEP = 0 でスリープ モード	120			µs
t_{RST}	リセット パルス時間	nSLEEP = 0 でフォルトをリセット	20		40	µs
ロジック レベル入力 (DRVOFF、INHx、INLx、nSLEEP、SCLK、SDI、OCP)						
V_{IL}	入力ロジック Low 電圧		0		0.6	V
V_{IH}	入力ロジック High 電圧	nSLEEP	1.6		5.5	V
		その他のピン	1.5		5.5	V
V_{HYS}	入力ロジック ヒステリシス	nSLEEP	95	300	425	mV
		その他のピン	180	300	425	mV
I_{IL}	入力ロジック Low 電流	V_{PIN} (ピン電圧) = 0V	-1		1	µA
I_{IH}	入力ロジック High 電流	nSLEEP、V_{PIN} (ピン電圧) = 5V	15		35	µA
I_{IH}	入力ロジック High 電流	その他のピン、V_{PIN} (ピン電圧) = 5V	30		75	µA
R_{PD}	入力プルダウン抵抗	nSLEEP	150	200	300	kΩ
		その他のピン	70	100	130	kΩ
t_{GED}	グリッチ除去時間	DRVOFF ピン	0.6	1.15	1.7	µs
C_{ID}	入力容量			30		pF
ロジック レベル入力 (nSCS)						
V_{IL}	入力ロジック Low 電圧		0		0.6	V
V_{IH}	入力ロジック High 電圧		1.5		5.5	V
V_{HYS}	入力ロジック ヒステリシス			300		mV
I_{IL}	入力ロジック Low 電流	V_{PIN} (ピン電圧) = 0V			75	µA
I_{IH}	入力ロジック High 電流	V_{PIN} (ピン電圧) = 5V	-1		25	µA
R_{PU}	入力プルアップ抵抗		80	100	130	kΩ
C_{ID}	入力容量			30		pF
4 レベル入力 (GAIN、MODE_SR、SLEW)						
V_{L1}	入力モード 1 電圧	AGND に接続	0		0.2*GVDD	V
V_{L2}	入力モード 2 電圧	ハイ インピーダンス	0.27*GVDD	0.5*GVDD	0.55*GVDD	V
V_{L3}	入力モード 3 電圧	47kΩ +/- 5% で GVDD に接続	0.6*GVDD	0.76*GVDD	0.9*GVDD	V
V_{L4}	入力モード 4 電圧	GVDD に接続	0.94*GVDD		GVDD	V
R_{PU}	入力プルアップ抵抗	対 GVDD	80	100	120	kΩ
R_{PD}	入力プルダウン抵抗	To AGND	80	100	120	kΩ
オープン ドレイン出力 (nFAULT)						
V_{OL}	出力ロジック Low 電圧	I_{OD} = 5mA			0.4	V
I_{OH}	出力ロジック High 電流	V_{OD} = 5 V	-1		1	µA
C_{OD}	出力容量				30	pF
プッシュプル出力 (SDO)						
V_{OL}	出力ロジック Low 電圧	I_{OP} = 5mA	0		0.4	V
V_{OH}	ロジック High 出力電圧	I_{OP} = 5mA、SDO_VSEL = 0	2.5		AVDD	V
V_{OH}	ロジック High 出力電圧	I_{OP} = 5mA、SDO_VSEL = 1、V_{VM} > 6V	4		GVDD	V
I_{OL}	出力ロジック Low リーク電流	V_{OP} = 0V	-1		1	µA
I_{OH}	出力ロジック High リーク電流	V_{OP} = 5V	-1		1	µA

Copyright © 2025 Texas Instruments Incorporated

T_J = -40℃～+150℃、V_{VM} = 4.5～65V (特に記述のない限り)。標準値には T_A = 25℃、V_{VM} = 24V が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
C_{OD}	出力容量				30	pF
ドライバ出力						
$R_{DS(ON)}$	全 MOSFET オン抵抗 (ハイサイド + ローサイド)	V_{VM} > 6V、I_{OUT} = 1A、T_A = 25℃		400	505	mΩ
		V_{VM} < 6V、I_{OUT} = 1A、T_A = 25℃		407	515	mΩ
		V_{VM} > 6V、I_{OUT} = 1A、T_J = 150℃		690	790	mΩ
		V_{VM} < 6V、I_{OUT} = 1A、T_J = 150℃		705	810	mΩ
SR	Low から High へのスイッチング (20% から 80% への立ち上がり) 時の位相ピンのスルーレート	V_{VM} = 24V、SLEW = 00b または SLEW ピンを AGND に接続、I_{OUTx} = 1A	630	1100	1760	V/µs
		V_{VM} = 24V、SLEW = 01b または SLEW ピンをハイ インピーダンスへ、I_{OUTx} = 1A	260	500	900	V/µs
		V_{VM} = 24V、SLEW = 10b または SLEW ピンを 47kΩ +/- 5% で GVDD へ、I_{OUTx} = 1A	135	250	455	V/µs
		V_{VM} = 24V、SLEW = 11b または SLEW ピンを GVDD に接続、I_{OUTx} = 1A	22	60	90	V/µs
SR	High から Low へのスイッチング (80% から 20% への立ち下がり) 時の位相ピンのスルーレート	V_{VM} = 24V、SLEW = 00b または SLEW ピンを AGND に接続、I_{OUTx} = 1A	500	1100	1760	V/µs
		V_{VM} = 24V、SLEW = 01b または SLEW ピンをハイ インピーダンスへ、I_{OUTx} = 1A	240	500	845	V/µs
		V_{VM} = 24V、SLEW = 10b または SLEW ピンを 47kΩ +/- 5% で GVDD へ、I_{OUTx} = 1A	120	250	490	V/µs
		V_{VM} = 24V、SLEW = 11b または SLEW ピンを GVDD に接続、I_{OUTx} = 1A	30	50	85	V/µs
I_{LEAK}	OUTx のリーク電流	V_{OUTx} = V_{VM}、nSLEEP = 1			2	mA
	OUTx のリーク電流	V_{OUTx} = 0V、nSLEEP = 1			1	µA
t_{DEAD}	出力デッドタイム (High から Low / Low から High)	V_{VM} = 24V、SLEW = 00b または SLEW ピンを AGND に接続、HS ドライバ ON から LS ドライバ OFF		65	150	ns
		V_{VM} = 24V、SLEW = 01b または SLEW ピンをハイ インピーダンスへ、HS ドライバ ON から LS ドライバ OFF		100	250	ns
		V_{VM} = 24V、SLEW = 10b または SLEW ピンを 47kΩ +/- 5% で GVDD へ、HS ドライバ ON から LS ドライバ OFF		100	250	ns
		V_{VM} = 24V、SLEW = 11b または SLEW ピンを GVDD に接続、HS ドライバ ON から LS ドライバ OFF		250	550	ns
t_{PD}	伝搬遅延 (ハイサイド / ローサイド、オン/オフ)	V_{VM} = 24V、INHx = 1 から OUTx 遷移、SLEW = 00b または SLEW ピンを AGND に接続		35	85	ns
		V_{VM} = 24V、INHx = 1 から OUTx 遷移、SLEW = 01b または SLEW ピンをハイ インピーダンスへ		40	100	ns
		V_{VM} = 24V、INHx = 1 から OUTx 遷移、SLEW = 10b または SLEW ピンを 47kΩ +/- 5% で GVDD へ		45	140	ns
		V_{VM} = 24 V、INHx = 1 から OUTx 遷移、SLEW = 11b または SLEW ピンを GVDD に接続		1200	1900	ns

Copyright © 2025 Texas Instruments Incorporated

T_J = -40℃～+150℃、V_{VM} = 4.5～65V (特に記述のない限り)。標準値には T_A = 25℃、V_{VM} = 24V が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{MIN_PULSE}	最小出力パルス幅	SLEW = 00b または SLEW ピンを AGND に接続	110			ns
電流検出アンプ						
G_{CSA}	電流センス ゲイン (SPI デバイス)	CSA_GAIN = 00		0.4		V/A
G_{CSA}	電流センス ゲイン (SPI デバイス)	CSA_GAIN = 01		1		V/A
G_{CSA}	電流センス ゲイン (SPI デバイス)	CSA_GAIN = 02		2.5		V/A
G_{CSA}	電流センス ゲイン (SPI デバイス)	CSA_GAIN = 03		5		V/A
G_{CSA}	電流センス ゲイン (HW デバイス)	GAIN ピンを AGND に接続		0.4		V/A
G_{CSA}	電流センス ゲイン (HW デバイス)	GAIN ピンをハイ インピーダンスへ		1		V/A
G_{CSA}	電流センス ゲイン (HW デバイス)	GAIN ピンを 47kΩ ± 5% で GVDD へ		2.5		V/A
G_{CSA}	電流センス ゲイン (HW デバイス)	GAIN ピンを GVDD に接続		5		V/A
G_{CSA_ERR}	電流センス ゲイン誤差	T_J = 25°C、0A ≤ LS FET 電流 ≤ 2.5A (OUTx から PGND への電流方向)	-4		4	%
		T_J = 25°C、2.5A ≤ LS FET 電流 ≤ 3.5A (OUTx から PGND への電流方向)	-5		5	%
		0A ≤ LS FET 電流 ≤ 2.5A (OUTx から PGND への電流方向)	-5		5	%
		2.5A ≤ LS FET 電流 ≤ 3.5A、(OUTx から PGND への電流の方向)	-5		8.7	%
G_{CSA_ERR}	電流センス ゲイン誤差	T_J = 25°C、0A ≤ LS FET 電流 ≤ 2A (PGND から OUTx への電流の方向)	-4		4	%
G_{CSA_ERR}	電流センス ゲイン誤差	0A ≤ LS FET 電流 ≤ 2A (PGND から OUTx への電流の方向)	-6		6	%
I_{MATCH}	A 相、B 相、C 相の間での電流センス ゲイン誤差のマッチング	T_A = 25℃	-5		5	%
			-5		5	%
FS_{POS}	フルスケールの正の電流測定	LS FET での PGND から OUTx への電流の方向、VREF = 3.3V	2			A
FS_{NEG}	フルスケールの負の電流測定	LS FET での OUTx から PGND への電流の方向、VREF = 3.3V			-3.5	A
V_{LINEAR}	SOx 出力電圧のリニア動作範囲		0.25		VREF-0.25	V
I_{OFFSET}	電流センス オフセット	T_J = 25°C、相電流 = 0A、VREF ≤ 3.6V	-20	-10	5	mA
I_{OFFSET}	電流センス オフセット	T_J = 25°C、相電流 = 0A、3.6V ≤ VREF ≤ 5.5V	-20	-10	10	mA
t_{SET}	±1% までのセトリング タイム、30 pF	SOX のステップ = 1.2V			1.2	µs
$t_{CSA_ON_DELAY}$	INLx ターンオンから電流センス アンプがオンになるまでの遅延	SR = 1000V/µs または 500V/µs または 250V/µs		500	700	ns
$t_{CSA_ON_DELAY}$	INLx ターンオンから電流センス アンプがオンになるまでの遅延	SR = 50V/µs		4300	5000	ns
I_{DRIFT}	オフセット ドリフト	相電流 = 0A	-60		60	µA/C
I_{VREF}	VREF 入力電流	VREF = 3.0V、nSLEEP = 0 または 1			15	µA
パルス単位の電流制限						
V_{LIM}	サイクル単位の電流制限の ILIMIT ピンの電圧		VREF/2		VREF - 0.25	V
V_{LIM_DIS}	サイクル電流制限の無効化における ILIMIT ピンの電圧		VREF		GVDD	V

Copyright © 2025 Texas Instruments Incorporated

T_J = -40℃～+150℃、V_{VM} = 4.5～65V (特に記述のない限り)。標準値には T_A = 25℃、V_{VM} = 24V が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{LIMIT}	VLIM ピンの電圧範囲に対応する電流制限		0		4	A
I_{LIM_AC}	電流制限精度	VREF = 3.3V、ILIMIT > 1A	-6		6	%
I_{LIM_AC}	電流制限精度	VREF = 3.3V、0.5A < ILIMIT < 1A	-10		10	%
t_{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 00b または 01b または 10b、ILIM_BLANK_SEL = 00b、HW バリアント		1.75		µs
t_{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 00b または 01b または 10b、ILIM_BLANK_SEL = 01b		2.25		µs
t_{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 00b または 01b または 10b、ILIM_BLANK_SEL = 10b		2.75		µs
t_{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 00b または 01b または 10b、ILIM_BLANK_SEL = 11b		3.75		µs
t_{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 11b、ILIM_BLANK_SEL = 00b、HW バリアント		5.5		µs
t_{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 11b、ILIM_BLANK_SEL = 01b		6		µs
t_{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 11b、ILIM_BLANK_SEL = 10b		6.5		µs
t_{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 11b、ILIM_BLANK_SEL = 11b		7.5		µs
保護回路						
V_{UVLO}	電源低電圧誤動作防止 (UVLO)	VM 立ち上がり	4.2	4.35	4.5	V
		VM 立ち下がり	4.0	4.15	4.3	V
V_{UVLO_HYS}	電源低電圧誤動作防止ヒステリシス	立ち上がりから立ち下がりへのスレッショルド	65	200	415	mV
t_{UVLO}	電源低電圧グリッチ除去時間		3	6	10	µs
V_{OVP}	電源過電圧保護 (OVP) (SPI デバイス)	電源立ち上がり、OVP_EN = 1、OVP_SEL = 0	60	62.5	65	V
		電源立ち下がり、OVP_EN = 1、OVP_SEL = 0	58	61	63.5	V
		電源立ち上がり、OVP_EN = 1、OVP_SEL = 1	32.5	34	35	V
		電源立ち下がり、OVP_EN = 1、OVP_SEL = 1	32	33	34	V
V_{OVP_HYS}	電源過電圧保護 (OVP) (SPI デバイス)	立ち上がりから立ち下がりまでのスレッショルド、OVP_SEL = 1	0.74	0.8	0.85	V
		立ち上がりから立ち下がりまでのスレッショルド、OVP_SEL = 0	1.35	1.45	1.55	V
t_{OVP}	電源過電圧グリッチ除去時間		2.5	6.5	12	µs
V_{CPUV}	チャージ ポンプ低電圧誤動作防止 (VM より上)	電源立ち上がり	2.1	2.7	3.2	V
		電源立ち下がり	1.8	2.45	2.95	V
V_{CPUV_HYS}	チャージ ポンプ UVLO のヒステリシス	立ち上がりから立ち下がりへのスレッショルド	105	150	200	mV
V_{AVDD_UV}	アナログ レギュレータ低電圧誤動作防止	電源立ち上がり	2.7	2.85	3	V
		電源立ち下がり	2.5	2.65	2.8	V
$V_{AVDD_UV_HYS}$	アナログ レギュレータ低電圧誤動作防止のヒステリシス	立ち上がりから立ち下がりへのスレッショルド	180	200	240	mV
V_{GVDD_UV}	GVDD レギュレータ低電圧誤動作防止	電源立ち上がり	3.1	3.3	3.5	V
V_{GVDD_UV}	GVDD レギュレータ低電圧誤動作防止	電源立ち下がり	2.9	3.1	3.3	V
$V_{GVDD_UV_HYS}$	アナログ レギュレータ低電圧誤動作防止のヒステリシス	立ち上がりから立ち下がりへのスレッショルド	145	190	265	mV
I_{OCP}	過電流保護トリップ ポイント (SPI デバイス)	OCP_LVL = 00b または 01b	4.5		9	A

Copyright © 2025 Texas Instruments Incorporated

T_J = -40℃～+150℃、V_{VM} = 4.5～65V (特に記述のない限り)。標準値には T_A = 25℃、V_{VM} = 24V が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{OCP}	過電流保護トリップ ポイント (SPI デバイス)	OCP_LVL = 10b または 11b	2.5		5	A
I_{OCP}	過電流保護トリップ ポイント (HW デバイス)	OCP ピンを AGND に接続または OCP ピンをハイ インピーダンスに設定	4.5		9	A
I_{OCP}	過電流保護トリップ ポイント (HW デバイス)	OCP を GVDD に接続	2.5		5	A
t_{OCP}	過電流保護グリッチ除去時間 (SPI デバイス)	OCP_DEG = 00b	0.2	0.6	1.2	µs
		OCP_DEG = 01b	0.6	1.25	1.8	µs
		OCP_DEG = 10b	1	1.6	2.5	µs
		OCP_DEG = 11b	1.4	2	3	µs
	過電流保護グリッチ除去時間 (HW デバイス)		0.6	1.25	2	µs
t_{RETRY}	過電流保護グリッチ除去時間 (SPI デバイス)	OCP_RETRY = 0	4	5	6	ms
		OCP_RETRY = 1	425	500	575	ms
t_{RETRY}	過電流保護グリッチ除去時間 (HW デバイス)		4	5	6	ms
T_{OTW}	過熱警告温度	ダイ温度 (T_J)	160	170	180	℃
T_{OTW_HYS}	過熱警告ヒステリシス	ダイ温度 (T_J)	25	30	35	℃
T_{TSD}	サーマル シャットダウン温度	ダイ温度 (T_J)	175	185	195	℃
T_{TSD_HYS}	サーマル シャットダウン ヒステリシス	ダイ温度 (T_J)	25	30	35	℃

6.6 SPI のタイミング要件

		最小値	公称値	最大値	単位
t_{READY}	パワーアップ後、SPI レディまで			1	ms
t_{HI_nSCS}	nSCS 最小 HIGH 時間	400			ns
t_{SU_nSCS}	nSCS 入力セットアップ時間	25			ns
t_{HD_nSCS}	nSCS 入力ホールド時間	25			ns
t_{SCLK}	SCLK の最小周期	100			ns
t_{SCLKH}	SCLK 最小 High 時間	50			ns
t_{SCLKL}	SCLK の最小 Low 時間	50			ns
t_{SU_SDI}	SDI 入力データ セットアップ時間	25			ns
t_{HD_SDI}	SDI 入力データ ホールド時間	25			ns
t_{DLY_SDO}	SDO 出力データ遅延時間			25	ns
t_{EN_SDO}	SDO イネーブル遅延時間			50	ns
t_{DIS_SDO}	SDO ディスエーブル遅延時間			50	ns

Copyright © 2025 Texas Instruments Incorporated

6.7 SPI スレーブ モードのタイミング

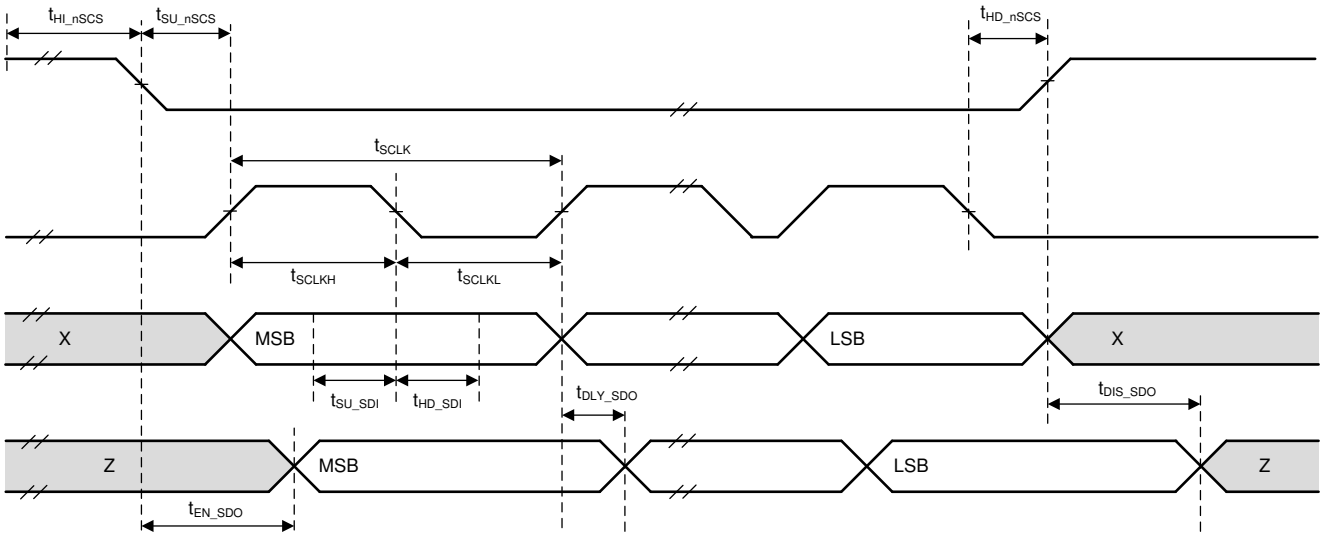


図 6-1. SPI セカンダリ モードのタイミング

6.8 代表的特性

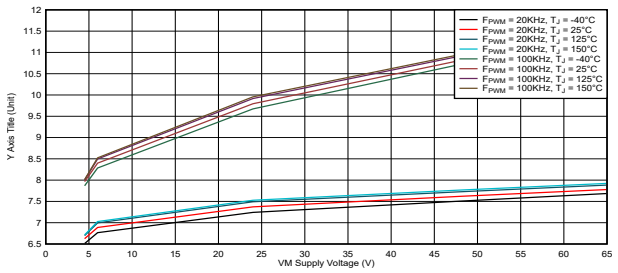


図 6-2. 電源電圧に対する電源電流

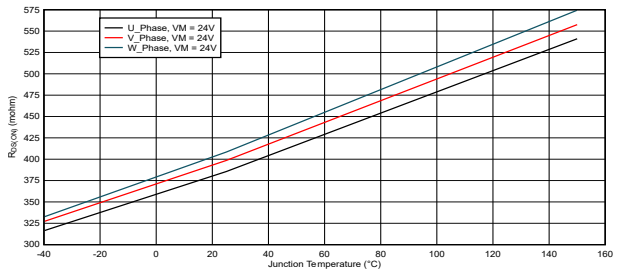


図 6-3. MOSFET の過熱の $R_{DS(ON)}$ (ハイサイドとローサイドの合計)

Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

DRV8376 デバイスは、3 相モータ ドライブ アプリケーション向けの 400mΩ (ハイサイド + ローサイド MOSFET オン抵抗の合計) 統合型ドライバです。このデバイスは、3 つのハーフ ブリッジ MOSFET、ゲート ドライバ、チャージ ポンプ、電流センス アンプ、外部負荷用リニア レギュレータを統合することで、システムの部品点数、コスト、複雑さを低減しています。標準のシリアル ペリフェラル インターフェイス (SPI) を使うと、デバイスの各種設定とフォルト診断情報の読み出しを外部コントローラから簡単に行うことができます。また、ハードウェア インターフェイス (H/W) オプションを選択した場合、固定の外部抵抗を使用して、ごく一般的な設定を行うことができます。

このアーキテクチャでは、短絡イベントや内部パワー MOSFET の dv/dt 寄生ターンオンから保護するために、内部ステート マシンを使用しています。

DRV8376 デバイスには、内蔵の電流センスを使用して各ローサイド MOSFET を流れる電流を監視するための 3 つの双方向電流センス アンプが統合されています。電流センス アンプのゲイン設定は、SPI またはハードウェア インターフェイスを介して調整できます。

高いレベルでデバイスが統合されていることに加え、DRV8376 デバイスには、広範な保護機能も組み込まれています。これらの機能には、電源の低電圧誤動作防止 (UVLO)、チャージ ポンプの低電圧誤動作防止 (CPUV)、過電流保護 (OCP)、AVDD と GVDD 低電圧誤動作防止 (AVDD_UV、GVDD_UV)、および過熱警告シャットダウン (OTW と OTSD) などが含まれます。フォルト イベントは nFAULT ピンにより通知され、SPI 版のデバイスでは SPI レジスタで詳細情報を取得できます。

DRV8376 デバイスは、VQFN 表面実装パッケージで提供されています。この VQFN パッケージのサイズは 6mm × 5mm です。

Copyright © 2025 Texas Instruments Incorporated

7.2 機能ブロック図

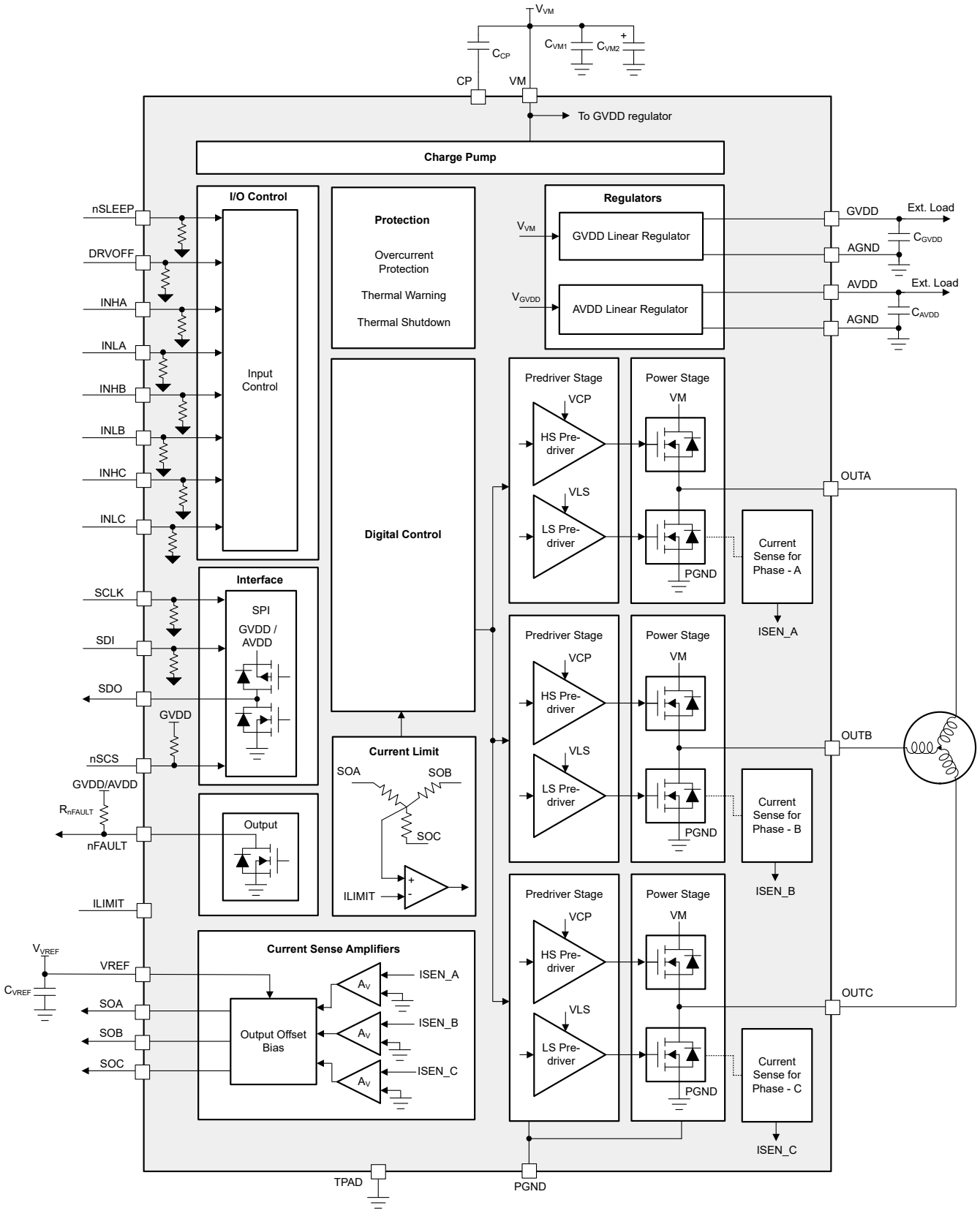


図 7-1. DRV8376S のブロック図

Copyright © 2025 Texas Instruments Incorporated

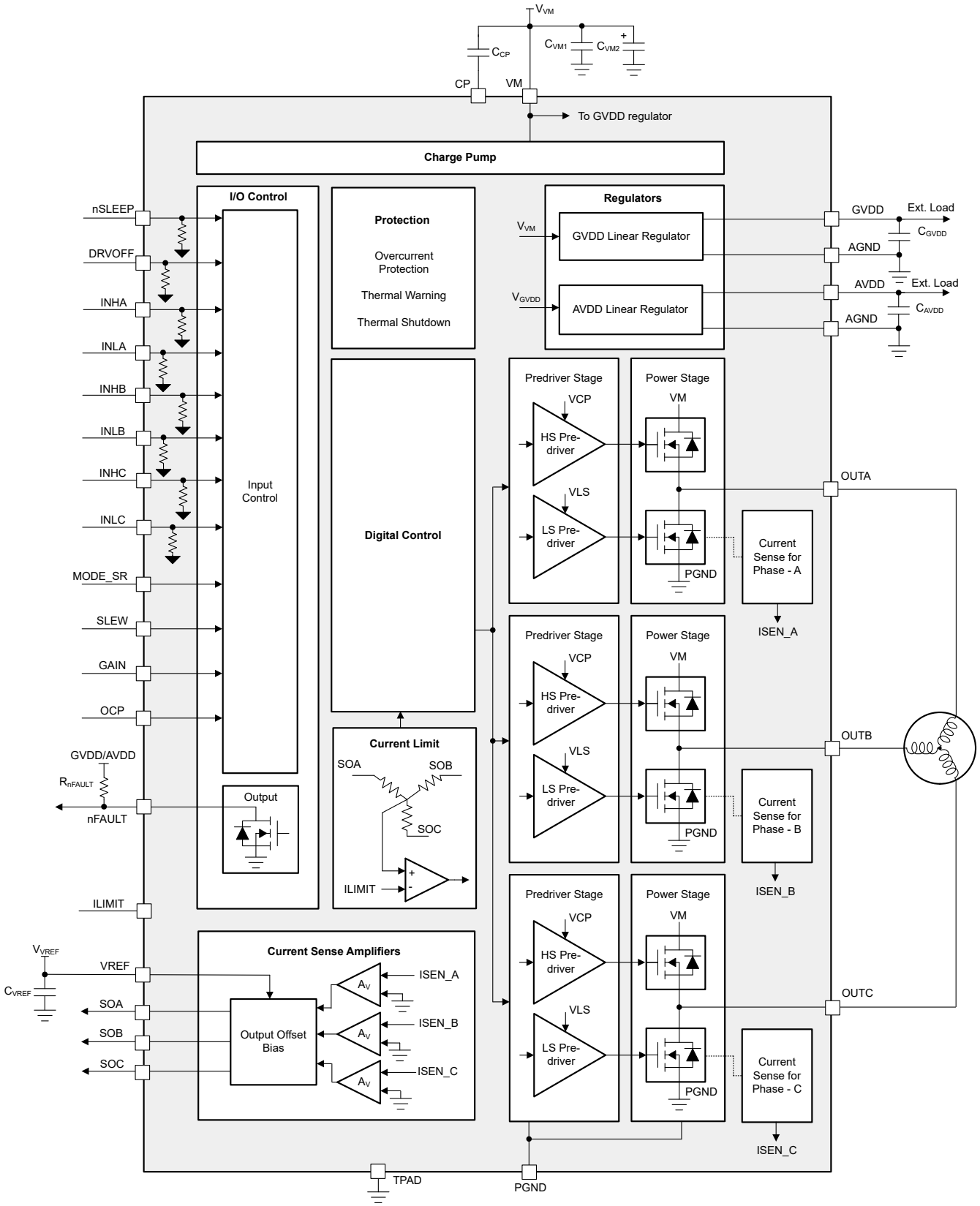


図 7-2. DRV8376H のブロック図

7.3 機能説明

表 7-1 に、ドライバの外付け部品の推奨値を示します。

表 7-1. DRV8376 の外付け部品

部品	ピン 1	ピン 2	推奨
C_{VM1}	VM	PGND	X5R または X7R、0.1µF。コンデンサの電圧定格を、本デバイスの通常動作電圧の 2 倍以上とすることを推奨します。
C_{VM2}	VM	PGND	≧ 10µF。コンデンサの電圧定格を、本デバイスの通常動作電圧の 2 倍以上とすることを推奨します。
C_{CP}	CP	VM	X5R または X7R、16V、0.1µF コンデンサ
C_{GVDD}	GVDD	AGND	X5R または X7R、1µF、≥ 10V
C_{AVDD}	AVDD	AGND	X5R または X7R、0.1µF、≥ 6.3V
R_{nFAULT}	AVDD/GVDD	nFAULT	5.1kΩ、プルアップ抵抗
R_{MODE_SR}	MODE_SR	AGND または GVDD	DRV8376H ハードウェア インターフェイス
R_{SLEW}	SLEW	AGND または GVDD	DRV8376H ハードウェア インターフェイス
R_{OCP}	OCP	AGND または GVDD	DRV8376H ハードウェア インターフェイス
R_{GAIN}	ゲイン	AGND または GVDD	DRV8376H ハードウェア インターフェイス
C_{VREF}	VREF	AGND	X5R または X7R、0.1µF、VREF 定格コンデンサ (オプション)

注

nFAULT が使われない場合でも、内部テスト モードへの望ましくない移行を避けるため、nFAULT にプルアップを接続することを TI は推奨しています。外部電源を使用して nFAULT をプルアップする場合は、パワーアップ時に nFAULT が >2.2V にプルされていることを確認します。

7.3.1 出力段

DRV8376 デバイスは、3 相ブリッジ構成で接続された統合型 400mΩ (ハイサイドとローサイドの各 FET のオン抵抗の合計) の NMOS FET で構成されています。ダブラー チャージ ポンプが、100% のデューティ サイクルをサポートしつつ、広い動作電圧範囲にわたって適切なゲート バイアス電圧をハイサイド NMOS FET に供給します。ローサイド MOSFET 用のゲート バイアス電圧は、内部リニア レギュレータが供給します。

Copyright © 2025 Texas Instruments Incorporated

7.3.2 制御モード

DRV8376 ファミリのデバイスには、さまざまな整流方式や制御方式をサポートするために、4 種類の制御モードが用意されています。表 7-2 に、DRV8376 デバイスのさまざまなモードが示されています。

表 7-2. PWM 制御モード

MODE のタイプ	MODE_SR ピン (ハードウェア バリアント)	PWM_MODE ビット (SPI バリアント)	SR ビット (SPI バリアント)	PWM モード	ASR および AAR モード
モード 1	AGND に接続	PWM_MODE = 00b	EN_ASR = 0、EN_AAR = 0	6x モード	ASR および AAR は無効化
モード 2	ハイ インピーダンス	PWM_MODE = 01b	EN_ASR = 1、EN_AAR = 0	6x モード	ASR は有効化、AAR は無効化
モード 3	R_{MODE} で GVDD に接続	PWM_MODE = 10b	EN_ASR = 0、EN_AAR = 0	3x モード	ASR および AAR は無効化
モード 4	GVDD に接続	PWM_MODE = 11b	EN_ASR = 1、EN_AAR = 0	3x モード	ASR は有効化、AAR は無効化

注

MODE_SR ピンは検出され、または PWM_MODE レジスタはパワーアップ中のみ読み出されます。そして、本デバイスは動作中の MODE_SR/PWM_MODE の変更をサポートしていません。

7.3.2.1 6x PWM モード (PWM_MODE = 00b または 01b または MODE_SR ピンを AGND またはハイ インピーダンスに接続)

6x PWM モードでは、ハーフブリッジごとに Low、High、ハイ インピーダンス (Hi-Z) の 3 つの出力状態がサポートされます。表 7-3 に示すように、対応する INHx および INLx 信号で出力状態を制御します。

表 7-3. 6x PWM モードの真理値表

INLx	INHx	PHASEx
0	0	ハイ インピーダンス
0	1	H
1	0	L
1	1	ハイ インピーダンス

図 7-3 には、6x PWM モードで構成された DRV8376 のアプリケーション図が示されています。

Copyright © 2025 Texas Instruments Incorporated

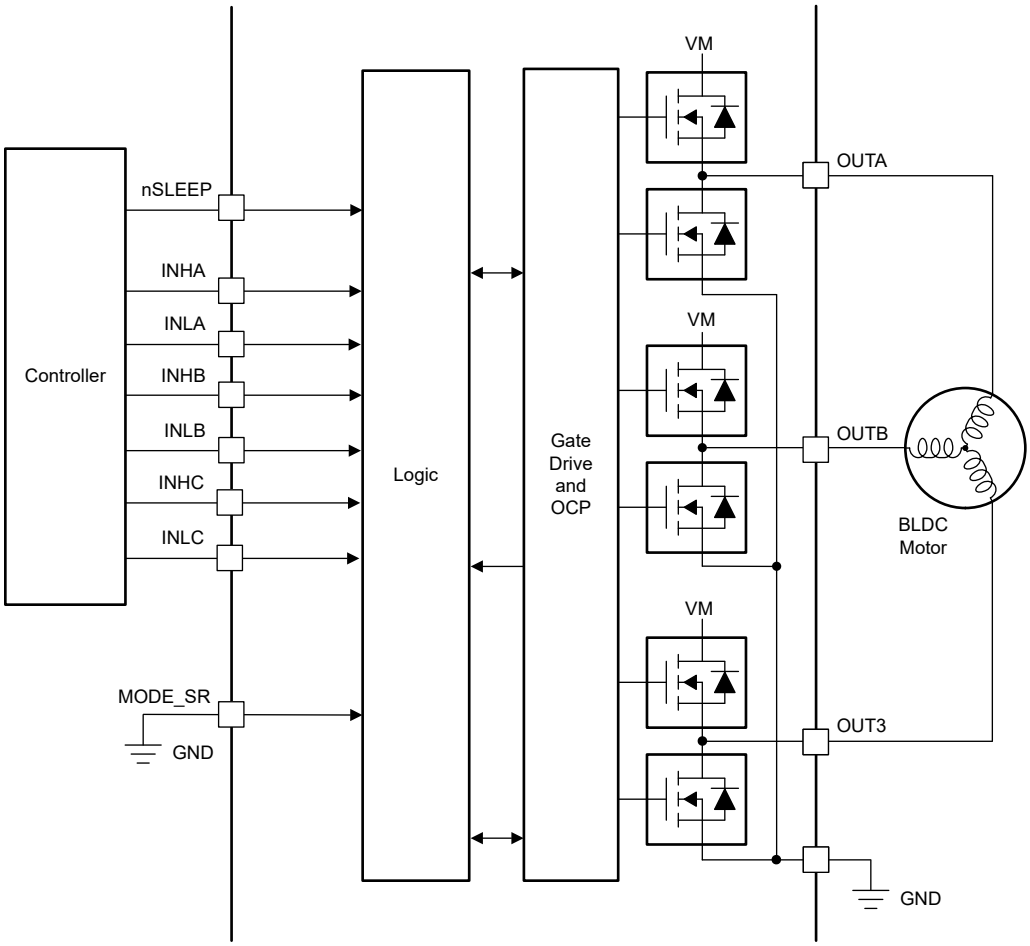


図 7-3. 6x PWM モード

Copyright © 2025 Texas Instruments Incorporated

7.3.2.2 3x PWM モード (PWM_MODE = 10b または 11b または MODE_SR ピンを GVDD または R_{MODE} で GVDD に接続)

この 3x PWM モードでは、INHx ピンで各ハーフブリッジを制御し、Low または High の 2 つの出力状態がサポートされます。INLx ピンは、ハーフブリッジをハイ インピーダンス状態にするために使用します。ハイ インピーダンス状態にする必要がない場合は、すべての INLx ピンをロジック High に固定してください。表 7-4 に示すように、対応する INHx および INLx 信号で出力状態を制御します。

表 7-4. 3x PWM モードの真理値表

INLx	INHx	PHASEx
0	X	ハイ インピーダンス
1	0	L
1	1	H

図 7-4 には、3x PWM モードで構成された DRV8376 のアプリケーション図が示されています。

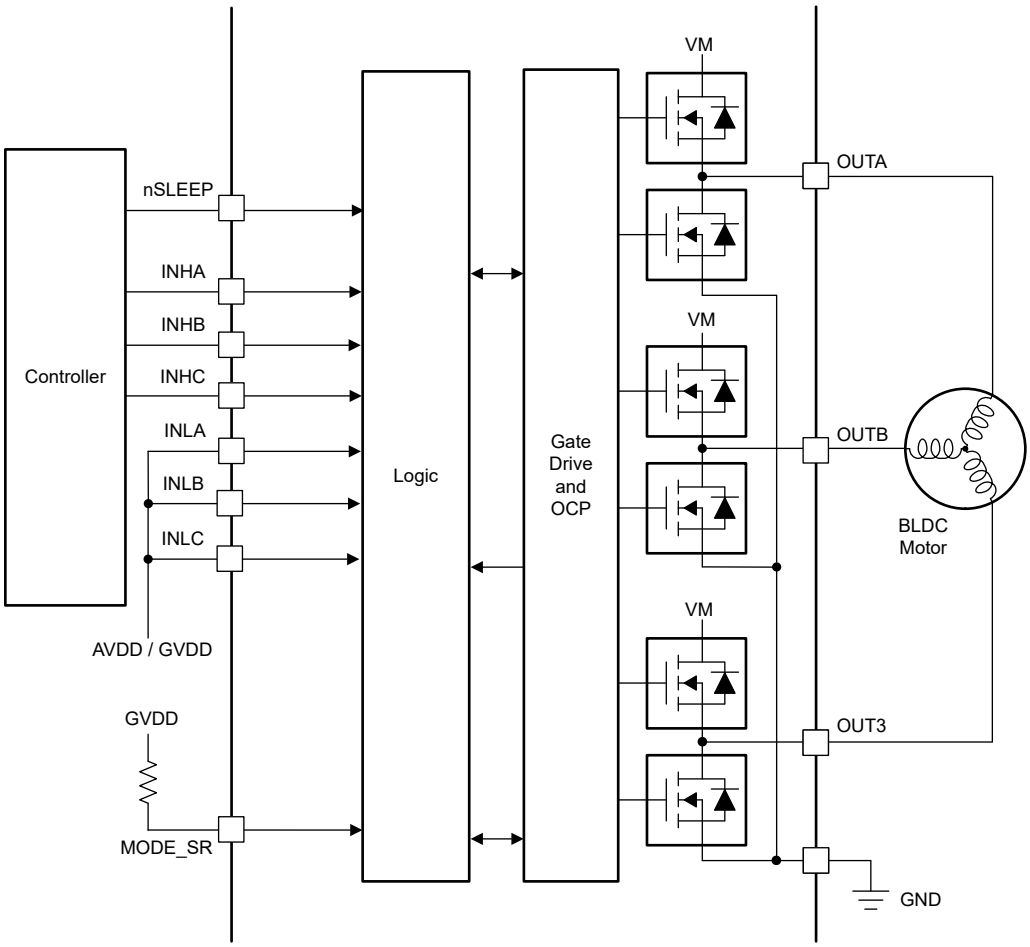


図 7-4. 3x PWM モード

7.3.3 デバイス インターフェイス モード

DRV8376 ファミリのデバイスでは、最終的なアプリケーションを柔軟な設計にするか単純な設計にするか選択できるように、2 種類のインターフェイス モード (SPI とハードウェア) をサポートしています。2 つのインターフェイス モードで同じ 4 つのピンが共有されているので、異なるバージョン間でのピン互換が実現します。こうした互換性の高さから、アプリケーション設計者は、設計に最小限の変更を加えるだけで、評価に使用するインターフェイス バージョンを切り替えることができます。

7.3.3.1 シリアル・ペリフェラル・インターフェイス (SPI)

SPI デバイスは、外部コントローラと DRV8376 の間でデータを送受信できるシリアル通信バスをサポートしています。これにより、外部コントローラはデバイスを設定し、詳細なフォルト情報を読み出すことができます。インターフェイスは、SCLK、SDI、SDO、nSCS ピンを使用する 4 線式インターフェイスです。以下の説明をご覧ください。

- SCLK ピンは、クロック信号を受け付けて SDI と SDO ピン上のデータの収集と伝搬のタイミングを決める入力ピンです。
- SDI ピンはデータ入力です。
- SDO ピンはデータ出力です。SDO ピンは、SDO_MODE を通してオープン ドレインまたはプッシュプルに構成できます。
- nSCS ピンはチップ選択入力です。このピンに論理 Low 信号を印加すると、SPI 通信がイネーブルになります。

SPI の詳細については、「*セクション 7.5*」セクションを参照してください。

7.3.3.2 ハードウェア インターフェイス

ハードウェア インターフェイス デバイスでは、4 つの SPI ピンが抵抗によって設定可能な 4 つの入力、GAIN、SLEW、MODE_SR、OCP に変換されます。

ハードウェア インターフェイスを使用すると、アプリケーション設計者は、ピンをロジック High またはロジック Low に接続するか、単純なプルアップまたはプルダウン抵抗を使用して、最も一般的なデバイスを構成できます。外部コントローラには SPI バスが不要になります。全般的なフォルト情報は、引き続き nFAULT ピンを介して取得できます。

- GAIN ピンでは電流センス アンプのゲインを設定します。
- SLEW ピンでは出力電圧のスルーレートを設定します。
- MODE_SR では PWM 制御モードを設定します。
- OCP ピンは、OCP レベルの設定に使用されます。

ハードウェア インターフェイスの詳細については、*セクション 7.3.9* セクションを参照してください。

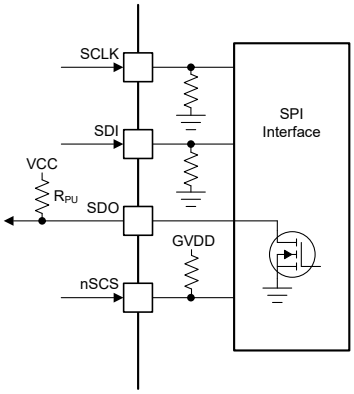


図 7-5. DRV8376S SPI

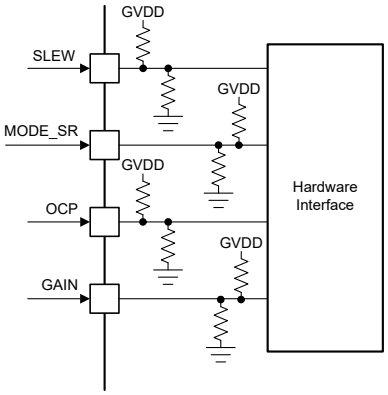


図 7-6. DRV8376H ハードウェア インターフェイス

注

VCC は外部プルアップ電圧

Copyright © 2025 Texas Instruments Incorporated

7.3.4 AVDD および GVDD リニア電圧レギュレータ

DRV8376 デバイス ファミリは、DRV83763.3V および 5V リニア レギュレータを内蔵しており、外部回路で利用できます。AVDD および GVDD レギュレータは、デバイスの内部デジタル回路に電力を供給します。また、低消費電力マイコンや他の低電流 (最大 30mA) をサポートする回路に電圧を供給することもできます。X5R または X7R、0.1µF、6.3V のセラミック コンデンサを AVDD ピンの近くに配置して AVDD レギュレータの出力をバイパスし、コンデンサを隣接する AGND グランド ピンに直接配線します。X5R または X7R、1µF、10V のセラミック コンデンサを GVDD ピンの近くに配置して GVDD レギュレータの出力をバイパスし、隣接する AGND グランド ピンに直接接続します。

AVDD の公称無負荷出力電圧は 3.3V です。

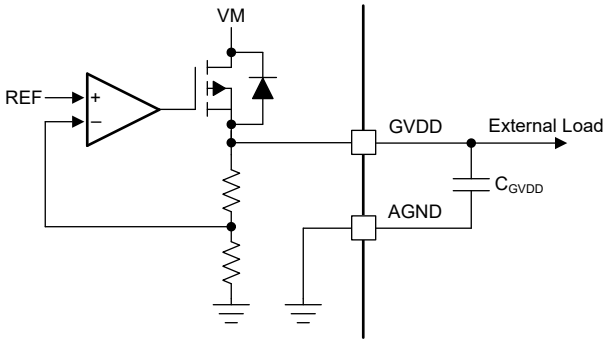


図 7-7. GVDD リニア レギュレータのブロック図

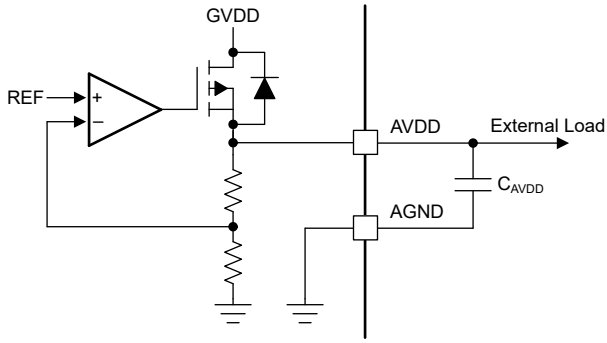


図 7-8. AVDD リニア レギュレータのブロック図

式 1 および 式 2 を使用して、VM を電源とする AVDD および GVDD リニア レギュレータによってデバイス内で消費される電力を計算します。

$$P = (V_{VM} - V_{AVDD}) \times I_{AVDD} \quad (1)$$

$$P = (V_{VM} - V_{GVDD}) \times I_{GVDD} \quad (2)$$

例えば、V_{VM} = 24V の場合、AVDD から 20mA の電流が流れると、消費電力は 式 3 のようになります。

$$P = (24\ V - 3.3\ V) \times 20\ mA = 414\ mW \quad (3)$$

注

リニアレ ギュレータ AVDD および GVDD の両方からの合計外部電流サポートは 30mA に制限されます。外部負荷の 30mA が AVDD に接続されている場合、外部負荷を GVDD に接続しないでください。または、その逆も行わないでください。

Copyright © 2025 Texas Instruments Incorporated

7.3.5 チャージ ポンプ

出力段では N チャネル FET を使用しているので、ハイサイド FET を完全に拡張にするには、VM 電源よりも高いゲート駆動電圧が必要です。DRV8376 は、この目的のために、VM 電源よりも高い電圧を生成するチャージ ポンプ回路を内蔵しています。

チャージ ポンプを動作させるには、1 つの外付けコンデンサが必要です。これらのコンデンサの詳細 (値、接続など) については、ブロック図、ピンの説明、セクション (セクション 7.3) を参照してください。

nSLEEP が Low になるか、または過熱シャットダウンが実行されると、チャージ ポンプはシャットダウンします。

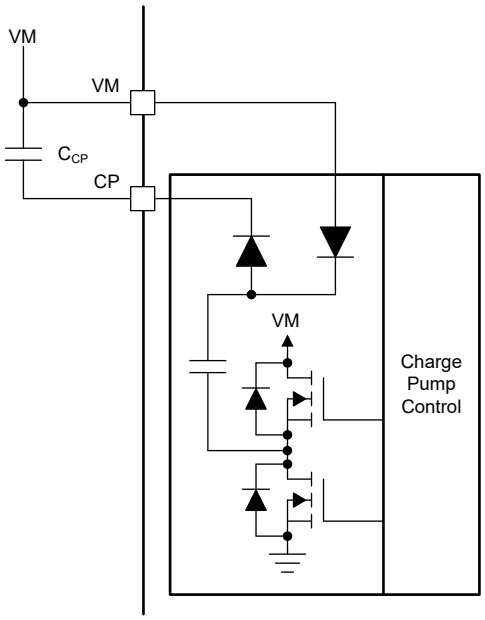


図 7-9. DRV8376 チャージポンプ

Copyright © 2025 Texas Instruments Incorporated

7.3.6 スルー レート制御

調整可能なゲート ドライブ電流制御により、ハーフブリッジ内の MOSFET がアクティブに管理されてスルーレート制御が達成されます。MOSFET VDS スルーレートは、放射エミッション、エネルギーとダイオード回復スパイク期間、寄生によって発生するスイッチング電圧過の最適化に重大な影響を及ぼします。図 7-10 に示されているように、これらのスルーレートは、主に内部 MOSFET へのゲート電荷率によって決まります。

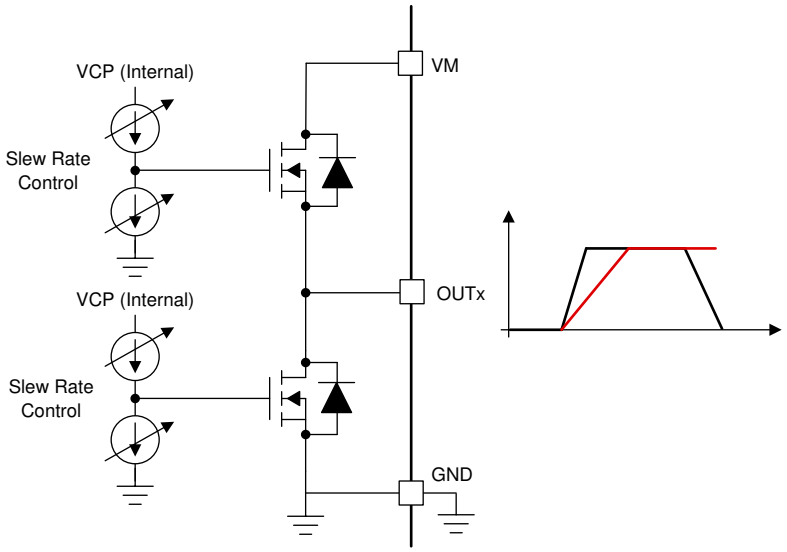


図 7-10. スルーレート回路の実装

各ハーフブリッジのスルーレートは、ハードウェア デバイス バリアントでは SLEW ピンによって、SPI デバイス バリアントでは SLEW ビットを使用して調整することが可能です。各ハーフブリッジは、スルーレート設定として 1.1V/ns、0.5V/ns、0.25V/ns、0.05V/ns のいずれかを選択できます。スルーレートは、OUTx ピンの電圧の立ち上がり時間と立ち下がり時間によって計算されます (図 7-11 を参照)。

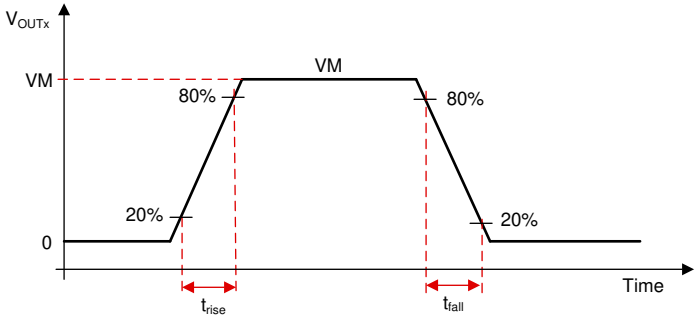


図 7-11. スルーレート タイミング

注

パワーアップ時にのみ SLEW ピンが検出されます。DRV8376H デバイスは、動作中のスルーレート変化をサポートしていません。スルーレートは、DRV8376S デバイスのレジスタ書き込みにより、動作中に変更できます。動作中にスルーレートを変更しないことを TI は推奨しています。

7.3.7 クロス導通 (デッド タイム)

このデバイスは、MOSFET のクロス導通に対して包括的な保護が施されています。ハーフブリッジ構成では、デッドタイム (t_{DEAD}) を挿入することで貫通電流を回避するため、ハイサイドおよびローサイド MOSFET の動作が維持されます。これは、ハイサイドおよびローサイド MOSFET のゲート - ソース電圧 (VGS) を検出することで実行され、同じハーフブリッジのローサイド MOSFET をオンにする前に、ハイサイド MOSFET の VGS がターンオフ レベルを確実に下回るようにしています (図 7-12 および 図 7-13 を参照)。

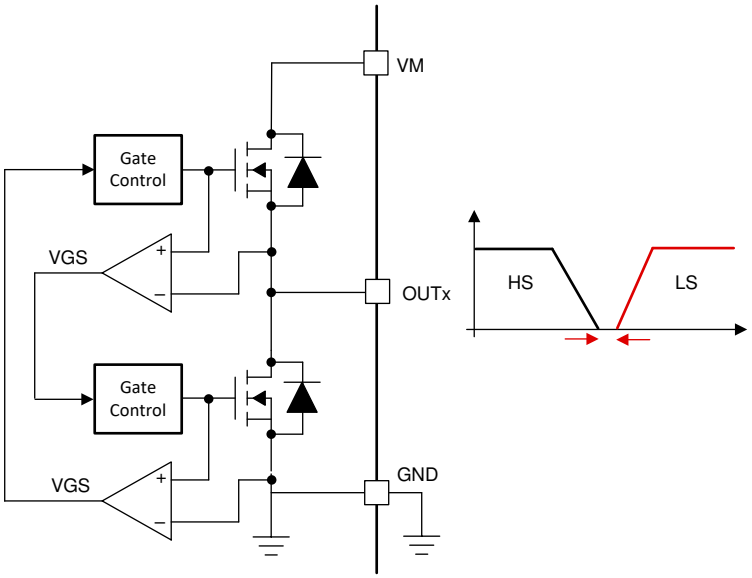


図 7-12. クロス導通保護

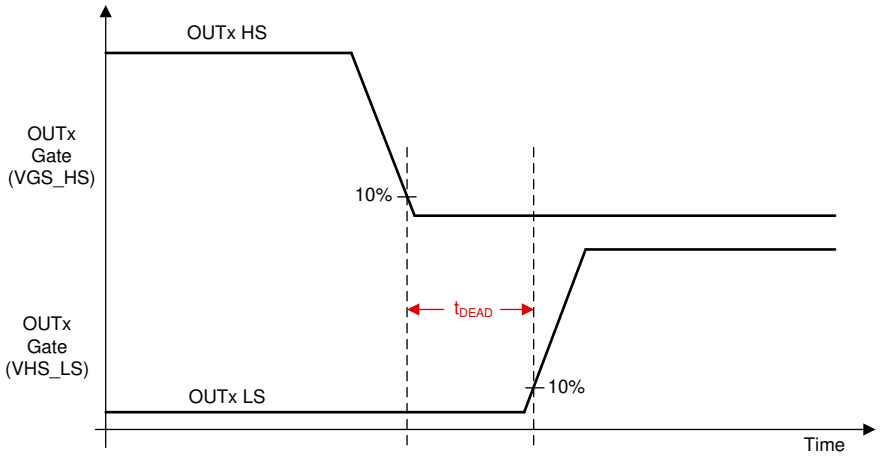


図 7-13. デッド タイム

Copyright © 2025 Texas Instruments Incorporated

7.3.8 伝搬遅延

伝播遅延時間 (t_{pd}) は、入力ロジック エッジからゲート ドライバ電圧での変化が検出されるまでの時間として測定されます。

注

電流制限モードまたはアクティブ消磁モードでは、入力コマンドがデバイス全体に伝搬されるため、わずかなデジタル遅延が追加され、このモード中に最大 300ns 増加する可能性があります。

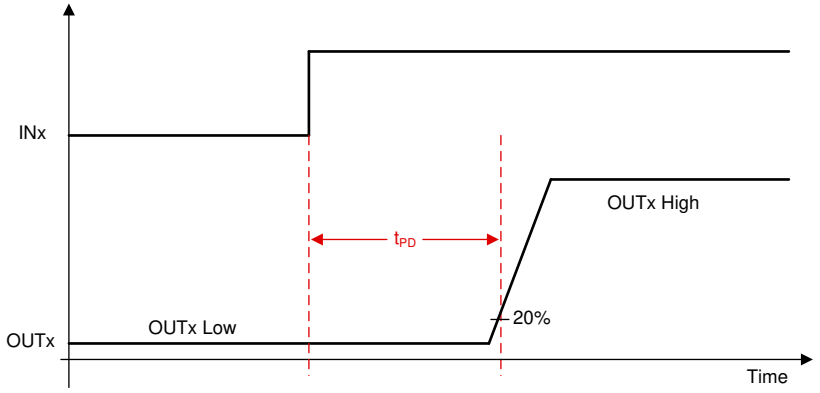


図 7-14. 伝搬遅延のタイミング

7.3.9 ピン配置図

このセクションには、すべてのデジタル入出力ピンの I/O 構造が示されています。

7.3.9.1 ロジック レベル入力ピン (内部プルダウン)

図 7-15 に、ロジック レベル ピン、DRVOFF、INHx、INLx、nSLEEP、SCLK、SDI の入力構造が示されています。入力は電圧または外部抵抗で行うことができます。内部プルダウン抵抗を介したリーク電流を低減させるため、デバイスのスリープ モードでこれらのピンを Low にすることが推奨されます。

STATE	CONNECTION
V_{IH}	Tied to GVDD/AVDD
V_{IL}	Tied to GND

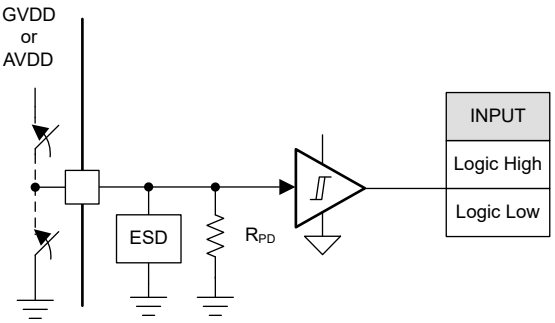


図 7-15. ロジック レベル入力ピンの構造

7.3.9.2 ロジック レベル入力ピン (内部プルアップ)

図 7-16 に、ロジック レベル ピン nSCS の入力構造が示されています。入力は電圧または外部抵抗で駆動できます。

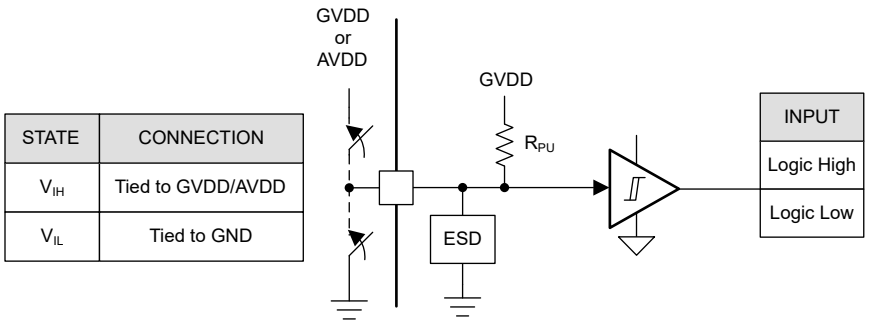


図 7-16. ロジック nSCS

7.3.9.3 オープン ドレイン ピン

図 7-17 に、オープン ドレイン モードでのオープン ドレイン出力ピン、nFAULT、SDO の構造が示されています。オープン ドレイン出力を適切に機能させるためには、外部プルアップ抵抗が必要です。

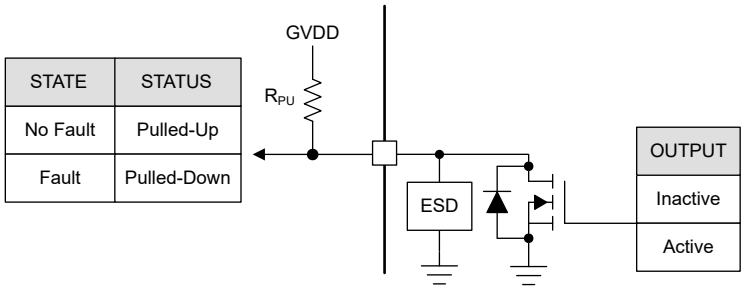


図 7-17. オープン ドレイン

7.3.9.4 プッシュプル ピン

図 7-18 に、プッシュプル モードでの SDO の構造が示されています。プッシュプル モードの SDO 電源は、SDO_VSEL を設定することで、GVDD または AVDD に選択できます。

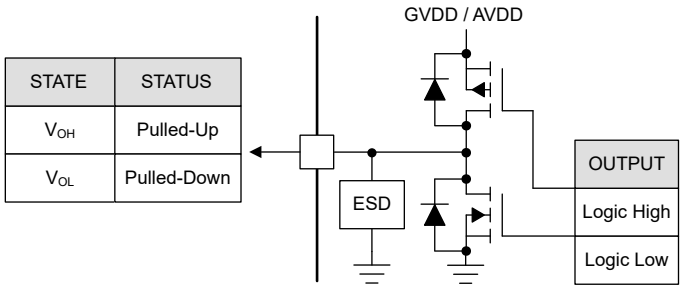


図 7-18. プッシュ プル

7.3.9.5 4 レベル入力ピン

図 7-19 に、ハードウェア インターフェイス デバイス上の 4 レベル入力ピンである GAIN、MODE、_SR、SLEW、OCP の構造が示されています。入力は外付け抵抗で設定できます。

Copyright © 2025 Texas Instruments Incorporated

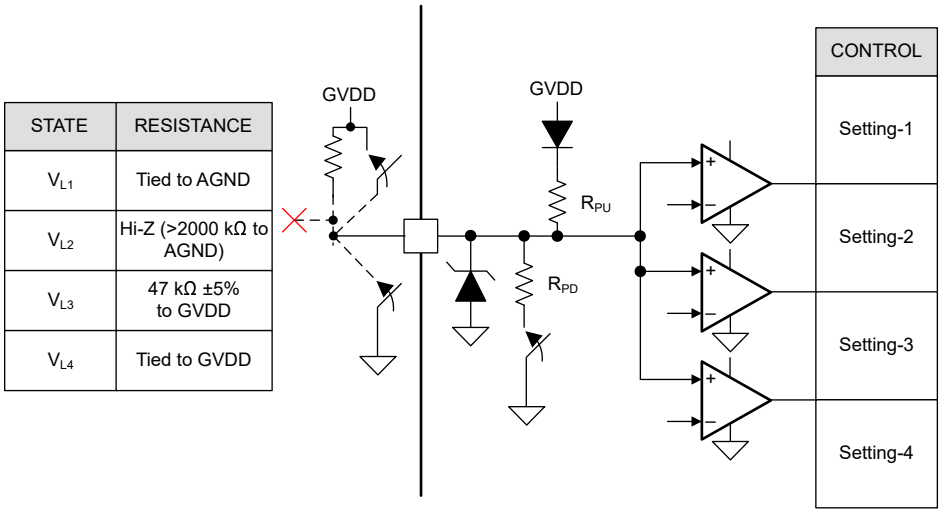


図 7-19. 4 レベル入力ピンの構造

7.3.10 電流センス アンプ

DRV8376 は、内蔵電流センシングを使った電流測定のために、3 つの高性能ローサイド電流センス アンプを内蔵しています。ローサイド電流測定は、一般に過電流保護、外部トルク制御、または外部コントローラによるブラシレス DC 整流の実装に使用されます。この 3 つのすべてのアンプは、各ハーフブリッジ レグの電流センシングに使用できます (ローサイド FET)。電流センス アンプには、プログラマブル ゲインなどの機能が含まれており、電圧リファレンス ピン (VREF) で外部リファレンスが提供されます。

7.3.10.1 電流センス アンプの動作

DRV8376 の SO ピンは、ローサイド FET を流れる電流にゲイン設定 (CSA) を乗算した値に比例するアナログ電圧を出力します。ゲイン設定は、GAIN ピン (ハードウェア デバイス バリアント) または GAIN ビット (SPI デバイス バリアント) で設定できる 4 つの異なるレベルの間で調整できます。

図 7-20 に、電流センス アンプの内部アーキテクチャが示されています。電流センスは、DRV8376 デバイスの各ローサイド FET のセンス FET で実装されています。この電流情報は内部 I/V コンバータに供給され、VREF ピンの電圧とゲイン設定に基づいて SO ピンに CSA 出力電圧を生成します。CSA の出力電圧は以下のように計算できます。

$$SOX = \left({V_{REF}}/{2}\right) \pm GAIN \times I_{OUTX} \quad (4)$$

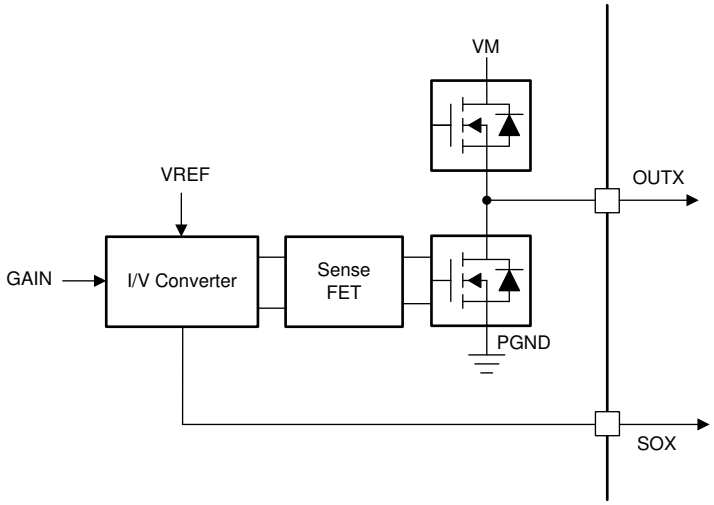


図 7-20. 電流センス アンプ内蔵

Copyright © 2025 Texas Instruments Incorporated

図 7-21 および 図 7-22 に、アンプの動作範囲の詳細が示されています。双方向動作では、0V 入力の場合、アンプは出力を VREF/2 に設定します。差動入力の変化によって、出力に対応する変化が生じ、CSA_GAIN 係数を乗算した値が得られます。このアンプは、定義されたリニア領域内で動作を維持します。

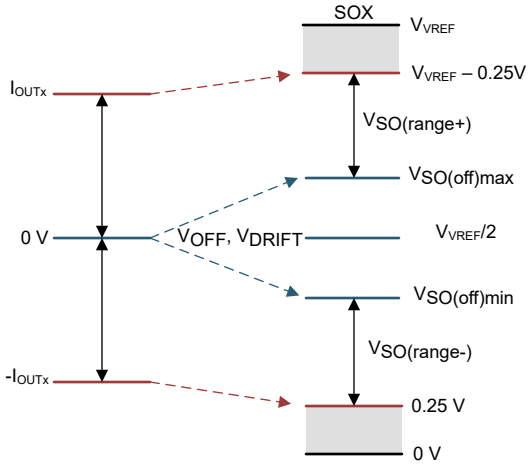


図 7-21. 双方向電流検出の出力

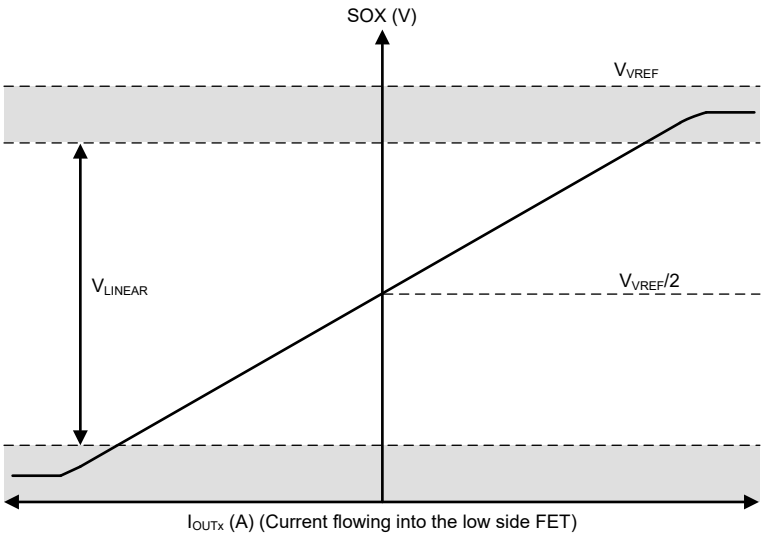


図 7-22. 双方向電流検出の領域

注

電流センス アンプは、出力で連続的な電流負荷をサポートするようには設計されておらず、出力での容量性負荷のみをサポートしています。電流センス アンプの出力で、ローパス フィルタを抵抗およびコンデンサに接続することを TI は推奨しています。

注

この電流センス アンプは、動的なゲインの変更をサポートしています。HW バリアントでは、システムがピンセンシングを通じてゲインを 1ms ごとにサンプリングし、SPI バリアントでは、システムが SPI 書き込みを通じてゲインを更新します。ゲイン変更コマンドを受信した後、システムはいずれかの INLx 信号の次の立ち下がりエッジで 3 つの電流センス アンプすべてに新しいゲインを適用します。

Copyright © 2025 Texas Instruments Incorporated

7.3.11 アクティブ消磁

DRV8376 ファミリは、ダイオードの導通損失を低減することで、本デバイス内の電力損失を低減させるスマート整流機能 (アクティブ消磁) を備えています。この機能が有効化されている場合、本デバイスはダイオード導通を検出すると常に、対応する MOSFET を自動的にターンオンさせます。この機能は、ハードウェアバリアントの MODE_SR ピンにより構成できます。SPI デバイス バリアントでは、EN_ASR および EN_AAR ビットによってこれを構成できます。スマート整流は、自動同期整流 (ASR) モードと自動非同期整流 (AAR) モードの 2 つのカテゴリに分類されます。これらについては、以下のセクションの説明をご覧ください。

注

SPI デバイス バリアントでは、アクティブ消磁を有効にするには、EN_ASR と EN_AAR を両方のビットを 1 に設定する必要があります。

DRV8376 デバイスは、各ハーフブリッジで負の内部電流を検出するハイサイド (AD_HS) およびローサイド (AD_LS) コンパレータを内蔵しています。AD_HS コンパレータはセンス FET 出力を電源電圧 (VM) スレッショルドと比較し、AD_LS コンパレータはグランド (0V) スレッショルドと比較します。電流の流れ方 (OUTx から VM、または PGND から OUTx) に応じて、AD_HS または AD_LS コンパレータがトリップします。このコンパレータは、アクティブ消磁機能が動作するための基準点となります。

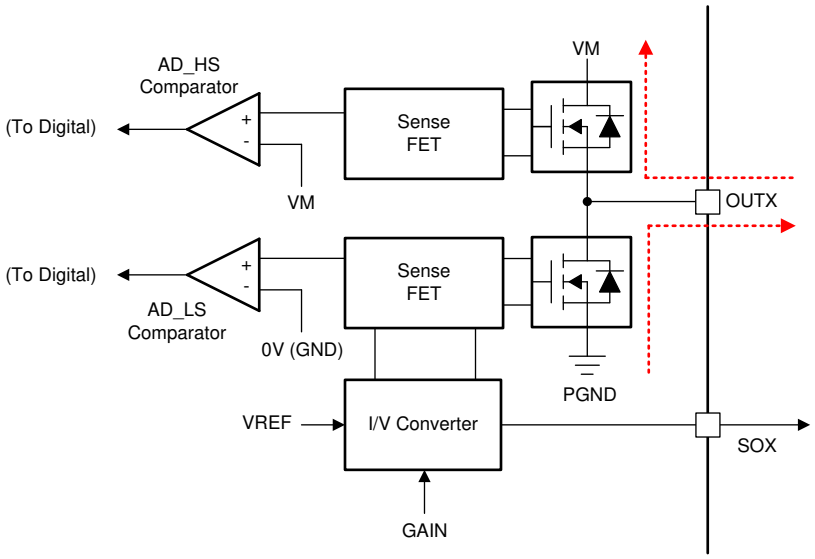


図 7-23. アクティブ消磁動作

表 7-2 に、DRV8376 デバイスの ASR および AAR モードの構成が示されています。

注

OCP イベント時に、アクティブ消磁が無効化されます。

7.3.11.1 自動同期整流モード (ASR モード)

自動同期整流 (ASR) モードは、整流中の ASR と PWM モード時の ASR の 2 つのカテゴリに分けられます。

7.3.11.1.1 転流時の自動同期整流

図 7-24 に、BLDC モーター整流中のアクティブ消磁の動作を示します。図 7-24 (a) に示すように、ある整流状態において、電流は HA から LC に流れています。図 7-24 (b) に示されているように、整流を切り換える間、HB スイッチはターンオンし、(モーター インダクタンスによる) OUTA の整流電流が LA のボディ ダイオードを流れます。これにより、整流電流によるダイオード損失が大きくなります。図 7-24 (c) に示されているように、この整流損失は、整流時間の間 LA をターンオンさせることで減少します。

Copyright © 2025 Texas Instruments Incorporated

図 7-24 (d)、(e)、(f) に示されているように、ハイサイド FET の動作は同様に実行されます。

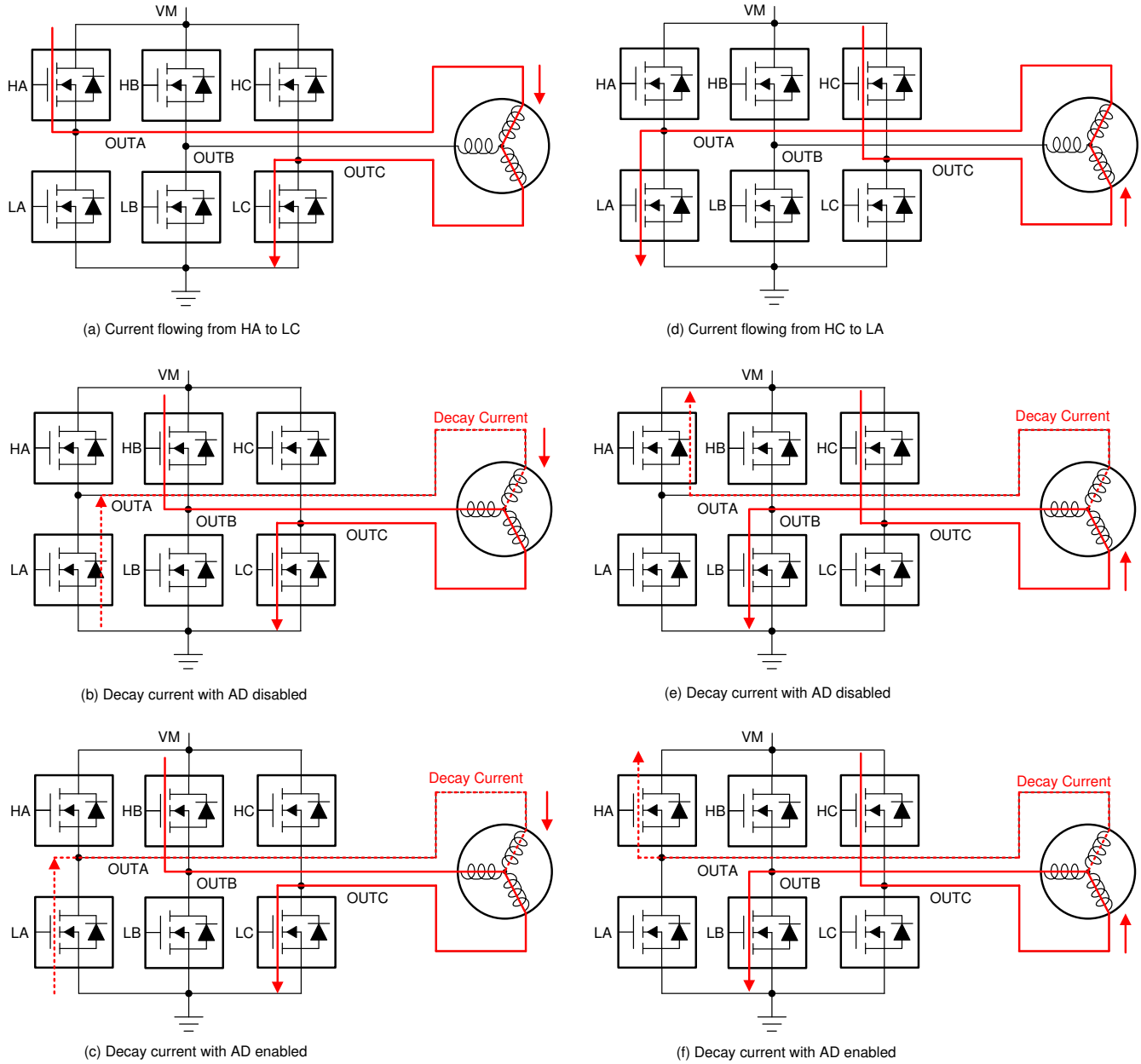


図 7-24. BLDC モーター整流における ASR

図 7-25 (a) に、台形波整流で動作している BLDC モーターの自動同期整流モードに対する BLDC モーターの位相電流波形が示されています。この図は、1 つの整流サイクルにおける各種スイッチの動作を示したものです。

図 7-25 (b) に、整流サイクルの拡大波形と、マージン時間 (t_{margin}) を使用した ASR モード開始、およびアクティブな復調コンパレータのスレッショルドと遅延による ASR モードの早期停止の詳細が示されています。

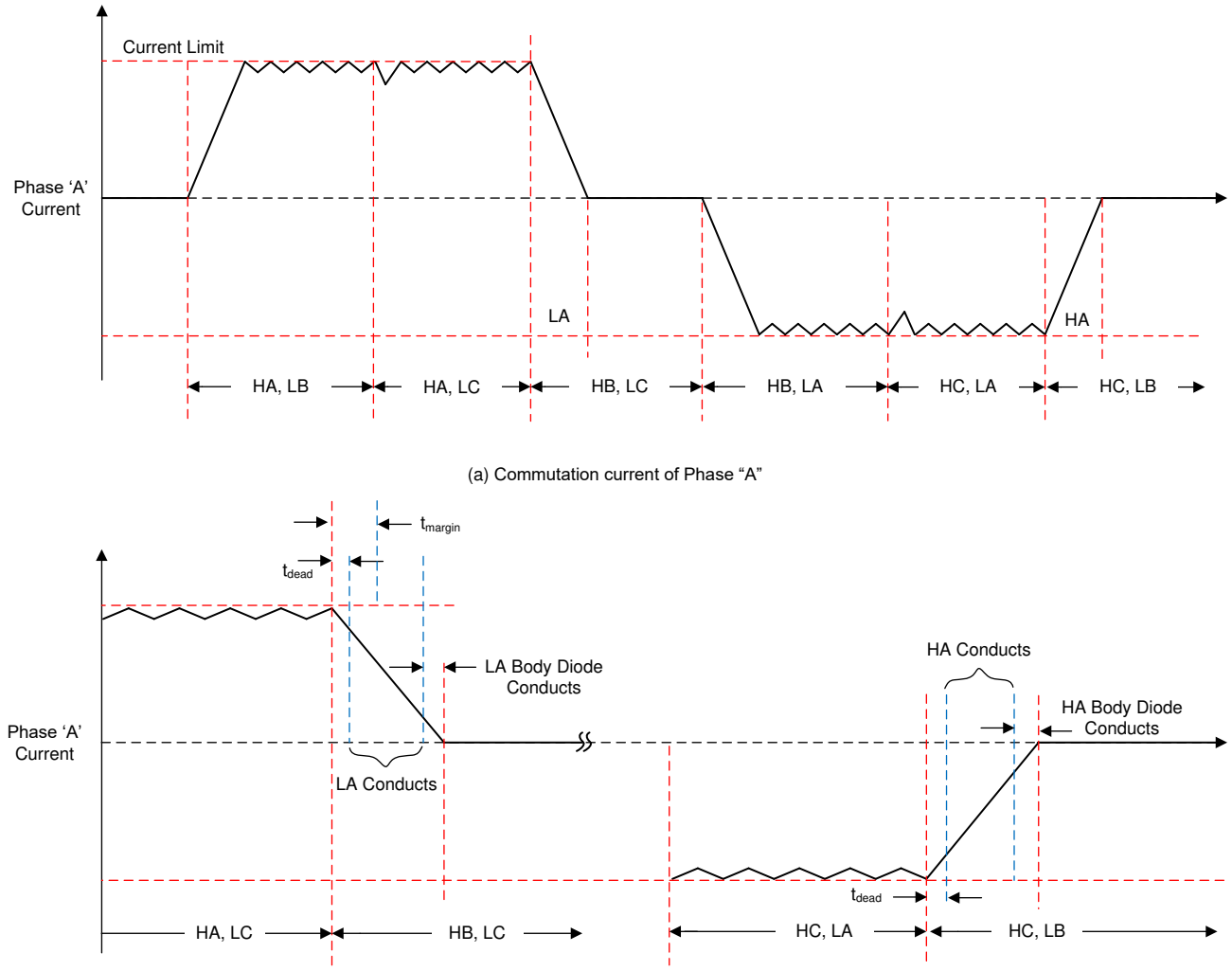


図 7-25. BLDC モーター整流における ASR の電流波形

Copyright © 2025 Texas Instruments Incorporated

7.3.11.1.2 PWM モード時の自動同期整流

図 7-26 に、各モードでの ASR ピンの動作が示されています。この 図 に示されているように、PWM はハイサイド FET のみに印加されるのに対し、ローサイド FET は常にオフとなります。PWM オフ時は、電流がローサイド FET から減衰するため、電力損失が大きくなります。このため、このモードでは、ローサイド ダイオードが導通している間、ローサイド FET をオンにすることができます。

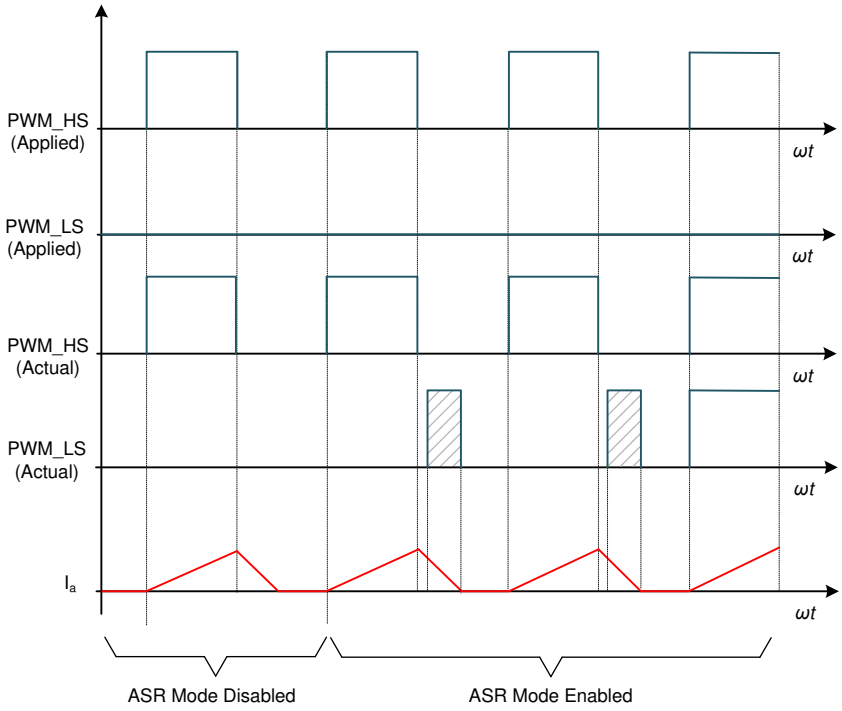


図 7-26. PWM モードの ASR

7.3.11.2 自動非同期整流モード (AAR モード)

図 7-27 に、各モードでの AAR ピンの動作が示されています。この図に示されているように、ハイサイド FET とローサイド FET の同期整流で PWM を印加します。ローサイド FET が導通する間、インダクタンスの小さいモーターでは、ローサイド FET がオン状態になるため、電流は 0 に減衰して負になることがあります。この結果、BLDC モーターの動作に負のトルクが発生します。AAR モードを有効にすると、減衰中の電流が監視され、電流がゼロに近付くと直ちにローサイド FET がオフになります。これにより、BLDC モーター内を流れる負の電流を節約でき、ノイズ性能と熱管理性が向上します。

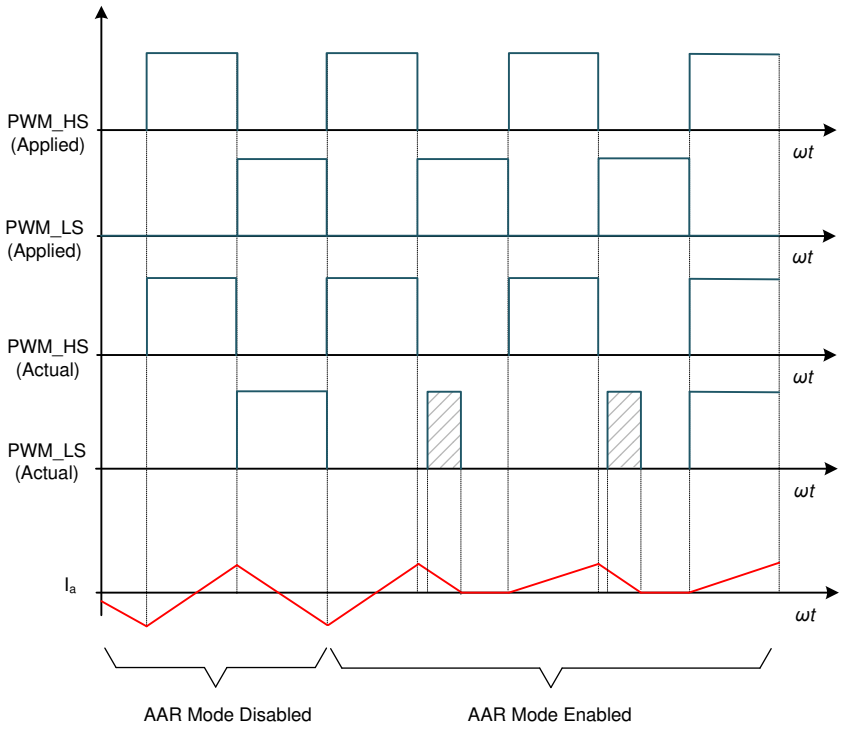


図 7-27. PWM モードの AAR

Copyright © 2025 Texas Instruments Incorporated

7.3.12 サイクル単位の電流制限

電流制限回路は、ILIMIT ピンの電圧と比較して、3 相の電流センス アンプの出力を利用します。図 7-28 に、電流制限回路の実装が示されています。電流センス アンプの出力は、スター型接続抵抗ネットワークと組み合わせられています。この測定電圧 V_{MEAS} は、ILIMIT ピンの外部リファレンス電圧 V_{LIM} と比較されることで、電流制限の実装を実現します。3 相 (I_{OUTx}) で検出される電流と V_{MEAS} スレッショルドの関係は以下の通りです。

$$V_{MEAS} = \left(V_{VREF}/2\right) + \left((I_{OUTA} + I_{OUTB} + I_{OUTC}) \times GAIN/3\right) \quad (5)$$

ここで、

- V_{VREF} : 電流検出アンプの電源
- I_{OUTX} : ローサイド MOSFET に流れる電流
- CSA_GAIN : 電流センス アンプのゲイン

電流制限スレッショルドは、ILIMIT ピンの電圧を設定することで調整できます。ILIMIT ピンの電圧は $V_{REF}/2$ から V_{MEAS} まで変化するため、電流制限は 0A ～ 4A の間で直線的に変化します。ILIMIT を無効化するために、V_{VREF} よりも高い電圧を印加できます。

電流制限コンパレータの出力はブランキング時間としてブランキングされます。ハイサイドとローサイド スイッチ制御入力の立ち上がりエッジ (INHx および INLx) ごとに、DRV8376 の出力状態はブランキング時間中の INHx および INLx の状態によって異なります。ブランキング時間は SPI デバイスの ILIM_BLANK_SEL によって構成され、ハードウェア バリアントのスルーレートが 50 の場合は 5.5µs、その他のすべてのスルーレートの場合は 1.8µs に固定されます。

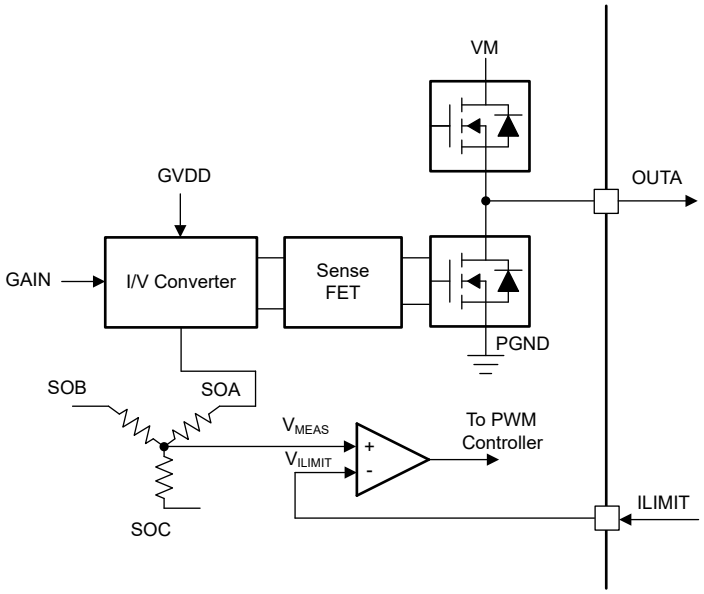


図 7-28. 電流制限の実装

図 7-29 に示されているように、その後に電流制限が作動すると、各ハーフブリッジのハイサイド (INHx) の立ち上がりエッジまで、各ハーフブリッジのハイサイド FET が無効化されます。ローサイド FET は、SPI デバイス バリアントの ILIM_MODE ビットを設定することで、ブレーキ モードまたはコースト (ハイ インピーダンス) モードで動作できます。ハードウェア バリアントでは、ローサイド FET はコースト (ハイ インピーダンス) モードで動作します。

Copyright © 2025 Texas Instruments Incorporated

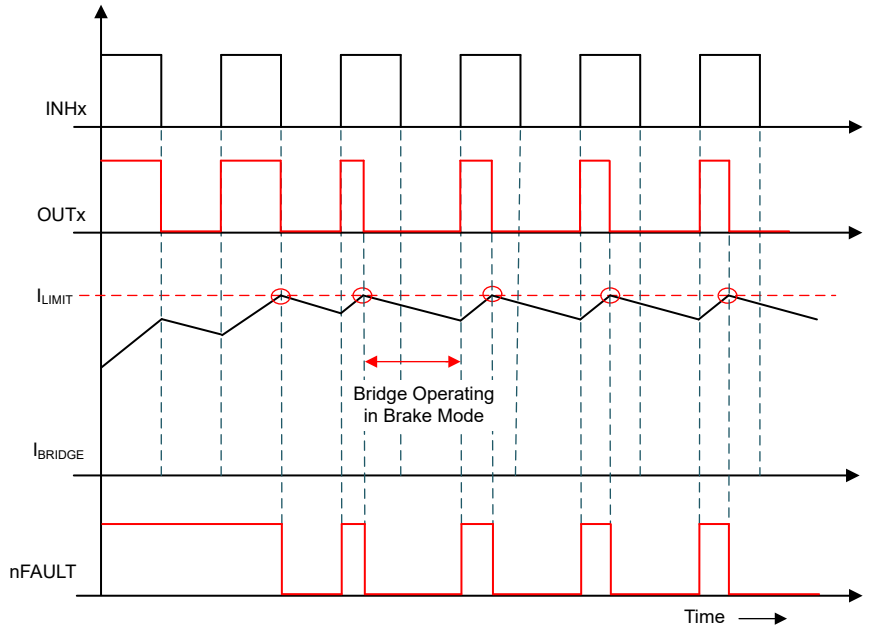


図 7-29. サイクル単位の電流制限動作

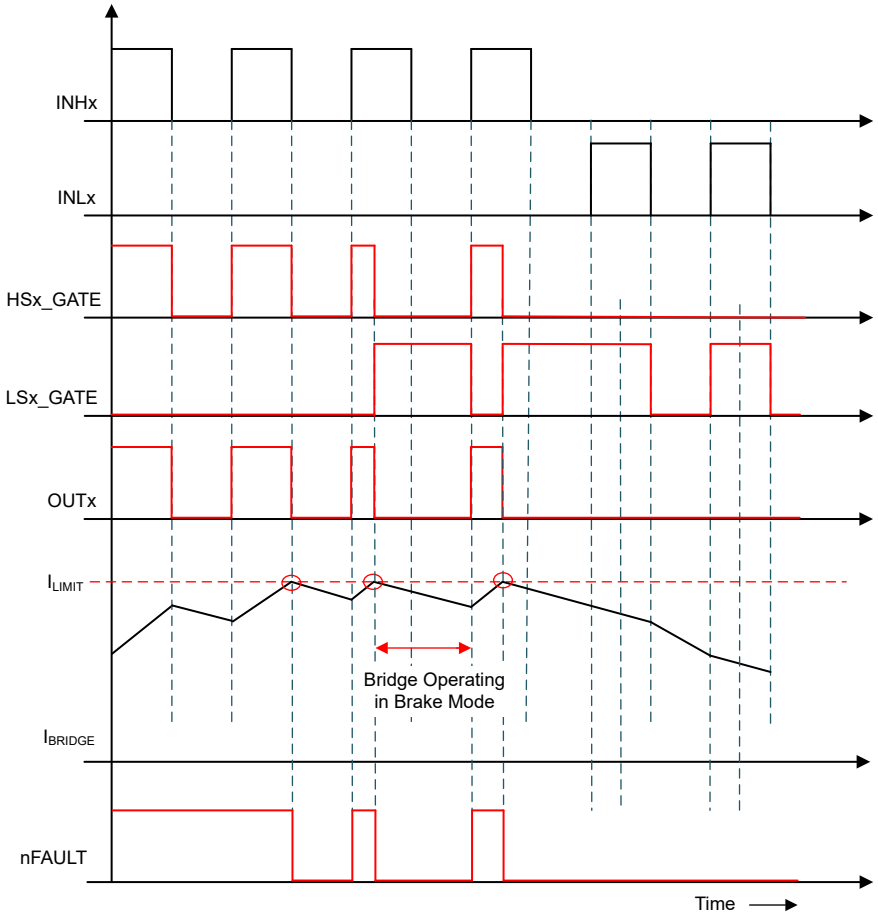


図 7-30. サイクル単位の電流制限動作 (ブレーキ モードでのローサイド スイッチングあり)

Copyright © 2025 Texas Instruments Incorporated

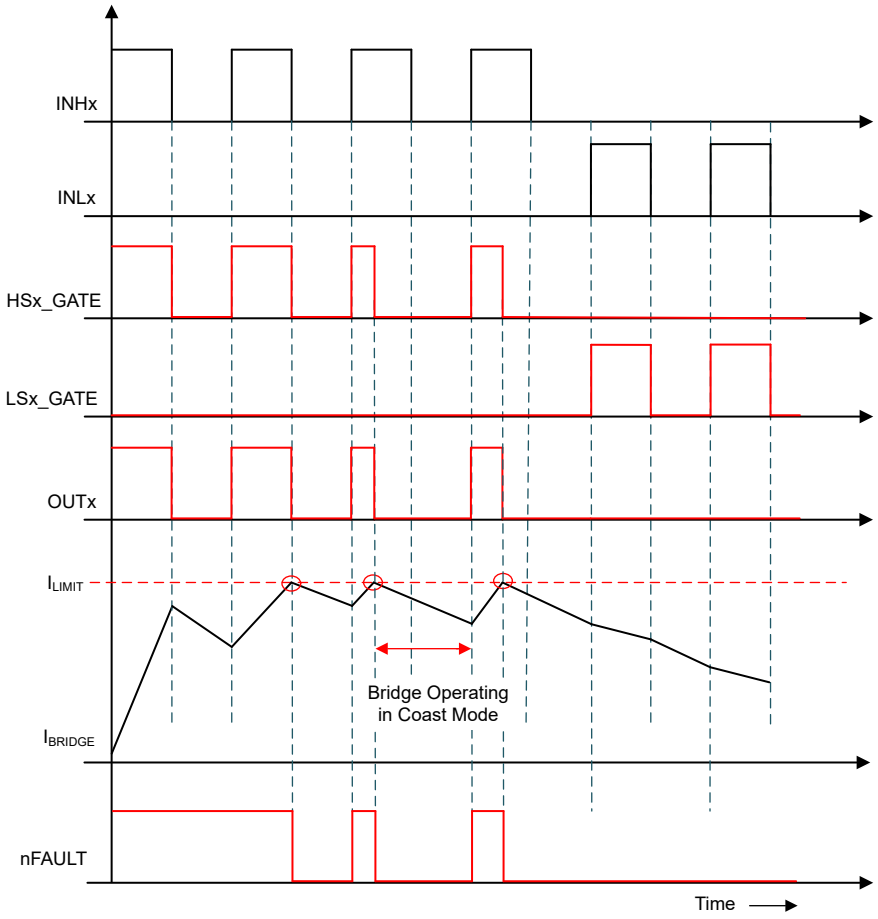


図 7-31. サイクル単位の電流制限動作 (コースト モードでのローサイド スイッチングあり)

図 7-32 に、ブレーキ モードでのドライバの動作が示されています。ここでは、ハイサイド FET が無効化されている間にローサイド FET を通って電流が循環します。 に示されているように、同期整流モードで電流制限がアクティブになっている場合は、ハイサイド FET が無効化されている間にローサイド FET を通って電流が再循環します。

図 7-33 に、ハイ インピーダンスモードでのドライバの動作が示されています。ここでは、ハイサイド FET が無効化されている間にローサイド FET のボディ ダイオードを通って電流が循環します。 に示されているように、電流制限が非同期整流モードでアクティブになっている場合は、ハイサイド FET が無効化されている間にローサイド FET のボディ ダイオードを通って電流が再循環します。

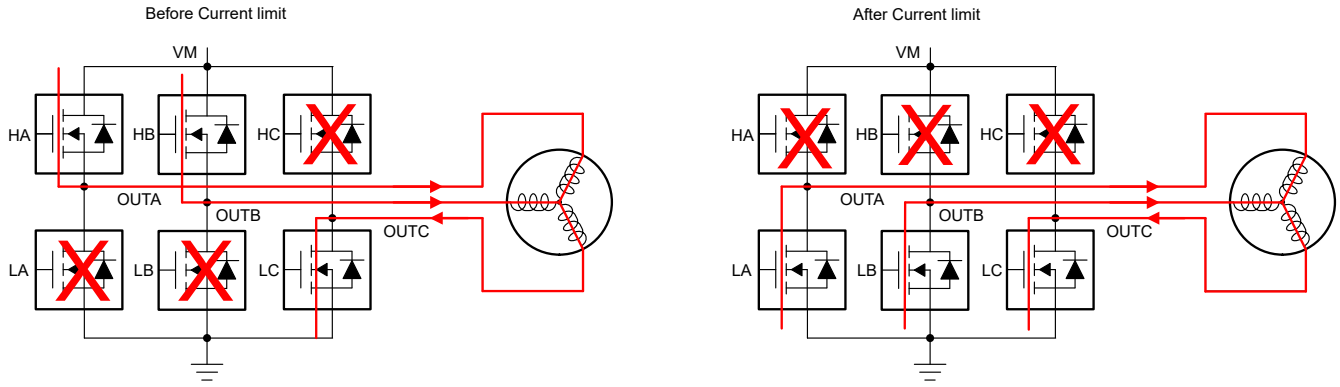


図 7-32. ブレーキ状態

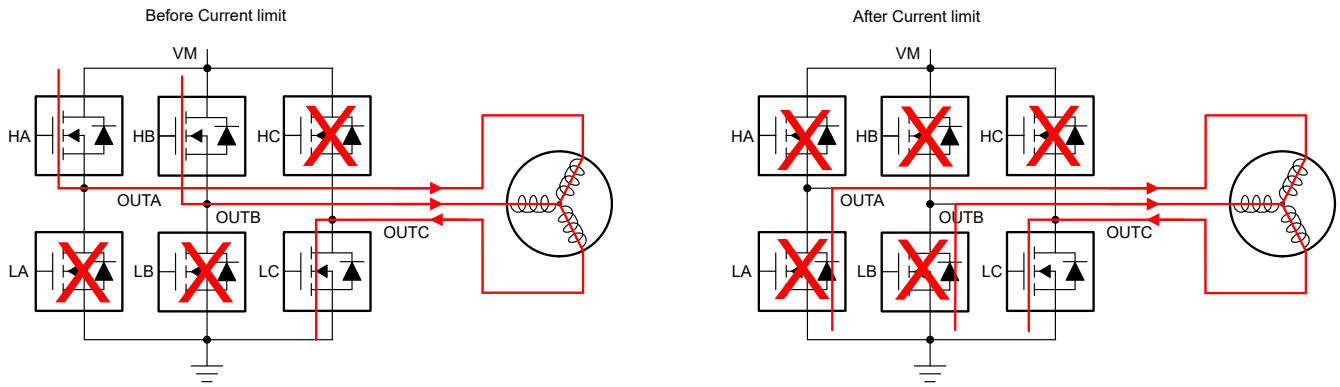


図 7-33. コースト状態

注

ブレーキ動作中、大電流がローサイド FET を流れることで、最終的に過電流保護回路がアクティブになる場合があります。この状態では、ハイサイド FET のボディ ダイオードが導通し、ブレーキ エネルギーを VM 電源レールに誘導します。

Copyright © 2025 Texas Instruments Incorporated

7.3.12.1 100% デューティ サイクル入力でのサイクル単位の電流制限

PWM 入力に 100% デューティ サイクルが印加された場合、ハイサイド FET を再びオンにするエッジはありません。この問題を克服するため DRV8376 には内部 PWM クロックが内蔵されています。これにより、I_{LIMIT} スレッショルドを超えた後にハイサイド FET が無効化された時点でハイサイド FET がオンに戻ります。SPI バリアント DRV8376 では、この内部 PWM クロックは、PWM_100_DUTY_SEL を通じて 10kHz、20kHz、または 40kHz に設定できます。H/W バリアントでは、DRV8376 PWM 内部クロックが 20kHz に設定されています。図 7-34 に、100% デューティ サイクルでの動作が示されています。

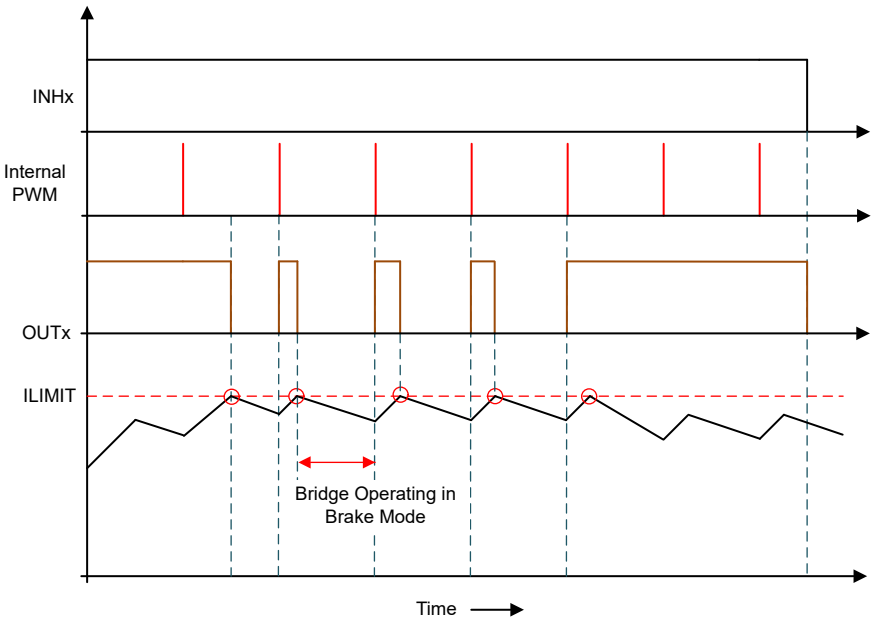


図 7-34. 100% PWM デューティ サイクルでのサイクル単位の電流制限動作

7.3.13 保護機能

DRV8376 ファミリのデバイスは、VM 低電圧、チャージ ポンプ低電圧、過電流イベントから保護されています。表 7-5 に、各種フォルトの詳細が示されています。

表 7-5. フォルト時の動作と応答 (SPI デバイス)

フォルト	条件	構成	通知	H ブリッジ	ロジック	復帰
VM 低電圧 (RESET)	$V_{VM} < V_{UVLO}$	—	—	ハイ インピーダンス	ディセーブル	自動: $V_{VM} > V_{UVLO_R}$ CLR_FLT、nSLEEP リセット パルス (RESET ビット)
GVDD 低電圧 (RESET)	$V_{GVDD} < V_{GVDD_UV}$	—	—	ハイ インピーダンス	ディセーブル	自動: $V_{GVDD} > V_{GVDD_UV_R}$ CLR_FLT、nSLEEP リセット パルス (RESET ビット)
AVDD 低電圧 (RESET)	$V_{AVDD} < V_{AVDD_UV}$	—	—	ハイ インピーダンス	ディセーブル	自動: $V_{AVDD} > V_{AVDD_UV_R}$ CLR_FLT、nSLEEP リセット パルス (RESET ビット)
チャージ ポンプ低電圧 (VCP_UV)	$V_{CP} < V_{CPUV}$	—	nFAULT	ハイ インピーダンス	アクティブ	自動: $V_{VCP} > V_{CPUV}$ CLR_FLT、nSLEEP リセット パルス (VCP_UV ビット)
過電圧保護 (OVP)	$V_{VM} > V_{OVP}$	OVP_MODE = 0b	なし	アクティブ	アクティブ	動作なし (OVP 無効)
		OVP_MODE = 1b	フォルト	ハイ インピーダンス	アクティブ	自動: $V_{VM} < V_{OVP}$ CLR_FLT、nSLEEP リセット パルス (OVP ビット)
過電流保護 (OCP)	$I_{PHASE} > I_{OCP}$	OCP_MODE = 00b	nFAULT	ハイ インピーダンス	アクティブ	ラッチ: CLR_FLT、nSLEEP リセット パルス (OCP ビット)
		OCP_MODE = 01b	nFAULT	ハイ インピーダンス	アクティブ	リトライ: t_{RETRY} CLR_FLT、nSLEEP リセット パルス (OCP ビット)
		OCP_MODE = 10b	nFAULT	アクティブ	アクティブ	通知のみ: CLR_FLT、nSLEEP リセット パルス (OCP ビット)
		OCP_MODE = 11b	なし	アクティブ	アクティブ	何も起こらない
ILIMIT	$V_{ILIMIT} > V_{SO}$	ILIMFLT_MODE = 0b	なし	ILIMIT モード	アクティブ	自動: INHx の次の立ち上がりエッジでハイサイド INLx の次の立ち上がりエッジのローサイド
		ILIMFLT_MODE = 1b	nFAULT	ILIMIT モード	アクティブ	自動: INHx の次の立ち上がりエッジでハイサイド INLx の次の立ち上がりエッジのローサイド
SPI エラー (SPI_FLT)	SCLK、パリティ、ADDR フォルト	SPIFLT_MODE = 0b	なし	アクティブ	アクティブ	何も起こらない
		SPIFLT_MODE = 1b	nFAULT	アクティブ	アクティブ	通知のみ: CLR_FLT、nSLEEP リセット パルス (SPI_FLT ビット)
OTP エラー (OTP_ERR)	OTP の読み取りが誤っています	—	nFAULT	ハイ インピーダンス	アクティブ	ラッチ: パワー サイクル、CLR_FLT
過熱警告 (OTW)	$T_J > T_{OTW}$	OTW_MODE = 0b	なし	アクティブ	アクティブ	何も起こらない
		OTW_MODE = 1b	nFAULT	アクティブ	アクティブ	自動: $T_J < T_{OTW} - T_{OTW_HYS}$ CLR_FLT、nSLEEP パルス (OTW ビット)
サーマル シャットダウン (OTSD)	$T_J > T_{TSD}$	—	nFAULT	ハイ インピーダンス	アクティブ	自動: $T_J < T_{TSD} - T_{TSD_HYS}$

Copyright © 2025 Texas Instruments Incorporated

7.3.13.1 VM 電源低電圧誤動作防止 (RESET)

VM ピンの入力電源電圧が V_{UVLO} スレッショルド (VM UVLO 立ち下がりスレッショルド) を下回ると、常にすべての内蔵 FET、ドライバ チャージ ポンプ、デジタル ロジック コントローラが無効化されます (図 7-35 を参照)。VM 低電圧状態が解消されると、通常動作 (ドライバの動作) が再開されます。デバイスが VM の状態を認識すると、デバイス ステータス (DEV_STS) レジスタの RESET ビットは High にラッチされます。RESET ビットは、CLR_FLT ビットまたは nSLEEP ピンのリセット パルス (t_{RST}) によってクリアされるまで High のままです。

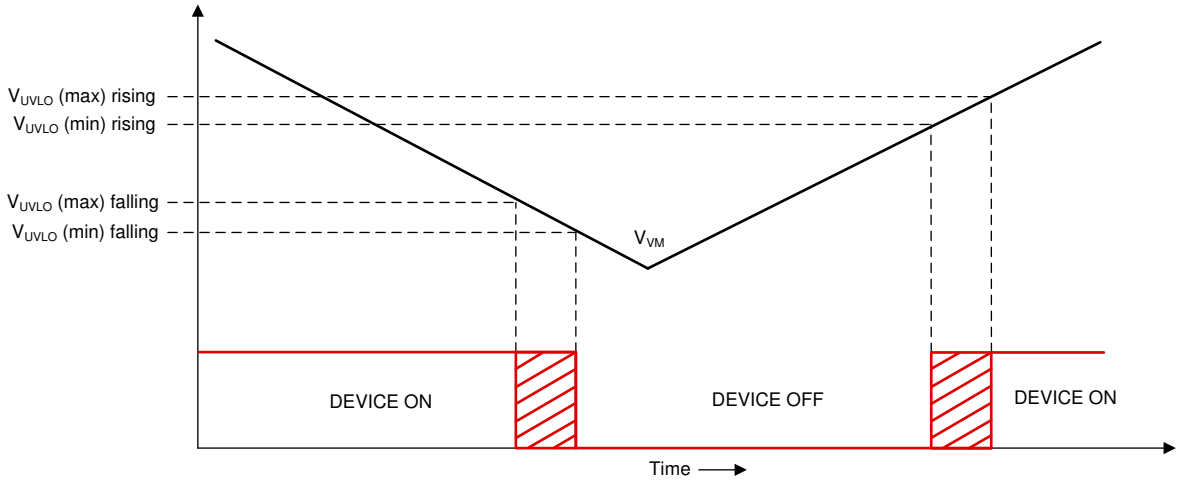


図 7-35. VM 電源低電圧誤動作防止

7.3.13.2 AVDD 低電圧保護 (AVDD_UV)

AVDD ピンの電圧が V_{AVDD_UV} スレッショルドを下回ると常に、内蔵 FET、ドライバ チャージポンプ、デジタル ロジック コントローラのすべてが無効化されます。AVDD 低電圧状態が解消されると、通常動作 (ドライバの動作) が再開されます。デバイスが VM の状態を認識すると、デバイス ステータス (DEV_STS) レジスタの RESET ビットは High にラッチされます。RESET ビットは、CLR_FLT ビットまたは nSLEEP ピンのリセット パルス (t_{RST}) によってクリアされるまで High のままです。

7.3.13.3 GVDD 低電圧誤動作防止 (GVDD_UV)

GVDD ピンの電圧が V_{GVDD_UV} スレッショルドを下回ると常に、内蔵 FET、ドライバ チャージ ポンプ、デジタル ロジック コントローラのすべてが無効化されます。GVDD 低電圧状態が解消されると、通常動作 (ドライバの動作) が再開されます。デバイスが VM の状態を認識すると、デバイス ステータス (DEV_STS) レジスタの RESET ビットは High にラッチされます。RESET ビットは、CLR_FLT ビットまたは nSLEEP ピンのリセット パルス (t_{RST}) によってクリアされるまで High のままです。

7.3.13.4 VCP チャージ ポンプ低電圧誤動作防止 (CPUV)

任意の時点で VCP ピン (チャージ ポンプ) の電圧が VCPUV スレッショルド未満に低下した場合は、統合されているすべての FET が無効化され、nFAULT ピンが Low になります。VCP の低電圧状態が解消されると、通常動作が再開されます (ドライバの動作が再開され、nFAULT ピンが解放される)。チャージ ポンプの低電圧は、FAULT ビットと CPUV ビットで通知されます。チャージ ポンプ低電圧状態が解消されると、FAULT ビットが自動的にクリアされます。CPUV ビットは、CLR_FLT ビットまたは nSLEEP ピン リセット パルス (t_{RST}) によってクリアされるまでセットされたまま維持されます。CPUV 保護は、ハードウェアと SPI デバイスの両方のバリアントで常に有効化されています。

7.3.13.5 過電圧保護 (OV)

VM ピンの電源電圧が V_{OVP} スレッショルド電圧を超えると、常にすべての内蔵 FET が無効化され、nFAULT ピンが Low に駆動されます。OVP が解消されると、通常動作が再開されます (ドライバ動作が再開され、nFAULT ピンが解放される)。FAULT ビットと OVP ビットで低電圧が通知されます。過電圧状態が解消されると、FAULT ビットは自動的にクリア

Copyright © 2025 Texas Instruments Incorporated

されます。OVP ビットは、CLR_FLT ビットまたは nSLEEP ピン リセット パルス (t_{RST}) によってクリアされるまでセットされたまま維持されます。SPI デバイスの OVP_MODE ビットを High に設定すると、この保護機能が有効になります。ハードウェア インターフェイス デバイスでは、OVP 保護が無効化されています。

OVP スレッショルドは、SPI デバイス バリアントでもプログラム可能です。OVP スレッショルドは、OVP_SEL ビットに基づいて 35-V または 65-V に設定できます。

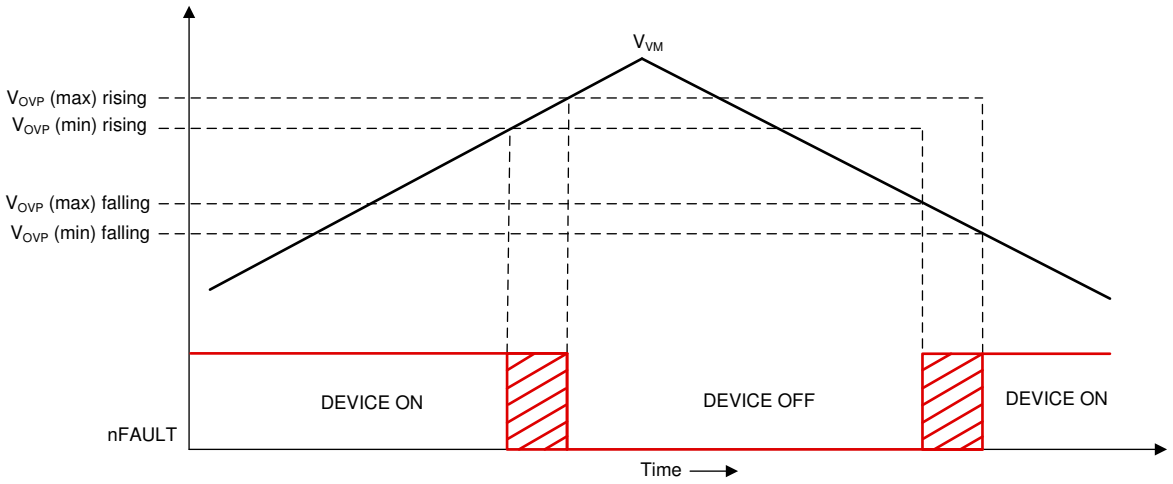


図 7-36. 過電圧保護

7.3.13.6 過電流保護 (OCP)

MOSFET 過電流イベントは、FET を流れる電流を監視することで検出されます。FET に流れる電流が t_{OCP} グリッチ除去時間よりも長く I_{OCP} スレッショルドを上回ると、OCP イベントが認識され、OCP_MODE ビットに従って動作が実行されます。ハードウェア インターフェイス デバイスでは、I_{OCP} スレッショルドは OCP ピンによって設定され、、t_{OCP_DEG} は 1.2µs に固定され、OCP_MODE ビットはラッチ付きシャットダウンに設定されます。SPI デバイスでは、I_{OCP} スレッショルドは OCP_LVL ビットを通じて設定され、t_{OCP_DEG} は OCP_DEG ビットを通じて設定されます。

表 7-6 に、DRV8376 デバイスの OCP レベルとグリッチ除去時間の構成が示されています。

表 7-6. OCP の構成

OCP 設定	OCP ピン (ハードウェア バリアント)	OCP_LVL ビット (SPI バリアント)	最小 OCP レベル
OCP 1	AGND に接続	OCP_LVL = 0b	4.5A
OCP 2	GVDD に接続	OCP_LVL = 1b	2.5A

OCP_MODE ビットは以下の 4 つのモードで動作できます。OCP ラッチ付きシャットダウン、OCP 自動リトライ、OCP 通知のみ、OCP 無効。

7.3.13.6.1 OCP ラッチ シャットダウン (OCP_MODE = 00b)

このモードで OCP イベントが発生すると、すべての MOSFET が無効化され、nFAULT ピンが Low に駆動されます。SPI レジスタでは、FAULT、OCP、および対応する FET OCP ビットが High にラッチされます。OCP 状態が解消され、CLR_FLT ビットまたは nSLEEP リセット パルス (t_{RST}) のいずれかによってフォルト クリア コマンドが発行されると、通常動作が再開されます (ドライバの動作が再開され、nFAULT ピンが解放される)。

Copyright © 2025 Texas Instruments Incorporated

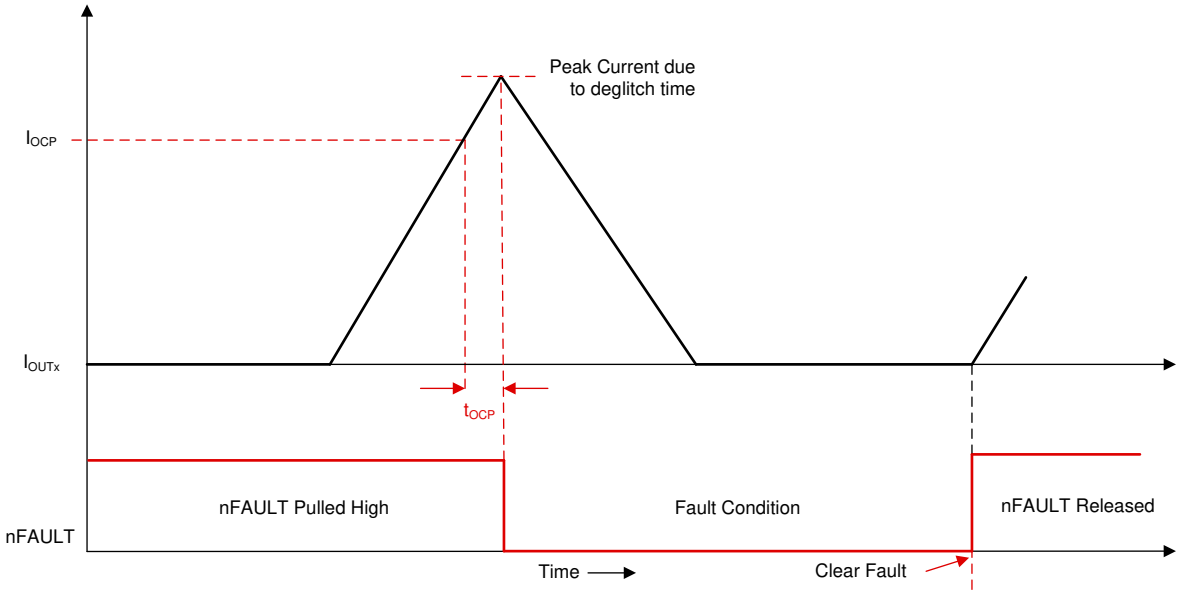


図 7-37. 過電流保護 - ラッチ シャットダウン モード

7.3.13.6.2 OCP 自動リトライ (OCP_MODE = 01b)

このモードで OCP イベントが発生した後、すべての MOSFET が無効化され、nFAULT ピンが Low に駆動されます。SPI レジスタでは、FAULT、OCP、および対応する FET OCP ビットが High にラッチされます。t_{RETRY} 時間が経過した後は、通常動作が自動的に再開されます (ドライバ動作が再開され、nFAULT ピンが解放される)。t_{RETRY} 時間が経過すると、FAULT、OCP、および対応する FET の OCP ビットは、CLR_FLT ビットまたは nSLEEP リセット・パルス (t_{RST}) のいずれかによってフォルト クリア コマンドが実行されるまでラッチされた状態を維持します。

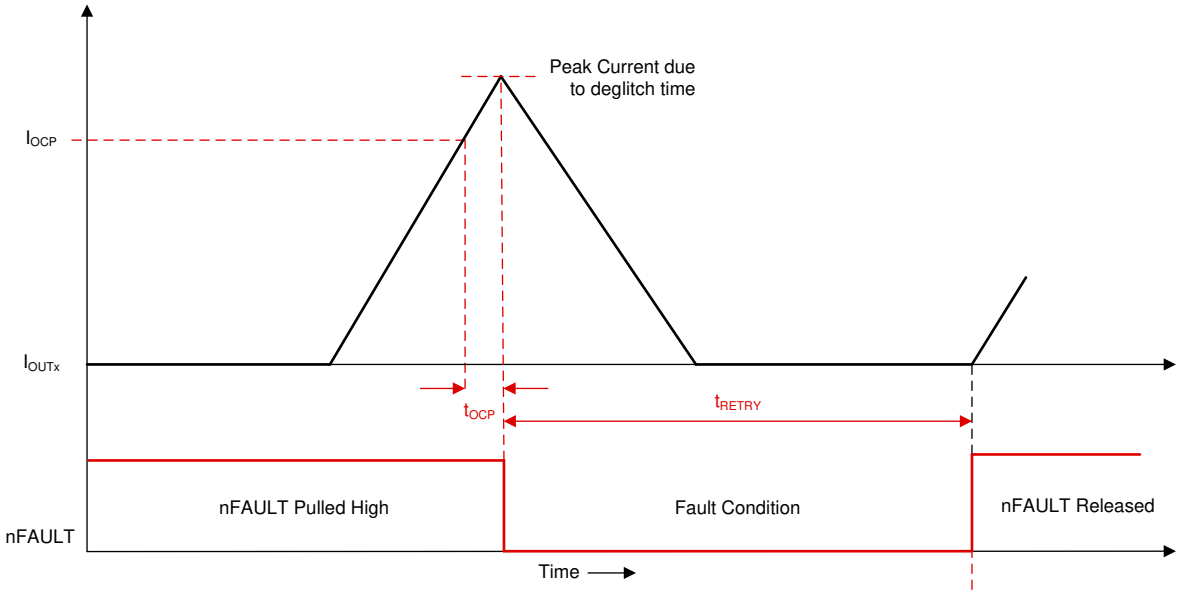


図 7-38. 過電流保護 - 自動リトライ モード

7.3.13.6.3 OCP 通知のみ (OCP_MODE = 10b)

このモードでは、OCP イベントの後に保護動作は発生しません。nFAULT ピンを Low に駆動し、FAULT、OCP、および対応する FET の OCP ビットを SPI レジスタで High にラッチすることにより、過電流イベントが通知されます。DRV8376

Copyright © 2025 Texas Instruments Incorporated

は通常どおり動作を継続します。外部コントローラは適切に動作することによって過電流状態を管理します。OCP 状態が解消され、CLR_FLT ビットまたは nSLEEP リセット パルス (t_{RST}) のいずれかによってフォルト クリア コマンドが発行されると、通知がクリアされます (nFAULT ピンが解放される)。

7.3.13.6.4 OCP 無効 (OCP_MODE = 11b)

このモードでは、OCP イベントの後に何の動作も発生しません。

7.3.13.7 過熱警告 (OTW)

ダイ温度が過熱警告のトリップ ポイント (T_{OTW}) を上回ると、OT ス テータス (OT_STS) レジスタの OT ビット、およびステータス レジスタ (DEV_STS) の OTF ビットが設定されます。nFAULT ピンの OTW 通知は、構成制御レジスタの過熱警告通知 (OTW_MODE) ビットを設定することで有効化できます。デバイスの機能は継続され、追加動作が実行されることはありません。この場合、ダイ温度が過熱警告のヒステリシス ポイント (T_{OTW_HYS}) を下回ると、nFAULT ピンが解放されます。OTW ビットは、CLR_FLT ビットまたは nSLEEP リセット パルス (t_{RST}) によってクリアされ、ダイ温度が過熱警告トリップ (T_{OTW}) を下回るまで設定されたまま維持されます。ハードウェア バリアントでは、過熱警告はデフォルトで nFAULT ピンで通知されます。

7.3.13.8 サーマル シャットダウン (OTS)

デバイスのダイ温度がサーマル シャットダウン制限のトリップ ポイント (T_{TSD}) を上回ると、すべての FET が無効化され、チャージ ポンプがシャットダウンされ、nFAULT ピンが Low になります。さらに、OT ステータス (OT_STS) レジスタの FAULT ビットと OTSD ビット、およびステータス レジスタ (DEV_STS) の OTF ビットが設定されます。過熱状態が解消されると、通常動作が再開されます (ゲート ドライバの動作が再開され、nFAULT ピンが解放される)。OTSD ビットが High にラッチされたままになっている場合は、CLR_FLT ビットまたは nSLEEP リセット パルス (t_{RST}) のいずれかによってクリア フォルト コマンドが実行されるまで、過熱状態が発生していたことを示しています。この保護機能をディセーブルにすることはできません。

Copyright © 2025 Texas Instruments Incorporated

7.4 デバイスの機能モード

7.4.1 機能モード

7.4.1.1 スリープ モード

nSLEEP ピンは、DRV8376 ファミリのデバイスの状態を管理するピンです。nSLEEP ピンが Low になると、デバイスは低消費電力のスリープ モードに移行します。スリープ モードでは、すべての FET、センス アンプ、チャージ ポンプ、GVDD および AVDD レギュレータ、SPI バスが無効になります。nSLEEP ピンでの立ち下がりエッジの後、t_{SLEEP} 時間が経過するとデバイスがスリープ モードに移行します。nSLEEP ピンが High になると、デバイスのスリープ モードは自動的に終了します。t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

スリープ モード時や $V_{VM} < V_{UVLO}$ のときは、すべての MOSFET が無効になります。

注

nSLEEP ピンを通してデバイスがパワーアップおよびパワーダウンしている間は、内部レギュレータが有効化または無効化されるため、nFAULT ピンは Low に保持されます。レギュレータが有効化または無効化された後、nFAULT ピンは自動的に解放されます。nFAULT ピンが Low になっている時間が t_{SLEEP} 時間または t_{WAKE} 時間を上回ることはありません。

7.4.1.2 動作モード

nSLEEP ピンが High で、VVM 電圧が V_{UVLO} 電圧より大きい場合は、デバイスが動作モードに移行します。t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。このモードでは、チャージ ポンプ、GVDD、AVDD レギュレータ、SPI バスがアクティブです。

7.4.1.3 フォルト リセット (CLR_FLT または nSLEEP リセット パルス)

デバイスのフォルト状態がラッチされている場合、DRV8376 ファミリのデバイスは、パワー MOSFET とシステムを保護するために部分的シャットダウン状態に移行します。

障害状態が解消されると、SPI デバイスで CLR_FLT SPI ビットを設定するか、またはいずれかのインターフェイスで nSLEEP ピンにリセット パルスを印加することにより、デバイスを動作状態に戻すことができます。nSLEEP リセット パルス (t_{RST}) は、nSLEEP ピンでの High → Low → High の遷移で構成されています。このシーケンスの Low 期間は t_{RST} 時間枠内に収める必要があり、そうしないとデバイスが完全なシャットダウン シーケンスを開始します。リセット パルスがレギュレータ、デバイス設定、またはその他の機能ブロックに影響することはありません。

7.4.2 DRVOFF 機能

DRV8376 は、DRVOFF ピン経由でデジタルをバイパスしてプリドライバと MOSFET を無効化する機能を備えています。DRVOFF ピンが High になると、6 つの MOSFET のすべてが無効化されます。DRVOFF ピンが High の際に nSLEEP が High になると、チャージ ポンプ、AVDD レギュレータ、GVDD レギュレータ、SPI バスがアクティブになり、OCP などのドライバ関連のフォルトは非アクティブになります。DRVOFF ピンは独立して無効化され、INHx および INLx 入力ピンのステータスに関係なく、MOSFET の整流が停止します。

Copyright © 2025 Texas Instruments Incorporated

7.5 SPI 通信

7.5.1 プログラミング

DRV8376 SPI デバイスでは、デバイス構成と動作パラメータの設定、診断情報の読み出しに SPI バスを使用します。SPI は、セカンダリ モードで動作し、コントローラに接続します。SPI 入力データ (SDI) ワードは、24 ビットのワード、1 つの読み取りまたは書き込みビット、パリティビット、6 ビットのアドレス、15 ビットのデータ (パリティビット付き) で構成されています。SPI 出力は、24 ビット ワード、8 ビットのステータス情報 (STS レジスタ) と 16 ビットのレジスタ データで構成されています。

有効なフレームは次の条件を満たしていなければなりません。

- SCLK ピンは、nSCS ピンが High から Low、Low から High に遷移するときに Low になっている必要がある。
- nSCS ピンは、ワード間の 400ns 以上にわたって High にプルアップされている必要がある。
- nSCS ピンが High にされているときは、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンが Hi-Z 状態になる。
- データは SCLK ピンの立ち下がりエッジでキャプチャされ、SCLK ピンの立ち上がりエッジで伝搬される。
- 最上位ビット (MSB) が最初にシフト イン / シフト アウトされる。
- トランザクションを有効にするには、24 SCLK サイクルすべてが発生しなければならない。
- SDI ピンに送信されるデータ ワードが 24 ビットより多い / 少ない場合は、フレーム エラーが発生してデータ ワードが無視される。
- 書き込みコマンドの場合、書き込み先レジスタ内の既存データは、8 ビットのステータス データに続いて SDO ピンでシフト アウトされる。

SPI レジスタは、パワーアップ時とデバイスのスリープ モードへの移行時にデフォルト設定にリセットされる。

7.5.1.1 SPI フォーマット

SPI フォーマット - パリティ付き

SDI 入力データ ワードは 24 ビット長であり、以下のフォーマットで構成されています。

- 1 読み出しまたは書き込みビット、W (ビット B16)
- 6 アドレス ビット、A (ビット B22～B17)
- パリティビット、P (ビット B23)
- 15 データ ビット、1 パリティ ビット、D (ビット B15 ～ B0)

SDO 出力データ ワードは 24 ビット長です。最上位ビットはステータス ビット、最下位の 16 ビットはアクセス先のレジスタのデータ コンテンツです。

表 7-7. SPI の SDI 入力データ ワード フォーマット

PARITY	アドレス							RW	PARITY	データ													
B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
P	A5	A4	A3	A2	A1	A0	W0	P	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

表 7-8. SDO 出力データ ワードのフォーマット

STATUS								データ															
B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
S7	S6	S5	S4	S3	S2	S1	S0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

SPI フレーム フォーマットで使用されるビットの詳細について以下をご覧ください。

読み出し/書き込みビット(R/W) :R/W (W0) ビットが 0b にセットされている場合、これは SPI 書き込みトランザクションを示します。SPI 読み出し動作には、R/W ビットを 1b に設定する必要があります。

Copyright © 2025 Texas Instruments Incorporated

アドレス ビット (A)：SPI セカンダリ デバイスは、6 ビットのレジスタ アドレスを受け取ります。

パリティビット (P) ：SPI 入力データ フレームのヘッダー フィールド とデータ フィールドの両方に、シングル ビット エラー検出 のためのパリティ ビットが含まれています (表 7-7 を参照)。B23 はヘッダー フィールドのパリティ ビット、B15 はデータ フィールドのパリティ ビットです。使用されるパリティ方式は偶数パリティです。16 ビット (パリティ ビットを含む) のブロック内の数は偶数です。パリティ チェックが成功した場合にのみ、データは内部レジスタに書き込まれます。パリティ チェックは、SYS_CTRL レジスタの SPI_PEN ビットを構成することで、有効化または無効化できます。パリティ チェックはデフォルトで無効化されています。

注

パリティ チェックはデフォルトで無効化されていますが、シングル ビット エラーを防止するために、パリティ チェックを有効化することを TI は推奨しています。

8 レジスタ マップ

8.1 STATUS レジスタ

表 8-1 に、ステータス レジスタに対してメモリマップされたレジスタを示します。表 8-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-1. STATUS レジスタ

オフセット	略称	レジスタ名	セクション
0h	デバイス ステータス レジスタ	デバイス ステータス レジスタ	セクション 8.1.1
2h	デバイス RAW ステータス レジスタ	デバイス RAW ステータス レジスタ	セクション 8.1.2
4h	過熱ステータス レジスタ	過熱ステータス レジスタ	セクション 8.1.3
5h	電源ステータス レジスタ	電源ステータス レジスタ	セクション 8.1.4
6h	ドライバ ステータス レジスタ	ドライバ ステータス レジスタ	セクション 8.1.5
7h	システム インターフェイス ステータス レジスタ	システム インターフェイス ステータス レジスタ	セクション 8.1.6

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-2. STATUS のアクセス タイプ コード

アクセス タイプ	表記	概要
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み出し 0 を返す
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2025 Texas Instruments Incorporated

8.1.1 デバイス ステータス レジスタ (オフセット = 0h) [リセット = 0280h]

表 8-3 に、デバイス ステータス レジスタが示されています。

概略表に戻ります。

表 8-3. デバイス ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティ ビット。それ以外の場合は予約済み
14-11	予約済み	R-0	0h	予約済み
10	予約済み	R	0h	予約済み
9	DNRDY_STS	R	1h	デバイス「Not Ready」ステータス。パワーアップ完了後、自動的にクリアされます。 0h = デバイスの準備が完了 1h = デバイスの準備が未完了
8	SYSFLT	R	0h	OTP 読み取りフォルトが発生しました。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = OTP 読み取り障害は未検出 1h = OTP 読み出しフォルトを検出済み
7	リセット	R	1h	デバイス リセット ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = 値をクリア済み 1h = デバイスのパワーオン リセット完了
6	SPIFLT	R	0h	SPI のフォルト ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = SPI 障害は検出されていません 1h = SPI フォルトを検出済み
5	OCP	R	0h	過電流ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0b = 過電流条件は未検出 1h = 過電流条件を検出済み
4	予約済み	R-0	0h	予約済み
3	OVP	R	0h	過電圧ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = 過電圧状態は未検出 1h = 過電圧状態を検出済み
2	UVP	R	0h	電源低電圧ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = CP での低電圧状態は未検出 1h = CP での低電圧状態を検出済み
1	OTF	R	0h	過熱フォルト ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = 過熱警告 / シャットダウンは未検出 1h = 過熱警告 / シャットダウンを検出済み
0	フォルト	R	0h	デバイス フォルト ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = フォルト状態は未検出 1h = フォルト状態を検出済み

Copyright © 2025 Texas Instruments Incorporated

8.1.2 デバイス RAW ステータス レジスタ (オフセット = 2h) [リセット = 0280h]

表 8-4 に、デバイス RAW ステータス レジスタが示されています。

概略表に戻ります。

表 8-4. デバイス RAW ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティ ビット。それ以外の場合は予約済み
14-13	予約済み	R-0	0h	予約済み
12	DRVOFF_RSTS	R	0h	DRV_OFF ピンのステータス 0h = DRV_OFF は非アクティブ 1h = DRV_OFF はアクティブ
11	OTW_RSTS	R	0h	OT 警告 RAW ステータス 0h = OTW は非アクティブ 1h = OTW はアクティブ
10	予約済み	R	0h	予約済み
9	DNRDY_RSTS	R	1h	デバイス「Not Ready」ステータス 0h = デバイスの準備が完了 1h = デバイスの準備が未完了
8	SYSFLT_RSTS	R	0h	OTP 読み取りフォルトが発生しました。FLT_CLR への書き込みによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = OTP 読み取りフォルトは未検出 1h = OTP 読み出しフォルトを検出済み
7	リセット	R	1h	デバイス パワーオン ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = 読み出し後に FW によりクリア済み 1h = デバイスのパワーオン リセット完了
6	SPIFLT_RSTS	R	0h	SPI のフォルト ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = SPI 障害は検出されていません 1h = SPI フォルトを検出済み
5	OCP_RSTS	R	0h	過電流フォルト RAW ステータス。自動リトライ、FLT_CLR への書き込み、または nSLEEP でのリセット パルスが完了するまで、ステータスはラッチされたまま維持されます。 0h = 過電流状態は非アクティブ 1h = 過電流状態はアクティブ
4	予約済み	R-0	0h	予約済み
3	OVP_RSTS	R	0h	過電圧 RAW フォルト ステータス。 0h = 過電圧状態は非アクティブ 1h = 過電圧状態はアクティブ
2	UVP_RSTS	R	0h	CP 低電圧 RAW フォルト ステータス。 0h = チャージ ポンプ低電圧状態は非アクティブ 1h = チャージ ポンプ低電圧状態はアクティブ
1	OTF_RSTS	R	0h	過熱シャットダウン RAW フォルト ステータス。 0h = 過熱シャットダウンは非アクティブ 1h = 過熱シャットダウンはアクティブ
0	予約済み	R-0	0h	予約済み

Copyright © 2025 Texas Instruments Incorporated

8.1.3 過熱ステータス レジスタ (オフセット = 4h) [リセット = 0000h]

表 8-5 に、過熱ステータス レジスタが示されています。

概略表に戻ります。

表 8-5. 過熱ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティ ビット。それ以外の場合は予約済み
14-2	予約済み	R-0	0h	予約済み
1	OTW	R	0h	過熱警告フォルト ステータス FLT_CLR への書き込みまたは nSLEEP のリセット パルスによってクリアできます 0h = 過熱警告は未検出 1h = 過熱警告を検出済み
0	OTSD	R	0h	過熱シャットダウン フォルト ステータス FLT_CLR への書き込みまたは nSLEEP のリセット パルスによってクリアできます 0h = 過熱シャットダウンは未検出 1h = 過熱シャットダウンを検出済み

Copyright © 2025 Texas Instruments Incorporated

8.1.4 電源ステータス レジスタ (オフセット = 5h) [リセット = 0000h]

表 8-6 に、電源ステータス レジスタが示されています。

概略表に戻ります。

表 8-6. 電源ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティ ビット。それ以外の場合は予約済み
14-7	予約済み	R-0	0h	予約済み
6	VM_OV	R	0h	VM 過電圧フォルト ステータス 0h = VM 過電圧は未検出 1h = VM 過電圧を検出済み
5	予約済み	R-0	0h	予約済み
4	CP_UV	R	0h	チャージ ポンプ低電圧フォルト ステータス 0h =チャージ ポンプの低電圧は未検出 1h = チャージ ポンプの低電圧を検出済み
3-0	予約済み	R-0	0h	予約済み

Copyright © 2025 Texas Instruments Incorporated

8.1.5 ドライバ ステータス レジスタ (オフセット = 6h) [リセット = 0000h]

表 8-7 に、ドライバ ステータス レジスタが示されています。

概略表に戻ります。

表 8-7. ドライバ ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティ ビット。それ以外の場合は予約済み
14-7	予約済み	R-0	0h	予約済み
6	OCPC_HS	R	0h	OUTC のハイサイド スイッチの過電流ステータス 0h = OUTC のハイサイド MOSFET の過電流は未検出 1h = OUTC のハイサイド MOSFET の過電流を検出済み
5	OCPB_HS	R	0h	OUTB のハイサイド スイッチの過電流ステータス 0h = OUTB のハイサイド MOSFET の過電流は未検出 1h = OUTB のハイサイド MOSFET の過電流が検出済み
4	OCPA_HS	R	0h	OUTA のハイサイド スイッチの過電流ステータス 0h = OUTA のハイサイド MOSFET の過電流は未検出 1h = OUTA のハイサイド MOSFET の過電流が検出済み
3	予約済み	R-0	0h	予約済み
2	OCPC_LS	R	0h	OUTC のローサイド スイッチの過電流ステータス 0h = OUTC のローサイド MOSFET の過電流は未検出 1h = OUTC のローサイド MOSFET の過電流を検出済み
1	OCPB_LS	R	0h	OUTB のローサイド スイッチの過電流ステータス 0h = OUTB のローサイド MOSFET の過電流は未検出 1h = OUTB のローサイド MOSFET の過電流が検出済み
0	OCPA_LS	R	0h	OUTA のローサイド スイッチの過電流ステータス 0h = OUTA のローサイド MOSFET の過電流は未検出 1h = OUTA のローサイド MOSFET の過電流が検出済み

Copyright © 2025 Texas Instruments Incorporated

8.1.6 システム インターフェイス ステータス レジスタ (オフセット = 7h) [リセット = 0000h]

表 8-8 に、システム インターフェイス ステータス レジスタが示されています。

概略表に戻ります。

表 8-8. システム インターフェイス ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティ ビット。それ以外の場合は予約済み
14-5	予約済み	R-0	0h	予約済み
4	OTPLD_ERR	R	0h	ロード中の OTP CRC エラー 0h = OTP 読み込みエラーは未検出 1h = OTP 読み込みエラーを検出済み
3	予約済み	R-0	0h	予約済み
2	SPI_PARITY	R	0h	SPI パリティ エラー 0h = SPI パリティ エラーは未検出 1h = SPI パリティ エラーを検出済み
1	予約済み	R-0	0h	予約済み
0	FRM_ERR	R	0h	SPI フレーム エラー 0h = SPI フレーム エラーは未検出 1h = SPI フレーム エラーを検出済み

Copyright © 2025 Texas Instruments Incorporated

8.2 制御レジスタ

表 8-9 に、制御レジスタ用にメモリマップされたレジスタを示します。表 8-9 に記載されていないすべてのレジスタ オフセット アドレスは、予約領域と見なされます。レジスタの内容は変更しないでください。

表 8-9. 制御レジスタ

オフセット	略称	レジスタ名	セクション
10h	フォルト モード レジスタ	フォルト モード レジスタ	セクション 8.2.1
13h	ドライバ フォルト制御レジスタ	ドライバ フォルト制御レジスタ	セクション 8.2.2
17h	フォルト クリア レジスタ	フォルト クリア レジスタ	セクション 8.2.3
20h	PWM 制御レジスタ 1	PWM 制御レジスタ 1	セクション 8.2.4
22h	プリドライバ制御レジスタ	プリドライバ制御レジスタ	セクション 8.2.5
23h	CSA 制御レジスタ	CSA 制御レジスタ	セクション 8.2.6
3Fh	システム コントロール レジスタ	システム コントロール レジスタ	セクション 8.2.7

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-10 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-10. 制御アクセス タイプ コード

アクセス タイプ	表記	概要
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み出し 0 を返す
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2025 Texas Instruments Incorporated

8.2.1 フォルト モード レジスタ (オフセット = 10h) [リセット = 2811h]

表 8-11 に、フォルト モード レジスタが示されています。

概略表に戻ります。

表 8-11. フォルト モード レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティ ビット。それ以外の場合は予約済み
14	予約済み	R-0	0h	予約済み
13	ILIMFLT_MODE	R/W	1h	ILIMIT フォルト モード 0h = nFAULT ピンの ILIMIT 通知は無効化 1h = nFAULT ピンの ILIMIT 通知は有効化
12-11	予約済み	R/W	0h	予約済み
10	予約済み	R-0	0h	予約済み
9	OVP_MODE	R/W	0h	過電圧保護フォルト モード 0h =過電圧保護は無効化 1h =過電圧保護は有効化
8	予約済み	R-0	0h	予約済み
7	SPIFLT_MODE	R/W	0h	SPI フォルト モード 0h = nFAULT ピンの SPI 異常検出出力は無効化 1h = nFAULT ピンの SPI 異常検出出力は有効化
6	予約済み	R-0	0h	予約済み
5-4	OCP_MODE	R/W	1h	過電流保護フォルト モード 0h = 過電流によってラッチされたフォルトが発生する 1h = 過電流によって自動リトライ フォルトが発生する 2h = 過電流によって通知のみが行われ、何の動作も行われない 3h = 過電流によっては通知も何の動作も行われない
3-1	予約済み	R-0	0h	予約済み
0	OTW_MODE	R/W	1h	過熱警告フォルト モード 0h = nFAULT 時の過熱通知を無効化 1h = nFAULT 時の過熱通知を有効化

Copyright © 2025 Texas Instruments Incorporated

8.2.2 ドライバ フォルト制御レジスタ (オフセット = 13h) [リセット = 1010h]

表 8-12 に、ドライバ フォルト制御レジスタが示されています。

概略表に戻ります。

表 8-12. ドライバ フォルト制御レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティ ビット。それ以外の場合は予約済み
14	予約済み	R-0	0h	予約済み
13-12	予約済み	R/W	0h	予約済み
11	予約済み	R-0	0h	予約済み
10	予約済み	R/W	0h	予約済み
9	予約済み	R-0	0h	予約済み
8	OVP_SEL	R/W	0h	過電圧レベル設定 0h = VM 過電圧レベルは 65V 1h = VM 過電圧レベルは 35V
7-6	予約済み	R-0	0h	予約済み
5-4	OCP_DEG	R/W	1h	OCP グリッチ除去時間 0h = OCP グリッチ除去時間は 0.6µs 1h = OCP グリッチ除去時間は 1.25µs 2h = OCP グリッチ除去時間は 1.6µs 3h = OCP グリッチ除去時間は 2µs
3	予約済み	R-0	0h	予約済み
2	OCP_TRETRY	R/W	0h	OCP リトライ時間 0h = 5ms 1h = 500ms
1	予約済み	R-0	0h	予約済み
0	OCP_LVL	R/W	0h	OCP レベル 0h = 4.5A 1h = 2.5A

Copyright © 2025 Texas Instruments Incorporated

8.2.3 フォルト クリア レジスタ (オフセット= 17h) [リセット= 0000h]

表 8-13 に、フォルト クリア・レジスタが示されています。

概略表に戻ります。

表 8-13. フォルト クリア レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティ ビット。それ以外の場合は予約済み
14-1	予約済み	R-0	0h	予約済み
0	FLT_CLR	R-0/W1C	0h	ラッチされたフォルトをクリア 0h = クリア フォルト コマンド発行なし 1h = ラッチされたフォルト ビットをクリア書き込んだ後、このビットは自動的にリセットされます。

Copyright © 2025 Texas Instruments Incorporated

8.2.4 PWM 制御レジスタ 1 (オフセット = 20h) [リセット = 0020h]

表 8-14 に、PWM 制御レジスタ 1 が示されています。

概略表に戻ります。

表 8-14. PWM 制御レジスタ 1 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティ ビット。それ以外の場合は予約済み
14-12	予約済み	R/W	0h	予約済み
11	予約済み	R/W	0h	予約済み
10	予約済み	R/W	0h	予約済み
9-8	予約済み	R/W	0h	予約済み
7-6	PWM_100_FREQ_SEL	R/W	0h	100% デューティ サイクル時の PWM の周波数 0h = 20KHz 1h = 40KHz 2h = 10KHz 3h = なし
5	ILIM_MODE	R/W	1h	電流制限再循環の設定 0h = FET を介した電流再循環 (ブレーキ モード) 1h = ダイオードを介した電流還流 (コースト モード)
4	予約済み	R/W	0h	予約済み
3	EN_AAR	R/W	0h	電流が負になると LS FET がオフになる AAR を有効化します。 0h = アクティブ消磁 AAR は無効化 1h = アクティブ消磁 AAR は有効化
2	EN_ASR	R/W	0h	アクティブ消磁は有効化 0h = アクティブ消磁は無効化 1h = アクティブ消磁は有効化
1-0	PWM_MODE	R/W	0h	PWM モードの選択 0h = 6x モード 1h = 6x モード 2h = 3x モード 3h = 3x モード

Copyright © 2025 Texas Instruments Incorporated

8.2.5 プリドライバ制御レジスタ (オフセット = 22h) [リセット = 0080h]

表 8-15 に、プリドライバ制御レジスタが示されています。

概略表に戻ります。

表 8-15. プリドライバ制御レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティ ビット。それ以外の場合は予約済み
14-11	予約済み	R-0	0h	予約済み
10-8	ILIM_BLANK_SEL	R/W	0h	電流制限ブランキング時間の選択 0h = スルーレートが 50 の場合は 5.5µs、その他のすべてのスルーレートの場合は 1.8µs 1h = スルーレートが 50 の場合は 6.0µs、その他のすべてのスルーレートの場合は 2.3µs 2h = スルーレートが 50 の場合は 6.5µs、その他のすべてのスルーレートの場合は 2.8µs 3h = スルーレートが 50 の場合は 7.5µs、その他のすべてのスルーレートの場合は 3.8µs
7-4	ADMAG_TMARGIN	R/W	8h	ハイ インピーダンスを決定するまでの待ち時間。N*4*100ns
3	AD_COMP_TH_HS	R/W	0h	アクティブ消磁ハイサイド コンパレータのスレッショルド 0h = アクティブ消磁コンパレータのスレッショルドは 100mA 1h = アクティブ消磁コンパレータのスレッショルドは 150mA
2	AD_COMP_TH_LS	R/W	0h	アクティブ消磁ローサイド コンパレータのスレッショルド 0h = アクティブ消磁コンパレータのスレッショルドは 100mA 1h = アクティブ消磁コンパレータ スレッショルドは 150mA
1-0	SLEW_RATE	R/W	0h	スルーレートの設定 0h = スルーレートは 1100V/µs 1h = スルーレートは 500V/µs 2h = スルーレートは 250V/µs 3h = スルーレートは 50V/µs

Copyright © 2025 Texas Instruments Incorporated

8.2.6 CSA 制御レジスタ (オフセット = 23h) [リセット = 0000h]

表 8-16 に、CSA 制御レジスタが示されています。

概略表に戻ります。

表 8-16. CSA 制御レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-2	予約済み	R-0	0h	予約済み
1-0	CSA_GAIN	R/W	0h	CSA ゲイン設定 0h = CSA ゲインは 0.4V/A 1h = CSA ゲインは 1.0V/A 2h = CSA ゲインは 2.5V/A 3h = CSA ゲインは 5.0V/A

Copyright © 2025 Texas Instruments Incorporated

8.2.7 システム制御レジスタ (オフセット = 3Fh) [リセット = 0008h]

表 8-17 に、システム制御レジスタが示されています。

概略表に戻ります。

表 8-17. システム制御レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティ ビット。それ以外の場合は予約済み
14-12	WRITE_KEY	R-0/W	0h	0x5 このレジスタ固有のキーを書き込み
11	SDO_VSEL	R/W	0h	SDO 出力電圧の選択 0h = AVDD 1h = GVDD
10	SDO_ODEN	R/W	0h	オープン ドレイン モードの SDO 0h = プッシュプル モードの SDO 1h = オープン ドレイン モードの SDO
9-8	予約済み	R-0	0h	予約済み
7	REG_LOCK	R/W	0h	レジスタ ロック ビット 0h = レジスタはロック解除 1h = レジスタはロック済み
6	SPI_PEN	R/W	0h	SPI のパリティは有効化 0h = パリティは無効化 1h = パリティは有効化
5-4	予約済み	R/W	0h	予約済み
3	予約済み	R/W	0h	予約済み
2-0	予約済み	R-0	0h	予約済み

Copyright © 2025 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

DRV8376 は、ブラシレス DC モーターの駆動に使用できます。図 9-1 に、主要アプリケーションの回路図が示されています。

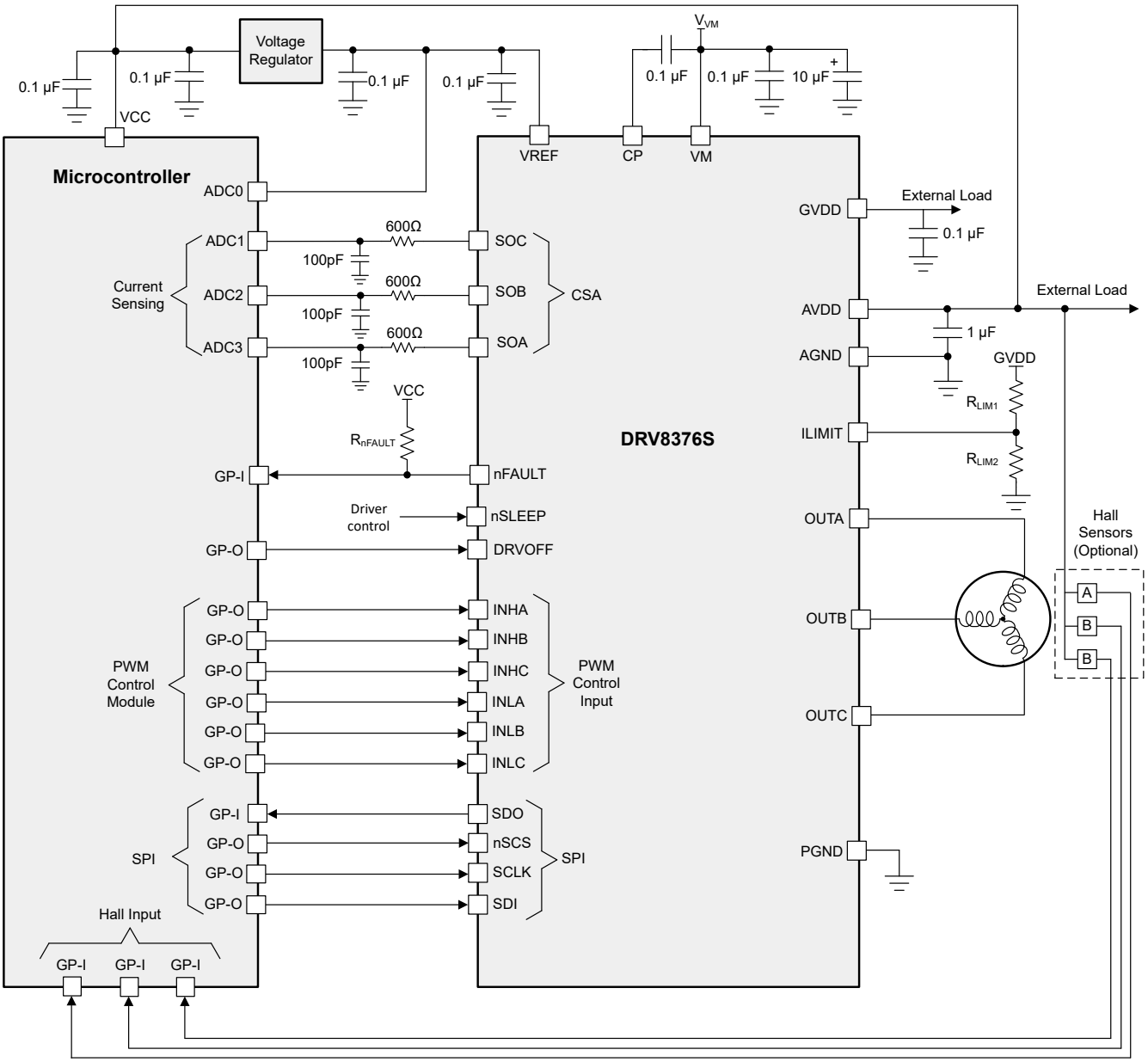


図 9-1. 主要アプリケーションの回路図

Copyright © 2025 Texas Instruments Incorporated

9.2 代表的なアプリケーション

9.2.1 3 相ブラシレス DC モータ制御

このアプリケーションでは、DRV8376 を使用してブラシレス DC モーターを駆動します。

9.2.1.1 詳細な設計手順

表 9-1 に、システム設計の入力パラメータの例を示します。

表 9-1. 設計パラメータ

設計パラメータ	リファレンス	数値の例
電源電圧	V_{VM}	48V
モータ RMS 電流	I_{RMS}	0.5A
モーターのピーク電流	I_{PEAK}	1.25A
ILIMIT 電流	I_{LIMIT}	2A
PWM 周波数	f_{PWM}	20kHz
スルーレートの設定	SR	1100V/µs
ADC リファレンス電圧	V_{VREF}	3.3V
システムの周囲温度	T_A	-20℃ ～ +105℃

9.2.1.1.1 モーター電圧

DRV8376 は、4.5V ～ 65V の幅広い動作電源電圧定格をサポートしています。最大電源電圧が動作電圧仕様に違反していないことを確認します。

9.2.1.1.2 アクティブ消磁の使い方

アクティブ消磁により、ボディ ダイオードが導通を開始したときに MOSFET が自動的にオンになってダイオードの導通損失が低減されるため、デバイスの電力損失を低減できます。アクティブ消磁は、整流状態のスイッチング (ローサイド MOSFET をオンに維持したまま、ハイサイド MOSFET をオフにして、別のハイサイド MOSFET をオンにする) の際の台形波整流で使用されます。アクティブ消磁は、SPI バリアントで EN_ASR ビットと EN_AAR ビットが設定されるとき、H/W バリアントで OCP/SR ピンがモード 2 またはモード 4 に設定されるとき、。

アクティブ消磁が無効な状態でスイッチング整流状態を切り替えると、デッドタイムが挿入され、ローサイド MOSFET のボディ ダイオードが導通し、別のハイサイド MOSFET がオンになってモーターへの電流供給が継続されます。この導通期間により、ダイオードの順方向バイアス電圧と消費電流が遅くなるため、電力損失が大きくなります。図 9-2 に、スイッチング整流状態時のボディ ダイオードの導通が示されています。

Copyright © 2025 Texas Instruments Incorporated

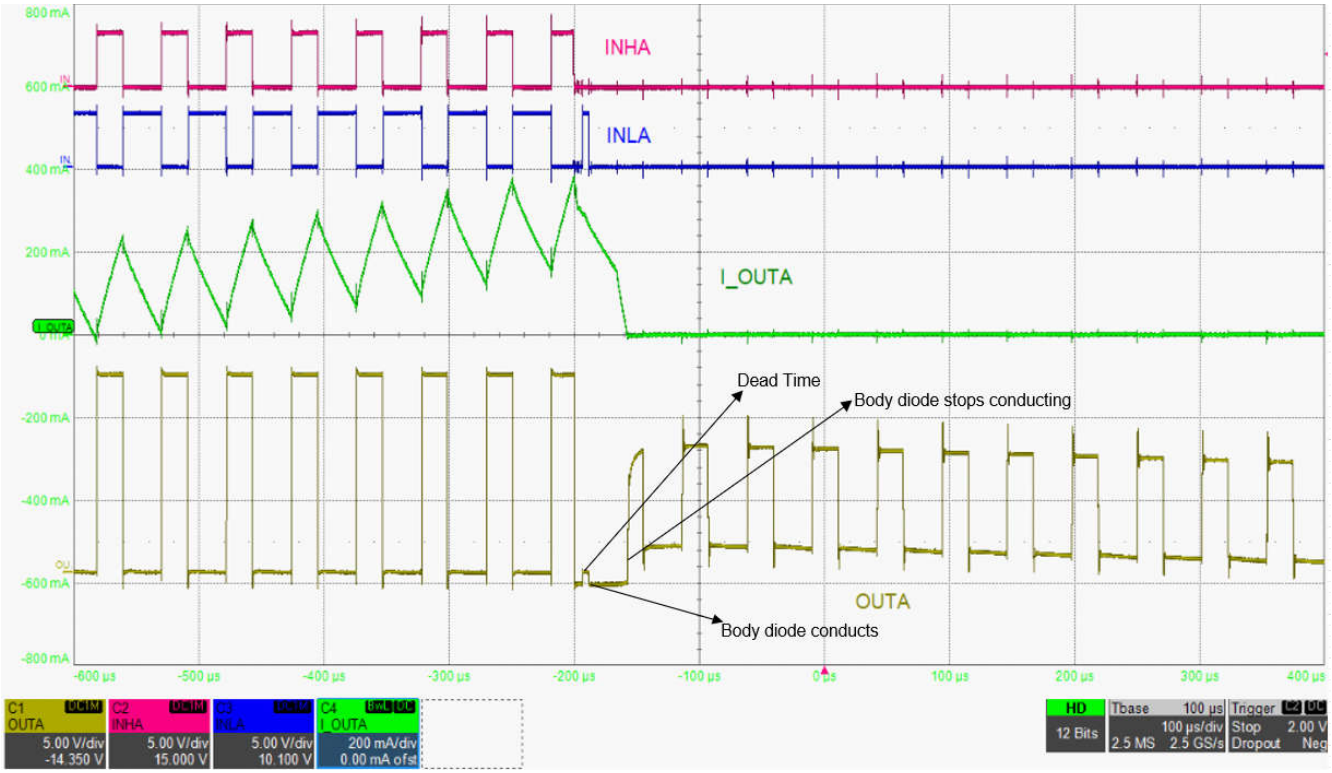


図 9-2. DRV8376 でアクティブ消磁が無効の場合

アクティブ消磁が有効の場合は、AD_HS と AD_LS のコンパレータによって、設定されているスレッショルドをセンス FET 電圧が上回った/下回ったことが検出されます。デッドタイム期間が経過した後、一定の時間にわたってスレッショルドを超えると、ボディ ダイオードが導通し、ロジック コアがローサイド FET をオンにして、導通パスを小さな電力損失で実現します。V_{DS} 電圧がコンパレータのスレッショルドを下回ると、MOSFET はオフになり、電流が完全にゼロまで減衰するまでボディ ダイオードに短時間導通します。これは、図 9-3 に示すとおりです。

Copyright © 2025 Texas Instruments Incorporated

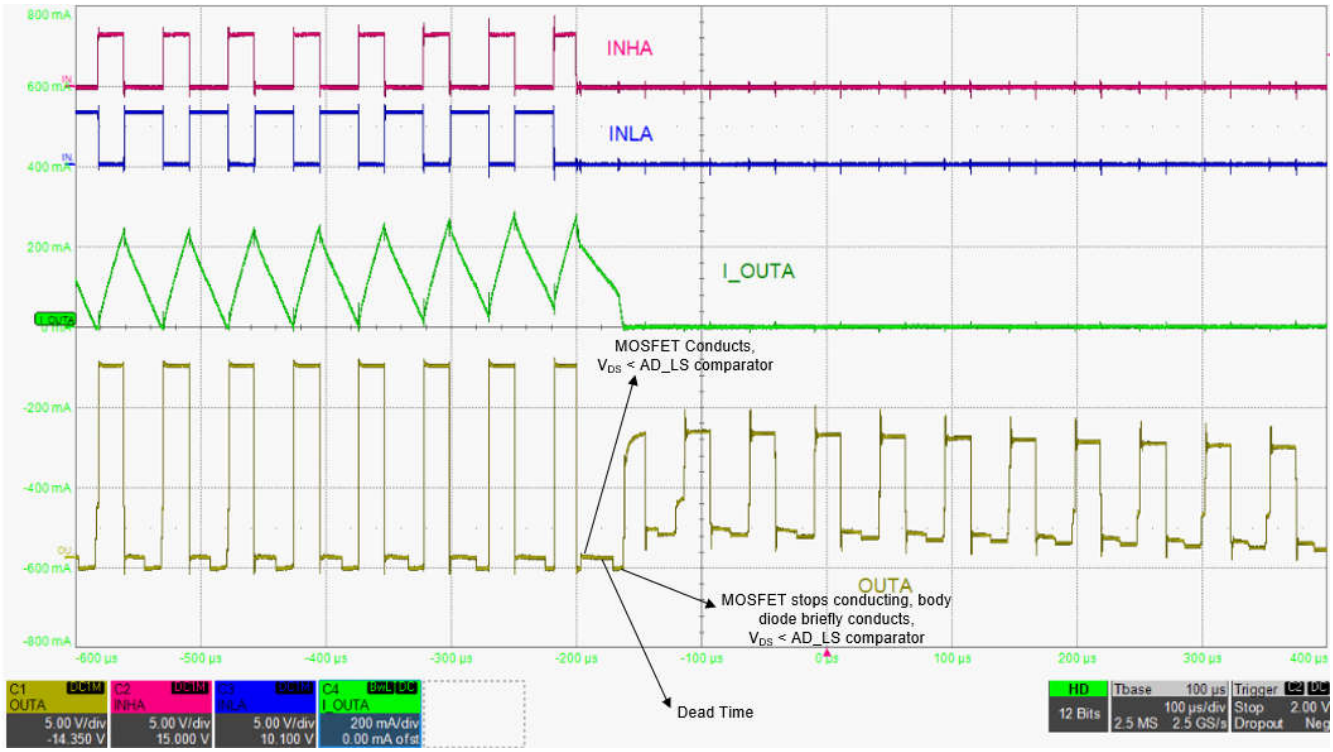


図 9-3. DRV8376 でアクティブ消磁が有効の場合

9.2.1.1.3 電流制限の実装

DRV8376 デバイスの ILIMIT ピンは、ILIMIT ピンの電圧 (V_{LIM}) に比例したサイクル単位の電流制限の設定に使用されます。アナログ電圧 V_{LIM} は、外部のマイコンからの D/A コンバータまたは抵抗デバイダを使用して設定できます。ILIMIT ピンに V_{VREF} と等しい電圧を印加すると、サイクル単位の電流制限が無効化され、(V_{VREF}/ 2 - 0.25) V を ILIMIT ピンに印加することで、最大スレッショルド 4A で電流制限が設定されます。

以下の式は、サイクル単位の電流制限を 2A (すべてのローサイド FET 電流の合計) に設定するため、V_{VREF} = 3.3V、電流検出アンプのゲイン (GAIN) = 1V/A を基準にして ILIMIT ピン電圧 (V_{LIM}) を設定する方法を示したものです。

$$V_{LIM} = \frac{V_{VREF}}{2} + \left(I_{OUT} \times \frac{GAIN}{3}\right) \quad (6)$$

式 7 を使用して、GVDD から供給され抵抗デバイダの値を計算し、抵抗 R_{ILIM1} および R_{ILIM2} を使用して電流制限を 2A の電流制限で計算された値に等しくするように設定します。AVDD や VREF 電圧といった他の電圧レールを使用して、ILIMIT ピン電圧を求めることもできます。必要に応じて、ILIMIT ピンに適切な容量性フィルタを使用してください。

$$V_{LIM}\left(V\right) = GVDD \times \left(\frac{R_{ILIM2}}{R_{ILIM1} + R_{ILIM2}}\right) \quad (7)$$

GVDD の電流負荷を低減させるため、この例では R_{ILIM2} を 10kΩ に設定しています。

$$2.317 = 5 \times \left(\frac{10k\Omega}{R_{ILIM1} + 10k\Omega}\right) \quad (8)$$

$$R_{ILIM1} = 11.6k\Omega \quad (9)$$

また、100% PWM デューティ サイクル入力において、ILIM で電流を監視するために内部 PWM パルスを使用して、サイクル単位の制限を行うこともできます。PWM_100_DUTY_SEL を設定すると、内部 PWM パルスの周波数が 20kHz または 40kHz に設定されます。

注

ILIMIT ピンの電圧が $V_{VREF}/2$ を下回る場合は、ILIMIT スレッショルドは 0A となります。

9.2.1.1.4 電流センシングと出力フィルタリング

SOx ピンは通常、マイコンの A/D コンバータによってサンプリングされ、位相電流が計算されます。フィールド オリエンテッド コントロール (磁界方向制御) などの閉ループ帰還には、位相電流の計算が使用されます。

V_{VREF} = 3.3V、GAIN = 1V/A、ピーク モータ電流 (I_{OUTx}) ±1.25A を使用したシステムの SOx 電圧の計算例をご覧ください。

$$SOx = \frac{V_{VREF}}{2} \pm GAIN \times I_{OUTx} \quad (10)$$

$$SOx = \frac{3.3V}{2} \pm 1V/A \times 1.25 \quad (11)$$

$$SOx = 0.4V \; to \; 2.9V \quad (12)$$

VREF での電圧リップル、SOx トレースへのインダクタンスの追加、または SOx トレースが高周波成分に近接していることに起因して、SOx 信号に高周波ノイズが現れることがあります。マイコンの近くにローパス RC フィルタを追加すると、台形波整流の場合は PWM スイッチング周波数の少なくとも 10 倍、正弦波整流の場合は PWM スイッチング周波数の 100 倍のカットオフ周波数が設定されているため、実質的に高周波ノイズは除去されます。コンデンサの選択は、帯域幅要件、ADC サンプリング コンデンサ、ADC アクイジション時間など、さまざまなパラメータに依存します。電流センシング出力段は、数百マイクロアンペア程度の電流のみを管理します。最大値が 100pF のコンデンサを使用すると、最適性能が維持されます。帯域幅の要件に基づいて、抵抗を選択します。式 13 に、ローパス RC フィルタのカットオフ周波数が示されています。

$$f_c = \frac{1}{2\pi RC} \quad (13)$$

9.2.1.1.5 消費電力と接合部温度の関係

式 14 して、電力損失から DRV8376 の接合部温度を計算します。熱抵抗 θ_{JA} は、周囲温度、PCB 層数、上層および下層の銅厚、PCB 面積などの PCB 構成によって異なることに注意してください。

$$T_J[℃] = P_{loss}[W] \times \theta_{JA}\left[\frac{℃}{W}\right] + T_A[℃] \quad (14)$$

9.2.1.2 アプリケーション曲線

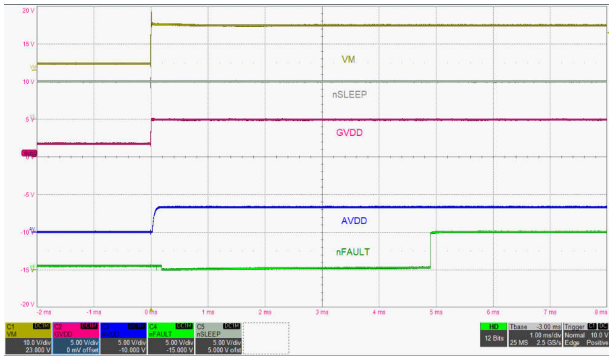


図 9-4. VM によるデバイス パワーアップ

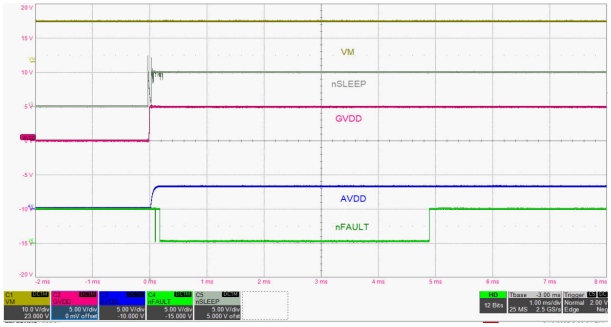


図 9-5. nSLEEP によるデバイスパワーアップ

Copyright © 2025 Texas Instruments Incorporated

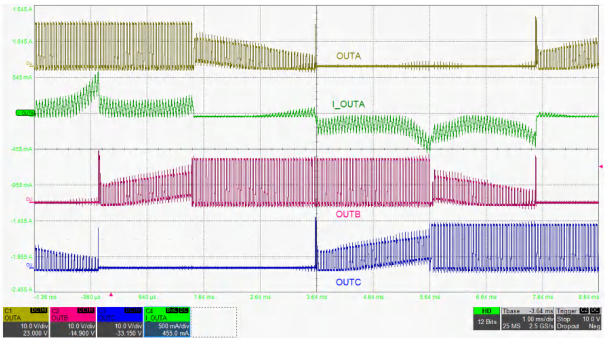


図 9-6. ドライバ PWM、アクティブ消磁は有効化

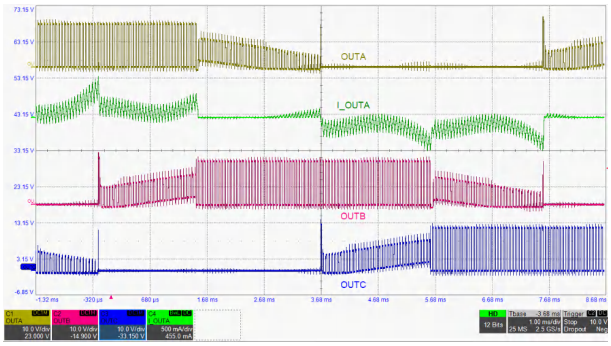


図 9-7. ドライバ PWM、アクティブ消磁は無効化

9.3 電源に関する推奨事項

9.3.1 バルク コンデンサ

適切なローカル バルク容量の確保は、モータ駆動システムの設計において重要な要素です。一般的に、バルク容量が大きいことは有益ですが、コストと物理的なサイズが大きくなるというデメリットもあります。

必要なローカル容量は、次のようなさまざまな要因で決まります。

- モーター システムが必要とする最大電流
- 電源の容量と電流能力
- 電源とモーター システムの間の寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモーターの種類 (ブラシ付き DC、ブラシレス DC、ステッパ)
- モーターのブレーキ方式

電源とモータ駆動システムの間のインダクタンスにより、電源からの電流の変化する速度が制限されます。ローカル バルク容量が小さすぎると、モーターに大電流を供給しようとする場合、または負荷ダンプが発生した場合、システムの電圧が変動します。十分なバルク容量を備えることで、モータの電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨値が記載されていますが、バルク コンデンサの容量が適切かどうかを判断するには、システム レベルのテストが必要です。

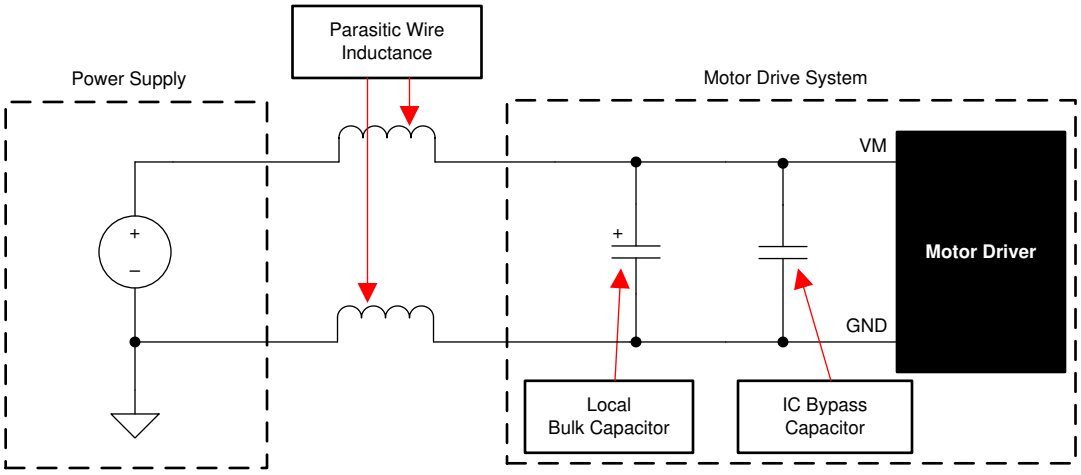


図 9-8. 外部電源を使用したモーター駆動システムの構成例

モータが電源にエネルギーを伝達する場合のマージンを確保するため、バルク コンデンサの定格電圧は動作電圧より高くする必要があります。

Copyright © 2025 Texas Instruments Incorporated

9.4 レイアウト

9.4.1 レイアウトのガイドライン

バルク キャパシタは、モーター ドライバ デバイスを通る大電流パスの距離ができるだけ短くなるように配置する必要があります。接続用の金属パターンはできる限り幅を広くし、PCB 層を接続する際には多数のビアを使用します。これらの手法により、インダクタンスが最小限に抑えられ、バルク コンデンサが大電流を供給できるようになります。

チャージ ポンプ、GVDD、AVDD、VREF コンデンサなどの値の小さいコンデンサはセラミックであり、デバイス ピンに近づけて配置されます。

大電流デバイス出力には、幅の広い金属パターンを使用します。

大きい過渡電流から小電流信号パスへのノイズ結合および EMI 干渉を低減するために、PGND と AGND のグランドは分割します。寄生効果を低減し、デバイスの消費電力を改善するために、電力段以外のすべての回路 (サーマル パッドを含む) を AGND に接続することを推奨します。電圧オフセットを低減させ、ゲート ドライバの性能を維持するため、各グランドは必ずネット タイまたは幅広の抵抗を使って接続します。

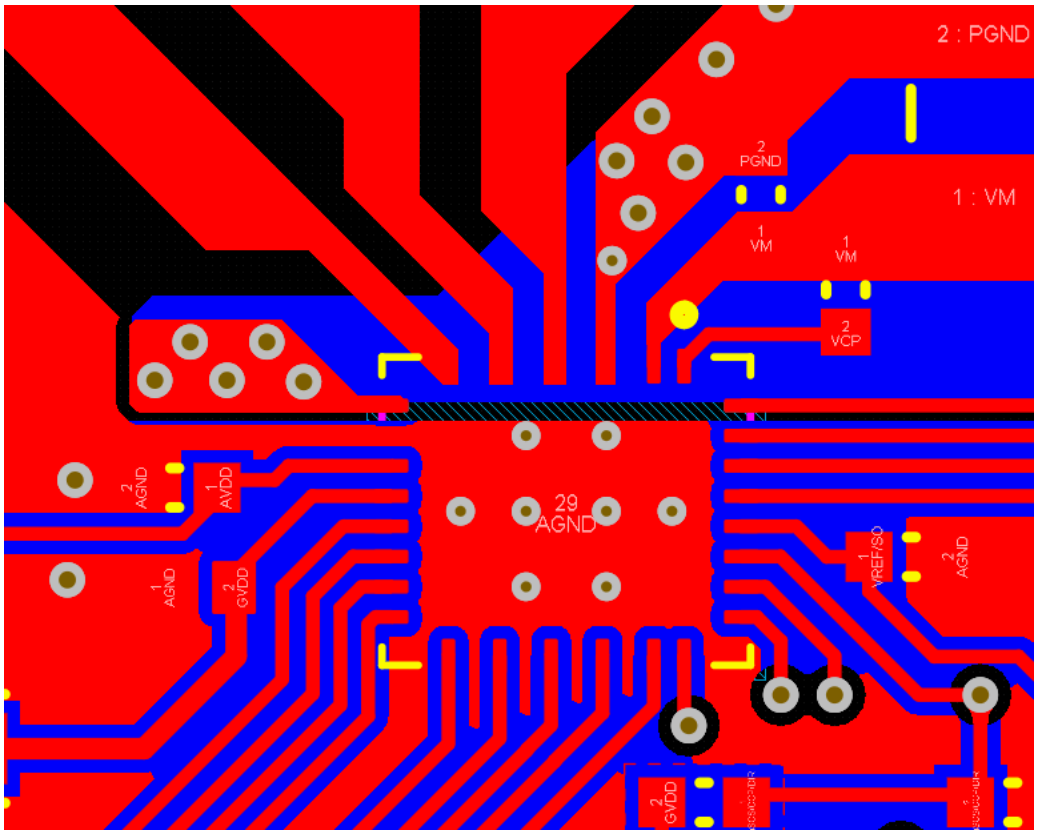
本デバイスのサーマル パッドは、PCB の最上層のグランド プレーンに半田付けします。複数のビアを使用して最下層の大きなグランド プレーンに接続します。大きい金属プレーンおよび複数のビアを使うと、本デバイス内で発生する $I^2 \times R_{DS(on)}$ の熱を放散するのに役立ちます。

放熱性を高めるため、サーマル パッド グランドに接続されたグランド領域を、PCB の全層にわたって最大化します。厚い銅のベタ パターンを使うと、接合部から外気への熱抵抗が下がり、ダイ表面からの放熱性が改善されます。

Copyright © 2025 Texas Instruments Incorporated

9.4.2 レイアウト例

VQFN パッケージの推奨レイアウト例



9.4.3 熱に関する注意事項

DRV8376 は、前述のようにサーマル シャットダウン機能 (TSD) を備えています。ダイ温度が 150℃を超えると、ダイ温度が安全なレベルに低下するまで、本デバイスの機能は (最小限に) 無効化されます。

何度もサーマル シャットダウンが作動する場合、それは、消費電力が過大である、放熱が不十分である、周囲温度が高すぎる、のいずれかであることを示しています。

9.4.3.1 電力散逸

DRV8376 の電力損失には、スタンバイ電力損失、LDO の電力損失、FET の導通損失とスイッチング損失、ダイオード損失が含まれます。FET の導通損失は、DRV8376 の合計消費電力の大部分を占めます。起動時およびフォルト条件では、出力電流は通常の電流よりもはるかに大きくなります。これらのピーク電流とその持続時間を考慮に入れる必要があります。デバイスの合計消費電力は、互いに追加された 3 つのハーフブリッジのそれぞれで消費される電力です。本デバイスが消費して放散できる電力の最大値は、周囲温度とヒートシンクの影響を受けます。RDS、ON は温度とともに上昇するので、デバイスが発熱すると消費電力が増大することに注意してください。PCB とヒートシンクを設計する際には、この点を考慮に入れてください。

Copyright © 2025 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.5 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

Changes from Revision * (October 2024) to Revision A (March 2025)	Page
• チャージ ポンプのフライ コンデンサの値を 10nF から 47nF に更新	16

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントの改訂を伴わない場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8376HNLGR	Active	Production	VQFN (NLG) | 28	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8376H
DRV8376HNLGR.A	Active	Production	VQFN (NLG) | 28	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8376H
DRV8376SNLGR	Active	Production	VQFN (NLG) | 28	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8376S
DRV8376SNLGR.A	Active	Production	VQFN (NLG) | 28	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8376S

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF DRV8376 :

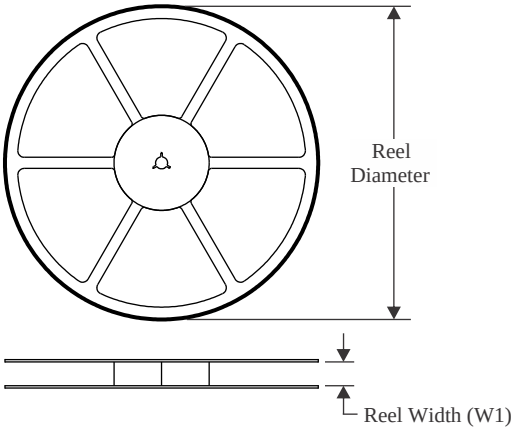
- Automotive : DRV8376-Q1

NOTE: Qualified Version Definitions:

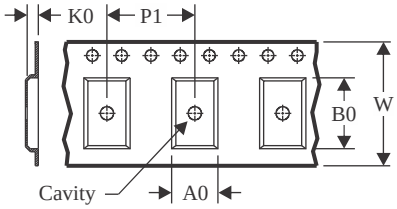
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

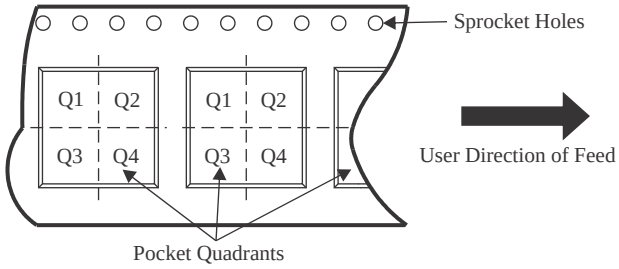


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

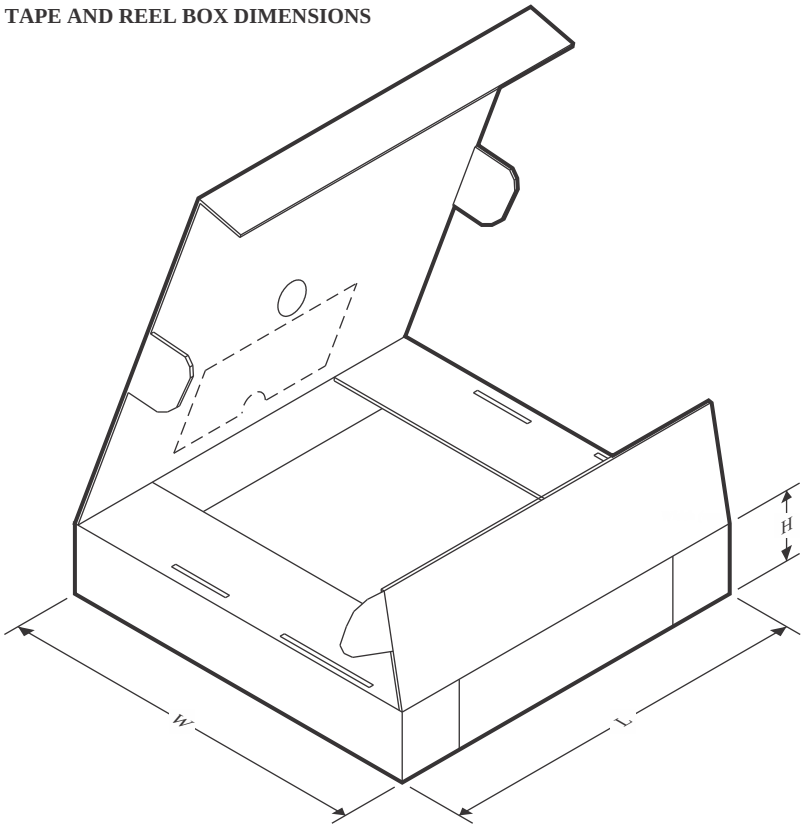
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8376HNLGR	VQFN	NLG	28	5000	330.0	12.4	5.3	6.3	1.15	8.0	12.0	Q1
DRV8376SNLGR	VQFN	NLG	28	5000	330.0	12.4	5.3	6.3	1.15	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8376HNLGR	VQFN	NLG	28	5000	367.0	367.0	35.0
DRV8376SNLGR	VQFN	NLG	28	5000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

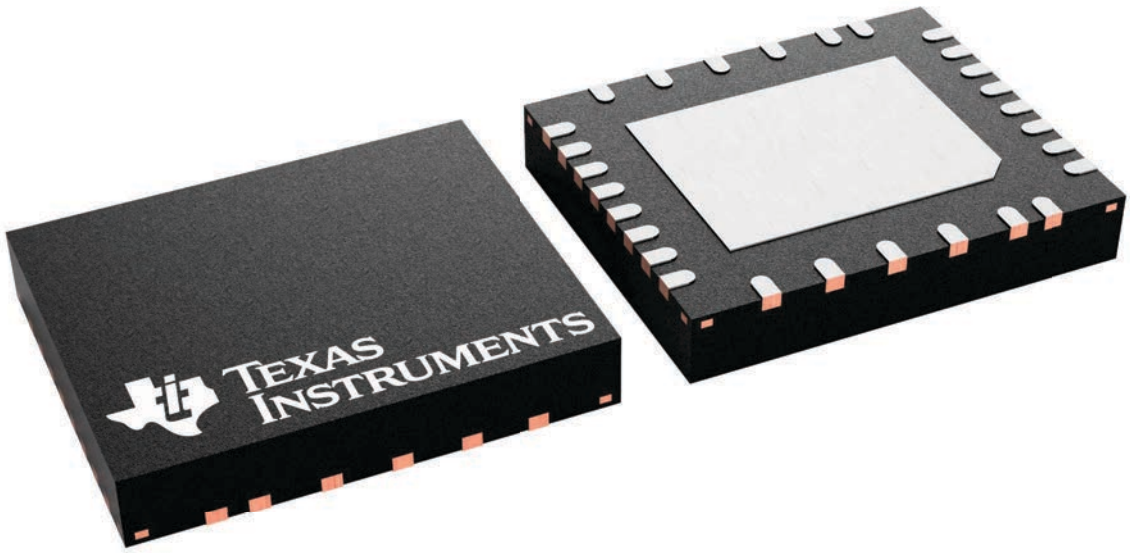
NLG 28

VQFN - 1 mm max height

5 x 6, 0.5 mm pitch

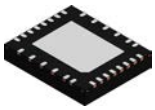
PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4230518/A

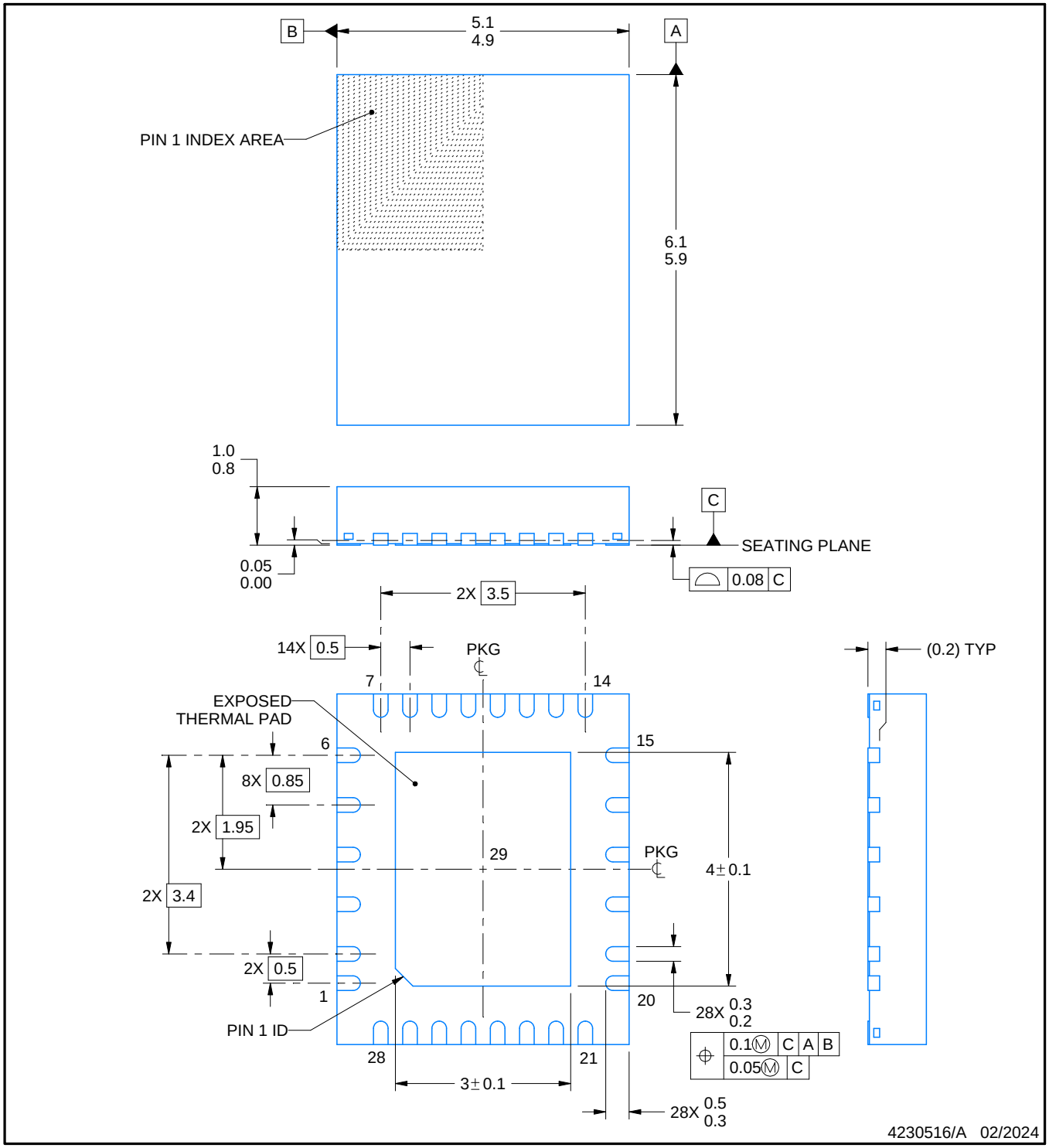
NLG0028B



PACKAGE OUTLINE

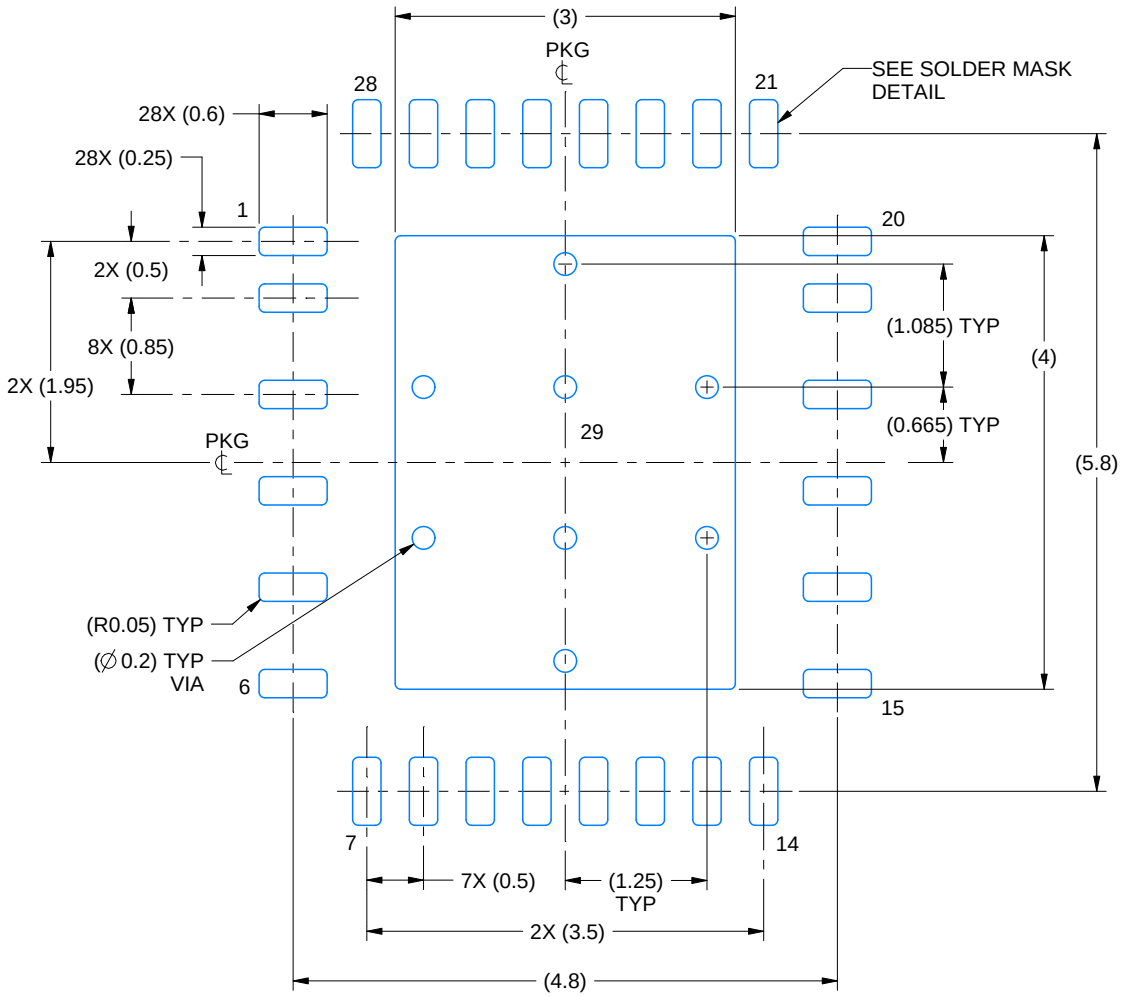
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

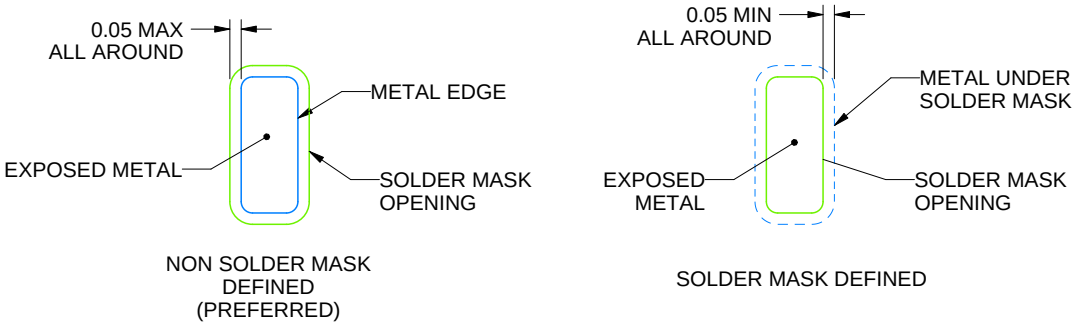


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4230516/A 02/2024

NOTES: (continued)

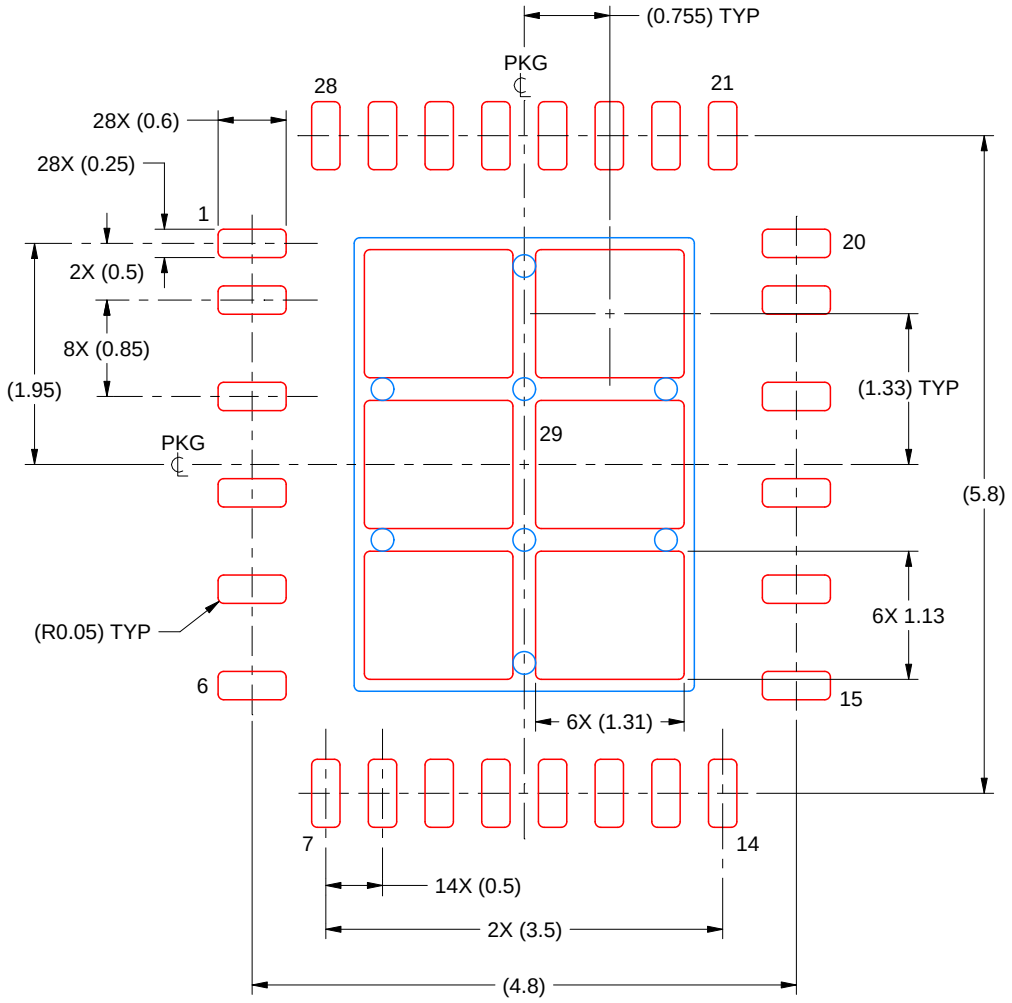
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

NLG0028B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 29
74% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4230516/A 02/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月