DRV8378、3 相 FET 内蔵モーター ドライバ

1 特長

- 三相 BLDC モータードライバ
- 動作電圧:4.5V～65V (絶対最大定格 70V)
- 高い出力電流能力:ピーク 16A
- 低い MOSFET オンステート抵抗
  - T_A = 25℃で 58mΩ の $R_{DS(ON)}$ (HS + LS)
- 先進の MOSFET スイッチング手法により、1.1V/ns @24V のスルーレートでスイッチング損失を低減、逆回復損失は無視できる程度
- 100ns 未満の非常に短いデッド タイムと 100ns 未満の伝搬遅延により、モーター ドライブの電流歪みを最小化し、可聴ノイズの低減と制御精度の向上を実現
- 低消費電力スリープ モード
  - 3.6μA (V_{VM} = 48V、T_A = 25°C)
- 複数の制御インターフェイス オプション
  - 6x PWM 制御インターフェイス
  - 3x PWM 制御インターフェイス
- 外付け電流センス抵抗不要、T_A = 25°C で ±3% 精度の電流検出機能を内蔵
- 100% デューティ サイクルのチャージ ポンプを内蔵
- アクティブ消磁と自動同期整流により電力損失を低減
- 6 x 4mm、5 x 7mm の超小型パッケージ オプション
- 内部プリドライバと外部負荷用の 5V (5%)、30mA LDO レギュレータ (GVDD) を内蔵
- 柔軟なデバイス構成オプション
  - DRV8378S:デバイスの構成とフォルト ステータスのための 5MHz、16 ビット SPI、内部 GVDD レギュレータ付き
  - DRV8378G:デバイスの構成とフォルト ステータスのための 5MHz、16 ビット SPI、プリドライバ用外部 5V
  - DRV8378H:ハードウェア ピンを使った構成、内部 GVDD レギュレータ付き
- 1.8V、3.3V、5V のロジック入力をサポート
- 保護機能内蔵
  - 電源低電圧誤動作防止 (UVLO)
  - チャージ ポンプ低電圧 (CPUV)
  - 過電流保護 (OCP)
  - 熱警告およびシャットダウン (OTW/OTSD)
  - フォルト状況表示ピン (nFAULT)

2 アプリケーション

- ブラシレス DC (BLDC) モーター モジュール
- プリンタ
- OA 機器
- ロボットとヒューマノイド
- ファクトリ オートメーション

3 説明

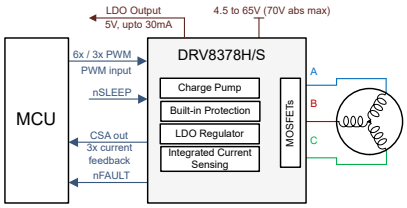
DRV8378 は、ブラシレス DC モーターを駆動するためのシングル チップ FET 内蔵電力段を提供します。DRV8378 は、大電力駆動能力を実現するため、70V の絶対最大定格と 58mΩ (ハイサイドとローサイドの合計) という非常に小さい $R_{DS(ON)}$ を持つ 3 つの 1/2H ブリッジを内蔵しています。内蔵の電流検出機能を使って電流を測定するので、外付けの検出抵抗は不要です。内蔵の LDO が本デバイスに必要な電圧レールを生成します。これは外部回路への電力供給にも使用されます。各出力ドライバ チャネルは、ハーフ ブリッジ型の N チャネル パワー MOSFET で構成されています。

DRV8378 には 6x または 3x の PWM 制御方式が実装されており、センサ付きまたはセンサレスのフィールド オリエンテッド制御 (FOC)、正弦波制御、または外付けマイコンを使用した台形制御を実現できます。DRV8378 は、最大 200kHz の PWM 周波数で駆動できます。

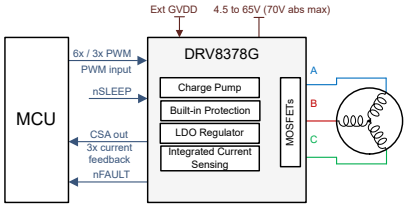
製品情報

型番(2)	パッケージ	パッケージ サイズ (3)
PDRV8378GHVERR	VQFN (23)	6.00mm × 4.00mm
PDRV8378HVERR(1)	VQFN (23)	6.00mm × 4.00mm
PDRV8378GSVEOR(1)	VQFN (29)	7.00mm × 5.00mm
PDRV8378HVEOR(1)	VQFN (29)	7.00mm × 5.00mm

(1) このデバイスはプレビュー版としてのみ供給されます。
(2) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(3) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図 (DRV8378H/S)



概略回路図 (DRV8378G)

ADVANCE INFORMATION

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

ADVANCE INFORMATION

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 デバイス比較表 ... 3
5 ピン構成および機能 ... 4
6 仕様 ... 7
6.1 絶対最大定格 ... 7
6.2 ESD 定格 ... 7
6.3 推奨動作条件 ... 7
6.4 熱に関する情報 ... 8
6.5 電気的特性 ... 8
6.6 SPI のタイミング要件 ... 14
6.7 SPI モードのタイミング ... 15
7 詳細説明 ... 16
7.1 概要 ... 16
7.2 機能ブロック図 ... 16
7.3 機能説明 ... 18
7.4 スルー レート制御 ... 27
7.5 クロス導通 (デッド タイム) ... 28
7.6 伝搬遅延 ... 29
7.7 ピン配置図 ... 29
7.8 電流センス アンプ ... 32
7.9 アクティブ消磁 ... 35
7.10 サイクル単位の電流制限 ... 40
7.11 保護 ... 46
7.12 デバイスの機能モード ... 51
7.13 SPI 通信 ... 53
8 アプリケーションと実装 ... 55
8.1 使用上の注意 ... 55
8.2 電源に関する推奨事項 ... 57
8.3 レイアウト ... 58
9 デバイスおよびドキュメントのサポート ... 62
9.1 ドキュメントのサポート ... 62
9.2 サポート・リソース ... 62
9.3 商標 ... 62
9.4 静電気放電に関する注意事項 ... 62
9.5 用語集 ... 62
10 改訂履歴 ... 62
11 メカニカル、パッケージ、および注文情報 ... 62
11.1 テープおよびリール情報 ... 64

Copyright © 2026 Texas Instruments Incorporated

4 デバイス比較表

デバイス	パッケージ	インターフェイス
DRV8378H	23 ピン VQFN (6x4mm)	ハードウェア、内部 GVDD 電源
DRV8378GH	23 ピン VQFN (6x4mm)	ハードウェア、外部 GVDD 電源
DRV8378S	29 ピン VQFN (7x5mm)	SPI、内部 GVDD 電源
DRV8378H		ハードウェア、内部 GVDD 電源
DRV8378GS		SPI、外部 GVDD 電源

表 4-1. DRV8378S (29 ピン SPI バリアント)、DRV8378H (29 ピン ハードウェア バリアント)、DRV8378G (29 ピン SPI バリアント、外部 GVDD) の構成比較

パラメータ	DRV8378S および DRV8378G (SPI バリアント 29 ピン)	DRV8378H (ハードウェア バリアント 29 ピン)	DRV8378H (ハードウェア バリアント 23 ピン)
PWM モード設定	PWM_MODE (4 つの設定)	MODE_SR ピン (4 つの設定)	該当なし
スルーレートの設定	SLEW_RATE (4 つの設定)	SLEW ピン (4 つの設定)	固定スルーレート 1.1V/ns
CSA ゲイン設定	CSA_GAIN (4 つの設定)	ゲイン ピン (4 つの設定)	固定ゲイン、0.1mA/A
SDO ピン構成:モード、電圧	SDO_ODEN (2 つの設定)、SDO_MD (2 つの設定)	該当なし	該当なし
電流制限構成:モード、nFAULT 通知、ブランキング時間、100% デューティ PWM 周波数	ILIM FLT_MODE (2 つの設定)、ILIM_MODE (2 つの設定)、ILIM_BLANK_SEL (4 つの設定)、PWM_100_FREQ_SEL (4 つの設定)	nFAULT 時の電流制限通知は有効化、コースト モードは固定、ブランキング時間はスルーレート 50V/µs の場合は 5.6µs に設定、その他すべてのスルーレートの場合は 1.8µs に設定、100% デューティ入力 PWM サイクルは 20kHz に固定	該当なし
過電圧保護モード	OVP_MODE (2 つの設定)、OVP_SEL (2 つの設定)	過電圧保護は無効化	過電圧保護は無効化
OCP の構成:モード、レベル、グリッチ除去	OCP_MODE (4 つの設定)、OCP_LVL (2 つの設定)、OCP_DEG (4 つの設定)、OCP_RETRY (2 つの設定)	自動リトライ モードで有効化、レベルは 20A に固定、グリッチ除去時間は 1.4µs、リトライ時間は 5 ms	自動リトライ モードで有効化、レベルは 20A に固定、グリッチ除去時間は 1.4µs、リトライ時間は 5 ms
アクティブ消磁:有効、コンパレータのスレッショルド、コンパレータのマスク時間、フォルト時の動作	EN_ASR (2 つの設定)、EN_AAR (2 つの設定)、AD_COMP_TH_HS、AD_COMP_TH_LS	MODE_SR (2 つの設定)、アクティブ消磁コンパレータのスレッショルドは 100mA に設定、コンパレータのマスク時間はスルーレート 50 の場合は 5.6µs に設定、その他すべてのスルーレートの場合は 1.8µs に設定。ADMAG_TMARGIN は 1.6µs に設定、OCP 中はアクティブ消磁が無効化。	アクティブ消磁コンパレータのスレッショルドは 100mA に設定、コンパレータのマスク時間は 1.8µs に設定。ADMAG_TMARGIN は 1.6µs に設定、OCP 中はアクティブ消磁が無効化。
過熱警告	OTW_MODE (2 つの設定)	nFAULT で通知	nFAULT で通知

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

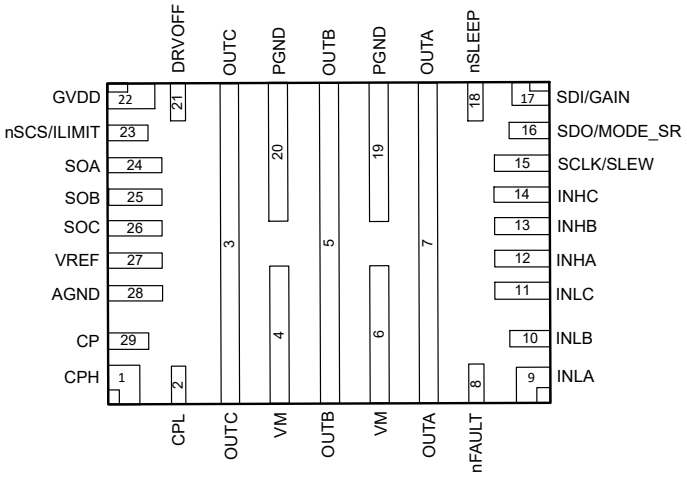


図 5-1. DRV8378 29 ピン VQFN 上面図

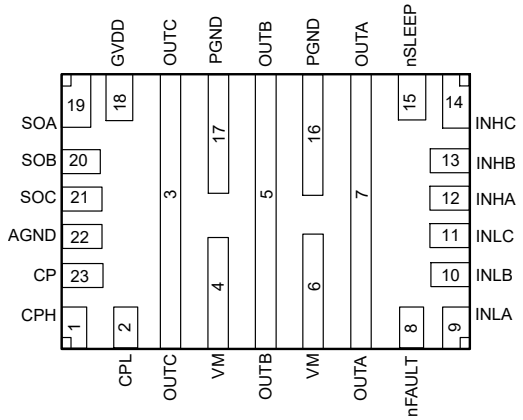


図 5-2. DRV8378 23 ピン VQFN 上面図

表 5-1. ピンの機能

ピン	23 ピン VQFN パッケージ	29 ピン VQFN パッケージ			タイプ[1]	説明
名称	DRV8378H	DRV8378H	DRV8378S	DRV8378G		
AGND	22	28	28	28	GND	デバイスのアナログ グランド。接続に関する推奨事項については、レイアウトを参照してください。
CP	23	29	29	29	PWR O	チャージ ポンプ出力。X5R または X7R、1µF、16V セラミック コンデンサを CP ピンと VM ピンの間に接続します。
CPH	1	1	1	1	PWR O	チャージ ポンプのスイッチング ノード。X5R または X7R、100nF、セラミック コンデンサを CPH ピンと CPL ピンの間に接続します。コンデンサの電圧定格は、デバイスの通常動作電圧の 2 倍以上とすることを推奨します。
CPL	2	2	2	2	PWR O	
DRVOFF	—	21	21	21	I	このピンが High にプルされると、電力段の 6 つの MOSFET がターンオフし、すべての出力がハイインピーダンスになります。
ゲイン	—	17	—	—	I	電流センス アンプのゲイン設定。このピンは、外付け抵抗で設定される 4 レベル入力ピンです。
ILIMIT	—	26	—	—	I	サイクル単位の電流で使用される相電流のスレッショルドを設定します
INHA	12	12	12	12	I	OUTA のハイサイド ドライバ制御入力。このピンは、ハイサイド MOSFET の出力を制御します。
INHB	13	13	13	13	I	OUTB のハイサイド ドライバ制御入力。このピンは、ハイサイド MOSFET の出力を制御します。
INHC	14	14	14	14	I	OUTC のハイサイド ドライバ制御入力。このピンは、ハイサイド MOSFET の出力を制御します。
INLA	9	9	9	9	I	OUTA のローサイド ドライバ制御入力。このピンは、ローサイド MOSFET の出力を制御します。
INLB	10	10	10	10	I	OUTB のローサイド ドライバ制御入力。このピンは、ローサイド MOSFET の出力を制御します。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン	23 ピン VQFN パッケージ	29 ピン VQFN パッケージ			タイプ[1]	説明
名称	DRV8378H	DRV8378H	DRV8378S	DRV8378G		
INLC	11	11	11	11	I	OUTC のローサイド ドライバ制御入力。このピンは、ローサイド MOSFET の出力を制御します。
MODE_SR	—	16	—	—	I	PWM 入力モード設定。このピンは、外付け抵抗で設定される 4 レベル入力ピンです。
nFAULT	8	8	8	8	O	フォルト インジケータ。フォルト条件によってロジック Low にプルされます。オープン ドレイン出力には、2.2V～5.0V への外部プルアップ抵抗が必要です。nFAULT をプルアップするために外部電源を使用する場合は、電源投入時に nFAULT が 2.2V 以上にプルアップされていることを確認してください。そうしないと、デバイスはテスト モードに入る可能性があります
nSCS	—	—	23	23	I	シリアル チップ選択。このピンのロジック LOW により、シリアル インターフェイス通信が可能になります。
nSLEEP	15	18	18	18	I	ドライバ nSLEEP。このピンをロジック Low にすると、デバイスは低消費電力のスリープ モードに移行します。20µs ～ 40µs の Low パルスを使うとフォルト状態をリセットできます。
OUTA	7	7	7	7	PWR O	ハーフブリッジ出力 A
OUTB	5	5	5	5	PWR O	ハーフブリッジ出力 B
OUTC	3	3	3	3	PWR O	ハーフブリッジ出力 C
PGND	16、17	19、20	19、20	19、20	GND	デバイスの電源グランド。接続に関する推奨事項については、レイアウトを参照してください。
SCLK	—	—	15	15	I	シリアル クロック入力。シリアル データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト アウトおよびキャプチャされます (SPI デバイス)。
SDI	—	—	17	17	I	シリアル データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます (SPI デバイス)。
SDO	—	—	16	16	O	シリアル データ出力。データは、SCLK ピンの立ち上がりエッジでシフト アウトされます。このピンは外付けプルアップ抵抗を必要とします (SPI デバイス)。。
SLEW	—	15	—	—	I	スルーレート制御設定このピンは、外付け抵抗で設定される 4 レベル入力ピンです。
SOA	19	24	24	24	O	電流センスアンプの出力。DRV8378H/S の 29 ピン バリアントの場合：電流センス アンプの出力は、ローサイド FET 電流に比例した電圧です。容量性負荷またはローパス フィルタ (直列抵抗と AGND へのコンデンサ) をサポート DRV8378H の 23 ピン バリアントの場合：電流センス アンプの出力は、ローサイド FET 電流に比例した電流です。電流を電圧に変換するには、SOA と AGND の間に外付け抵抗が必要です。

ADVANCE INFORMATION

表 5-1. ピンの機能 (続き)

ピン	23 ピン VQFN パッケージ	29 ピン VQFN パッケージ			タイプ(1)	説明
名称	DRV8378H	DRV8378H	DRV8378S	DRV8378G		
SOB	20	25	25	25	O	電流センスアンプの出力。DRV8378H/S の 29 ピン バリアントの場合:電流センス アンプの出力は、ローサイド FET 電流に比例した電圧です。容量性負荷またはローパス フィルタ (直列抵抗と GND へのコンデンサ) をサポート DRV8378H の 23 ピン バリアントの場合:電流センス アンプの出力は、ローサイド FET 電流に比例した電流です。電流を電圧に変換するには、SOB と GND の間に外付け抵抗が必要です。
SOC	21	26	26	26	O	電流センスアンプの出力。DRV8378H/S の 29 ピン バリアントの場合:電流センス アンプの出力は、ローサイド FET 電流に比例した電圧です。容量性負荷またはローパス フィルタ (直列抵抗と AGND へのコンデンサ) をサポート DRV8378H の 23 ピン バリアントの場合:電流センス アンプの出力は、ローサイド FET 電流に比例した電流です。電流を電圧に変換するには、SOC と AGND の間に外付け抵抗が必要です。
VM	4.6	4、6	4、6	4、6	PWR I	電源。モーターの電源電圧に接続し、VM 定格の 2 つの 0.1µF コンデンサ (各ピンに) と 1 つのバルク コンデンサを使用して PGND にバイパスします。コンデンサの電圧定格は、デバイスの通常動作電圧の 2 倍以上とすることを推奨します。
VREF	—	27	27	27	PWR/I	電流センス アンプのリファレンス X5R または X7R、0.1µF、6.3V セラミック コンデンサを VREF ピンと AGND ピンの間に接続します。
GVDD	18	22	22	22	PWR I/O	DRV8378H/S の場合:5V 内部レギュレータ出力。X5R または X7R、1µF、10V セラミック コンデンサを GVDD ピンと AGND ピンの間に接続します。このレギュレータは最大 30mA を外部にソースできます。 DRV8378G の場合:内部プリドライバの外部電源入力。X5R または X7R、1µF、10V セラミック コンデンサを GVDD ピンと AGND ピンの間に接続します。

(1) I = 入力、O = 出力、GND = グランド ピン、PWR = 電源、NC = 未接続

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り)(1)

	最小値	最大値	単位
電源ピン電圧 (VM)	-0.3	70	V
電源電圧ランプ (VM)		4	V/µs
グランド ピン (PGND、AGND) 間の電圧差	-0.6	0.6	V
チャージ ポンプ電圧 (CPH、CP)	-0.3	V_M + 6	V
チャージ ポンプ負スイッチング ピン電圧 (CPL)	-0.3	V_M + 0.3	V
アナログ レギュレータ ピン電圧 (GVDD)	-0.3	5.75	V
アナログ レギュレータ ピン電圧 (GVDD) 、外部	-0.3	5.75	V
アナログ ピン入力電圧 (VREF、ILIMIT)	-0.3	5.75	V
アナログ ピン出力電圧 (SOx)	-0.3	5.75	V
ロジック ピン入力電圧 (INHx、INLx、nSCS、SCLK、SDI)	-0.3	5.75	V
ロジック ピン入力電圧 (DRVOFF、nSLEEP)	-0.3	70	V
ロジック ピン出力電圧 (SDO)	-0.3	5.75	V
ロジック ピン出力電圧 (nFAULT)	-0.3	70	V
マルチレベル ピン入力電圧 (GAIN、MODE_SR、SLEW)	-0.3	5.75	V
出力ピン電圧 (OUTA、OUTB、OUTC)	-1	V_M + 1	V
周囲温度、T_A	-40	125	°C
接合部温度、T_J	-40	150	°C
保管温度、T_{stg}	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠(2)	±750	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

動作時周辺温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{VM}	電源電圧	V_{VM}	4.5	48	65	V
V_{GVDD}	GVDD の外部電源 (DRV8378G のみ)	V_{GVDD}	4.5	5	5.5	
f_{PWM}	出力 PWM 周波数	OUTA、OUTB、OUTC			200	kHz
I_{OUT} (1)	ピーク出力巻線電流	OUTA、OUTB、OUTC			16	A
V_{IN}	ロジック入力電圧	DRVOFF、INHx、INLx、nSCS、SCLK、SDI、nSLEEP	-0.1		5.5	V
V_{IN}	マルチ レベル入力電圧	GAIN、MODE_SR、SLEW	-0.1		5.5	V

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

動作時周辺温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{OD}	オープンドレイン プルアップ電圧	nFAULT、SDO	-0.1		5.5	V
V_{SDO}	プッシュ プル電圧	SDO	2.2		5.5	V
I_{OD}	オープンドレイン出力電流	nFAULT、SDO			5	mA
V_{VREF}	電圧リファレンス ピン電圧	VREF	2.2		5.5	V
ILIMIT	電流制限の電圧リファレンス	ILIMIT	-0.1		5.5	V
T_A	動作時周囲温度		-40		125	°C
T_J	動作時接合部温度		-40		150	°C

(1) 消費電力および温度の制限に従う必要があります。

6.4 熱に関する情報

熱評価基準(1)		DRV8378H、DRV8378S		単位
		29 ピン	23 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	24.42	26.23	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	8.09	4.87	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	13.34	15.51	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.34	0.41	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	8.35	6.98	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.5 電気的特性

T_J = -40°C～+150°C、V_{VM} = 4.5～65V (特に記述のない限り)。標準値には T_A = 25°C、V_{VM} = 48V が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
I_{VMQ}	VM スリープ モード電流	V_{VM} > 6V、nSLEEP = 0、T_A = 25°C		3.6	5.4	µA
		nSLEEP = 0		3.6	5.6	µA
I_{VMS}	VM スタンバイ モード電流	V_{VM} > 6V、nSLEEP = 1、INHx = INLx = 0、SPI = 'OFF'、T_A = 25°C		2.5	2.8	mA
		nSLEEP = 1、INHx = INLx = 0、SPI = 'OFF'		2.5	3.1	mA
I_{VM}	VM 動作モード電流	V_{VM} > 6V、nSLEEP = 1、f_{PWM} = 20kHz		6	6.8	mA
		nSLEEP =1、f_{PWM} = 20kHz		6	7.1	mA
		nSLEEP =1、f_{PWM} =100kHz		19	23	mA
V_{GVDD}	アナログ レギュレータの電圧	0mA ≤ I_{GVDD} ≤ 30mA、(外部負荷)、VM > 6V	4.75	5	5.25	V
I_{GVDD}	外部アナログ レギュレータの負荷	VM > 6V			30	mA
V_{VCP}	チャージポンプ レギュレータ電圧	VM を基準とした VCP (4.5V < VM < 5V)	3.5	4.5	5	V
t_{WAKE}	ウェークアップ時間	V_{VM} > V_{UVLO}、nSLEEP = 1 で出力準備完了、nFAULT 解放			5.5	ms
t_{SLEEP}	スリープ パルス時間	nSLEEP = 0 でスリープ モード	120			µs
t_{RST}	リセット パルス時間	nSLEEP = 0 でフォルトをリセット	20		40	µs
電源 (外部 GVDD)						
I_{VMQ}	VM スリープ モード電流	V_{VM} > 6V、nSLEEP = 0、T_A = 25°C		3.6	5.3	µA
I_{VMQ}	VM スリープ モード電流	nSLEEP = 0		3.6	5.6	µA

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

T_J = -40℃～+150℃、V_{VM} = 4.5～65V (特に記述のない限り)。標準値には T_A = 25℃、V_{VM} = 48V が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VMQ}	VM スタンバイ モード電流	V_{VM} > 6V、nSLEEP = 1、INHx = INLx = 0、SPI = 'オフ'、T_A = 25℃		0.5	0.6	mA
I_{VMQ}	VM スタンバイ モード電流	nSLEEP = 1、INHx = INLx = 0、SPI = 'オフ'		0.5	0.7	mA
I_{VMQ}	VM 動作モード電流	V_{VM} > 6V、nSLEEP = 1、f_{PWM} = 20kHz		3.4	5.2	mA
I_{VMQ}	VM 動作モード電流	nSLEEP =1、f_{PWM} = 20kHz		3.4	5.2	mA
I_{VMQ}	VM 動作モード電流	nSLEEP =1、f_{PWM} =100kHz		14.3	22.9	mA
I_{GVDD}	GVDD スリープ モード電流	GVDD = 5V、nSLEEP = 0、T_A = 25℃			3	µA
I_{GVDD}	GVDD スリープ モード電流	GVDD = 5V、nSLEEP = 0			5	µA
I_{GVDD}	GVDD スタンバイ モード電流	GVDD = 5V、nSLEEP = 1、INHx = INLx = 0、SPI = 'オフ'、T_A = 25℃		2.4		mA
I_{GVDD}	GVDD スタンバイ モード電流	GVDD = 5V、nSLEEP = 1、INHx = INLx = 0、SPI = 'オフ'		2.4	3.2	mA
I_{GVDD}	GVDD 動作モード電流	GVDD = 5V、nSLEEP = 1、f_{PWM} = 20kHz		2.7	3.6	mA
I_{GVDD}	GVDD 動作モード電流	GVDD = 5V、nSLEEP = 1、f_{PWM} = 100kHz		4.6	5.8	mA
t_{wake}	ウェークアップ時間	V_{VM} > V_{UVLO}、nSLEEP = 1 で出力準備完了、nFAULT 解放			3.5	ms
ロジックレベル入力 (DRVOFF、INHx、INLx、nSLEEP、SCLK、SDI)						
V_{IL}	入力ロジック Low 電圧		0		0.6	V
V_{IH}	入力ロジック High 電圧	nSLEEP	1.6		5.5	V
		その他のピン	1.5		5.5	V
V_{HYS}	入力ロジック ヒステリシス	nSLEEP	240	450	570	mV
		その他のピン	180	300	500	mV
I_{IL}	入力ロジック Low 電流	V_{PIN} (ピン電圧) = 0V	-1		1	µA
I_{IH}	入力ロジック High 電流	nSLEEP、DRVOFF、V_{PIN} (ピン電圧) = 5V	15		35	µA
I_{IH}	入力ロジック High 電流	その他のピン、V_{PIN} (ピン電圧) = 2V	20		75	µA
R_{PD}	入力プルダウン抵抗	DRVOFF	150	200	300	kΩ
R_{PD}	入力プルダウン抵抗	nSLEEP	150	200	300	kΩ
		その他のピン	70	100	130	kΩ
t_{FILT}	フィルタ時定数	DRVOFF	1	2	3	µs
C_{ID}	入力容量			30		pF
ロジック レベル入力 (nSCS)						
V_{IL}	入力ロジック Low 電圧		0		0.6	V
V_{IH}	入力ロジック High 電圧		1.5		5.5	V
V_{HYS}	入力ロジック ヒステリシス		180	350	550	mV
I_{IL}	入力ロジック Low 電流	V_{PIN} (ピン電圧) = 0V			75	µA
I_{IH}	入力ロジック High 電流	V_{PIN} (ピン電圧) = 5V	-1		25	µA
R_{PU}	入力プルアップ抵抗		160	200	260	kΩ
C_{ID}	入力容量			30		pF
4 レベル入力 (GAIN、MODE_SR、SLEW、)						
V_{L1}	入力モード 1 電圧	AGND に接続	0		0.2*GVDD	V
V_{L2}	入力モード 2 電圧	ハイ インピーダンス	0.27*GVDD	0.5*GVDD	0.55*GVDD	V

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

T_J = -40℃～+150℃、V_{VM} = 4.5～65V (特に記述のない限り)。標準値には T_A = 25℃、V_{VM} = 48V が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{L3}	入力モード 3 電圧	94kΩ +/- 5% で GVDD に接続	0.6*GVDD	0.76*GVDD	0.9*GVDD	V
V_{L4}	入力モード 4 電圧	GVDD に接続	0.94*GVDD		GVDD	V
R_{PU}	入力プルアップ抵抗	対 GVDD	160	200	240	kΩ
R_{PD}	入力プルダウン抵抗	To AGND	160	200	240	kΩ
オープンドレイン出力 (nFAULT)						
V_{OL}	出力ロジック Low 電圧	I_{OD} = 5mA			0.4	V
I_{OH}	出力ロジック High 電流	V_{OD} = 5 V	-1		1	µA
C_{OD}	出力容量				30	pF
プッシュプル出力 (SDO)						
V_{OL}	出力ロジック Low 電圧	I_{OP} = 5mA	0		0.4	V
V_{OH}	ロジック High 出力電圧	I_{OP} = 5mA	3.4		GVDD	V
I_{OL}	出力ロジック Low リーク電流	V_{OP} = 0V	-1		1	µA
I_{OH}	出力ロジック High リーク電流	V_{OP} = 5V	-1		1	µA
C_{OD}	出力容量				30	pF
ドライバ出力						
$R_{DS(ON)}$	全 MOSFET オン抵抗 (ハイサイド + ローサイド)	V_{VM} > 6V、I_{OUT} = 1A、T_A = 25°C		58	62	mΩ
		V_{VM} < 6V、I_{OUT} = 1A、T_A = 25°C		59	66	mΩ
		V_{VM} > 6V、I_{OUT} = 1A、T_J = 150°C		105	114	mΩ
		V_{VM} < 6V、I_{OUT} = 1A、T_J = 150°C		108	120	mΩ
SR	Low から High へのスイッチング (20% から 80% への立ち上がり) 時の位相ピンのスルーレート	V_{VM} = 24V、SLEW = 00b または SLEW ピンを AGND に接続、I_{OUTx} = 1A		1100	1880	V/µs
		V_{VM} = 24V、SLEW = 01b または SLEW ピンをハイ インピーダンスへ、I_{OUTx} = 1A		500	920	V/µs
		V_{VM} = 24V、SLEW = 10b または SLEW ピンを 94kΩ +/- 5% で GVDD へ、I_{OUTx} = 1A		250	460	V/µs
		V_{VM} = 24V、SLEW = 11b または SLEW ピンを GVDD に接続、I_{OUTx} = 1A		50	85	V/µs
t_{DEAD}	出力デッドタイム (High から Low / Low から High)	V_{VM} = 48V、SLEW = 00b または SLEW ピンを AGND に接続、HS ドライバ ON から LS ドライバ OFF		100	150	ns
t_{DEAD}	出力デッドタイム (High から Low / Low から High)	V_{VM} = 48V、SLEW = 01b または SLEW ピンを AGND に接続、HS ドライバ ON から LS ドライバ OFF		100	150	ns
t_{DEAD}	出力デッドタイム (High から Low / Low から High)	V_{VM} = 48V、SLEW = 10b または SLEW ピンを AGND に接続、HS ドライバ ON から LS ドライバ OFF		100	150	ns
t_{DEAD}	出力デッドタイム (High から Low / Low から High)	V_{VM} = 48V、SLEW = 11b または SLEW ピンを AGND に接続、HS ドライバ ON から LS ドライバ OFF		200	300	ns

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

T_J = -40℃～+150℃、V_{VM} = 4.5～65V (特に記述のない限り)。標準値には T_A = 25℃、V_{VM} = 48V が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{DEAD}	出力デッドタイム (High から Low / Low から High)	V_{VM} = 24V、SLEW = 00b または SLEW ピンを AGND に接続、HS ドライバ ON から LS ドライバ OFF		100	150	ns
		V_{VM} = 24V、SLEW = 01b または SLEW ピンをハイ インピーダンスへ、HS ドライバ ON から LS ドライバ OFF		100	150	ns
		V_{VM} = 24V、SLEW = 10b または SLEW ピンを 94kΩ +/- 5% で GVDD へ、HS ドライバ ON から LS ドライバ OFF		100	150	ns
		V_{VM} = 24V、SLEW = 11b または SLEW ピンを GVDD に接続、HS ドライバ ON から LS ドライバ OFF		200	300	ns
t_{PD}	伝搬遅延 (ハイサイド / ローサイド、オン/オフ)	V_{VM} = 24V、INHx = 1 から OUTx 遷移、SLEW = 00b または SLEW ピンを AGND に接続		35	75	ns
		V_{VM} = 24V、INHx = 1 から OUTx 遷移、SLEW = 01b または SLEW ピンをハイ インピーダンスへ		35	75	ns
		V_{VM} = 24V、INHx = 1 から OUTx 遷移、SLEW = 10b または SLEW ピンを 94kΩ +/- 5% で GVDD へ		160	250	ns
		V_{VM} = 24V、INHx = 1 から OUTx 遷移、SLEW = 11b または SLEW ピンを GVDD に接続		300	600	ns
t_{MIN_PULSE}	最小出力パルス幅	SLEW = 00b または SLEW ピンを AGND に接続	100			ns
電流センス (23 ピン パッケージ)						
G_{CSA}	電流センス スケーリング ゲイン			0.1		mA/A
G_{CSA_ERR}	電流センス スケーリング ゲイン誤差	T_J = 25℃、1.25kΩ < RLOAD = 2.5kΩ	-3		3	%
G_{CSA_ERR}	電流センス スケーリング ゲイン誤差	T_J = 25℃、2.5kΩ < RLOAD < 5kΩ	-6		6	%
G_{CSA_ERR}	電流センス スケーリング ゲイン誤差	1.25kΩ < RLOAD < 2.5kΩ	-5		5	%
G_{CSA_ERR}	電流センス スケーリング ゲイン誤差	2.5kΩ < RLOAD < 5kΩ	-7		7	%
I_{MATCH}	複数の位相間での電流センス スケーリングのミスマッチ	T_J = 25℃、RLOAD = 1.25kΩ	-2		2	%
I_{MATCH}	複数の位相間での電流センス スケーリングのミスマッチ	T_J = 25℃、1.25kΩ < RLOAD = 5kΩ	-4		4	%
I_{MATCH}	複数の位相間での電流センス スケーリングのミスマッチ	1.25kΩ < RLOAD < 5kΩ	-5		5	%
I_{OS}	電流センス出力オフセット (SOx を基準とする)	LS FET 電流 = 0	-8		8	µA
I_{DRIFT}	電流センス出力ドリフト (OUTx を基準とする)	LS FET 電流 = 0	-1200		1200	µA/℃
V_{FS_CSA}	電流センス出力電圧範囲	LS FET 電流 < 16A	0.25		GVDD - 0.35	V
t_{SET}	±1% までのセトリング タイム	SOx のステップ = 1.2V、RLOAD < 2.5kΩ、CLOAD < 30pF、CSA 出力プルアップ電圧 = V_{MID_EXT}		1.2	1.5	µs
t_{DELAY}	INLx ターンオンから電流センス アンプがオンになるまでの遅延				0.5	µs
PSRR	電源除去比	VM to SOx、10kHz	39		115	dB

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

T_J = -40℃～+150℃、V_{VM} = 4.5～65V (特に記述のない限り)。標準値には T_A = 25℃、V_{VM} = 48V が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
PSRR	電源除去比	VM to SOx、100kHz	10		92	dB
R_{MIN}	CSA 出力の最小等価抵抗		0.65			kΩ
R_{MIN_PULLUP}	CSA 出力の最小プルアップ抵抗		1.3			kΩ
$R_{MIN_PULLDOWN}$	CSA 出力の最小プルダウン抵抗		1.3			kΩ
電流センス アンプ (29 ピン パッケージ)						
G_{CSA}	電流センス ゲイン (SPI デバイス)	CSA_GAIN = 00		0.1		V/A
G_{CSA}	電流センス ゲイン (SPI デバイス)	CSA_GAIN = 01		0.2		V/A
G_{CSA}	電流センス ゲイン (SPI デバイス)	CSA_GAIN = 02		0.4		V/A
G_{CSA}	電流センス ゲイン (SPI デバイス)	CSA_GAIN = 03		0.8		V/A
G_{CSA}	電流センス ゲイン (HW デバイス)	GAIN ピンを AGND に接続		0.1		V/A
G_{CSA}	電流センス ゲイン (HW デバイス)	GAIN ピンをハイ インピーダンスへ		0.2		V/A
G_{CSA}	電流センス ゲイン (HW デバイス)	GAIN ピンを 94kΩ ± 5% で GVDD へ		0.4		V/A
G_{CSA}	電流センス ゲイン (HW デバイス)	GAIN ピンを GVDD に接続		0.8		V/A
V_{LINEAR}	SOx 出力電圧のリニア動作範囲		0.25		VREF-0.25	V
G_{CSA_ERR}	電流センス ゲイン誤差	TJ = 25°C、LS FET 電流 < 16A (OUTx から PGND への電流方向)	-4		4	%
		TJ = 25°C、LS FET 電流 < 6A (PGND から OUTx への電流の方向)	-4		4	%
		LS FET 電流 < 6A (OUTx から PGND への電流方向)	-5.5		5.5	%
		LS FET 電流 < 16A (PGND から OUTx への電流の方向)	-5.5		5.5	%
I_{MATCH}	A 相、B 相、C 相の間での電流センス ゲイン誤差のマッチング	T_A = 25℃	-4		4	%
			-6		6	%
FS_{POS}	フルスケールの正の電流測定	LS FET での PGND から OUTx への電流の方向、VREF = 3.3V	16			A
FS_{NEG}	フルスケールの負の電流測定	LS FET での OUTx から PGND への電流の方向、VREF = 3.3V			-16	A
I_{OFFSET}	電流センス オフセット (OUTx を基準とする)	T_J = 25°C、相電流 = 0A	-60		60	mA
I_{OFFSET_DRIFT}	オフセット ドリフト (OUTx を基準とする)	相電流 = 0A	-400		400	µA/℃
t_{SET}	±1% までのセトリング タイム、30pF	SOX のステップ = 1.4V		1.2	1.5	µs
$t_{CSA_ON_DELAY}$	INLx ターンオンから電流センス アンプがオンになるまでの遅延	SR = 1000V/µs または 500V/µs			500	ns
$t_{CSA_ON_DELAY}$	INLx ターンオンから電流センス アンプがオンになるまでの遅延	SR = 250V/µs			600	ns
$t_{CSA_ON_DELAY}$	INLx ターンオンから電流センス アンプがオンになるまでの遅延	SR = 50V/µs			1850	ns
V_{VREF_GOOD}	VREF 良好電圧				2.2	V
I_{VREF}	VREF 入力電流	VREF = 3.0V、nSLEEP = 0 または 1			25	µA
PSRR	電源除去比	VM to SOx、10kHz	39		80	dB
		VM to SOx、100kHz	10		80	dB
パルス単位の電流制限						
V_{LIM}	サイクル単位の電流制限の ILIMIT ピンの電圧	V_{REF} <= V_{GVDD}	V_{REF}/2		V_{REF} - 0.25	V

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

T_J = -40℃～+150℃、V_{VM} = 4.5～65V (特に記述のない限り)。標準値には T_A = 25℃、V_{VM} = 48V が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{LIM_DIS}	サイクル電流制限の無効化における ILIMIT ピンの電圧		V_{REF}			V
I_{LIMIT}	VLIM ピンの電圧範囲に対応する電流制限		0		16	A
I_{LIM_AC}	電流制限精度	VREF = 3.3V、ILIMIT > 4A	-4		4	%
I_{LIM_AC}	電流制限精度	VREF = 3.3V、ILIMIT > 2A	-7		7	%
I_{LIM_AC}	電流制限精度	VREF = 3.3V、0.5A < ILIMIT < 1A	-10		10	%
t_{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 00b または 01b または 10b、ILIM_BLANK_SEL = 00b、HW バリアント		1.75		µs
t_{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 00b または 01b または 10b、ILIM_BLANK_SEL = 01b		2.25		µs
t_{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 00b または 01b または 10b、ILIM_BLANK_SEL = 10b		2.75		µs
t_{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 00b または 01b または 10b、ILIM_BLANK_SEL = 11b		3.75		µs
t_{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 11b、ILIM_BLANK_SEL = 00b、HW バリアント		5.5		µs
t_{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 11b、ILIM_BLANK_SEL = 01b		6		µs
t_{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 11b、ILIM_BLANK_SEL = 10b		6.5		µs
t_{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 11b、ILIM_BLANK_SEL = 11b		7.5		µs
保護回路						
V_{UVLO}	電源低電圧誤動作防止 (UVLO)	VM 立ち上がり	3.9	4.35	4.5	V
		VM 立ち下がり	3.8	4.15	4.3	V
V_{UVLO_HYS}	電源低電圧誤動作防止ヒステリシス	立ち上がりから立ち下がりへのスレッショルド	140	180	350	mV
t_{UVLO}	電源低電圧グリッチ除去時間		3	6.5	10	µs
V_{OVP}	電源過電圧保護 (OVP) (SPI デバイス)	電源立ち上がり、OVP_EN = 1、OVP_SEL = 0	60	62.5	65	V
		電源立ち下がり、OVP_EN = 1、OVP_SEL = 0	58	61	63.5	V
		電源立ち上がり、OVP_EN = 1、OVP_SEL = 1	32.5	34	35	V
		電源立ち下がり、OVP_EN = 1、OVP_SEL = 1	31	33	34	V
V_{OVP_HYS}	電源過電圧保護 (OVP) (SPI デバイス)	立ち上がりから立ち下がりまでのスレッショルド、OVP_SEL = 1	1.3	1.35	1.4	V
		立ち上がりから立ち下がりまでのスレッショルド、OVP_SEL = 0	1.25	1.3	1.35	V
t_{OVP}	電源過電圧グリッチ除去時間		8.5	14	18	µs
V_{CPUV}	チャージ ポンプ低電圧誤動作防止 (VM より上)	電源立ち上がり	2.1	2.4	3.2	V
		電源立ち下がり	1.8	2.45	2.95	V
V_{CPUV_HYS}	チャージ ポンプ UVLO のヒステリシス	立ち上がりから立ち下がりへのスレッショルド	200	210	300	mV
V_{GVDD_UV}	GVDD レギュレータ低電圧誤動作防止	電源立ち上がり	3.1	3.6	3.7	V
V_{GVDD_UV}	GVDD レギュレータ低電圧誤動作防止	電源立ち下がり	2.9	3.4	3.5	V
$V_{GVDD_UV_HYS}$	アナログ レギュレータ低電圧誤動作防止のヒステリシス	立ち上がりから立ち下がりへのスレッショルド	170	190	310	mV
I_{OCP}	過電流保護トリップ ポイント (SPI デバイス)	OCP_LVL = 00b または 01b	20		45	A
I_{OCP}	過電流保護トリップ ポイント (SPI デバイス)	OCP_LVL = 10b または 11b	10		25	A

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

T_J = -40℃～+150℃、V_{VM} = 4.5～65V (特に記述のない限り)。標準値には T_A = 25℃、V_{VM} = 48V が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{OCP}	過電流保護トリップ ポイント (HW デバイス)		20		45	A
t_{OCP}	過電流保護グリッチ除去時間 (SPI デバイス)	OCP_DEG = 00b	0.4	0.8	1.4	µs
		OCP_DEG = 01b	0.8	1.45	2	µs
		OCP_DEG = 10b	1.2	1.8	2.7	µs
		OCP_DEG = 11b	1.6	2.2	3.2	µs
	過電流保護グリッチ除去時間 (HW デバイス)		0.8	1.45	2	µs
t_{RETRY}	過電流保護グリッチ除去時間 (SPI デバイス)	OCP_RETRY = 0	4	5	6	ms
		OCP_RETRY = 1	425	500	575	ms
t_{RETRY}	過電流保護グリッチ除去時間 (HW デバイス)		4	5	6	ms
T_{OTW}	過熱警告温度	ダイ温度 (T_J)	160	170	180	°C
T_{OTW_HYS}	過熱警告ヒステリシス	ダイ温度 (T_J)	25	30	35	°C
T_{TSD}	サーマル シャットダウン温度	ダイ温度 (T_J)	175	185	195	°C
T_{TSD_HYS}	サーマル シャットダウン ヒステリシス	ダイ温度 (T_J)	25	30	35	°C

6.6 SPI のタイミング要件

		最小値	公称値	最大値	単位
t_{READY}	パワーアップ後、SPI レディまで			1	ms
t_{HI_nSCS}	nSCS 最小 HIGH 時間	300			ns
t_{SU_nSCS}	nSCS 入力セットアップ時間	25			ns
t_{HD_nSCS}	nSCS 入力ホールド時間	25			ns
t_{SCLK}	SCLK の最小周期	100			ns
t_{SCLKH}	SCLK 最小 High 時間	50			ns
t_{SCLKL}	SCLK の最小 Low 時間	50			ns
t_{SU_SDI}	SDI 入力データ セットアップ時間	25			ns
t_{HD_SDI}	SDI 入力データ ホールド時間	25			ns
t_{DLY_SDO}	SDO 出力データ遅延時間			25	ns
t_{EN_SDO}	SDO イネーブル遅延時間			50	ns
t_{DIS_SDO}	SDO ディスエーブル遅延時間			50	ns

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.7 SPI モードのタイミング

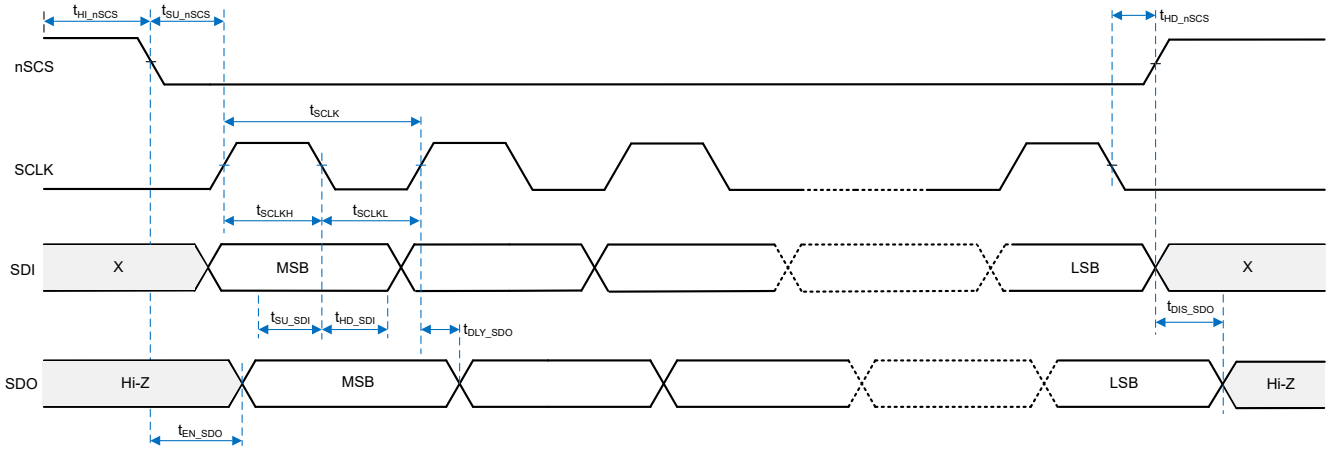


図 6-1. SPI セカンダリ モードのタイミング

ADVANCE INFORMATION

ADVANCE INFORMATION

7 詳細説明

7.1 概要

DRV8378 デバイスは、3 相モータ ドライブ アプリケーション向けの 58mΩ (ハイサイド + ローサイド MOSFET オン抵抗の合計) 統合型ドライバです。このデバイスは、3 つのハーフ ブリッジ MOSFET、ゲート ドライバ、チャージ ポンプ、電流センス アンプ、外部負荷用リニア レギュレータ、バック レギュレータを統合することで、システムの部品点数、コスト、複雑さを低減しています。標準のシリアル ペリフェラル インターフェイス (SPI) を使うと、デバイスの各種設定とフォルト診断情報の読み出しを外部コントローラから簡単に行うことができます。また、ハードウェア インターフェイス (H/W) オプションを選択した場合、固定の外部抵抗を使用して、ごく一般的な設定を行うことができます。

このアーキテクチャでは、短絡イベントや内部パワー MOSFET の dv/dt 寄生ターンオンから保護するために、内部ステート マシンを使用しています。

DRV8378 デバイスには、内蔵電流センスを使用して各ハーフブリッジを流れる電流のレベルを監視するために、3 つの双方向電流センス アンプが内蔵されています。電流センス アンプのゲイン設定は、SPI またはハードウェア インターフェイスを介して調整できます。

高いレベルでデバイスが統合されていることに加え、DRV8378 デバイスには、広範な保護機能も組み込まれています。これらの機能には、電源の低電圧ロックアウト (UVLO)、チャージ ポンプの低電圧ロックアウト (CPUV)、過電流保護 (OCP)、および過熱警告シャットダウン (OTW と OTS) などが含まれます。フォルト イベントは nFAULT ピンにより通知され、SPI 版のデバイスでは SPI レジスタで詳細情報を取得できます。

DRV8378 デバイスは、6mm × 4mm (23 ピン) と 7mm × 5mm (29 ピン) の VQFN HotRod 表面実装パッケージで提供されています。

7.2 機能ブロック図

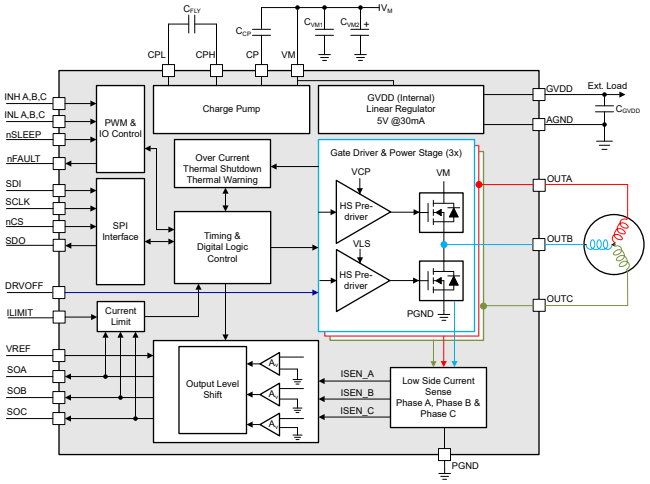


図 7-1. DRV8378S (29 ピン SPI バリアント) のブロック図

Copyright © 2026 Texas Instruments Incorporated

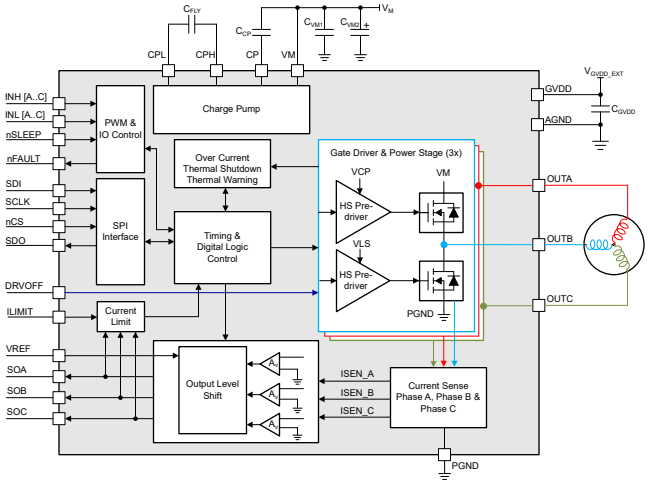


図 7-2. DRV8378G (29 ピン SPI、外部 GVDD バリアント) のブロック図

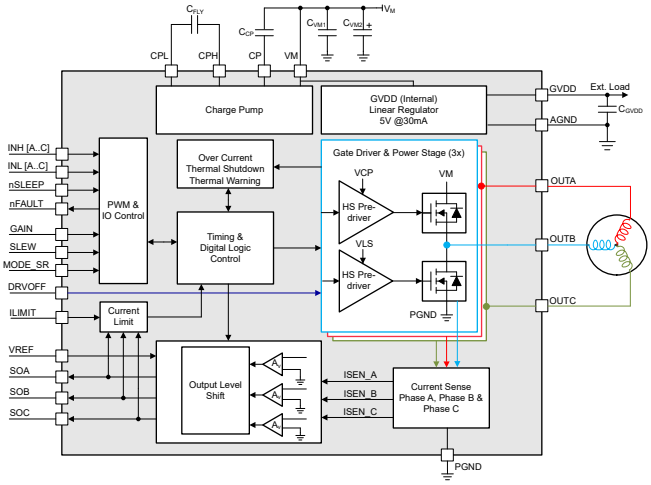


図 7-3. DRV8378H (29 ピン ハードウェア バリアント) のブロック図

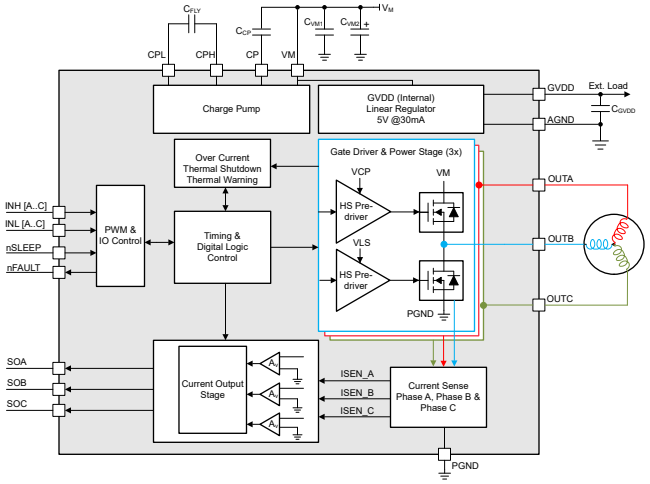


図 7-4. DRV8378H (23 ピン ハードウェア バリアント) のブロック図

ADVANCE INFORMATION

7.3 機能説明

表 7-1 に、ドライバの外付け部品の推奨値を示します。

表 7-1. DRV8378 の外付け部品

部品	ピン 1	ピン 2	推奨
C_{VM1}	VM	PGND	X5R または X7R、0.1µF。コンデンサの電圧定格を、本デバイスの通常動作電圧の 2 倍以上とすることを推奨します。
C_{VM2}	VM	PGND	≧ 10µF。コンデンサの電圧定格を、本デバイスの通常動作電圧の 2 倍以上とすることを推奨します。
C_{CP}	CP	VM	X5R または X7R、16V、1µF コンデンサ
C_{FLY}	CPH	CPL	X5R または X7R、100nF。TI では、コンデンサの電圧定格をピンの通常動作電圧の 2 倍以上とすることを推奨しています
C_{GVDD}	GVDD	AGND	X5R または X7R、1µF、≥ 10V
R_{nFAULT}	GVDD	nFAULT	5.1kΩ、プルアップ抵抗
R_{MODE_SR}	MODE_SR	AGND または GVDD	DRV8378H ハードウェア インターフェイス
R_{SLEW}	SLEW	AGND または GVDD	DRV8378H ハードウェア インターフェイス
R_{GAIN}	ゲイン	AGND または GVDD	DRV8378H ハードウェア インターフェイス
C_{VREF}	VREF	AGND	X5R または X7R、0.1µF、VREF 定格コンデンサ

注

内部テスト モードへの望ましくない移行を避けるため、プルアップが使われていない場合でも、nFAULT にプルアップを接続することを推奨します。nFAULT をプルアップするために外部電源を使用する場合は、電源投入時に nFAULT が 2.2V 以上にプルアップされていることを確認してください。そうしないと、デバイスは内部テスト モードになります。

7.3.1 出力ステージ

DRV8378 デバイスは、3 相ブリッジ構成で接続された統合型 58mΩ (ハイサイドとローサイドの各 FET のオン抵抗の合計) の NMOS FET で構成されています。ダブラー チャージ ポンプが、100% のデューティ サイクルをサポートしつつ、広い動作電圧範囲にわたって適切なゲート バイアス電圧をハイサイド NMOS FET に供給します。ローサイド MOSFET 用のゲート バイアス電圧は、内部リニア レギュレータが供給します。このデバイスには 2 つの VM モーター電源ピンがあり、互いにモーター電源電圧に接続されます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.3.2 デバイス インターフェイス モード

DRV8378 ファミリのデバイスでは、最終的なアプリケーションを柔軟な設計にするか単純な設計にするか選択できるように、2 種類のインターフェイス モード (SPI とハードウェア) をサポートしています。2 つのインターフェイス モードで同じ 4 つのピンが共有されているので、異なるバージョン間でのピン互換が実現します。この互換性により、アプリケーションの設計者は一方のインターフェイス バージョンで評価し、最小限の設計変更でもう一方のインターフェイス バージョンに切り替えることができます。

7.3.2.1 シリアル・ペリフェラル・インターフェイス (SPI)

SPI デバイスは、外部コントローラと DRV8378 の間でデータを送受信できるシリアル通信バスをサポートしています。これにより、外部コントローラはデバイスを設定し、詳細なフォルト情報を読み出すことができます。インターフェイスは、SCLK、SDI、SDO、nSCS ピンを使用する 4 線式インターフェイスです。以下の説明をご覧ください。

- SCLK ピンは、クロック信号を受け付けて SDI と SDO ピン上のデータの収集と伝搬のタイミングを決める入力ピンです。
- SDI ピンはデータ入力です。
- SDO ピンはデータ出力です。SDO ピンは、SDO_MODE を通してオープンドレインまたはプッシュプルに構成できます。
- nSCS ピンはチップ選択入力です。このピンに論理 Low 信号を印加すると、DRV8378 との SPI 通信が有効になります。

SPI の詳細については、「*セクション 7.13*」セクションを参照してください。

7.3.2.2 ハードウェア インターフェイス

ハードウェア インターフェイス デバイスでは、4 つの SPI ピンが抵抗によって設定可能な 4 つの入力、GAIN、SLEW、MODE_SR、および ILIMIT に変換されます。

ハードウェア インターフェイスを使用すると、アプリケーション設計者は、ピンをロジック High またはロジック Low に接続するか、単純なプルアップまたはプルダウン抵抗を使用して、最も一般的なデバイス設定を構成できます。外部コントローラには SPI バスが不要になります。全般的なフォルト情報は、引き続き nFAULT ピンを介して取得できます。

- GAIN ピンでは電流センス アンプのゲインを設定します。
- SLEW ピンでは出力電圧のスルーレートを設定します。
- MODE_SR では PWM 制御モードを設定します。
- ILIMIT ピンは、サイクル単位の電流制限レベルを設定するために使用されます。

ハードウェア インターフェイスの詳細については、*セクション 7.7* セクションを参照してください。

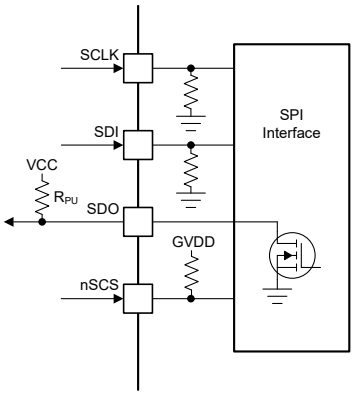


図 7-5. DRV8378S SPI

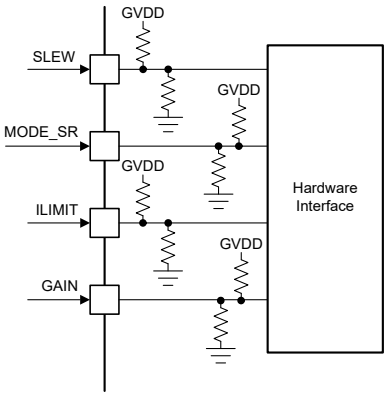


図 7-6. DRV8378H ハードウェア インターフェイス

ADVANCE INFORMATION

注

VCC は外部プルアップ電圧を表します。デフォルトでは、SDO ピンはオープンドレインです

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.3.3 制御モード

DRV8378 ファミリのデバイスには、さまざまな整流方式や制御方式をサポートするために、4 種類の制御モードが用意されています。表 7-2 に、DRV8378 デバイスのさまざまなモードが示されています。

表 7-2. PWM 制御モード

MODE のタイプ	MODE_SR ピン (ハードウェア バリアント)	PWM_MODE ビット (SPI バリアント)	SR ビット (SPI バリアント)	PWM モード	ASR および AAR モード
モード 1	AGND に接続	PWM_MODE = 0	EN_ASR = 0、EN_AAR = 0	6x モード	ASR および AAR は無効化
モード 2	ハイ インピーダンス	PWM_MODE = 0	EN_ASR = 1、EN_AAR = 0	6x モード	ASR は有効化、AAR は無効化
モード 3	R_{MODE} で GVDD に接続	PWM_MODE = 1	EN_ASR = 0、EN_AAR = 0	3x モード	ASR および AAR は無効化
モード 4	GVDD に接続	PWM_MODE = 1	EN_ASR = 1、EN_AAR = 0	3x モード	ASR は有効化、AAR は無効化

注

MODE_SR ピンはパワーアップ時にのみ検出されます。デバイスは、動作中の MODE_SR の変更に対応していません。デバイス動作中に PWM_MODE を変更しないでください。

ADVANCE INFORMATION

ADVANCE INFORMATION

7.3.3.1 3x PWM モード (PWM_MODE = 10b または 11b、あるいは MODE_SR ピンを R_{MODE} で GVDD に、または GVDD に接続)

この 3x PWM モードでは、INHx ピンで各ハーフブリッジを制御し、Low または High の 2 つの出力状態がサポートされます。INLx ピンは、ハーフブリッジをハイ インピーダンス状態にするために使用します。ハイ インピーダンス状態にする必要がない場合は、すべての INLx ピンをロジック High に固定してください。表 7-3 に示すように、対応する INHx および INLx 信号で出力状態を制御します。

表 7-3. 3x PWM モードの真理値表

INLx	INHx	PHASEx
0	X	ハイ インピーダンス
1	0	L
1	1	H

図 7-7 には、3x PWM モードで構成された DRV8378 のアプリケーション図が示されています。

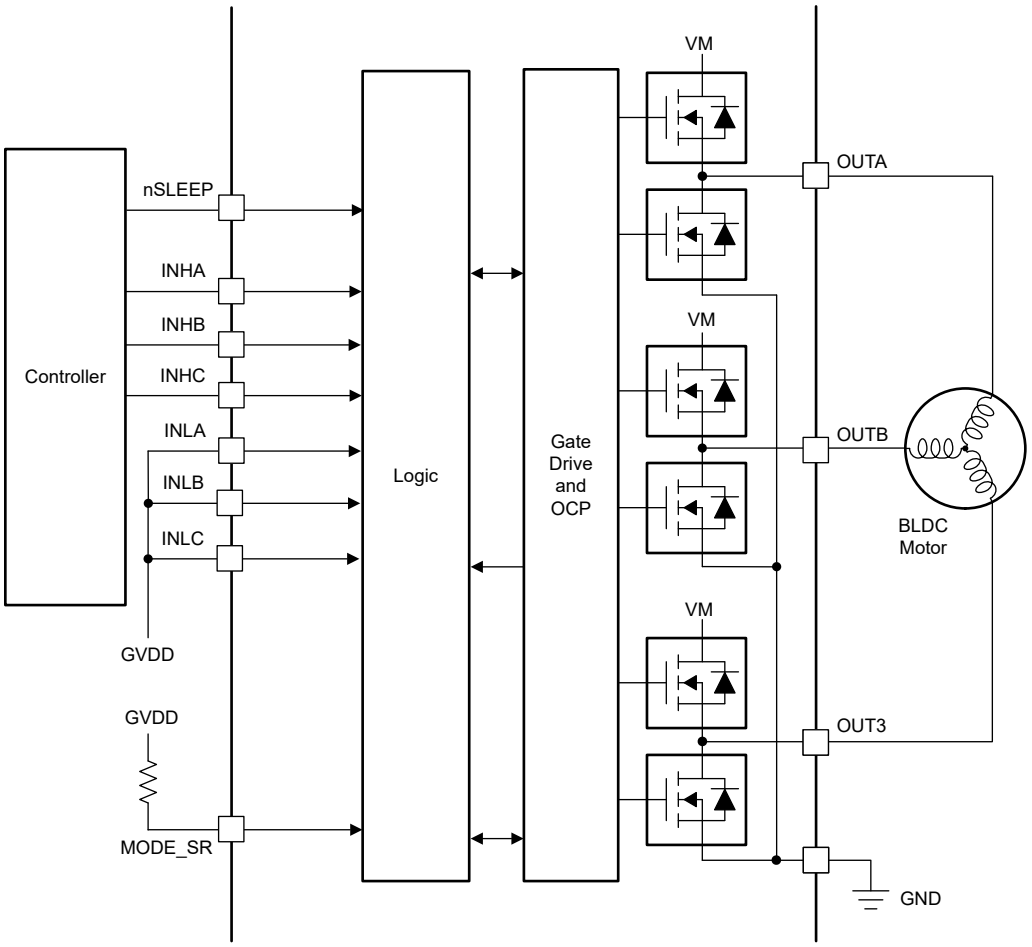


図 7-7. 3x PWM モード

7.3.3.2 6x PWM モード (PWM_MODE = 00b または 01b または MODE_SR ピンを AGND またはハイ インピーダンスに接続)

6x PWM モードでは、ハーフブリッジごとに Low、High、ハイ インピーダンス(Hi-Z)の 3 つの出力状態がサポートされます。表 7-4 に示すように、対応する INHx および INLx 信号で出力状態を制御します。

Copyright © 2026 Texas Instruments Incorporated

表 7-4. 6x PWM モードの真理値表

INLx	INHx	PHASEx
0	0	ハイ インピーダンス
0	1	H
1	0	L
1	1	ハイ インピーダンス

以下の図 7-8 には、6x PWM モードで構成された DRV8378 のアプリケーション図が示されています。

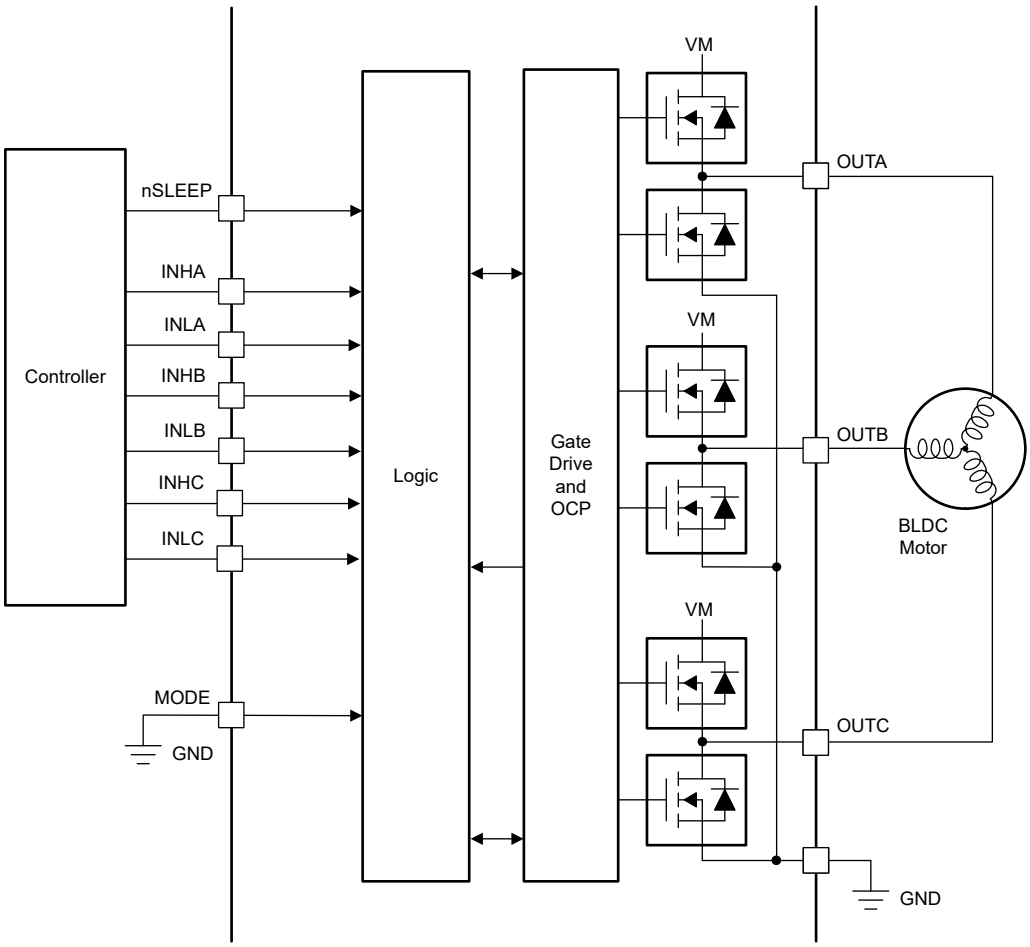


図 7-8. 6x PWM モード

ADVANCE INFORMATION

7.3.3.3 外部 GVDD による DRV8378G 制御モード

外部 GVDD モードでは、6x と 3x の両方の PWM モードがサポートされています。表 7-5 に、モーター電圧と外部 GVDD の組み合わせに関する各種の使用事例を示します

表 7-5. 外部 GVDD による制御モード

VM	GVDD	nSLEEP	DRVOFF	動作
$V_{VM} > V_{VM_UVLO}$	$V_{GVDD} > V_{GVDD_UVLO}$	1	0	デバイスは完全な機能を備えています
$V_{VM} > V_{VM_UVLO}$	$V_{GVDD} > V_{GVDD_UVLO}$	1	1	ハイ インピーダンス
$V_{VM} > V_{VM_UVLO}$	$V_{GVDD} < V_{GVDD_UVLO}$	1	X	ハイ インピーダンス
$V_{VM} < V_{VM_UVLO}$	$V_{GVDD} < V_{GVDD_UVLO}$	X	X	ハイ インピーダンス
$V_{VM} < V_{VM_UVLO}$	$V_{GVDD} > V_{GVDD_UVLO}$	X	0	ローサイド FET の INLx 制御、すべてのハイサイド FET はオフ状態、CSA はオフ、CSA 出力は VREF/2、OTP なし、OCP。OUTx から GVDD への短絡に対する保護
$V_{VM} < V_{VM_UVLO}$	$V_{GVDD} > V_{GVDD_UVLO}$	X	1	ハイ インピーダンス

注

ローサイド FET の INLx 制御中 ($V_{VM} < V_{VM_UVLO}$、$V_{GVDD} > V_{GVDD_UVLO}$)、nSLEEP = 1 の場合、電流をポンピング中に VM が逆流することがあります。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.3.4 GVDD リニア電圧レギュレータ

DRV8378 ファミリのデバイスには 5V のリニア レギュレータが内蔵されており、外部回路から使用できます。この GVDD レギュレータは、デバイスの内部デジタル回路への電源供給に使用されます。また、低消費電力の MCU やその他、最大 30mA をサポートする定電流回路にも電源電圧を供給できます。GVDD レギュレータの出力は GVDD ピン付近で X5R または X7R の 1µF、10V セラミック コンデンサを使用してバイパスし、隣接する AGND グランド ピンに直接配線する必要があります。

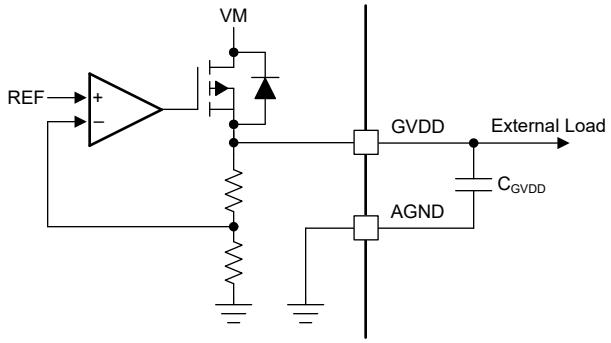


図 7-9. GVDD リニア レギュレータのブロック図

VM を電源とする GVDD リニア レギュレータによってデバイス内で消費される電力を計算するには、以下の式を使用します。

$$P = (V_{VM} - V_{GVDD}) \times I_{GVDD} \quad (1)$$

例えば、V_{VM} = 24V の場合、GVDD から 20mA の電流が流れると、消費電力は式 2 のようになります。

$$P = (24\,V - 5\,V) \times 20\,mA = 380\,mW \quad (2)$$

ADVANCE INFORMATION

7.3.5 チャージ ポンプ

出力段では N チャネル FET を使用しているので、ハイサイド FET を完全に拡張にするには、VM 電源よりも高いゲート駆動電圧が必要です。DRV8378 は、この目的のために、VM 電源よりも高い電圧を生成するチャージ ポンプ回路を内蔵しています。

チャージ ポンプを動作させるには、2 つの外付けコンデンサが必要です。これらのコンデンサの詳細 (値、接続など) については、ブロック図、ピンの説明、セクション (セクション 7.3) を参照してください。

nSLEEP が Low になるか、または過熱シャットダウンが実行されると、チャージ ポンプはシャットダウンします。

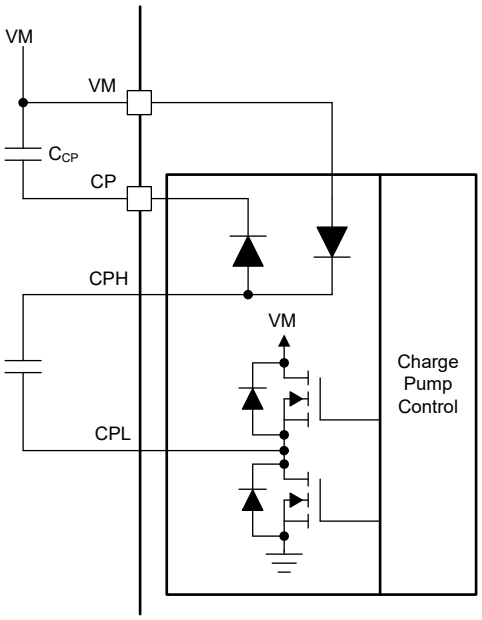


図 7-10. DRV8378 チャージ ポンプ

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.4 スルー レート制御

スルーレート制御を実現するために、ハーフブリッジの MOSFET への調整可能なゲート駆動電流制御が実装されています。MOSFET VDS スルー レートは、放射エミッション、ダイオード回復スパイクのエネルギーと期間、および寄生に関連するスイッチング電圧過渡を最適化するための重要な要素です。これらのスルーレートは、図 7-11 に示すように、主に内部 MOSFET へのゲート電荷のレートによって決まります。

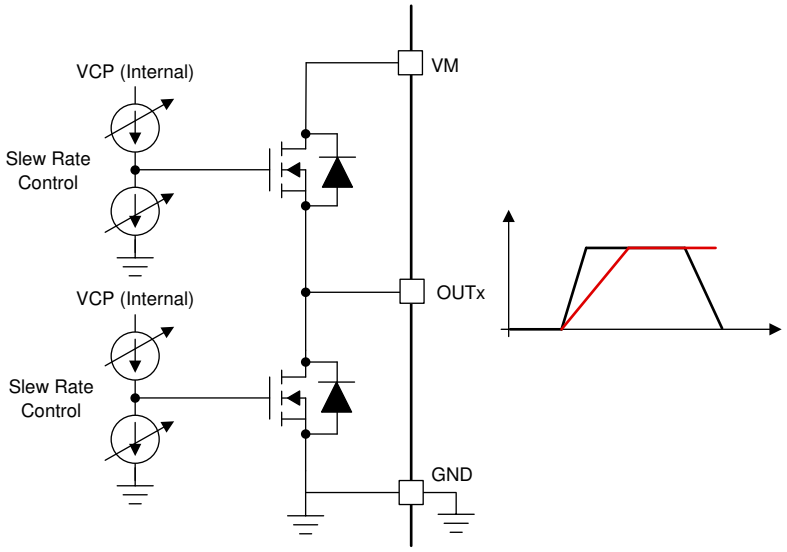


図 7-11. スルーレート回路の実装

各ハーフブリッジのスルーレートは、ハードウェア デバイス バリアントでは SLEW ピンによって、SPI デバイス バリアントでは SLEW ビットを使用して調整することが可能です。各ハーフブリッジは、スルーレート設定として 1.1V/ns、0.5V/ns、0.25V/ns、0.05V/ns のいずれかを選択できます。スルーレートは、図 7-12 に示すように、OUTx ピンの電圧の立ち上がり時間と立ち下がり時間によって計算されます。

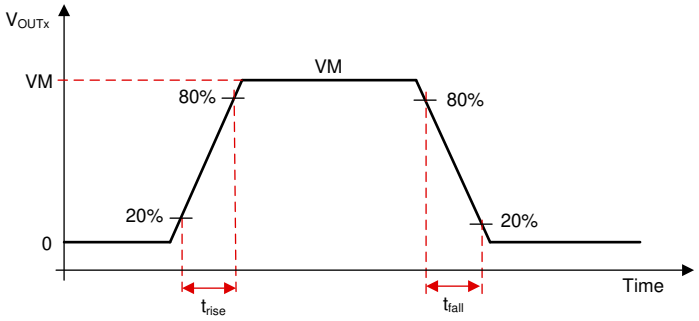


図 7-12. スルーレート タイミング

注

パワーアップ時にのみ SLEW ピンが検出されます。デバイスは、動作中のスルーレートの変更に対応していません。動作中に SLEW_RATE レジスタ ビットを変更しないでください。

ADVANCE INFORMATION

ADVANCE INFORMATION

7.5 クロス導通 (デッド タイム)

このデバイスは、MOSFET のクロス導通に対して包括的な保護が施されています。ハーフブリッジ構成では、デッドタイム (t_{DEAD}) を挿入することで貫通電流を回避するため、ハイサイドおよびローサイド MOSFET の動作が維持されます。これは、ハイサイドおよびローサイド MOSFET のゲート - ソース電圧 (VGS) を検出することで実行され、同じハーフブリッジのローサイド MOSFET をオンにする前に、ハイサイド MOSFET の VGS がターンオフ レベルを確実に下回るようにしています (図 7-13 および 図 7-14 を参照)。

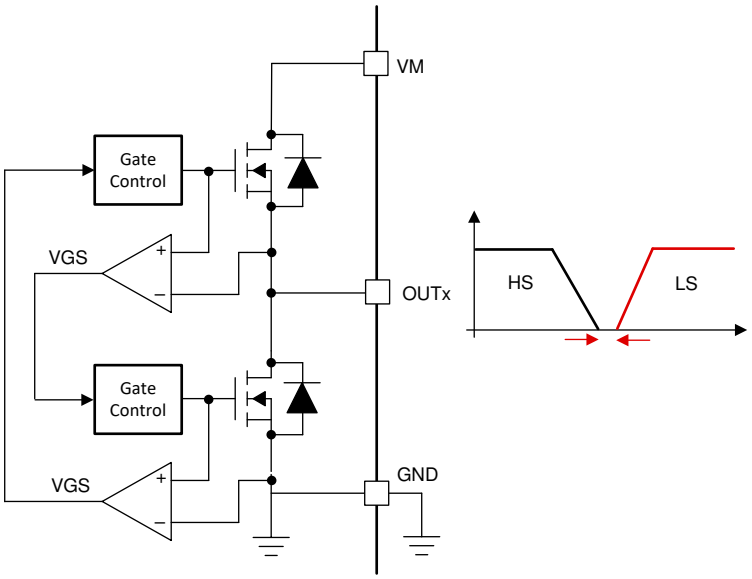


図 7-13. クロス導通保護

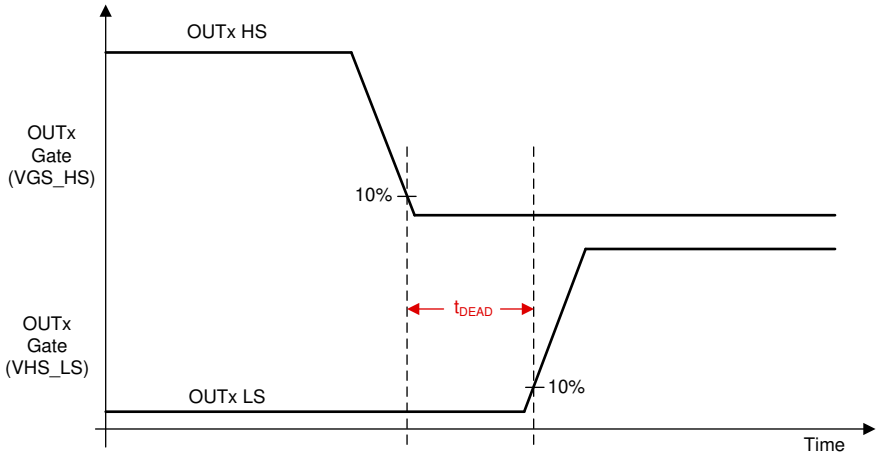


図 7-14. デッド タイム

Copyright © 2026 Texas Instruments Incorporated

7.6 伝搬遅延

伝播遅延時間 (t_{pd}) は、入力ロジック エッジからゲート ドライバ電圧での変化が検出されるまでの時間として測定されます。

注

電流制限モードまたはアクティブ消磁モードでは、入力コマンドがデバイス全体に伝搬されるため、わずかなデジタル遅延が追加され、このモード中に最大 600ns 増加する可能性があります。

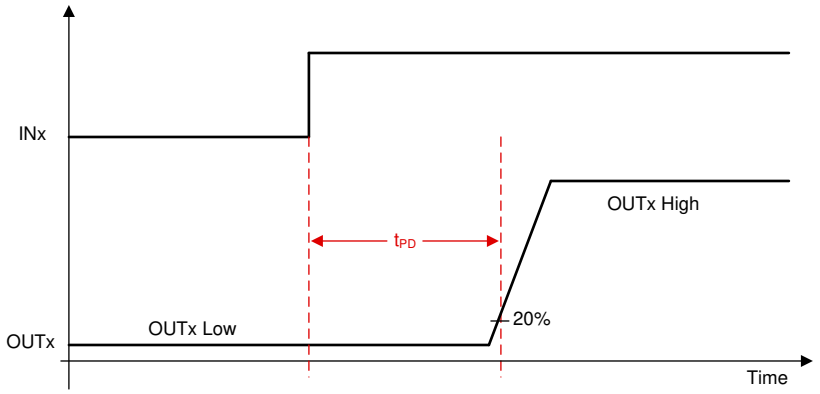


図 7-15. 伝搬遅延のタイミング

7.7 ピン配置図

このセクションには、すべてのデジタル入出力ピンの I/O 構造が示されています。

7.7.1 ロジック レベル入力ピン (内部プルダウン)

図 7-16 に、ロジック レベル ピン、DRVOFF、INHx、INLx、nSLEEP、SCLK、SDI の入力構造が示されています。入力は電圧または外部抵抗で行うことができます。内部プルダウン抵抗を介したリーク電流を低減させるため、TI はデバイスのスリープ モードでこれらのピンを Low にすることを推奨します。

STATE	CONNECTION
V_{IH}	Tied to GVDD
V_{IL}	Tied to GND

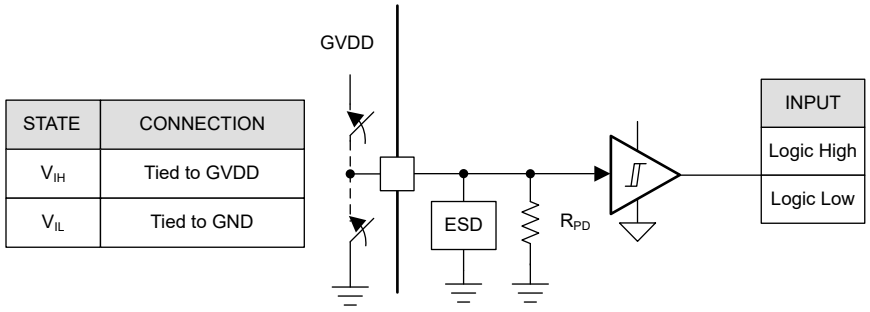


図 7-16. ロジック レベル入力ピンの構造

7.7.2 ロジック レベル入力ピン (内部プルアップ)

図 7-17 に、ロジック レベル ピン nSCS の入力構造が示されています。入力は電圧または外部抵抗で駆動できます。

ADVANCE INFORMATION

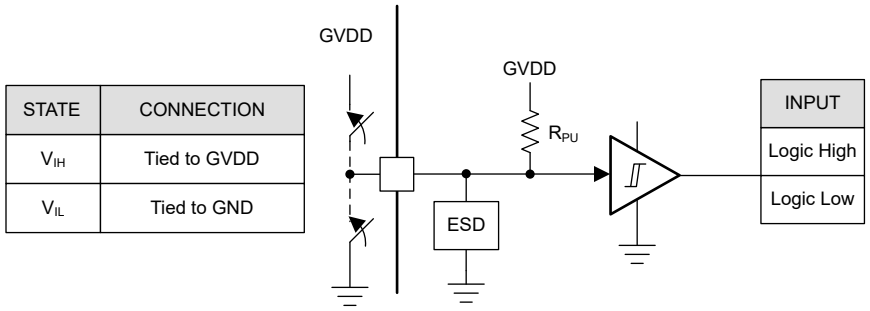


図 7-17. ロジック nSCS

7.7.3 オープン ドレイン ピン

図 7-18 に、オープン ドレイン モードでのオープン ドレイン出力ピン、nFAULT、SDO の構造が示されています。オープン ドレイン出力を適切に機能させるためには、外部プルアップ抵抗が必要です。

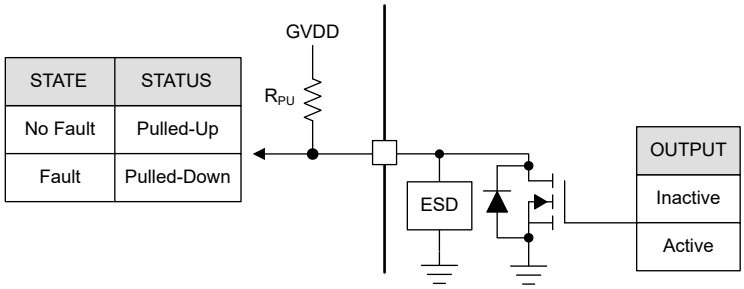


図 7-18. オープン ドレイン

7.7.4 プッシュプル ピン

図 7-19 に、プッシュプル モードでの SDO の構造が示されています。

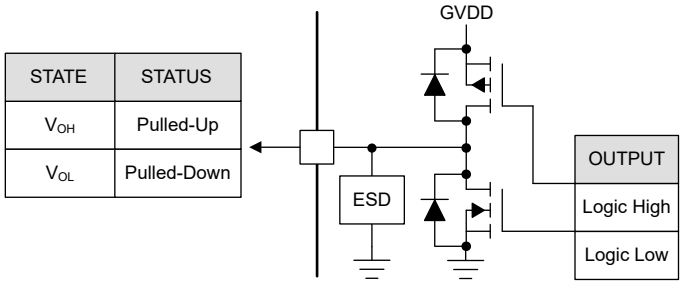


図 7-19. プッシュプル ピン

7.7.5 4 レベル入力ピン

図 7-20 に、ハードウェア インターフェイス デバイス上の 4 レベル入力ピンである GAIN、MODE_SR、SLEW、ILIMIT の構造が示されています。入力は外付け抵抗で設定できます。

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

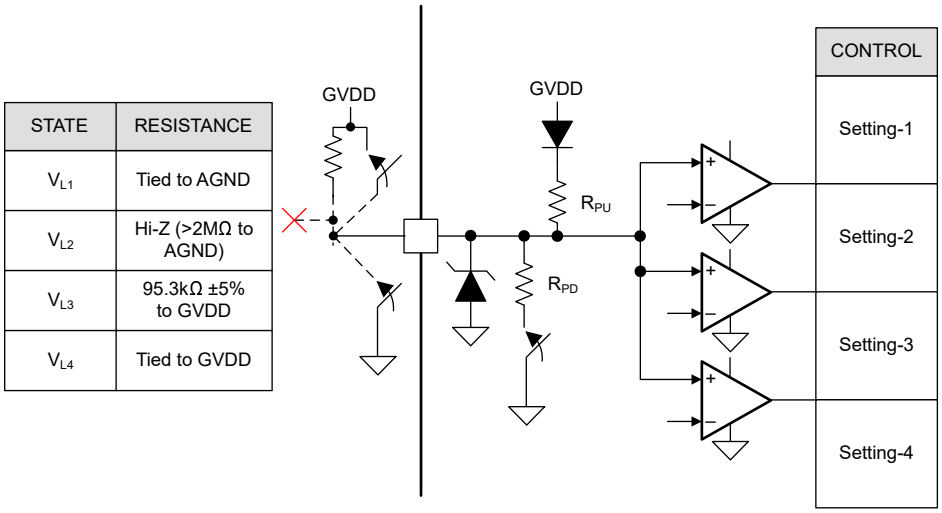


図 7-20. 4 レベル入力ピンの構造

ADVANCE INFORMATION

7.8 電流センス アンプ

DRV8378 は、内蔵電流センシングを使った電流測定のために、3 つの高性能ローサイド電流センス アンプを内蔵しています。ローサイド電流測定は、一般に過電流保護、外部トルク制御、または外部コントローラによるブラシレス DC 整流の実装に使用されます。この 3 つのすべてのアンプは、各ハーフブリッジ レグの電流センシングに使用できます (ローサイド FET)。電流センス アンプの出力は、29 ピン バリアントでは LS FET 電流に比例する電圧です。電流センス アンプの出力は、23 ピン バリアントでは LS FET 電流に比例する電流です。29 ピン バリアントの電流センス アンプには、プログラマブル ゲインなどの機能があります。電圧リファレンス ピン (VREF) に外部リファレンスを供給する必要があります。

7.8.1 電流センス アンプの動作 (29 ピン バリアント)

DRV8378 の SOx ピンは、ローサイド FET を流れる電流にゲイン設定 (G_{CSA}) を乗算した値に比例するアナログ電圧を出力します。ゲイン設定は、GAIN ピン (ハードウェア デバイス バリアント) または GAIN ビット (SPI デバイス バリアント) で設定できる 4 つの異なるレベルの間で調整できます。

図 7-21 に、電流センス アンプの内部アーキテクチャを示しています。電流センスは、DRV8378 デバイスの各ローサイド FET のセンス FET で実装されています。この電流情報は内部 I/V コンバータに供給され、VREF ピンの電圧とゲイン設定に基づいて SOx ピンに CSA 出力電圧を生成します。CSA の出力電圧は以下のように計算できます。

$$SOX = \left({}^{V_{REF}}/_{2}\right) \pm GAIN \times I_{OUTX} \quad (3)$$

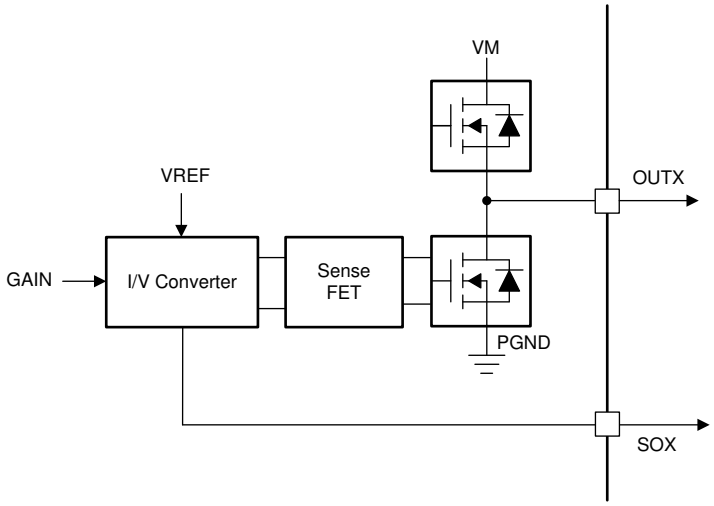


図 7-21. 電流センス アンプ内蔵

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

図 7-22 および図 7-23 に、アンプの動作範囲の詳細を示しています。双方向動作の場合、入力電圧が 0V のときのアンプ出力は VREF/2 に設定されます。差動入力に変化があると、その変化に応じて出力電圧が CSA_GAIN の係数で増減します。アンプには定義されたリニア動作範囲があり、この範囲内でアンプは動作を維持することができます。

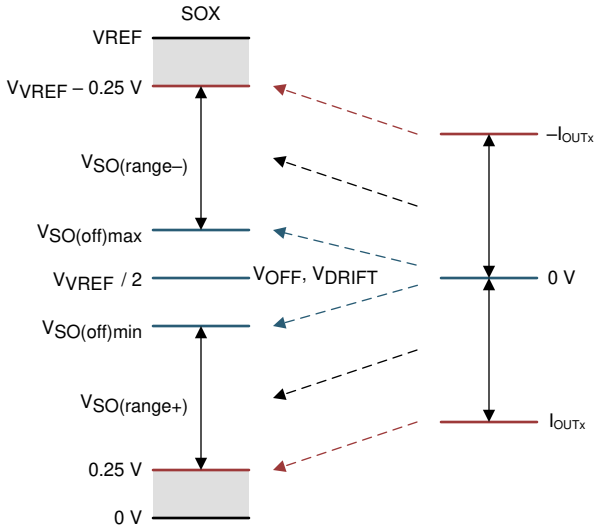


図 7-22. 双方向電流検出の出力

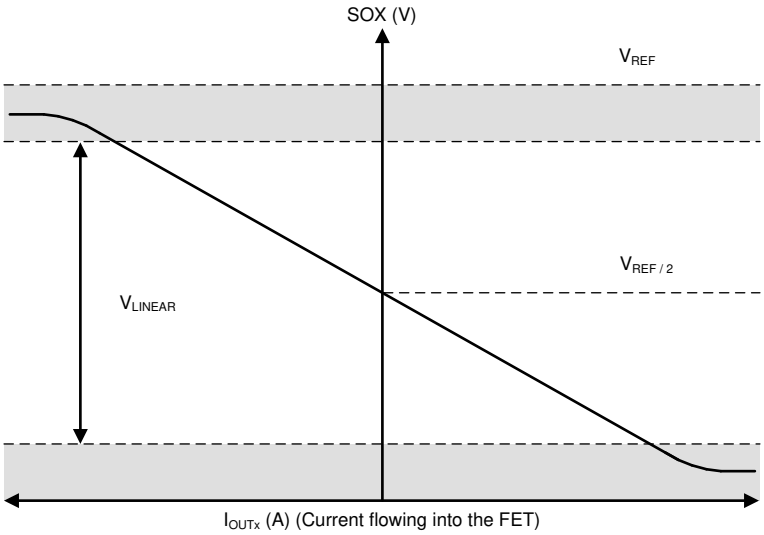


図 7-23. 双方向電流検出の領域

注

FET に流れる電流は正と見なされ、FET から流れ出る電流は負と見なされます

注

この電流センス アンプは、動的なゲインの変更をサポートしています。HW バリアントでは、GAIN はピン センシングを通じて 1ms ごとにサンプリングされ、SPI バリアントでは、SPI 書き込みを通じて GAIN が変更されます。GAIN 変更コマンドを受信した後、いずれかの INLx 信号の次の立ち下がりエッジで 3 つの電流センス アンプすべてに新しい GAIN が適用されます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.8.2 電流センス アンプの動作 (23 ピン バリアント)

DRV8378 の SOx ピンは、ローサイド FET を流れる電流にゲイン設定 (G_{CSA}) を乗算した値に比例する電流を出力します。ゲイン設定は 0.1mA /A に固定されています。図 7-24 に、電流出力の電流センス アンプの内部アーキテクチャを示します。電流センスは、DRV8378 デバイスの各ローサイド FET のセンス FET で実装されています。この電流情報は、ゲイン設定を乗算し、SOx ピンの電流出力として利用できます。この電流を電圧 (たとえば、A/D コンバータへの入力) に変換するために、外部リファレンス電圧 (EXT_VREF) に接続された抵抗を I/V コンバータとして機能させることができます。EXT_VREF は、A/D コンバータのリファレンスから求めることができます。抵抗 R_{pull_up} および R_{pull_down} の値は、SOx 出力のゲイン誤差とセトリング タイムに影響を与えます。抵抗選択の詳細については、電気的特性の表を参照してください。

SOx ピンの出力電圧を以下に示します。

$$V_{SOX} = \left(V_{EXT_VREF}/2\right) \pm I_{OUT} \times R_T \times GAIN \quad (4)$$

ここで、$R_T = R_{pull_up} \parallel R_{pull_down}$ です。

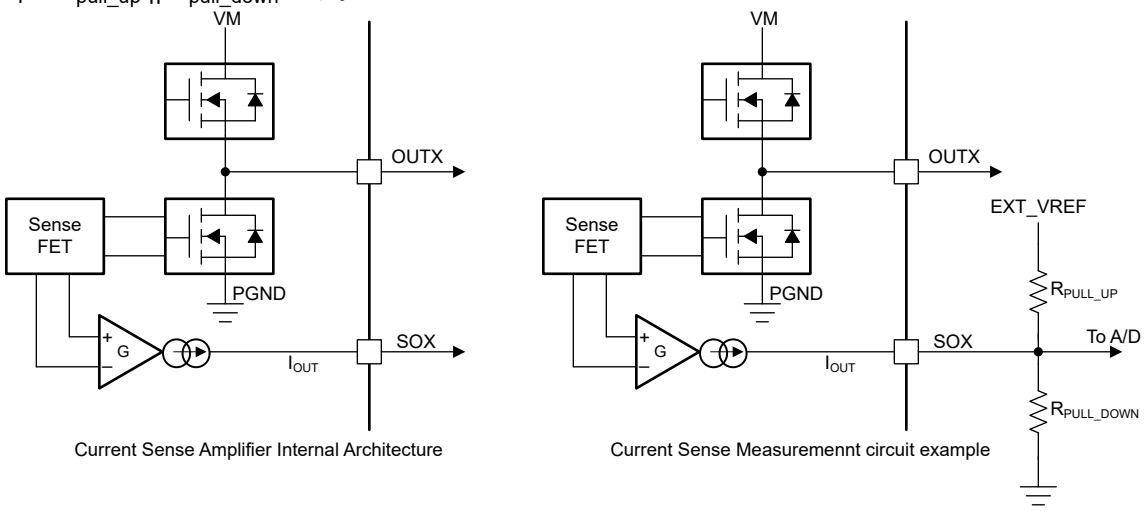


図 7-24. 内蔵の電流センス アンプ (23 ピン バリアント)

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.9 アクティブ消磁

DRV8378 ファミリは、ダイオードの導通損失を低減することで、本デバイス内の電力損失を低減させるスマート整流機能 (アクティブ消磁) を備えています。この機能が有効化されている場合、本デバイスはダイオード導通を検出すると常に、対応する MOSFET を自動的にターンオンさせます。この機能は、ハードウェアバリアントの MODE_SR ピンにより構成できます。SPI デバイス バリアントでは、EN_ASR および EN_AAR ビットによってこれを構成できます。スマート整流は、自動同期整流 (ASR) モードと自動非同期整流 (AAR) モードの 2 つのカテゴリに分類されます。これらについては、以下のセクションの説明をご覧ください。

DRV8378 デバイスは、各ハーフブリッジで負の内部電流を検出するハイサイド (AD_HS) およびローサイド (AD_LS) コンパレータを内蔵しています。AD_HS コンパレータはセンス FET 出力を電源電圧 (VM) スレッショルドと比較し、AD_LS コンパレータはグランド (0V) スレッショルドと比較します。電流の流れ方 (OUTx から VM、または PGND から OUTx) に応じて、AD_HS または AD_LS コンパレータがトリップします。このコンパレータは、アクティブ消磁機能が動作するための基準点となります。

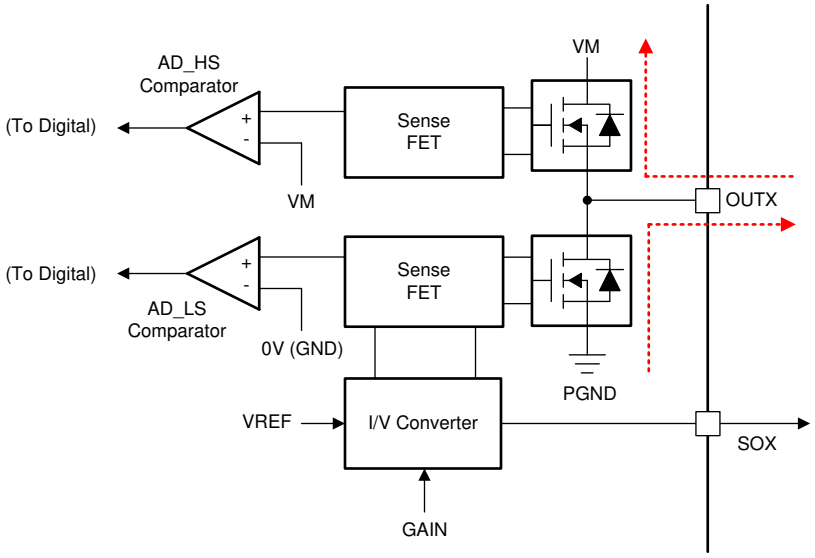


図 7-25. アクティブ消磁動作

表 7-2 に、DRV8378 デバイスの ASR および AAR モードの構成が示されています。

注

OCP イベント時に、アクティブ消磁が無効化されます。

注

アクティブな消磁によって FET が導通しており、その FET をオンにするす入力コマンドが与えられたときに FET を流れる電流がゼロにならない場合、ターンオン コマンドはアクノリッジ (受信確認) できず、その FET の入力制御信号とは無関係に電流がゼロになったときにのみ、FET はオフになります。

7.9.1 自動同期整流モード (ASR モード)

自動同期整流 (ASR) モードは、整流中の ASR と PWM モード時の ASR の 2 つのカテゴリに分けられます。

7.9.1.1 転流時の自動同期整流

図 7-26 に、BLDC モーター整流中のアクティブ消磁の動作を示します。図 7-26 (a) に示すように、ある整流状態において、電流は HA から LC に流れています。図 7-26 (b) に示されているように、整流を切り換える間、HB スイッチはターンオンし、(モーター インダクタンスによる) OUTA の整流電流が LA のボディ ダイオードを流れます。これにより、整流電流

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

によるダイオード損失が大きくなります。図 7-26 (c) に示されているように、この整流損失は、整流時間の間 LA をターンオンさせることで減少します。

図 7-26 (d)、(e)、(f) に示されているように、ハイサイド FET の動作は同様に実行されます。

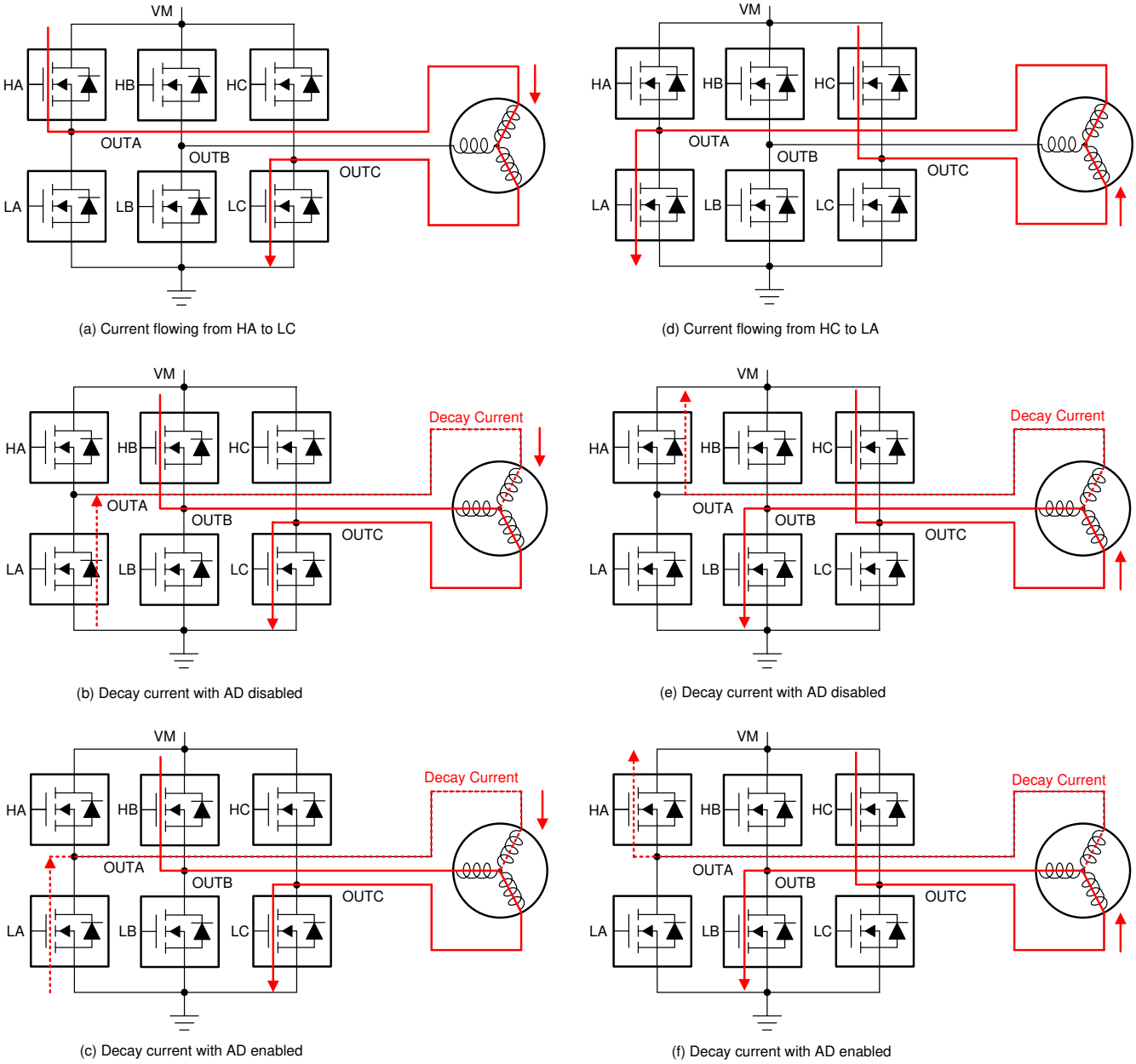


図 7-26. BLDC モーター整流における ASR

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

図 7-27 (a) に、台形波整流で動作している BLDC モーターの自動同期整流モードに対する BLDC モーターの位相電流波形が示されています。この図は、1 つの整流サイクルにおける各種スイッチの動作を示したものです。

図 7-27 (b) に、整流サイクルの拡大波形と、マージン時間 (t_{margin}) を使用した ASR モード開始、およびアクティブな復調コンパレータのスレッショルドと遅延による ASR モードの早期停止の詳細が示されています。

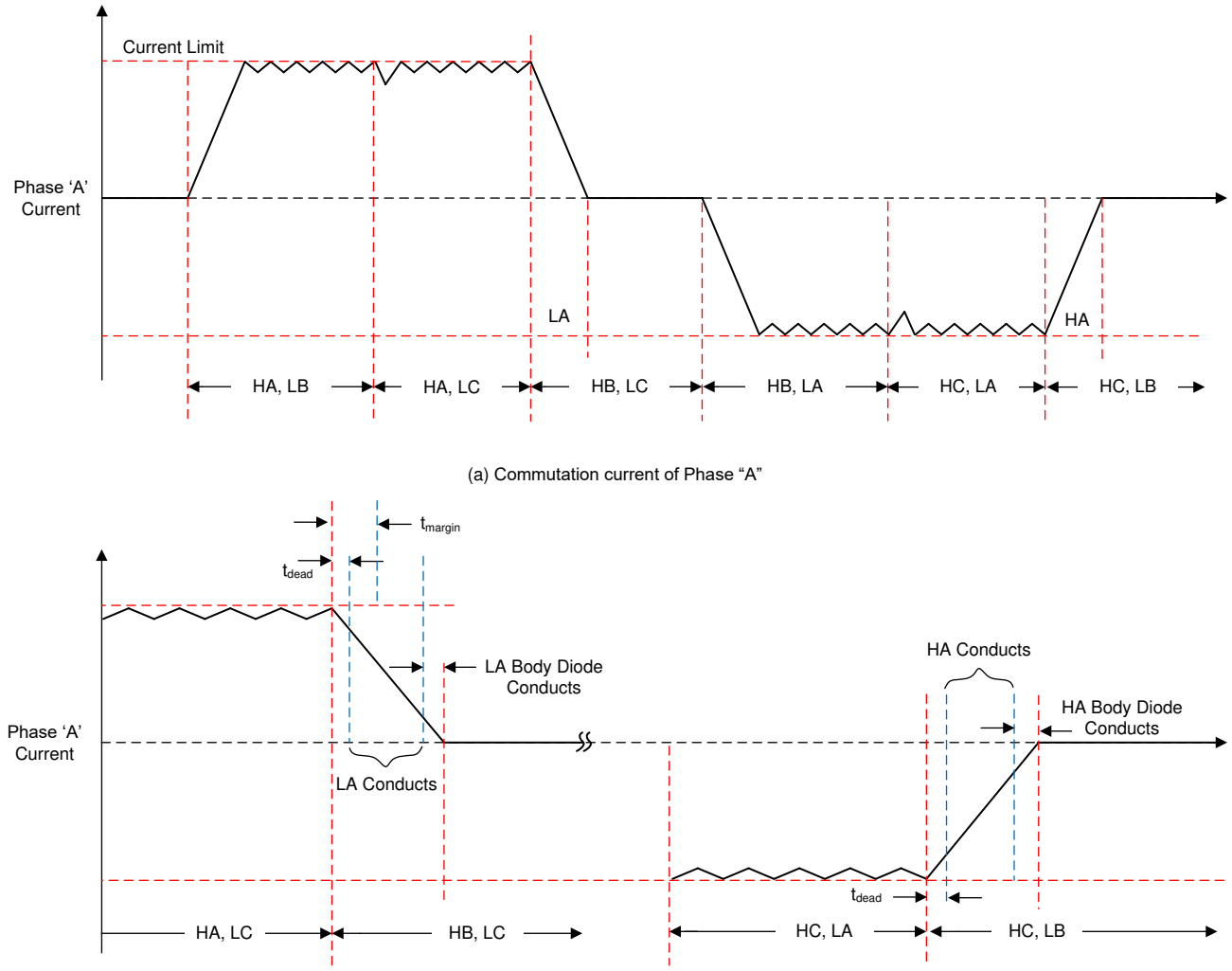


図 7-27. BLDC モーター整流における ASR の電流波形

ADVANCE INFORMATION

ADVANCE INFORMATION

7.9.1.2 PWM モード時の自動同期整流

図 7-28 に、各モードでの ASR ピンの動作が示されています。この 図 に示されているように、PWM はハイサイド FET のみに印加されるのに対し、ローサイド FET は常にオフとなります。PWM オフ時は、電流がローサイド FET から減衰するため、電力損失が大きくなります。このため、このモードでは、ローサイド ダイオードが導通している間、ローサイド FET をオンにすることができます。

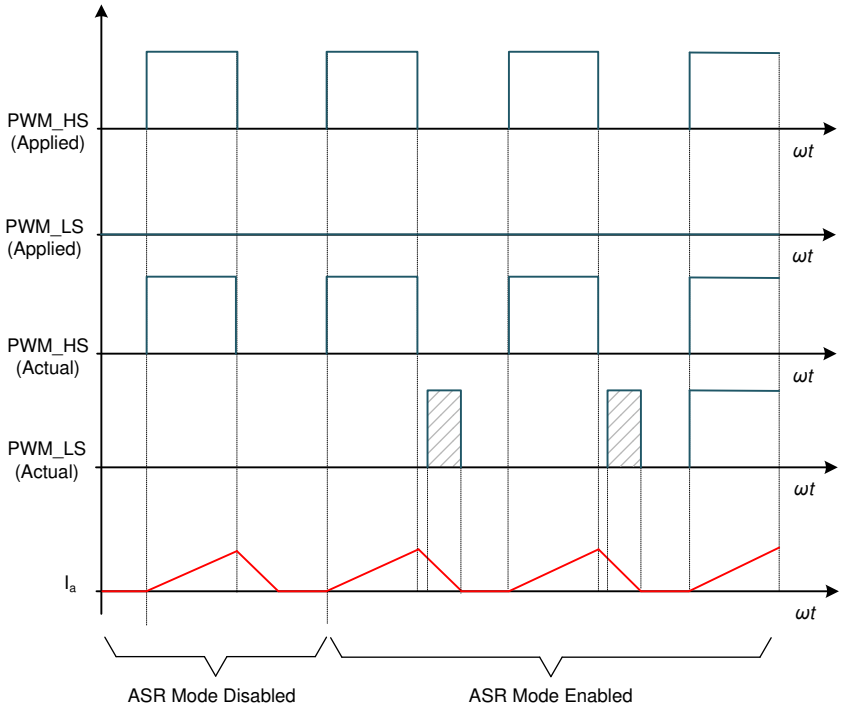


図 7-28. PWM モードの ASR

Copyright © 2026 Texas Instruments Incorporated

7.9.2 自動非同期整流モード (AAR モード)

図 7-29 に、各モードでの AAR ピンの動作が示されています。この図に示されているように、ハイサイド FET とローサイド FET の同期整流で PWM を印加します。ローサイド FET が導通する間、インダクタンスの小さいモーターでは、ローサイド FET がオン状態になるため、電流は 0 に減衰して負になることがあります。この結果、BLDC モーターの動作に負のトルクが発生します。AAR モードを有効にすると、減衰中の電流が監視され、電流がゼロに近付くと直ちにローサイド FET がオフになります。これにより、BLDC モーター内を流れる負の電流を節約でき、ノイズ性能と熱管理性が向上します。

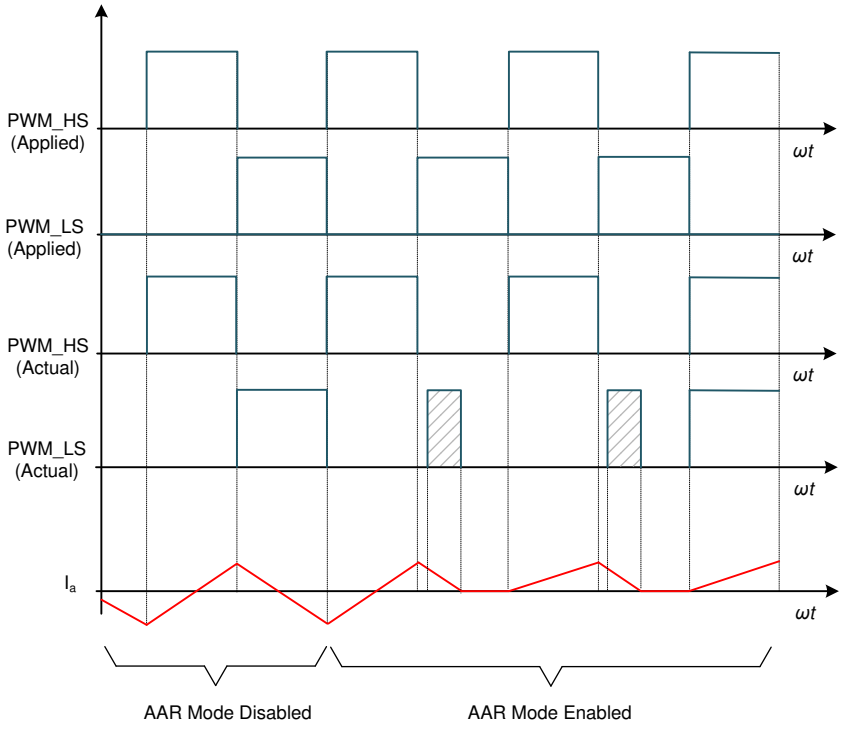


図 7-29. PWM モードの AAR

ADVANCE INFORMATION

ADVANCE INFORMATION

7.10 サイクル単位の電流制限

この電流制限回路は、ローサイド MOSFET を流れる電流が I_{LIMIT} 電流を超えると作動します。この機能により、モーター電流が I_{LIMIT} 未満に制限されます。

電流制限回路は、ILIMIT ピンの電圧と比較して、3 相の電流センス アンプの出力を利用します。図 7-30 は、電流制限回路の実装を示しています。図 7-30 に示すように、電流センス アンプの出力は、スター型接続の抵抗ネットワークと結合されます。この測定電圧 V_{MEAS} は、外部リファレンス電圧 V_{ILIM} ピンと比較されることで、電流制限の実装を実現します。OUTX ピンで検出される電流と V_{MEAS} スレッショルドの関係は以下の通りです。

$$V_{MEAS} = \left(V_{VREF}/2\right) + ((I_{OUTA} + I_{OUTB} + I_{OUTC}) \times GAIN/3) \quad (5)$$

ここで、

- V_{VREF} : 電流検出アンプの電源
- I_{OUTX} : ローサイド MOSFET に流れる電流
- CSA_GAIN : 電流センス アンプのゲイン

I_{LIMIT} スレッショルドは、ILIMIT ピンの電圧を設定することで調整できます。ILIMIT ピンの電圧は、$V_{VREF/2}$ から (V_{VREF} - 0.25V) または GVDD まで変化するため、ILIMIT は 0A ～ 40A の間で直線的に変化します。ILIMIT を無効化するために、VVREF よりも高い電圧を印加できます。

電流制限コンパレータの出力はブランキング時間としてブランキングされます。ハイサイドとローサイド スイッチ制御入力の立ち上がりエッジ (INHx および INLx) ごとに、DRV8378 の出力状態はブランキング時間中の INHx および INLx の状態によって異なります。ブランキング時間は SPI デバイスの ILIM_BLANK_SEL によって構成され、ハードウェア バリアントのスルーレートが 50V/ns の場合は 5.5µs、その他のすべてのスルーレートの場合は 1.8µs に固定されます。

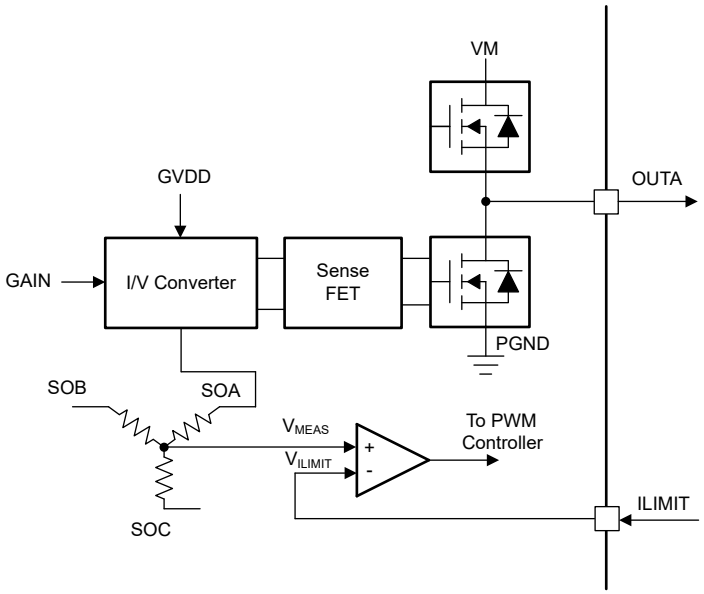


図 7-30. 電流制限の実装

DRV8378 の SPI バリアントでは、DRV_CTRL レジスタの ILIMIT_SEL_CODE [13:11] ビットをプログラムすることで電流制限が得られます。この場合、電流制限は、VREF 入力に印加されるリファレンス電圧と電流検出アンプのゲイン (G_{CSA}) の両方の関数です。電流制限、リファレンス電圧、G_{CSA} の関係を以下に示します。

$$I_{LIMIT} = \frac{(3 \times V_{VREF})}{(40 \times G_{CSA})}\left[1 + CODE_{ILIMIT_SEL_CODE}\right]$$ ここで、

- V_{VREF} = リファレンス電圧

Copyright © 2026 Texas Instruments Incorporated

- G_{CSA} = 電流センス アンプのゲイン値
- $CODE_{ILIMIT_SEL_CODE}$ = 10 進値の 3 ビット コード (0 ～ 6、CODE = 7 の場合、I_{LIMIT} は無効)

たとえば、G_{CSA} = 0.32V/A、V_{VREF} = 3.3V、CODE = 5、I_{LIMIT} = 4.64A の場合です

図 7-31 に示されているように、その後に電流制限が作動すると、各ハーフ ブリッジのハイサイド (INHx) の立ち上がりエッジまで、各ハーフ ブリッジのハイサイド FET が無効化されます。ローサイド FET は、SPI デバイス バリアントの ILIM_MODE ビットを設定することで、ブレーキ モードまたはコースト (ハイ インピーダンス) モードで動作できます。ハードウェア バリアントでは、ローサイド FET はコースト (ハイ インピーダンス) モードで動作します。

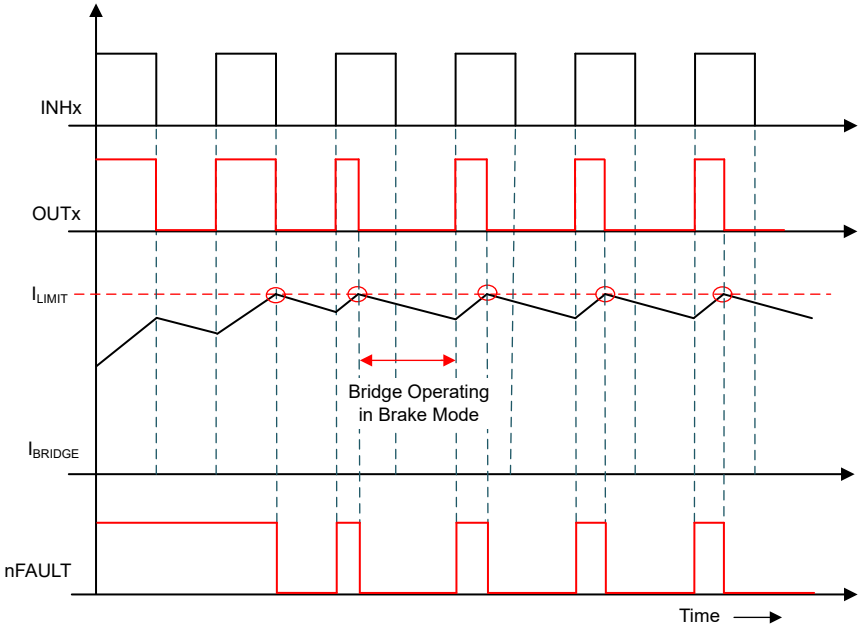


図 7-31. サイクル単位の電流制限動作

ADVANCE INFORMATION

ADVANCE INFORMATION

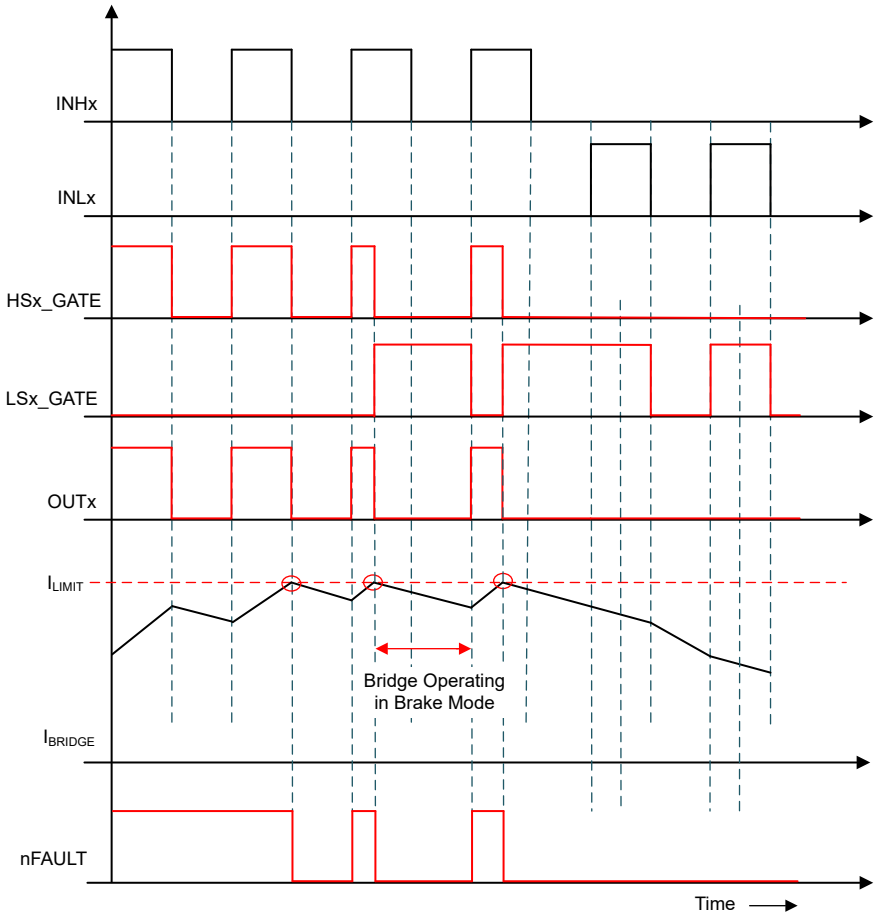


図 7-32. サイクル単位の電流制限動作 (ブレーキ モードでのローサイド スイッチングあり)

Copyright © 2026 Texas Instruments Incorporated

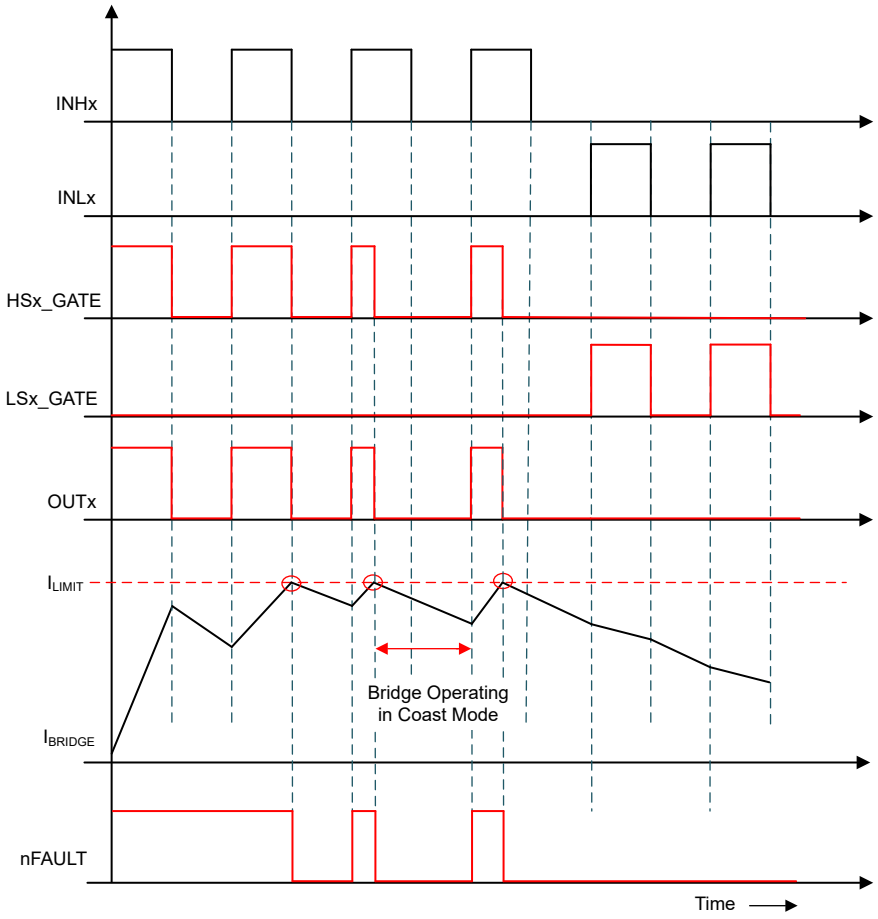


図 7-33. サイクル単位の電流制限動作 (コースト モードでのローサイド スイッチングあり)

図 7-34 に、ブレーキ モードでのドライバの動作が示されています。ここでは、ハイサイド FET が無効化されている間にローサイド FET を通って電流が循環します。 に示されているように、同期整流モードで電流制限がアクティブになっている場合は、ハイサイド FET が無効化されている間にローサイド FET を通って電流が再循環します。

図 7-35 に、ハイ インピーダンスモードでのドライバの動作が示されています。ここでは、ハイサイド FET が無効化されている間にローサイド FET のボディ ダイオードを通って電流が循環します。 に示されているように、電流制限が非同期整流モードでアクティブになっている場合は、ハイサイド FET が無効化されている間にローサイド FET のボディ ダイオードを通って電流が再循環します。

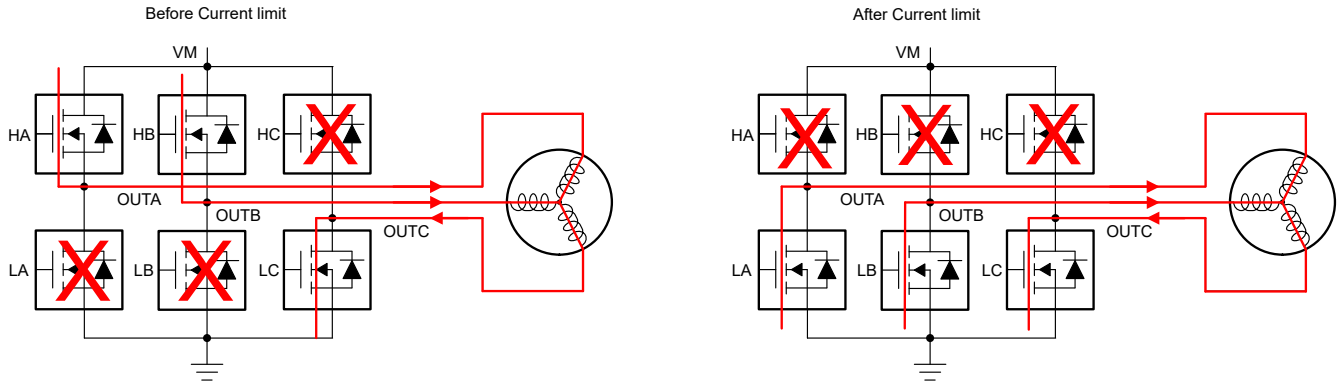


図 7-34. ブレーキ状態

ADVANCE INFORMATION

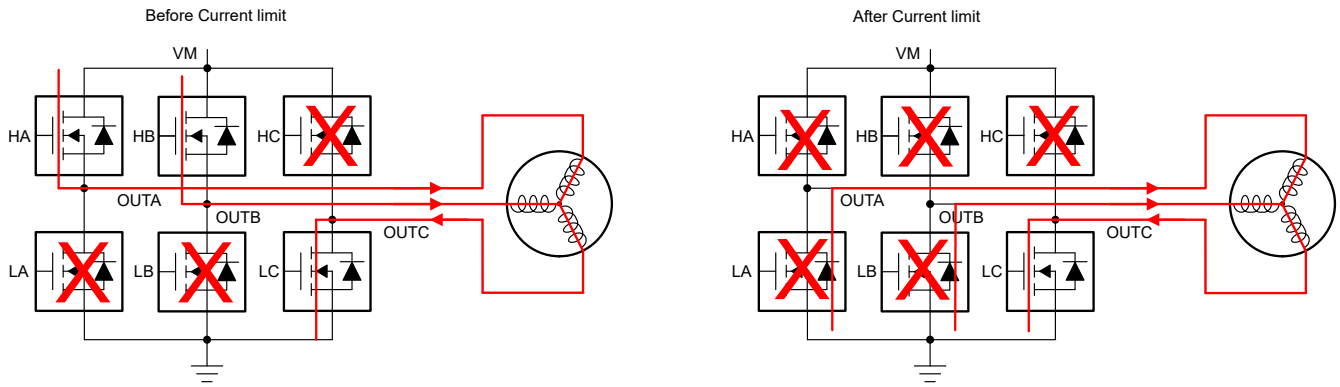


図 7-35. コースト状態

注

ブレーキ動作中、大電流がローサイド FET を流れることで、最終的に過電流保護回路がトリガされる場合があります。この状態では、ハイサイド FET のボディ ダイオードが導通し、ブレーキ エネルギーが VM 電源レールに誘導されます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.10.1 100% デューティ サイクル入力でのサイクル単位の電流制限

PWM 入力に 100% デューティ サイクルが印加された場合、ハイサイド FET を再びオンにするエッジはありません。この問題を克服するため、DRV8378 には内部 PWM クロックが内蔵されています。これにより、I_{LIMIT} スレッショルドを超えた後にハイサイド FET が無効化された時点でハイサイド FET はオンに戻ります。SPI バリアント DRV8378 では、この内部 PWM クロックは、PWM_100_DUTY_SEL を通じて 10kHz、20kHz、または 40kHz に設定できます。H/W バリアントでは、DRV8378 PWM 内部クロックが 20kHz に設定されています。次の図は、100% デューティ サイクルでの動作を示しています。

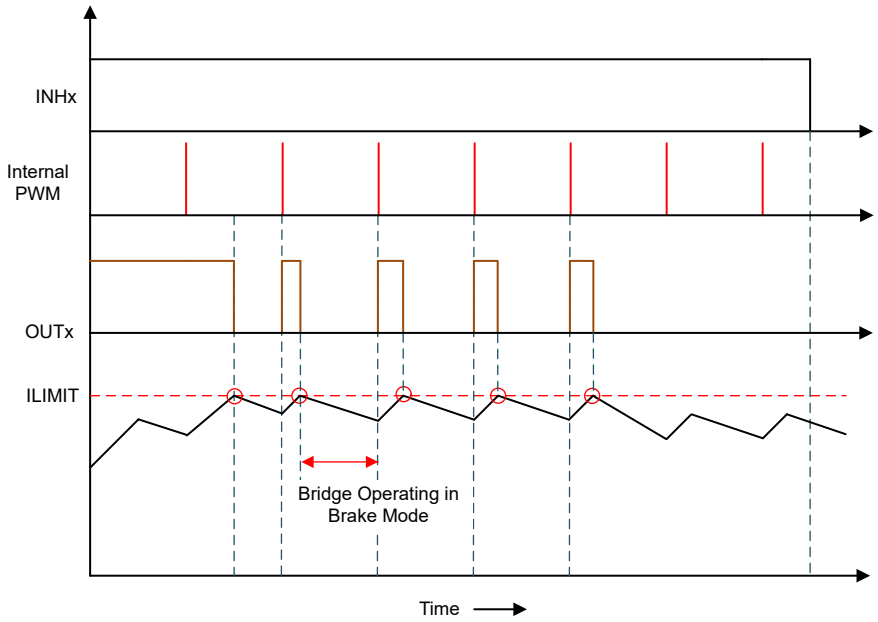


図 7-36. 100% PWM デューティ サイクルでのサイクル単位の電流制限動作

ADVANCE INFORMATION

ADVANCE INFORMATION

7.11 保護

DRV8378 ファミリのデバイスは、VM 低電圧、チャージ ポンプ低電圧、過電流イベントから保護されています。フォルト動作および応答 に、各種フォルトの詳細を示します。

表 7-6. フォルト動作および応答

nFAULT	条件	構成	通知	H ブリッジ	ロジック	復帰
VM 低電圧 (RESET)	$V_{VM} < V_{UVLO}$	—	—	ハイ インピーダンス	無効	自動: $V_{VM} > V_{UVLO_R}$ CLR_FLT、nSLEEP リセット パルス (RESET ビット)
GVDD 低電圧 (RESET)	$V_{VM} > V_{UVLO}$、$V_{GVDD} < V_{GVDD_UVLO}$	外部 GVDD	—	ハイ インピーダンス	無効	自動: $V_{GVDD} > V_{GVDD_UVLO_R}$ CLR_FLT、nSLEEP リセット パルス (RESET ビット)
GVDD 低電圧 (RESET)	$V_{GVDD} > V_{GVDD_UVLO}$	—	—	ハイ インピーダンス	無効	自動: $V_{GVDD} > V_{GVDD_UVLO_R}$ CLR_FLT、nSLEEP リセット パルス (RESET ビット)
チャージ ポンプ低電圧 (VCP_UV)	$V_{CP} < V_{CPUV}$	—	nFAULT	ハイ インピーダンス	アクティブ	自動: $V_{VCP} > V_{CPUV}$ CLR_FLT、nSLEEP リセット パルス (VCP_UV ビット)
過電圧保護 (OVP)	$V_{VM} > V_{OVP}$	OVP_MODE = 0b	なし	アクティブ	アクティブ	動作なし (OVP 無効)
		OVP_MODE = 1b	nFAULT	ハイ インピーダンス	アクティブ	自動: $V_{VM} < V_{OVP}$ CLR_FLT、nSLEEP リセット パルス (OVP ビット)
過電流保護 (OCP)	$I_{PHASE} > I_{OCP}$	OCP_MODE = 00b	nFAULT	ハイ インピーダンス	アクティブ	ラッチ: CLR_FLT、nSLEEP リセット パルス (OCP ビット)
		OCP_MODE = 01b	nFAULT	ハイ インピーダンス	アクティブ	リトライ: t_{RETRY} CLR_FLT、nSLEEP リセット パルス (OCP ビット)
		OCP_MODE = 10b	nFAULT	アクティブ	アクティブ	通知のみ: CLR_FLT、nSLEEP リセット パルス (OCP ビット)
		OCP_MODE = 11b	なし	アクティブ	アクティブ	アクションなし
ILIMIT	$V_{ILIMIT} < V_{SO}$	ILIMFLT_MODE = 0b	なし	ILIMIT モード	アクティブ	自動: INHx の次の立ち上がりエッジでハイサイド INLx の次の立ち上がりエッジのローサイド
		ILIMFLT_MODE = 1b	nFAULT	ILIMIT モード	アクティブ	自動: INHx の次の立ち上がりエッジでハイサイド INLx の次の立ち上がりエッジのローサイド
SPI エラー (SPI_FLT)	SCLK、パリティ、ADDR フォルト	SPIFLT_MODE = 0b	なし	アクティブ	アクティブ	アクションなし
		SPIFLT_MODE = 1b	nFAULT	アクティブ	アクティブ	通知のみ: CLR_FLT、nSLEEP リセット パルス (SPI_FLT ビット)
OTP エラー (OTP_ERR)	OTP の読み取りが誤っています	—	nFAULT	ハイ インピーダンス	アクティブ	ラッチ: パワー サイクル、CLR_FLT
過熱警告 (OTW)	$T_J > T_{OTW}$	OTW_MODE = 0b	なし	アクティブ	アクティブ	アクションなし
		OTW_MODE = 1b	nFAULT	アクティブ	アクティブ	自動: $T_J < T_{OTW} - T_{OTW_HYS}$ CLR_FLT、nSLEEP パルス (OTW ビット)
サーマル シャットダウン (OTSD)	$T_J > T_{TSD}$	—	nFAULT	ハイ インピーダンス	アクティブ	自動: $T_J < T_{TSD} - T_{TSD_HYS}$

7.11.1 過電流保護 (OCP)

MOSFET 過電流イベントは、FET を流れる電流を監視することで検出されます。FET に流れる電流が t_{OCP} グリッチ除去時間よりも長く I_{OCP} スレッショルドを上回ると、OCP イベントが認識され、OCP_MODE ビットに従って動作が実行されます。ハードウェア インターフェイス デバイスでは、I_{OCP} スレッショルドは 20A スレッショルドに固定され、t_{OCP_DEG} は 1.45µs に固定され、OCP_MODE ビットはラッチ付きシャットダウンに設定されます。SPI デバイスでは、I_{OCP} スレッショルドは OCP_LVL ビットを通じて設定され、t_{OCP_DEG} は OCP_DEG ビットを通じて設定されます。

Copyright © 2026 Texas Instruments Incorporated

表 7-7 に、DRV8378 デバイスの OCP レベルとグリッチ除去時間の構成が示されています。

表 7-7. OCP の構成

OCP 設定	OCP_LVL ビット (SPI バリアント)	最小 OCP レベル
OCP 1	OCP_LVL = 0b	20A
OCP 2	OCP_LVL = 1b	10A

OCP_MODE ビットは以下の 4 つのモードで動作できます。OCP ラッチ付きシャットダウン、OCP 自動リトライ、OCP 通知のみ、OCP 無効。

7.11.1.1 OCP ラッチ シャットダウン (OCP_MODE = 00b)

このモードで OCP イベントが発生すると、すべての MOSFET が無効化され、nFAULT ピンが Low に駆動されます。SPI レジスタでは、nFAULT、OCP、および対応する FET OCP ビットが High にラッチされます。OCP 状態が解消され、CLR_FLT ビットまたは nSLEEP リセット パルス (t_{RST}) のいずれかによってフォルト クリア コマンドが発行されると、通常動作が再開されます (ドライバの動作が再開され、nFAULT ピンが解放される)。

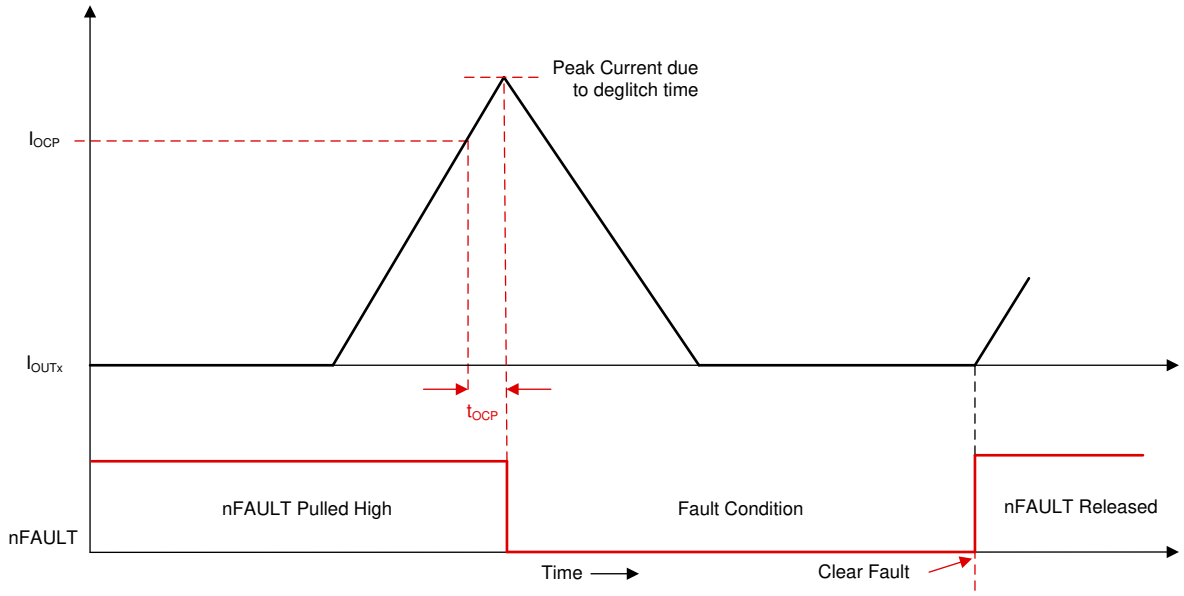


図 7-37. 過電流保護 - ラッチ シャットダウン モード

7.11.1.2 OCP 自動リトライ (OCP_MODE = 01b)

このモードで OCP イベントが発生した後、すべての MOSFET が無効化され、nFAULT ピンが Low に駆動されます。SPI レジスタでは、nFAULT、OCP、および対応する FET OCP ビットが High にラッチされます。t_{RETRY} 時間が経過した後は、通常動作が自動的に再開されます (ドライバ動作が再開され、nFAULT ピンが解放される)。t_{RETRY} 時間が経過すると、nFAULT、OCP、および対応する FET の OCP ビットは、CLR_FLT ビットまたは nSLEEP リセット パルス (t_{RST}) のいずれかによってフォルト クリア コマンドが実行されるまでラッチされた状態を維持します。

ADVANCE INFORMATION

ADVANCE INFORMATION

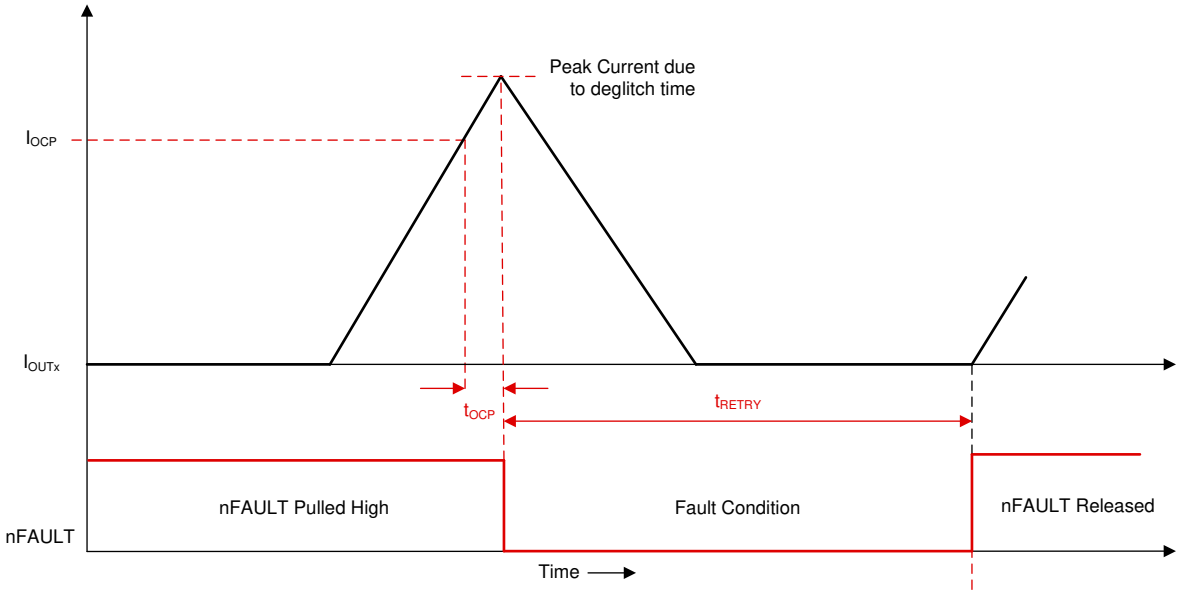


図 7-38. 過電流保護 - 自動リトライ モード

7.11.1.3 OCP 無効 (OCP_MODE = 11b)

このモードでは、OCP イベントの後に何の動作も発生しません。

7.11.1.4 OCP 通知のみ (OCP_MODE = 10b)

このモードでは、OCP イベントの後に保護動作は発生しません。nFAULT ピンを Low に駆動し、nFAULT、OCP、および対応する FET の OCP ビットを SPI レジスタで High にラッチすることにより、過電流イベントが通知されます。DRV8378 は通常どおり動作を継続します。外部コントローラは適切に動作することによって過電流状態を管理します。OCP 状態が解消され、CLR_FLT ビットまたは nSLEEP リセット パルス (t_{RST}) のいずれかによってフォルト クリア コマンドが発行されると、通知がクリアされます (nFAULT ピンが解放される)。

Copyright © 2026 Texas Instruments Incorporated

7.11.2 VM 電源低電圧ロックアウト (RESET)

VM ピンの入力電源電圧が V_{UVLO} スレッショルド (VM UVLO 立ち下がりスレッショルド) を下回ると、常にすべての内蔵 FET、ドライバ チャージ ポンプ、デジタル ロジック コントローラが無効化されます (図 7-39 を参照)。VM 低電圧状態が解消されると、通常動作 (ドライバの動作) が再開されます。デバイスが VM の状態を認識すると、デバイス ステータス レジスタの RESET ビットは High にラッチされます。RESET ビットは、CLR_FLT ビットまたは nSLEEP ピンのリセット パルス (t_{RST}) によってクリアされるまで High のままです。

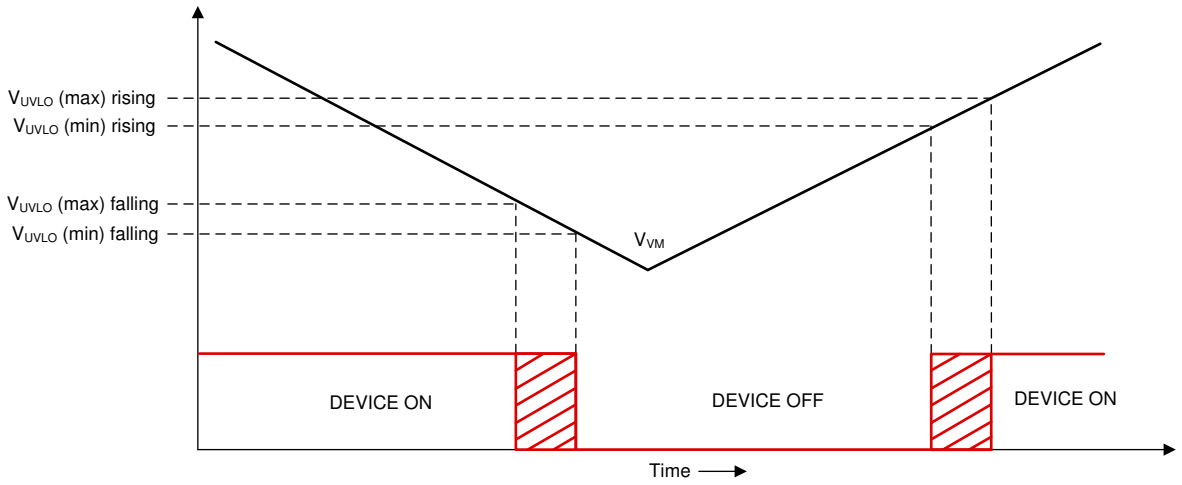


図 7-39. VM 電源低電圧誤動作防止

7.11.3 GVDD 低電圧誤動作防止 (GVDD_UV)

GVDD ピンの電圧が V_{GVDD_UV} スレッショルドを下回ると常に、内蔵 FET、ドライバ チャージ ポンプ、デジタル ロジック コントローラのすべてが無効化されます。GVDD 低電圧状態が解消されると、通常動作 (ドライバの動作) が再開されます。デバイスが VM の状態を認識すると、デバイス ステータス レジスタの RESET ビットは High にラッチされます。RESET ビットは、CLR_FLT ビットまたは nSLEEP ピンのリセット パルス (t_{RST}) によってクリアされるまで High のままです。

7.11.4 VCP チャージ ポンプ低電圧誤動作防止 (CPUV)

任意の時点で VCP ピン (チャージ ポンプ) の電圧が VCPUV スレッショルド未満に低下した場合は、統合されているすべての FET が無効化され、nFAULT ピンが Low になります。VCP の低電圧状態が解消されると、通常動作が再開されます (ドライバの動作が再開され、nFAULT ピンが解放される)。チャージ ポンプの低電圧は nFAULT ビットと CPUV ビットで通知されます。nFAULT ビットは、チャージ ポンプの低電圧状態が解消されると自動的にクリアされます。CPUV ビットは、CLR_FLT ビットまたは nSLEEP ピン リセット パルス (t_{RST}) によってクリアされるまでセットされたまま維持されます。CPUV 保護は、ハードウェアと SPI デバイスの両方のバリアントで常に有効化されています。

7.11.5 過電圧保護 (OV)

VM ピンの電源電圧が V_{OVP} スレッショルド電圧を超えると、常にすべての内蔵 FET が無効化され、nFAULT ピンが Low に駆動されます。OVP が解消されると、通常動作が再開されます (ドライバ動作が再開され、nFAULT ピンが解放される)。過電圧は nFAULT ビットと OVP ビットで通知されます。nFAULT ビットは、過電圧状態が解消されると自動的にクリアされます。OVP ビットは、CLR_FLT ビットまたは nSLEEP ピン リセット パルス (t_{RST}) によってクリアされるまでセットされたまま維持されます。SPI デバイスの OVP_MODE ビットを High に設定すると、この保護機能が有効になります。ハードウェア インターフェイス デバイスでは、OVP 保護が無効化されています。

OVP スレッショルドは、SPI デバイス バリアントでもプログラム可能です。OVP スレッショルドは、OVP_SEL ビットに基づいて 65V または 35V に設定できます。

ADVANCE INFORMATION

ADVANCE INFORMATION

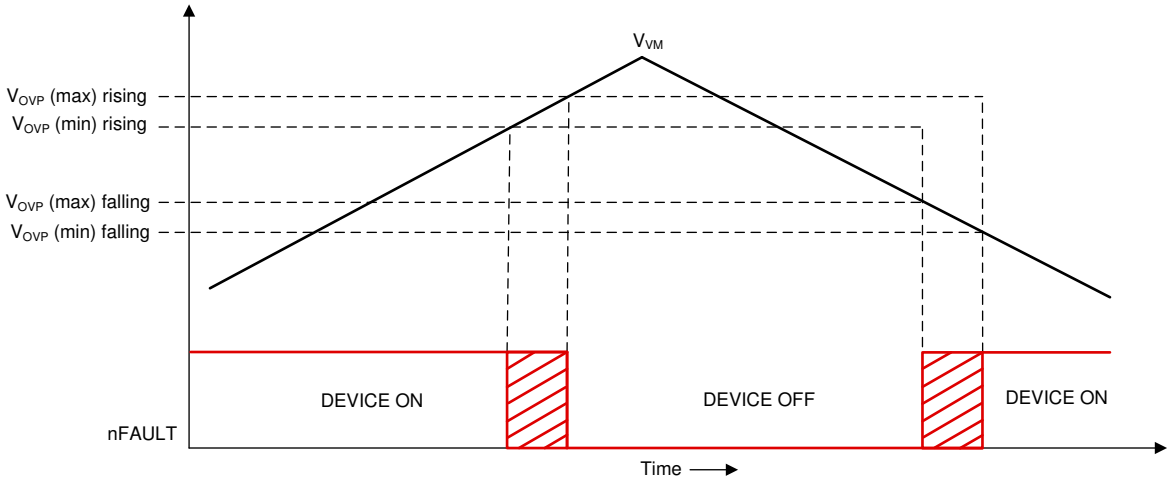


図 7-40. 過電圧保護

7.11.6 過熱警告 (OTW)

ダイ温度が過熱警告のトリップ ポイント (T_{OTW}) を上回ると、OT ステータス (OT_STS) レジスタの OT ビットとデバイス ステータス レジスタの OTW ビットが設定されます。nFAULT ピンの OTW 通知は、構成制御レジスタの過熱警告通知 (OTW_MODE) ビットを設定することで有効化できます。デバイスの機能は継続され、追加動作が実行されることはありません。この場合、ダイ温度が過熱警告のヒステリシス ポイント (T_{OTW_HYS}) を下回ると、nFAULT ピンが解放されます。OTW ビットは、CLR_FLT ビットまたは nSLEEP リセット パルス (t_{RST}) によってクリアされ、ダイ温度が過熱警告トリップ (T_{OTW}) を下回るまで設定されたまま維持されます。ハードウェア バリアントでは、過熱警告はデフォルトで nFAULT ピンで通知されます。

7.11.7 サーマル シャットダウン (OTS)

デバイスのダイ温度がサーマル シャットダウン制限のトリップ ポイント (T_{TSD}) を上回ると、すべての FET が無効化され、チャージ ポンプがシャットダウンされ、nFAULT ピンが Low になります。さらに、OT ステータス (OT_STS) レジスタの nFAULT ビットと OTSD ビット、およびステータス レジスタの OTF ビットが設定されます。過熱状態が解消されると、通常動作が再開されます (ゲート ドライバの動作が再開され、nFAULT ピンが解放される)。OTSD ビットが High にラッチされたままになっている場合は、CLR_FLT ビットまたは nSLEEP リセット パルス (t_{RST}) のいずれかによってクリア フォルト コマンドが実行されるまで、過熱状態が発生していたことを示しています。この保護機能は無効化できません。

Copyright © 2026 Texas Instruments Incorporated

7.12 デバイスの機能モード

7.12.1 機能モード

7.12.1.1 スリープ モード

nSLEEP ピンは、DRV8378 ファミリのデバイスの状態を管理するピンです。nSLEEP ピンが Low になると、デバイスは低消費電力のスリープ モードに移行します。スリープ モードでは、すべての FET、センス アンプ、チャージ ポンプ、GVDD レギュレータ、SPI バスが無効になります。nSLEEP ピンでの立ち下がりエッジの後、t_{SLEEP} 時間が経過するとデバイスがスリープ モードに移行します。nSLEEP ピンが High になると、デバイスのスリープ モードは自動的に終了します。t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

注

nSLEEP ピンを通してデバイスがパワーアップおよびパワーダウンしている間は、内部レギュレータが有効化または無効化されるため、nFAULT ピンは Low に保持されます。レギュレータが有効化または無効化された後、nFAULT ピンは自動的に解放されます。nFAULT ピンが Low になっている時間が t_{SLEEP} 時間または t_{WAKE} 時間を上回ることはありません。

注

内部テスト モードへの望ましくない移行を避けるため、プルアップが使われていない場合でも、nFAULT にプルアップを接続することを推奨します。nFAULT をプルアップするために外部電源を使用する場合は、電源投入時に nFAULT が 2.2V 以上にプルアップされていることを確認してください。そうしないと、デバイスは内部テスト モードになります。

7.12.1.2 動作モード

nSLEEP ピンが High で、V_{VM} 電圧が V_{UVLO} 電圧より大きい場合は、デバイスが動作モードに移行します。t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。このモードでは、チャージ ポンプ、GVDD レギュレータ、SPI バスがアクティブです。

7.12.1.3 フォルト リセット (CLR_FLT または nSLEEP リセット パルス)

デバイスのフォルト状態がラッチされている場合、DRV8378 ファミリのデバイスは、パワー MOSFET とシステムを保護するために部分的シャットダウン状態に移行します。

障害状態が解消されると、SPI デバイスで CLR_FLT SPI ビットを設定するか、またはいずれかのインターフェイスで nSLEEP ピンにリセット パルスを印加することにより、デバイスを動作状態に戻すことができます。nSLEEP リセット パルス (t_{RST}) は、nSLEEP ピンでの High → Low → High の遷移で構成されています。このシーケンスの Low 期間は t_{RST} 時間枠内に収める必要があり、そうしないとデバイスが完全なシャットダウン シーケンスを開始します。リセット パルスがレギュレータ、デバイス設定、またはその他の機能ブロックに影響することはありません。

7.12.2 DRVOFF 機能

DRV8378 は、DRVOFF ピンを使ってプリドライバと MOSFET をアクティブに無効化し、デジタル制御をバイパスします。DRVOFF ピンを High にすると、6 つの MOSFET がすべて無効化されます。nSLEEP が High、DRVOFF ピンが High の場合、チャージ ポンプ、GVDD レギュレータ、SPI バスはアクティブのままで、OCP などのドライバ関連のフォルトは非アクティブの状態に留まります。DRVOFF ピンにより MOSFET がアクティブに無効化され、INHx および INLx 入力ピンのステータスに関係なく、モーターの通信が停止します。

注

DRVOFF は、29 ピン SPI およびハードウェア バリアントにのみ適用できます。

ADVANCE INFORMATION

注

DRVOFF ピンにより MOSFET が独立して無効化されるため、フォルト条件がトリガされ、nFAULT が Low にプルされます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.13 SPI 通信

7.13.1 プログラミング

DRV8378 SPI デバイスでは、デバイス構成と動作パラメータの設定、診断情報の読み出しに SPI バスを使用します。DRV8378 は、SPI モード 0 を使用します (データは立ち上がりエッジでサンプリングされ、立ち下がりエッジでシフト アウトされます)。図 6-1 のタイミング図を参照してください。SPI は、セカンダリ モードで動作し、コントローラに接続します。SPI 入力データ (SDI) ワードは、24 ビットのワード、1 つの読み取りまたは書き込みビット、パリティビット、6 ビットのアドレス、15 ビットのデータ (パリティビット付き) で構成されています。SPI 出力は、24 ビット ワード、8 ビットのステータス情報 (STS レジスタ) と 16 ビットのレジスタ データで構成されています。

有効なフレームは次の条件を満たしていなければなりません。

- SCLK ピンは、nSCS ピンが High から Low、Low から High に遷移するときに Low になっている必要がある。
- nSCS ピンは、ワード間の 400ns 以上にわたって High にプルアップされている必要がある。
- nSCS ピンが High にされているときは、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンがハイ インピーダンス状態になる。
- データは SCLK ピンの立ち下がりエッジでキャプチャされ、SCLK ピンの立ち上がりエッジで伝搬される。
- 最上位ビット (MSB) が最初にシフト イン / シフト アウトされる。
- トランザクションを有効にするには、24 SCLK サイクルすべてが発生しなければならない。
- SDI ピンに送信されるデータ ワードが 24 ビットより多い / 少ない場合は、フレーム エラーが発生してデータ ワードが無視される。
- 書き込みコマンドの場合、書き込み先レジスタ内の既存データは、8 ビットのステータス データに続いて SDO ピンでシフト アウトされる。

SPI レジスタは、パワーアップ時とスリープ モード時にデフォルト設定にリセットされます。

7.13.1.1 SPI フォーマット

SPI フォーマット - パリティ付き

SDI 入力データ ワードは 24 ビット長であり、以下のフォーマットで構成されています。

- 1 ビットの読み取りまたは書き込みビット、W (ビット B16)
- 6 アドレス ビット、A (ビット B22～B17)
- パリティビット、P (ビット B23)
- 15 データ ビット、1 パリティ ビット、D (ビット B15 ～ B0)

SDO 出力データ ワードは 24 ビット長です。最上位ビットはステータス ビット、最下位の 16 ビットはアクセス先のレジスタのデータ コンテンツです。

表 7-8. SPI の SDI 入力データ ワード フォーマット

PARITY	アドレス						RW	PARITY	データ													
B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
P	A5	A4	A3	A2	A1	A0	W0	P	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

表 7-9. SDO 出力データ ワードのフォーマット

STATUS								データ															
B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
S7	S6	S5	S4	S3	S2	S1	S0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

SPI フレーム フォーマットで使用されるビットの詳細について以下をご覧ください。

ADVANCE INFORMATION

読み出し/書き込みビット (R/W): R/W (W0) ビットが 0b にセットされている場合、これは SPI 書き込みトランザクションを示します。SPI 読み出し動作には、R/W ビットを 1b に設定する必要があります。

アドレス ビット (A): SPI セカンダリ デバイスは、6 ビットのレジスタ アドレスを受け取ります。

パリティ ビット (P): SPI 入力データ フレームのヘッダー フィールド とデータ フィールドの両方に、シングル ビット エラー検出 のためのパリティ ビットが含まれています (表 7-8 を参照)。B23 はヘッダー フィールドのパリティ ビット、B15 はデータ フィールドのパリティ ビットです。使用されるパリティ方式は偶数パリティです。16 ビット (パリティ ビットを含む) のブロック内の数は偶数です。パリティ チェックが成功した場合にのみ、データは内部レジスタに書き込まれます。パリティ チェックは、SYS_CTRL レジスタの SPI_PEN ビットを構成することで、有効化または無効化できます。パリティ チェックはデフォルトで無効化されています。

注

パリティ チェックはデフォルトで無効化されていますが、シングル ビット エラーを防止するために、パリティ チェックを有効化することを TI は推奨しています。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

DRV8378 は、ブラシレス DC モーターの駆動に使用できます。次の設計手順で DRV8378 を設定することが可能です。

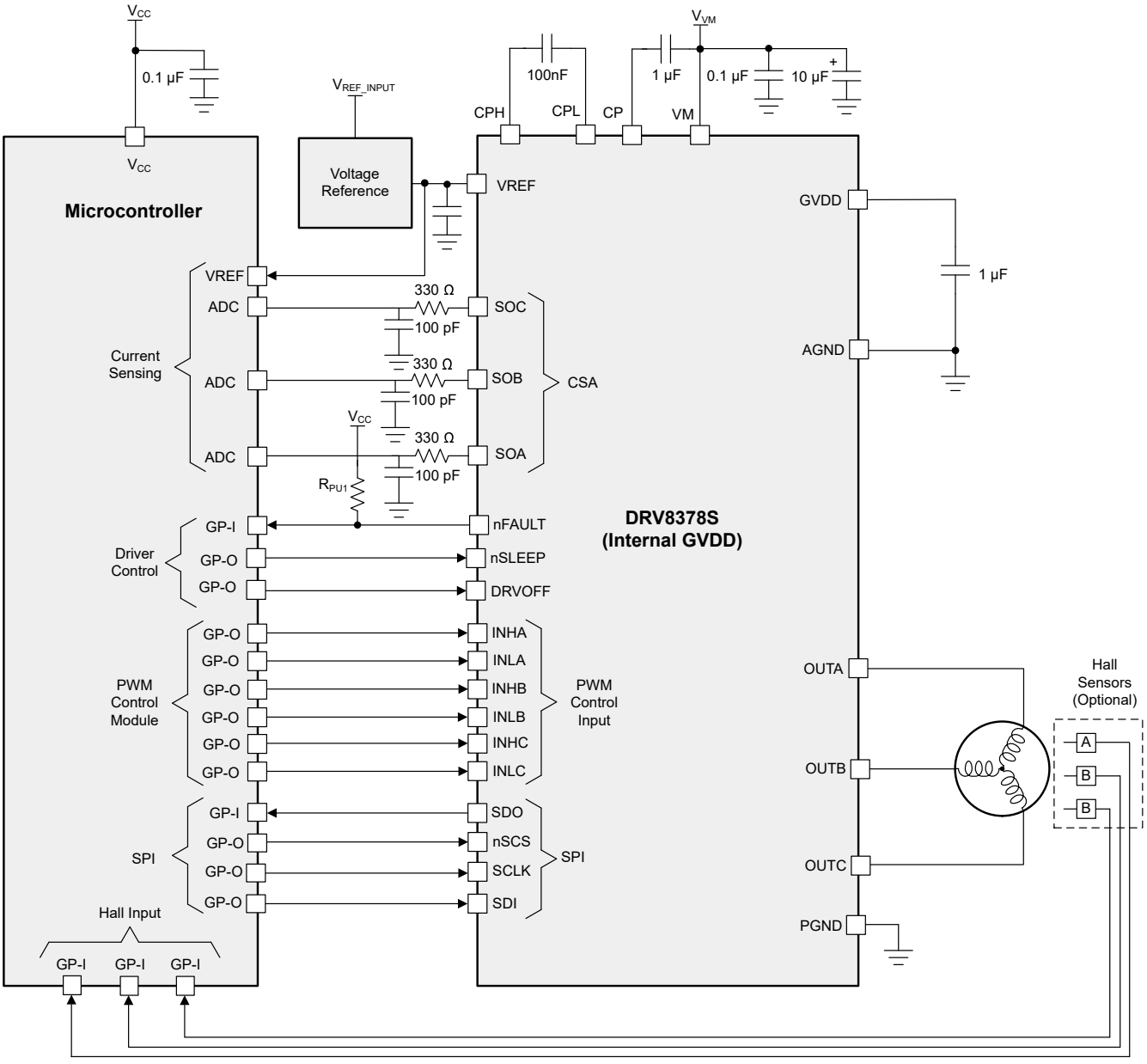


図 8-1. DRV8378 の主要アプリケーション回路図 (SPI バリアント 29 ピン)

ADVANCE INFORMATION

ADVANCE INFORMATION

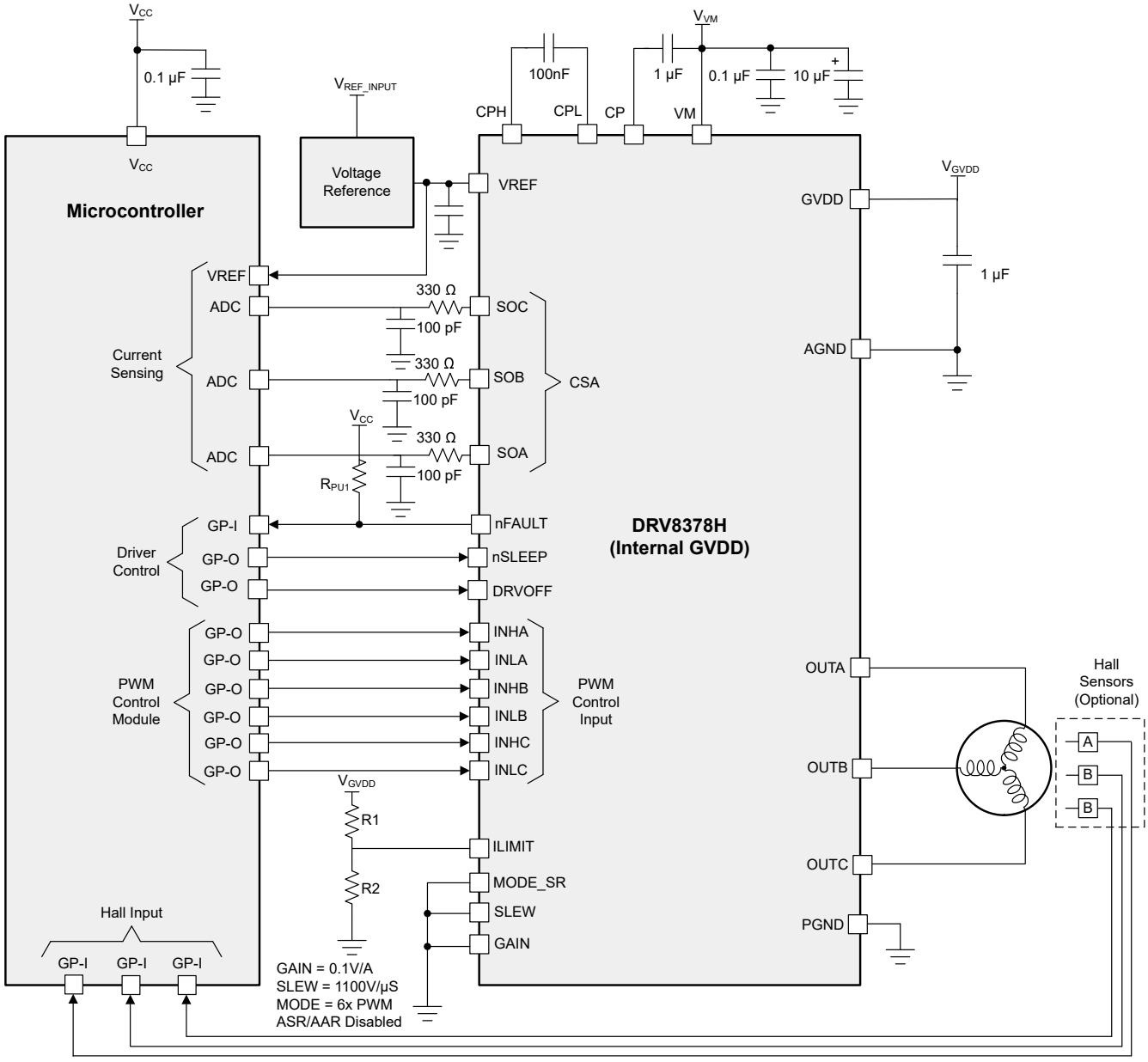


図 8-2. DRV8378 の主要アプリケーション回路図 (ハードウェア バリアント 29 ピン)

Copyright © 2026 Texas Instruments Incorporated

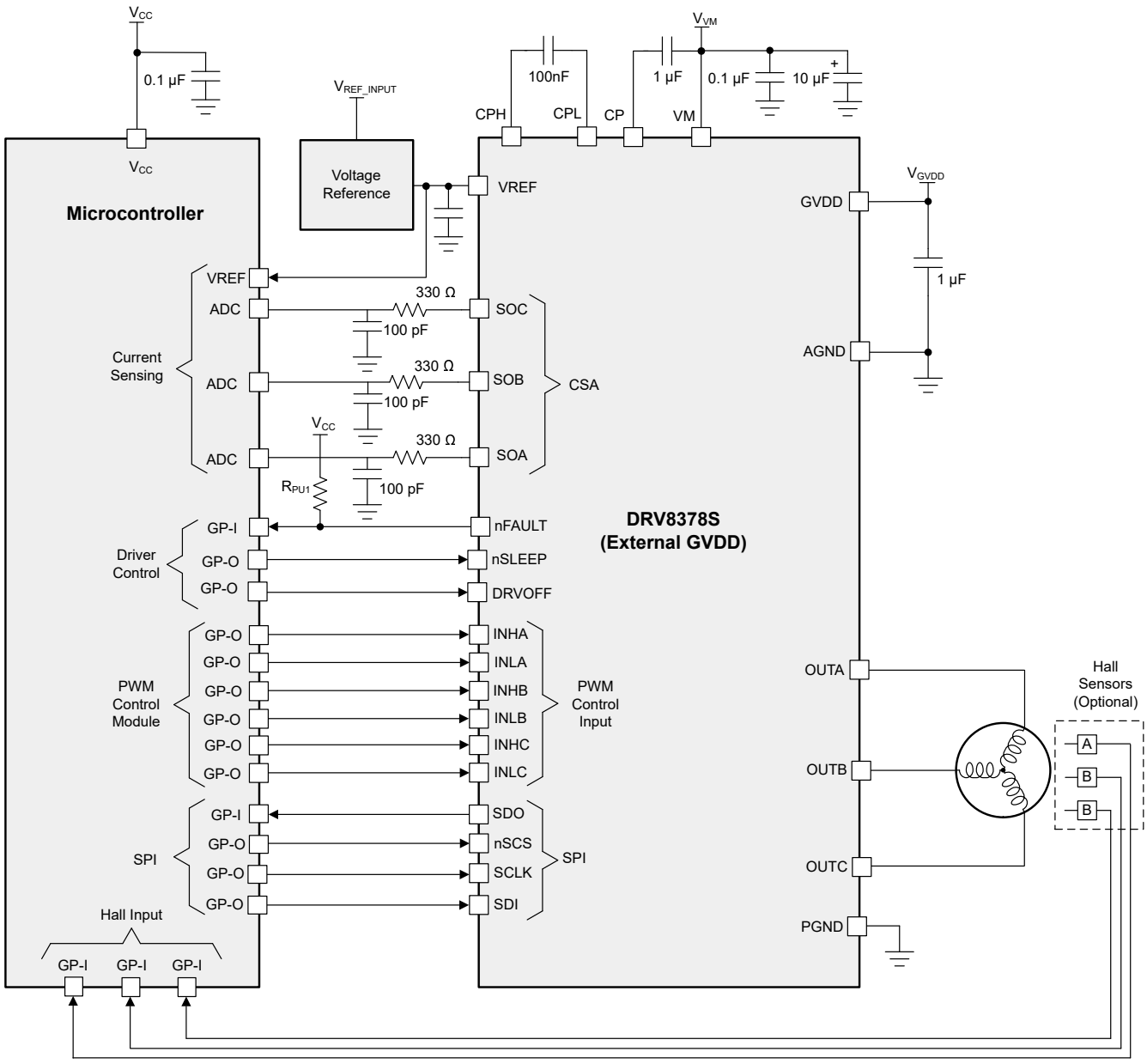


図 8-3. DRV8378G の主要アプリケーション回路図 (SPI バリアント 29 ピン)

8.2 電源に関する推奨事項

8.2.1 バルク コンデンサ

適切なローカル バルク容量の確保は、モーター駆動システムの設計において重要な要素です。一般的に、バルク容量が大きいことはより有益ですが、コストと物理的なサイズが大きくなるというデメリットもあります。

必要なローカル容量は、次のようなさまざまな要因で決まります。

- モーター システムが必要とする最大電流
- 電源の容量と電流能力
- 電源とモーター システムの間の寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモーターの種類 (ブラシ付き DC、ブラシレス DC、ステッパ)

ADVANCE INFORMATION

- モーターのブレーキ方式

電源とモーター駆動システムの間のインダクタンスにより、電源からの電流の変化する速度が制限されます。ローカル バルク容量が小さすぎると、モーターに大電流を供給しようとする場合、または負荷ダンプが発生した場合、システムの電圧が変動します。十分なバルク容量を備えることで、モーターの電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨値が記載されていますが、バルク コンデンサの容量が適切かどうかを判断するには、システム レベルのテストが必要です。

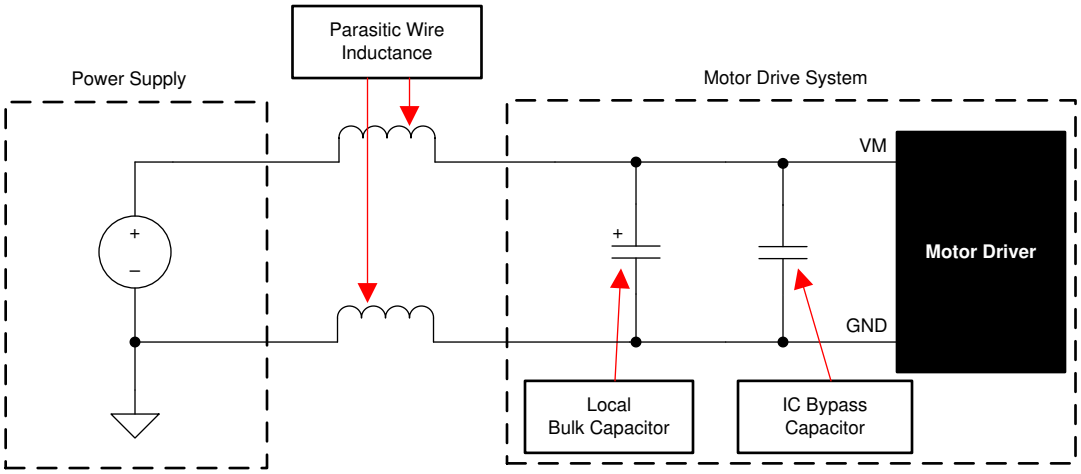


図 8-4. 外部電源を使用したモーター駆動システムの構成例

モータが電源にエネルギーを伝達する場合のマージンを確保するため、バルク コンデンサの定格電圧は動作電圧より高くする必要があります。

8.3 レイアウト

8.3.1 レイアウトのガイドライン

バルク コンデンサは、モータードライバ デバイスを通る大電流パスの距離ができるだけ短くなるように配置する必要があります。接続用の金属パターンはできる限り幅を広くし、PCB 層を接続する際には多数のビアを使用する必要があります。これらの手法により、インダクタンスが最小限に抑えられ、バルク コンデンサが大電流を供給できるようになります。チャージ ポンプ、GVDD、VREF コンデンサなどの値の小さいコンデンサはセラミックとし、デバイス ピンに近づけて配置する必要があります。大電流デバイス出力には、幅の広い金属パターンを使用する必要があります。

大きい過渡電流から小電流信号パスへのノイズ結合および EMI 干渉を低減するために、PGND と AGND のグランドは分割する必要があります。寄生効果を低減し、デバイスの消費電力を改善するために、電力段以外のすべての回路を AGND に接続することを推奨します。電圧オフセットを低減させ、ゲート ドライバの性能を維持するため、各グランドは必ずネット タイまたは幅広の抵抗を使って接続します。熱効率を向上させるために、PGND パッド上にビアを配置し、デバイスの下にソリッド PGND プレーンを配置することを推奨します。複数のビアを使用して最下層の大きなグランド プレーンに接続する必要があります。大きい金属プレーンおよび複数のビアを使うと、本デバイス内で発生する $I^2 \times R_{DS(on)}$ の熱を放散するのに役立ちます。

放熱性を高めるため、サーマル パッド グランドに接続されたグランド領域を、PCB の全層にわたって最大化します。厚い銅のベタ パターンを使うと、接合部から外気への熱抵抗が下がり、ダイ表面からの放熱性が改善されます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.3.2 レイアウト例

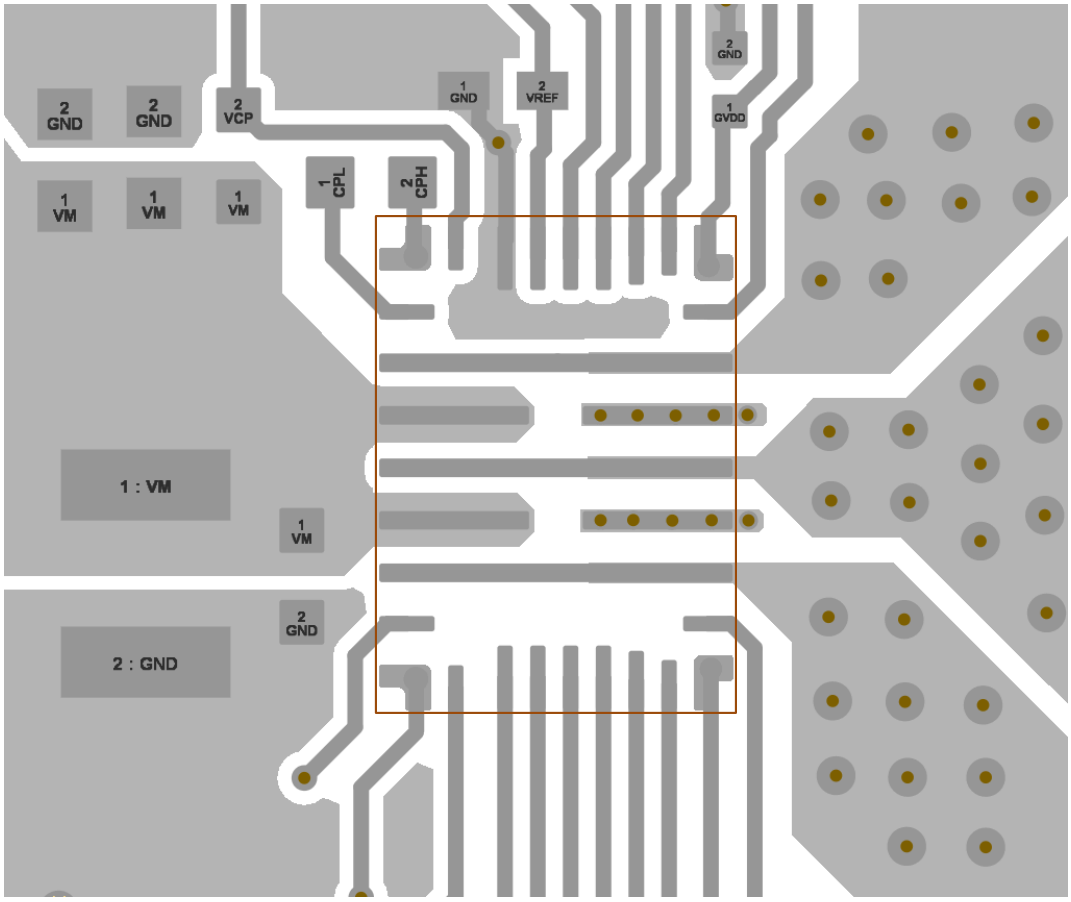


図 8-5. VQFN 29 ピン パッケージのレイアウト例

ADVANCE INFORMATION

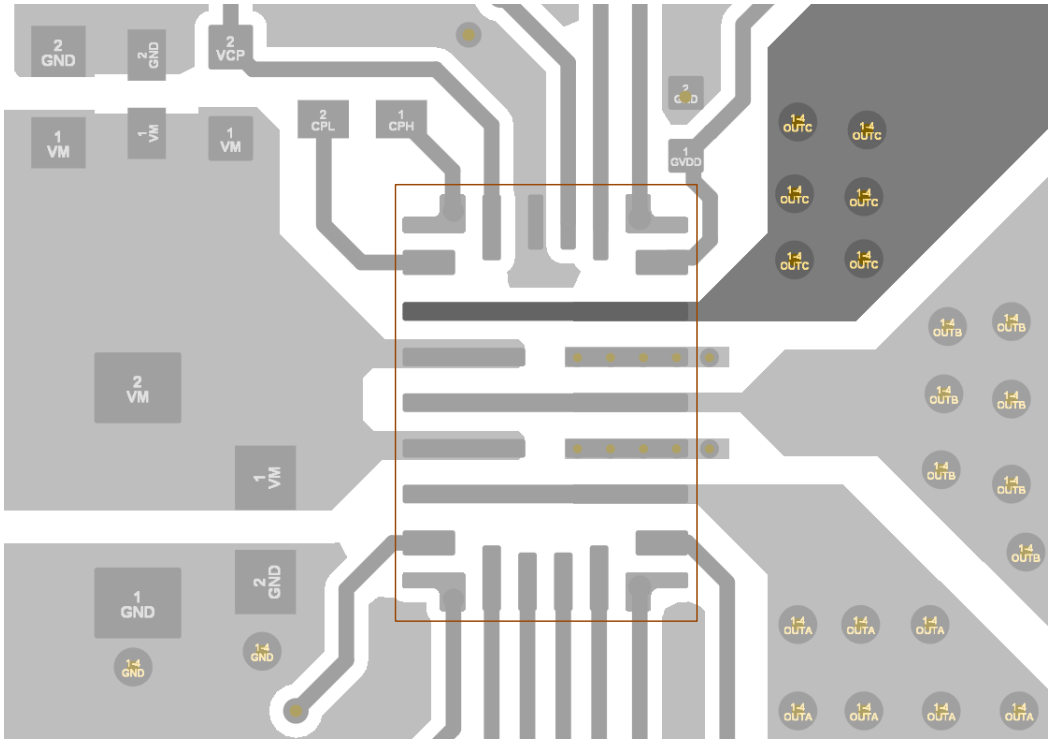


図 8-6. VQFN 23 ピン パッケージのレイアウト例

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.3.3 熱に関する検討事項

DRV8378 は、前述のようにサーマル シャットダウン機能 (TSD) を備えています。ダイ温度が 150℃を超えると、ダイ温度が安全なレベルに低下するまで、本デバイスの機能は (最小限に) 無効化されます。

何度もサーマル シャットダウンが作動する場合、それは、消費電力が過大である、放熱が不十分である、周囲温度が高すぎる、のいずれかであることを示しています。

8.3.3.1 消費電力

DRV8378 の電力損失には、スタンバイ電力損失、LDO の電力損失、FET の導通損失とスイッチング損失、ダイオード損失が含まれます。FET の導通損失は、DRV8378 の合計消費電力の大部分を占めます。起動時およびフォルト条件では、出力電流が通常よりも大きくなるため、ピーク電流とその持続時間を考慮する必要があります。デバイスの合計消費電力は、互いに追加された 3 つのハーフブリッジのそれぞれで消費される電力です。本デバイスが消費して放散できる電力の最大値は、周囲温度とヒートシンクの影響を受けます。$R_{DS(ON)}$ は温度とともに上昇するので、デバイスが発熱すると消費電力が増大することに注意してください。PCB とヒートシンクを設計する際には、この点を考慮に入れてください。

以下は、台形制御とフィールド オリエンテッド コントロール (磁界方向制御) の各損失を計算するための式をまとめたものです。

表 8-1. 台形波制御とフィールド オリエンテッド コントロール (磁界方向制御) における DRV8378 の電力損失

損失の種類	矩形波	フィールド オリエンテッド コントロール (磁界方向制御/FOC)
静止電流による電力損失	$P_{standby} = VM \times I_{VM_TA}$	
LDO	$P_{LDO} = (VM-V_{GVDD}) \times I_{GVDD}$ $P_{LDO} = (VM-V_{AVDD}) \times I_{AVDD}$	
FET の導通	$P_{CON} = 2 \times (I_{PK(trap)})^2 \times R_{ds,on(TA)}$	$P_{CON} = 3 \times (I_{RMS(FOC)})^2 \times R_{ds,on(TA)}$
FET のスイッチング	$P_{SW} = I_{PK(trap)} \times V_{PK(trap)} \times t_{rise/fall} \times f_{PWM}$	$P_{SW} = 3 \times I_{RMS(FOC)} \times V_{PK(FOC)} \times t_{rise/fall} \times f_{PWM}$
ダイオード	$P_{diode} = 2 \times I_{PK(trap)} \times V_{F(diode)} \times t_{DEADTIME} \times f_{PWM}$	$P_{diode} = 6 \times I_{RMS(FOC)} \times V_{F(diode)} \times t_{DEADTIME} \times f_{PWM}$

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- *DRV8378 EVM ツール ページ にアクセスします*
- *内蔵 MOSFET ドライバの遅延とデッドタイム アプリケーション ノートをお読みください*
- *BLDC 統合型 MOSFET 温度カリキュレータ ツールをダウンロードします*
- 『モータドライバの消費電力の計算』、SLVA504
- 『熱特性強化型パッケージ PowerPAD™』、SLMA002
- 『PowerPAD™ の簡単な使用法』、SLMA004
- 『MSP430 を使用したセンサ付き 3 相 BLDC モーター制御』、SLAA503
- 『モータドライバの電流定格について』、SLVA505

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from Revision * (May 2026) to Revision A (August 2026)	Page
• チャージ ポンプのフライ コンデンサの値を 10nF から 47nF、100nF に更新	18

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントの改訂を伴わない場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

付録：パッケージ·オプション

パッケージ情報

注文可能な型番	ステータス	資料のタイプ	パッケージ	ピン数	パッケージ数量	キャリア	RoHS	リード端子の仕上げ / ボールの原材料	MSL 定格/ピーク リフロー	動作温度 (℃)	部品マーキング
PDRV8378HVERR	プレビュー	量産開始前	VQFN-FCRLF (VER)	23	500	大口径のテープ リール	あり	NiPdAu	レベル-2-260C-UNLIM	-40～125 ℃	PDRV8378H0R

重要なお知らせと免責事項:このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

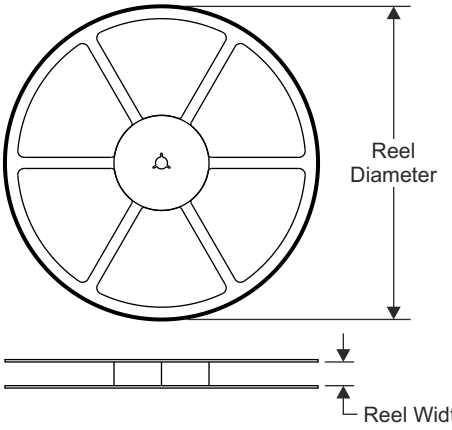
いかなる場合においても、そのような情報から生じた TI の責任は、このドキュメント発行時点での TI 製品の価格に基づく TI からお客様への合計購入価格 (年次ベース) を超えることはありません。

ADVANCE INFORMATION

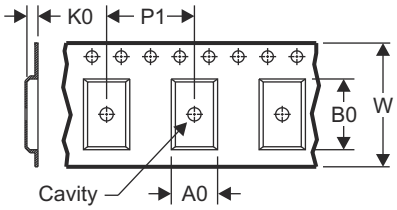
Copyright © 2026 Texas Instruments Incorporated

11.1 テープおよびリール情報

REEL DIMENSIONS

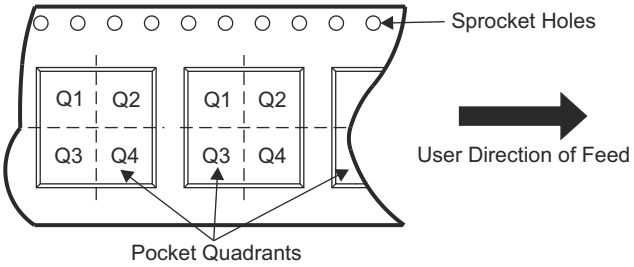


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

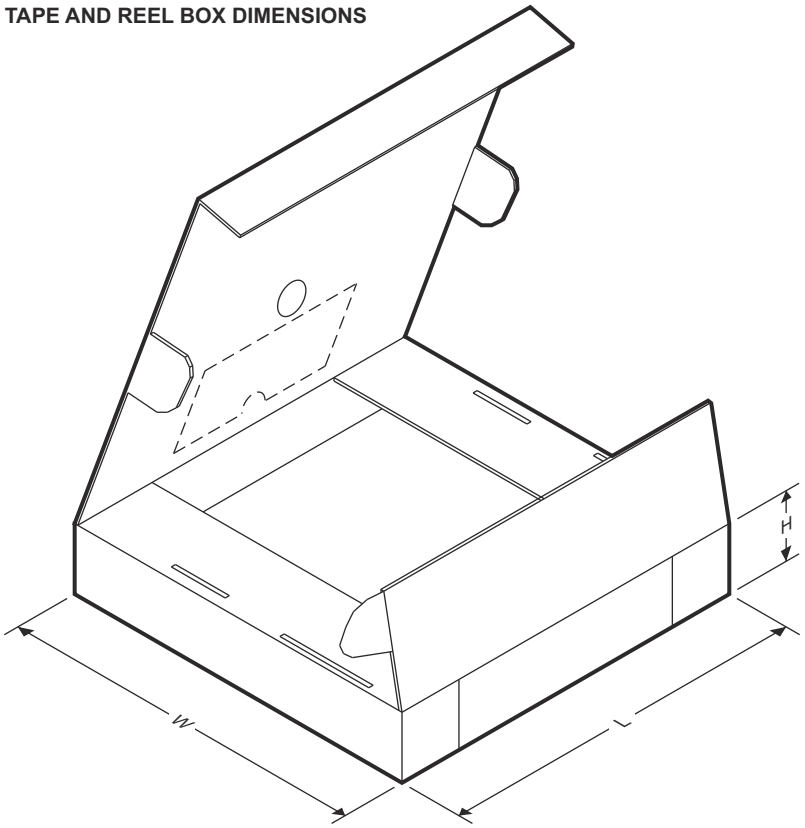


デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
PDRV8378HVERR	VQFN-FCRLF	VER	23	3000	330	12.4	4.3	6.3	1.1	8.0	9.1	Q1

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージ タイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
PDRV8378HVERR	VQFN-FCRLF	VER	23	3000	470.0	380.0	36.0

ADVANCE INFORMATION

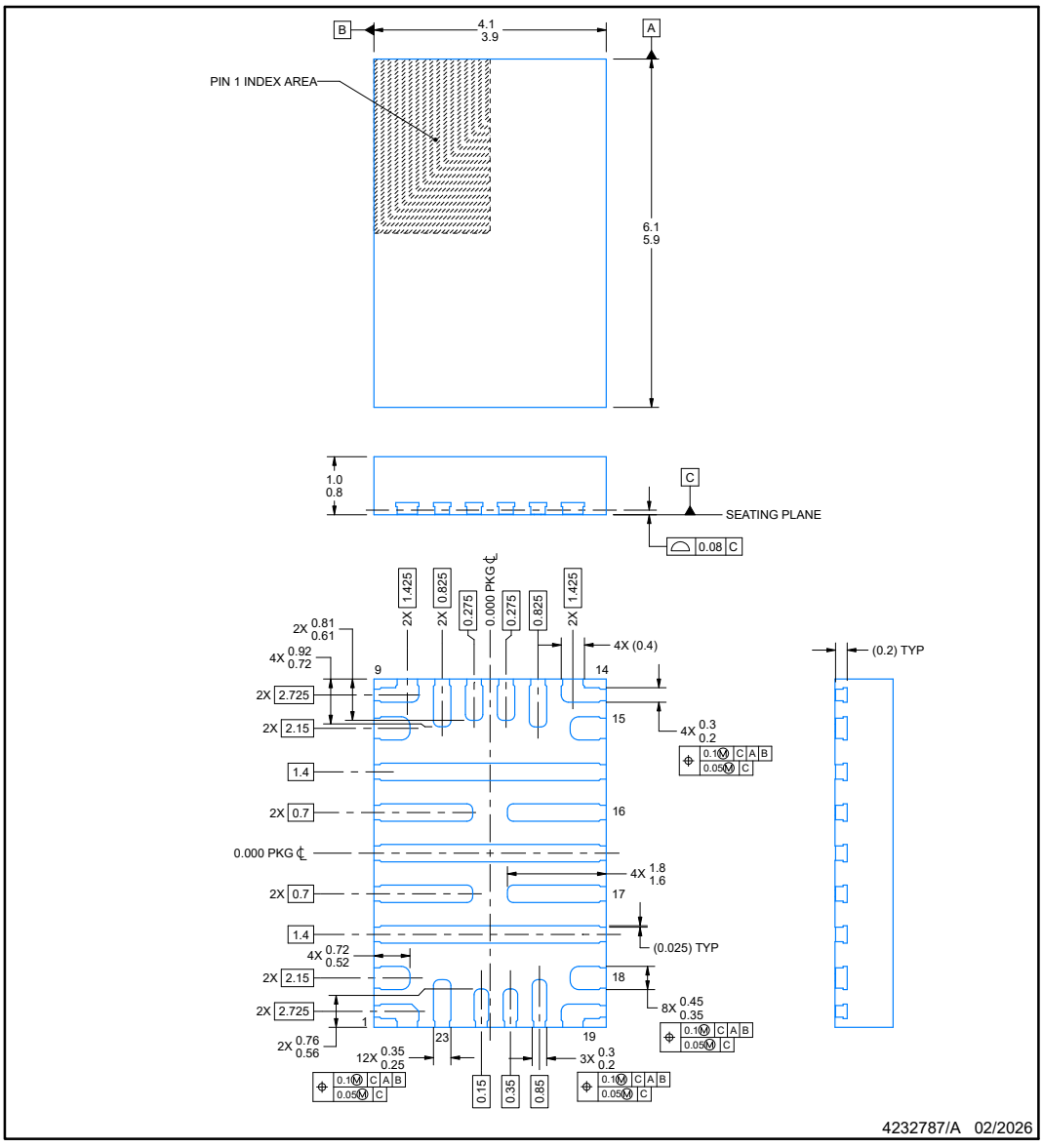
ADVANCE INFORMATION

PACKAGE OUTLINE

VER0023B

VQFN-FCRLF - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

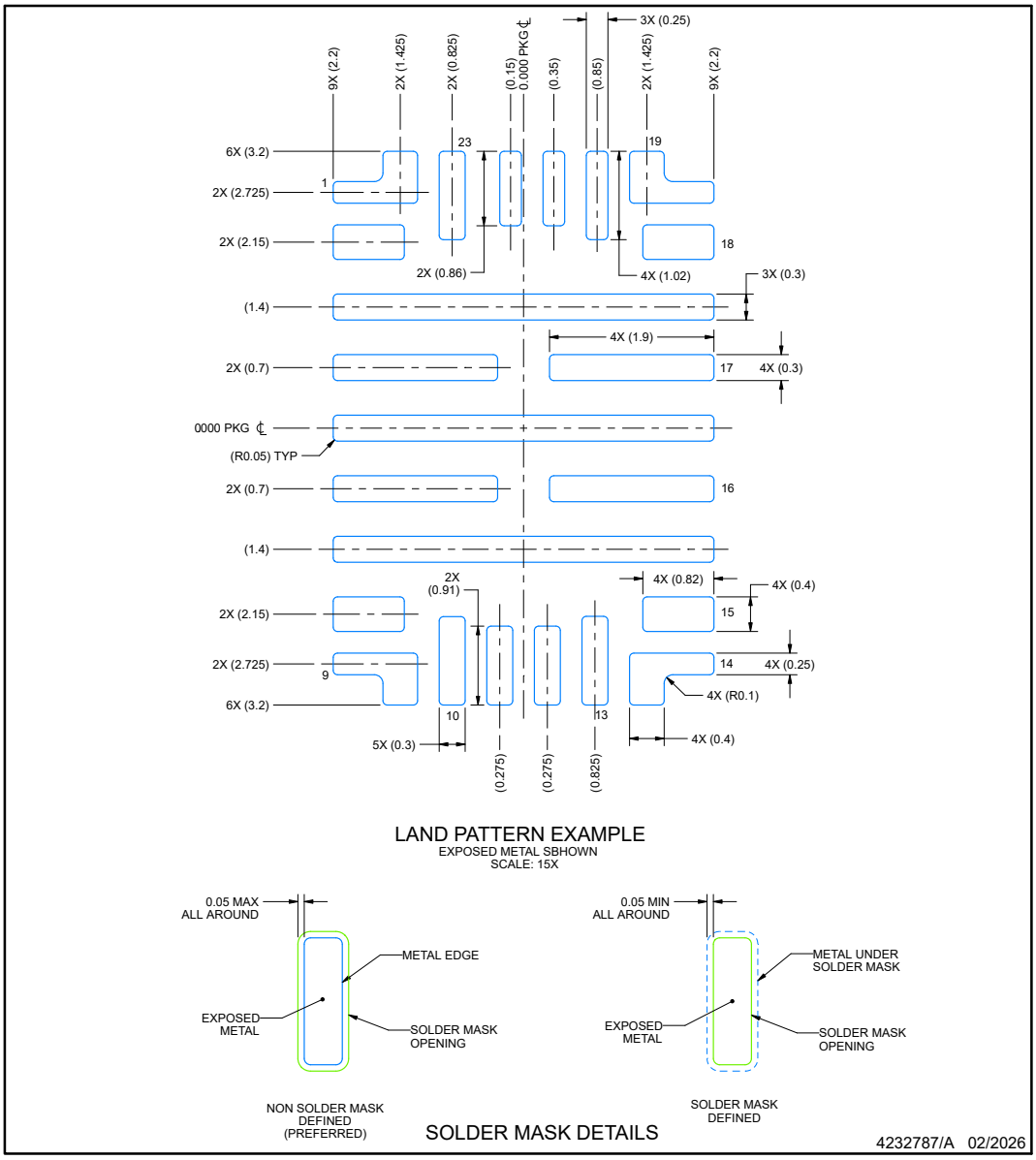
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

VER0023B — **VQFN-FCRLF - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

Copyright © 2026 Texas Instruments Incorporated

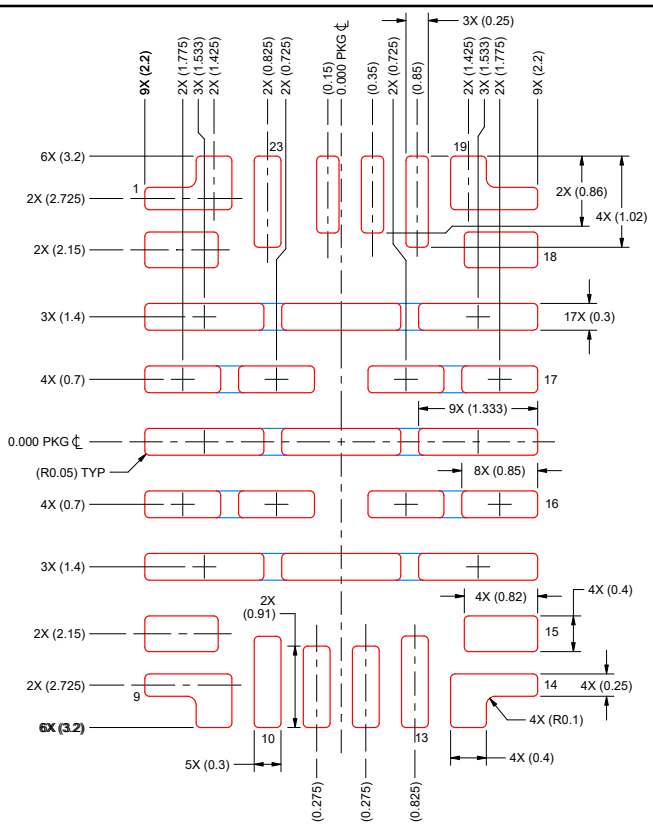
ADVANCE INFORMATION

ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

VER0023B — **VQFN-FCRLF - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm TICK STENCIL
SCALE: 15X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PADS 8, 10 & 12: 91%
PADS 9, 11, 21 & 22: 89%

4232787/A 02/2026

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PDRV8378GHVERR	Active	Preproduction	VQFN-FCRLF (VER) | 23	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 150	
PDRV8378HVERR	Active	Preproduction	VQFN-FCRLF (VER) | 23	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 150	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF DRV8378 :

- Automotive : DRV8378-Q1

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月