

DRV8378-Q1、3 相 FET 内蔵モーター ドライバ

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
 - 温度グレード 1: $-40^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$
- 三相 BLDC モーター ドライバ
- 動作電圧: 4.5V~65V (絶対最大定格 70V)
- 高い出力電流能力: ピーク 16A
- 低い MOSFET オンステート抵抗
 - $T_A = 25^{\circ}\text{C}$ で $58\text{m}\Omega$ の $R_{DS(ON)}$ (HS + LS)
- 先進の MOSFET スイッチング手法により、1.1V/ns @24V のスルーレートでスイッチング損失を低減、逆回復損失は無視できる程度
- 100ns 未満の非常に短いデッド タイムと 100ns 未満の伝搬遅延により、モータードライブの電流歪みを最小化し、可聴ノイズの低減と制御精度の向上を実現
- 低消費電力スリープ モード
 - $3.6\mu\text{A}$ ($V_{VM} = 48\text{V}$, $T_A = 25^{\circ}\text{C}$)
- 複数の制御インターフェイス オプション
 - 6x PWM 制御インターフェイス
 - 3x PWM 制御インターフェイス
- 外付け電流センス抵抗不要、 $T_A = 25^{\circ}\text{C}$ で $\pm 3\%$ 精度の電流検出機能を内蔵
- 100% デューティ サイクルのチャージ ポンプを内蔵
- アクティブ消磁と自動同期整流により電力損失を低減
- 5 x 7mm の超小型パッケージ オプション
- 内部プリドライバと外部負荷用の 5V (5%)、30mA LDO レギュレータ (GVDD) を内蔵
- 柔軟なデバイス構成オプション
 - DRV8378S: デバイスの構成とフォルト ステータスのための 5MHz、16 ビット SPI、内部 GVDD レギュレータ付き
 - DRV8378H: ハードウェア ピンを使った構成、内部 GVDD レギュレータ付き
- 1.8V、3.3V、5V のロジック入力をサポート
- 保護機能内蔵
 - 電源低電圧誤動作防止 (UVLO)
 - チャージ ポンプ低電圧 (CPUV)
 - 過電流保護 (OCP)
 - 熱警告およびシャットダウン (OTW/OTSD)
 - フォルト状況表示ピン (nFAULT)

2 アプリケーション

- CPAP 機器
- ブラシレス DC (BLDC) モーター モジュール
- カメラ ジンバル
- HVAC モーター
- 小型家電製品
- ロボットとヒューマノイド

- ファクトリ オートメーション

3 説明

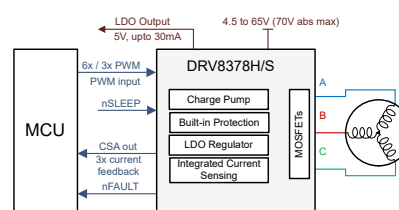
DRV8378-Q1 は、ブラシレス DC モーターを駆動するためのシングルチップ FET 内蔵電力段を提供します。DRV8378-Q1 は、大電力駆動能力を実現するため、70V の絶対最大定格と $58\text{m}\Omega$ (ハイサイドとローサイドの合計) という非常に小さい $R_{DS(ON)}$ を持つ 3 つの 1/2H ブリッジを内蔵しています。内蔵の電流検出機能を使って電流を測定するので、外付けの検出抵抗は不要です。内蔵の LDO が本デバイスに必要な電圧レールを生成します。これは外部回路への電力供給にも使用されます。各出力ドライバ チャンネルは、ハーフ ブリッジ型の N チャンネル パワー MOSFET で構成されています。

DRV8378-Q1 には 6x または 3x の PWM 制御方式が実装されており、センサ付きまたはセンサレスのフィールド オリエンテッド制御 (FOC)、正弦波制御、または外付けマイコンを使用した台形制御を実現できます。DRV8378-Q1 は、最大 200kHz の PWM 周波数で駆動できます。

製品情報

型番 ⁽²⁾	パッケージ	パッケージ サイズ ⁽³⁾
PDRV8378SQVEORQ1	VQFN (29)	7.00mm × 5.00mm
PDRV8378HQVEORQ1 ⁽¹⁾	VQFN (29)	7.00mm × 5.00mm

- このデバイスはプレビュー版としてのみ供給されます。
- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図 (DRV8378H/S)



目次

1 特長.....	1	7.6 伝搬遅延.....	28
2 アプリケーション.....	1	7.7 ピン配置図.....	28
3 説明.....	1	7.8 電流センス アンプ.....	30
4 デバイス比較表.....	3	7.9 アクティブ消磁.....	32
5 ピン構成および機能.....	4	7.10 サイクル単位の電流制限.....	37
6 仕様.....	7	7.11 保護.....	39
6.1 絶対最大定格.....	7	7.12 デバイスの機能モード.....	44
6.2 ESD 定格 (車載用).....	7	7.13 SPI 通信.....	46
6.3 推奨動作条件.....	7	8 レジスタ マップ.....	47
6.4 熱に関する情報.....	8	8.1 制御レジスタ.....	48
6.5 電気的特性.....	8	8.2 ステータスレジスタ.....	56
6.6 SPI のタイミング要件.....	14	9 アプリケーションと実装.....	63
6.7 SPI モードのタイミング.....	15	9.1 使用上の注意.....	63
7 詳細説明.....	16	9.2 電源に関する推奨事項.....	65
7.1 概要.....	16	9.3 レイアウト.....	66
7.2 機能ブロック図.....	16	10 改訂履歴.....	68
7.3 機能説明.....	18	11 メカニカル、パッケージ、および注文情報.....	68
7.4 スルー レート制御.....	26	11.1 テープおよびリール情報.....	70
7.5 クロス導通 (デッド タイム).....	27		

4 デバイス比較表

デバイス	パッケージ	インターフェイス
DRV8378S	29 ピン VQFN (7x5mm)	SPI、内部 GVDD 電源
DRV8378H		ハードウェア、内部 GVDD 電源

5 ピン構成および機能

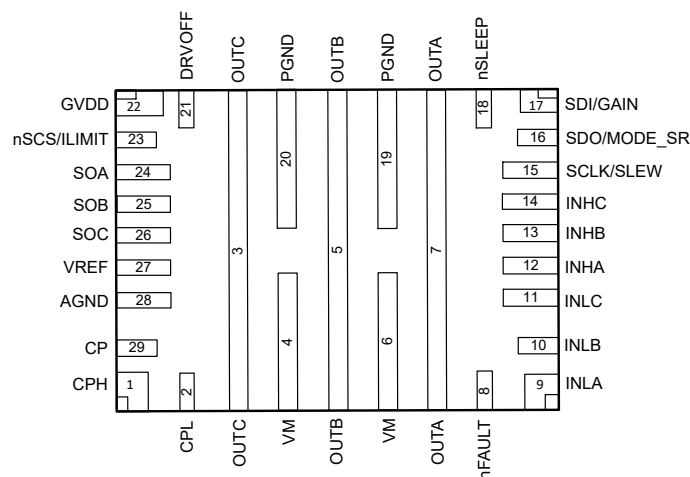


図 5-1. DRV8378-Q1 29 ピン VQFN 上面図

表 5-1. ピンの機能

ピン 名称	29 ピン VQFN パッケージ			タイプ ⁽¹⁾	説明
	DRV8378H	DRV8378S	DRV8378G		
AGND	28	28	28	GND	デバイスのアナログ グランド。接続に関する推奨事項については、レイアウトを参照してください。
CP	29	29	29	PWR O	チャージ ポンプ出力。X5R または X7R、1 μ F、16V セラミック コンデンサを CP ピンと VM ピンの間に接続します。
CPH	1	1	1	PWR O	チャージ ポンプのスイッチング ノード。X5R または X7R、100nF、セラミック コンデンサを CPH ピンと CPL ピンの間に接続します。コンデンサの電圧定格は、デバイスの通常動作電圧の 2 倍以上とすることを推奨します。
CPL	2	2	2	PWR O	
DRVOFF	21	21	21	I	このピンが High にプルされると、電力段の 6 つの MOSFET がターンオフし、すべての出力がハイ インピーダンスになります。
ゲイン	17	—	—	I	電流センス アンプのゲイン設定。このピンは、外付け抵抗で設定される 4 レベル入力ピンです。
ILIMIT	26	—	—	I	サイクル単位の電流で使用される相電流のスレッシュホールドを設定します
INHA	12	12	12	I	OUTA のハイサイドドライバ制御入力。このピンは、ハイサイド MOSFET の出力を制御します。
INHB	13	13	13	I	OUTB のハイサイドドライバ制御入力。このピンは、ハイサイド MOSFET の出力を制御します。
INHC	14	14	14	I	OUTC のハイサイドドライバ制御入力。このピンは、ハイサイド MOSFET の出力を制御します。
INLA	9	9	9	I	OUTA のローサイドドライバ制御入力。このピンは、ローサイド MOSFET の出力を制御します。
INLB	10	10	10	I	OUTB のローサイドドライバ制御入力。このピンは、ローサイド MOSFET の出力を制御します。
INLC	11	11	11	I	OUTC のローサイドドライバ制御入力。このピンは、ローサイド MOSFET の出力を制御します。

表 5-1. ピンの機能 (続き)

ピン 名称	29 ピン VQFN パッケージ			タイプ ⁽¹⁾	説明
	DRV8378H	DRV8378S	DRV8378G		
MODE_SR	16	—	—	I	PWM 入力モード設定。このピンは、外付け抵抗で設定される 4 レベル入力ピンです。
nFAULT	8	8	8	O	フォルト インジケータ。フォルト条件によってロジック Low にプルされます。オープンドレイン出力には、2.2V ~ 5.0V への外部プルアップ抵抗が必要です。nFAULT をプルアップするために外部電源を使用する場合は、電源投入時に nFAULT が 2.2V 以上にプルアップされていることを確認してください。そうしないと、デバイスはテスト モードに入る可能性があります
nSCS	—	23	23	I	シリアル チップ選択。このピンのロジック LOW により、シリアル インターフェイス通信が可能になります。
nSLEEP	18	18	18	I	ドライバ nSLEEP。このピンをロジック Low にすると、デバイスは低消費電力のスリープ モードに移行します。20µs ~ 40µs の Low パルスを使うとフォルト状態をリセットできます。
OUTA	7	7	7	PWR O	ハーフブリッジ出力 A
OUTB	5	5	5	PWR O	ハーフブリッジ出力 B
OUTC	3	3	3	PWR O	ハーフブリッジ出力 C
PGND	19, 20	19, 20	19, 20	GND	デバイスの電源グランド。接続に関する推奨事項については、レイアウトを参照してください。
SCLK	—	15	15	I	シリアル クロック入力。シリアル データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト アウトおよびキャプチャされます (SPI デバイス)。
SDI	—	17	17	I	シリアル データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます (SPI デバイス)。
SDO	—	16	16	O	シリアル データ出力。データは、SCLK ピンの立ち上がりエッジでシフト アウトされます。このピンは外付けプルアップ抵抗を必要とします (SPI デバイス)。
SLEW	15	—	—	I	スルーレート制御設定このピンは、外付け抵抗で設定される 4 レベル入力ピンです。
SOA	24	24	24	O	電流センスアンプの出力。DRV8378H/S の 29 ピン バリエーションの場合: 電流センスアンプの出力は、ローサイド FET 電流に比例した電圧です。容量性負荷またはローパスフィルタ (直列抵抗と AGND へのコンデンサ) をサポート DRV8378H の 23 ピン バリエーションの場合: 電流センスアンプの出力は、ローサイド FET 電流に比例した電圧です。電圧を電圧に変換するには、SOA と AGND の間に外付け抵抗が必要です。
SOB	25	25	25	O	電流センスアンプの出力。DRV8378H/S の 29 ピン バリエーションの場合: 電流センスアンプの出力は、ローサイド FET 電流に比例した電圧です。容量性負荷またはローパスフィルタ (直列抵抗と GND へのコンデンサ) をサポート DRV8378H の 23 ピン バリエーションの場合: 電流センスアンプの出力は、ローサイド FET 電流に比例した電圧です。電圧を電圧に変換するには、SOB と GND の間に外付け抵抗が必要です。

表 5-1. ピンの機能 (続き)

ピン 名称	29 ピン VQFN パッケージ			タイプ ⁽¹⁾	説明
	DRV8378H	DRV8378S	DRV8378G		
SOC	26	26	26	O	電流センスアンプの出力。DRV8378H/S の 29 ピン バリエーションの場合: 電流センスアンプの出力は、ローサイド FET 電流に比例した電圧です。容量性負荷またはローパスフィルタ (直列抵抗と AGND へのコンデンサ) をサポート DRV8378H の 23 ピン バリエーションの場合: 電流センスアンプの出力は、ローサイド FET 電流に比例した電圧です。電流を電圧に変換するには、SOC と AGND の間に外付け抵抗が必要です。
VM	4、6	4、6	4、6	PWR I	電源。モーターの電源電圧に接続し、VM 定格の 2 つの 0.1 μ F コンデンサ (各ピンに) と 1 つのバルクコンデンサを使用して PGND にバイパスします。コンデンサの電圧定格は、デバイスの通常動作電圧の 2 倍以上とすることを推奨します。
VREF	27	27	27	PWR/I	電流センスアンプのリファレンス X5R または X7R、0.1 μ F、6.3V セラミックコンデンサを VREF ピンと AGND ピンの間に接続します。
GVDD	22	22	22	PWR I/O	DRV8378H/S の場合: 5V 内部レギュレータ出力。X5R または X7R、1 μ F、10V セラミックコンデンサを GVDD ピンと AGND ピンの間に接続します。このレギュレータは最大 30mA を外部にソースできます。 DRV8378G の場合: 内部ブリッドライバの外部電源入力。X5R または X7R、1 μ F、10V セラミックコンデンサを GVDD ピンと AGND ピンの間に接続します。

(1) I = 入力、O = 出力、GND = グランドピン、PWR = 電源、NC = 未接続

6 仕様

6.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り)⁽¹⁾

	最小値	最大値	単位
電源ピン電圧 (VM)	-0.3	70	V
電源電圧ランプ (VM)		4	V/μs
グランド ピン (PGND、AGND) 間の電圧差	-0.6	0.6	V
チャージ ポンプ電圧 (CPH、CP)	-0.3	$V_M + 6$	V
チャージ ポンプ負スイッチング ピン電圧 (CPL)	-0.3	$V_M + 0.3$	V
アナログ レギュレータ ピン電圧 (GVDD)	-0.3	5.75	V
アナログ レギュレータ ピン電圧 (GVDD)、外部	-0.3	5.75	V
アナログ ピン入力電圧 (VREF、ILIMIT)	-0.3	5.75	V
アナログ ピン出力電圧 (SOx)	-0.3	5.75	V
ロジック ピン入力電圧 (INHx、INLx、nSCS、SCLK、SDI)	-0.3	5.75	V
ロジック ピン入力電圧 (DRVOFF、nSLEEP)	-0.3	70	V
ロジック ピン出力電圧 (SDO)	-0.3	5.75	V
ロジック ピン出力電圧 (nFAULT)	-0.3	70	V
マルチレベル ピン入力電圧 (GAIN、MODE_SR、SLEW)	-0.3	5.75	V
出力ピン電圧 (OUTA、OUTB、OUTC)	-1	$V_M + 1$	V
周囲温度、 T_A	-40	125	°C
接合部温度、 T_J	-40	150	°C
保管温度、 T_{stg}	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格 (車載用)

		値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 ⁽¹⁾ HBM ESD 分類レベル 2 準拠	V
		角のピン	
		その他のピン	
		荷電デバイス モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_M	電源電圧	V_M	4.5	48	65	V
V_{GVDD}	GVDD の外部電源 (DRV8378G のみ)	V_{GVDD}	4.5	5	5.5	
f_{PWM}	出力 PWM 周波数	OUTA、OUTB、OUTC			200	kHz
$I_{OUT}^{(1)}$	ピーク出力巻線電流	OUTA、OUTB、OUTC			16	A
V_{IN}	ロジック入力電圧	DRVOFF、INHx、INLx、nSCS、SCLK、SDI、nSLEEP	-0.1		5.5	V

動作時周辺温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V _{IN}	マルチ レベル入力電圧	GAIN、MODE_SR、SLEW	-0.1		5.5	V
V _{OD}	オープンドレイン ブルアップ電圧	nFAULT、SDO	-0.1		5.5	V
V _{SDO}	ブッシュ ブル電圧	SDO	2.2		5.5	V
I _{OD}	オープンドレイン出力電流	nFAULT、SDO			5	mA
V _{VREF}	電圧リファレンス ピン電圧	VREF	2.2		5.5	V
I _{LIMIT}	電流制限の電圧リファレンス	I _{LIMIT}	-0.1		5.5	V
T _A	動作時周囲温度		-40		125	°C
T _J	動作時接合部温度		-40		150	°C

(1) 消費電力および温度の制限に従う必要があります。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		DRV8378H、DRV8378S	単位
		29 ピン	
R _{θJA}	接合部から周囲への熱抵抗	24.42	°C/W
R _{θJB}	接合部から基板への熱抵抗	8.09	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	13.34	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.34	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	8.35	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

6.5 電気的特性

T_J = -40°C ~ +150°C、V_{VM} = 4.5 ~ 65V (特に記述のない限り)。標準値には T_A = 25°C、V_{VM} = 48V が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
I _{VMQ}	VM スリープ モード電流	V _{VM} > 6V、nSLEEP = 0、T _A = 25°C		3.6	5.4	μA
		nSLEEP = 0		3.6	5.6	μA
I _{VMS}	VM スタンバイ モード電流	V _{VM} > 6V、nSLEEP = 1、= 0、SPI = 'OFF'、T _A = 25°C		2.5	2.8	mA
		nSLEEP = 1、= 0、SPI = 'OFF'		2.5	3.1	mA
I _{VM}	VM 動作モード電流	V _{VM} > 6V、nSLEEP = 1、f _{PWM} = 20kHz		6	6.8	mA
		nSLEEP =1、f _{PWM} = 20kHz		6	7.1	mA
		nSLEEP =1、f _{PWM} =100kHz		19	23	mA
V _{GVDD}	アナログ レギュレータの電圧	0mA ≤ I _{GVDD} ≤ 30mA、(外部負荷)、VM > 6V	4.75	5	5.25	V
I _{GVDD}	外部アナログレギュレータの負荷	VM > 6V			30	mA
V _{VCP}	チャージポンプレギュレータ電圧	VM を基準とした VCP (4.5V < VM < 5V)	3.5	4.5	5	V
t _{WAKE}	ウェークアップ時間	V _{VM} > V _{UVLO} 、nSLEEP = 1 で出力準備完了、nFAULT 解放			5.5	ms
t _{SLEEP}	スリープパルス時間	nSLEEP = 0 でスリープモード	120			μs
t _{RST}	リセットパルス時間	nSLEEP = 0 でフォルトをリセット	20		40	μs
電源 (外部 GVDD)						
I _{VMQ}	VM スリープ モード電流	V _{VM} > 6V、nSLEEP = 0、T _A = 25°C		3.6	5.3	μA
I _{VMQ}	VM スリープ モード電流	nSLEEP = 0		3.6	5.6	μA

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$, $V_{VM} = 4.5 \sim 65\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^{\circ}\text{C}$, $V_{VM} = 48\text{V}$ が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VMQ}	VM スタンバイ モード電流	$V_{VM} > 6\text{V}$, $n\text{SLEEP} = 1$, $\text{INHx} = \text{INLx} = 0$, $\text{SPI} = \text{'オフ'}$, $T_A = 25^{\circ}\text{C}$		0.5	0.6	mA
I_{VMQ}	VM スタンバイ モード電流	$n\text{SLEEP} = 1$, $\text{INHx} = \text{INLx} = 0$, $\text{SPI} = \text{'オフ'}$		0.5	0.7	mA
I_{VMQ}	VM 動作モード電流	$V_{VM} > 6\text{V}$, $n\text{SLEEP} = 1$, $f_{\text{PWM}} = 20\text{kHz}$		3.4	5.2	mA
I_{VMQ}	VM 動作モード電流	$n\text{SLEEP} = 1$, $f_{\text{PWM}} = 20\text{kHz}$		3.4	5.2	mA
I_{VMQ}	VM 動作モード電流	$n\text{SLEEP} = 1$, $f_{\text{PWM}} = 100\text{kHz}$		14.3	22.9	mA
I_{GVDD}	GVDD スリープ モード電流	$GVDD = 5\text{V}$, $n\text{SLEEP} = 0$, $T_A = 25^{\circ}\text{C}$			3	μA
I_{GVDD}	GVDD スリープ モード電流	$GVDD = 5\text{V}$, $n\text{SLEEP} = 0$			5	μA
I_{GVDD}	GVDD スタンバイ モード電流	$GVDD = 5\text{V}$, $n\text{SLEEP} = 1$, $\text{INHx} = \text{INLx} = 0$, $\text{SPI} = \text{'オフ'}$, $T_A = 25^{\circ}\text{C}$		2.4		mA
I_{GVDD}	GVDD スタンバイ モード電流	$GVDD = 5\text{V}$, $n\text{SLEEP} = 1$, $\text{INHx} = \text{INLx} = 0$, $\text{SPI} = \text{'オフ'}$		2.4	3.2	mA
I_{GVDD}	GVDD 動作モード電流	$GVDD = 5\text{V}$, $n\text{SLEEP} = 1$, $f_{\text{PWM}} = 20\text{kHz}$		2.7	3.6	mA
I_{GVDD}	GVDD 動作モード電流	$GVDD = 5\text{V}$, $n\text{SLEEP} = 1$, $f_{\text{PWM}} = 100\text{kHz}$		4.6	5.8	mA
t_{wake}	ウェークアップ時間	$V_{VM} > V_{UVLO}$, $n\text{SLEEP} = 1$ で出力準備完了, $n\text{FAULT}$ 解放			3.5	ms
ロジックレベル入力 (DRVOFF, INHx, INLx, nSLEEP, SCLK, SDI)						
V_{IL}	入力ロジック Low 電圧		0		0.6	V
V_{IH}	入力ロジック High 電圧	$n\text{SLEEP}$	1.6		5.5	V
		その他のピン	1.5		5.5	V
V_{HYS}	入力ロジック ヒステリシス	$n\text{SLEEP}$	240	450	570	mV
		その他のピン	180	300	500	mV
I_{IL}	入力ロジック Low 電流	V_{PIN} (ピン電圧) = 0V	-1		1	μA
I_{IH}	入力ロジック High 電流	$n\text{SLEEP}$, DRVOFF , V_{PIN} (ピン電圧) = 5V	15		35	μA
I_{IH}	入力ロジック High 電流	その他のピン, V_{PIN} (ピン電圧) = 2V	20		75	μA
R_{PD}	入力プルダウン抵抗	DRVOFF	150	200	300	k Ω
R_{PD}	入力プルダウン抵抗	$n\text{SLEEP}$	150	200	300	k Ω
		その他のピン	70	100	130	k Ω
t_{FILT}	フィルタ時定数	DRVOFF	1	2	3	μs
C_{ID}	入力容量			30		pF
ロジックレベル入力 (nSCS)						
V_{IL}	入力ロジック Low 電圧		0		0.6	V
V_{IH}	入力ロジック High 電圧		1.5		5.5	V
V_{HYS}	入力ロジック ヒステリシス		180	350	550	mV
I_{IL}	入力ロジック Low 電流	V_{PIN} (ピン電圧) = 0V			75	μA
I_{IH}	入力ロジック High 電流	V_{PIN} (ピン電圧) = 5V	-1		25	μA
R_{PU}	入力プルアップ抵抗		160	200	260	k Ω
C_{ID}	入力容量			30		pF
4 レベル入力 (GAIN, MODE_SR, SLEW,)						
V_{L1}	入力モード 1 電圧	AGND に接続	0		$0.2 \cdot V_{GD}$	V
V_{L2}	入力モード 2 電圧	ハイ インピーダンス	$0.27 \cdot V_{DD}$	$0.5 \cdot V_{GDD}$	$0.55 \cdot V_{DD}$	V

DRV8378-Q1

JADS378 – AUGUST 2026

 $T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$, $V_{VM} = 4.5 \sim 65\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^{\circ}\text{C}$, $V_{VM} = 48\text{V}$ が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{L3}	入力モード 3 電圧	94k Ω +/- 5% で GVDD に接続	0.6*GVDD D	0.76*GVDD D	0.9*GVDD D	V
V_{L4}	入力モード 4 電圧	GVDD に接続	0.94*GVDD DD		GVDD	V
R_{PU}	入力プルアップ抵抗	対 GVDD	160	200	240	k Ω
R_{PD}	入力プルダウン抵抗	To AGND	160	200	240	k Ω
オープンドレイン出力 (nFAULT)						
V_{OL}	出力ロジック Low 電圧	$I_{OD} = 5\text{mA}$			0.4	V
I_{OH}	出力ロジック High 電流	$V_{OD} = 5\text{V}$	-1		1	μA
C_{OD}	出力容量				30	pF
プッシュプル出力 (SDO)						
V_{OL}	出力ロジック Low 電圧	$I_{OP} = 5\text{mA}$	0		0.4	V
V_{OH}	ロジック High 出力電圧	$I_{OP} = 5\text{mA}$	3.4		GVDD	V
I_{OL}	出力ロジック Low リーク電流	$V_{OP} = 0\text{V}$	-1		1	μA
I_{OH}	出力ロジック High リーク電流	$V_{OP} = 5\text{V}$	-1		1	μA
C_{OD}	出力容量				30	pF
ドライブ出力						
$R_{DS(ON)}$	全 MOSFET オン抵抗 (ハイサイド + ローサイド)	$V_{VM} > 6\text{V}$, $I_{OUT} = 1\text{A}$, $T_A = 25^{\circ}\text{C}$		58	62	m Ω
		$V_{VM} < 6\text{V}$, $I_{OUT} = 1\text{A}$, $T_A = 25^{\circ}\text{C}$		59	66	m Ω
		$V_{VM} > 6\text{V}$, $I_{OUT} = 1\text{A}$, $T_J = 150^{\circ}\text{C}$		105	114	m Ω
		$V_{VM} < 6\text{V}$, $I_{OUT} = 1\text{A}$, $T_J = 150^{\circ}\text{C}$		108	120	m Ω
SR	Low から High へのスイッチング (20% から 80% への立ち上がり) 時の位相ピンのスレーレート	$V_{VM} = 24\text{V}$, SLEW = 00b または SLEW ピンを AGND に接続, $I_{OUTx} = 1\text{A}$		1100	1880	V/ μs
		$V_{VM} = 24\text{V}$, SLEW = 01b または SLEW ピンをハイ インピーダンスへ, $I_{OUTx} = 1\text{A}$		500	920	V/ μs
		$V_{VM} = 24\text{V}$, SLEW = 10b または SLEW ピンを 94k Ω +/- 5% で GVDD へ, $I_{OUTx} = 1\text{A}$		250	460	V/ μs
		$V_{VM} = 24\text{V}$, SLEW = 11b または SLEW ピンを GVDD に接続, $I_{OUTx} = 1\text{A}$		50	85	V/ μs
t_{DEAD}	出力デッドタイム (High から Low / Low から High)	$V_{VM} = 48\text{V}$, SLEW = 00b または SLEW ピンを AGND に接続, HS ドライバ ON から LS ドライバ OFF		100	150	ns
t_{DEAD}	出力デッドタイム (High から Low / Low から High)	$V_{VM} = 48\text{V}$, SLEW = 01b または SLEW ピンを AGND に接続, HS ドライバ ON から LS ドライバ OFF		100	150	ns
t_{DEAD}	出力デッドタイム (High から Low / Low から High)	$V_{VM} = 48\text{V}$, SLEW = 10b または SLEW ピンを AGND に接続, HS ドライバ ON から LS ドライバ OFF		100	150	ns
t_{DEAD}	出力デッドタイム (High から Low / Low から High)	$V_{VM} = 48\text{V}$, SLEW = 11b または SLEW ピンを AGND に接続, HS ドライバ ON から LS ドライバ OFF		200	300	ns

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$, $V_{VM} = 4.5 \sim 65\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^{\circ}\text{C}$, $V_{VM} = 48\text{V}$ が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{DEAD}	出力デッドタイム (High から Low / Low から High)	$V_{VM} = 24\text{V}$, SLEW = 00b または SLEW ピンを AGND に接続, HS ドライバ ON から LS ドライバ OFF		100	150	ns
		$V_{VM} = 24\text{V}$, SLEW = 01b または SLEW ピンをハイ インピーダンスへ, HS ドライバ ON から LS ドライバ OFF		100	150	ns
		$V_{VM} = 24\text{V}$, SLEW = 10b または SLEW ピンを $94\text{k}\Omega \pm 5\%$ で GVDD へ, HS ドライバ ON から LS ドライバ OFF		100	150	ns
		$V_{VM} = 24\text{V}$, SLEW = 11b または SLEW ピンを GVDD に接続, HS ドライバ ON から LS ドライバ OFF		200	300	ns
t_{PD}	伝搬遅延 (ハイサイド / ローサイド、オン/オフ)	$V_{VM} = 24\text{V}$, = 1 から OUTx 遷移, SLEW = 00b または SLEW ピンを AGND に接続		35	75	ns
		$V_{VM} = 24\text{V}$, = 1 から OUTx 遷移, SLEW = 01b または SLEW ピンをハイ インピーダンスへ		35	75	ns
		$V_{VM} = 24\text{V}$, = 1 から OUTx 遷移, SLEW = 10b または SLEW ピンを $94\text{k}\Omega \pm 5\%$ で GVDD へ		160	250	ns
		$V_{VM} = 24\text{V}$, = 1 から OUTx 遷移, SLEW = 11b または SLEW ピンを GVDD に接続		300	600	ns
$t_{\text{MIN_PULSE}}$	最小出力パルス幅	SLEW = 00b または SLEW ピンを AGND に接続	100			ns
電流センス (23 ピン パッケージ)						
G_{CSA}	電流センス スケーリング ゲイン			0.1		mA/A
$G_{\text{CSA_ERR}}$	電流センス スケーリング ゲイン誤差	$T_J = 25^{\circ}\text{C}$, $1.25\text{k}\Omega < \text{RLOAD} = 2.5\text{k}\Omega$	-3		3	%
$G_{\text{CSA_ERR}}$	電流センス スケーリング ゲイン誤差	$T_J = 25^{\circ}\text{C}$, $2.5\text{k}\Omega < \text{RLOAD} < 5\text{k}\Omega$	-6		6	%
$G_{\text{CSA_ERR}}$	電流センス スケーリング ゲイン誤差	$1.25\text{k}\Omega < \text{RLOAD} < 2.5\text{k}\Omega$	-5		5	%
$G_{\text{CSA_ERR}}$	電流センス スケーリング ゲイン誤差	$2.5\text{k}\Omega < \text{RLOAD} < 5\text{k}\Omega$	-7		7	%
I_{MATCH}	複数の位相間での電流センス スケーリングのミスマッチ	$T_J = 25^{\circ}\text{C}$, $\text{RLOAD} = 1.25\text{k}\Omega$	-2		2	%
I_{MATCH}	複数の位相間での電流センス スケーリングのミスマッチ	$T_J = 25^{\circ}\text{C}$, $1.25\text{k}\Omega < \text{RLOAD} = 5\text{k}\Omega$	-4		4	%
I_{MATCH}	複数の位相間での電流センス スケーリングのミスマッチ	$1.25\text{k}\Omega < \text{RLOAD} < 5\text{k}\Omega$	-5		5	%
I_{OS}	電流センス出力オフセット (SOx を基準とする)	LS FET 電流 = 0	-8		8	μA
I_{DRIFT}	電流センス出力ドリフト (OUTx を基準とする)	LS FET 電流 = 0	-1200		1200	$\mu\text{A}/^{\circ}\text{C}$
$V_{\text{FS_CSA}}$	電流センス出力電圧範囲	LS FET 電流 < 16A	0.25		GVDD - 0.35	V
t_{SET}	$\pm 1\%$ までのセトリング タイム	SOx のステップ = 1.2V, $\text{RLOAD} < 2.5\text{k}\Omega$, $\text{CLOAD} < 30\text{pF}$, CSA 出力プルアップ電圧 = $V_{\text{MID_EXT}}$		1.2	1.5	μs
t_{DELAY}	INLx ターンオンから電流センス アンプがオンになるまでの遅延				0.5	μs
PSRR	電源除去比	VM to SOx, 10kHz	39		115	dB
PSRR	電源除去比	VM to SOx, 100kHz	10		92	dB

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 、 $V_{VM} = 4.5 \sim 65\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^{\circ}\text{C}$ 、 $V_{VM} = 48\text{V}$ が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
R _{MIN}	CSA 出力の最小等価抵抗		0.65			kΩ
R _{MIN_PULLUP}	CSA 出力の最小プルアップ抵抗		1.3			kΩ
R _{MIN_PULLDOWN}	CSA 出力の最小プルダウン抵抗		1.3			kΩ
電流センス アンプ (29 ピン パッケージ)						
G _{CSA}	電流センス ゲイン (SPI デバイス)	CSA_GAIN = 00		0.1		V/A
G _{CSA}	電流センス ゲイン (SPI デバイス)	CSA_GAIN = 01		0.2		V/A
G _{CSA}	電流センス ゲイン (SPI デバイス)	CSA_GAIN = 02		0.4		V/A
G _{CSA}	電流センス ゲイン (SPI デバイス)	CSA_GAIN = 03		0.8		V/A
G _{CSA}	電流センス ゲイン (HW デバイス)	GAIN ピンを AGND に接続		0.1		V/A
G _{CSA}	電流センス ゲイン (HW デバイス)	GAIN ピンをハイ インピーダンスへ		0.2		V/A
G _{CSA}	電流センス ゲイン (HW デバイス)	GAIN ピンを 94kΩ ± 5% で GVDD へ		0.4		V/A
G _{CSA}	電流センス ゲイン (HW デバイス)	GAIN ピンを GVDD に接続		0.8		V/A
V _{LINEAR}	SOx 出力電圧のリニア動作範囲		0.25	VREF-0.25		V
G _{CSA_ERR}	電流センス ゲイン誤差	TJ = 25°C、LS FET 電流 < 16A (OUTx から PGND への電流方向)	-4		4	%
		TJ = 25°C、LS FET 電流 < 6A (PGND から OUTx への電流方向)	-4		4	%
		LS FET 電流 < 6A (OUTx から PGND への電流方向)	-5.5		5.5	%
		LS FET 電流 < 16A (PGND から OUTx への電流方向)	-5.5		5.5	%
I _{MATCH}	A 相、B 相、C 相の間での電流センス ゲイン誤差のマッチング	TA = 25°C	-4		4	%
			-6		6	%
FS _{POS}	フルスケールの正の電流測定	LS FET での PGND から OUTx への電流の方向、VREF = 3.3V	16			A
FS _{NEG}	フルスケールの負の電流測定	LS FET での OUTx から PGND への電流の方向、VREF = 3.3V			-16	A
I _{OFFSET}	電流センス オフセット (OUTx を基準とする)	TJ = 25°C、相電流 = 0A	-60		60	mA
I _{OFFSET_DRIFT}	オフセットドリフト (OUTx を基準とする)	相電流 = 0A	-400		400	μA/°C
t _{SET}	±1% までのセトリング タイム、30pF	SOX のステップ = 1.4V		1.2	1.5	μs
t _{CSA_ON_DELAY}	INLx ターンオンから電流センス アンプがオンになるまでの遅延	SR = 1000V/μs または 500V/μs			500	ns
t _{CSA_ON_DELAY}	INLx ターンオンから電流センス アンプがオンになるまでの遅延	SR = 250V/μs			600	ns
t _{CSA_ON_DELAY}	INLx ターンオンから電流センス アンプがオンになるまでの遅延	SR = 50V/μs			1850	ns
V _{VREF_GOOD}	VREF 良好電圧				2.2	V
I _{VREF}	VREF 入力電流	VREF = 3.0V、nSLEEP = 0 または 1			25	μA
PSRR	電源除去比	VM to SOx、10kHz	39		80	dB
		VM to SOx、100kHz	10		80	dB
パルス単位の電流制限						
I _{LIMIT}	VLIM ピンの電圧範囲に対応する電流制限		0		16	A
I _{LIM_AC}	電流制限精度	VREF = 3.3V、ILIMIT > 2A	-7		7	%

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$, $V_{VM} = 4.5 \sim 65\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^{\circ}\text{C}$, $V_{VM} = 48\text{V}$ が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{LIM_AC}	電流制限精度	$V_{REF} = 3.3\text{V}$, $0.5\text{A} < I_{LIMIT} < 1\text{A}$	-10		10	%
t_{BLANK}	サイクル単位の電流制限ブランク時間	$SLEW = 00b$ または $01b$ または $10b$, $ILIM_BLANK_SEL = 00b$, HW バリエーション		1.75		μs
t_{BLANK}	サイクル単位の電流制限ブランク時間	$SLEW = 00b$ または $01b$ または $10b$, $ILIM_BLANK_SEL = 01b$		2.25		μs
t_{BLANK}	サイクル単位の電流制限ブランク時間	$SLEW = 00b$ または $01b$ または $10b$, $ILIM_BLANK_SEL = 10b$		2.75		μs
t_{BLANK}	サイクル単位の電流制限ブランク時間	$SLEW = 00b$ または $01b$ または $10b$, $ILIM_BLANK_SEL = 11b$		3.75		μs
t_{BLANK}	サイクル単位の電流制限ブランク時間	$SLEW = 11b$, $ILIM_BLANK_SEL = 00b$, HW バリエーション		5.5		μs
t_{BLANK}	サイクル単位の電流制限ブランク時間	$SLEW = 11b$, $ILIM_BLANK_SEL = 01b$		6		μs
t_{BLANK}	サイクル単位の電流制限ブランク時間	$SLEW = 11b$, $ILIM_BLANK_SEL = 10b$		6.5		μs
t_{BLANK}	サイクル単位の電流制限ブランク時間	$SLEW = 11b$, $ILIM_BLANK_SEL = 11b$		7.5		μs
保護回路						
V_{UVLO}	電源低電圧誤動作防止 (UVLO)	VM 立ち上がり	3.9	4.35	4.5	V
		VM 立ち下がり	3.8	4.15	4.3	V
V_{UVLO_HYS}	電源低電圧誤動作防止ヒステリシス	立ち上がりから立ち下がりへのスレッショルド	140	180	350	mV
t_{UVLO}	電源低電圧グリッチ除去時間		3	6.5	10	μs
V_{OVP}	電源過電圧保護 (OVP) (SPI デバイス)	電源立ち上がり, $OVP_EN = 1$, $OVP_SEL = 0$	60	62.5	65	V
		電源立ち下がり, $OVP_EN = 1$, $OVP_SEL = 0$	58	61	63.5	V
		電源立ち上がり, $OVP_EN = 1$, $OVP_SEL = 1$	32.5	34	35	V
		電源立ち下がり, $OVP_EN = 1$, $OVP_SEL = 1$	31	33	34	V
V_{OVP_HYS}	電源過電圧保護 (OVP) (SPI デバイス)	立ち上がりから立ち下がりまでのスレッショルド, $OVP_SEL = 1$	1.3	1.35	1.4	V
		立ち上がりから立ち下がりまでのスレッショルド, $OVP_SEL = 0$	1.25	1.3	1.35	V
t_{OVP}	電源過電圧グリッチ除去時間		8.5	14	18	μs
V_{CPUV}	チャージポンプ低電圧誤動作防止 (VM より上)	電源立ち上がり	2.1	2.4	3.2	V
		電源立ち下がり	1.8	2.45	2.95	V
V_{CPUV_HYS}	チャージポンプ UVLO のヒステリシス	立ち上がりから立ち下がりへのスレッショルド	200	210	300	mV
V_{GVDD_UV}	GVDD レギュレータ低電圧誤動作防止	電源立ち上がり	3.1	3.6	3.7	V
V_{GVDD_UV}	GVDD レギュレータ低電圧誤動作防止	電源立ち下がり	2.9	3.4	3.5	V
$V_{GVDD_UV_HYS}$	アナログレギュレータ低電圧誤動作防止のヒステリシス	立ち上がりから立ち下がりへのスレッショルド	170	190	310	mV
I_{OCP}	過電流保護トリップポイント (SPI デバイス)	$OCP_LVL = 00b$ または $01b$	20		45	A
I_{OCP}	過電流保護トリップポイント (SPI デバイス)	$OCP_LVL = 10b$ または $11b$	10		25	A
I_{OCP}	過電流保護トリップポイント (HW デバイス)		20		45	A

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 、 $V_{VM} = 4.5 \sim 65\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^{\circ}\text{C}$ 、 $V_{VM} = 48\text{V}$ が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{OCP}	過電流保護グリッチ除去時間 (SPI デバイス)	OCP_DEG = 00b	0.4	0.8	1.4	μs
		OCP_DEG = 01b	0.8	1.45	2	μs
		OCP_DEG = 10b	1.2	1.8	2.7	μs
		OCP_DEG = 11b	1.6	2.2	3.2	μs
	過電流保護グリッチ除去時間 (HW デバイス)		0.8	1.45	2	μs
t_{RETRY}	過電流保護グリッチ除去時間 (SPI デバイス)	OCP_RETRY = 0	4	5	6	ms
		OCP_RETRY = 1	425	500	575	ms
t_{RETRY}	過電流保護グリッチ除去時間 (HW デバイス)		4	5	6	ms
T_{OTW}	過熱警告温度	ダイ温度 (T_J)	160	170	180	$^{\circ}\text{C}$
$T_{\text{OTW_HYS}}$	過熱警告ヒステリシス	ダイ温度 (T_J)	25	30	35	$^{\circ}\text{C}$
T_{TSD}	サーマル シャットダウン温度	ダイ温度 (T_J)	175	185	195	$^{\circ}\text{C}$
$T_{\text{TSD_HYS}}$	サーマル シャットダウン ヒステリシス	ダイ温度 (T_J)	25	30	35	$^{\circ}\text{C}$

6.6 SPI のタイミング要件

		最小値	公称値	最大値	単位
t_{READY}	パワーアップ後、SPI レディまで			1	ms
$t_{\text{HI_nSCS}}$	nSCS 最小 HIGH 時間	300			ns
$t_{\text{SU_nSCS}}$	nSCS 入力セットアップ時間	25			ns
$t_{\text{HD_nSCS}}$	nSCS 入力ホールド時間	25			ns
t_{SCLK}	SCLK の最小周期	100			ns
t_{SCLKH}	SCLK 最小 High 時間	50			ns
t_{SCLKL}	SCLK の最小 Low 時間	50			ns
$t_{\text{SU_SDI}}$	SDI 入力データ セットアップ時間	25			ns
$t_{\text{HD_SDI}}$	SDI 入力データ ホールド時間	25			ns
$t_{\text{DLY_SDO}}$	SDO 出力データ遅延時間			25	ns
$t_{\text{EN_SDO}}$	SDO イネーブル遅延時間			50	ns
$t_{\text{DIS_SDO}}$	SDO ディスエーブル遅延時間			50	ns

6.7 SPI モードのタイミング

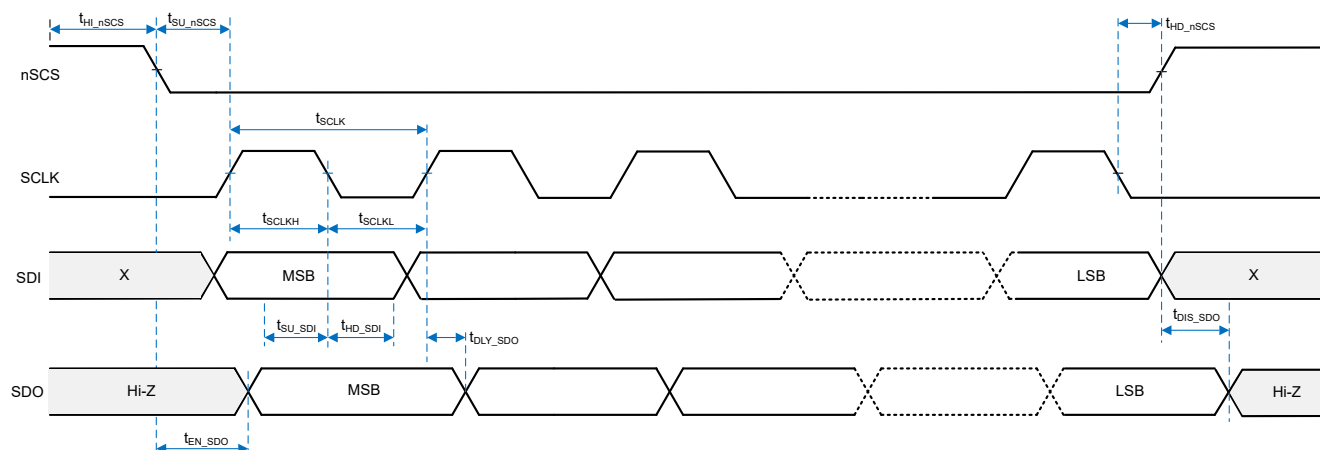


図 6-1. SPI セカンダリ モードのタイミング

7 詳細説明

7.1 概要

DRV8378-Q1 デバイスは、**3** 相モータドライブ アプリケーション向けの **58mΩ** (ハイサイド + ローサイド MOSFET オン抵抗の合計) 統合型ドライバです。このデバイスは、**3** つのハーフ ブリッジ MOSFET、ゲートドライバ、チャージ ポンプ、外部負荷用リニアレギュレータ、バックレギュレータを統合することで、システムの部品点数、コスト、複雑さを低減しています。標準のシリアルペリフェラルインターフェイス (SPI) を使うと、デバイスの各種設定とフォルト診断情報の読み出しを外部コントローラから簡単に行うことができます。また、ハードウェアインターフェイス (H/W) オプションを選択した場合、固定の外部抵抗を使用して、ごく一般的な設定を行うことができます。

このアーキテクチャでは、短絡イベントや内部パワー MOSFET の dv/dt 寄生ターンオンから保護するために、内部ステートマシンを使用しています。

高いレベルでデバイスが統合されていることに加え、DRV8378-Q1 デバイスには、広範な保護機能も組み込まれています。これらの機能には、電源の低電圧ロックアウト (UVLO)、チャージポンプの低電圧ロックアウト (CPUV)、過電流保護 (OCP)、および過熱警告シャットダウン (OTW と OTS) などが含まれます。フォルトイベントは nFAULT ピンにより通知され、SPI 版のデバイスでは SPI レジスタで詳細情報を取得できます。

DRV8378-Q1 デバイスは、7mm × 5mm (29 ピン) の VQFN HotRod 表面実装パッケージで提供されています。

7.2 機能ブロック図

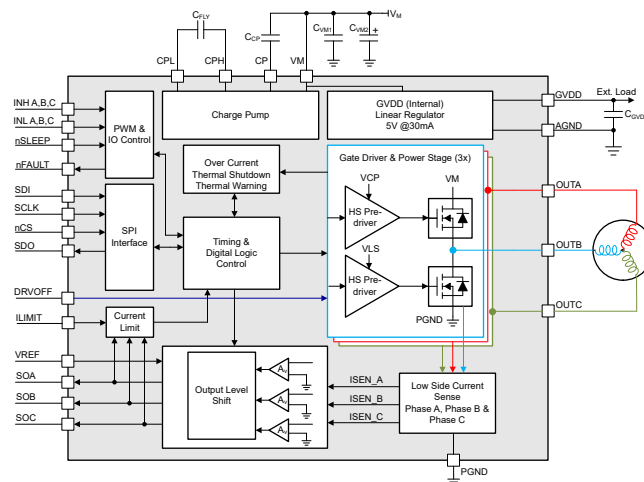


図 7-1. DRV8378S (29 ピン SPI バリエーション) のブロック図

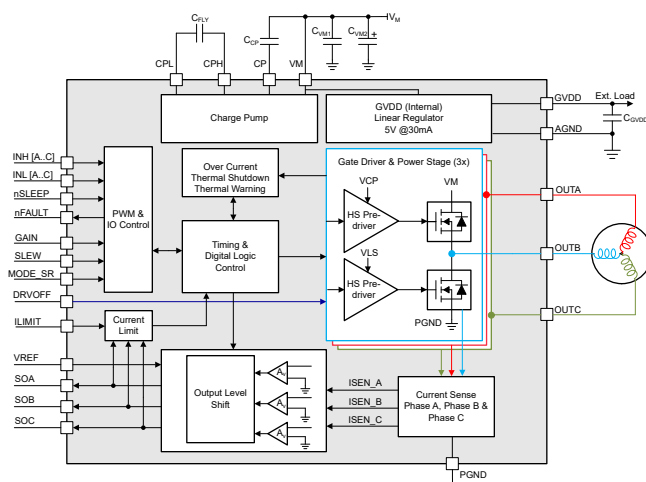


図 7-2. DRV8378H (29 ピン ハードウェア バリエーション) のブロック図

7.3 機能説明

に、ドライバの外付け部品の推奨値を示します。

注

内部テストモードへの望ましくない移行を避けるため、プルアップが使われていない場合でも、nFAULT にプルアップを接続することを推奨します。nFAULT をプルアップするために外部電源を使用する場合は、電源投入時に nFAULT が 2.2V 以上にプルアップされていることを確認してください。そうしないと、デバイスは内部テストモードになります。

7.3.1 出カステージ

DRV8378-Q1 デバイスは、3 相ブリッジ構成で接続された統合型 58mΩ (ハイサイドとローサイドの各 FET のオン抵抗の合計) の NMOS FET で構成されています。ダブラー チャージ ポンプが、100% のデューティ サイクルをサポートしつつ、広い動作電圧範囲にわたって適切なゲート バイアス電圧をハイサイド NMOS FET に供給します。ローサイド MOSFET 用のゲート バイアス電圧は、内部リニアレギュレータが供給します。このデバイスには 2 つの VM モーター電源ピンがあり、互いにモーター電源電圧に接続されます。

7.3.2 デバイス インターフェイス モード

DRV8378-Q1 ファミリのデバイスでは、最終的なアプリケーションを柔軟な設計にするか単純な設計にするか選択できるように、2 種類のインターフェイス モード (SPI とハードウェア) をサポートしています。2 つのインターフェイス モードで同じ 4 つのピンが共有されているので、異なるバージョン間でのピン互換が実現します。この互換性により、アプリケーションの設計者は一方のインターフェイス バージョンで評価し、最小限の設計変更でもう一方のインターフェイス バージョンに切り替えることができます。

7.3.2.1 シリアル・ペリフェラル・インターフェイス (SPI)

SPI デバイスは、外部コントローラと DRV8378-Q1 の間でデータを送受信できるシリアル通信バスをサポートしています。これにより、外部コントローラはデバイスを設定し、詳細なフォルト情報を読み出すことができます。インターフェイスは、SCLK、SDI、SDO、nSCS ピンを使用する 4 線式インターフェイスです。以下の説明をご覧ください。

- SCLK ピンは、クロック信号を受け付けて SDI と SDO ピン上のデータの収集と伝搬のタイミングを決める入力ピンです。
- SDI ピンはデータ入力です。
- SDO ピンはデータ出力です。SDO ピンは、SDO_MODE を通してオープンドレインまたはプッシュプルに構成できます。
- nSCS ピンはチップ選択入力です。このピンに論理 Low 信号を印加すると、DRV8378-Q1 との SPI 通信が有効になります。

SPI の詳細については、「[セクション 7.13](#)」セクションを参照してください。

7.3.2.2 ハードウェア インターフェイス

ハードウェア インターフェイス デバイスでは、4 つの SPI ピンが抵抗によって設定可能な 4 つの入力、に変換されます。

ハードウェア インターフェイスを使用すると、アプリケーション設計者は、ピンをロジック High またはロジック Low に接続するか、単純なプルアップまたはプルダウン抵抗を使用して、最も一般的なデバイス設定を構成できます。外部コントローラには SPI バスが不要になります。全般的なフォルト情報は、引き続き nFAULT ピンを介して取得できます。

ハードウェア インターフェイスの詳細については、[セクション 7.7](#) セクションを参照してください。

注

VCC は外部プルアップ電圧を表します。デフォルトでは、SDO ピンはオープンドレインです

7.3.3 制御モード

ファミリのデバイスには、さまざまな整流方式や制御方式をサポートするために、4 種類の制御モードが用意されています。表 7-1 に、DRV8378-Q1 デバイスのさまざまなモードが示されています。

表 7-1. PWM 制御モード

MODE のタイプ	MODE_SR ピン (ハードウェアバリエーション)	PWM_MODE ビット (SPI バリエーション)	SR ビット (SPI バリエーション)	PWM モード	ASR および AAR モード
モード 1	AGND に接続	PWM_MODE = 0	EN_ASR = 0、 EN_AAR = 0	6x モード	ASR および AAR は無効化
モード 2	ハイインピーダンス	PWM_MODE = 0	EN_ASR = 1、 EN_AAR = 0	6x モード	ASR は有効化、AAR は無効化
モード 3	R _{MODE} で GVDD に接続	PWM_MODE = 1	EN_ASR = 0、 EN_AAR = 0	3x モード	ASR および AAR は無効化
モード 4	GVDD に接続	PWM_MODE = 1	EN_ASR = 1、 EN_AAR = 0	3x モード	ASR は有効化、AAR は無効化

注

MODE_SR ピンはパワーアップ時にのみ検出されます。デバイスは、動作中の MODE_SR の変更に対応していません。デバイス動作中に PWM_MODE を変更しないでください。

7.3.3.1 3x PWM モード (PWM_MODE = 10b または 11b、あるいは MODE_SR ピンを R_{MODE} で GVDD に、または GVDD に接続)

この 3x PWM モードでは、INHx ピンで各ハーフブリッジを制御し、Low または High の 2 つの出力状態がサポートされます。INLx ピンは、ハーフブリッジをハイ インピーダンス状態にするために使用します。ハイ インピーダンス状態にする必要がない場合は、すべての INLx ピンをロジック High に固定してください。表 7-2 に示すように、対応する INHx および INLx 信号で出力状態を制御します。

表 7-2. 3x PWM モードの真理値表

INLx	INHx	PHASEx
0	X	ハイ インピーダンス
1	0	L
1	1	H

図 7-3 には、3x PWM モードで構成された DRV8378-Q1 のアプリケーション図が示されています。

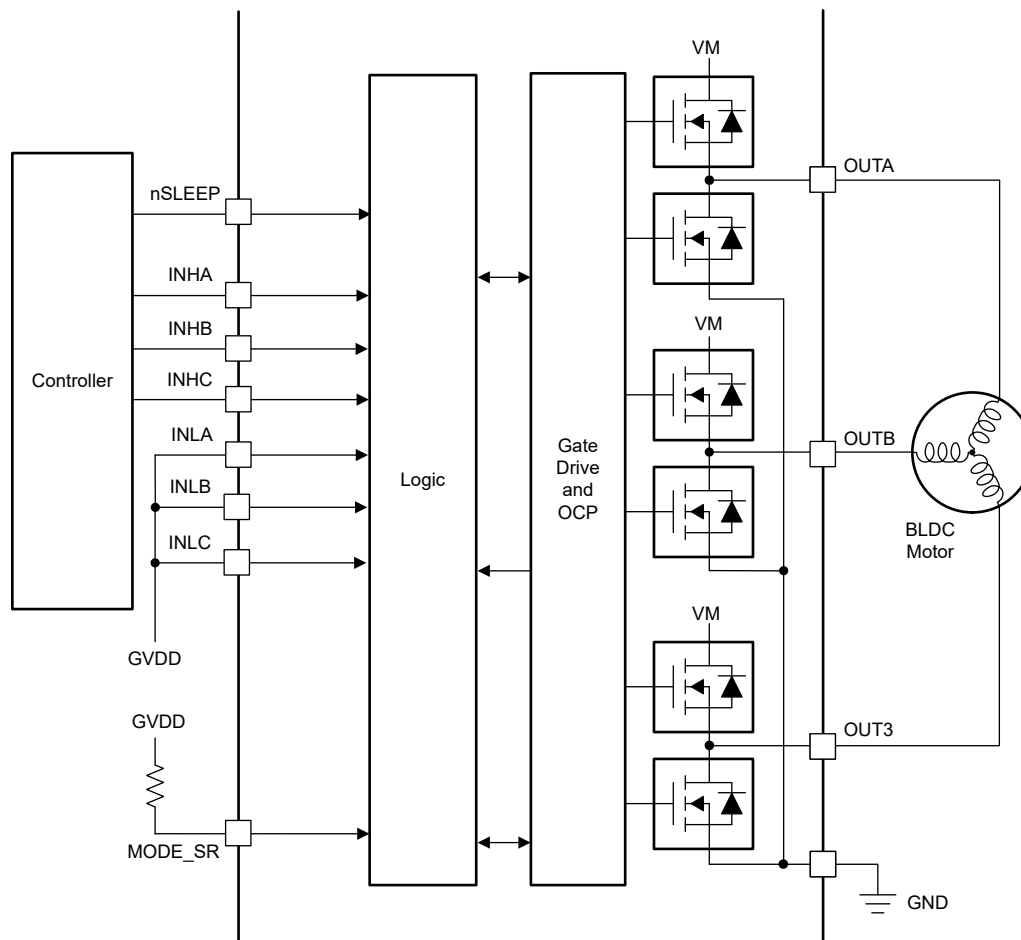


図 7-3. 3x PWM モード

7.3.3.2 6x PWM モード (PWM_MODE = 00b または 01b または MODE_SR ピンを AGND またはハイ インピーダンスに接続)

6x PWM モードでは、ハーフブリッジごとに Low、High、ハイ インピーダンス (Hi-Z) の 3 つの出力状態がサポートされます。表 7-3 に示すように、対応する INHx および INLx 信号で出力状態を制御します。

表 7-3. 6x PWM モードの真理値表

INLx	INHx	PHASEx
0	0	ハイ インピーダンス
0	1	H
1	0	L
1	1	ハイ インピーダンス

以下の図 7-4 には、6x PWM モードで構成された のアプリケーション図が示されています。

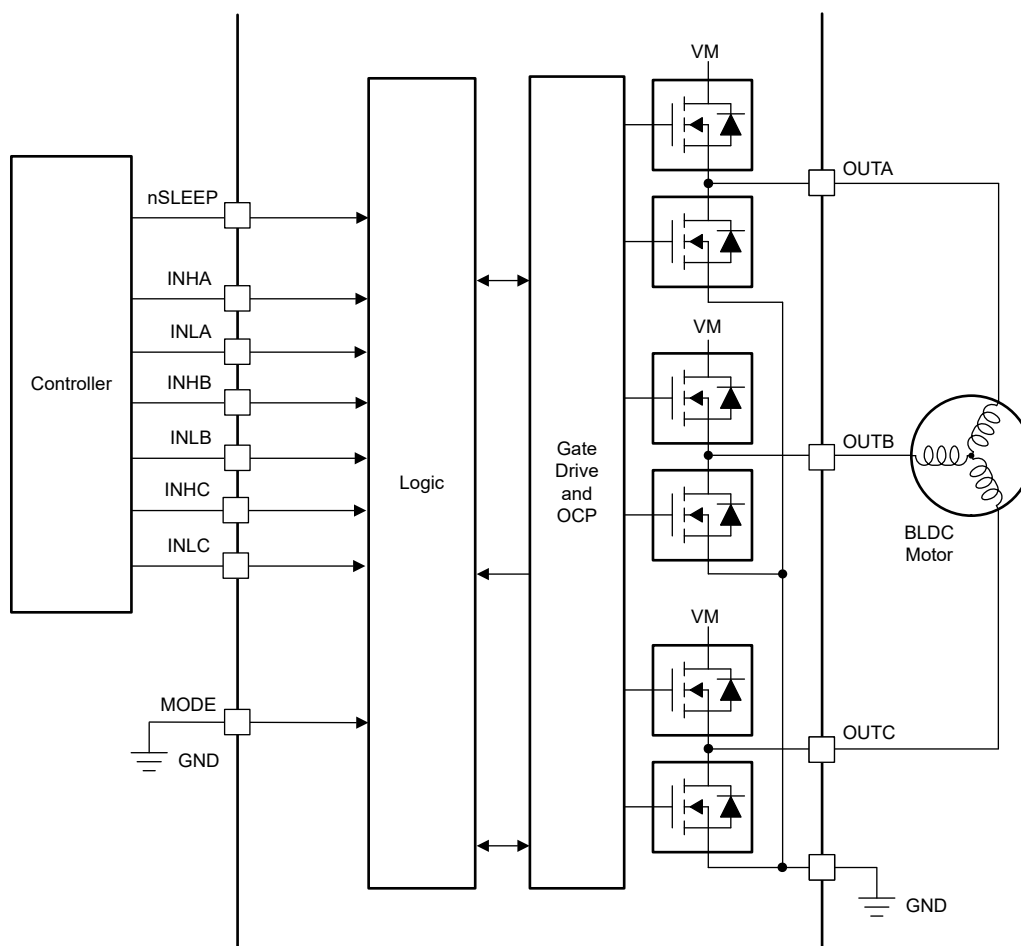


図 7-4. 6x PWM モード

7.3.3.3 外部 GVDD による DRV8378G 制御モード

外部 GVDD モードでは、6x と 3x の両方の PWM モードがサポートされています。表 7-4 に、モーター電圧と外部 GVDD の組み合わせに関する各種の使用事例を示します

表 7-4. 外部 GVDD による制御モード

VM	GVDD	nSLEEP	DRVOFF	動作
$V_{VM} > V_{VM_UVLO}$	$V_{GVDD} > V_{GVDD_UVLO}$	1	0	デバイスは完全な機能を備えています
$V_{VM} > V_{VM_UVLO}$	$V_{GVDD} > V_{GVDD_UVLO}$	1	1	ハイインピーダンス
$V_{VM} > V_{VM_UVLO}$	$V_{GVDD} < V_{GVDD_UVLO}$	1	X	ハイインピーダンス
$V_{VM} < V_{VM_UVLO}$	$V_{GVDD} < V_{GVDD_UVLO}$	X	X	ハイインピーダンス
$V_{VM} < V_{VM_UVLO}$	$V_{GVDD} > V_{GVDD_UVLO}$	X	0	ローサイド FET の INLx 制御、すべてのハイサイド FET はオフ状態、CSA はオフ、CSA 出力は VREF/2、OTP なし、OCP。OUTx から GVDD への短絡に対する保護
$V_{VM} < V_{VM_UVLO}$	$V_{GVDD} > V_{GVDD_UVLO}$	X	1	ハイインピーダンス

注

ローサイド FET の INLx 制御中 ($V_{VM} < V_{VM_UVLO}$ 、 $V_{GVDD} > V_{GVDD_UVLO}$)、nSLEEP = 1 の場合、電流をポンピング中に VM が逆流することがあります。

7.3.4 GVDD リニア電圧レギュレータ

ファミリのデバイスには 5V のリニア レギュレータが内蔵されており、外部回路から使用できます。この GVDD レギュレータは、デバイスの内部デジタル回路への電源供給に使用されます。また、低消費電力の MCU やその他、最大 30mA をサポートする定電流回路にも電源電圧を供給できます。GVDD レギュレータの出力は GVDD ピン付近で X5R または X7R の 1μF、10V セラミック コンデンサを使用してバイパスし、隣接する AGND グランド ピンに直接配線する必要があります。

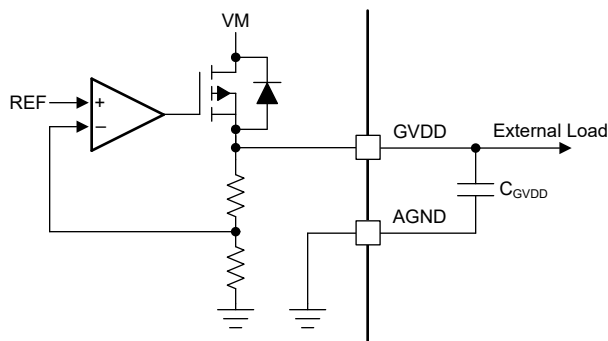


図 7-5. GVDD リニア レギュレータのブロック図

VM を電源とする GVDD リニア レギュレータによってデバイス内で消費される電力を計算するには、以下の式を使用します。

$$P = (V_{VM} - V_{GVDD}) \times I_{GVDD} \quad (1)$$

例えば、 $V_{VM} = 24V$ の場合、GVDD から 20mA の電流が流れると、消費電力は式 2 のようになります。

$$P = (24V - 5V) \times 20mA = 380mW \quad (2)$$

7.3.5 チャージポンプ

出力段では N チャネル FET を使用しているため、ハイサイド FET を完全に拡張にするには、VM 電源よりも高いゲート駆動電圧が必要です。この目的のために、VM 電源よりも高い電圧を生成するチャージポンプ回路を内蔵しています。

チャージポンプを動作させるには、2 つの外付けコンデンサが必要です。これらのコンデンサの詳細 (値、接続など) については、ブロック図、ピンの説明、セクション (セクション 7.3) を参照してください。

nSLEEP が Low になるか、または過熱シャットダウンが実行されると、チャージポンプはシャットダウンします。

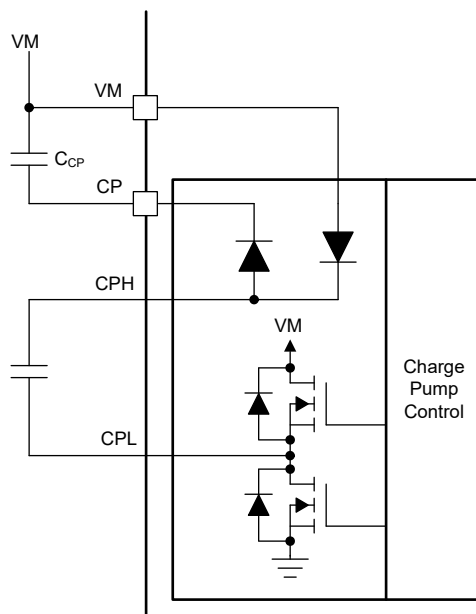


図 7-6. チャージポンプ

7.4 スルー レート制御

スルーレート制御を実現するために、ハーフブリッジの MOSFET への調整可能なゲート駆動電流制御が実装されています。MOSFET VDS スルー レートは、放射エミッション、ダイオード回復スパイクのエネルギーと期間、および寄生に関連するスイッチング電圧過渡を最適化するための重要な要素です。これらのスルーレートは、図 7-7 に示すように、主に内部 MOSFET へのゲート電荷のレートによって決まります。

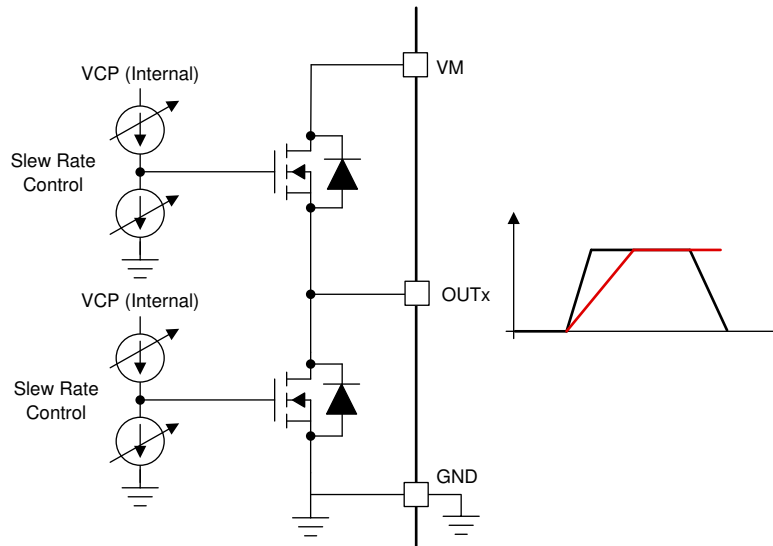


図 7-7. スルーレート回路の実装

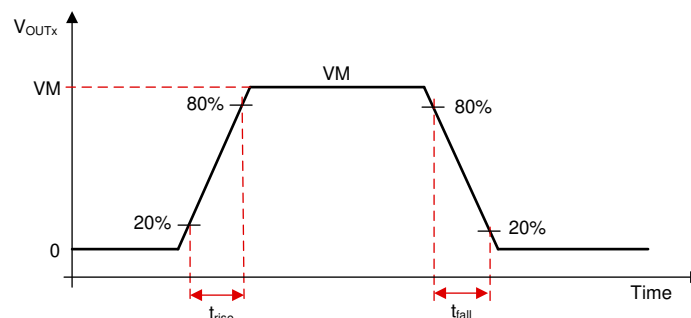


図 7-8. スルーレート タイミング

注

パワーアップ時にのみ SLEW ピンが検出されます。デバイスは、動作中のスルーレートの変更に対応していません。動作中に SLEW_RATE レジスタ ビットを変更しないでください。

7.5 クロス導通 (デッド タイム)

このデバイスは、MOSFET のクロス導通に対して包括的な保護が施されています。ハーフブリッジ構成では、デッドタイム (t_{DEAD}) を挿入することで貫通電流を回避するため、ハイサイドおよびローサイド MOSFET の動作が維持されます。これは、ハイサイドおよびローサイド MOSFET のゲート - ソース電圧 (VGS) を検出することで実行され、同じハーフブリッジのローサイド MOSFET をオンにする前に、ハイサイド MOSFET の VGS がターンオフ レベルを確実に下回るようにしています (図 7-9 および 図 7-10 を参照)。

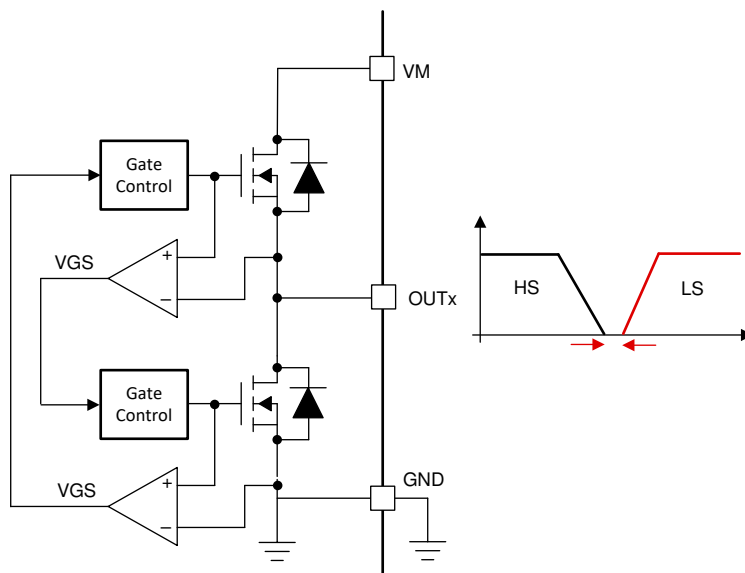


図 7-9. クロス導通保護

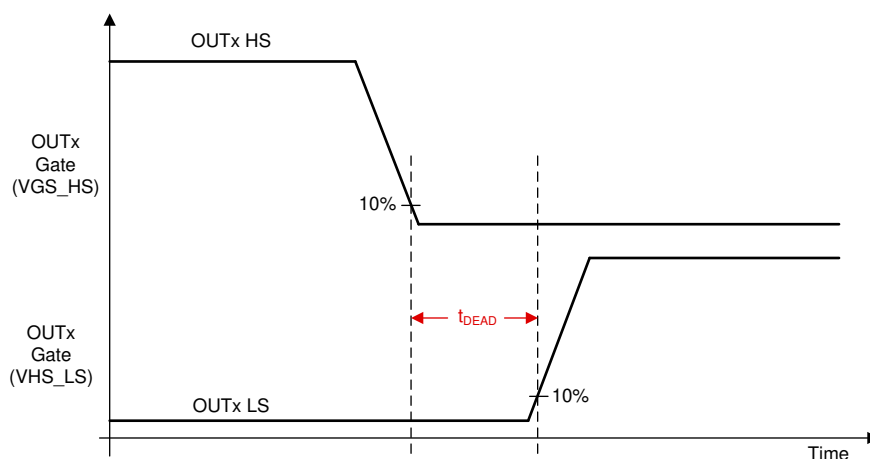


図 7-10. デッド タイム

7.6 伝搬遅延

伝播遅延時間 (t_{pd}) は、入力ロジック エッジからゲート ドライバ電圧での変化が検出されるまでの時間として測定されます。

注

電流制限モードまたはアクティブ消磁モードでは、入力コマンドがデバイス全体に伝搬されるため、わずかなデジタル遅延が追加され、このモード中に最大 **600ns** 増加する可能性があります。

7.7 ピン配置図

このセクションには、すべてのデジタル入出力ピンの I/O 構造が示されています。

7.7.1 ロジック レベル入力ピン (内部プルダウン)

図 7-11 に、ロジック レベル ピン、の入力構造が示されています。入力は電圧または外部抵抗で行うことができます。内部プルダウン抵抗を介したリーク電流を低減させるため、TI はデバイスのスリープ モードでこれらのピンを **Low** にすることを推奨します。

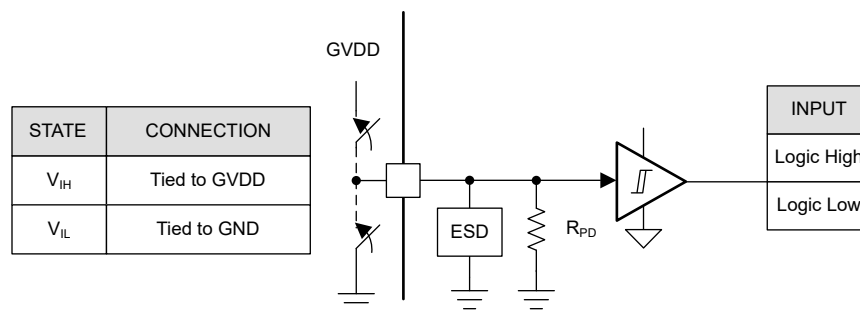


図 7-11. ロジック レベル入力ピンの構造

7.7.2 ロジック レベル入力ピン (内部プルアップ)

図 7-12 に、ロジック レベル ピン nSCS の入力構造が示されています。入力は電圧または外部抵抗で駆動できます。

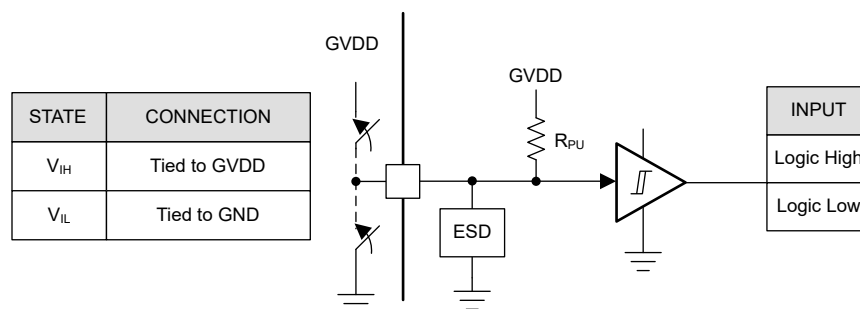


図 7-12. ロジック nSCS

7.7.3 オープン ドレイン ピン

図 7-13 に、オープン ドレイン モードでのオープン ドレイン出力、SDO の構造が示されています。オープン ドレイン出力を適切に機能させるためには、外部プルアップ抵抗が必要です。

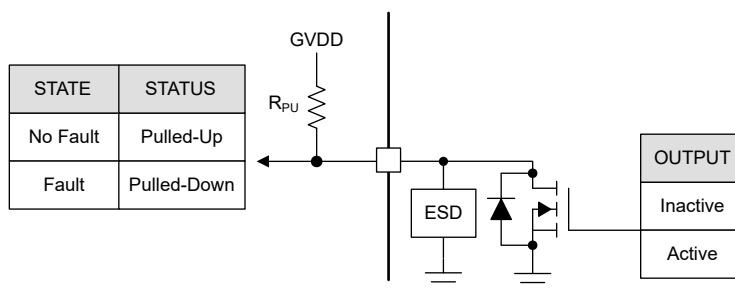


図 7-13. オープン ドレイン

7.7.4 プッシュプル ピン

図 7-14 に、プッシュプル モードでの SDO の構造が示されています。

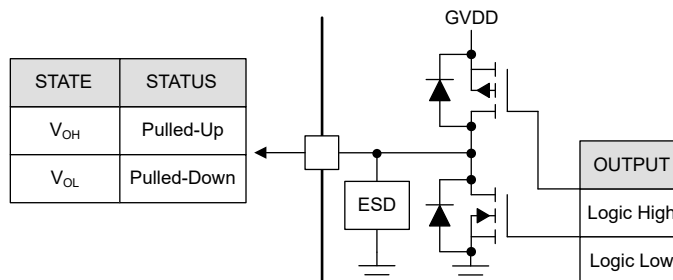


図 7-14. プッシュプル ピン

7.8 電流センス アンプ

DRV8378-Q1 は、内蔵電流センシングを使った電流測定のために、3 つの高性能ローサイド電流センス アンプを内蔵しています。ローサイド電流測定は、一般に過電流保護、外部トルク制御、または外部コントローラによるブラシレス DC 整流の実装に使用されます。この 3 つのすべてのアンプは、各ハーフブリッジ レグの電流センシングに使用できます (ローサイド FET)。電流センス アンプの出力は、29 ピン バリエントでは LS FET 電流に比例する電圧です。電流センス アンプの出力は、23 ピン バリエントでは LS FET 電流に比例する電流です。29 ピン バリエントの電流センス アンプには、プログラマブル ゲインなどの機能があります。電圧リファレンスピン (VREF) に外部リファレンスを供給する必要があります。

7.8.1 電流センス アンプの動作 (29 ピン バリエント)

DRV8378-Q1 の SOx ピンは、ローサイド FET を流れる電流にゲイン設定 (G_{CSA}) を乗算した値に比例するアナログ電圧を出力します。ゲイン設定は、GAIN ピン (ハードウェア デバイス バリエント) または GAIN ビット (SPI デバイス バリエント) で設定できる 4 つの異なるレベルの間で調整できます。

図 7-15 に、電流センス アンプの内部アーキテクチャを示しています。電流センスは、DRV8378-Q1 デバイスの各ローサイド FET のセンス FET で実装されています。この電流情報は内部 I/V コンバータに供給され、VREF ピンの電圧とゲイン設定に基づいて SOx ピンに CSA 出力電圧を生成します。CSA の出力電圧は以下のように計算できます。

$$SOX = \left(\frac{V_{REF}}{2} \right) \pm GAIN \times I_{OUTX} \quad (3)$$

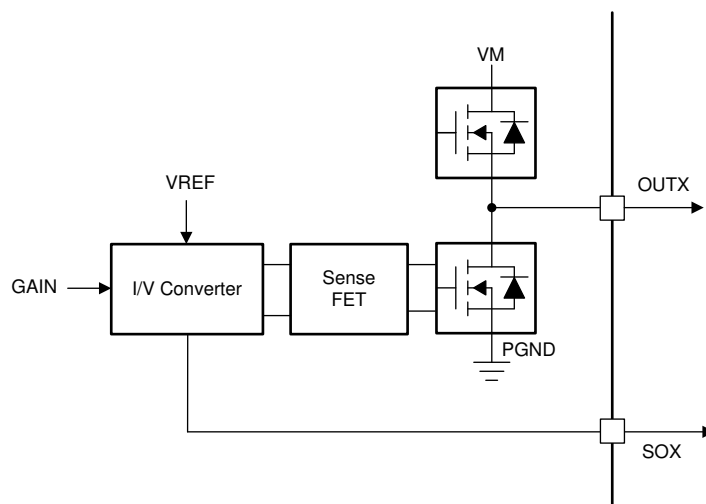


図 7-15. 電流センス アンプ内蔵

図 7-16 および図 7-17 に、アンプの動作範囲の詳細を示しています。双方向動作の場合、入力電圧が 0V のときのアンプ出力は $V_{REF}/2$ に設定されます。差動入力に変化があると、その変化に応じて出力電圧が **CSA_GAIN** の係数で増減します。アンプには定義されたリニア動作範囲があり、この範囲内でアンプは動作を維持することができます。

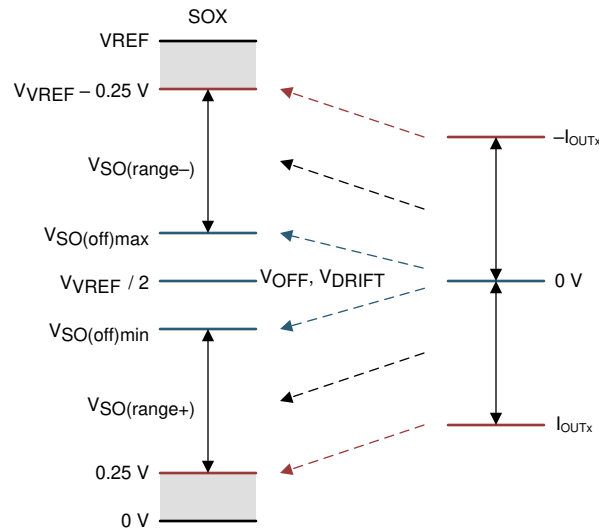


図 7-16. 双方向電流検出の出力

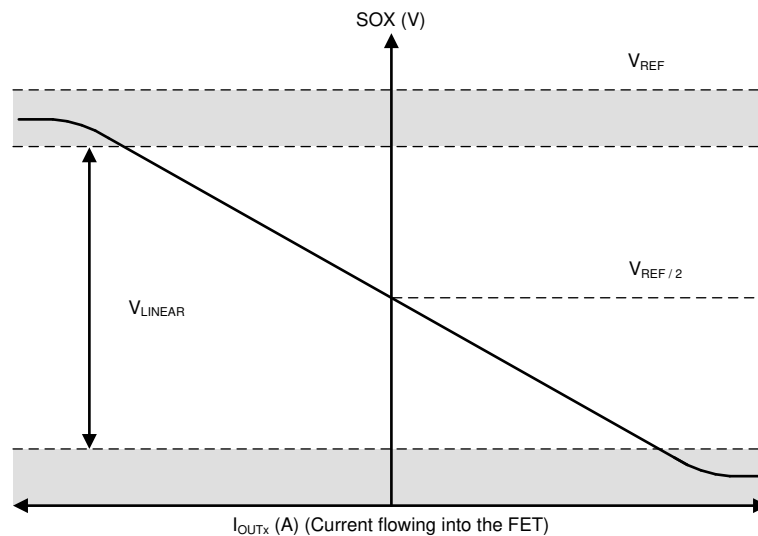


図 7-17. 双方向電流検出の領域

注

FET に流れる電流は正と見なされ、FET から流れ出る電流は負と見なされます

注

この電流センス アンプは、動的なゲインの変更をサポートしています。HW バリエントでは、**GAIN** はピン センシングを通じて 1ms ごとにサンプリングされ、SPI バリエントでは、SPI 書き込みを通じて **GAIN** が変更されます。**GAIN** 変更コマンドを受信した後、いずれかの INLx 信号の次の立ち下がりエッジで 3 つの電流センス アンプすべてに新しい **GAIN** が適用されます。

7.9 アクティブ消磁

ファミリは、ダイオードの導通損失を低減することで、本デバイス内の電力損失を低減させるスマート整流機能 (アクティブ消磁) を備えています。この機能が有効化されている場合、本デバイスはダイオード導通を検出すると常に、対応する MOSFET を自動的にターンオンさせます。この機能は、ハードウェアバリエーションのピンにより構成できます。SPI デバイスバリエーションでは、EN_ASR および EN_AAR ビットによってこれを構成できます。スマート整流は、自動同期整流 (ASR) モードと自動非同期整流 (AAR) モードの 2 つのカテゴリに分類されます。これらについては、以下のセクションの説明をご覧ください。

デバイスは、各ハーフブリッジで負の内部電流を検出するハイサイド (AD_HS) およびローサイド (AD_LS) コンパレータを内蔵しています。AD_HS コンパレータはセンス FET 出力を電源電圧 (VM) スレッシュホールドと比較し、AD_LS コンパレータはグラウンド (0V) スレッシュホールドと比較します。電流の流れ方 (OUTx から VM、または PGND から OUTx) に応じて、AD_HS または AD_LS コンパレータがトリップします。このコンパレータは、アクティブ消磁機能が動作するための基準点となります。

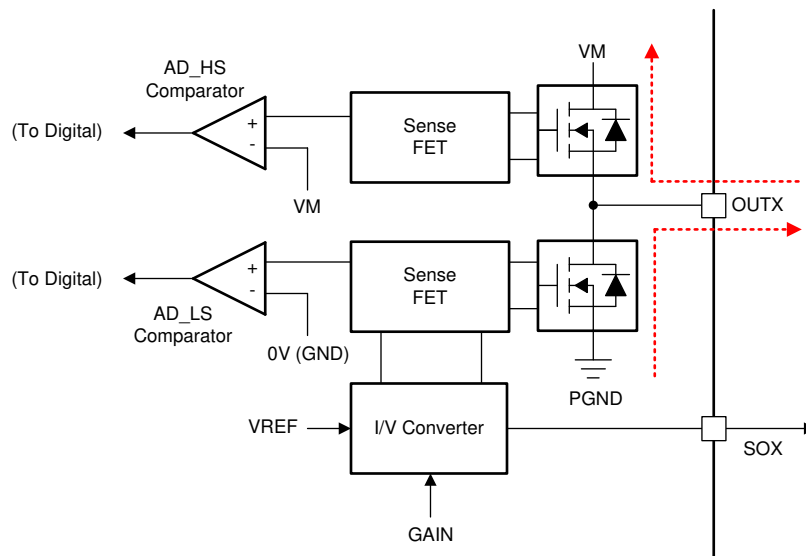


図 7-18. アクティブ消磁動作

注

OCP イベント時に、アクティブ消磁が無効化されます。

注

アクティブな消磁によって FET が導通しており、その FET をオンにする入力コマンドが与えられたときに FET を流れる電流がゼロにならない場合、ターンオン コマンドはアクノリッジ (受信確認) できず、その FET の入力制御信号とは無関係に電流がゼロになったときにのみ、FET はオフになります。

7.9.1 自動同期整流モード (ASR モード)

自動同期整流 (ASR) モードは、整流中の ASR と PWM モード時の ASR の 2 つのカテゴリに分けられます。

7.9.1.1 転流時の自動同期整流

図 7-19 に、BLDC モーター整流中のアクティブ消磁の動作を示します。図 7-19 (a) に示すように、ある整流状態において、電流は HA から LC に流れています。図 7-19 (b) に示されているように、整流を切り換える間、HB スイッチはターンオンし、(モーター インダクタンスによる) OUTA の整流電流が LA のボディダイオードを流れます。これにより、整流電流によるダイオード損失が大きくなります。図 7-19 (c) に示されているように、この整流損失は、整流時間の間 LA をターンオンさせることで減少します。

図 7-19 (d)、(e)、(f) に示されているように、ハイサイド FET の動作は同様に実行されます。

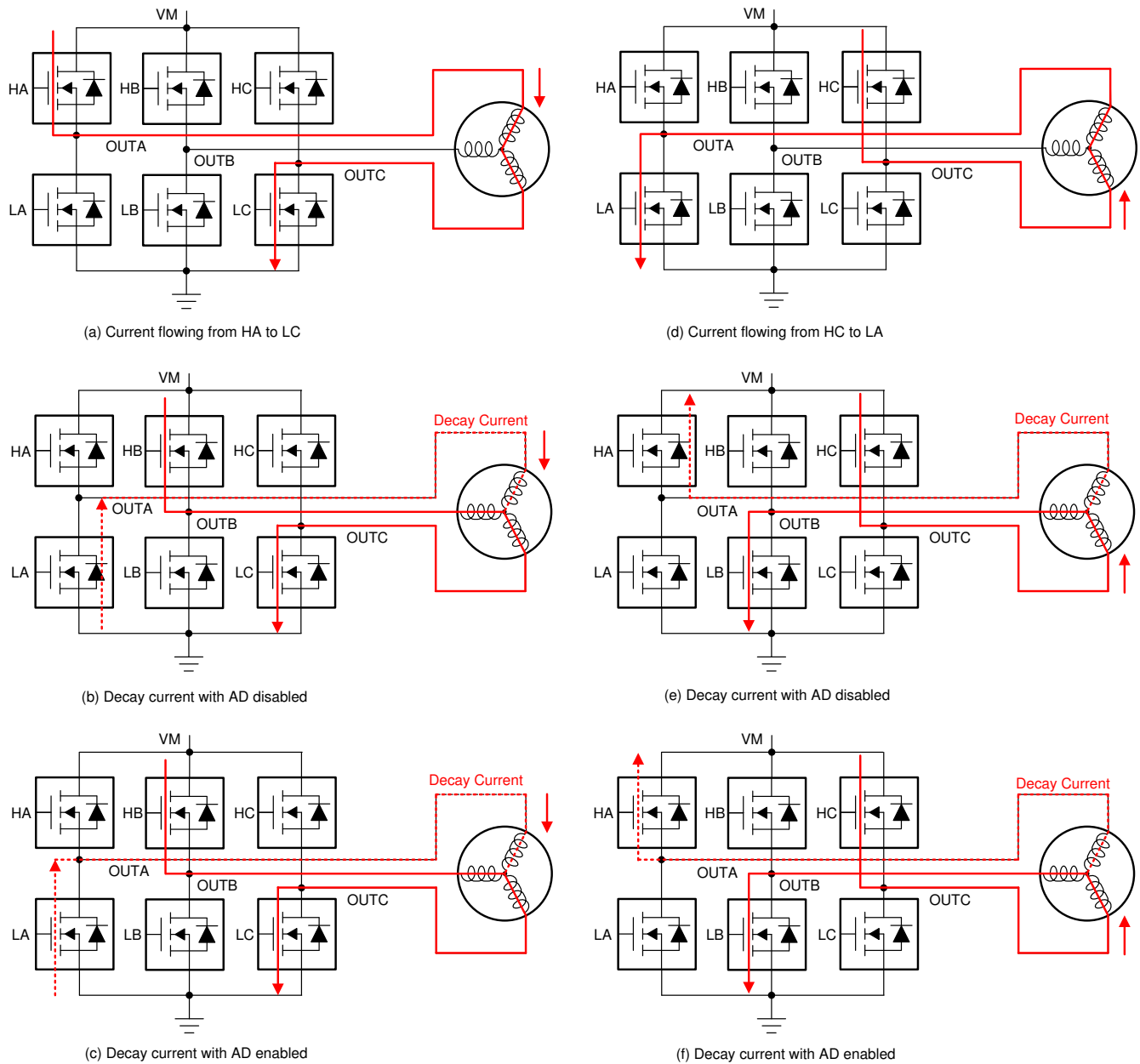
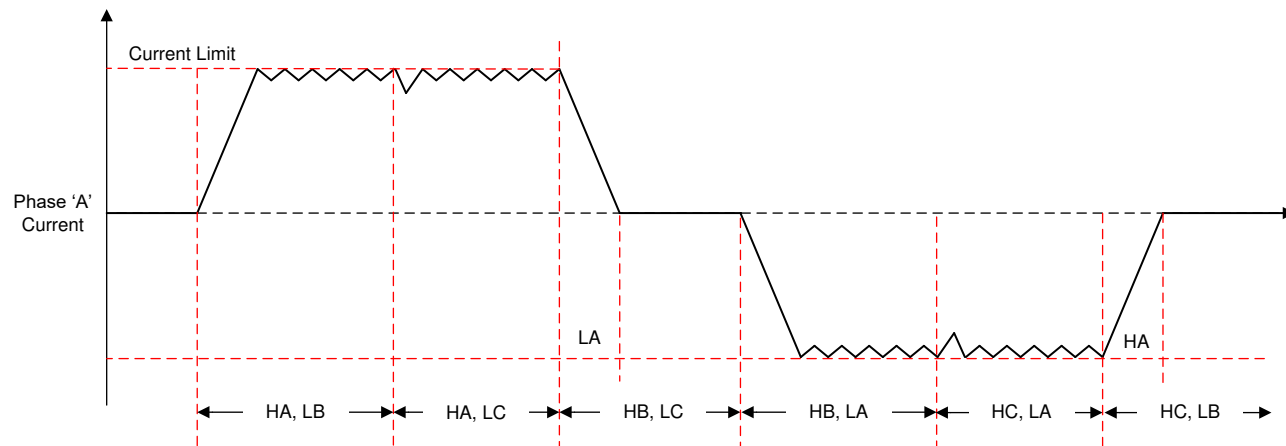


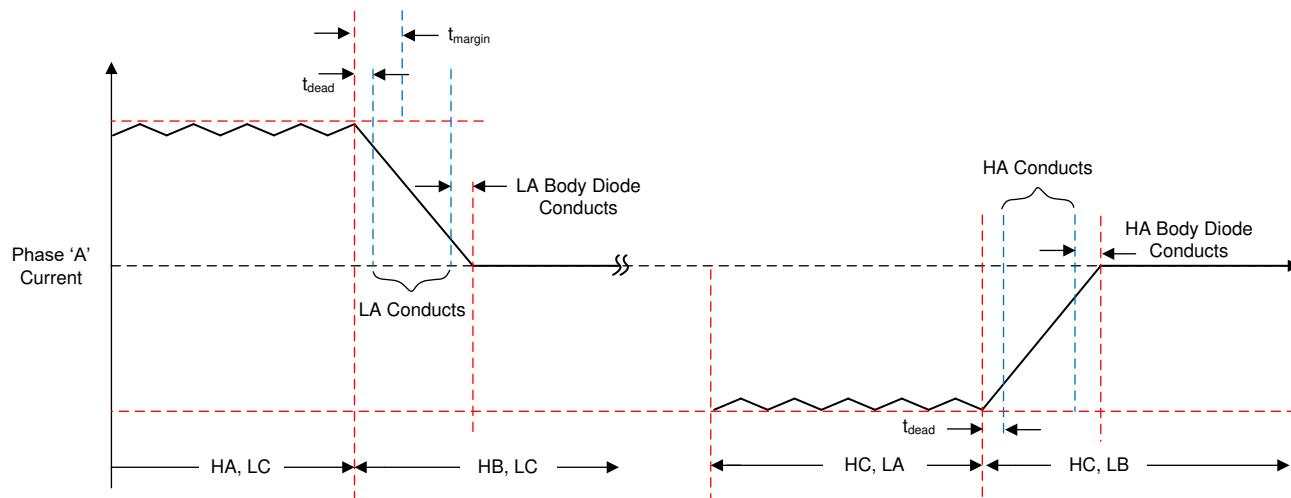
図 7-19. BLDC モーター整流における ASR

図 7-20 (a) に、台形波整流で動作している BLDC モーターの自動同期整流モードに対する BLDC モーターの位相電流波形が示されています。この図は、1 つの整流サイクルにおける各種スイッチの動作を示したものです。

図 7-20 (b) に、整流サイクルの拡大波形と、マージン時間 (t_{margin}) を使用した ASR モード開始、およびアクティブな復調コンパレータのスレッシュホルドと遅延による ASR モードの早期停止の詳細が示されています。



(a) Commutation current of Phase "A"



(b) Zoomed waveform of Active Demagnetization

図 7-20. BLDC モーター整流における ASR の電流波形

7.9.1.2 PWM モード時の自動同期整流

図 7-21 に、各モードでの ASR ピンの動作が示されています。この図に示されているように、PWM はハイサイド FET のみに印加されるのに対し、ローサイド FET は常にオフとなります。PWM オフ時は、電流がローサイド FET から減衰するため、電力損失が大きくなります。このため、このモードでは、ローサイド ダイオードが導通している間、ローサイド FET をオンにすることができます。

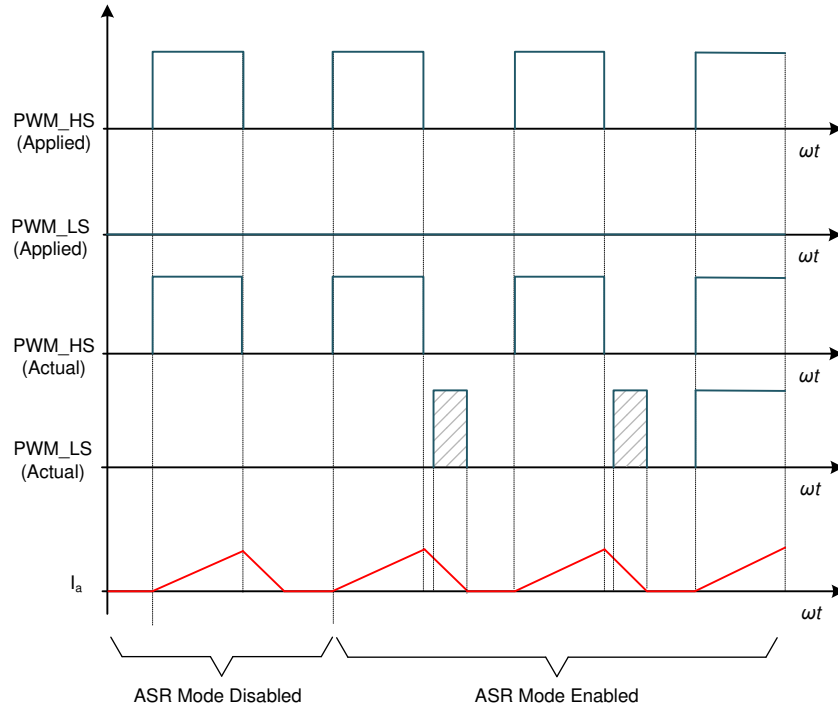


図 7-21. PWM モードの ASR

7.9.2 自動非同同期整流モード (AAR モード)

図 7-22 に、各モードでの AAR ピンの動作が示されています。この図に示されているように、ハイサイド FET とローサイド FET の同期整流で PWM を印加します。ローサイド FET が導通する間、インダクタンスの小さいモーターでは、ローサイド FET がオン状態になるため、電流は 0 に減衰して負になることがあります。この結果、BLDC モーターの動作に負のトルクが発生します。AAR モードを有効にすると、減衰中の電流が監視され、電流がゼロに近付くと直ちにローサイド FET がオフになります。これにより、BLDC モーター内を流れる負の電流を節約でき、ノイズ性能と熱管理性が向上します。

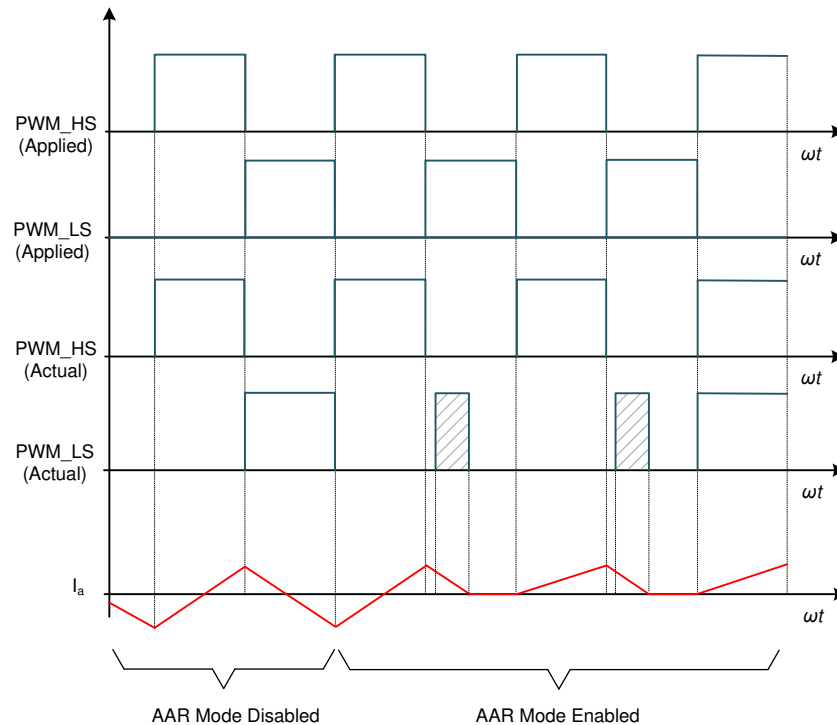


図 7-22. PWM モードの AAR

7.10 サイクル単位の電流制限

この電流制限回路は、ローサイド MOSFET を流れる電流が I_{LIMIT} 電流を超えると作動します。この機能により、モーター電流が I_{LIMIT} 未満に制限されます。

電流制限回路は、 $ILIMIT$ ピンの電圧と比較して、3 相の電流センス アンプの出力を利用します。は、電流制限回路の実装を示しています。に示すように、電流センス アンプの出力は、スター型接続の抵抗ネットワークと結合されます。この測定電圧 V_{MEAS} は、外部リファレンス電圧 V_{ILIM} ピンと比較されることで、電流制限の実装を実現します。 $OUTX$ ピンで検出される電流と V_{MEAS} スレッショルドの関係は以下の通りです。

ここで、

- I_{OUTX} : ローサイド MOSFET に流れる電流
- CSA_GAIN : 電流センス アンプのゲイン

に示されているように、同期整流モードで電流制限がアクティブになっている場合は、ハイサイド FET が無効化されている間にローサイド FET を通って電流が再循環します。

に示されているように、電流制限が非同期整流モードでアクティブになっている場合は、ハイサイド FET が無効化されている間にローサイド FET のボディダイオードを通して電流が再循環します。

注

ブレーキ動作中、大電流がローサイド FET を流れることで、最終的に過電流保護回路がトリガされる場合があります。この状態では、ハイサイド FET のボディダイオードが導通し、ブレーキ エネルギーが VM 電源レールに誘導されます。

7.10.1 100% デューティ サイクル入力でのサイクル単位の電流制限

PWM 入力に 100% デューティ サイクルが印加された場合、ハイサイド FET を再びオンにするエッジはありません。この問題を克服するため、DRV8378-Q1 には内部 PWM クロックが内蔵されています。これにより、 I_{LIMIT} スレッショルドを超えた後にハイサイド FET が無効化された時点でハイサイド FET はオンに戻ります。SPI バリエント DRV8378-Q1 では、この内部 PWM クロックは、PWM_100_DUTY_SEL を通じて 10kHz、20kHz、または 40kHz に設定できます。H/W バリエントでは、DRV8378-Q1 PWM 内部クロックが 20kHz に設定されています。次の図は、100% デューティ サイクルでの動作を示しています。

7.11 保護

DRV8378-Q1 ファミリのデバイスは、VM 低電圧、チャージ ポンプ低電圧、過電流イベントから保護されています。フォルト動作および応答 に、各種フォルトの詳細を示します。

表 7-5. フォルト動作および応答

nFAULT	条件	構成	通知	H ブリッジ	ロジック	復帰
VM 低電圧 (RESET)	$V_{VM} < V_{UVLO}$	—	—	ハイ インピーダンス	無効	自動: $V_{VM} > V_{UVLO_R}$ CLR_FLT、nSLEEP リセット パルス (RESET ビット)
GVDD 低電圧 (RESET)	$V_{VM} > V_{UVLO}$ 、 $V_{GVDD} < V_{GVDD_UVLO}$	外部 GVDD	—	ハイ インピーダンス	無効	自動: $V_{GVDD} > V_{GVDD_UVLO_R}$ CLR_FLT、nSLEEP リセット パルス (RESET ビット)
GVDD 低電圧 (RESET)	$V_{GVDD} > V_{GVDD_UVLO}$	—	—	ハイ インピーダンス	無効	自動: $V_{GVDD} > V_{GVDD_UVLO_R}$ CLR_FLT、nSLEEP リセット パルス (RESET ビット)
チャージ ポンプ低電圧 (VCP_UV)	$V_{CP} < V_{CPUV}$	—	nFAULT	ハイ インピーダンス	アクティブ	自動: $V_{VCP} > V_{CPUV}$ CLR_FLT、nSLEEP リセット パルス (VCP_UV ビット)
過電圧保護 (OVP)	$V_{VM} > V_{OVP}$	OVP_MODE = 0b	なし	アクティブ	アクティブ	動作なし (OVP 無効)
		OVP_MODE = 1b	nFAULT	ハイ インピーダンス	アクティブ	自動: $V_{VM} < V_{OVP}$ CLR_FLT、nSLEEP リセット パルス (OVP ビット)
過電流保護 (OCP)	$I_{PHASE} > I_{OCP}$	OCP_MODE = 00b	nFAULT	ハイ インピーダンス	アクティブ	ラッチ: CLR_FLT、nSLEEP リセット パルス (OCP ビット)
		OCP_MODE = 01b	nFAULT	ハイ インピーダンス	アクティブ	リトライ: I_{RETRY} CLR_FLT、nSLEEP リセット パルス (OCP ビット)
		OCP_MODE = 10b	nFAULT	アクティブ	アクティブ	通知のみ: CLR_FLT、nSLEEP リセット パルス (OCP ビット)
		OCP_MODE = 11b	なし	アクティブ	アクティブ	アクションなし
ILIMIT	$V_{LIMIT} < V_{SO}$	ILIMFLT_MODE = 0b	なし	ILIMIT モード	アクティブ	自動: INHx の次の立ち上がりエッジでハイサイド INLx の次の立ち上がりエッジのローサイド
		ILIMFLT_MODE = 1b	nFAULT	ILIMIT モード	アクティブ	自動: INHx の次の立ち上がりエッジでハイサイド INLx の次の立ち上がりエッジのローサイド
SPI エラー (SPI_FLT)	SCLK、パリティ、ADDR フォルト	SPIFLT_MODE = 0b	なし	アクティブ	アクティブ	アクションなし
		SPIFLT_MODE = 1b	nFAULT	アクティブ	アクティブ	通知のみ: CLR_FLT、nSLEEP リセット パルス (SPI_FLT ビット)
OTP エラー (OTP_ERR)	OTP の読み取りが誤っています	—	nFAULT	ハイ インピーダンス	アクティブ	ラッチ: パワー サイクル、CLR_FLT
過熱警告 (OTW)	$T_J > T_{OTW}$	OTW_MODE = 0b	なし	アクティブ	アクティブ	アクションなし
		OTW_MODE = 1b	nFAULT	アクティブ	アクティブ	自動: $T_J < T_{OTW} - T_{OTW_HYS}$ CLR_FLT、nSLEEP パルス (OTW ビット)
サーマル シャットダウン (OTSD)	$T_J > T_{TSD}$	—	nFAULT	ハイ インピーダンス	アクティブ	自動: $T_J < T_{TSD} - T_{TSD_HYS}$

7.11.1 過電流保護 (OCP)

MOSFET 過電流イベントは、FET を流れる電流を監視することで検出されます。FET に流れる電流が t_{OCP} グリッチ除去時間よりも長く I_{OCP} スレッショルドを上回ると、OCP イベントが認識され、OCP_MODE ビットに従って動作が実行されます。ハードウェア インターフェイス デバイスでは、 I_{OCP} スレッショルドは 20A スレッショルドに固定され、 t_{OCP_DEG} は 1.45μs に固定され、OCP_MODE ビットはラッチ付きシャットダウンに設定されます。SPI デバイスでは、 I_{OCP} スレッショルドは OCP_LVL ビットを通じて設定され、 t_{OCP_DEG} は OCP_DEG ビットを通じて設定されます。

OCP_MODE ビットは以下の 4 つのモードで動作できます。OCP ラッチ付きシャットダウン、OCP 自動リトライ、OCP 通知のみ、OCP 無効。

7.11.1.1 OCP ラッチ シャットダウン (OCP_MODE = 00b)

このモードで OCP イベントが発生すると、すべての MOSFET が無効化され、nFAULT ピンが Low に駆動されます。SPI レジスタでは、nFAULT、OCP、および対応する FET OCP ビットが High にラッチされます。OCP 状態が解消され、CLR_FLT ビットまたは nSLEEP リセット パルス (t_{RST}) のいずれかによってフォルト クリア コマンドが発行されると、通常動作が再開されます (ドライバの動作が再開され、nFAULT ピンが解放される)。

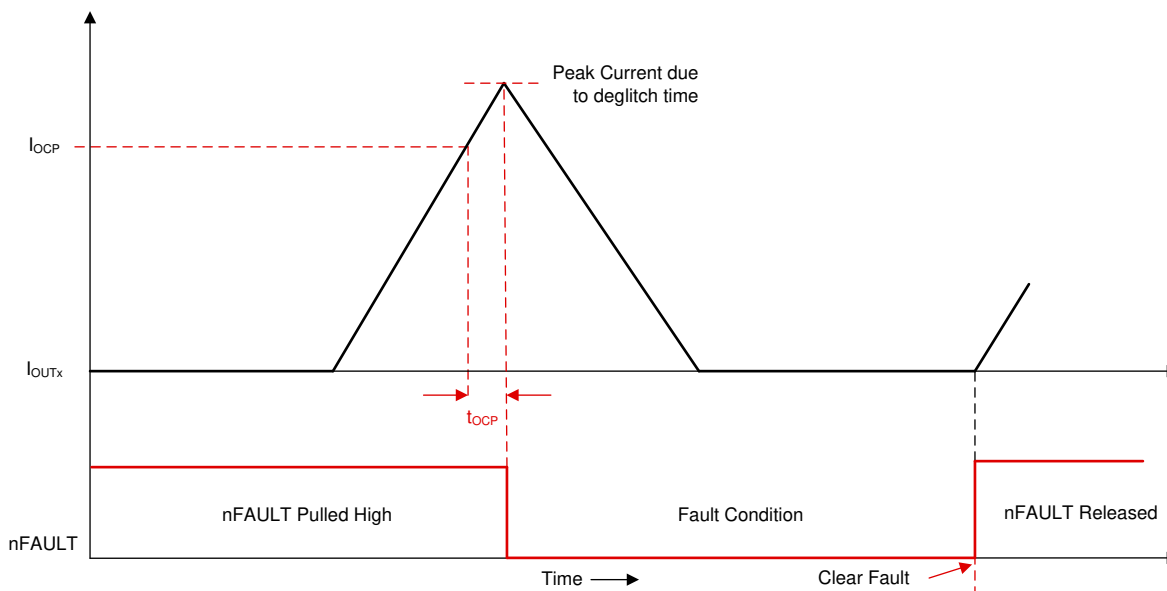


図 7-23. 過電流保護 - ラッチ シャットダウン モード

7.11.1.2 OCP 自動リトライ (OCP_MODE = 01b)

このモードで OCP イベントが発生した後、すべての MOSFET が無効化され、nFAULT ピンが Low に駆動されます。SPI レジスタでは、nFAULT、OCP、および対応する FET OCP ビットが High にラッチされます。 t_{RETRY} 時間が経過した後は、通常動作が自動的に再開されます (ドライバ動作が再開され、nFAULT ピンが解放される)。 t_{RETRY} 時間が経過すると、nFAULT、OCP、および対応する FET の OCP ビットは、CLR_FLT ビットまたは nSLEEP リセット パルス (t_{RST}) のいずれかによってフォルト クリア コマンドが実行されるまでラッチされた状態を維持します。

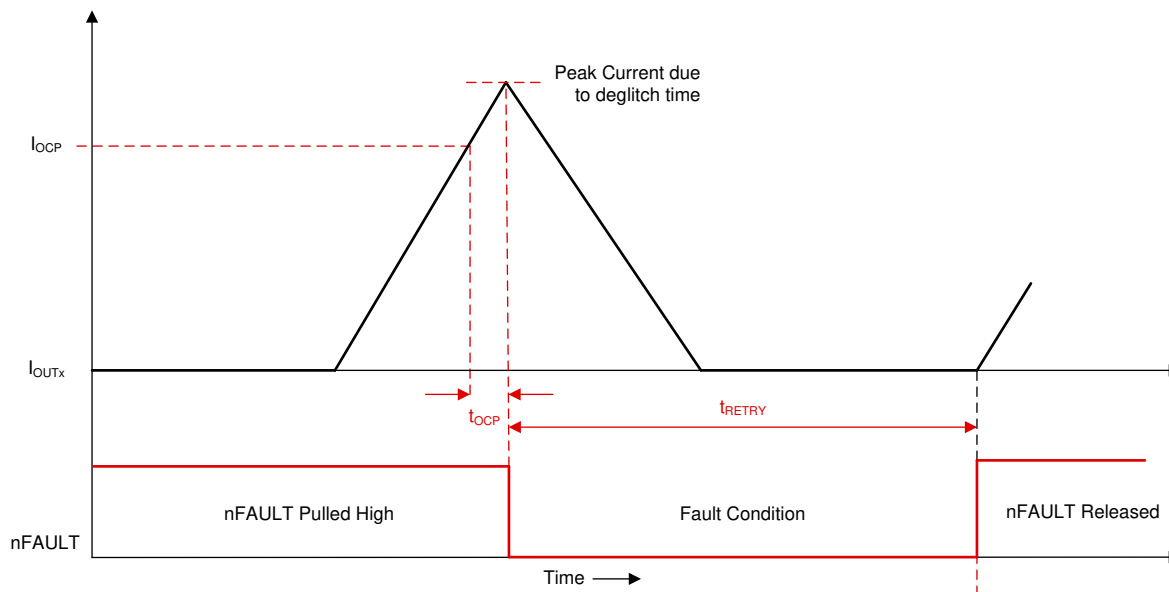


図 7-24. 過電流保護 - 自動リトライ モード

7.11.1.3 OCP 無効 (OCP_MODE = 11b)

このモードでは、OCP イベントの後に何の動作も発生しません。

7.11.1.4 OCP 通知のみ (OCP_MODE = 10b)

このモードでは、OCP イベントの後に保護動作は発生しません。nFAULT ピンを Low に駆動し、nFAULT、OCP、および対応する FET の OCP ビットを SPI レジスタで High にラッチすることにより、過電流イベントが通知されます。DRV8378-Q1 は通常どおり動作を継続します。外部コントローラは適切に動作することによって過電流状態を管理します。OCP 状態が解消され、CLR_FLT ビットまたは nSLEEP リセット パルス (t_{RST}) のいずれかによってフォルト クリア コマンドが発行されると、通知がクリアされます (nFAULT ピンが解放される)。

7.11.2 VM 電源低電圧ロックアウト (RESET)

VM ピンの入力電源電圧が V_{UVLO} スレッシュホールド (VM UVLO 立ち下がりスレッシュホールド) を下回ると、常にすべての内蔵 FET、ドライバ チャージ ポンプ、デジタル ロジック コントローラが無効化されます (図 7-25 を参照)。VM 低電圧状態が解消されると、通常動作 (ドライバの動作) が再開されます。デバイスが VM の状態を認識すると、デバイス ステータス レジスタの RESET ビットは High にラッチされます。RESET ビットは、CLR_FLT ビットまたは nSLEEP ピンのリセット パルス (t_{RST}) によってクリアされるまで High のままです。

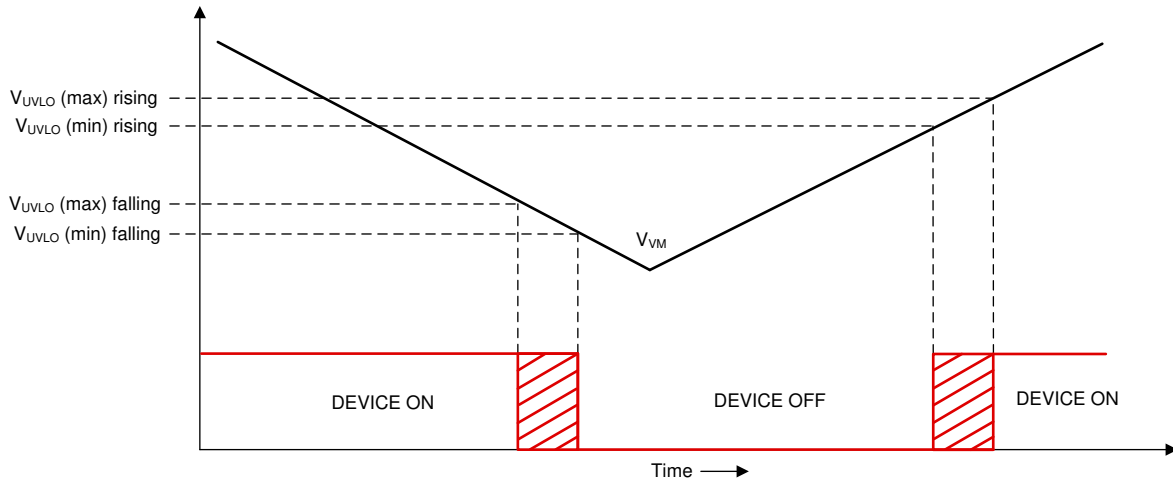


図 7-25. VM 電源低電圧誤動作防止

7.11.3 GVDD 低電圧誤動作防止 (GVDD_UV)

GVDD ピンの電圧が V_{GVDD_UV} スレッシュホールドを下回ると常に、内蔵 FET、ドライバ チャージ ポンプ、デジタル ロジック コントローラのすべてが無効化されます。GVDD 低電圧状態が解消されると、通常動作 (ドライバの動作) が再開されます。デバイスが VM の状態を認識すると、デバイス ステータス レジスタの RESET ビットは High にラッチされます。RESET ビットは、CLR_FLT ビットまたは nSLEEP ピンのリセット パルス (t_{RST}) によってクリアされるまで High のままです。

7.11.4 VCP チャージ ポンプ低電圧誤動作防止 (CPUV)

任意の時点で VCP ピン (チャージ ポンプ) の電圧が V_{CPUV} スレッシュホールド未満に低下した場合は、統合されているすべての FET が無効化され、nFAULT ピンが Low になります。VCP の低電圧状態が解消されると、通常動作が再開されます (ドライバの動作が再開され、nFAULT ピンが解放される)。チャージ ポンプの低電圧は nFAULT ビットと CPUV ビットで通知されます。nFAULT ビットは、チャージ ポンプの低電圧状態が解消されると自動的にクリアされます。CPUV ビットは、CLR_FLT ビットまたは nSLEEP ピン リセット パルス (t_{RST}) によってクリアされるまでセットされたまま維持されます。CPUV 保護は、ハードウェアと SPI デバイスの両方のバリエーションで常に有効化されています。

7.11.5 過電圧保護 (OV)

VM ピンの電源電圧が V_{OVP} スレッシュホールド電圧を超えると、常にすべての内蔵 FET が無効化され、nFAULT ピンが Low に駆動されます。OVP が解消されると、通常動作が再開されます (ドライバ動作が再開され、nFAULT ピンが解放される)。過電圧は nFAULT ビットと OVP ビットで通知されます。nFAULT ビットは、過電圧状態が解消されると自動的にクリアされます。OVP ビットは、CLR_FLT ビットまたは nSLEEP ピン リセット パルス (t_{RST}) によってクリアされるまでセットされたまま維持されます。SPI デバイスの OVP_MODE ビットを High に設定すると、この保護機能が有効になります。ハードウェア インターフェイス デバイスでは、OVP 保護が無効化されています。

OVP スレッシュホールドは、SPI デバイス バリエーションでもプログラム可能です。OVP スレッシュホールドは、OVP_SEL ビットに基づいて 65V または 35V に設定できます。

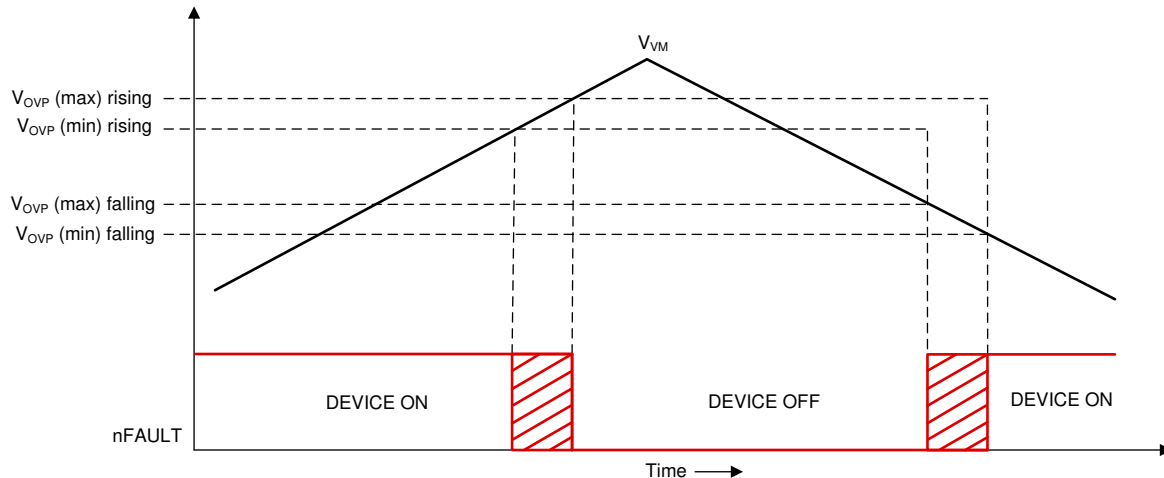


図 7-26. 過電圧保護

7.11.6 過熱警告 (OTW)

ダイ温度が過熱警告のトリップ ポイント (T_{OTW}) を上回ると、OT ステータス (OT_STS) レジスタの OT ビットとデバイス ステータス レジスタの OTW ビットが設定されます。nFAULT ピンの OTW 通知は、構成制御レジスタの過熱警告通知 (OTW_MODE) ビットを設定することで有効化できます。デバイスの機能は継続され、追加動作が実行されることはありません。この場合、ダイ温度が過熱警告のヒステリシス ポイント (T_{OTW_HYS}) を下回ると、nFAULT ピンが解放されます。OTW ビットは、CLR_FLT ビットまたは nSLEEP リセット パルス (t_{RST}) によってクリアされ、ダイ温度が過熱警告トリップ (T_{OTW}) を下回るまで設定されたまま維持されます。ハードウェア バリエーションでは、過熱警告はデフォルトで nFAULT ピンで通知されます。

7.11.7 サーマル シャットダウン (OTS)

デバイスのダイ温度がサーマル シャットダウン制限のトリップ ポイント (T_{TSD}) を上回ると、すべての FET が無効化され、チャージ ポンプがシャットダウンされ、nFAULT ピンが Low になります。さらに、OT ステータス (OT_STS) レジスタの nFAULT ビットと OTSD ビット、およびステータス レジスタの OTF ビットが設定されます。過熱状態が解消されると、通常動作が再開されます (ゲートドライバの動作が再開され、nFAULT ピンが解放される)。OTSD ビットが High にラッチされたままになっている場合は、CLR_FLT ビットまたは nSLEEP リセット パルス (t_{RST}) のいずれかによってクリア フォルト コマンドが実行されるまで、過熱状態が発生していたことを示しています。この保護機能は無効化できません。

7.12 デバイスの機能モード

7.12.1 機能モード

7.12.1.1 スリープモード

nSLEEP ピンは、DRV8378-Q1 ファミリのデバイスの状態を管理するピンです。nSLEEP ピンが Low になると、デバイスは低消費電力のスリープモードに移行します。スリープモードでは、すべての FET、センスアンプ、チャージポンプ、GVDD レギュレータ、SPI バスが無効になります。nSLEEP ピンでの立ち下がりエッジの後、 t_{SLEEP} 時間が経過するとデバイスがスリープモードに移行します。nSLEEP ピンが High になると、デバイスのスリープモードは自動的に終了します。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

注

nSLEEP ピンを通してデバイスがパワーアップおよびパワーダウンしている間は、内部レギュレータが有効化または無効化されるため、nFAULT ピンは Low に保持されます。レギュレータが有効化または無効化された後、nFAULT ピンは自動的に解放されます。nFAULT ピンが Low になっている時間が t_{SLEEP} 時間または t_{WAKE} 時間を上回ることはありません。

注

内部テストモードへの望ましくない移行を避けるため、プルアップが使われていない場合でも、nFAULT にプルアップを接続することを推奨します。nFAULT をプルアップするために外部電源を使用する場合は、電源投入時に nFAULT が 2.2V 以上にプルアップされていることを確認してください。そうしないと、デバイスは内部テストモードになります。

7.12.1.2 動作モード

nSLEEP ピンが High で、 V_{VM} 電圧が V_{UVLO} 電圧より大きい場合は、デバイスが動作モードに移行します。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。このモードでは、チャージポンプ、GVDD レギュレータ、SPI バスがアクティブです。

7.12.1.3 フォルトリセット (CLR_FLT または nSLEEP リセットパルス)

デバイスのフォルト状態がラッチされている場合、DRV8378-Q1 ファミリのデバイスは、パワー MOSFET とシステムを保護するために部分的シャットダウン状態に移行します。

障害状態が解消されると、SPI デバイスで CLR_FLT SPI ビットを設定するか、またはいずれかのインターフェイスで nSLEEP ピンにリセットパルスを印加することにより、デバイスを動作状態に戻すことができます。nSLEEP リセットパルス (t_{RST}) は、nSLEEP ピンでの High → Low → High の遷移で構成されています。このシーケンスの Low 期間は t_{RST} 時間枠内に収める必要があり、そうしないとデバイスが完全なシャットダウンシーケンスを開始します。リセットパルスがレギュレータ、デバイス設定、またはその他の機能ブロックに影響することはありません。

7.12.2 DRVOFF 機能

は、DRVOFF ピンを使ってブリッドドライバと MOSFET をアクティブに無効化し、デジタル制御をバイパスします。DRVOFF ピンを High にすると、6 つの MOSFET がすべて無効化されます。nSLEEP が High、DRVOFF ピンが High の場合、チャージポンプ、GVDD レギュレータ、SPI バスはアクティブのまま、OCP などのドライバ関連のフォルトは非アクティブの状態に留まります。DRVOFF ピンにより MOSFET がアクティブに無効化され、IN_{Hx} および IN_{Lx} 入力ピンのステータスに関係なく、モーターの通信が停止します。

注

DRVOFF は、29 ピン SPI およびハードウェアバリエーションにのみ適用できます。

注

DRVOFF ピンにより MOSFET が独立して無効化されるため、フォルト条件がトリガされ、nFAULT が Low にプルされます。

7.13 SPI 通信

7.13.1 プログラミング

DRV8378-Q1 SPI デバイスでは、デバイス構成と動作パラメータの設定、診断情報の読み出しに SPI バスを使用します。DRV8378-Q1 は、SPI モード 0 を使用します (データは立ち上がりエッジでサンプリングされ、立ち下がりエッジでシフトアウトされます)。図 6-1 のタイミング図を参照してください。SPI は、セカンダリ モードで動作し、コントローラに接続します。SPI 入力データ (SDI) ワードは、24 ビットのワード、1 つの読み取りまたは書き込みビット、パリティビット、6 ビットのアドレス、15 ビットのデータ (パリティビット付き) で構成されています。SPI 出力は、24 ビットワード、8 ビットのステータス情報 (STS レジスタ) と 16 ビットのレジスタ データで構成されています。

有効なフレームは次の条件を満たしていなければなりません。

- SCLK ピンは、nSCS ピンが High から Low、Low から High に遷移するときに Low になっている必要がある。
- nSCS ピンは、ワード間の 400ns 以上にわたって High にプルアップされている必要がある。
- nSCS ピンが High にされているときは、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンがハイ インピダンス状態になる。
- データは SCLK ピンの立ち下がりエッジでキャプチャされ、SCLK ピンの立ち上がりエッジで伝搬される。
- 最上位ビット (MSB) が最初にシフト イン / シフト アウトされる。
- トランザクションを有効にするには、24 SCLK サイクルすべてが発生しなければならない。
- SDI ピンに送信されるデータワードが 24 ビットより多い / 少ない場合は、フレーム エラーが発生してデータワードが無視される。
- 書き込みコマンドの場合、書き込み先レジスタ内の既存データは、8 ビットのステータス データに続いて SDO ピンでシフトアウトされる。

SPI レジスタは、パワーアップ時とスリープ モード時にデフォルト設定にリセットされます。

7.13.1.1 SPI フォーマット

SPI フォーマット - パリティ付き

SDI 入力データワードは 24 ビット長であり、以下のフォーマットで構成されています。

- 1 ビットの読み取りまたは書き込みビット、W (ビット B16)
- 6 アドレス ビット、A (ビット B22～B17)
- パリティビット、P (ビット B23)
- 15 データ ビット、1 パリティビット、D (ビット B15 ～ B0)

SDO 出力データワードは 24 ビット長です。最上位ビットはステータス ビット、最下位の 16 ビットはアクセス先のレジスタのデータ コンテンツです。

表 7-6. SPI の SDI 入力データ ワード フォーマット

PAR ITY	アドレス						RW	PAR ITY	データ															
	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
P	A5	A4	A3	A2	A1	A0	W0	P	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	

表 7-7. SDO 出力データ ワードのフォーマット

STATUS								データ															
B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
S7	S6	S5	S4	S3	S2	S1	S0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

SPI フレーム フォーマットで使用されるビットの詳細について以下をご覧ください。

読み出し/書き込みビット (R/W): R/W (W0) ビットが 0b にセットされている場合、これは SPI 書き込みトランザクションを示します。SPI 読み出し動作には、R/W ビットを 1b に設定する必要があります。

アドレス ビット (A): SPI セカンダリ デバイスは、6 ビットのレジスタ アドレスを受け取ります。

パリティ ビット (P): SPI 入力データ フレームのヘッダー フィールド とデータ フィールドの両方に、シングル ビット エラー 検出 のためのパリティ ビットが含まれています (表 7-6 を参照)。B23 はヘッダー フィールドのパリティ ビット、B15 はデータ フィールドのパリティ ビットです。使用されるパリティ方式は偶数パリティです。16 ビット (パリティ ビットを含む) のブロック内の数は偶数です。パリティ チェックが成功した場合にのみ、データは内部レジスタに書き込まれます。パリティ チェックは、SYS_CTRL レジスタの SPI_PEN ビットを構成することで、有効化または無効化できます。パリティ チェックはデフォルトで無効化されています。

注

パリティ チェックはデフォルトで無効化されていますが、シングル ビット エラーを防止するために、パリティ チェックを有効化することを TI は推奨しています。

8 レジスタ マップ

8.1 制御レジスタ

表 8-1 に、制御レジスタ用にメモリマップされたレジスタを示します。表 8-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-1. 制御レジスタ

オフセット	略称	レジスタ名	セクション
10h	フォルト モード レジスタ	フォルト モード レジスタ	セクション 8.1.1
11h	WATCH_DOG		セクション 8.1.2
13h	ドライバ フォルト制御レジスタ	ドライバ フォルト制御レジスタ	セクション 8.1.3
17h	フォルト クリア レジスタ	フォルト クリア レジスタ	セクション 8.1.4
22h	ブリドライバ制御レジスタ	ブリドライバ制御レジスタ	セクション 8.1.5
23h	CSA 制御レジスタ	CSA 制御レジスタ	セクション 8.1.6
3Fh	システム コントロール レジスタ	システム コントロール レジスタ	セクション 8.1.7

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-2. 制御アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
R-0	R-0	読み取り 0 を返す
書き込みタイプ		
W	W	書き込み
W1C	W1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.1.1 フォルト モード レジスタ (オフセット = 10h) [リセット = 6011h]

表 8-3 に、フォルト モード レジスタが示されています。

概略表に戻ります。

表 8-3. フォルト モード レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合 は予約済み
14	VREFEXT_FLT_MODE	R/W	1h	VREF 外部フォルト モード 0h = nFAULT ピンの VREF 外部 UVLO 通知は無効 1h = nFAULT ピンの VREF 外部 UVLO 通知は有効
13	ILIMFLT_MODE	R/W	1h	ILIMIT フォルト モード 0h = nFAULT ピンの ILIMIT 通知は無効化 1h = nFAULT ピンの ILIMIT 通知は有効化
12-11	予約済み	R/W	0h	予約済み
10	予約済み	R-0	0h	予約済み
9	OVP_MODE	R/W	0h	過電圧保護フォルト モード 0h = 過電圧保護は無効化 1h = 過電圧保護は有効化
8	予約済み	R-0	0h	予約済み
7	SPIFLT_MODE	R/W	0h	SPI フォルト モード 0h = nFAULT ピンの SPI 異常検出出力は無効化 1h = nFAULT ピンの SPI 異常検出出力は有効化
6	予約済み	R-0	0h	予約済み
5-4	OCP_MODE	R/W	1h	過電流保護フォルト モード 0h = 過電流によってラッチされたフォルトが発生する 1h = 過電流によって自動リトライフォルトが発生する 2h = 過電流によって通知のみが行われ、何の動作も行われない 3h = 過電流によっては通知も何の動作も行われない
3-1	予約済み	R-0	0h	予約済み
0	OTW_MODE	R/W	1h	過熱警告フォルト モード 0h = nFAULT 時の過熱通知を無効化 1h = nFAULT 時の過熱通知を有効化

8.1.2 WATCH_DOG レジスタ (オフセット = 11h) [リセット = 0000h]

表 8-4 に、WATCH_DOG を示します。

[概略表](#)に戻ります。

表 8-4. WATCH_DOG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-8	予約済み	R-0	0h	予約済み
7-0	WATCH_DOG_COUNT	R	0h	ウォッチドッグのカウント値

8.1.3 ドライバ フォルト制御レジスタ (オフセット = 13h) [リセット = 0010h]

表 8-5 に、ドライバ フォルト制御レジスタが示されています。

概略表に戻ります。

表 8-5. ドライバ フォルト制御レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14	予約済み	R-0	0h	予約済み
13-12	予約済み	R/W	0h	予約済み
11	予約済み	R-0	0h	予約済み
10	予約済み	R/W	0h	予約済み
9	予約済み	R/W	0h	予約済み
8	OVP_SEL	R/W	0h	過電圧レベル設定 0h = VM 過電圧レベルは 62.5V 1h = VM 過電圧レベルは 33V
7-6	予約済み	R-0	0h	予約済み
5-4	OCP_DEG	R/W	1h	OCP グリッチ除去時間 0h = OCP グリッチ除去時間は 0.6μs 1h = OCP グリッチ除去時間は 1.4μs 2h = OCP グリッチ除去時間は 1.8μs 3h = OCP グリッチ除去時間は 2μs
3	予約済み	R-0	0h	予約済み
2	OCP_TRETRY	R/W	0h	OCP リトライ時間 0h = 5ms 1h = 500ms
1	予約済み	R-0	0h	予約済み
0	OCP_LVL	R/W	0h	OCP レベル 0h = 20A 1h = 10A

8.1.4 フォルト クリア レジスタ (オフセット= 17h) [リセット= 0000h]

表 8-6 に、フォルト クリア・レジスタが示されています。

概略表に戻ります。

表 8-6. フォルト クリア レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合 は予約済み
14-1	予約済み	R-0	0h	予約済み
0	FLT_CLR	R-0/W1C	0h	ラッチされたフォルトをクリア 0h = クリア フォルト コマンド発行なし 1h = ラッチされたフォルト ビットをクリア書き込んだ後、このビットは自動的 にリセットされます。

8.1.5 プリドライバ制御レジスタ (オフセット = 22h) [リセット = 0080h]

表 8-7 に、プリドライバ制御レジスタが示されています。

概略表に戻ります。

表 8-7. プリドライバ制御レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14	DIS_ILIMIT	R/W	0h	ILIMIT の無効化 0h = ILIMIT を有効化 1h = ILIMIT を無効化
13-11	ILIMIT_SEL_CODE	R/W	0h	29 ピン、SPI デバイス $0.075(N+1)V_{ref}$ / ゲイン N の ILIMIT 選択コードは、10 進数の ILIMIT_SEL_CODE = 3'b111 の ILIMIT_SEL_CODE で、ILIMIT スレッショルドはありません。
10	予約済み	R-0	0h	
9-8	ILIM_BLANK_SEL	R/W	0h	電流制限ブランキング時間の選択 0h = スルーレートが 50 の場合は 5.6μs、その他のすべてのスルーレートの場合は 1.8μs 1h = スルーレートが 50 の場合は 6.0μs、その他のすべてのスルーレートの場合は 2.2μs 2h = スルーレートが 50 の場合は 6.6μs、その他のすべてのスルーレートの場合は 2.8μs 3h = スルーレートが 50 の場合は 7.6μs、その他のすべてのスルーレートの場合は 3.8μs
7-4	ADMAG_TMARGIN	R/W	8h	HiZ N * クロック サイクル周期 => N * 200ns と決定する前の待機時間
3	AD_COMP_TH_HS	R/W	0h	アクティブ消磁ハイサイド コンパレータのスレッショルド 0h = アクティブ消磁コンパレータ スレッショルドは 500mA 1h = アクティブ消磁コンパレータ スレッショルドは 600mA
2	AD_COMP_TH_LS	R/W	0h	アクティブ消磁ローサイド コンパレータのスレッショルド 0h = アクティブ消磁コンパレータ スレッショルドは 500mA 1h = アクティブ消磁コンパレータ スレッショルドは 600mA
1-0	SLEW_RATE	R/W	0h	スルーレートの設定 0h = スルーレートは 1100V/μs 1h = スルーレートは 500V/μs 2h = スルーレートは 250V/μs 3h = スルーレートは 50V/μs

8.1.6 CSA 制御レジスタ (オフセット = 23h) [リセット = 0000h]

表 8-8 に、CSA 制御レジスタが示されています。

概略表に戻ります。

表 8-8. CSA 制御レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-2	予約済み	R-0	0h	予約済み
1-0	CSA_GAIN	R/W	0h	CSA ゲイン設定 0h = CSA ゲインは 0.1V/A 1h = CSA ゲインは 0.2V/A 2h = CSA ゲインは 0.4V/A 3h = CSA ゲインは 0.8V/A

8.1.7 システム制御レジスタ (オフセット = 3Fh) [リセット = 0408h]

表 8-9 に、システム制御レジスタが示されています。

概略表に戻ります。

表 8-9. システム制御レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-12	WRITE_KEY	R-0/W	0h	0x5 このレジスタ固有のキーを書き込み
11	予約済み	R-0	0h	予約済み
10	SDO_ODEN	R/W	1h	オープンドレイン モードの SDO 0h = プッシュプル モードの SDO 1h = オープンドレイン モードの SDO
9-8	予約済み	R-0	0h	予約済み
7	REG_LOCK	R/W	0h	レジスタ ロック ビット 0h = レジスタはロック解除 1h = レジスタはロック済み
6	SPI_PEN	R/W	0h	SPI のパリティは有効化 0h = パリティは無効化 1h = パリティは有効化
5-4	予約済み	R/W	0h	予約済み
3	SDO_MD	R/W	1h	SDO 起動エッジ選択信号 0h = SCLK の Posedge で SDO を起動 1h = SCLK の Negedge で SDO を起動
2-0	予約済み	R-0	0h	予約済み

8.2 ステータス レジスタ

表 8-10 に、ステータス レジスタに対してメモリマップされたレジスタを示します。表 8-10 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-10. ステータス レジスタ

オフセット	略称	レジスタ名	セクション
0h	デバイス ステータス レジスタ	デバイス ステータス レジスタ	セクション 8.2.1
4h	過熱ステータス レジスタ	過熱ステータス レジスタ	セクション 8.2.2
5h	電源ステータス レジスタ	電源ステータス レジスタ	セクション 8.2.3
6h	ドライバ ステータス レジスタ	ドライバ ステータス レジスタ	セクション 8.2.4
7h	システム インターフェイス ステータス レジスタ	システム インターフェイス ステータス レジスタ	セクション 8.2.5

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-11 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-11. STATUS のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
R-0	R-0	読み取り 0 を返す
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.2.1 デバイス ステータス レジスタ (オフセット = 0h) [リセット = 0280h]

表 8-12 に、デバイス ステータス レジスタが示されています。

概略表に戻ります。

表 8-12. デバイス ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-11	予約済み	R-0	0h	予約済み
10	予約済み	R	0h	予約済み
9	DNRDY_STS	R	1h	デバイス「Not Ready」ステータス。パワーアップ完了後、自動的にクリアされます。 0h = デバイスの準備が完了 1h = デバイスの準備が未完了
8	SYSFLT	R	0h	OTP 読み取りフォルトが発生しました。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = OTP 読み取りフォルトは未検出 1h = OTP 読み取りフォルトを検出済み
7	リセット	R	1h	デバイスリセット ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = 読み出し後に FW によりクリア済み 1h = デバイスのパワーオン リセット完了
6	SPIFLT	R	0h	SPI のフォルト ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = SPI 障害は検出されていません 1h = SPI フォルトを検出済み
5	OCP	R	0h	過電流ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = 過電流条件は未検出 1h = 過電流条件を検出済み
4	VREFEXT_UV	R	0h	VREF EXT UVLO ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = VREF 外部 UVLO 条件は未検出 1h = VREF 外部 UVLO 条件を検出済み
3	OVP	R	0h	過電圧ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = 過電圧状態は未検出 1h = 過電圧状態を検出済み
2	UVP	R	0h	電源低電圧ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = CP での低電圧状態は未検出 1h = CP での低電圧状態を検出済み
1	OTF	R	0h	過熱フォルト ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = 過熱警告 / シャットダウンは未検出 1h = 過熱警告 / シャットダウンを検出済み

表 8-12. デバイス ステータス レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	フォルト	R	0h	デバイス RAW フォルト ステータス。 0h = フォルト状態は未検出 1h = フォルト状態を検出済み

8.2.2 過熱ステータス レジスタ (オフセット = 4h) [リセット = 0000h]

表 8-13 に、過熱ステータス レジスタが示されています。

概略表に戻ります。

表 8-13. 過熱ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合 は予約済み
14-2	予約済み	R-0	0h	予約済み
1	OTW	R	0h	過熱警告フォルト ステータス FLT_CLR への書き込みまたは nSLEEP の リセット パルスによってクリアできます 0h = 過熱警告は未検出 1h = 過熱警告を検出済み
0	OTSD	R	0h	過熱シャットダウン フォルト ステータス FLT_CLR への書き込みまたは nSLEEP のリセット パルスによってクリアできます 0h = 過熱シャットダウンは未検出 1h = 過熱シャットダウンを検出済み

8.2.3 電源ステータス レジスタ (オフセット = 5h) [リセット = 0000h]

表 8-14 に、電源ステータス レジスタが示されています。

概略表に戻ります。

表 8-14. 電源ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合 は予約済み
14-7	予約済み	R-0	0h	予約済み
6	VM_OV	R	0h	VM 過電圧フォルト ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチさ れたまま維持されます。 0h = VM 過電圧は未検出 1h = VM 過電圧を検出済み
5	VREFEXT_UV	R	0h	VREF EXT UVLO ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチさ れたまま維持されます。 0h = VREF 外部 UVLO 条件は未検出 1h = VREF 外部 UVLO 条件を検出済み
4	CP_UV	R	0h	チャージ ポンプ低電圧フォルト ステータス。FLT_CLR に書き込みされる まで、または nSLEEP のリセット パルスによってクリアされるまで、ステータ スはラッチされたまま維持されます。 0h = チャージ ポンプの低電圧は未検出 1h = チャージ ポンプの低電圧を検出済み
3-0	予約済み	R-0	0h	予約済み

8.2.4 ドライバ ステータス レジスタ (オフセット = 6h) [リセット = 0000h]

表 8-15 に、ドライバ ステータス レジスタが示されています。

概略表に戻ります。

表 8-15. ドライバ ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-13	予約済み	R-0	0h	予約済み
12	W_LS_GATE_LO	R	0h	W 相のローサイド ゲート信号ステータス 0h = W 相 LS FET はオン 1h = W 相 LS FET はオフ
11	V_LS_GATE_LO	R	0h	V 相のローサイド ゲート信号ステータス 0h = V 相 LS FET はオン 1h = V 相 LS FET はオフ
10	U_LS_GATE_LO	R	0h	U 相のローサイド ゲート信号ステータス 0h = U 相 LS FET はオン 1h = U 相 LS FET はオフ
9	W_HS_GATE_LO	R	0h	W 相のハイサイド ゲート信号ステータス 0h = W 相 HS FET はオン 1h = W 相 HS FET はオフ
8	V_HS_GATE_LO	R	0h	V 相のハイサイド ゲート信号ステータス 0h = V 相 HS FET はオン 1h = V 相 HS FET はオフ
7	U_HS_GATE_LO	R	0h	U 相のハイサイド ゲート信号ステータス 0h = U 相 HS FET はオン 1h = U 相 HS FET はオフ
6	OCPC_HS	R	0h	OUTC のハイサイド スwitchの過電流ステータス 0h = OUTC のハイサイド MOSFET の過電流は未検出 1h = OUTC のハイサイド MOSFET の過電流が検出済み
5	OCPB_HS	R	0h	OUTB のハイサイド スwitchの過電流ステータス 0h = OUTB のハイサイド MOSFET の過電流は未検出 1h = OUTB のハイサイド MOSFET の過電流が検出済み
4	OCPA_HS	R	0h	OUTA のハイサイド スwitchの過電流ステータス 0h = OUTA のハイサイド MOSFET の過電流は未検出 1h = OUTA のハイサイド MOSFET の過電流が検出済み
3	予約済み	R-0	0h	予約済み
2	OCPC_LS	R	0h	OUTC のローサイド スwitchの過電流ステータス 0h = OUTC のローサイド MOSFET の過電流は未検出 1h = OUTC のローサイド MOSFET の過電流が検出済み
1	OCPB_LS	R	0h	OUTB のローサイド スwitchの過電流ステータス 0h = OUTB のローサイド MOSFET の過電流は未検出 1h = OUTB のローサイド MOSFET の過電流が検出済み
0	OCPA_LS	R	0h	OUTA のローサイド スwitchの過電流ステータス 0h = OUTA のローサイド MOSFET の過電流は未検出 1h = OUTA のローサイド MOSFET の過電流が検出済み

8.2.5 システム インターフェイス ステータス レジスタ (オフセット = 7h) [リセット = 0000h]

表 8-16 に、システム インターフェイス ステータス レジスタが示されています。

概略表に戻ります。

表 8-16. システム インターフェイス ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-5	予約済み	R-0	0h	予約済み
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	SPI_PARITY	R	0h	SPI パリティ エラー 0h = SPI パリティ エラーは未検出 1h = SPI パリティ エラーを検出済み
1	予約済み	R-0	0h	予約済み
0	FRM_ERR	R	0h	SPI フレーム エラー 0h = SPI フレーム エラーは未検出 1h = SPI フレーム エラーを検出済み

9 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

DRV8378-Q1 は、ブラシレス DC モーターの駆動に使用できます。次の設計手順で DRV8378-Q1 を設定することが可能です。

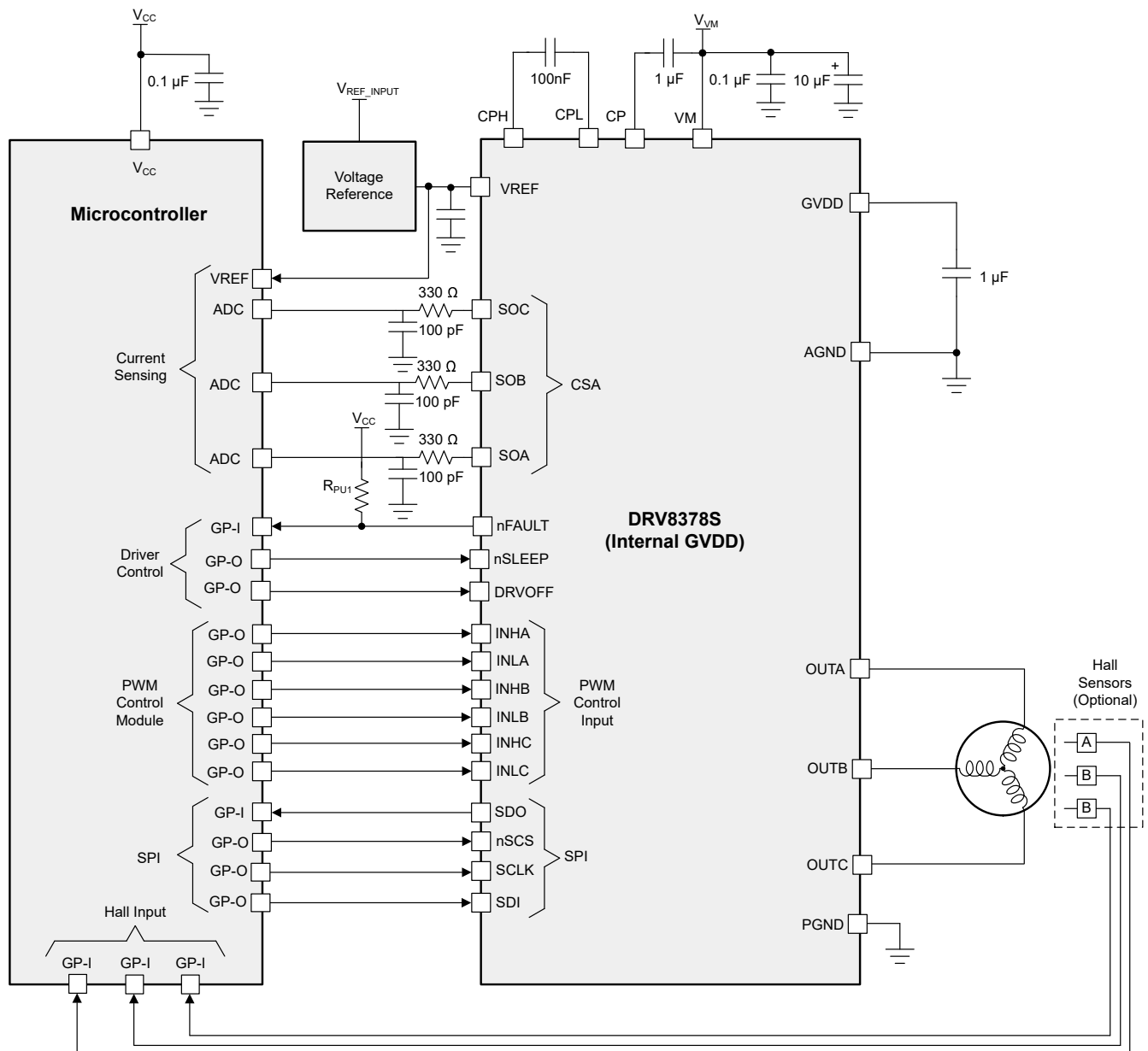


図 9-1. DRV8378 の主要アプリケーション回路図 (SPI バリエーション 29 ピン)

図 9-2. DRV8378 の主要アプリケーション回路図 (ハードウェア バリエーション 29 ピン)

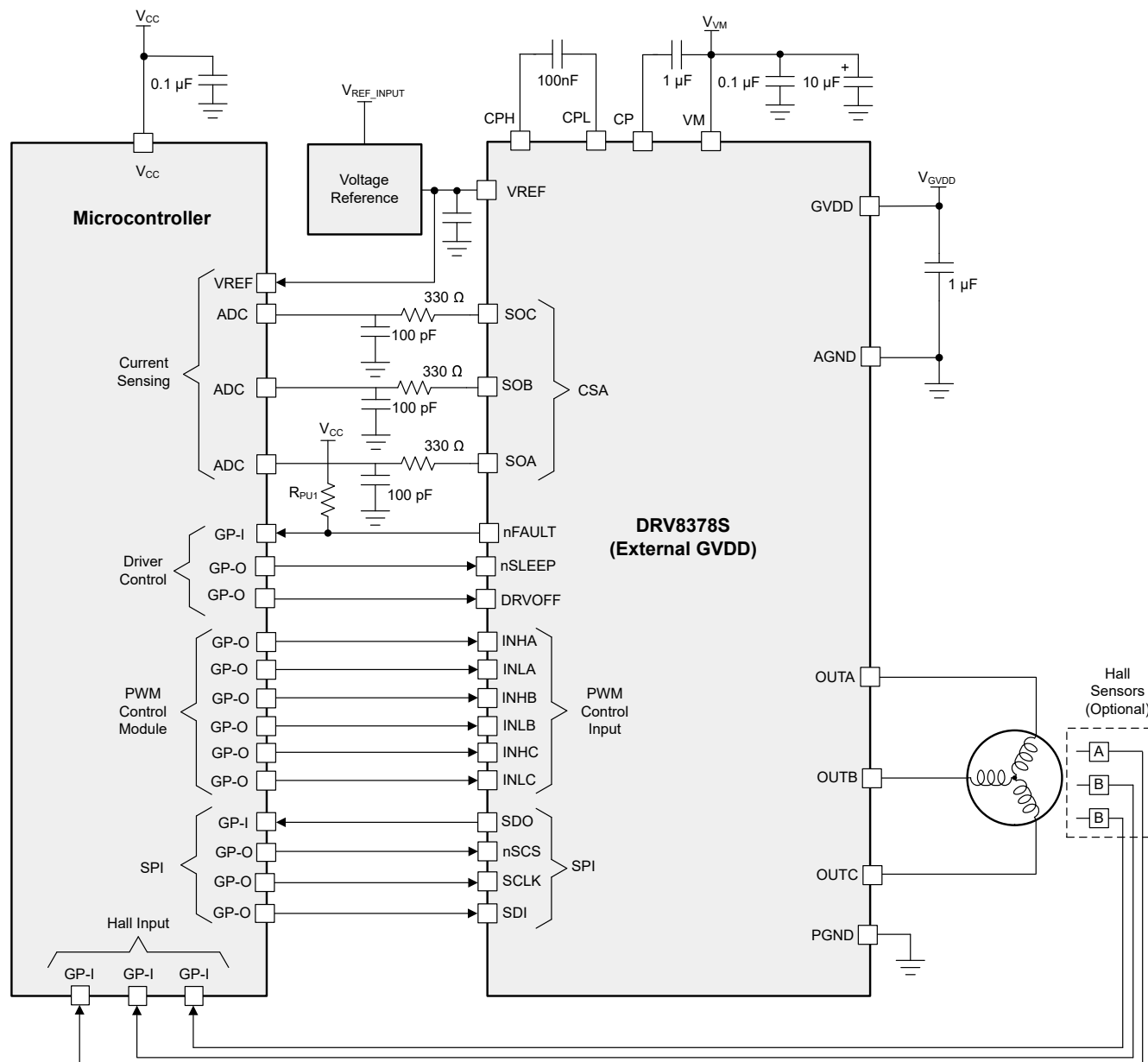


図 9-3. DRV8378G の主要アプリケーション回路図 (SPI バリエーション 29 ピン)

9.2 電源に関する推奨事項

9.2.1 バルク コンデンサ

適切なローカル バルク容量の確保は、モーター駆動システムの設計において重要な要素です。一般的に、バルク容量が大きいことはより有益ですが、コストと物理的なサイズが大きくなるというデメリットもあります。

必要なローカル容量は、次のようなさまざまな要因で決まります。

- ・ モーター システムが必要とする最大電流
- ・ 電源の容量と電流能力
- ・ 電源とモーター システムの間の寄生インダクタンスの大きさ
- ・ 許容される電圧リップル
- ・ 使用するモーターの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)

- モーターのブレーキ方式

電源とモーター駆動システム間のインダクタンスにより、電源からの電流の変化する速度が制限されます。ローカル バルク容量が小さすぎると、モーターに大電流を供給しようとする場合、または負荷ダンブが発生した場合、システムの電圧が変動します。十分なバルク容量を備えることで、モーターの電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨値が記載されていますが、バルク コンデンサの容量が適切かどうかを判断するには、システムレベルのテストが必要です。

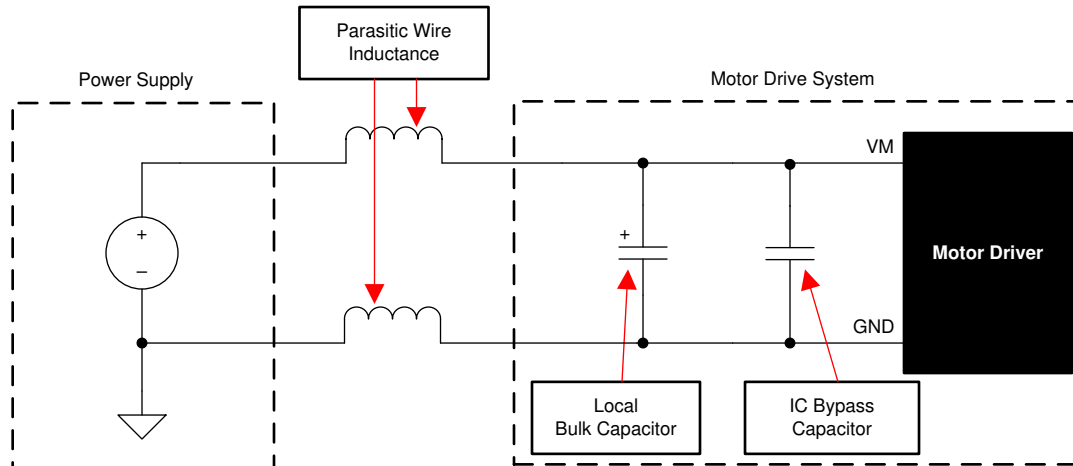


図 9-4. 外部電源を使用したモーター駆動システムの構成例

モータが電源にエネルギーを伝達する場合のマーヅンを確保するため、バルク コンデンサの定格電圧は動作電圧より高くする必要があります。

9.3 レイアウト

9.3.1 レイアウトのガイドライン

バルク コンデンサは、モータードライバ デバイスを通る大電流パスの距離ができるだけ短くなるように配置する必要があります。接続用の金属パターンはできる限り幅を広くし、PCB 層を接続する際には多数のビアを使用する必要があります。これらの手法により、インダクタンスが最小限に抑えられ、バルク コンデンサが大電流を供給できるようになります。チャージ ポンプ、GVDD、VREF コンデンサなどの値の小さいコンデンサはセラミックとし、デバイス ピンに近づけて配置する必要があります。大電流デバイス出力には、幅の広い金属パターンを使用する必要があります。

大きい過渡電流から小電流信号パスへのノイズ結合および EMI 干渉を低減するために、PGND と AGND のグラントは分割する必要があります。寄生効果を低減し、デバイスの消費電力を改善するために、電力段以外のすべての回路を AGND に接続することを推奨します。電圧オフセットを低減させ、ゲートドライバの性能を維持するため、各グラントは必ずネット タイまたは幅広の抵抗を使って接続します。熱効率を向上させるために、PGND パッド上にビアを配置し、デバイスの下にソリッド PGND プレーンを配置することを推奨します。複数のビアを使用して最下層の大きなグラント プレーンに接続する必要があります。大きい金属プレーンおよび複数のビアを使うと、本デバイス内で発生する $I^2 \times R_{DS(on)}$ の熱を放散するのに役立ちます。

放熱性を高めるため、サーマル パッド グラントに接続されたグラント領域を、PCB の全層にわたって最大化します。厚い銅のベタ パターンを使うと、接合部から外気への熱抵抗が下がり、ダイ表面からの放熱性が改善されます。

9.3.3 熱に関する検討事項

DRV8378-Q1 は、前述のようにサーマル シャットダウン機能 (TSD) を備えています。ダイ温度が 150°Cを超えると、ダイ温度が安全なレベルに低下するまで、本デバイスの機能は (最小限に) 無効化されます。

何度もサーマル シャットダウンが作動する場合、それは、消費電力が過大である、放熱が不十分である、周囲温度が高すぎる、のいずれかであることを示しています。

9.3.3.1 消費電力

DRV8378-Q1 の電力損失には、スタンバイ電力損失、LDO の電力損失、FET の導通損失とスイッチング損失、ダイオード損失が含まれます。FET の導通損失は、DRV8378-Q1 の合計消費電力の大部分を占めます。起動時およびフォルト条件では、出力電流が通常よりも大きくなるため、ピーク電流とその持続時間を考慮する必要があります。デバイスの合計消費電力は、互いに追加された 3 つのハーフブリッジのそれぞれで消費される電力です。本デバイスが消費して放散できる電力の最大値は、周囲温度とヒートシンクの影響を受けます。 $R_{DS(ON)}$ は温度とともに上昇するので、デバイスが発熱すると消費電力が増大することに注意してください。PCB とヒートシンクを設計する際には、この点を考慮に入れてください。

以下は、台形制御の各損失を計算するための式をまとめたものです。

表 9-1. 台形波制御とフィールド オリエンテッド コントロール (磁界方向制御) における DRV8378-Q1 の電力損失

損失の種類	矩形波	フィールド オリエンテッド コントロール (磁界方向制御/FOC)
静止電流による電力損失	$P_{standby} = V_M \times I_{VM_TA}$	
LDO	$P_{LDO} = (V_M - V_{GVDD}) \times I_{GVDD}$ $P_{LDO} = (V_M - V_{AVDD}) \times I_{AVDD}$	
FET の導通	$P_{CON} = 2 \times (I_{PK(trap)})^2 \times R_{ds,on(TA)}$	$P_{CON} = 3 \times (I_{RMS(FOC)})^2 \times R_{ds,on(TA)}$
FET のスイッチング	$P_{SW} = I_{PK(trap)} \times V_{PK(trap)} \times t_{rise/fall} \times f_{PWM}$	$P_{SW} = 3 \times I_{RMS(FOC)} \times V_{PK(FOC)} \times t_{rise/fall} \times f_{PWM}$
ダイオード	$P_{diode} = 2 \times I_{PK(trap)} \times V_{F(diode)} \times t_{DEADTIME} \times f_{PWM}$	$P_{diode} = 6 \times I_{RMS(FOC)} \times V_{F(diode)} \times t_{DEADTIME} \times f_{PWM}$

10 改訂履歴

Changes from Revision * (May 2026) to Revision A (June 2026)

Page

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントの改訂を伴わない場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

付録：パッケージ・オプション

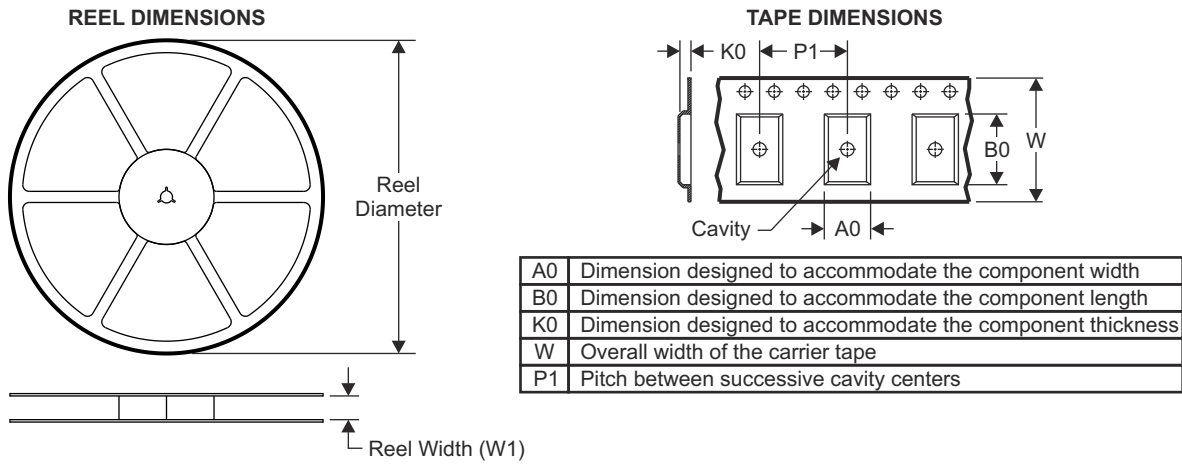
パッケージ情報

注文可能な型番	ステータス	資料の タイプ	パッケージ ピン数	パッケージ数量 キ ャリア	RoHS	リード端子の仕上げ / ボールの原材料	MSL 定格/ピークリフロ ー	動作温度 (°C)	部品マーキング
PDRV8378HVERR	プレビュー	量産開始前	VQFN-FCRLF (VER) 23	500 大口径のテー プリール	あり	NiPdAu	レベル-2-260C-UNLIM	-40～125 °C	PDRV8378H0R

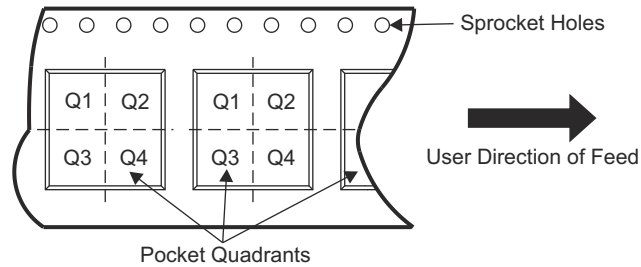
重要なお知らせと免責事項:このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じた TI の責任は、このドキュメント発行時点での TI 製品の価格に基づく TI からお客様への合計購入価格 (年次ベース) を超えることはありません。

11.1 テープおよびリール情報

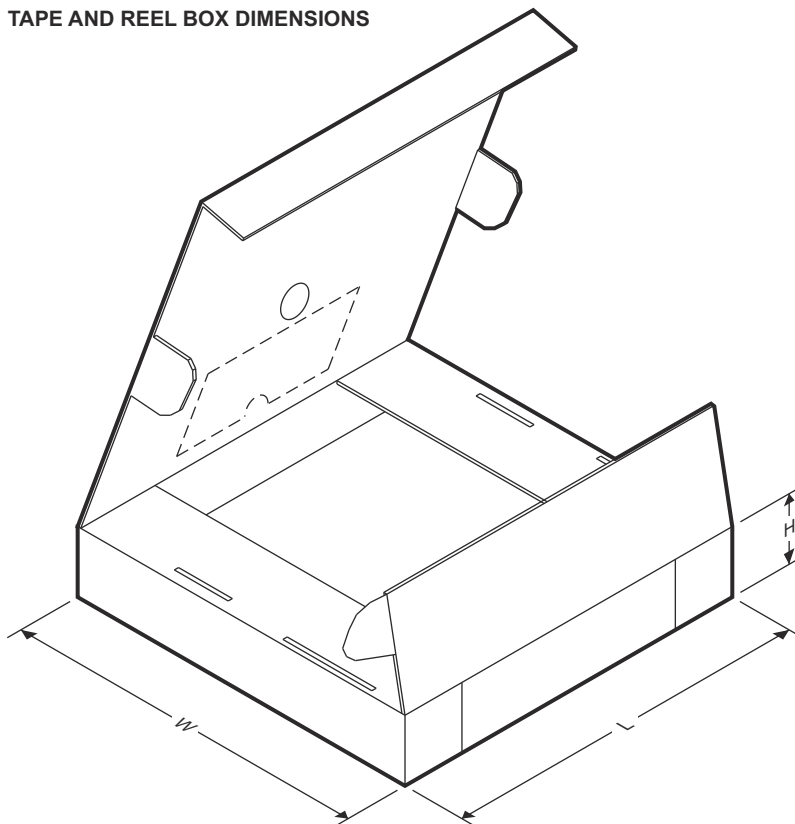


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
PDRV8378HVERR	VQFN- FCRLF	VER	23	3000	330	12.4	4.3	6.3	1.1	8.0	9.1	Q1

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
PDRV8378HVERR	VQFN-FCRLF	VER	23	3000	470.0	380.0	36.0

ADVANCE INFORMATION

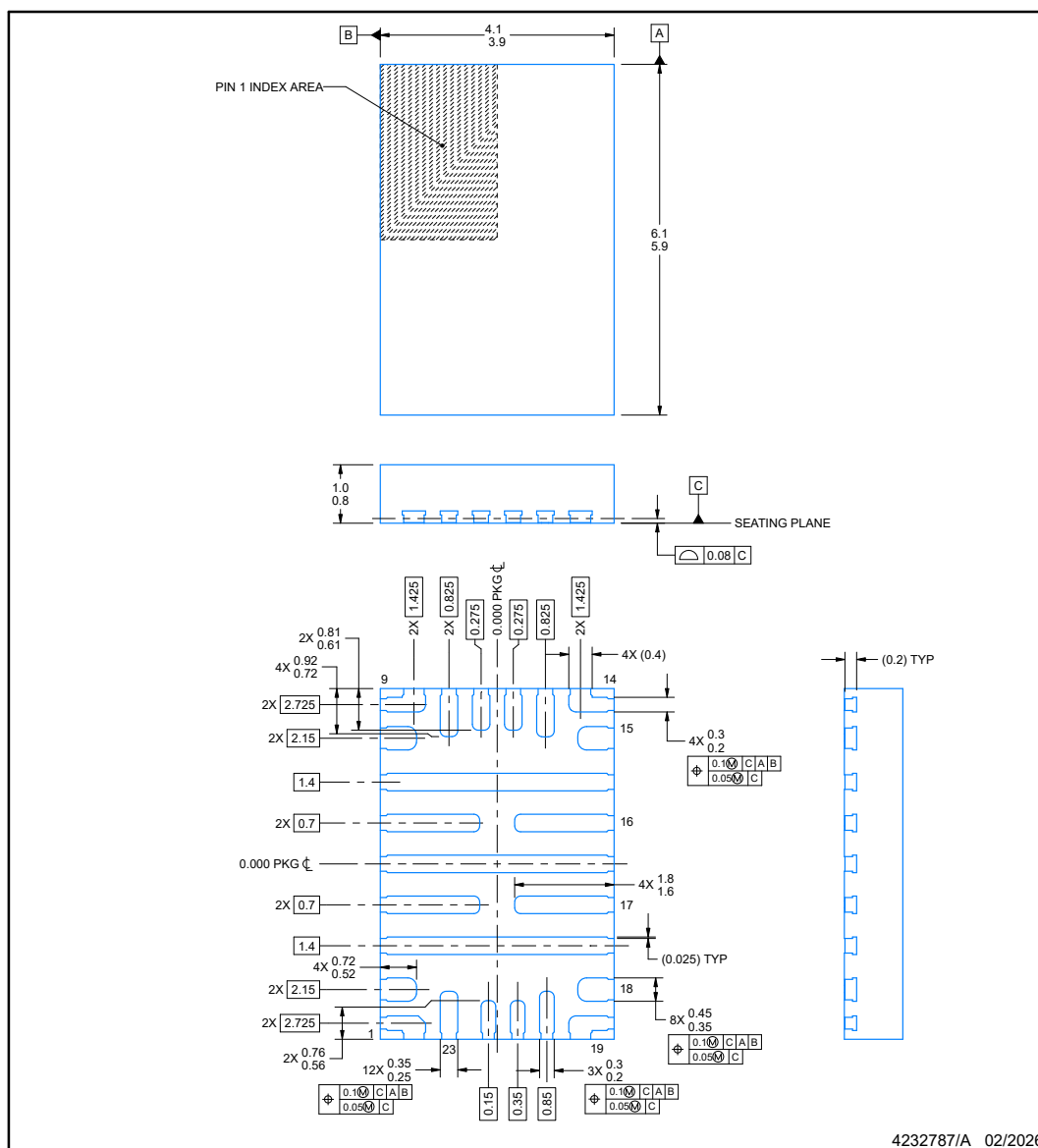


PACKAGE OUTLINE

VER0023B

VQFN-FCRLF - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

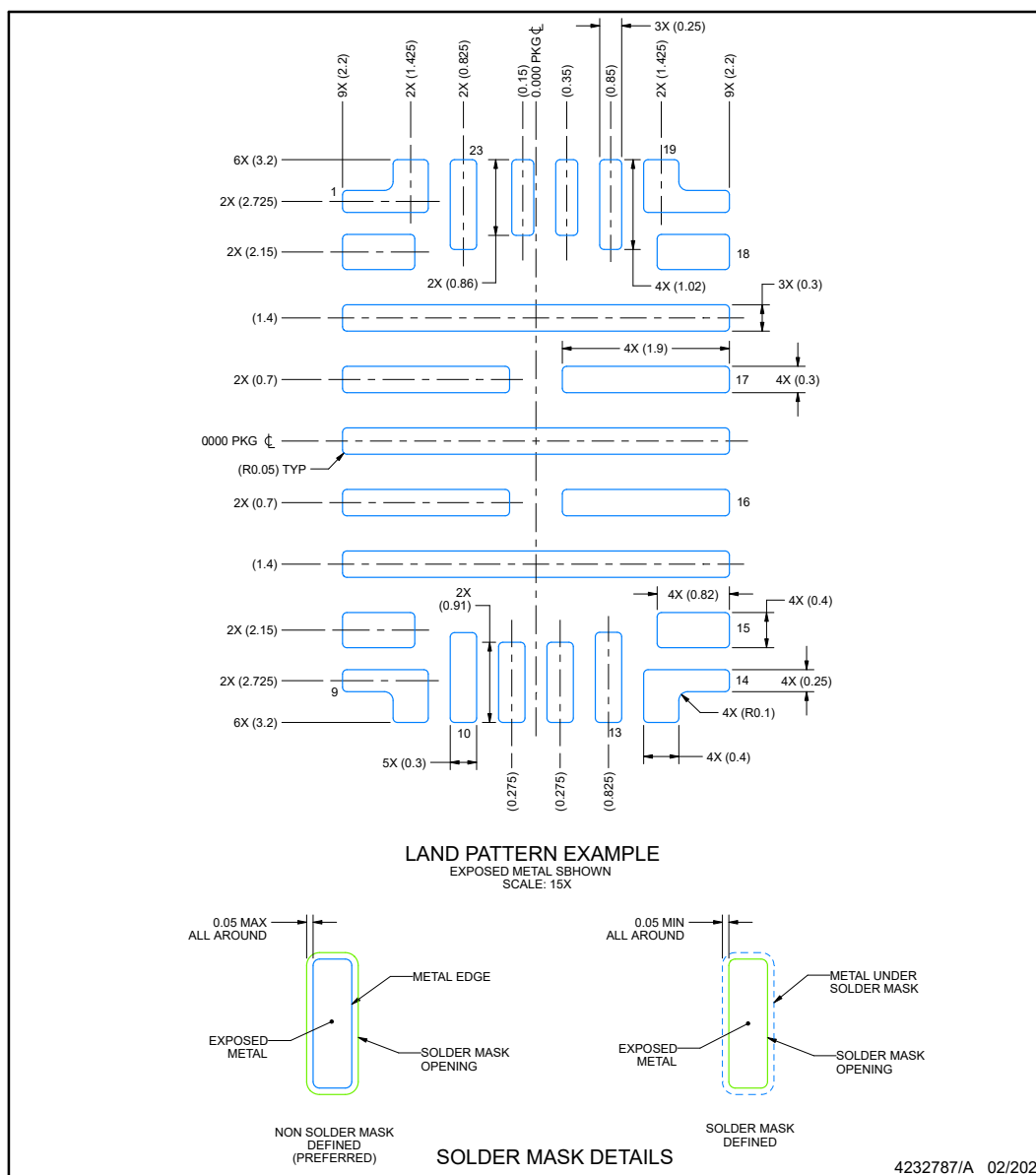
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

VER0023B

VQFN-FCRLF - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

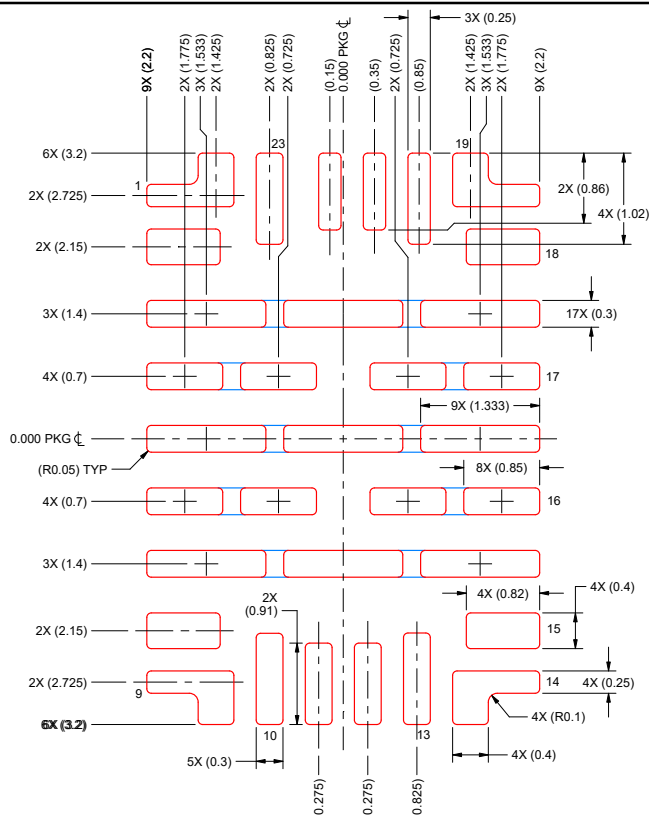
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

VER0023B

VQFN-FCRLF - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE

BASED ON 0.125 mm TICK STENCIL
SCALE: 15X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PADS 8, 10 & 12: 91%
PADS 9, 11, 21 & 22: 89%

4232787/A 02/2026

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PDRV8378SQVEORQ1	Active	Preproduction	VQFN-FCRLF (VEO) 29	3000 LARGE T&R	-	Call TI	Call TI	-	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF DRV8378-Q1 :

- Catalog : [DRV8378](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月