TEXAS INSTRUMENTS
DRV8410
JAJSMJ6C – NOVEMBER 2022 – REVISED MAY 2024

DRV8410 デュアル H ブリッジ・モータ・ドライバ、電流レギュレーション機能搭載

1 特長

- デュアル H ブリッジ モーター ドライバ、以下を駆動可能
  - 1 つのバイポーラ ステッパ モータ
  - 1 個または 2 個のブラシ付き DC モーター
  - ソレノイドやその他の誘導性負荷
- 低オン抵抗：HS + LS = 800mΩ (標準値、25℃)
- 広い電源電圧範囲
  - 1.65～11V
- 以下とピン互換
  - DRV8833：360mΩ/ブリッジ
  - DRV8833C：1735mΩ/ブリッジ
  - DRV8847：1000mΩ/ブリッジ
  - DRV8411：400mΩ/ブリッジ
  - DRV8411A：400mΩ/ブリッジ
- 高い出力電流能力：ピーク 2.5A
- PWM 制御インターフェイス
- 1.8V、3.3V、5V のロジック入力をサポート
- 電流レギュレーション機能を内蔵
- 低消費電力スリープ モード
  - V_{VM} = 5V、T_J = 25℃で 30nA 以下
- 小さなパッケージと占有面積
  - PowerPAD™ 付き 16 ピン HTSSOP、5.0×4.4mm
  - PowerPAD™ 付き 16 ピン WQFN、3.0×3.0mm
- 保護機能内蔵
  - VM 低電圧誤動作防止 (UVLO)
  - 自動リトライ過電流保護 (OCP)
  - サーマル シャットダウン (TSD)
  - フォルト表示ピン (nFAULT)

2 アプリケーション

- バッテリ駆動玩具
- POS プリンタ
- 防犯カメラ
- OA 機器
- ゲーム機
- ロボット
- 電子スマート・ロック
- 汎用ソレノイド負荷

3 概要

DRV8410 はデュアル H ブリッジ モータ ドライバで、1 つまたは 2 つの DC ブラシ モータ、1 つのステッピング モータ、ソレノイド、または他の誘導性負荷を駆動できます。3 段のチャージ ポンプを採用した結果、このデバイスは最小 1.65V で動作し、1.8V の電源レールとバッテリ電圧低下の状況に対応できます。チャージ ポンプにはすべてのコンデンサが内蔵されており、100% のデューティ サイクル動作が可能です。入力と出力を並列に接続することにより、半分の $R_{DS(on)}$ で大電流ブラシ DC モータを駆動できます。

このデバイスは、内部基準電圧と xISEN ピンの電圧の比較による電流レギュレーション機能を実装しています。xISEN ピンの電圧は、外付けのセンス抵抗を通るモータ電流に比例します。この電流制限機能は、モータの起動およびストール条件中の大電流を大幅に低減できます。

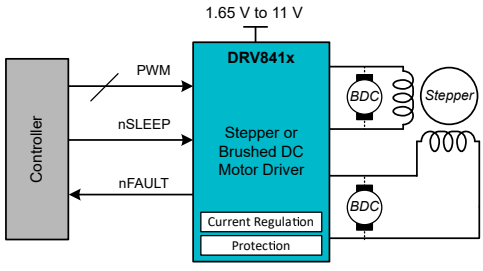
低消費電力スリープ モードは、内部回路の多くをシャットダウンすることで非常に小さい静止電流を実現します。このデバイスは、低電圧、過電流、過熱に対する内部保護機能備えています。

DRV8410 は、最小限の設計変更で各種の負荷に対応できるように、スケーラブルな $R_{DS(ON)}$ の選択肢を揃えたピン互換デバイス ファミリの製品です。このファミリのデバイスの詳細は、セクション 4 をご覧ください。弊社のポートフォリオ全体については、TI.com のブラシ付きモーター ドライバをご覧ください。

製品情報(1)

部品番号	パッケージ	パッケージ サイズ (公称) (2)
DRV8410	HTSSOP (16)	5.00mm × 6.40mm
	WQFN (16)	3.00mm × 3.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 デバイスの比較.....3
5 ピン構成および機能.....3
6 仕様.....5
6.1 絶対最大定格.....5
6.2 ESD 定格.....5
6.3 推奨動作条件.....5
6.4 熱に関する情報.....5
6.5 電気的特性.....6
6.6 タイミング図.....7
7 代表的特性.....8
8 詳細説明.....10
8.1 概要.....10
8.2 機能ブロック図.....10
8.3 外付け部品.....11
8.4 機能説明.....11
8.5 デバイスの機能モード.....16
8.6 ピン配置図.....17
9 アプリケーションと実装.....18
9.1 アプリケーション情報.....18
9.2 電源に関する推奨事項.....34
9.3 レイアウト.....35
10 デバイスおよびドキュメントのサポート.....37
10.1 ドキュメントのサポート.....37
10.2 ドキュメントの更新通知を受け取る方法.....37
10.3 コミュニティ・リソース.....37
10.4 商標.....37
11 改訂履歴.....37
12 メカニカル、パッケージ、および注文情報.....38

Copyright © 2024 Texas Instruments Incorporated

4 デバイスの比較

表 4-1. デバイス比較表

デバイス名	電源電圧 (V)	$R_{DS(on)}$ (mΩ)	過電流保護制限 (A)	電流レギュレーション	電流センスの帰還	直接ピン互換代替品	ピン互換代替品 (変更が必要)
DRV8410	1.65～11	800	2.5	外部シャント抵抗	外部アンプ	DRV8833、DRV8833C	DRV8847
DRV8411	1.65～11	400	4				
DRV8411A	1.65～11	400		内部電流ミラー (IPROPI)		該当なし	DRV8833、DRV8833C、DRV8847

5 ピン構成および機能

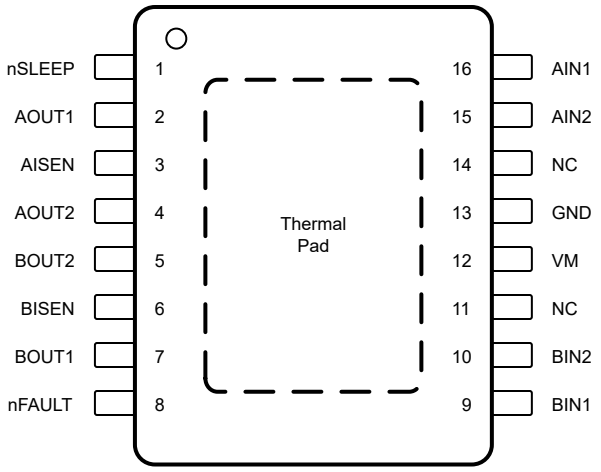


図 5-1. PWP または DYZ パッケージ 16 ピン HTSSOP 上面図

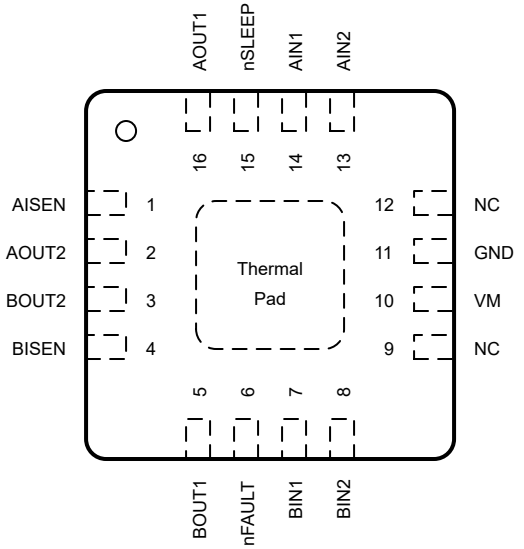


図 5-2. RTE パッケージ 16 ピン WQFN 上面図

表 5-1. ピン機能

ピン			タイプ (1)	説明
名称	RTE	PWP、DYZ		
AIN1	14	16	I	フルブリッジ A (AOUT1、AOUT2) の H ブリッジ制御入力。セクション 8.4.1 を参照。内部プルダウン抵抗。
AIN2	13	15	I	フルブリッジ A (AOUT1、AOUT2) の H ブリッジ制御入力。セクション 8.4.1 を参照。内部プルダウン抵抗。
AISEN	1	3	O	フルブリッジ A (AOUT1、AOUT2) センス。フルブリッジ A の電流センス抵抗に接続。電流レギュレーションが不要な場合は GND ピンに接続。セクション 8.4.2 を参照。
AOUT1	16	2	O	ブリッジ A の出力 1
AOUT2	2	4	O	ブリッジ A の出力 2
BIN1	7	9	I	フルブリッジ B (BOUT1、BOUT2) の H ブリッジ制御入力。セクション 8.4.1 を参照。内部プルダウン抵抗。
BIN2	8	10	I	フルブリッジ B (BOUT1、BOUT2) の H ブリッジ制御入力。セクション 8.4.1 を参照。内部プルダウン抵抗。
BISEN	4	6	O	フルブリッジ B (BOUT1、BOUT2) センス。フルブリッジ A の電流センス抵抗に接続。電流レギュレーションが不要な場合は GND ピンに接続。セクション 8.4.2 を参照。
BOUT1	5	7	O	ブリッジ B の出力 1

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン機能 (続き)

ピン			タイプ (1)	説明
名称	RTE	PWP、DYZ		
BOUT2	3	5	O	ブリッジ B の出力 2
GND	11	13	PWR	デバイスのグランド。システム・グランドに接続。
NC	9、12	11、14	—	未接続
nFAULT	6	8	OD	フォルト状態出力。フォルト条件の間は Low。オープン・ドレイン動作の場合は外付けプルアップ抵抗を接続。セクション 8.4.3 を参照。
nSLEEP	15	1	I	スリープ・モード入力。論理 High でデバイスはイネーブル。論理 Low で低消費電力スリープ・モードに移行。セクション 8.5.2 を参照。内部プルダウン抵抗。
PAD	—	—	—	サーマル・パッド。システム・グランドに接続。
VM	10	12	PWR	1.65V～11V 電源入力。VM 定格の 0.1µF バイパス・コンデンサと十分なバルク容量をグランドとの間に接続。

(1) PWR = 電源、I = 入力、O = 出力、NC = 接続なし、OD = オープン・ドレイン

Copyright © 2024 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電源ピン電圧	VM	-0.5	12	V
電源過渡電圧ランプ	VM	0	2	V/µs
電流センス・ピンの電圧	AISEN、BISEN	-0.6	0.6	V
ロジック・ピン電圧	nSLEEP、AIN1、AIN2、BIN1、BIN2	-0.3	5.75	V
オープン・ドレイン出力ピン電圧	nFAULT	0.3	5.75	V
出力ピン電圧	AOUT1、AOUT2、BOUT1、BOUT2	$-V_{SD}$	$V_{VM} + V_{SD}$	V
出力電流	AOUT1、AOUT2、BOUT1、BOUT2	内部的に制限	内部的に制限	A
周囲温度、T_A		-40	125	℃
接合部温度、T_J		-40	150	℃
保存温度、T_{stg}		-65	150	℃

(1) 「絶対最大定格」に示された値を上回るストレスがかかった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 (2)	±500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 制御プロセスで安全な製造が可能であると記載されています。±2000V と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 制御プロセスで安全な製造が可能であると記載されています。±500V と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。

6.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{VM}	電源電圧	VM	1.65		11	V
V_{IN}	論理入力電圧	nSLEEP、AIN1、AIN2、BIN1、BIN2	0		5.5	V
f_{PWM}	PWM 周波数	AIN1、AIN2、BIN1、BIN2	0		100	kHz
V_{OD}	オープン・ドレイン・プルアップ電圧	nFAULT	0		5.5	V
I_{OD}	オープン・ドレイン出力電流	nFAULT	0		5	mA
I_{OUT} (1)	ピーク出力電流	OUTx	0		$I_{OCP,min}$	A
T_A	動作時周囲温度		-40		125	℃
T_J	動作時接合部温度		-40		150	℃

(1) 消費電力および温度の制限に従う必要があります。

6.4 熱に関する情報

熱評価基準 (1)		デバイス PWP (HTSSOP) ピン数	デバイス RTE (WQFN) ピン数	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	48.3	55	℃/W

Copyright © 2024 Texas Instruments Incorporated

熱評価基準 (1)		デバイス PWP (HTSSOP) ピン数	デバイス RTE (WQFN) ピン数	単位
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	47.8	56.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	23.3	28.8	°C/W
Ψ_{JT}	接合部から上面への特性評価パラメータ	3.7	2.7	°C/W
Ψ_{JB}	接合部から基板への特性評価パラメータ	23.3	28.7	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	7.5	15.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

6.5 電気的特性

1.65V ≤ V_{VM} ≤ 11V、–40°C ≤ T_J ≤ 150°C (特に記述のない限り)。標準値は T_J = 27°C、V_{VM} = 5V の場合

パラメータ		テスト条件	最小値	代表値	最大値	単位
電源 (VM)						
I_{VMQ}	VM スリープ・モード電流	nSLEEP = 0V、V_{VM} = 5V、T_J = 27°C		4	30	nA
I_{VM}	VM アクティブ・モード電流	xIN1 = 3.3V、xIN2 = 0V、V_{VM} = 5V		1.3	2.5	mA
t_{WAKE}	ターンオン時間	スリープ・モードからアクティブ・モードまでの遅延			100	µs
t_{SLEEP}	ターンオフ時間	アクティブ・モードからスリープ・モードまでの遅延時間		5		µs
ロジック・レベル入力 (nSLEEP、AIN1、AIN2、BIN1、BIN2)						
V_{IL}	入力ロジック Low 電圧		0		0.4	V
V_{IH}	入力ロジック High 電圧		1.45		5.5	V
V_{HYS_nSLEEP}	nSLEEP 入力ヒステリシス		100			mV
V_{HYS_logic}	ロジック入力ヒステリシス (nSLEEP を除く)		50			mV
I_{IL}	入力ロジック Low 電流	V_{xINx} = 0V	-1		1	µA
$I_{IH,nSLEEP}$	入力論理 High 電流	V_{nSLEEP} = 5V			14	µA
I_{IH}	入力論理 High 電流	V_{xINx} = 5V	20		70	µA
$R_{PD,nSLEEP}$	入力プルダウン抵抗			500		kΩ
R_{PD}	入力プルダウン抵抗			100		kΩ
$t_{DEGLITCH}$	入力ロジックのグリッチ除去			50		ns
オープン・ドレイン出力 (nFAULT)						
V_{OL}	出力論理 Low 電圧	I_{OD} = 5mA			0.3	V
I_{OZ}	出力論理 High 電流	V_{OD} = 5V	-1		1	µA
ドライバ出力 (AOUT1、AOUT2、BOUT1、BOUT2)						
$R_{HS_DS(ON)}$	ハイサイド MOSFET オン抵抗	I_{OUTx} = 0.2A		400		mΩ
$R_{LS_DS(ON)}$	ローサイド MOSFET オン抵抗	I_{OUTx} = -0.2A		400		mΩ
V_{SD}	ボディ・ダイオード順方向電圧	I_{OUTx} = -0.5A		1		V
t_{RISE}	出力立ち上がり時間	V_{OUTx} の V_{VM} の 10% から 90% までの立ち上がり、V_{VM} = 5V		100		ns
t_{FALL}	出力立ち下がり時間	V_{OUTx} の V_{VM} の 90% から 10% までの立ち下がり、V_{VM} = 5V		50		ns
t_{PD}	入力から出力までの伝搬遅延	入力が 0.8V から V_{OUTx} = 0.1 × V_{VM} と交差、I_{OUTx} = 1A		600		ns
t_{DEAD}	出力デッドタイム			400		ns
電流レギュレーション (AISEN、BISEN)						

Copyright © 2024 Texas Instruments Incorporated

1.65V ≤ V_{VM} ≤ 11V、–40℃ ≤ T_J ≤ 150℃ (特に記述のない限り)。標準値は T_J = 27℃、V_{VM} = 5V の場合

パラメータ		テスト条件	最小値	代表値	最大値	単位
V_{TRIP}	xISEN トリップ電圧		180	200	230	mV
t_{OFF}	電流レギュレーション・オフ時間			20		µs
t_{BLANK}	電流レギュレーション・ブランキング時間			1.8		µs
t_{DEG}	電流レギュレーション・グリッチ除去時間			1		µs
保護回路						
V_{UVLO}	電源低電圧誤動作防止 (UVLO)	電源立ち上がり			1.6	V
		電源立ち下がり	1.3			V
V_{UVLO_HYS}	電源 UVLO ヒステリシス	立ち上がりから立ち下がりへのスレッショルド		100		mV
t_{UVLO}	電源低電圧グリッチ除去時間	V_{VM} 立ち下がりから OUTx ディセーブルまで		10		µs
I_{OCP}	過電流保護トリップ・ポイント		2.5			A
V_{OCP_ISEN}	ISEN ピンの過電流保護トリップ・ポイント			0.6		V
t_{OCP}	過電流保護グリッチ除去時間			4.2		µs
t_{RETRY}	過電流保護リトライ時間			1.6		ms
T_{TSD}	サーマル・シャットダウン温度		153		193	℃
T_{HYS}	サーマル・シャットダウン・ヒステリシス			18		℃

6.6 タイミング図

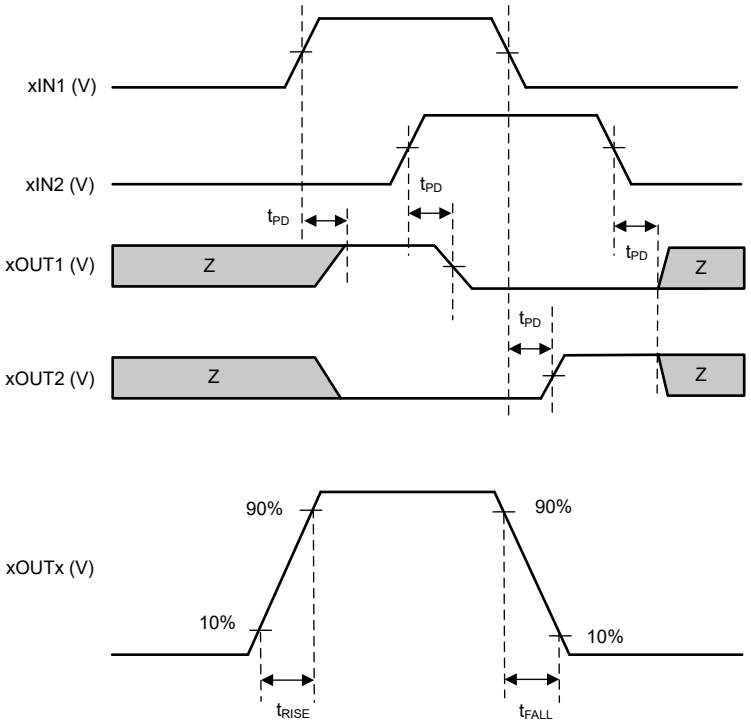


図 6-1. 入力と出力のタイミング

7 代表的特性

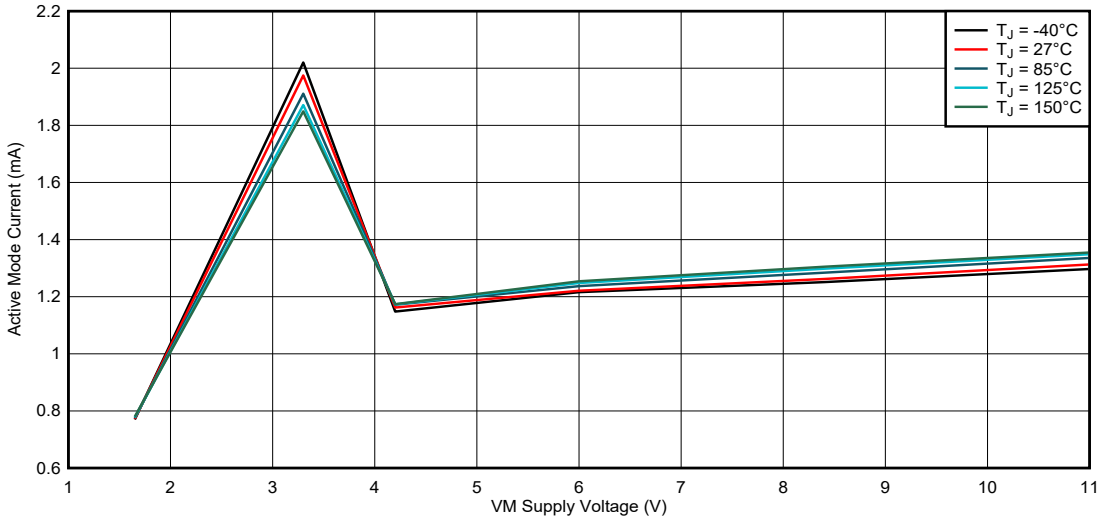


図 7-1. アクティブ・モード電流

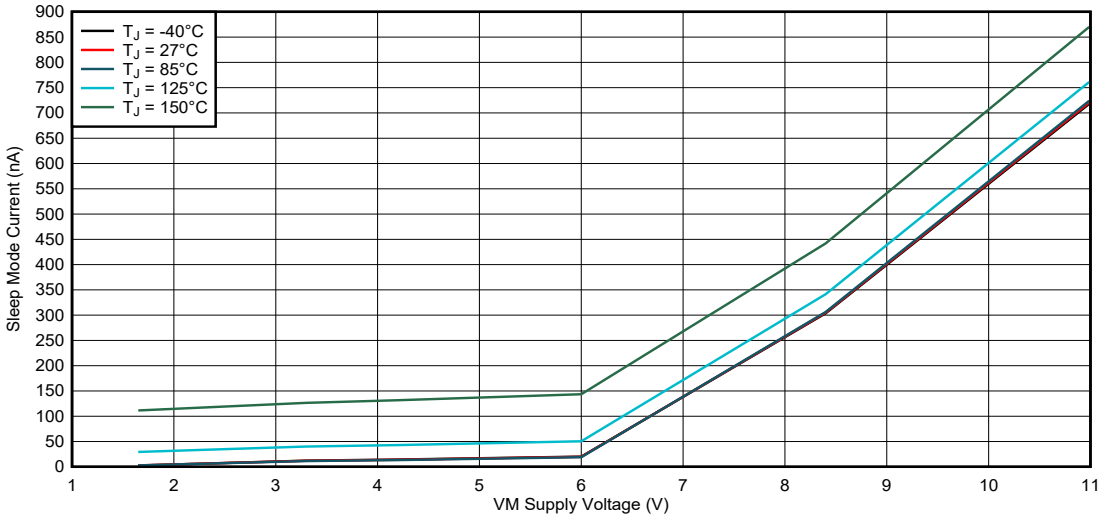


図 7-2. スリープ・モード電流

Copyright © 2024 Texas Instruments Incorporated

7 代表的特性 (続き)

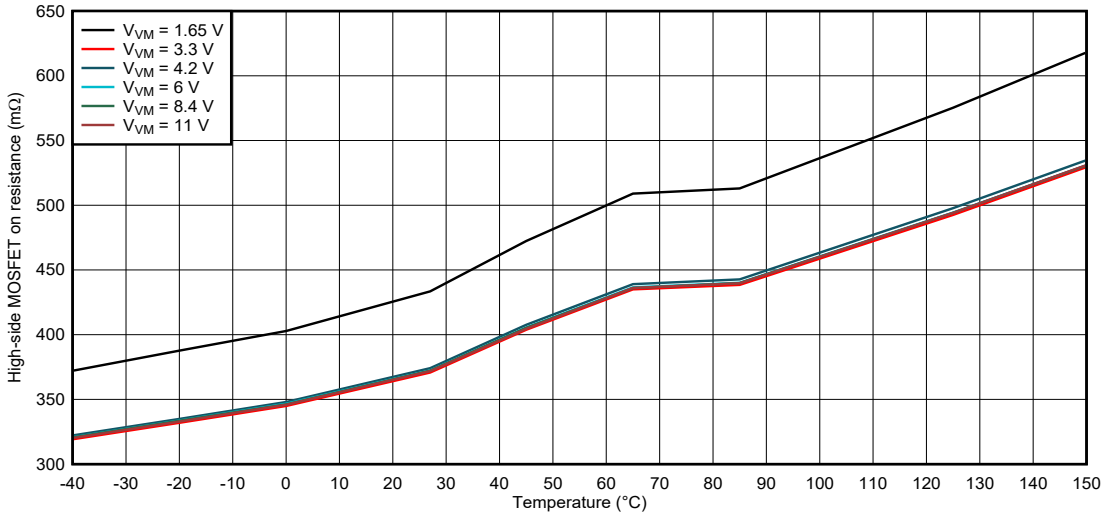


図 7-3. ハイサイド MOSFET オン抵抗

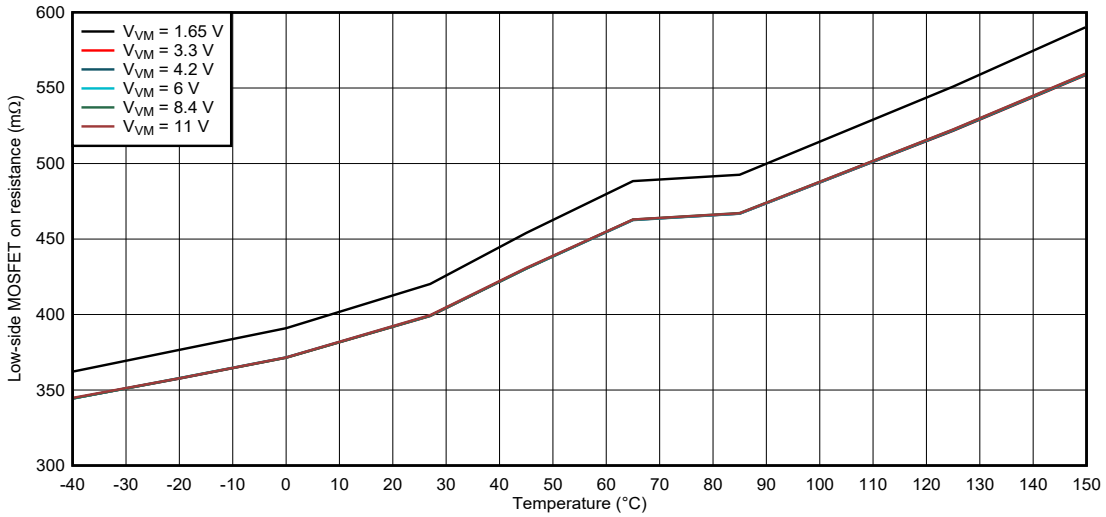


図 7-4. ローサイド MOSFET オン抵抗

Copyright © 2024 Texas Instruments Incorporated

8 詳細説明

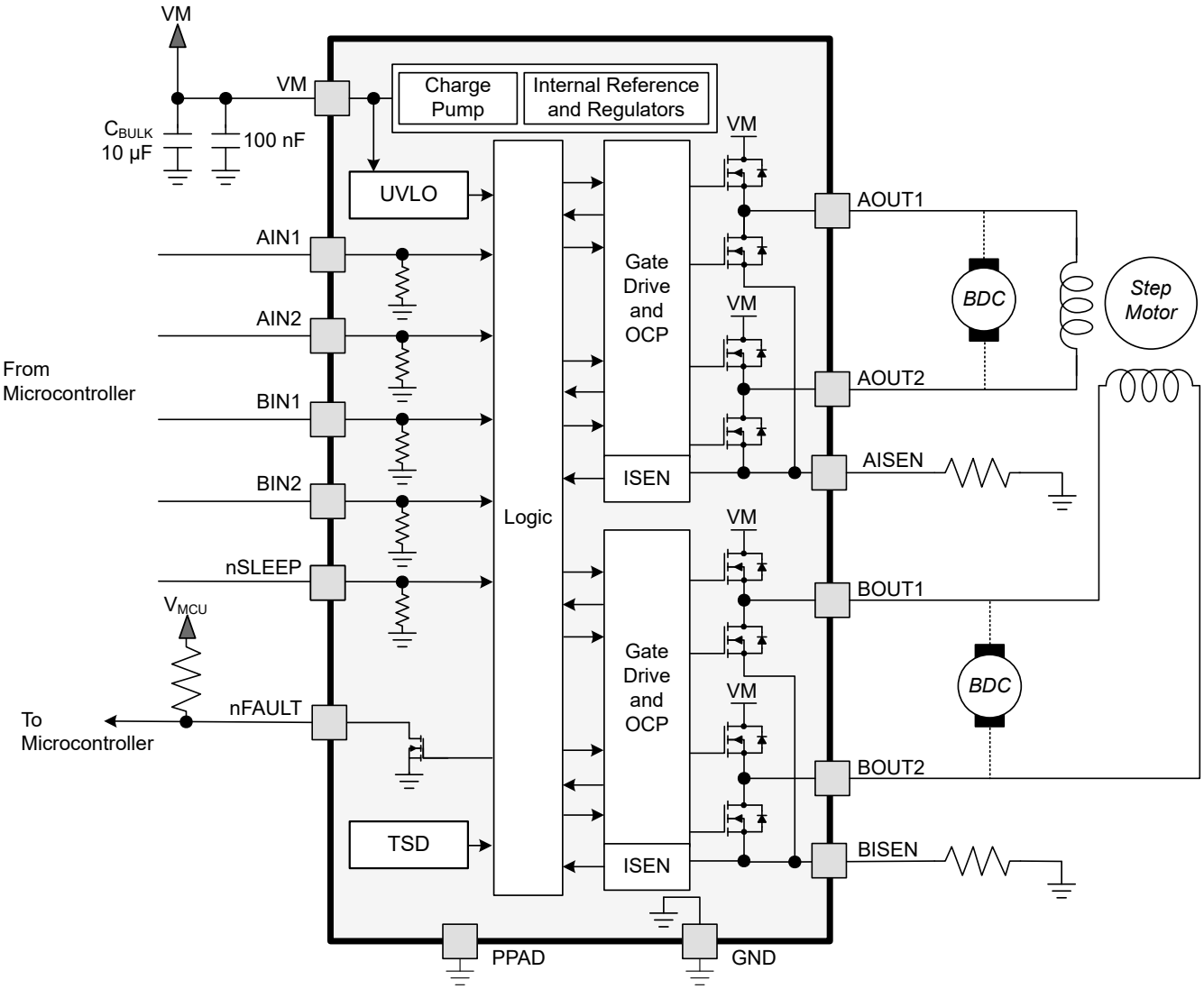
8.1 概要

DRV8410 は、2 つのブラシ付き DC モータまたは 1 つのステッピング モータを 1.65V～11V の電源レールから駆動するためのデュアル H ブリッジ モータ ドライバです。内蔵の電流レギュレーション機能により、xISEN 抵抗に基づいて、モータ電流が事前定義された最大値に制限されます。

2 つのロジック入力が各 H ブリッジを制御します。H ブリッジは、4 つの N チャネル MOSFET で構成され、$R_{DS(ON)}$ の代表値は 800mΩ です (1 つのハイサイド FET と 1 つのローサイド FET を含む)。単一電源入力 VM は、デバイス電源とモータ巻線バイアス電圧の両方として使用されます。デバイスの内蔵チャージ ポンプにより VM が内部的に昇圧され、ハイサイド FET が完全に強化されます。パルス幅変調により、0～100kHz の周波数でモータ速度を制御できます。nSLEEP ピンを Low にすると、デバイスは低消費電力のスリープ モードに移行します。

システムに異常状態が発生した場合、内蔵する各種保護機能がデバイスを保護します。主な保護機能は、低電圧誤動作防止 (UVLO)、過電流保護 (OCP)、過熱シャットダウン (TSD) です。

8.2 機能ブロック図



Copyright © 2024 Texas Instruments Incorporated

8.3 外付け部品

表 8-1 に、ドライバの外付け部品の推奨値を示します。

表 8-1. DRV8410 の外付け部品

部品	ピン 1	ピン 2	推奨事項
C_{VM1}	VM	GND	VM 定格コンデンサ、最小 10µF
C_{VM2}	VM	GND	0.1µF、VM 定格セラミック・コンデンサ
R_{nFAULT}	VEXT(1)	nFAULT	プルアップ抵抗、I_{OD} ≤ 5mA
R_{AISEN}	AISEN	GND	センス抵抗、サイズについてはセクション 8.4.2 を参照
R_{BISEN}	BISEN	GND	センス抵抗、サイズについてはセクション 8.4.2 を参照

(1) VEXT は DRV8410 のピンではありませんが、オープン・ドレイン出力 nFAULT には VEXT 外部電源電圧のプルアップ抵抗が必要です。

8.4 機能説明

8.4.1 ブリッジの制御

DRV8410 には、同一の H ブリッジ・モータ・ドライバが 2 つ搭載されています。入力ピン AINx と BINx は、それぞれ対応する出力 AOUTx と BOUTx を制御します。表 8-2 に、入力による H ブリッジ出力の制御方法を示します。

表 8-2. H ブリッジ制御

nSLEEP	xIN1	xIN2	xOUT1	xOUT2	説明
0	X	X	ハイ・インピーダンス	ハイ・インピーダンス	低消費電力スリープ・モード
1	0	0	ハイ・インピーダンス	ハイ・インピーダンス	コースト / ファースト・ディケイ、H ブリッジはディセーブル (ハイ・インピーダンス)
1	0	1	L	H	逆方向 (電流 OUT2 → OUT1)
1	1	0	H	L	順方向 (電流 OUT1 → OUT2)
1	1	1	L	L	ブレーキ、ローサイド・スロー・ディケイ

入力は、100% のデューティ・サイクル駆動用に定電圧に設定するか、可変モータ速度用にパルス幅変調 (PWM) に設定できます。PWM を使用する場合、通常は駆動 (順方向または逆方向) 状態とスロー・ディケイ状態を切り替えるのが最適です。たとえば、最大 RPM の 50% でモータを順方向に駆動するには、駆動中 (PWM がオンの時間) は IN1 = 1、IN2 = 0 にし、PWM がオフの時間中は IN1 = 1、IN2 = 1 にします。

または、高速電流減衰用にコースト・モード (IN1 = 0、IN2 = 0) も使用できます。高速減衰を使用する PWM では、以下に示すように、PWM 信号を 1 つの xIN ピンに印加し、もう 1 つの xIN ピンを Low に保持します。

表 8-3. モータ速度の PWM 制御

xIN1	xIN2	説明
PWM	0	順方向 PWM、ファースト・ディケイ
1	PWM	順方向 PWM、スロー・ディケイ
0	PWM	逆方向 PWM、ファースト・ディケイ
PWM	1	逆方向 PWM、スロー・ディケイ

図 8-1 に、H ブリッジを流れるモータ電流を示します。VM を印加する前に、入力ピンに電力を供給しても問題ありません。

Copyright © 2024 Texas Instruments Incorporated

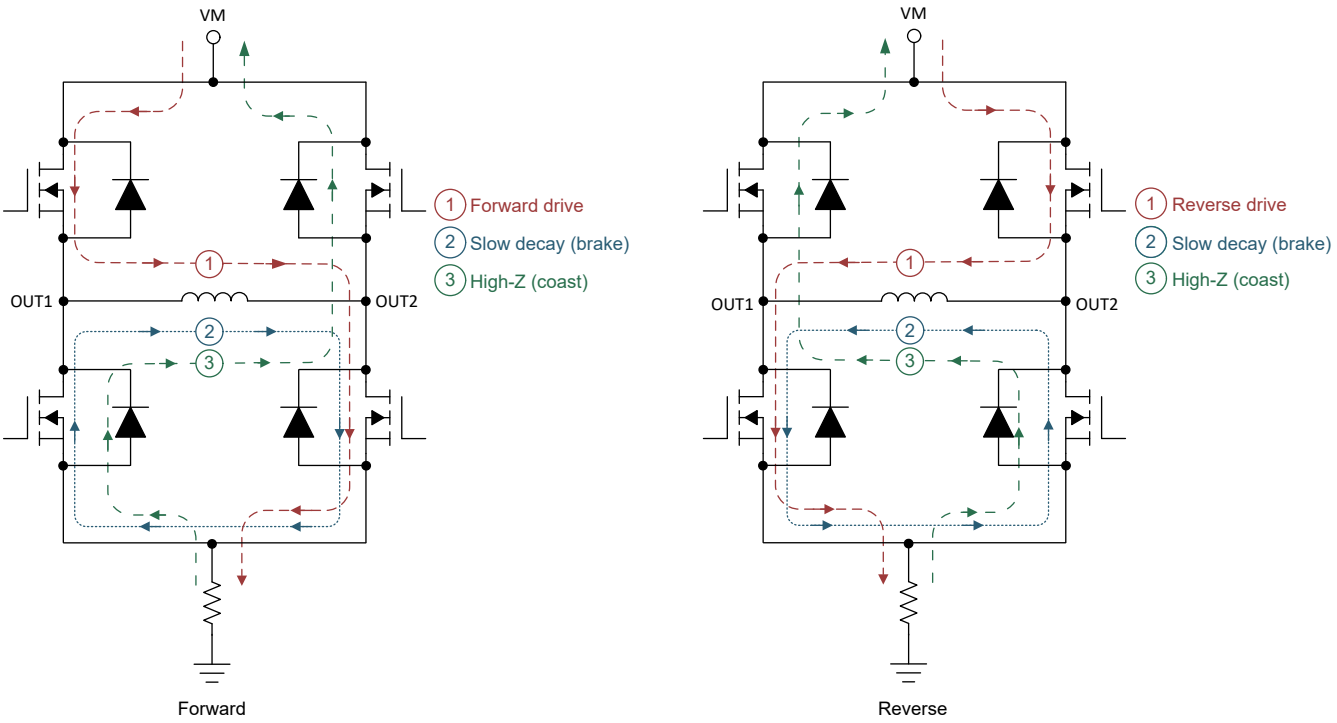


図 8-1. H ブリッジの電流パス

出力が High から Low、または Low から High に変化すると、貫通電流を防止するためにデッドタイムが自動的に挿入されます。t_{DEAD} 時間はその間の時間で、出力はハイ・インピーダンスになります。t_{DEAD} 中に出力ピンを測定すると、電圧は電流の方向によります。電流がピンから出ている場合、電圧はグラウンドよりダイオード降下分低い値になります。電流がピンに入力される場合、電圧は VM よりダイオード降下分高い値になります。このダイオードは、ハイサイドまたはローサイド FET のボディ・ダイオードです。

伝搬遅延時間 (t_{PD}) は入力エッジから出力が変化するまでの時間として測定されます。この時間には、入力グリッチ除去時間とその他の内部ロジック伝搬遅延が含まれます。入力グリッチ除去時間は、入力ピンのノイズが出力状態に影響することを防止します。追加の出力スルー遅延タイミングには、FET のオン / オフ時間 (t_{RISE} および t_{FALL}) が含まれます。

図 8-2 に、モータ・ドライバの入力と出力のタイミングを示します。

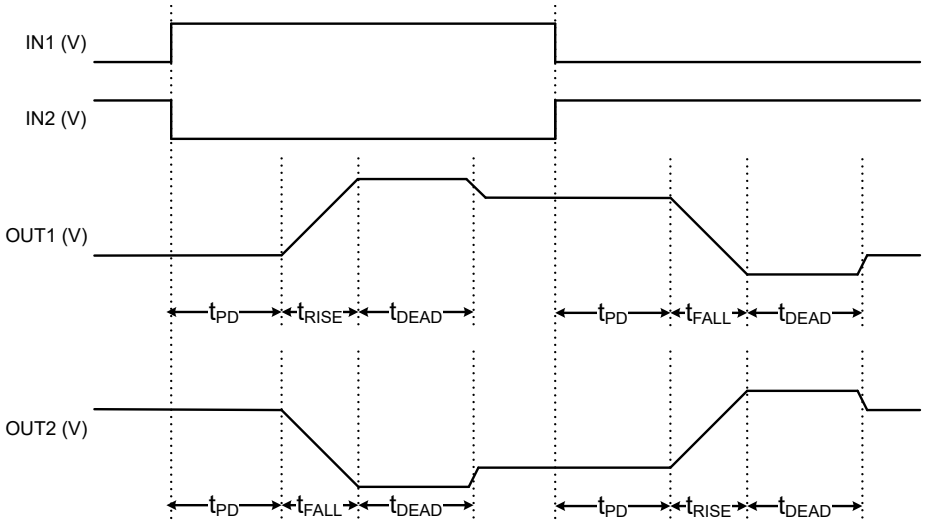


図 8-2. H ブリッジのタイミング図

Copyright © 2024 Texas Instruments Incorporated

8.4.1.1 並列ブリッジ インターフェイス

並列ブリッジ インターフェイスでは、DRV8410 デバイスは、ドライバ出力を並列に接続して $R_{DS(ON)}$ を 1/2 に下げることにより、より大電流のブラシ付き DC (BDC) モータを駆動するように構成されます。図 8-3 に、デバイスのピンを接続する方法の例を示します。並列ブリッジ インターフェイス動作を使用するには、AIN1 と BIN1 を同じ制御信号 IN1 に接続し、AIN2 と BIN2 を同じ制御信号 IN2 に接続します。同様に、AOUT1 と BOUT1 を同じ出力ノード OUT1 に接続し、AOUT2 と BOUT2 を同じ出力ノード OUT2 に接続します。AISEN と BISEN は同じグランド プレーンに接続する必要があります。

注

並列モードで電流レギュレーションを使用しないでください。電流レギュレーションを無効にするには、AISEN と BISEN をグランド プレーンに直接接続する必要があります。

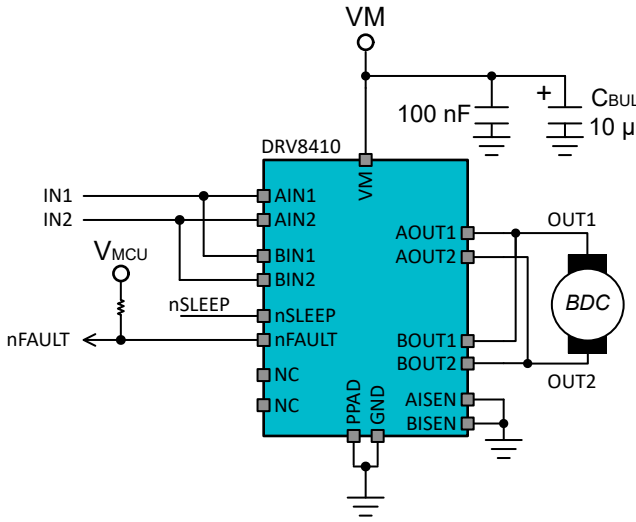


図 8-3. 並列モードの接続

このモードでは、4 つのモード (順方向、逆方向、コースト、ブレーキ モード) すべてを使用して、BDC モータ制御の全機能を実現できます。表 8-4 に、並列モードでの制御インターフェイスの状態を示します。

表 8-4. 並列 H ブリッジ制御

nSLEEP	IN1 (AIN1 および BIN1)	IN2 (AIN2 および BIN2)	OUT1 (AOUT1 および BOUT1)	OUT2 (AOUT2 および BOUT2)	説明
0	X	X	ハイ インピーダンス	ハイ インピーダンス	低消費電力スリープ モード
1	0	0	ハイ インピーダンス	ハイ インピーダンス	コースト、H ブリッジはディセーブル (ハイ インピーダンス)
1	0	1	L	H	逆方向 (電流 OUT2 → OUT1)
1	1	0	H	L	順方向 (電流 OUT1 → OUT2)
1	1	1	L	L	ブレーキ、ローサイド スロー ディケイ

8.4.2 電流レギュレーション

モータ巻線を流れる電流は、DRV8410 の電流レギュレーション機能によって制限される場合があります。DC モータでは、電流制御を使用して、モータのスタートアップ電流およびストール電流を制限します。ステッピング・モータでは、電源レールの定格がモータの定格電圧よりも高いときに電流制御が使用されることが多いため、巻線電流はモータの仕様の範囲内に維持されます。

Copyright © 2024 Texas Instruments Incorporated

電流レギュレーション機能は、電流チョッピング方式で実装されています。PWM チョッピング電流 I_{TRIP} は、xISEN ピンに接続された電流センス抵抗の両端の電圧を基準電圧 200mV と比較するコンパレータによって設定されます。図 8-4 に、DRV8410 のシングル H ブリッジの電流レギュレーションに関連する回路を示します。

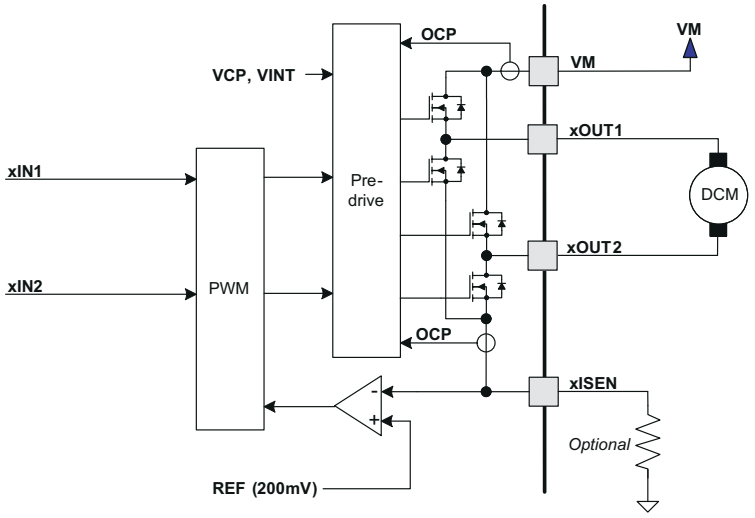


図 8-4. 電流レギュレーション回路

モータ電流が I_{TRIP} レベルに達すると、図 8-5 に示すように、両方のローサイド FET を t_{OFF} 時間イネーブルすることによりデバイスが強制的に低速電流減衰になります。

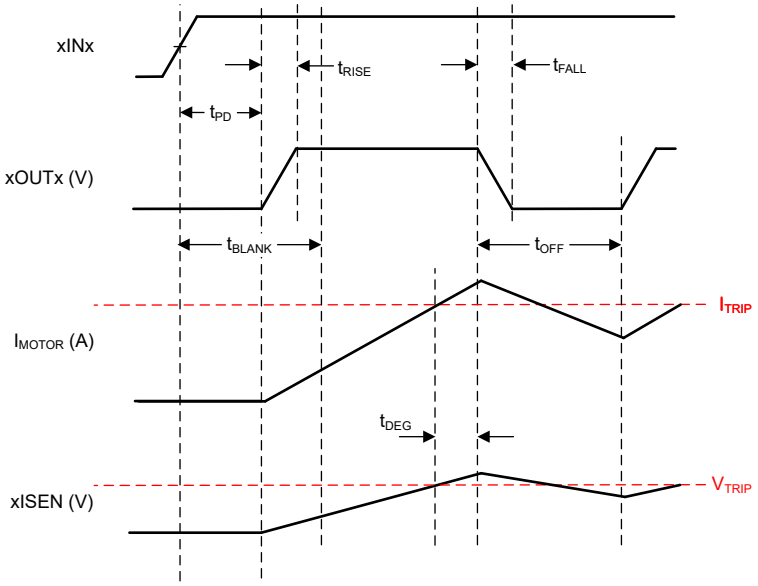


図 8-5. 電流レギュレーション時間

t_{OFF} が経過すると、そのブリッジの 2 つの入力 xINx に従って、出力が再度イネーブルになります。デバイスは、モータ電流が再度 I_{TRIP} レベルに達するまで電流を駆動します。駆動状態である時間の長さは、VM 電圧、モータの逆起電力、モータのインダクタンスによって異なります。INx 制御ピンの状態が t_{OFF} 時間中に変化すると、t_{OFF} の残りの時間は無視され、出力は再び入力に追従するようになります。

t_{OFF} が経過した後に I_{OUT} がまだ I_{TRIP} を超過している場合、H ブリッジは $t_{BLANK.}$ の駆動時間後に t_{OFF} の間ブレーキ / ローサイド・スロー・ディケイに再び移行します。

Copyright © 2024 Texas Instruments Incorporated

チョッピング電流は、式 1 で計算されます。

$$R_{SENSE} = 0.2V/I_{TRIP} \quad (1)$$

例：1Ω のセンス抵抗を使用する場合、チョッピング電流は 200mV/1Ω = 200mA になります。

電流レギュレーションが不要な場合は、xISEN ピンを PCB のグランド・プレーンに直接接続する必要があります。

8.4.3 保護回路

DRV8410 は、低電圧、過電流、過熱イベントから完全に保護されています。

8.4.3.1 過電流保護 (OCP)

各 FET のアナログ電流制限回路は、ゲート駆動を制限することにより FET に流れる電流を制限します。この電流制限が OCP のグリッチ除去時間 (t_{OCP}) よりも長く続いた場合、H ブリッジのすべての FET がディセーブルされ、nFAULT ピンは Low にアサートされます。OCP リトライ期間 (t_{RETRY}) が経過すると、ドライバは再度イネーブルになります。この時点で nFAULT は再び High になり、通常動作が再開します。フォルト条件が解消しない場合、図 8-6 に示すように、このサイクルを繰り返します。過電流状態が検出された H ブリッジのみがディセーブルされ、他のブリッジは通常動作することに注意してください。

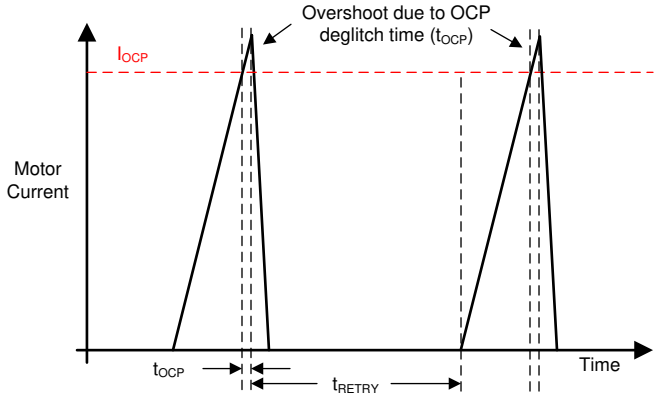


図 8-6. OCP 動作

過電流状態は、ハイサイド FET とローサイド FET の両方で個別に検出されます。つまり、グランド、電源、またはモータ巻線の両端への短絡が発生すると、過電流シャットダウンが作動します。また、xISEN ピンには、VM 電圧が低い場合や xISEN ピンの R_{SENSE} 抵抗が高い場合に保護を追加するため、V_{OCP_ISEN} で規定されている個別の過電流トリップ・スレッショルドも内蔵されています。

8.4.3.2 サーマル・シャットダウン (TSD)

デバイス温度が安全な制限を上回ると、H ブリッジのすべての FET がディセーブルされ、nFAULT ピンが Low にアサートされます。デバイス温度が安全なレベルに低下すると、動作は自動的に再開します。

何度も TSD が作動する場合は、消費電力が過大、ヒートシンクが不十分、または周囲温度が推奨動作条件の範囲外であることを示します。

8.4.3.3 低電圧誤動作防止 (UVLO)

VM ピンの電圧が UVLO の立ち下がりスレッショルド電圧 V_{UVLO} を下回ると、デバイスのすべての回路がディセーブルされ、出力 FETS がディセーブルされて、すべての内部ロジックがリセットされます。図 8-7 に示すように、V_{VM} 電圧が UVLO の立ち上がりスレッショルドを上回ると、通常動作に復帰します。nFAULT ピンは、低電圧条件の間は Low に駆動され、動作が再開すると解放されます。

V_{VM} が 0V に近い場合、内部回路が適切にバイアスされない可能性があり、nFAULT ピンのオープン・ドレイン・プルダウンが解放されることがあります。

Copyright © 2024 Texas Instruments Incorporated

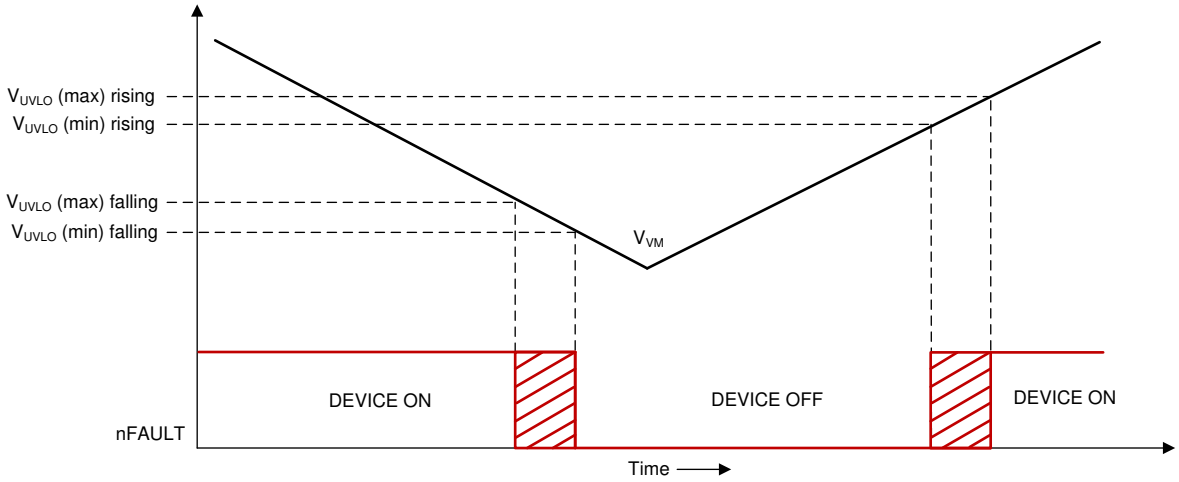


図 8-7. VM UVLO の動作

8.5 デバイスの機能モード

表 8-5 に、このセクションで説明する DRV8410 の機能モードをまとめます。

表 8-5. 動作モード

モード	条件	H ブリッジ	内部回路
アクティブ・モード	nSLEEP ピン High	動作	動作
低消費電力スリープ・モード	nSLEEP ピン Low	ディセーブル	ディセーブル
フォルト・モード	いずれかのフォルト条件が満たされる	ディセーブル	参照: 表 8-6

8.5.1 アクティブ・モード

VM ピンの電源電圧が低電圧スレッショルド V_{UVLO} を超え、nSLEEP ピンが High になり、t_{WAKE} が経過すると、デバイスはアクティブ・モードに移行します。このモードでは、H ブリッジ、チャージ・ポンプ、内部論理回路がアクティブになり、本デバイスはいつでも入力を受信できます。

8.5.2 低消費電力スリープ・モード

DRV8410 デバイスは低消費電力モードをサポートしているため、ドライバがアクティブでないときに VM ピンの消費電流を低減できます。nSLEEP を論理 Low に設定し、t_{SLEEP} が経過するまで待機すると、このモードに移行します。

スリープ・モードでは、H ブリッジ、チャージ・ポンプ、内部レギュレータ、および内部ロジックがディセーブルされ、デバイスは電源ピン (I_{VMQ}) から最小限の電流を消費します。弱いプルダウンにより、すべての内部 MOSFET が確実にディセーブルに維持されます。nSLEEP ピンが Low の間にデバイスの電源がオンになると、すぐにスリープ・モードに移行します。nSLEEP ピンが t_{WAKE} より長い時間 High になると、デバイスは完全に動作します。

以下のタイミング図に、スリープ・モードの開始と終了の例を示します。

Copyright © 2024 Texas Instruments Incorporated

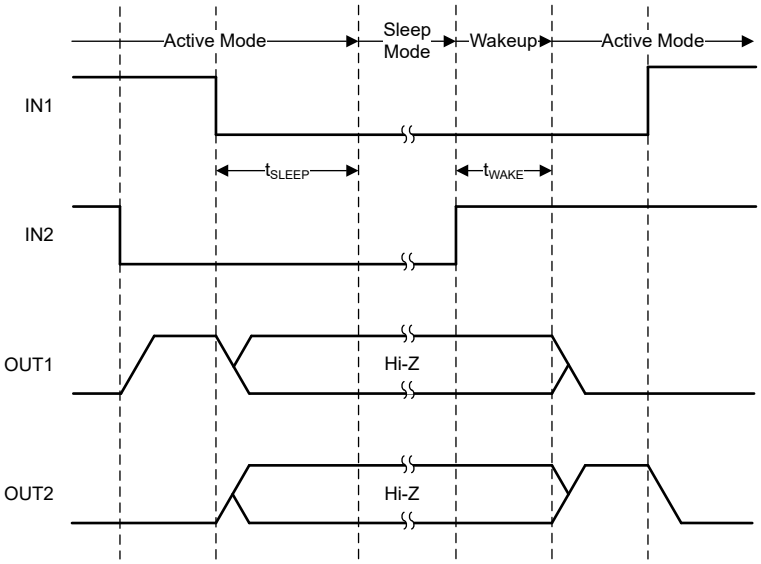


図 8-8. スリープ・モードへの移行とウェークアップのタイミング図

8.5.3 フォルト・モード

DRV8410 デバイスは、フォルトが発生するとフォルト・モードに移行します。これにより、デバイスと出力の負荷が保護されます。フォルト・モードでの本デバイスの動作は、表 8-6 に示すようにフォルト条件で決まります。復帰条件を満たすと、本デバイスはフォルト・モードからアクティブ・モードに戻ります。

表 8-6. フォルト条件のまとめ

フォルト	条件	異常通知	H ブリッジ	内部回路	復帰
VM 低電圧 (UVLO)	$V_M < V_{UVLO,falling}$	nFAULT	ディセーブル	ディセーブル	$V_M > V_{UVLO,rising}$
過電流 (OCP)	$I_{OUT} > I_{OCP}$	nFAULT	ディセーブル	動作	自動リトライ: t_{RETRY}
サーマル・シャットダウン (TSD)	$T_J > T_{TSD}$	nFAULT	ディセーブル	動作	自動: $T_J < T_{TSD} – T_{HYS}$

8.6 ピン配置図

8.6.1 ロジックレベル入力

図 8-9 に、ロジックレベル入力ピン AIN1、AIN2、BIN1、BIN2、nSLEEP の入力構造を示します。

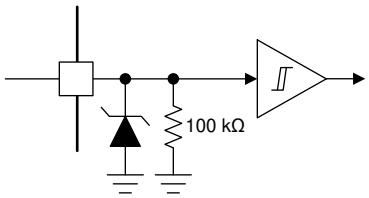


図 8-9. ロジックレベル入力

Copyright © 2024 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

DRV8410 は、以下のアプリケーション例に示すように、ブラシ付き DC またはステッピング・モータ制御で使用されます。

9.1.1 代表的なアプリケーション

DRV8410 は、このセクションで説明するように、ステッピング・モータ、デュアル BDC、またはシングル BDC モータ・アプリケーション用に構成できます。

9.1.1.1 ステッピング・モータ・アプリケーション

図 9-1 に、DRV8410 デバイスを使用してステッピング・モータを駆動する代表的なアプリケーションを示します。

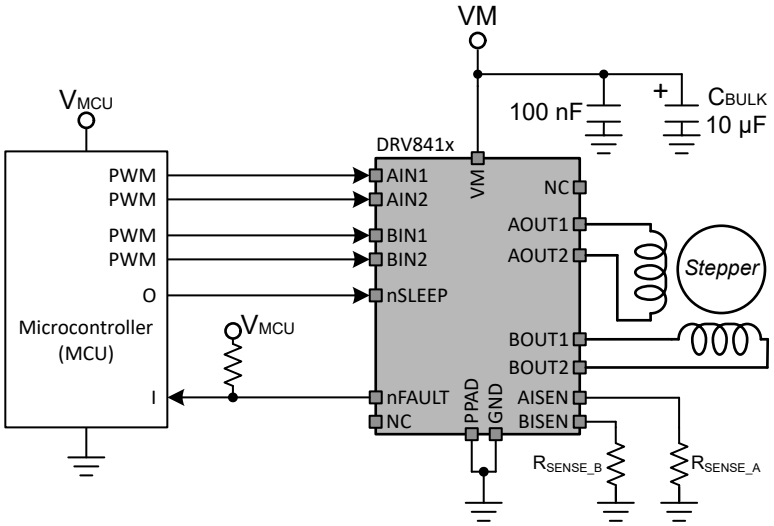


図 9-1. DRV8410 駆動ステッピング・モータの代表的なアプリケーションの回路図

9.1.1.1.1 設計要件

表 9-1 に、システム設計の設計入力パラメータを示します。

表 9-1. 設計パラメータ

設計パラメータ	略号	数値の例
モータ電源電圧	V_M	11V
モータ巻線抵抗	R_L	34Ω/相
モータ巻線インダクタンス	L_L	33mH/相
ターゲット・トリップ電流	I_{TRIP}	500mA

9.1.1.1.2 詳細な設計手順

9.1.1.1.2.1 ステッピング・モータの速度

DRV8410 を構成するには、まず、モータ速度とステッピング・レベルの目標値が必要です。このデバイスは、PWM インターフェイスを使用して、フル・ステッピング・モードとハーフ・ステッピング・モードをサポートできます。

Copyright © 2024 Texas Instruments Incorporated

目標モータ速度が高すぎる場合、モータは回転しません。モータが目標速度に対応できることを確認してください。

モータ速度 (v)、マイクロステッピング・レベル (n_m)、モータのフルステップ角 (θ_{step}) の目標値に対応する $f$step を計算するには以下を使用します。

$$f_{step}\,(steps/s) = \frac{v(rpm) \times n_m\,(steps) \times 360°/rot}{\theta_{step}\,(°/step) \times 60\ s/min} \quad (2)$$

9.1.1.1.2.2 電流レギュレーション

トリップ電流 (I_{TRIP}) は、いずれかの巻線を流れる最大電流です。この設定により、フル・ステッピングまたはハーフ・ステッピング制御方式で動作しているときにステッピング・モータが生成するトルクの量が決まります。I_{TRIP} 値が 500mA の場合、センス抵抗 (R_{SENSE_x}) の値は式 3 に示すように計算されます。

$$R_{SENSE_A} = R_{SENSE_B} = 0.2V/I_{TRIP} = 0.2V/0.5A = 400m\Omega \quad (3)$$

利用可能な最も近い値である 400mΩ をセンス抵抗に選択します。

9.1.1.1.2.3 ステッピング・モード

DRV8410 は、以下のブリッジ構成を使用して、ステッピング・モータをフル・ステッピング・モードまたは非循環ハーフ・ステッピング・モードで駆動するために使用されます。

- フル・ステッピング・モード
- スロー・ディケイを使用したハーフ・ステッピング・モード
- ファースト・ディケイを使用したハーフ・ステッピング・モード

9.1.1.1.2.3.1 フル・ステッピング動作

フル・ステッピング・モードでは、フルブリッジは 2 つの巻線間の位相シフト 90°で、2 つのモード (順方向または逆方向モード) のいずれかで動作します。フル・ステッピングは、ファームウェアに実装するのに最もシンプルなステッピング制御モードであり、高速で最高の性能を実現します。

図 9-2 に示すように、コントローラは PWM 入力を AIN1、AIN2、BIN1、BIN2 ピンに印加し、ドライバは順方向 (FRW) および逆方向 (REV) モードで動作します。

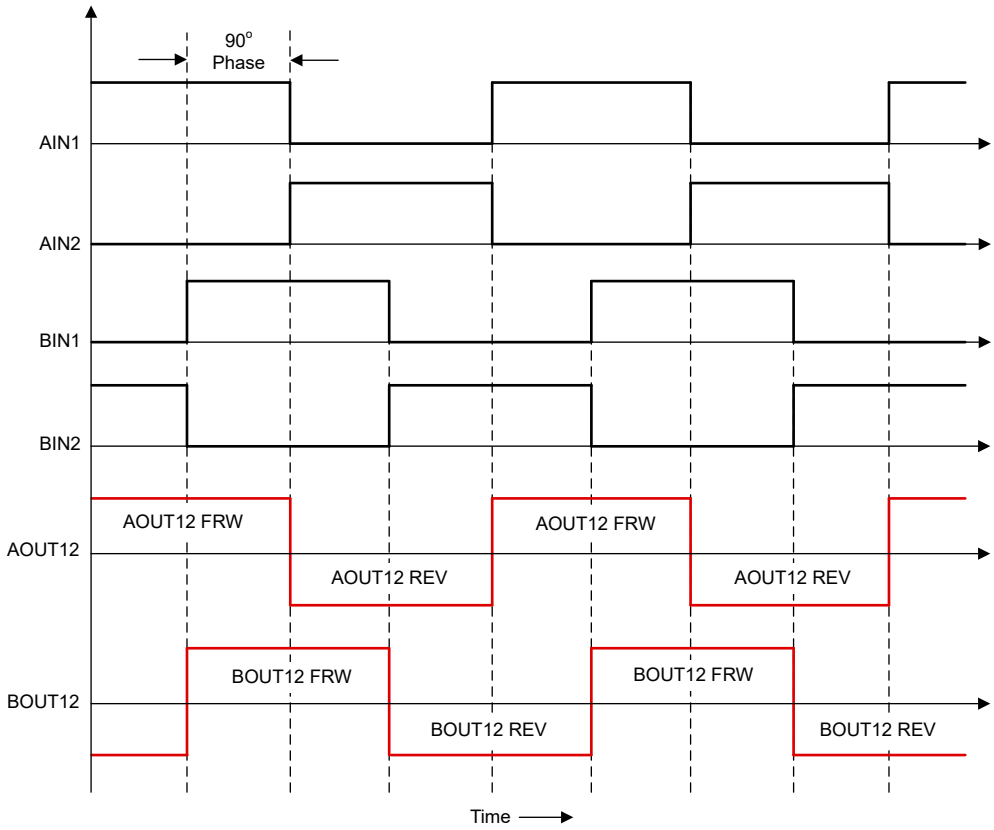


図 9-2. フル・ステッピングのタイミング図

Copyright © 2024 Texas Instruments Incorporated

9.1.1.1.2.3.2 ハーフ・ステッピング動作と高速減衰

ハーフ・ステッピング・モードでは、フルブリッジは 3 つのモード (順方向、逆方向、またはコースト・モード) のいずれかで動作し、回転子が 2 つのフル・ステッピング位置の間に配置されます。コースト状態では、モータ巻線の電流をすばやく 0A まで減衰できます。このモードは、ハーフ・ステッピングを高速で実行する場合に最適です。

図 9-3 に示すように、コントローラは PWM 入力を AIN1、AIN2、BIN1、BIN2 ピンに印加し、ドライバは順方向、逆方向、およびコースト・モードで動作します。

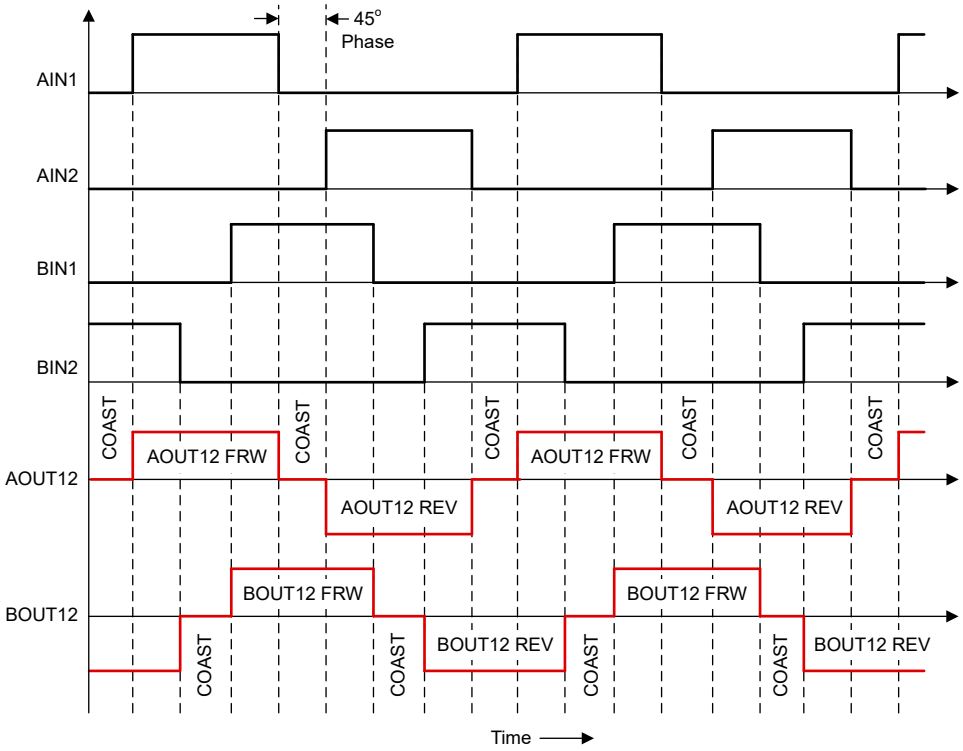


図 9-3. ファースト・ディケイを使用したハーフ・ステッピングのタイミング図

9.1.1.1.2.3.3 ハーフ・ステッピング動作と低速減衰

このハーフ・ステッピング・モードでは、ドライバはスロー・ディケイ制御状態 (BDC 駆動の場合は「ブレーキ・モード」) を使用して 0A 状態を達成します。したがって、フルブリッジは 3 つのモード (順方向、逆方向、またはブレーキ / スロー・ディケイ・モード) のいずれかで動作し、回転子が 2 つのフル・ステッピング位置の間に配置されます。スロー・ディケイ状態では、モータ巻線の電流が徐々に 0A まで減衰します。このモードはハーフ・ステッピングを低速で実行する場合に最適で、ステッピング・ノイズや振動を低減するのに役立ちます。

図 9-4 に示すように、コントローラは PWM 入力を AIN1、AIN2、BIN1、BIN2 ピンに印加し、ドライバは順方向、逆方向、およびブレーキト・モードで動作します。

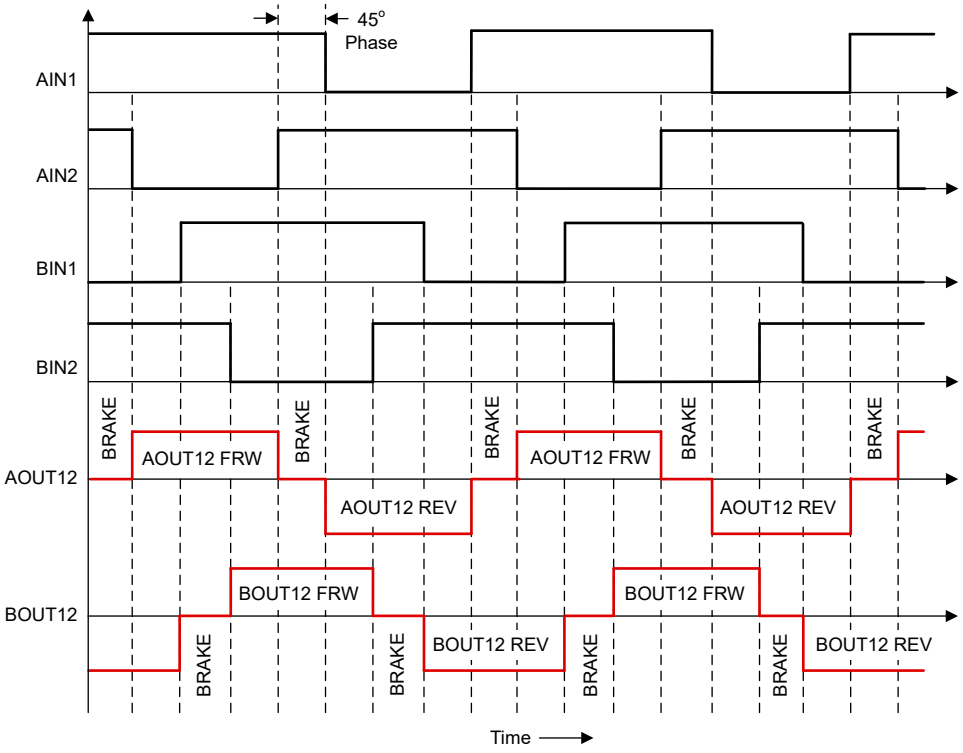


図 9-4. スロー・ディケイを使用したハーフ・ステッピングのタイミング図

9.1.1.1.3 アプリケーション曲線

Ch 1 = AIN1、Ch 2 = AIN2、Ch 3 = BIN1、Ch 4 = BIN2、Ch 5 = AOU12、Ch 6 = BOUT12、Ch 7 = AOUT12 電流、Ch 8 = BOUT12 電流

Copyright © 2024 Texas Instruments Incorporated

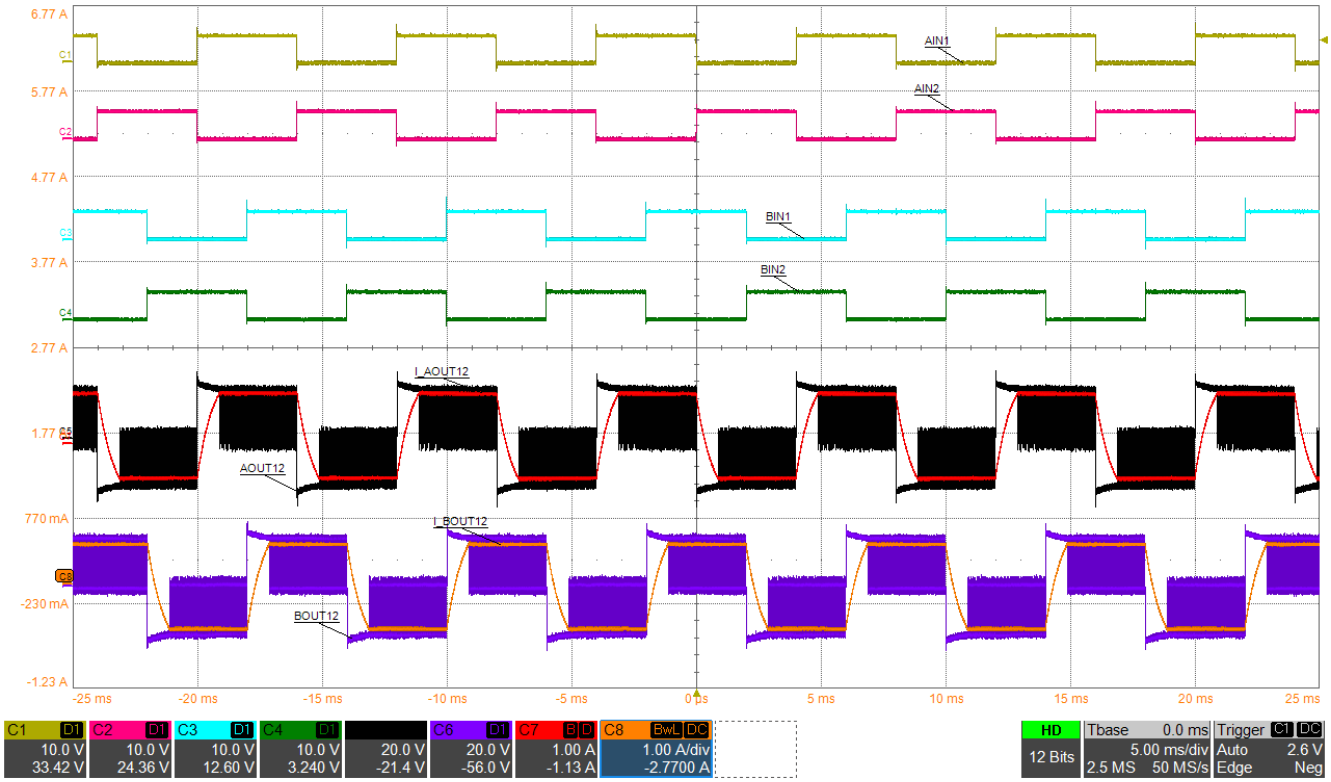


図 9-5. ステッピング・モータのフル・ステッピング動作

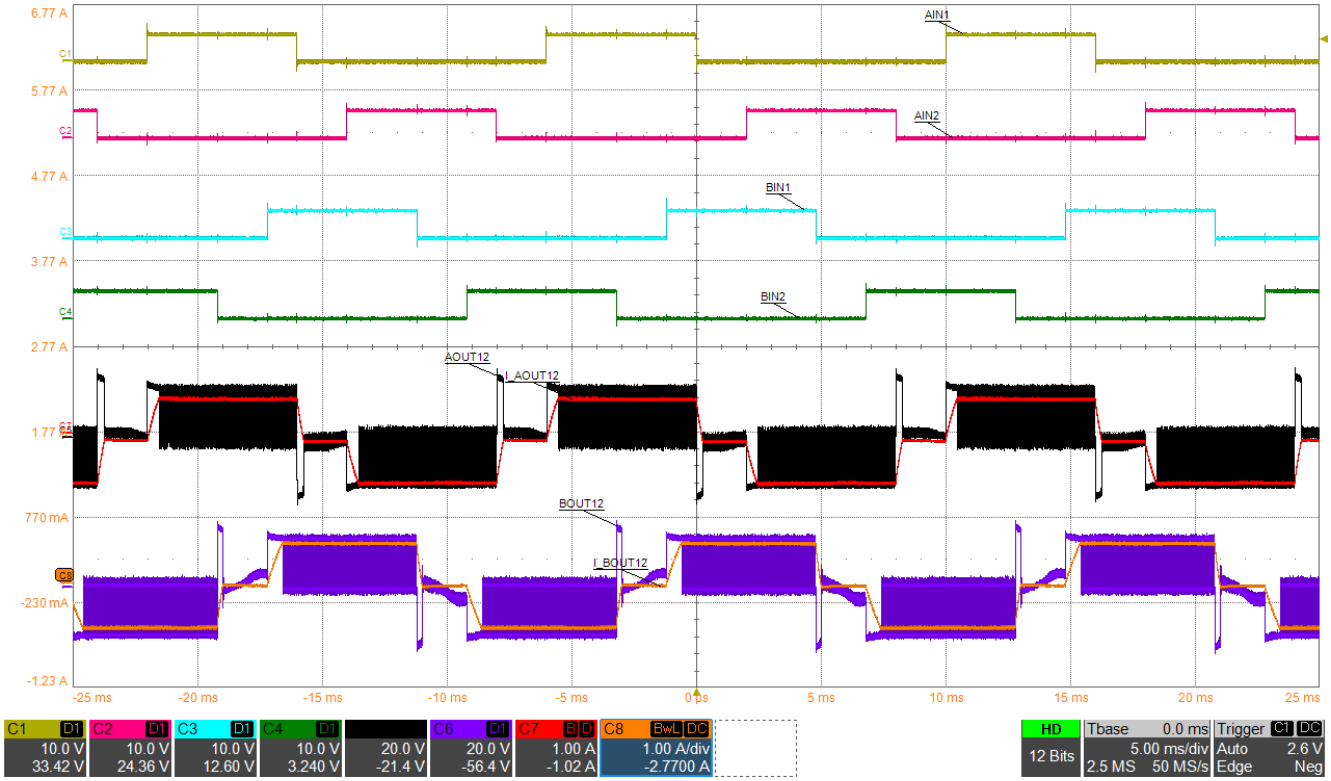


図 9-6. ファースト・ディケイを使用したステッピング・モータのハーフ・ステッピング動作

Copyright © 2024 Texas Instruments Incorporated

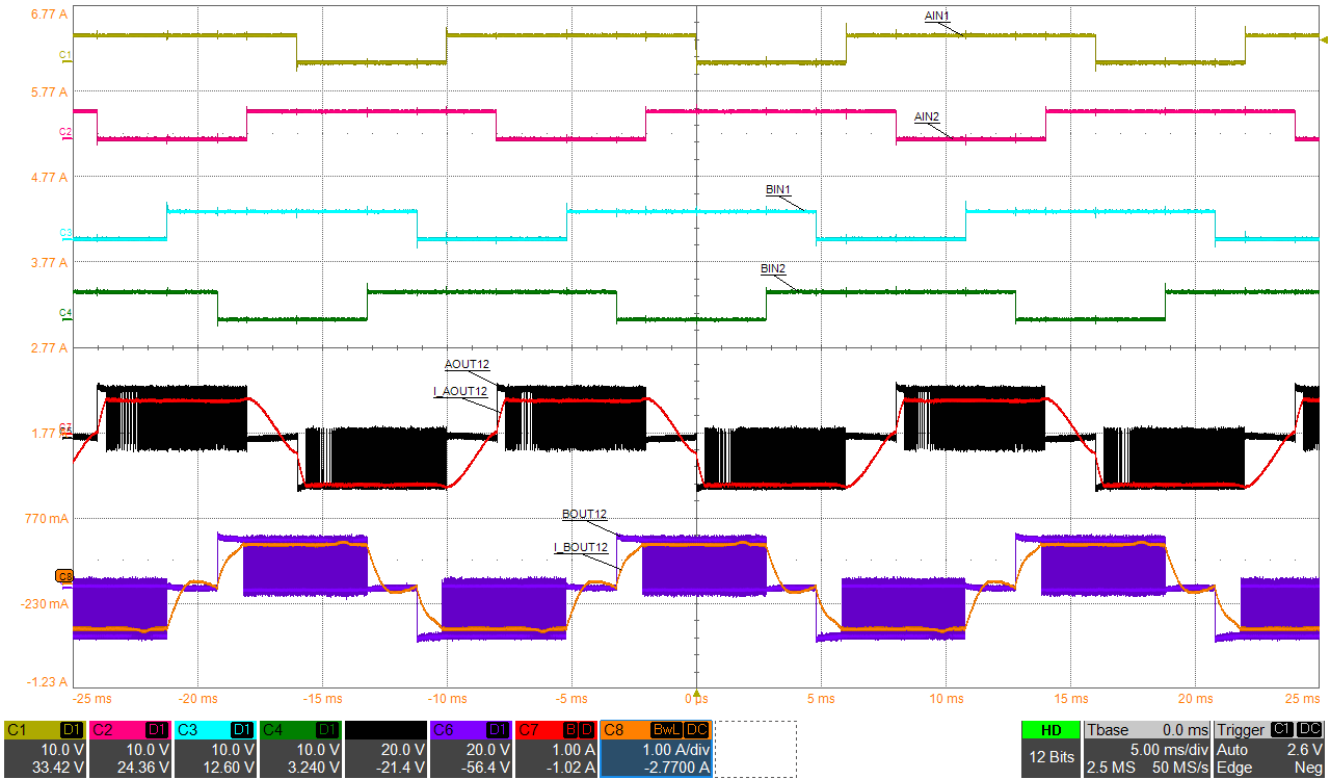


図 9-7. スロー・ディケイを使用したステッピング・モータのハーフ・ステッピング動作

Copyright © 2024 Texas Instruments Incorporated

9.1.1.2 デュアル BDC モータ・アプリケーション

図 9-8 に、DRV8410 を使用して 2 つの BDC モータを駆動する代表的なアプリケーションを示します。

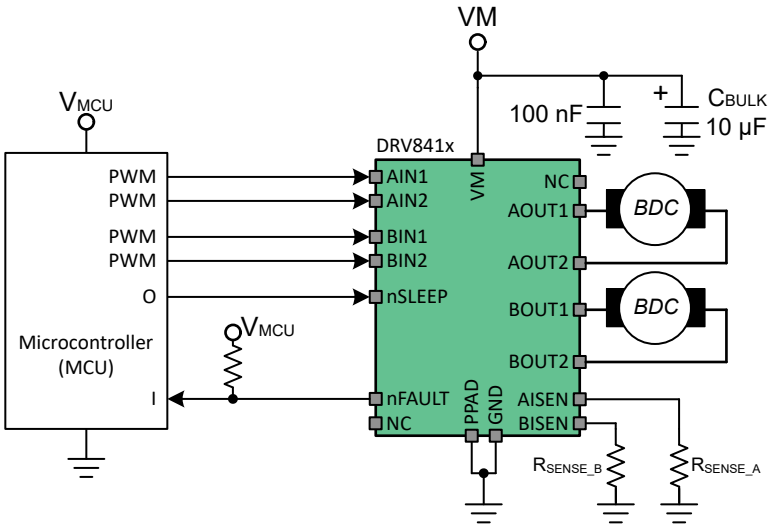


図 9-8. 2 つの BDC モータを駆動するデバイスの代表的なアプリケーションの回路図

9.1.1.2.1 設計要件

表 9-2 に、システム設計の設計入力パラメータを示します。

表 9-2. 設計パラメータ

設計パラメータ	略号	数値の例
モータ電源電圧	V_M	7V
モータ巻線抵抗	R_L	11.7Ω
モータ巻線インダクタンス	L_L	500µH
モータ RMS 電流	I_{RMS}	490mA
モータのスタートアップ電流	I_{START}	600mA
ターゲット・トリップ電流	I_{TRIP}	1A
トリップ電流の基準電圧 (内部電圧)	V_{TRIP}	200mV

9.1.1.2.2 詳細な設計手順

9.1.1.2.2.1 モータ電圧

アプリケーションで使用されるモータ電圧は、選択したモータの定格と、1 分間あたりの回転数 (RPM) の目標値に依存します。電圧がより高ければ、パワー FET に印加されているのと同じ PWM デューティ・サイクルで、ブラシ付き DC モータをより高速に回転させることができます。また、電圧が高いと、誘導モータの巻線を流れる電流の変化率も大きくなります。

9.1.1.2.2.2 電流レギュレーション

トリップ電流 (I_{TRIP}) は、いずれかの巻線を流れる最大電流です。モータのピーク電流 (開始電流) は 600mA であるため、I_{TRIP} 電流レベルはピーク電流よりも少し大きくなるよう選択します。この例で選択した I_{TRIP} 値は 1A です。したがって、式 4 を使用して、AISEN ピンと BISEN ピンに接続されているセンス抵抗 (R_{SENSE_A} と R_{SENSE_B}) の値を選択します。

$$R_{SENSE_A} = R_{SENSE_B} = 0.2V/I_{TRIP} = 0.2V/1A = 200m\Omega \quad (4)$$

9.1.1.2.2.3 センス抵抗

最適な性能を実現するには、センス抵抗は以下の条件を満たす必要があります。

- 表面実装部品である
- 低インダクタンス
- 定格電力が十分に高い
- モータ・ドライバに近づけて配置する

センス抵抗によって消費される電力は $I_{RMS}^{2} \times R$ です。この例では、ピーク電流は 600mA、RMS モータ電流は 490mA、センス抵抗値は 200mΩ です。したがって、センス抵抗 ($R_{SENSE12}$ および $R_{SENSE34}$) は 48mW ($490mA^2 \times 200m\Omega = 48mW$) を消費します。電流レベルが増加すると、電力は急速に大きくなります。

抵抗は、通常、ある範囲の周囲温度での定格電力が決まっていて、高い周囲温度については、ディレーティングした電力曲線があります。プリント基板 (PCB) を熱を発生させる他の部品と共有する場合は、マージンを追加する必要があります。ベスト・プラクティスとして、最終的なシステムの実際のセンス抵抗温度とパワー MOSFET を測定します。これは、これらの部品が最も高温になることが多いからです。

パワー抵抗は標準の抵抗より大きく高価であるため、一般的な方法は、複数の標準抵抗を並列に、センス・ノードとグランドの間で使用することです。この方法では、電流と放熱が分散されます。

9.1.1.2.3 アプリケーション曲線

Ch 1 = AOUT2、Ch 2 = BIN2、Ch 3 = AIN1、Ch 4 = BOUT1、Ch 6 = AIN2、Ch 7 = AOUT12 電流、Ch M7 = BOUT12 電流

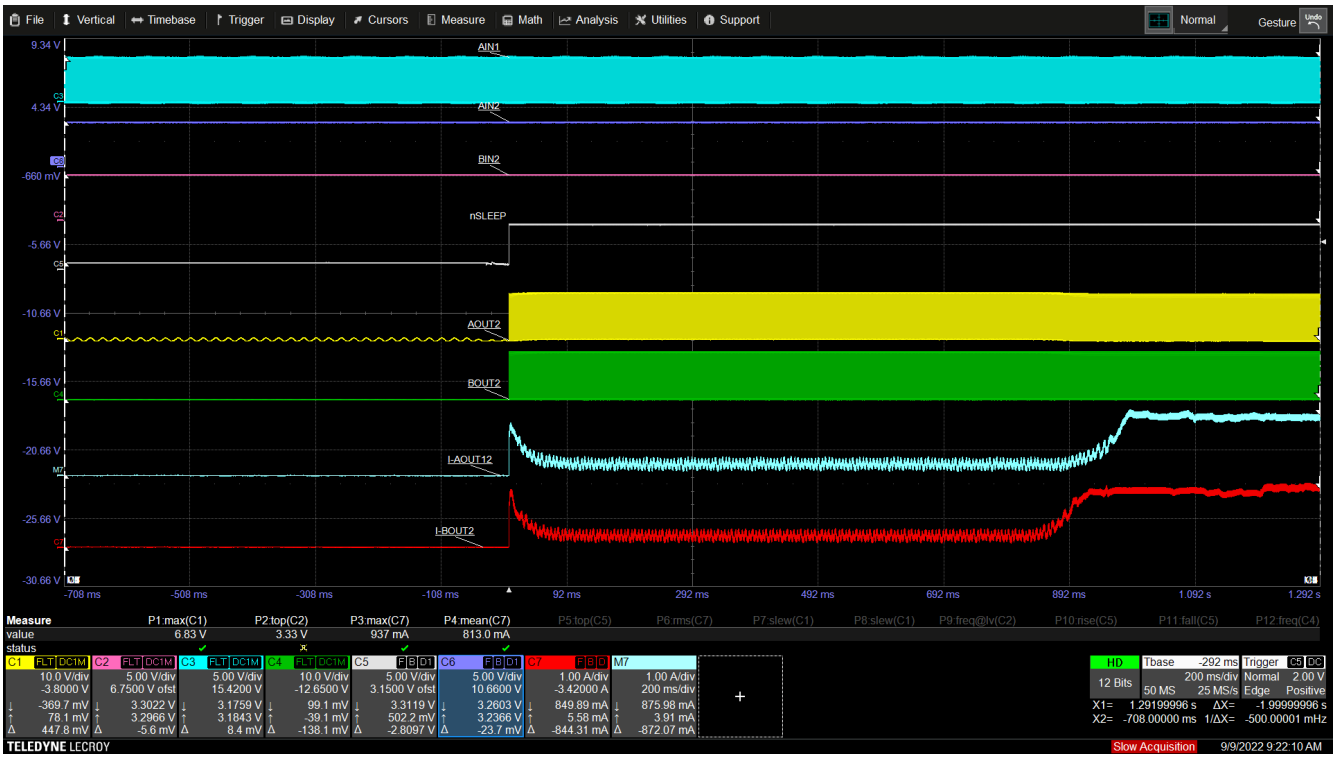


図 9-9. 電流レギュレーションなし

Copyright © 2024 Texas Instruments Incorporated



図 9-10. 電流レギュレーション

9.1.1.3 熱に関する注意事項

9.1.1.3.1 最大出力電流

実際の動作では、モータ・ドライバで実現可能な最大出力電流はデバイス温度の関数です。そのため、周囲温度と PCB 設計に大きく影響されます。基本的に、最大モータ電流は消費電力レベルを生成する電流の量であり、パッケージと PCB の熱抵抗とともに、デバイスを十分低い温度に維持し、サーマル・シャットダウンを防止します。

データシートに記載されている消費電力定格は、いくつかの異なる PCB 構造において、サーマル・シャットダウンを発生させることなく実現可能な最大消費電力の概算値を計算するためのガイドとして使用できます。ただし、正確なデータを得るには、実際の PCB 設計を測定または熱シミュレーションにより解析する必要があります。

9.1.1.3.2 消費電力

デバイスの消費電力は、出力 FET 抵抗で消費される DC 電力 ($R_{DS(ON)}$) によって支配されます。PWM スイッチング損失により、PWM 周波数、立ち上がり / 立ち下がり時間、VM 電源電圧に依存する追加の電力消費が発生します。

1 つの H ブリッジの DC 消費電力は、式 5 で概算できます。

$$P_{TOT} = \left(HS - R_{DS(ON)} \times I_{OUT(RMS)}^{2}\right) + \left(LS - R_{DS(ON)} \times I_{OUT(RMS)}^{2}\right) \quad (5)$$

ここで

- P_{TOT}: 合計消費電力
- HS - $R_{DS(ON)}$: ハイサイド FET の抵抗
- LS - $R_{DS(ON)}$: ローサイド FET の抵抗
- $I_{OUT(RMS)}$: モータに印加される RMS 出力電流

$R_{DS(on)}$ は温度とともに上昇するので、デバイスが発熱すると消費電力が増大します。最大出力電流を概算するときは、この点を考慮する必要があります。

9.1.1.3.3 熱性能

データシートに規定する接合部から周囲への熱抵抗 $R_{\theta JA}$ は、おもに各種ドライバの比較または熱性能の概算に役立ちます。しかし、実際のシステム性能は、PCB 層構成 (スタックアップ)、配線、ビア数、サーマル・パッド周りの銅面積に応じて、この値よりも良くなったり、悪くなったりします。ドライバが特定の電流を駆動する時間の長さもまた、消費電力や熱性能に影響を与えます。ここでは、定常状態および過渡熱条件での設計方法について考察します。

このセクションのデータは、次の基準を使用してシミュレーションしたものです。

HTSSOP (PWP パッケージ)

- 2 層 PCB (サイズ 114.3 x 76.2 x 1.6mm)、標準 FR4、1oz (35µm 銅箔厚) または 2oz 銅箔厚。サーマル・ビアはサーマル・パッドの下にのみ配置 (4 x 3 アレイに 12 個のビア、1mm 間隔、0.2mm 直径、0.025mm 銅メッキ)。
  - 上層:HTSSOP パッケージ・フットプリントと銅プレーン・ヒートシンク。シミュレーションでは、上層の銅領域が変化しています。
  - 下層:ドライバのサーマル・パッド下のビアで熱的に接続されたグランド・プレーン。下層の銅箔面積は上層の銅箔面積によって変化します。
- 4 層 PCB (サイズ 114.3 x 76.2 x 1.6mm)、標準 FR4。外側のプレーンは 1oz (35µm 銅箔厚) または 2oz 銅箔厚。内側のプレーンは 1oz で一定。サーマル・ビアはサーマル・パッドの下にのみ配置 (4 x 3 アレイに 12 個のビア、1mm 間隔、0.2mm 直径、0.025mm 銅メッキ)。
  - 上層:HTSSOP パッケージ・フットプリントと銅プレーン・ヒートシンク。シミュレーションでは、上層の銅領域が変化しています。
  - 中間層 1:サーマル・パッドとビアで熱的に接続された GND プレーン。グランド・プレーンの領域は 74.2mm x 74.2mm です。
  - 中間層 2:電源プレーン、熱的接続なし。電源プレーンの領域は 74.2mm x 74.2mm です。
  - 下層:ドライバの下に小さな銅パッドを設け、上層および内部 GND プレーンから打ったビアで熱的に接続した信号層。下層のサーマル・パッドはパッケージと同じサイズ (5mm x 4.4mm)。上層の銅プレーンが変化しても、下層のパッドのサイズは一定。

HTSSOP パッケージについてシミュレーションした基板の例を 図 9-11 に示します。表 9-3 に、各シミュレーションで変化させた基板の寸法を示します。

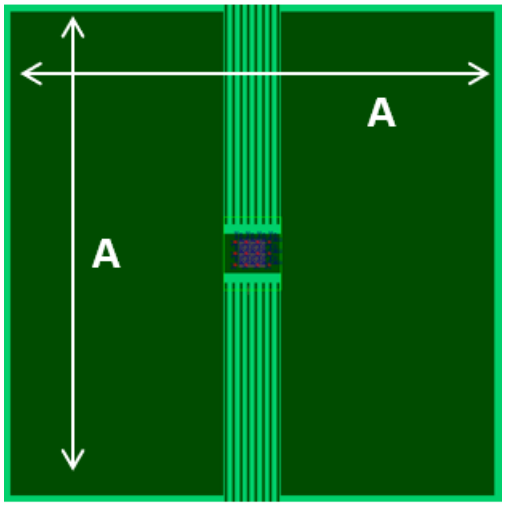


図 9-11. HTSSOP の PCB モデルの上層

表 9-3. 16 ピン PWP パッケージの寸法 A

銅 (Cu) 面積 (cm^2)	寸法 A (mm)
2	16.43
4	22.23

Copyright © 2024 Texas Instruments Incorporated

表 9-3. 16 ピン PWP パッケージの寸法 A (続き)

銅 (Cu) 面積 (cm^2)	寸法 A (mm)
8	30.59
16	42.37

WQFN (RTE パッケージ)

- 2 層 PCB (サイズ 114.3 x 76.2 x 1.6mm)、標準 FR4、1oz (35µm 銅箔厚) または 2oz 銅箔厚。サーマル・ビアはパッケージのフットプリントの下にのみ配置 (5 個のビア、1mm 間隔、0.2mm 直径、0.025mm 銅メッキ)。
  - 上層:WQFN パッケージのフットプリントとトレース。
  - 下層:パッケージのフットプリントの下で、ビアを介して熱的に接続されるグランド・プレーン。シミュレーションでは、下層の銅箔面積を変化させています。
- 4 層 PCB (サイズ 114.3 x 76.2 x 1.6mm)、標準 FR4。外側のプレーンは 1oz (35µm 銅箔厚) または 2oz 銅箔厚。内側のプレーンは 1oz で一定。サーマル・ビアはパッケージのフットプリントの下にのみ配置 (5 個のビア、1mm 間隔、0.2mm 直径、0.025mm 銅メッキ)。
  - 上層:WQFN パッケージのフットプリントとトレース。
  - 中間層 1:パッケージのフットプリントの下で、ビアを介して熱的に接続される GND プレーン。グランド・プレーンの領域は 74.2mm x 74.2mm です。
  - 中間層 2:電源プレーン、熱的接続なし。電源プレーンの領域は 74.2mm x 74.2mm です。
  - 下層:ドライバの下に小さな銅パッドを設け、上層および内部 GND プレーンから打ったビアで熱的に接続した信号層。下層のサーマル・パッドは 1.55mm x 1.55mm。下層のサーマル・パッドは、パッケージと同じサイズ (3mm x 3mm)。下層のパッドのサイズは一定。

HTSSOP パッケージについてシミュレーションした基板の例を 図 9-12 に示します。表 9-4 に、各シミュレーションで変化させた基板の寸法を示します。

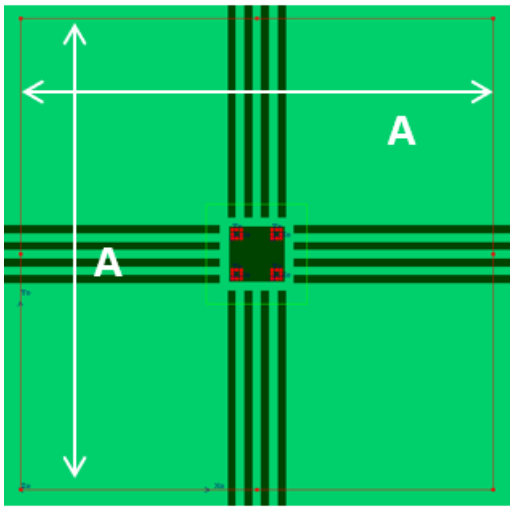


図 9-12. WQFN の PCB モデルの上層

表 9-4. 16 ピン RTE パッケージの寸法 A

銅 (Cu) 面積 (cm^2)	寸法 A (mm)
2	14.14
4	20.00
8	28.28
16	40.00

9.1.1.3.3.1 定常状態熱性能

「定常状態条件」とは、モータ・ドライバが長時間にわたって一定の RMS 電流で動作することを指します。このセクションの図は、銅面積、銅厚、PCB 層数に応じた $R_{\theta JA}$ と Ψ_{JB} (接合部から基板への熱特性) の変化を示しています。銅面積が大きく、層数が多く、銅プレーンが厚いほど、$R_{\theta JA}$ と Ψ_{JB} は小さくなり、PCB レイアウトの熱性能が高くなることを示しています。

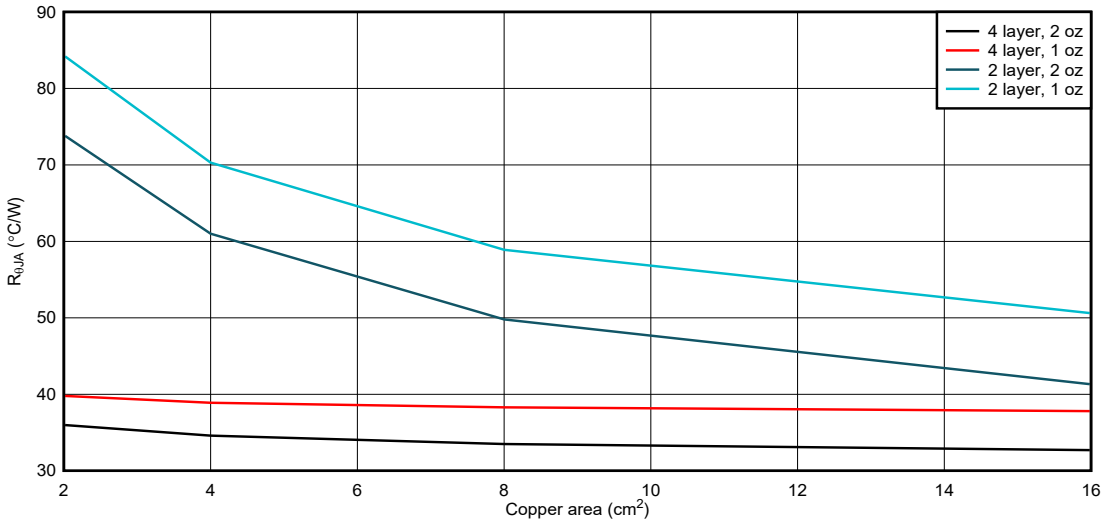


図 9-13. HTSSOP、PCB の接合部から周囲への熱抵抗と銅面積との関係

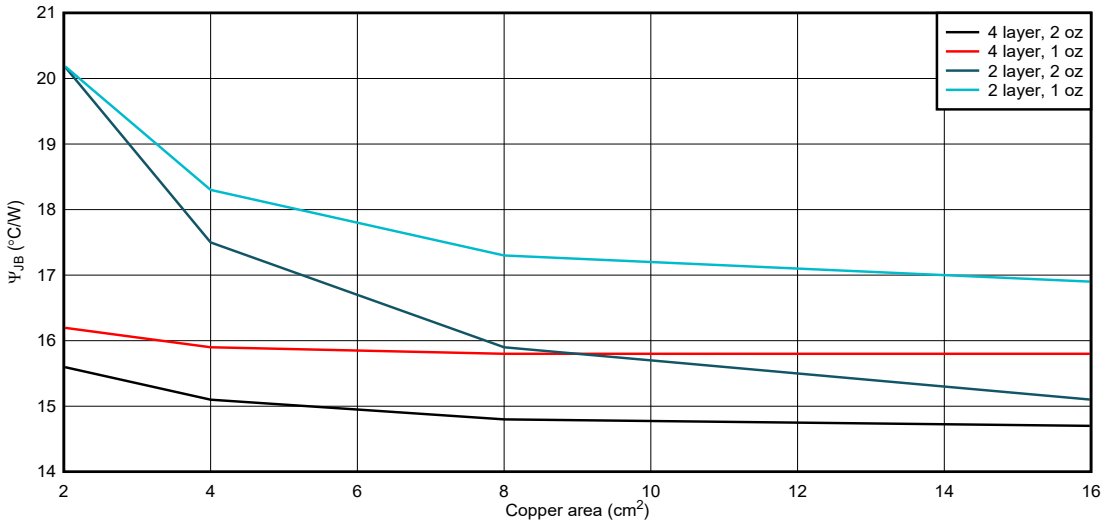


図 9-14. HTSSOP、接合部から基板への特性パラメータと銅面積との関係

Copyright © 2024 Texas Instruments Incorporated

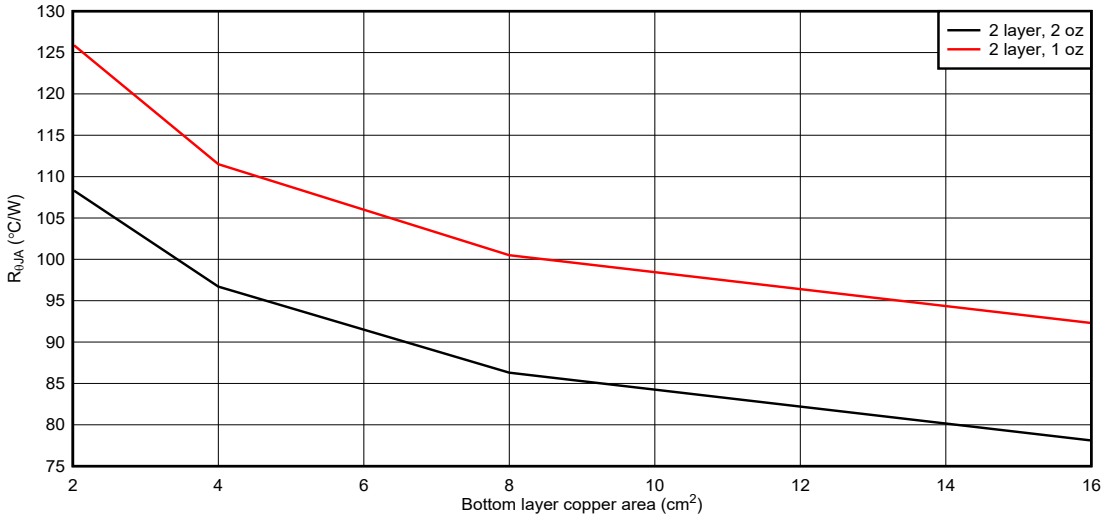


図 9-15. WQFN、PCB の接合部から周囲への熱抵抗と銅面積との関係

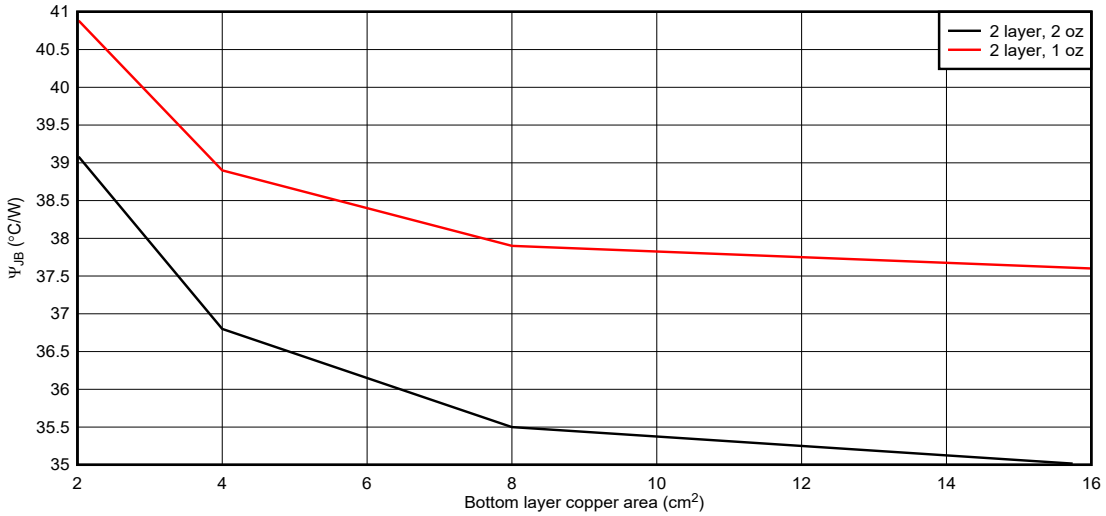


図 9-16. WQFN、接合部から基板への特性パラメータと銅面積との関係

9.1.1.3.3.2 過渡熱性能

モータ・ドライバは、短時間に大きな電流が流れるさまざまな過渡駆動条件になる可能性があります。たとえば、次のような条件があります。

- ローターが最初に静止しているときのモータ起動。
- 電源またはグランドがモータの出力のいずれかに短絡し、過電流保護がトリガされるフォルト条件。
- モータまたはソレノイドが短時間駆動された後、解放される。

このような過渡条件では、銅の面積や厚さに加えて、駆動時間も熱性能に影響を与えます。過渡条件の場合、熱インピーダンス ($Z_{\theta JA}$) パラメータは、接合部から周囲への熱性能を示します。このセクションの図は、HTSSOP パッケージと WQFN パッケージ用の 1oz および 2oz の銅のレイアウトをシミュレートしたものです。これらのグラフは、短い電流パルスで熱性能が高くなることを示しています。駆動時間が短い場合、本デバイスのダイ・サイズとパッケージが熱性能を支配します。より長いドライブ・パルスの場合、基板レイアウトが熱性能により大きな影響を与えます。どちらのグラフの熱インピーダンス曲線も、ドライブ・パルス期間が長くなるに従って層数と銅面積に応じた差が観測されることを示しています。長いパルスの場合、定常状態の性能になるとみなすことができます。

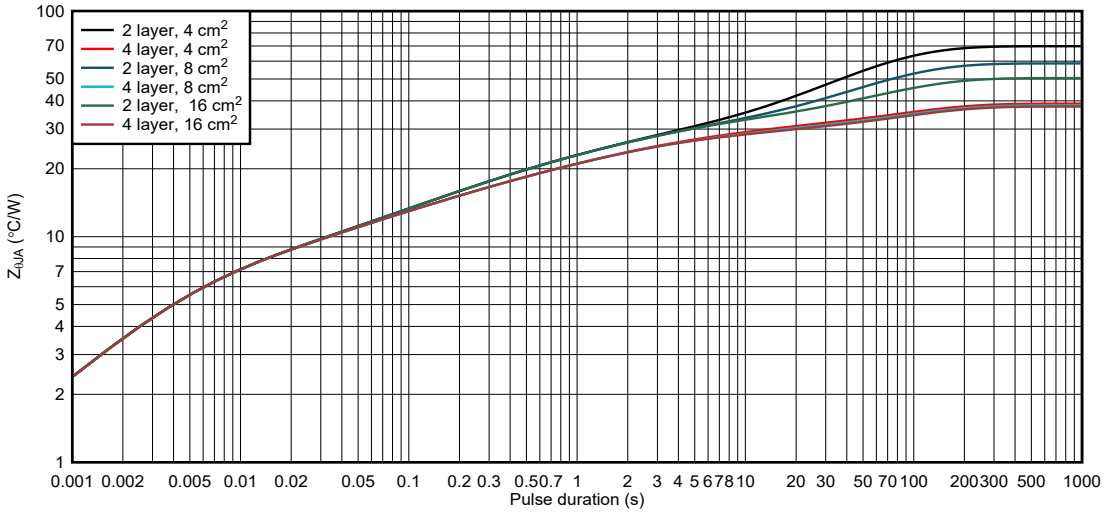


図 9-17. HTSSOP パッケージと 1oz 銅レイアウトでの、接合部から周囲への熱インピーダンス

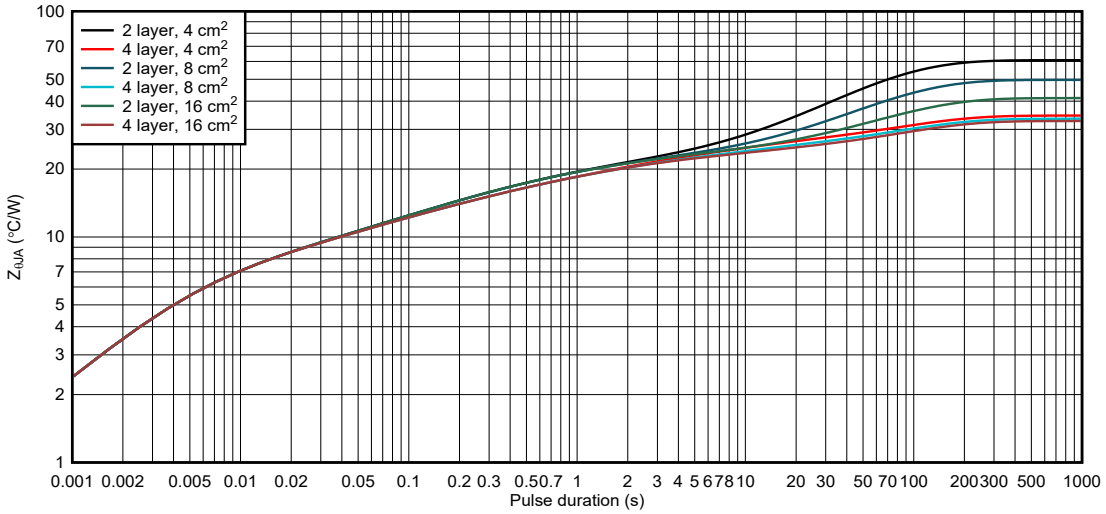


図 9-18. HTSSOP パッケージと 2oz 銅レイアウトでの、接合部から周囲への熱インピーダンス

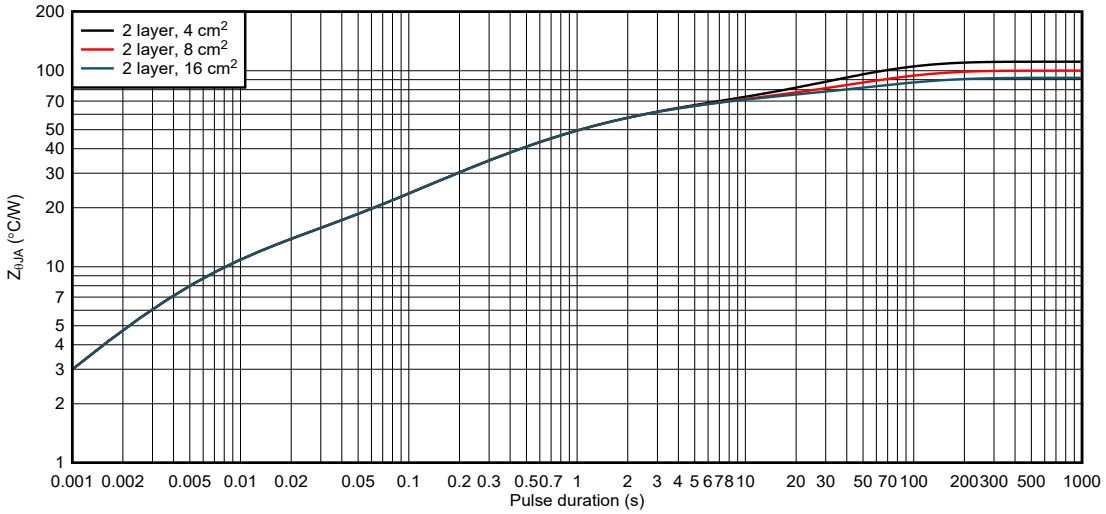


図 9-19. WQFN パッケージと 1oz 銅レイアウトでの、接合部から周囲への熱インピーダンス

Copyright © 2024 Texas Instruments Incorporated

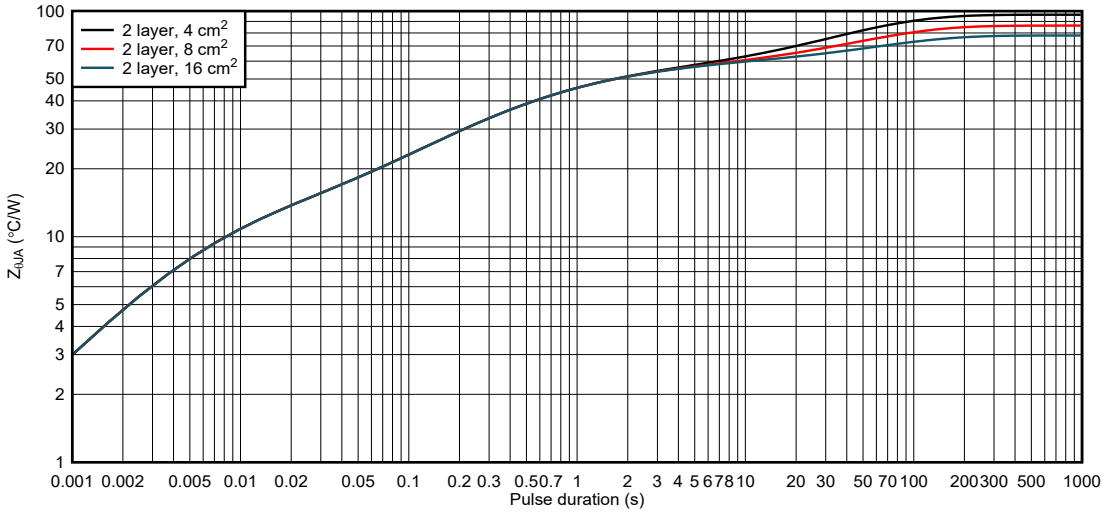


図 9-20. WQFN パッケージと 2oz 銅レイアウトでの、接合部から周囲への熱インピーダンス

9.1.1.4 標準的なモータ・ドライバのピン配置によるマルチソーシング

これらのデバイスは、PWP および RTE パッケージにより業界標準のパッケージ・フットプリントで提供されます。

セクション 4 に示すように、DRV8410/11/11A デバイスは DRV8833 および DRV8833C とピン互換性があります。他のサプライヤの多くのドライバは、DRV8833 および DRV8833C と同様のフットプリントを採用しています。

- DRV8833 に類似したデバイスを交換する場合、設計ファイルで内部レギュレータ (VINT) とチャージ・ポンプ (VCP) のコンデンサを DNP (配置しない) に設定して、コンデンサを取り外す必要があります。
- DRV8833 および DRV8833C と同様、電流レギュレーション用の内部電圧基準 200mV です。電圧基準は同じであるため、システムで DRV8833 用または同じピン配置の他の 2 番目のソース・ドライバ用に設計されたのと同じ xISEN 抵抗を使用できます。
- DRV841xPWP は、図 9-21 および図 9-22 に示すように、HTSSOP パッケージの DRV8833 および DRV8833C と同じフットプリントを使用できます。
- DRV841xRTE は、DRV8833C や、3mm x 3mm QFN パッケージで提供される他のサプライヤのデバイスとのみフットプリント互換性があります。

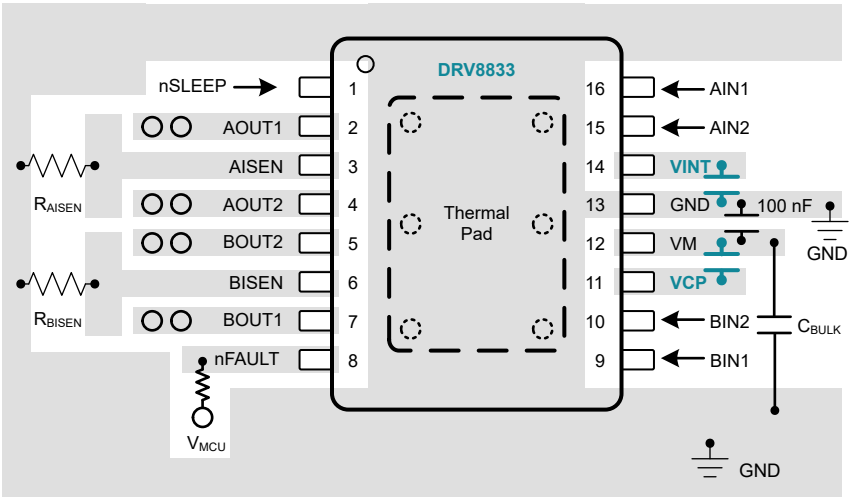


図 9-21. DRV8833 レイアウト例

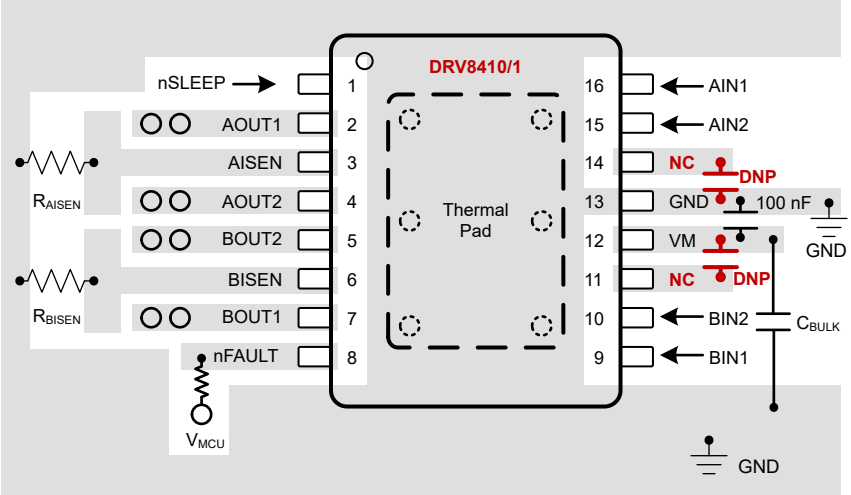


図 9-22. DRV8410/1 とフットプリント互換のレイアウト例

9.2 電源に関する推奨事項

9.2.1 バルク容量

適切なローカル・バルク容量の確保は、モータ駆動システムの設計において重要な要素です。一般に、バルク容量が大きいほど利点がありますが、コストと物理的なサイズが増加します。

必要なローカル容量値は、次のようなさまざまな要因で決まります。

- モータ・システムが必要とする最大電流
- 容量と電流供給能力
- 電源とモータ・システムの間の寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモータの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)
- モータのブレーキ方式

電源とモータ駆動システムの間のインダクタンスにより、電源からの電流の変化する速度が制限されます。ローカル・バルク容量が小さすぎると、モータに大電流を供給しようとする場合、または負荷ダンプが発生した場合、システムの電圧が変動します。十分なバルク容量を備えることで、モータの電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨値が記載されていますが、バルク・コンデンサの容量が適切かどうかを判断するには、システム・レベルのテストが必要です。

Copyright © 2024 Texas Instruments Incorporated

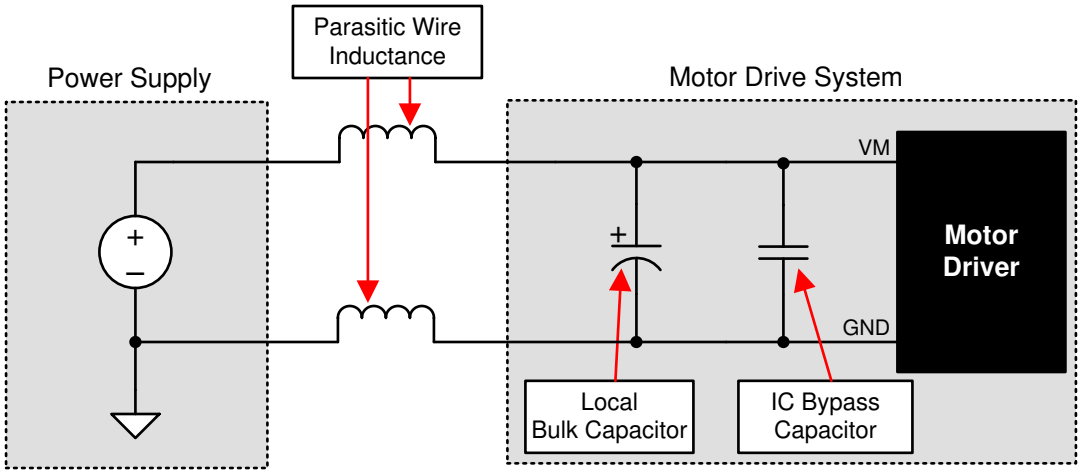


図 9-23. 外部電源を使用したモータ駆動システムの構成例

モータが電源にエネルギーを伝達する場合のマージンを確保するため、バルク・コンデンサの定格電圧は動作電圧より高くする必要があります。

9.2.2 電源とロジックのシーケンシング

DRV8410 に電源を投入するのに特定のシーケンスはありません。VM を印加する前にデジタル入力信号が存在することが許容されます。DRV8410 に VM が印加されると、デバイスは制御ピンのステータスに基づいて動作を開始します。

9.3 レイアウト

9.3.1 レイアウトのガイドライン

DRV8410 デバイスにはパワー MOSFET が内蔵されており、大電流を駆動できるため、レイアウト設計と外部部品の配置には細心の注意を払う必要があります。設計とレイアウトに関する指針は以下のとおりです。レイアウトに関する推奨事項の詳細については、『モータ・ドライバの基板レイアウトのベスト・プラクティス』をご覧ください。

- VM から GND への接続には、低 ESR のセラミック・コンデンサを使用する必要があります。X5R および X7R タイプを推奨します。
- ループ・インダクタンスを最小限に抑えるため、VM 電源コンデンサは、デバイスのできるだけ近く配置する必要があります。
- VM 電源バルク・コンデンサはセラミックまたは電解タイプとすることができますが、やはりループ・インダクタンスを最小限に抑えるため、デバイスにできるだけ近付けて配置する必要があります。
- VM、xOUTx、GND は電源から出力へ大電流を供給し、グランドに戻します。これらのトレースには、実現可能であれば、太い金属配線を使用する必要があります。
- GND は、PCB のグランド・プレーンに直接接続する必要があります。
- PCB のヒートシンクを最大限に確保するため、本デバイスのサーマル・パッドは、PCB 上層のグランド・プレーン (と、利用可能な場合、サーマル・ビアを介して内部グランド・プレーン) に取り付ける必要があります。
- 最適なヒートシンクを実現するために、サーマル・パッドを取り付ける銅プレーンの面積はできるだけ大きくする必要があります。

Copyright © 2024 Texas Instruments Incorporated

9.3.2 レイアウト例

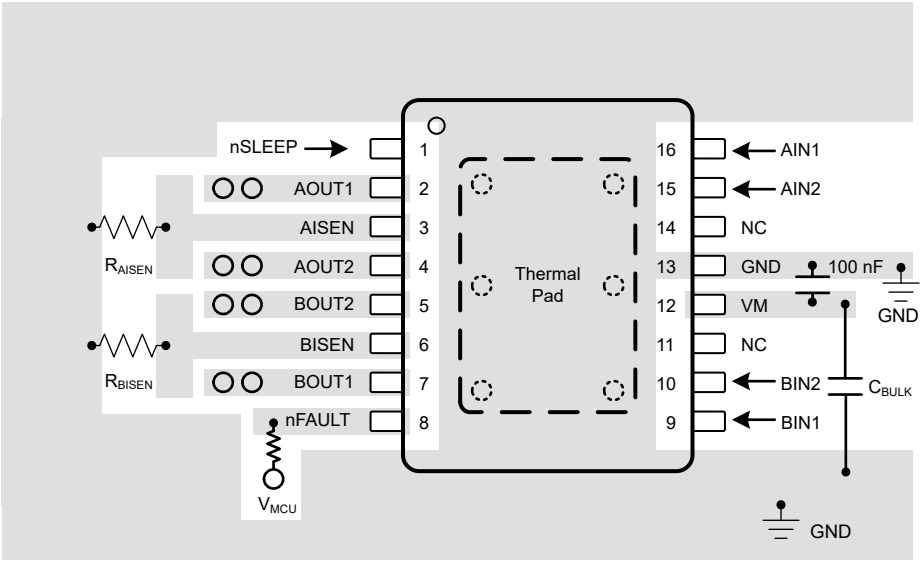


図 9-24. PWP (HTSSOP) パッケージの推奨レイアウト例

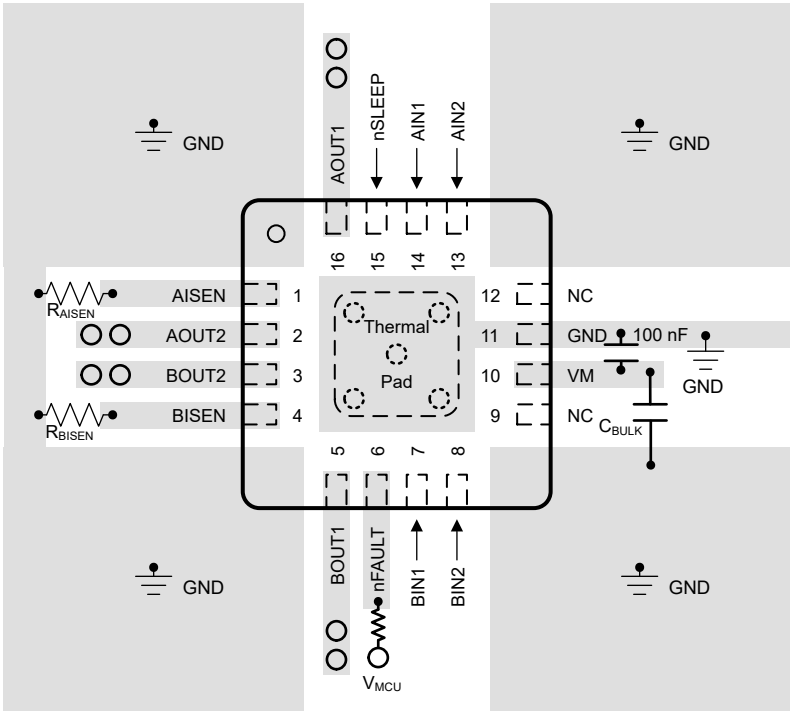


図 9-25. RTE (WQFN) パッケージの推奨レイアウト例

Copyright © 2024 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『モータ・ドライバ消費電力の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『PowerPAD™の簡単な使用法』アプリケーション・レポート
- テキサス・インスツルメンツ、『熱特性強化型パッケージ PowerPAD™』アプリケーション・レポート
- テキサス・インスツルメンツ、『モータ・ドライバ電流定格の説明』アプリケーション・レポート
- テキサス・インスツルメンツ、『モータ・ドライバの基板レイアウトのベスト・プラクティス』アプリケーション・レポート

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の隅にある「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 コミュニティ・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

10.4 商標

すべての商標は、それぞれの所有者に帰属します。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (July 2023) to Revision C (May 2024)	Page
• データシート全体で Thin-SOT (16) パッケージへの言及を削除。	1

Changes from Revision A (October 2022) to Revision B (July 2023)	Page
• 「製品情報」表の本体サイズ (公称) を更新。	1

Changes from Revision * (October 2022) to Revision A (July 2023)	Page
• デバイスのステータスを「事前情報」から「量産データ」に変更。	1

Copyright © 2024 Texas Instruments Incorporated

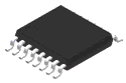
12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2024 Texas Instruments Incorporated

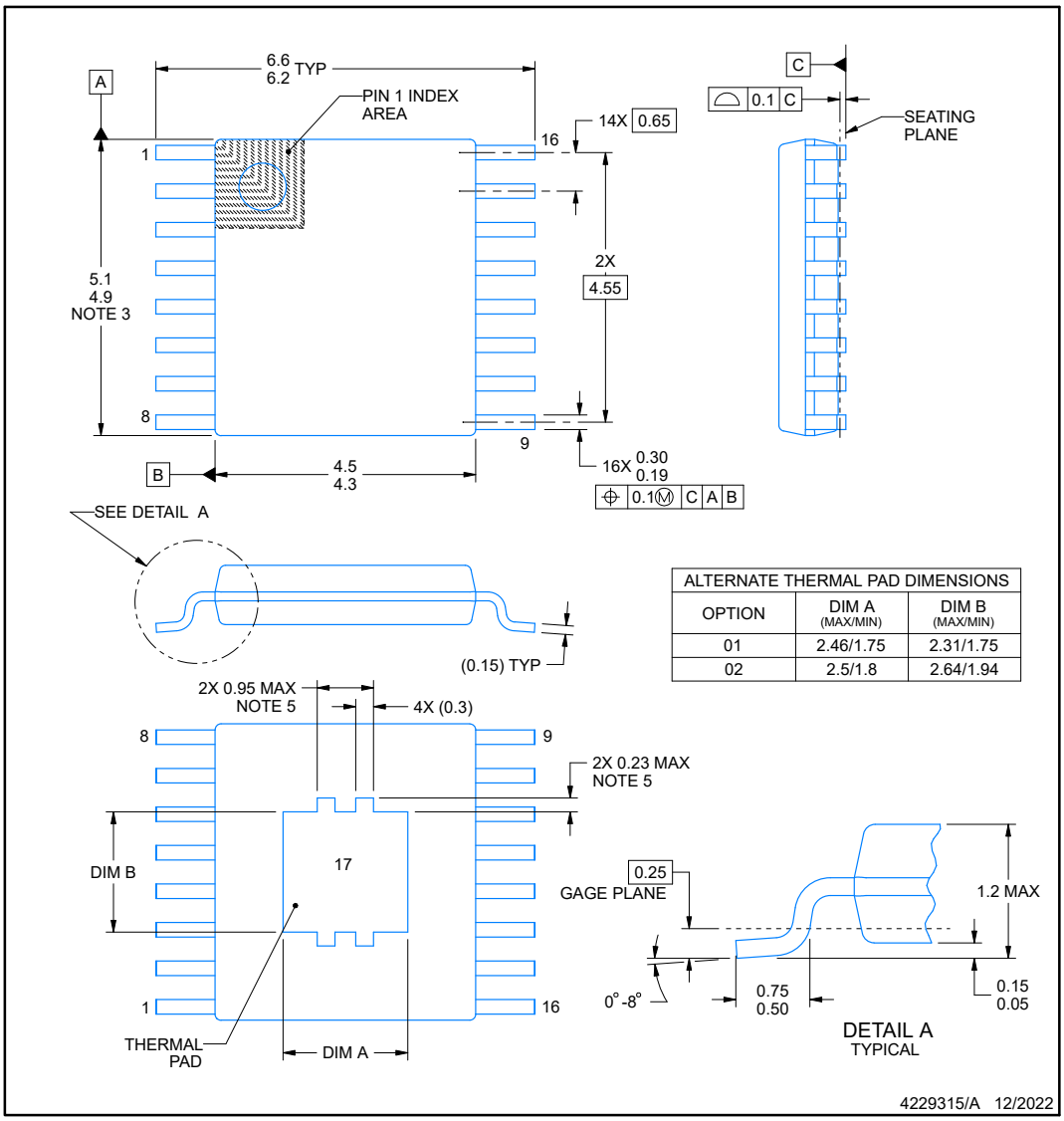
PACKAGE OUTLINE

PWP0016-C01



PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



ALTERNATE THERMAL PAD DIMENSIONS		
OPTION	DIM A (MAX/MIN)	DIM B (MAX/MIN)
01	2.46/1.75	2.31/1.75
02	2.5/1.8	2.64/1.94

PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

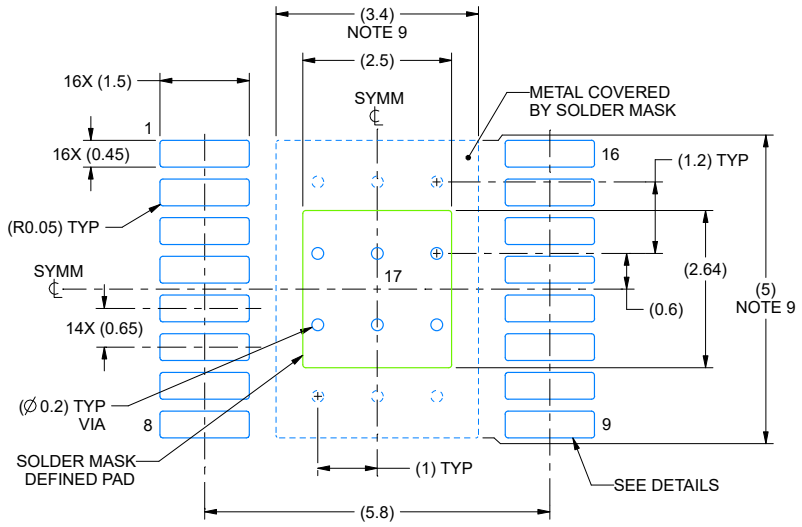
Copyright © 2024 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

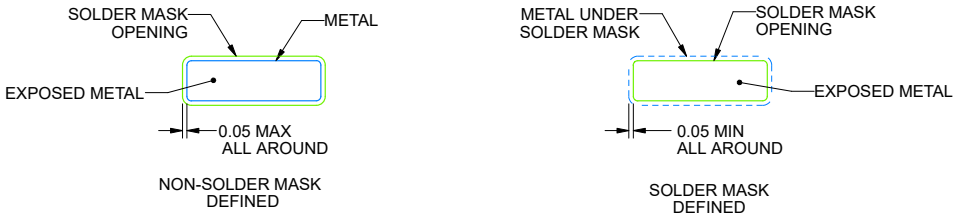
PWP0016-C01

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4229315/A 12/2022

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

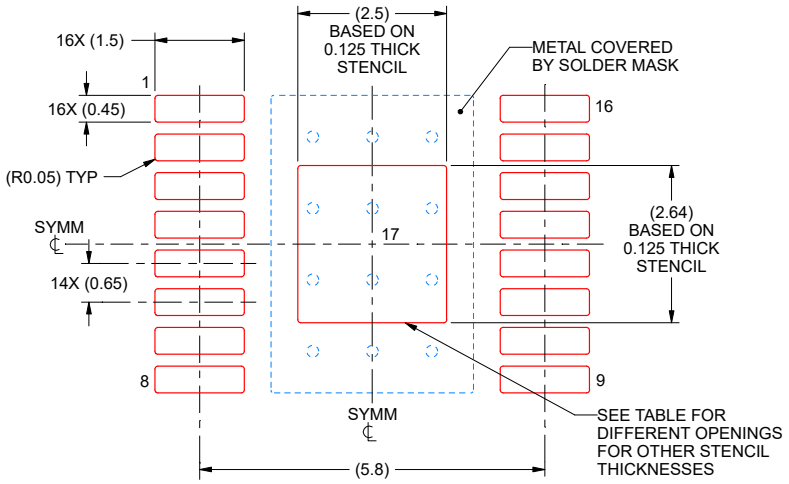
www.ti.com

Copyright © 2024 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PWP0016-C01 — **PowerPAD™ TSSOP - 1.2 mm max height**

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.80 X 2.95
0.125	2.5 X 2.64 (SHOWN)
0.15	2.28 X 2.41
0.175	2.11 X 2.23

4229315/A 12/2022

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8410PWPR	Active	Production	HTSSOP (PWP) | 16	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-3-260C-168 HR	-40 to 125	8410
DRV8410PWPR.A	Active	Production	HTSSOP (PWP) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8410
DRV8410RTER	Active	Production	WQFN (RTE) | 16	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8410
DRV8410RTER.A	Active	Production	WQFN (RTE) | 16	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8410

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

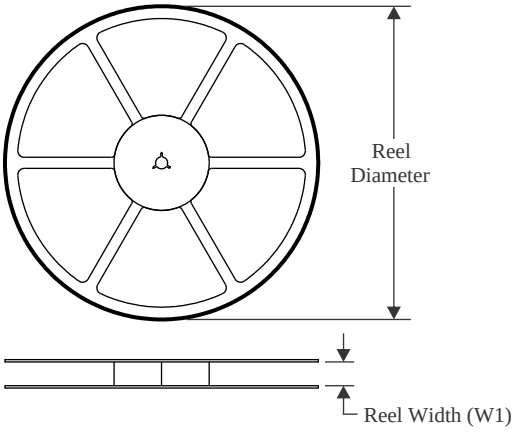
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

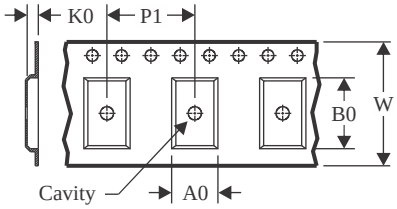
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

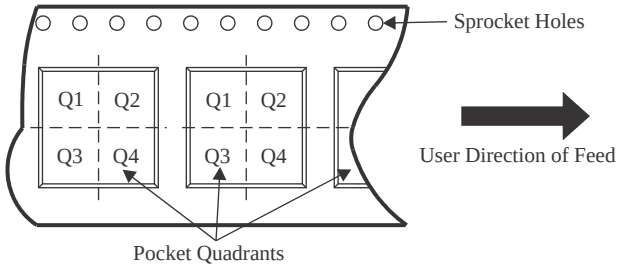


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

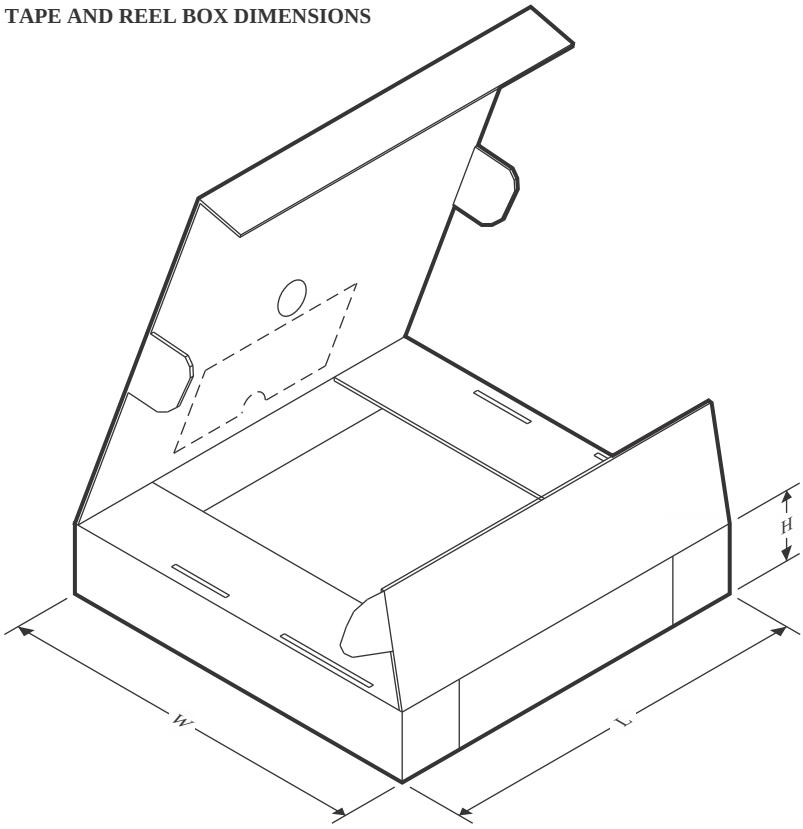
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8410PWPR	HTSSOP	PWP	16	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
DRV8410PWPR	HTSSOP	PWP	16	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
DRV8410RTER	WQFN	RTE	16	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8410PWPR	HTSSOP	PWP	16	3000	356.0	356.0	36.0
DRV8410PWPR	HTSSOP	PWP	16	3000	353.0	353.0	32.0
DRV8410RTER	WQFN	RTE	16	5000	360.0	360.0	36.0

GENERIC PACKAGE VIEW

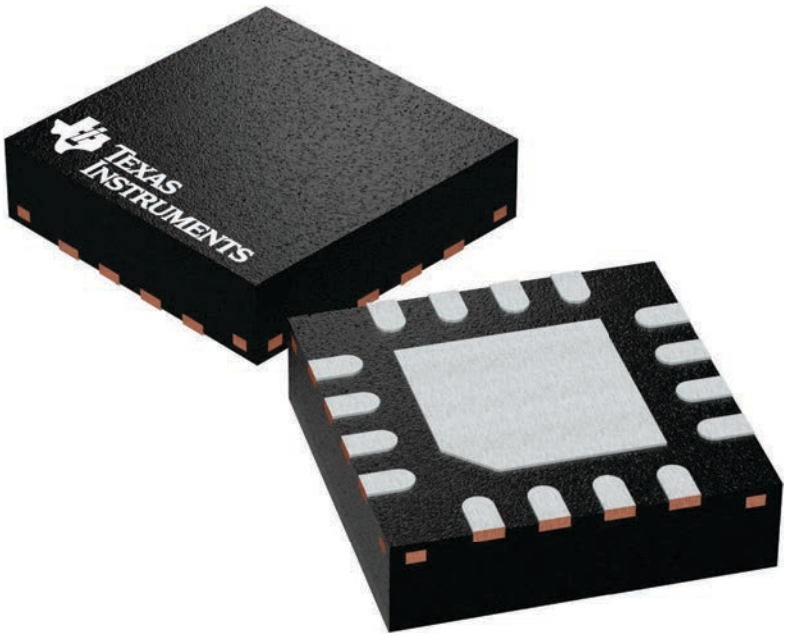
RTE 16

WQFN - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

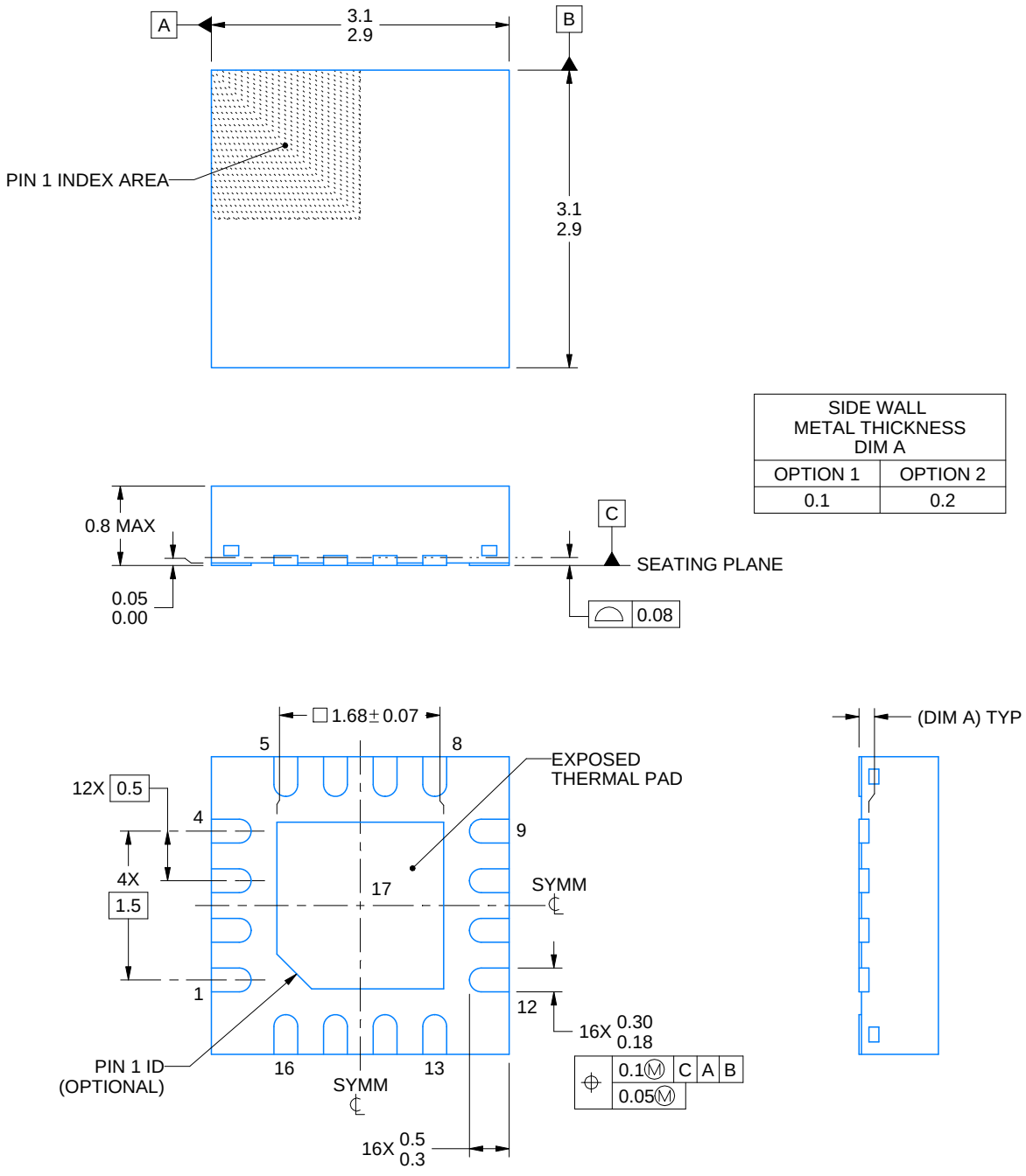


RTE0016C

PACKAGE OUTLINE

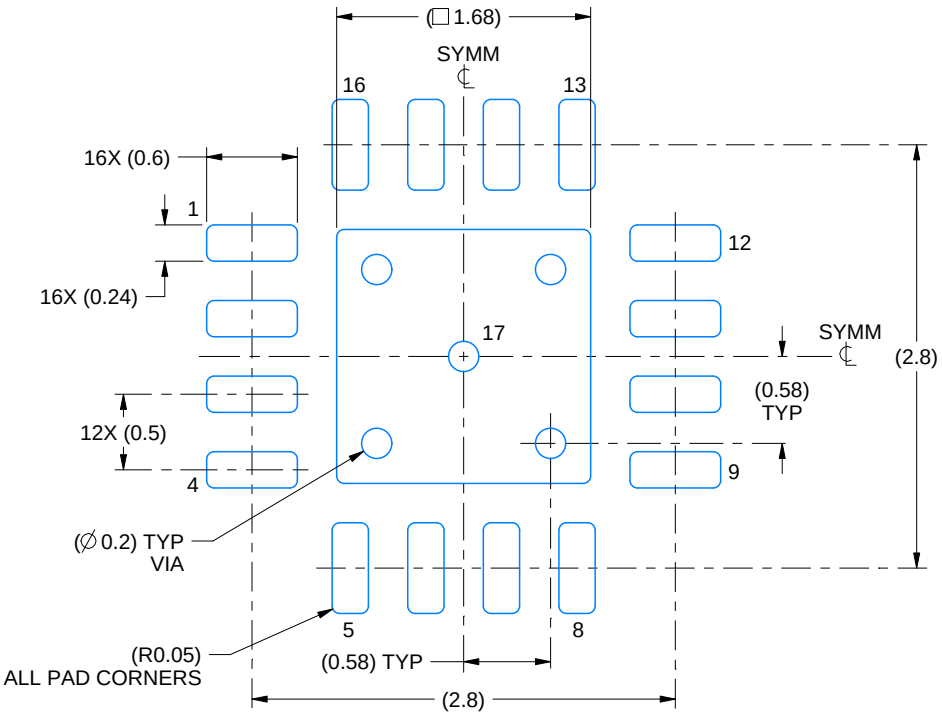
WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

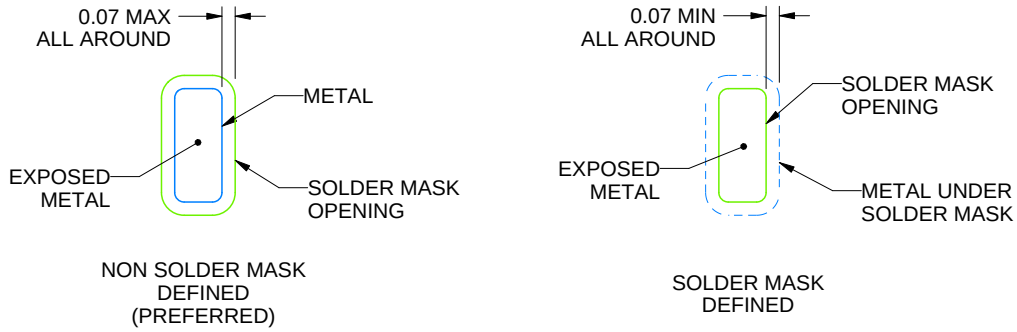


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

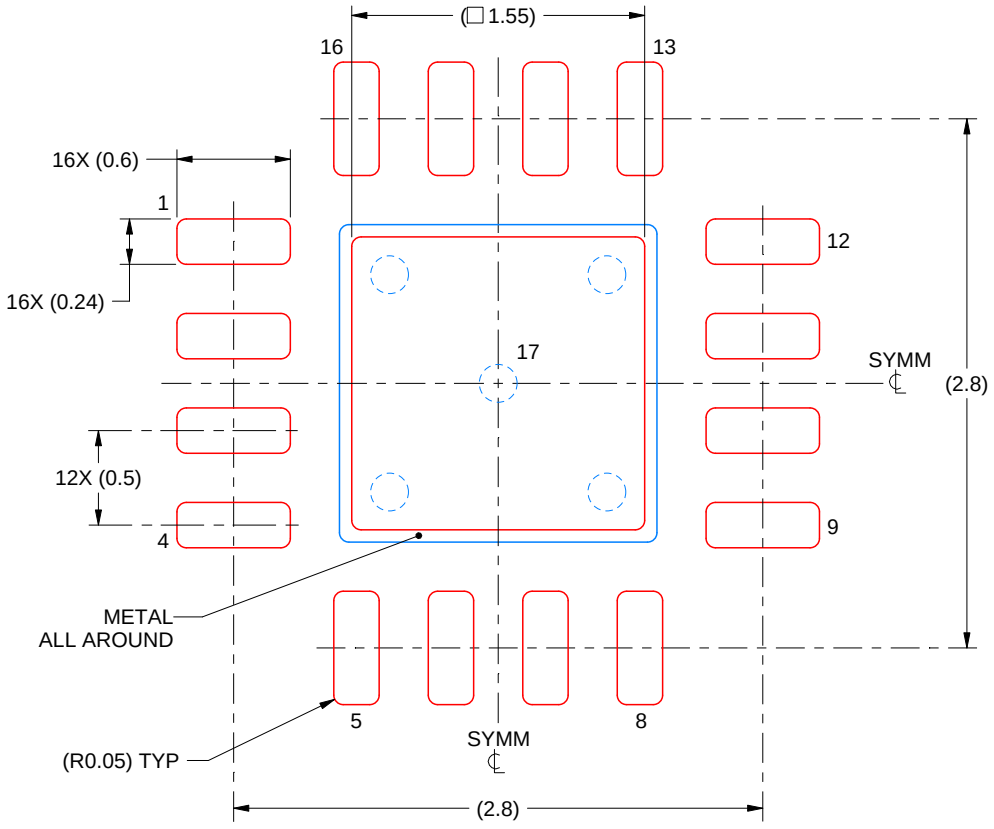


SOLDER MASK DETAILS

4219117/B 04/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月