

DRV870x-Q1 車載用 H ブリッジ・ゲート・ドライバ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み
 - デバイス温度グレード 1: -40°C ~ +125°C の動作時周囲温度範囲
- 機能安全対応
 - DRV8702-Q1 DRV8703-Q1 の機能安全システムの設計に役立つ資料を利用可能
- 1 つの H ブリッジ ゲートドライバ
 - 4 つの外部 N チャンネル MOSFET を駆動
 - 100% の PWM デューティ サイクルをサポート
- 5.5 ~ 45V の動作電源電圧範囲
- 3 つの制御インターフェイス オプション
 - PH/EN、独立した H ブリッジ、PWM
- 構成用のシリアル インターフェイス (DRV8703-Q1)
- スマート ゲートドライブ アーキテクチャ
 - スルー レート制御を調整可能
- 各 H ブリッジを個別制御
- 1.8V、3.3V、5V のロジック入力をサポート
- 電流シャント アンプ
- PWM 電流レギュレーション機能を内蔵
- 低消費電力スリープ モード
- 保護機能
 - 電源の低電圧誤動作防止 (UVLO)
 - チャージ ポンプの低電圧 (CPUV) 誤動作防止
 - 過電流保護 (OCP)
 - ゲートドライバ フォルト (GDF)
 - サーマル シャットダウン (TSD)
 - ウォッチドッグ タイマ (DRV8703-Q1)
 - フォルト状態出力 (nFAULT)

2 アプリケーション

- パワー・ウィンドウ・リフト、サンルーフ、シート、スライド・ドア、トランク、テールゲート
- リレーの代替品
 - アプリケーション・レポート: [SLVA837](#)
 - TI Design リファレンス・デザイン: [TIDUCQ9](#)
- ブラシ付き DC ポンプ

3 説明

DRV870x-Q1 デバイスは、4 つの外部 N チャンネル MOSFET を使用して双方向ブラシ付き DC モータを駆動できる、小型のシングル H ブリッジ ゲートドライバです。

PH/EN、独立した H ブリッジ、または PWM インターフェイスにより、制御回路に容易に接続できます。内部のセンス アンプが調整可能な電流制御を行います。内蔵のチャージ ポンプにより 100% デューティ サイクルがサポートされ、外部の逆極性バッテリー スイッチの駆動に使用できます。

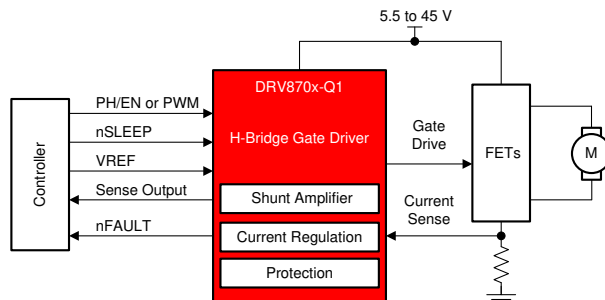
独立のハーフ ブリッジ モードによりハーフ ブリッジを共有し、複数の DC モータをシークエンシャルに、コスト効率の高い方法で制御できます。ゲートドライバには、オフ時間が固定された PWM 電流チョッピングにより巻線電流を調整するための回路が含まれています。

DRV870x-Q1 デバイスにはスマート ゲートドライブ 技術を採用しているため、外部のゲート部品 (抵抗やツェナー ダイオード) を必要とせず、外部 FET を保護できます。スマート ゲートドライブ アーキテクチャはデッドタイムを最適化することで貫通電流状況を回避し、プログラム可能なスルーレート制御により電磁気干渉 (EMI) を柔軟に低減し、いかなるゲート短絡状況からも保護を行えます。さらに、アクティブおよびパッシブ プルダウンが組み込まれており、あらゆる dv/dt ゲート ターンオンを防止できます。

デバイス情報 (1)

部品番号	パッケージ	本体サイズ (公称)
DRV8702-Q1	VQFN (32)	5.00mm × 5.00mm
DRV8703-Q1		

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



Copyright © 2016, Texas Instruments Incorporated

概略回路図



目次

1 特長.....	1	6.5 プログラミング.....	42
2 アプリケーション.....	1	7 レジスタ マップ.....	44
3 説明.....	1	8 アプリケーションと実装.....	50
4 ピン構成および機能.....	3	8.1 使用上の注意.....	50
ピンの機能.....	3	8.2 代表的なアプリケーション.....	50
5 仕様.....	6	9 電源に関する推奨事項.....	54
5.1 絶対最大定格.....	6	9.1 バルク容量の決定.....	54
5.2 ESD 定格.....	6	10 レイアウト.....	55
5.3 推奨動作条件.....	7	10.1 レイアウトのガイドライン.....	55
5.4 熱に関する情報.....	7	10.2 レイアウト例.....	55
5.5 電気的特性.....	7	11 デバイスおよびドキュメントのサポート.....	56
5.6 SPI のタイミング要件.....	12	11.1 ドキュメントのサポート.....	56
5.7 スイッチング特性.....	13	11.2 ドキュメントの更新通知を受け取る方法.....	56
5.8 代表的特性.....	15	11.3 サポート・リソース.....	56
6 詳細説明.....	20	11.4 商標.....	56
6.1 概要.....	20	11.5 静電気放電に関する注意事項.....	56
6.2 機能ブロック図.....	21	11.6 用語集.....	56
6.3 機能説明.....	23	12 改訂履歴.....	56
6.4 デバイスの機能モード.....	42	13 メカニカル、パッケージ、および注文情報.....	57

4 ピン構成および機能

ピンの機能

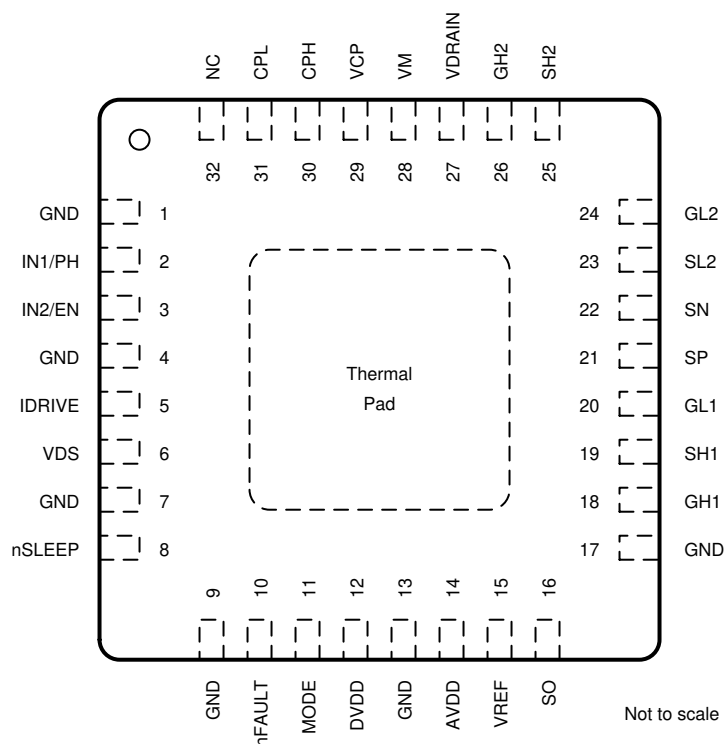


図 4-1. ウェットブル フランク付き DRV8702-Q1 RHB パッケージ 32 ピン VQFN 上面図

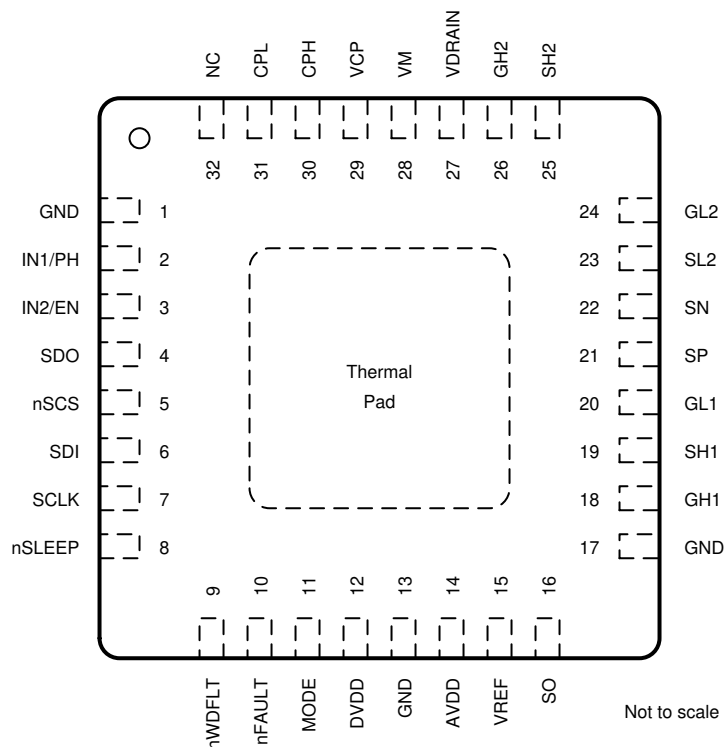


図 4-2. ウェットブル フランク付き DRV8703-Q1 RHB パッケージ 32 ピン VQFN 上面図

ピン			タイプ ⁽¹⁾	説明
名称	番号			
	DRV8702-Q1	DRV8703-Q1		
AVDD	14	14	PWR	アナログ レギュレータ。このピンは 5V アナログ電源レギュレータです。6.3V、1μF のセラミック コンデンサで、このピンをグラウンドにバイパスします。
CPH	30	30	PWR	チャージ ポンプのスイッチング ノード。電源電圧 (VM) の定格の 0.1μF X7R コンデンサを、CPH ピンと CPL ピンの間に接続します。
CPL	31	31	PWR	チャージ ポンプのスイッチング ノード。電源電圧 (VM) の定格の 0.1μF X7R コンデンサを、CPH ピンと CPL ピンの間に接続します。
DVDD	12	12	PWR	ロジックレギュレータ。このピンは、3.3V ロジック電源用のレギュレータです。6.3V、1μF のセラミック コンデンサで、このピンをグラウンドにバイパスします。
GH1	18	18	O	ハイサイド ゲート。このピンをハイサイド FET ゲートに接続します。
GH2	26	26	O	ハイサイド ゲート。このピンをハイサイド FET ゲートに接続します。
GL1	20	20	O	ローサイド ゲート。このピンをローサイド FET ゲートに接続します。
GL2	24	24	O	ローサイド ゲート。このピンをローサイド FET ゲートに接続します。
GND	1	1	PWR	デバイスのグラウンド。このピンは、システムのグラウンドに接続します。
GND	13	13	PWR	デバイスのグラウンド。このピンは、システムのグラウンドに接続します。
GND	17	17	PWR	デバイスのグラウンド。このピンは、システムのグラウンドに接続します。
GND	4	—	PWR	デバイスのグラウンド。このピンは、システムのグラウンドに接続します。
GND	7	—	PWR	デバイスのグラウンド。このピンは、システムのグラウンドに接続します。
GND	9	—	PWR	デバイスのグラウンド。このピンは、システムのグラウンドに接続します。
IDRIVE	5	—	I	ゲート駆動の電流設定ピン。このピンに印加される抵抗値または電圧により、ゲート駆動電流が設定されます。詳細については、「」セクションを参照してください。 セクション 8.2.2.2
IN1/PH	2	2	I	入力制御ピン。このピンのロジックは MODE ピンに依存します。このピンは内部プルダウン抵抗に接続されています。

ピン			タイプ ⁽¹⁾	説明
名称	番号			
	DRV8702-Q1	DRV8703-Q1		
IN2/EN	3	3	I	入力制御ピン。このピンのロジックは MODE ピンに依存します。このピンは内部プルダウン抵抗に接続されています。
モード	11	11	I	モード制御ピン。H ブリッジ動作を使用するには、このピンをロジック Low にプルします。ハーフブリッジ動作を独立して行うには、このピンをロジック High にプルします。このピンは内部抵抗デバイダに接続されています。このピンの動作は、スリープ モードの終了時にラッチされます。このピンは、内部プルアップとプルダウン抵抗に接続されています。
NC	32	32	NC	接続なし。内部接続なし
SCLK	—	7	I	SPI クロック。このピンは SPI クロック信号用です。このピンは内部プルダウン抵抗に接続されています。
SDI	—	6	I	SPI 入力。このピンは SPI 入力信号用です。このピンは内部プルダウン抵抗に接続されています。
SDO	—	4	OD	SPI 出力。このピンは SPI 出力信号用です。このピンはオープンドレイン出力で、外部プルアップ抵抗が必要です。
SH1	19	19	I	ハイサイド ソース。このピンをハイサイド FET ソースに接続します。
SH2	25	25	I	ハイサイド ソース。このピンをハイサイド FET ソースに接続します。
SL2	23	23	I	ローサイド ソース。このピンをローサイド FET ソースに接続します。
SN	22	22	I	シャント アンプ 負入力。このピンを電流センス抵抗に接続します。
SO	16	16	O	シャント アンプ 出力。このピンの電圧は、SP 電圧に A _V を乗じ、オフセットを加えた値に等しくなります。このピンには 1nF 以上の容量を接続しないでください。
SP	21	21	I	シャント アンプ 正入力。このピンを電流センス抵抗に接続します。
VCP	29	29	PWR	チャージ ポンプ 出力。このピンと VM ピンの間に 16V、1μF のセラミック コンデンサを接続します。
VDRAIN	27	27	I	ハイサイド FET ドレイン接続。このピンは 2 つの H ブリッジに共通です。
VDS	6	—	I	VDS モニタ設定ピン。このピンに印加される抵抗値または電圧で、VDS モニタ スレッシュホールドを設定します。詳細については、「」セクションを参照してください。 セクション 8.2.2.3
VM	28	28	PWR	電源。このピンをモーター電源電圧に接続します。このピンは、0.1μF セラミックと 10μF (最小値) コンデンサを使用してグラウンドにバイパスします。
VREF	15	15	I	電流設定リファレンス入力。このピンの電圧で、ドライバ チョッピング電流を設定します。
nWDFLT	—	9	OD	ウォッチドッグ フォルト通知ピン。このピンはウォッチドッグのフォルト状態発生時、ロジック Low にプルされます。このピンはオープンドレイン出力で、外部プルアップ抵抗が必要です。
nFAULT	10	10	OD	フォルト通知ピン。このピンはフォルト状態発生時にロジック Low にプルされます。このピンはオープンドレイン出力で、外部プルアップ抵抗が必要です。
nSCS	—	5	I	SPI チップ セレクト。このピンで SPI を選択し有効にします。このピンはアクティブ Low です。
nSLEEP	8	8	I	デバイス スリープ モード。このピンをロジック Low にプルすると、デバイスは FET がハイ インピーダンス (Hi-Z) の状態で低消費電力スリープ モードに移行します。このピンは内部プルダウン抵抗に接続されています。

(1) I = 入力、O = 出力、PWR = 電源、NC = 接続なし、OD = オープンドレイン出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電源電圧	VM	-0.3	47	V
チャージ ポンプ電圧	VCP, CPH	-0.3	$V_{VM} + 12$	V
チャージ ポンプ負スイッチング ピン	CPL	-0.3	V_{VM}	V
内部ロジックレギュレータ電圧	DVDD	-0.3	3.8	V
内部アナログレギュレータ電圧	AVDD	-0.3	5.75	V
ドレイン ピンの電圧	VDRAIN	-0.3	47	V
電源と VDRAIN 間の電圧差	VM – VDRAIN	-10	10	V
制御ピン電圧	IN1, IN2, nSLEEP, nFAULT, VREF, IDRIIVE, VDS, MODE, nSCS, SCLK, SDI, SDO, nWDFLT	-0.3	5.75	V
ハイサイド ゲート ピン電圧	GH1, GH2	-0.3	$V_{VM} + 12$	V
ローサイド ゲート ピン電圧	GL1, GL2	-0.3	12	V
連続位相ノード ピン電圧	SH1, SH2	-1.2	$V_{VM} + 1.2$	V
パルス 10 μ s 位相ノード ピン電圧	SH1, SH2	-2	$V_{VM} + 2$	V
連続シャントアンプ入力ピン電圧	SP, SL2	-0.5	1.2	V
	SN	-0.3	0.3	V
パルス 10 μ s シャントアンプ入力ピン電圧	SP, SL2	-1	1.2	V
シャントアンプ出力ピン電圧	SO	-0.3	5.75	V
シャントアンプ出力ピン電流	SO	0	5	mA
外付け直列抵抗による最大電流、制限電流	VDRAIN	-2	2	mA
オープンドレイン出力電流	nFAULT, SDO, nWDFLT	0	10	mA
ゲート ピン ソース電流	GH1, GL1, GH2, GL2	0	250	mA
ゲート ピン シンク電流	GH1, GL1, GH2, GL2	0	500	mA
動作時の接合部温度、T _J		-40	150	°C
保管温度、T _{stg}		-65	150	°C

(1) 「絶対最大定格」で示す値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレスの定格のみについてであり、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示す値を超える他のいかなる条件でも、このデバイスが正しく動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 ⁽¹⁾ HBM ESD 分類レベル 2 準拠	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠 CDM ESD 分類レベル C4B	±500	
		すべてのピン コーナー ピン (1、8、9、16、17、24、25、32)	±750	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

			最小値	最大値	単位
V_{VM}	電源電圧	VM	5.5	45	V
V_{CC}	ロジックレベル入力電圧		0	5.25	V
V_{VREF}	電流シャントアンプリファレンス電圧	VREF	0.3 ⁽¹⁾	3.6	V
$f_{(PWM)}$	適用する PWM 信号 (IN1/IN2)	IN1, IN2		100	kHz
I_{AVDD}	AVDD 外部負荷電流			30 ⁽²⁾	mA
I_{DVDD}	DVDD 外部負荷電流			30 ⁽²⁾	mA
I_{SO}	シャントアンプ出力電流負荷	SO		5	mA
T_A	動作時周囲温度		-40	125	°C

- (1) $V_{VREF} = 0 \sim$ 約 0.3V で動作しますが、精度は低下します。
(2) 消費電力および温度の制限に従う必要があります。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		DRV870x-Q1	単位
		RHB (VQFN)	
		32 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	32.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	19.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	6.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	6.8	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	1.8	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションレポートを参照してください。

5.5 電気的特性

推奨動作条件範囲内 (特に記述のない限り)。標準の制限値には $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 13.5\text{V}$ を適用

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (VM、AVDD、DVDD)						
V _{VM}	VM 動作電圧	ゲートドライバ機能	5.5		45	V
		ロジック機能	4.5		45	
I _{VM}	VM 動作電源電流	V _{VM} = 13.5V、nSLEEP=1	5.5	7.5	12	mA
I _(SLEEP)	VM スリープ モード電源電流	nSLEEP = 0、V _{VM} = 13.5V、T _A = 25°C			14	μA
		nSLEEP = 0、V _{VM} = 13.5V、T _A = 125°C ⁽¹⁾			25	
V _{DVDD}	内部ロジックレギュレータ電圧	2mA 負荷	3	3.3	3.5	V
		30mA 負荷、V _{VM} = 13.5V	2.9	3.2	3.5	
V _{AVDD}	内部ロジックレギュレータ電圧	2mA 負荷	4.7	5	5.3	V
		30mA 負荷、V _{VM} = 13.5V	4.6	5	5.3	
チャージポンプ (VCP、CPH、CPL)						
V _{VCP}	VCP 動作電圧	V _{VM} = 13.5V、I _{VCP} = 0 ～ 12mA	22.5	23.5	24.5	V
		V _{VM} = 8V、I _{VCP} = 0 ～ 10mA	13.7	14	14.8	
		V _{VM} = 5.5V、I _{VCP} = 0 ～ 8mA	8.9	9.1	9.5	

推奨動作条件範囲内 (特に記述のない限り)。標準の制限値には $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 13.5\text{V}$ を適用

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{VCP}	チャージポンプの電流容量	V _{VM} > 13.5V	12			mA
		8V < V _{VM} < 13.5V	10			
		5.5V < V _{VM} < 8V	8			
制御入力 (IN1/PH、IN2/EN、nSLEEP、MODE、nSCS、SCLK、SDI)						
V _{IL}	入力ロジック Low 電圧		0		0.8	V
V _{IH}	入力ロジック High 電圧		1.5		5.25	V
V _{hys}	入力ロジックヒステリシス		100			mV
I _{IL}	入力ロジック Low 電流	V _{IN} = 0V	-5		5	μA
I _{IH}	入力ロジック High 電流	V _{IN} = 5V			70	μA
R _{PD}	プルダウン抵抗	IN1/PH、IN2/EN、nSLEEP、nSCS、SCLK、SDI	64	100	173	kΩ
R _{PD}	プルダウン抵抗	モード		65		kΩ
R _{PU}	プルアップ抵抗	モード		26		kΩ
制御出力 (nFAULT、WDFault、SDO)						
V _{OL}	出力ロジック Low 電圧	I _O = 2mA			0.1	V
I _{OZ}	出力ハイインピーダンスリーケージ	5V プルアップ電圧	-2		2	μA
FET ゲートドライバ (GH1、GH2、SH1、SH2、GL1、GL2)						
V _{GSH}	ハイサイド V _{GS} ゲート駆動 (ゲート - ソース間)	V _{VM} > 13.5V、SHx を基準とした V _{GSH}		10.5	11.5	V
		V _{VM} = 8V、SHx を基準とした V _{GSH}	5.7		6.8	
		V _{VM} = 5.5V、SHx を基準とした V _{GSH}	3.4		4	
V _{GSL}	ローサイド V _{GS} ゲートドライブ (ゲート - ソース間)	V _{VM} > 10.5V		10.5		V
		V _{VM} < 10.5V	V _{VM} - 2			
I _{DRIVE(SRC_HS)}	ハイサイド ピーク ソース電流 (V _{VM} = 5.5V)	R _(IDRIVE) < 1kΩ ~ GND (DRV8702) または IDRIVE = 3'b000 (DRV8703)		10		mA
		R _(IDRIVE) = 33kΩ ~ GND (DRV8702) または IDRIVE = 3'b001 (DRV8703)		20		
		R _(IDRIVE) = 200kΩ ~ GND (DRV8702) または IDRIVE = 3'b010 (DRV8703)		50		
		IDRIVE = 3'b011 (DRV8703)		70		
		IDRIVE = 3'b100 (DRV8703)		100		
		R _(IDRIVE) > 2MΩ ~ GND (DRV8702) または IDRIVE = 3'b101 (DRV8703)		145		
		R _(IDRIVE) = 68kΩ ~ AVDD (DRV8702) または IDRIVE = 3'b110 (DRV8703)		190		
		R _(IDRIVE) = 1kΩ ~ AVDD (DRV8702) または IDRIVE = 3'b111 (DRV8703)		240		

推奨動作条件範囲内 (特に記述のない限り)。標準の制限値には $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 13.5\text{V}$ を適用

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{\text{DRIVE(SNK_HS)}}$	ハイサイド ピーク シンク電流 ($V_{VM} = 5.5\text{V}$)	$R_{(\text{IDRIVE})} < 1\text{k}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b000$ (DRV8703)		20		mA
		$R_{(\text{IDRIVE})} = 33\text{k}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b001$ (DRV8703)		40		
		$R_{(\text{IDRIVE})} = 200\text{k}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b010$ (DRV8703)		90		
		$\text{IDRIVE} = 3'b011$ (DRV8703)		120		
		$\text{IDRIVE} = 3'b100$ (DRV8703)		170		
		$R_{(\text{IDRIVE})} > 2\text{M}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b101$ (DRV8703)		250		
		$R_{(\text{IDRIVE})} = 68\text{k}\Omega \sim \text{AVDD}$ (DRV8702) または $\text{IDRIVE} = 3'b110$ (DRV8703)		330		
		$R_{(\text{IDRIVE})} = 1\text{k}\Omega \sim \text{AVDD}$ (DRV8702) または $\text{IDRIVE} = 3'b111$ (DRV8703)		420		
$I_{\text{DRIVE(SRC_LS)}}$	ローサイド ピーク ソース電流 ($V_{VM} = 5.5\text{V}$)	$R_{(\text{IDRIVE})} < 1\text{k}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b000$ (DRV8703)		10		mA
		$R_{(\text{IDRIVE})} = 33\text{k}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b001$ (DRV8703)		20		
		$R_{(\text{IDRIVE})} = 200\text{k}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b010$ (DRV8703)		40		
		$\text{IDRIVE} = 3'b011$ (DRV8703)		55		
		$\text{IDRIVE} = 3'b100$ (DRV8703)		75		
		$R_{(\text{IDRIVE})} > 2\text{M}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b101$ (DRV8703)		115		
		$R_{(\text{IDRIVE})} = 68\text{k}\Omega \sim \text{AVDD}$ (DRV8702) または $\text{IDRIVE} = 3'b110$ (DRV8703)		145		
		$R_{(\text{IDRIVE})} = 1\text{k}\Omega \sim \text{AVDD}$ (DRV8702) または $\text{IDRIVE} = 3'b111$ (DRV8703)		190		
$I_{\text{DRIVE(SNK_LS)}}$	ローサイド ピーク シンク電流 ($V_{VM} = 5.5\text{V}$)	$R_{(\text{IDRIVE})} < 1\text{k}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b000$ (DRV8703)		20		mA
		$R_{(\text{IDRIVE})} = 33\text{k}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b001$ (DRV8703)		40		
		$R_{(\text{IDRIVE})} = 200\text{k}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b010$ (DRV8703)		85		
		$\text{IDRIVE} = 3'b011$ (DRV8703)		115		
		$\text{IDRIVE} = 3'b100$ (DRV8703)		160		
		$R_{(\text{IDRIVE})} > 2\text{M}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b101$ (DRV8703)		235		
		$R_{(\text{IDRIVE})} = 68\text{k}\Omega \sim \text{AVDD}$ (DRV8702) または $\text{IDRIVE} = 3'b110$ (DRV8703)		300		
		$R_{(\text{IDRIVE})} = 1\text{k}\Omega \sim \text{AVDD}$ (DRV8702) または $\text{IDRIVE} = 3'b111$ (DRV8703)		360		

推奨動作条件範囲内 (特に記述のない限り)。標準の制限値には $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 13.5\text{V}$ を適用

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{\text{DRIVE}(\text{SRC_HS})}$	ハイサイド ピーク ソース電流 ($V_{VM} = 13.5\text{V}$)	$R_{(\text{IDRIVE})} < 1\text{k}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b000$ (DRV8703)		10		mA
		$R_{(\text{IDRIVE})} = 33\text{k}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b001$ (DRV8703)		20		
		$R_{(\text{IDRIVE})} = 200\text{k}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b010$ (DRV8703)		50		
		$\text{IDRIVE} = 3'b011$ (DRV8703)		70		
		$\text{IDRIVE} = 3'b100$ (DRV8703)		105		
		$R_{(\text{IDRIVE})} > 2\text{M}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b101$ (DRV8703)		155		
		$R_{(\text{IDRIVE})} = 68\text{k}\Omega \sim \text{AVDD}$ (DRV8702) または $\text{IDRIVE} = 3'b110$ (DRV8703)		210		
		$R_{(\text{IDRIVE})} = 1\text{k}\Omega \sim \text{AVDD}$ (DRV8702) または $\text{IDRIVE} = 3'b111$ (DRV8703)		260		
$I_{\text{DRIVE}(\text{SNK_HS})}$	ハイサイド ピーク シンク電流 ($V_{VM} = 13.5\text{V}$)	$R_{(\text{IDRIVE})} < 1\text{k}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b000$ (DRV8703)		20		mA
		$R_{(\text{IDRIVE})} = 33\text{k}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b001$ (DRV8703)		40		
		$R_{(\text{IDRIVE})} = 200\text{k}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b010$ (DRV8703)		95		
		$\text{IDRIVE} = 3'b011$ (DRV8703)		130		
		$\text{IDRIVE} = 3'b100$ (DRV8703)		185		
		$R_{(\text{IDRIVE})} > 2\text{M}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b101$ (DRV8703)		265		
		$R_{(\text{IDRIVE})} = 68\text{k}\Omega \sim \text{AVDD}$ (DRV8702) または $\text{IDRIVE} = 3'b110$ (DRV8703)		350		
		$R_{(\text{IDRIVE})} = 1\text{k}\Omega \sim \text{AVDD}$ (DRV8702) または $\text{IDRIVE} = 3'b111$ (DRV8703)		440		
$I_{\text{DRIVE}(\text{SRC_LS})}$	ローサイド ピーク ソース電流 ($V_{VM} = 13.5\text{V}$)	$R_{(\text{IDRIVE})} < 1\text{k}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b000$ (DRV8703)		10		mA
		$R_{(\text{IDRIVE})} = 33\text{k}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b001$ (DRV8703)		20		
		$R_{(\text{IDRIVE})} = 200\text{k}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b010$ (DRV8703)		45		
		$\text{IDRIVE} = 3'b011$ (DRV8703)		60		
		$\text{IDRIVE} = 3'b100$ (DRV8703)		90		
		$R_{(\text{IDRIVE})} > 2\text{M}\Omega \sim \text{GND}$ (DRV8702) または $\text{IDRIVE} = 3'b101$ (DRV8703)		130		
		$R_{(\text{IDRIVE})} = 68\text{k}\Omega \sim \text{AVDD}$ (DRV8702) または $\text{IDRIVE} = 3'b110$ (DRV8703)		180		
		$R_{(\text{IDRIVE})} = 1\text{k}\Omega \sim \text{AVDD}$ (DRV8702) または $\text{IDRIVE} = 3'b111$ (DRV8703)		225		

推奨動作条件範囲内 (特に記述のない限り)。標準の制限値には $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 13.5\text{V}$ を適用

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{DRIVE(SNK_LS)}	ローサイド ピーク シンク電流 (V _{VM} = 13.5V)	R _(IDRIVE) < 1kΩ ~ GND (DRV8702-Q1) または IDRIVE = 3'b000 (DRV8703-Q1)		20		mA
		R _(IDRIVE) = 33kΩ ~ GND (DRV8702-Q1) または IDRIVE = 3'b001 (DRV8703-Q1)		40		
		R _(IDRIVE) = 200kΩ ~ GND (DRV8702-Q1) または IDRIVE = 3'b010 (DRV8703-Q1)		95		
		IDRIVE = 3'b011 (DRV8703-Q1)		125		
		IDRIVE = 3'b100 (DRV8703-Q1)		180		
		R _(IDRIVE) > 2MΩ ~ GND (DRV8702-Q1) または IDRIVE = 3'b101 (DRV8703-Q1)		260		
		R _(IDRIVE) = 68kΩ ~ AVDD (DRV8702-Q1) または IDRIVE = 3'b110 (DRV8703-Q1)		350		
		R _(IDRIVE) = 1kΩ ~ AVDD (DRV8702-Q1) または IDRIVE = 3'b111 (DRV8703-Q1)		430		
I _{HOLD}	FET ホールド電流	t _{DRIVE} 後のソース電流		10		mA
		t _{DRIVE} 後のシンク電流		40		
I _{STRONG}	FET ホールドオフ強力プルダウン	GHx		750		mA
		GLx		1000		
R _(OFF)	FET ゲート ホールドオフ抵抗	GHx を SHx にプルダウン		150		kΩ
		GLx を GND にプルダウン		150		
電流シャント アンプと PWM 電流制御 (SP、SN、SO、VREF)						
V _{VREF}	VREF 入力 RMS 電圧	電流の内部チョッピング用	0.3 ⁽²⁾		3.6	V
R _{VREF}	VREF 入力インピーダンス	DRV8702-Q1 および DRV8703-Q1 VREF_SCL = 00 (100%)	1			MΩ
		DRV8703-Q1 VREF_SCL = 2'b01、2'b10 または 2'b11		175		kΩ
A _V	アンプゲイン (DRV8702-Q1)	60 < V _{SP} < 225mV、V _{SN} = GND	19.3	19.8	20.3	V/V
A _V	アンプゲイン (DRV8703-Q1)	GAIN_CS = 00、10 < V _{SP} < 450mV、V _{SN} = GND	9.75	10	10.25	V/V
		GAIN_CS = 01、60 < V _{SP} < 225mV、V _{SN} = GND	19.3	19.8	20.3	
		GAIN_CS = 10、10 < V _{SP} < 112mV、V _{SN} = GND	38.4	39.4	40.4	
		GAIN_CS = 11、10 < V _{SP} < 56mV、V _{SN} = GND	73	78	81	
V _{IO}	入力換算オフセット	V _{SP} = V _{SN} = GND		5	10	mV
V _{IO(DRIFT)}	ドリフト オフセット ⁽²⁾	V _{SP} = V _{SN} = GND		10		μV/°C
I _{SP}	SP 入力電流	V _{SP} = 100mV、V _{SN} = GND		-20		μA
V _{SO}	SO ピン出力電圧範囲		A _V × V _{io}		4.5	V
C _(SO)	許容可能な SO ピン容量				1	nF
保護回路						
V _(UVLO2)	VM 低電圧誤動作防止	VM 立ち下がり、UVLO2 レポート		5.25	5.45	V
		VM 立ち上がり、UVLO2 回復		5.4	5.65	
V _(UVLO1)	ロジック低電圧ロックアウト				4.5	V
V _{hys(UVLO)}	VM 低電圧ヒステリシス	立ち上がりから立ち下がりへのスレッショルド	100			mV

推奨動作条件範囲内 (特に記述のない限り)。標準の制限値には $T_A = 25^{\circ}\text{C}$ 、 $V_{VM} = 13.5\text{V}$ を適用

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _(CP_UV)	チャージ ポンプ低電圧	VCP 立ち下がりが、CPUV 通知	V _{VM} + 1.5			V
		VCP 立ち上がりが、CPUV 回復	V _{VM} + 1.55			
V _{hys} (CP_UV)	CP 低電圧ヒステリシス	立ち上がりから立ち下がりへのスレッショルド	50			mV
V _{DS} (OCP)	過電流保護トリップ レベル、各外部 FET (DRV8702-Q1) の V _{DS} ハイサイド FET: VDRAIN – SHx ローサイド FET: SHx – SP/SL2	R _(VDS) < 1kΩ で GND に接続	0.06			V
		R _(VDS) = 33kΩ で GND に接続	0.12			
		R _(VDS) = 200kΩ で GND に接続	0.24			
		R _(VDS) > 2MΩ で GND に接続	0.48			
		R _(VDS) = 68kΩ で AVDD に接続	0.96			
		R _(VDS) < 1kΩ で AVDD に接続	無効			
V _{DS} (OCP)	過電流保護トリップ レベル、各外部 FET (DRV8703-Q1) の V _{DS} ハイサイド FET: VDRAIN – SHx ローサイド FET: SHx – SP/SL2	VDS_LEVEL = 3'b000	0.06			V
		VDS_LEVEL = 3'b001	0.145			
		VDS_LEVEL = 3'b010	0.17			
		VDS_LEVEL = 3'b011	0.2			
		VDS_LEVEL = 3'b100	0.12			
		VDS_LEVEL = 3'b101	0.24			
		VDS_LEVEL = 3'b110	0.48			
		VDS_LEVEL = 3'b111	0.96			
V _{SP} (OCP)	過電流保護トリップ レベル、センス アン プで測定	GND に対する V _{SP}	0.8	1	1.2	V
T _(OTW)	過熱警告温度 ⁽¹⁾	ダイ温度 T _J	120	135	145	°C
T _{SD}	サーマル・シャットダウン温度 ⁽¹⁾	ダイ温度 T _J	150			°C
T _{hys}	サーマル シャットダウン ヒステリシス ⁽¹⁾	ダイ温度 T _J		20		°C
V _C (GS)	ゲート駆動クランプ電圧	正のクランプ電圧	16.3	17	17.8	V
		負のクランプ電圧	-1	-0.7	-0.5	

(1) 設計と特性データにより確認済み

(2) $V_{VREF} = 0 \sim$ 約 0.3V で動作しますが、精度は低下します。

5.6 SPI のタイミング要件

		最小値	公称値	最大値	単位
$t_{(CLK)}$	最小 SPI クロック周期	100			ns
$t_{(CLKH)}$	クロック High 時間	50			ns
$t_{(CLKL)}$	クロック Low 時間	50			ns
$t_{(SU_SDI)}$	SDI 入力データ セットアップ時間	20			ns
$t_{(HD_SDI)}$	SDI 入力データ ホールド時間	30			ns
$t_{(HD_SDO)}$	SDO 出力のホールド時間	40			ns
$t_{(SU_SCS)}$	SCS のセットアップ時間	50			ns
$t_{(HD_SCS)}$	SCS のホールド時間	50			ns
$t_{(HI_SCS)}$	SCS のアクティブ Low の前の SCS 最小 High 時間	400			ns

5.7 スイッチング特性

特に記述のない限り、推奨動作条件範囲内

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (VM、AVDD、DVDD)						
t_{SLEEP}	スリープ時間	nSLEEP = Low からスリープ モード			100	μs
t_{wu}	ウェークアップ時間	nSLEEP = High から出力変更			1	ms
t_{on}	ターンオン時間	VM > UVLO2 から出力遷移			1	ms
チャージポンプ (VCP、CPH、CPL)						
$f_{\text{S(VCP)}}$	チャージポンプスイッチング周波数	VM > UVLO2	200	400	700	kHz
制御入力 (IN1、IN2、nSLEEP、MODE、nSCS、SCLK、SDI、PH、EN)						
t_{pd}	伝搬遅延	IN1、IN2 から GHx または GLx へ		500		ns
FET ゲートドライバ (GH1、GH2、SH1、SH2、GL1、GL2)						
$t_{\text{(DEAD)}}$	出力デッドタイム (DRV8702-Q1)	観測される $t_{\text{(DEAD)}}$ は IDRIIVE 設定に依存します		240		ns
$t_{\text{(DEAD)}}$	出力デッドタイム (DRV8703-Q1)	TDEAD = 2'b00。観測される $t_{\text{(DEAD)}}$ は IDRIIVE 設定に依存します		120		ns
		TDEAD = 2'b01。観測される $t_{\text{(DEAD)}}$ は IDRIIVE 設定に依存します		240		
		TDEAD = 2'b10。観測される $t_{\text{(DEAD)}}$ は IDRIIVE 設定に依存します		480		
		TDEAD = 2'b11。観測される $t_{\text{(DEAD)}}$ は IDRIIVE 設定に依存します		960		
$t_{\text{(DRIVE)}}$	ゲート駆動タイミング			2.5		μs
電流シャントアンプとPWM電流制御 (SP、SN、SO、VREF)						
t_{S}	$\pm 1\%$ までのセトリングタイム ⁽¹⁾	$V_{\text{SP}} = V_{\text{SN}} = \text{GND}$ から $V_{\text{SP}} = 240 \text{ mV}$ 、 $V_{\text{SN}} = \text{GND}$ 、 $A_{\text{V}} = 10$ 、 $C_{\text{(SO)}} = 200 \text{ pF}$			0.5	μs
		$V_{\text{SP}} = V_{\text{SN}} = \text{GND}$ から $V_{\text{SP}} = 120 \text{ mV}$ 、 $V_{\text{SN}} = \text{GND}$ 、 $A_{\text{V}} = 20$ 、 $C_{\text{(SO)}} = 200 \text{ pF}$			1	
		$V_{\text{SP}} = V_{\text{SN}} = \text{GND}$ から $V_{\text{SP}} = 60 \text{ mV}$ 、 $V_{\text{SN}} = \text{GND}$ 、 $A_{\text{V}} = 40$ 、 $C_{\text{(SO)}} = 200 \text{ pF}$			2	
		$V_{\text{SP}} = V_{\text{SN}} = \text{GND}$ から $V_{\text{SP}} = 30 \text{ mV}$ 、 $V_{\text{SN}} = \text{GND}$ 、 $A_{\text{V}} = 80$ 、 $C_{\text{(SO)}} = 200 \text{ pF}$			4	
t_{off}	PWM オフ時間 (DRV8702-Q1)			25		μs
t_{off}	PWM オフ時間 (DRV8703-Q1)	TOFF = 00		25		μs
		TOFF = 01		50		
		TOFF = 10		100		
		TOFF = 11		200		
$t_{\text{(BLANK)}}$	PWM ブランキング時間			2		μs
保護回路						
$t_{\text{(UVLO)}}$	VM UVLO 立ち下がりグリッチ除去時間	VM 立ち下がり、UVLO 通知		10		μs
$t_{\text{(OCP)}}$	過電流グリッチ除去時間		3.7	4	4.3	μs
$t_{\text{(RETRY)}}$	過電流リトライ時間		2.8	3	3.2	ms

特に記述のない限り、推奨動作条件範囲内

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{(WD)}$	ウォッチドッグ タイムアウト (DRV8703-Q1)	WD_DLY = 2'b00		10		ms
		WD_DLY = 2'b01		20		
		WD_DLY = 2'b10		50		
		WD_DLY = 2'b11		100		
$t_{(RESET)}$	ウォッチドッグ タイマ リセット期間			64		μ s
SPI						
$t_{(SPI_READY)}$	電源オン後に SPI 読み取り	VM > VUVLO1		5	10	ms
$t_{d(SDO)}$	SDO 出力データ遅延時間、CLK High から SDO 有効	$C_L = 20\text{pF}$			30	ns
t_a	SCS アクセス時間、SCS low から SDO ハイ インピーダンス外			10		ns
t_{dis}	SCS ディスエーブル時間、SCS High から SDO ハイ インピーダンス			10		ns

(1) 設計により保証されています

5.8 代表的特性

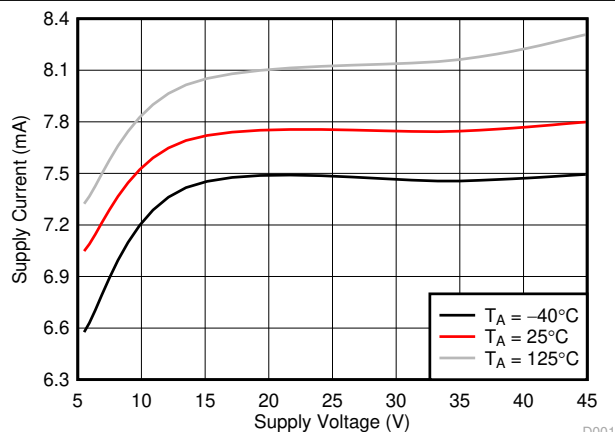


図 5-1. 電源電流と電源電圧 (VM) との関係

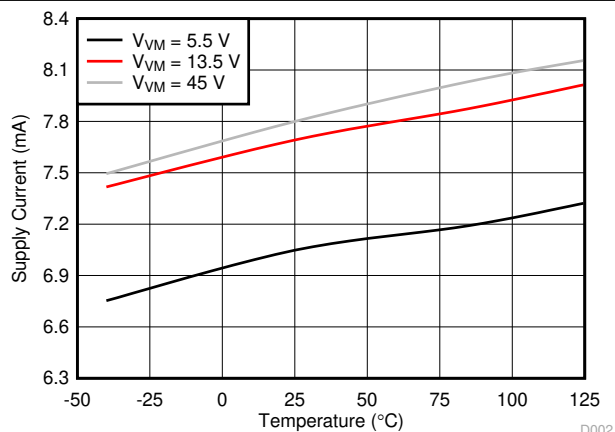


図 5-2. 電源電流と温度との関係

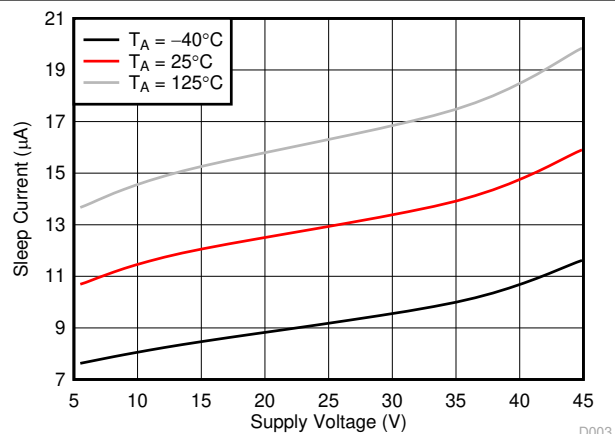


図 5-3. スリープ電流と電源電圧 (VM) との関係

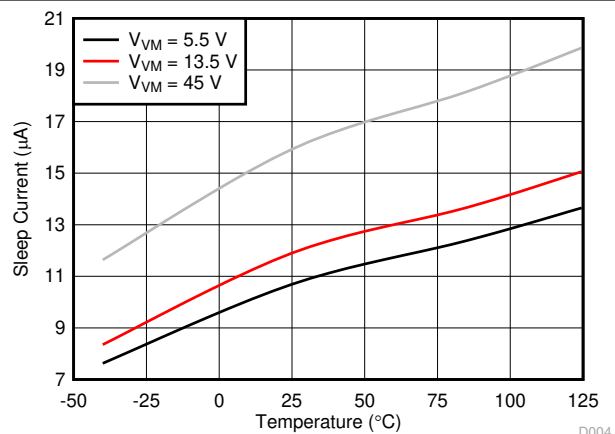
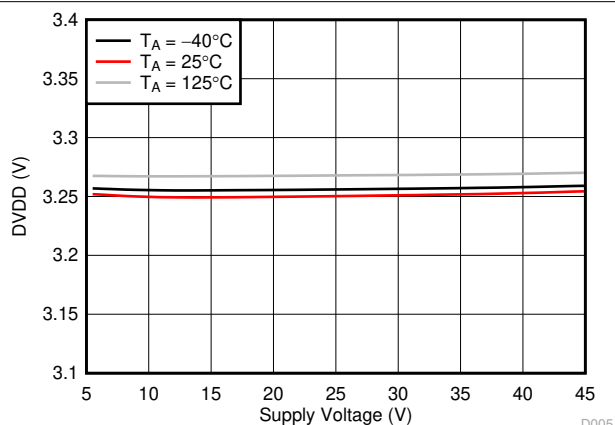
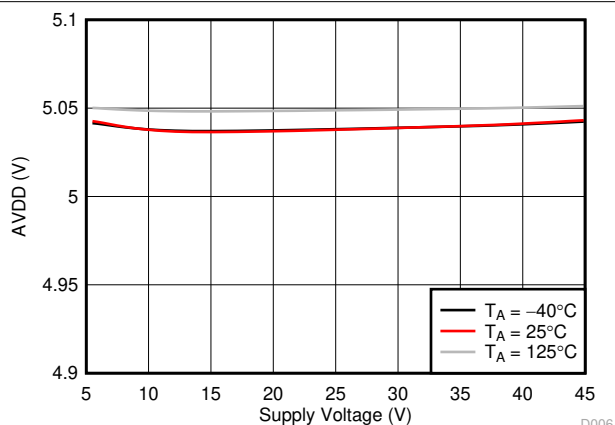


図 5-4. スリープ電流と温度との関係



2mA 負荷

図 5-5. DVDD レギュレータ



2mA 負荷

図 5-6. AVDD レギュレータ

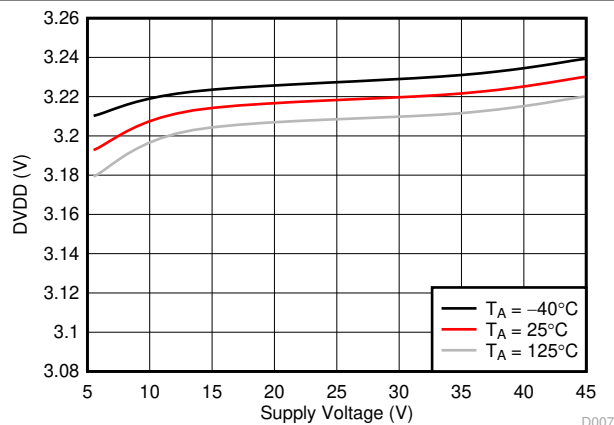


図 5-7. DVDD レギュレータ

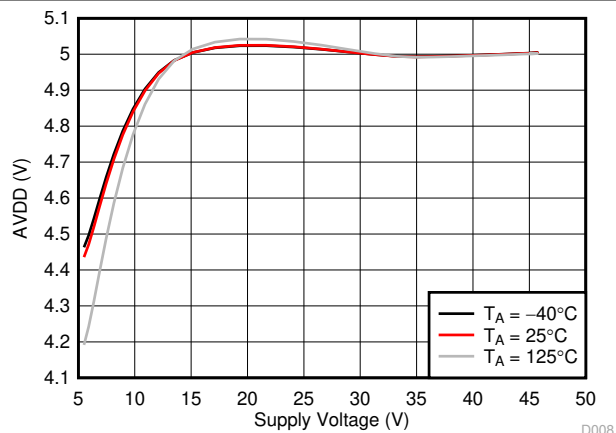


図 5-8. AVDD レギュレータ

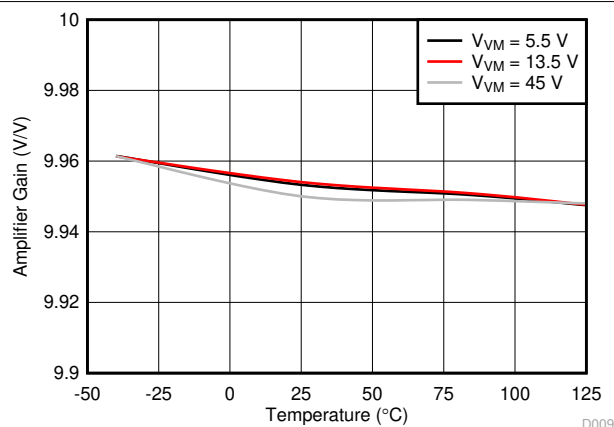


図 5-9. アンプ ゲイン

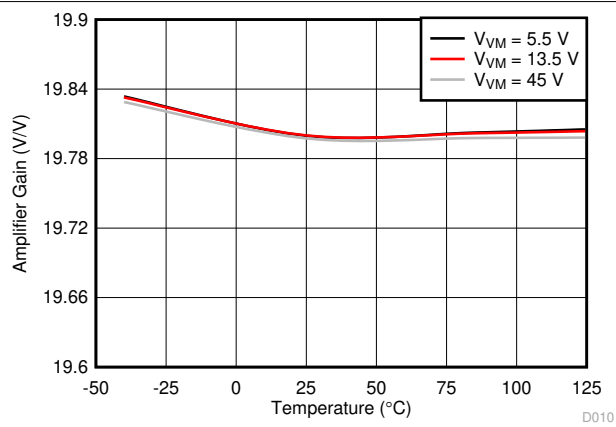


図 5-10. アンプ ゲイン

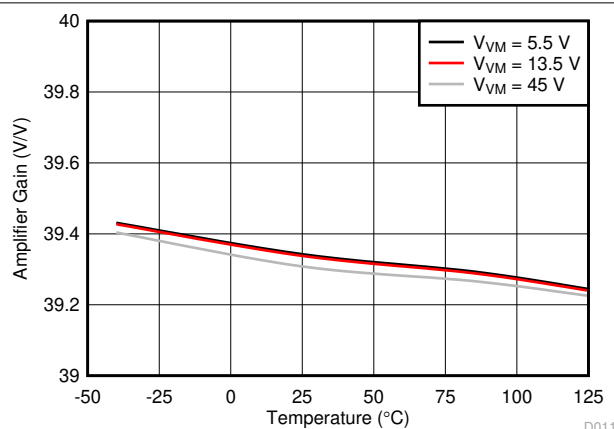


図 5-11. アンプ ゲイン

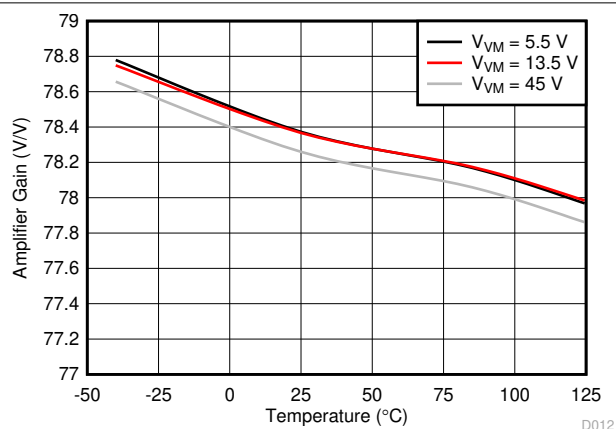


図 5-12. アンプ ゲイン

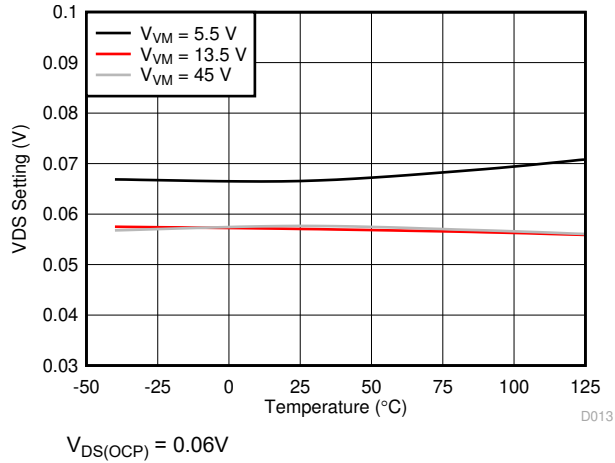


図 5-13. OCP スレッシュホールド電圧

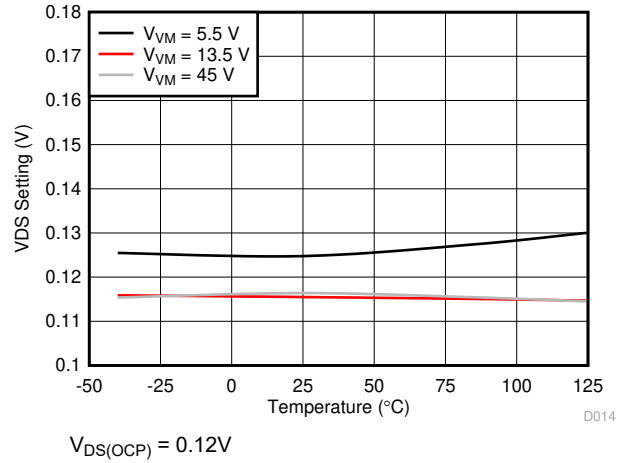


図 5-14. OCP スレッシュホールド電圧

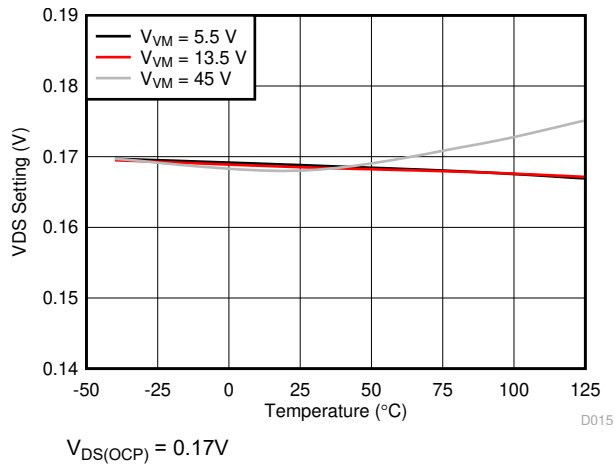


図 5-15. OCP スレッシュホールド電圧

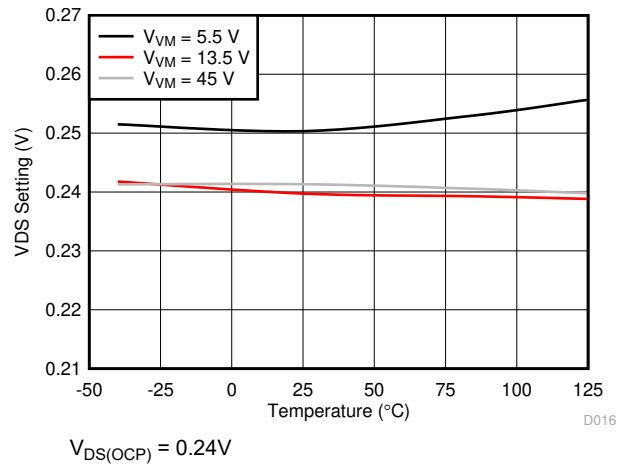


図 5-16. OCP スレッシュホールド電圧

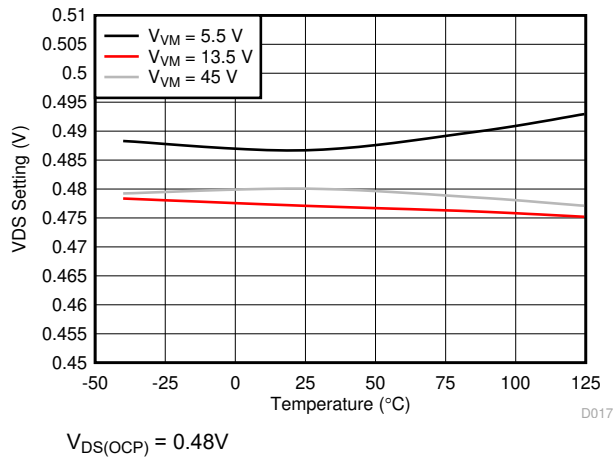


図 5-17. OCP スレッシュホールド電圧

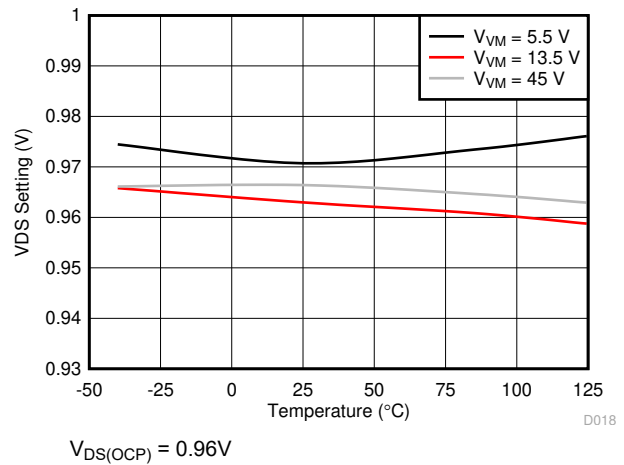


図 5-18. OCP スレッシュホールド電圧

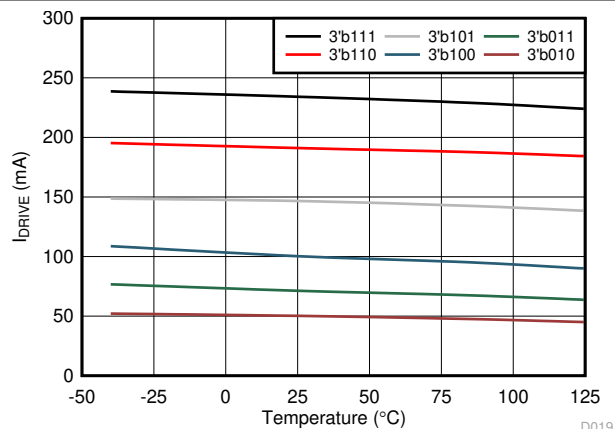
 $V_{VM} = 5.5\text{V}$

図 5-19. ハイサイド ソース電流

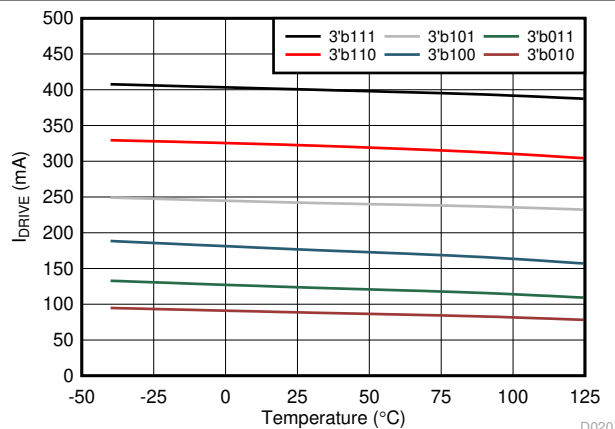
 $V_{VM} = 5.5\text{V}$

図 5-20. ハイサイド シンク電流

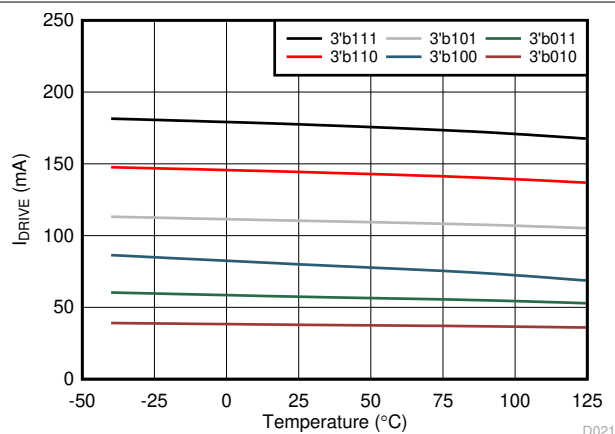
 $V_{VM} = 5.5\text{V}$

図 5-21. ローサイド ソース電流

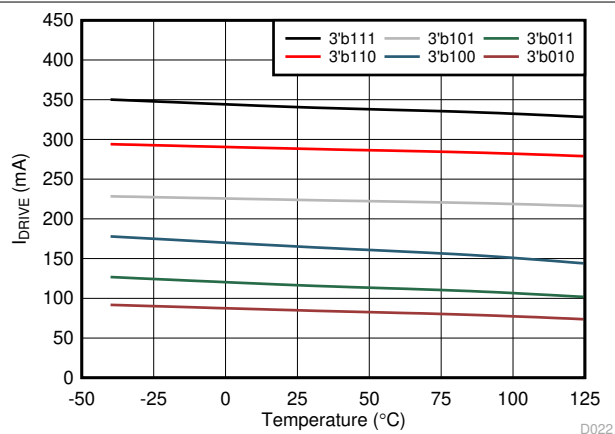
 $V_{VM} = 5.5\text{V}$

図 5-22. ローサイド シンク電流

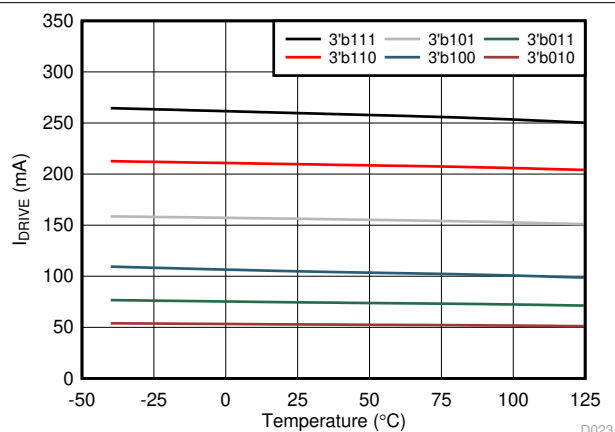
 $V_{VM} = 13.5\text{V}$

図 5-23. ハイサイド ソース電流

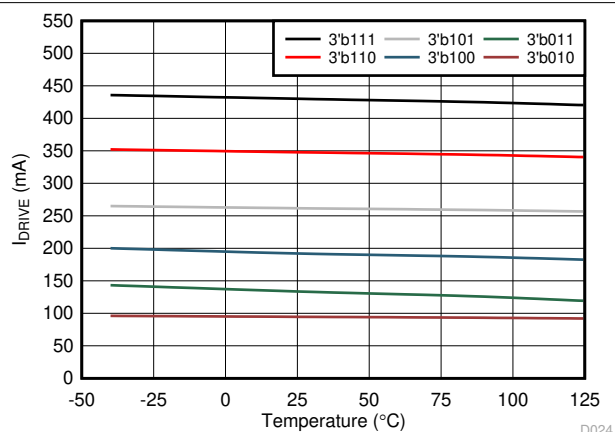
 $V_{VM} = 13.5\text{V}$

図 5-24. ハイサイド シンク電流

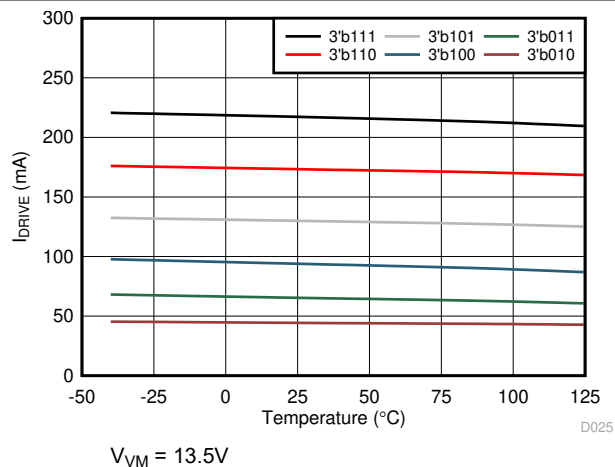


図 5-25. ローサイド ソース電流

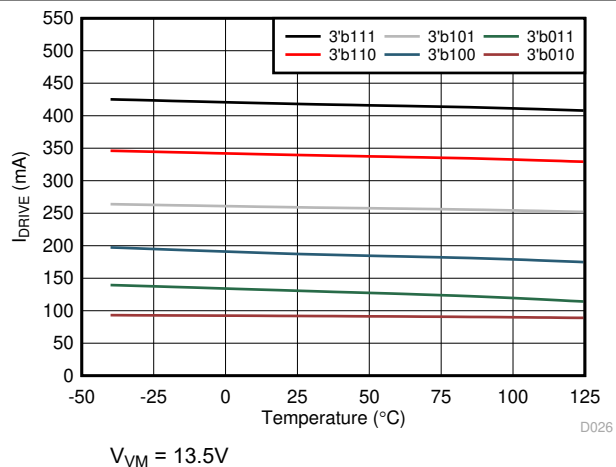


図 5-26. ローサイド シンク電流

6 詳細説明

6.1 概要

DRV87002-Q1 と DRV87003-Q1 は、シングル H ブリッジドライバで、ゲート コントローラとも呼ばれます。このドライバは、双方向ブラシ付き DC モーターの駆動に使用する 4 個の外部 NMOS FET を制御します。またこのデバイスは独立したハーフブリッジ モードで動作し、2 個の単方向ブラシ付き DC モーターを駆動できます。

このデバイスは 5.5V ~ 45V の電源電圧に対応でき、nSLEEP ピンにより低消費電力のスリープ モードを有効化できます。インターフェイス モードには、構成可能な PH/EN、独立 H ブリッジ制御、PWM インターフェイスを含む 3 つのオプションがあります。これでコントローラ回路と簡単に接続できます。

DRV87002-Q1 と DRV87003-Q1 はスマート ゲート駆動技術を採用し、保護機能とゲート駆動構成機能を組み合わせ、設計の簡素化を促進してモーター システムに新たなレベルのインテリジェンスを導入します。ゲート駆動能力、つまりゲート駆動電流をドライバ自体で調整でき、外付け抵抗を必要とせずに、さまざまな FET とアプリケーション向けに最適化できます。スマート ゲート駆動では、必要な FET 駆動回路を単一デバイスに統合しているため、ディスクリートのモータードライバ システムの部品数を大幅に削減できます。ピーク電流は DRV8702-Q1 の場合は IDRIVE ピンで、DRV8703-Q1 の場合は SPI で調整できます。VM 電圧が 13.5V を上回ると、ハイサイドとローサイドの両方の FET が、10.5V (公称) のゲートソース電圧 (VGS) で駆動されます。VM 電圧が低いと、VGS は減少します。ハイサイドのゲート駆動電圧は、ダブラーアーキテクチャ チャージ ポンプで生成され、VM + 10.5V に制御されます。

固定オフ時間の電流チョッピング方式が内蔵され、突入電流またはスタートアップ電流と動作電流を制限できます。チョッピング電流レベルは、VREF ピンの電圧を設定して、センス抵抗で調整できます。詳細については、電流レギュレーションのセクションを参照してください。シャント アンプもデバイスに搭載されており、システム コントローラが正確な電流測定を行います。SO ピンは、DRV8702-Q1 デバイスのセンス抵抗の両端の電圧の約 20 倍の電圧を出力します。DRV8703-Q1 では、このゲインを構成できます。

DRV870x-Q1 デバイスは、低電圧ロックアウト (UVLO)、過電流保護 (OCP)、ゲートドライバのフォルト、サーマル シャットダウン (TSD) など、従来のディスクリート実装を上回る保護機能も備えています。

本デバイスは、内蔵デジタル発振器と内蔵チャージ ポンプのための拡散スペクトラム クロック処理機能を備えています。この機能と出力スルーレート制御を組み合わせることで、本デバイスからの放射妨害波を最小化できます。

6.2 機能ブロック図

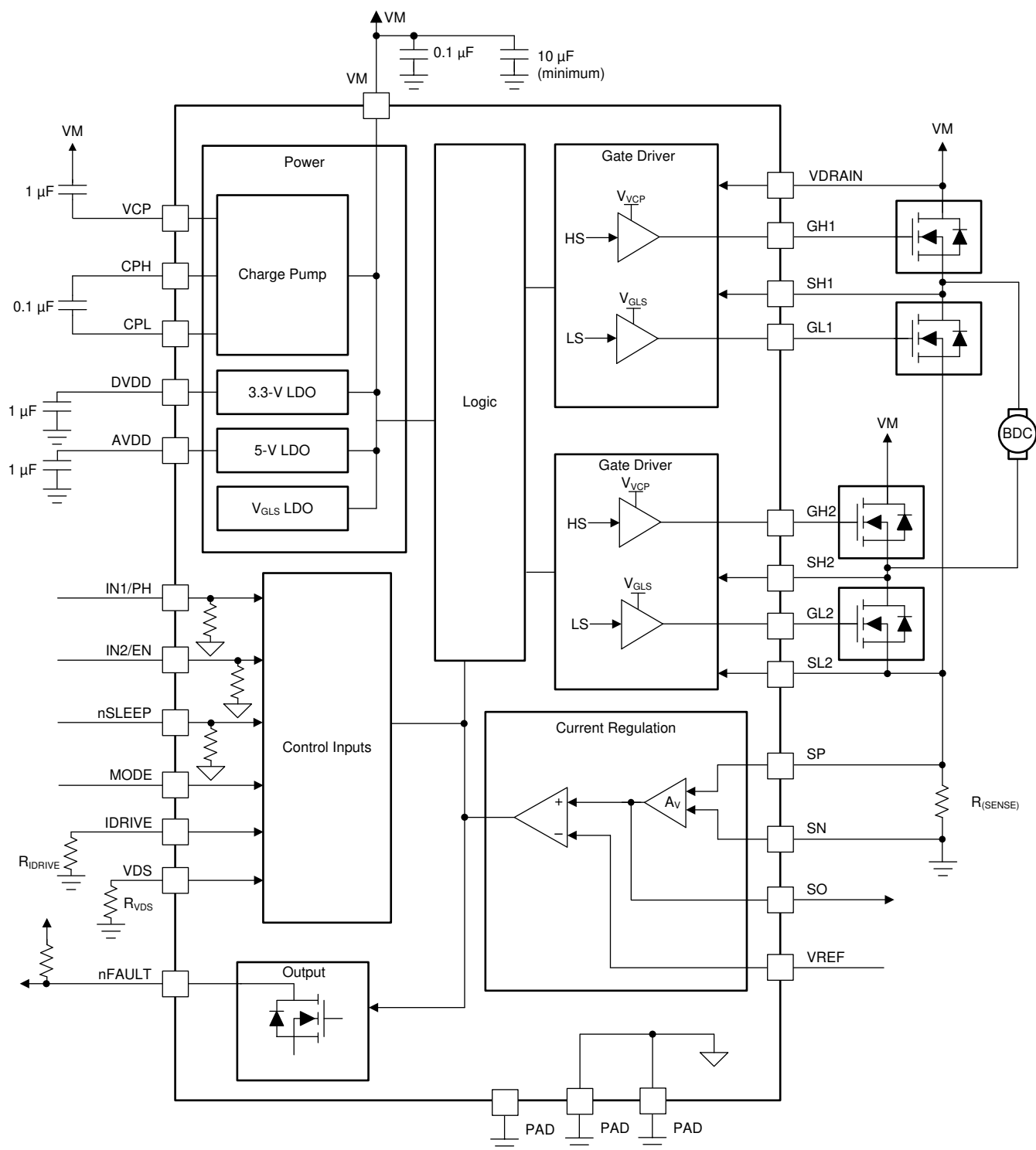
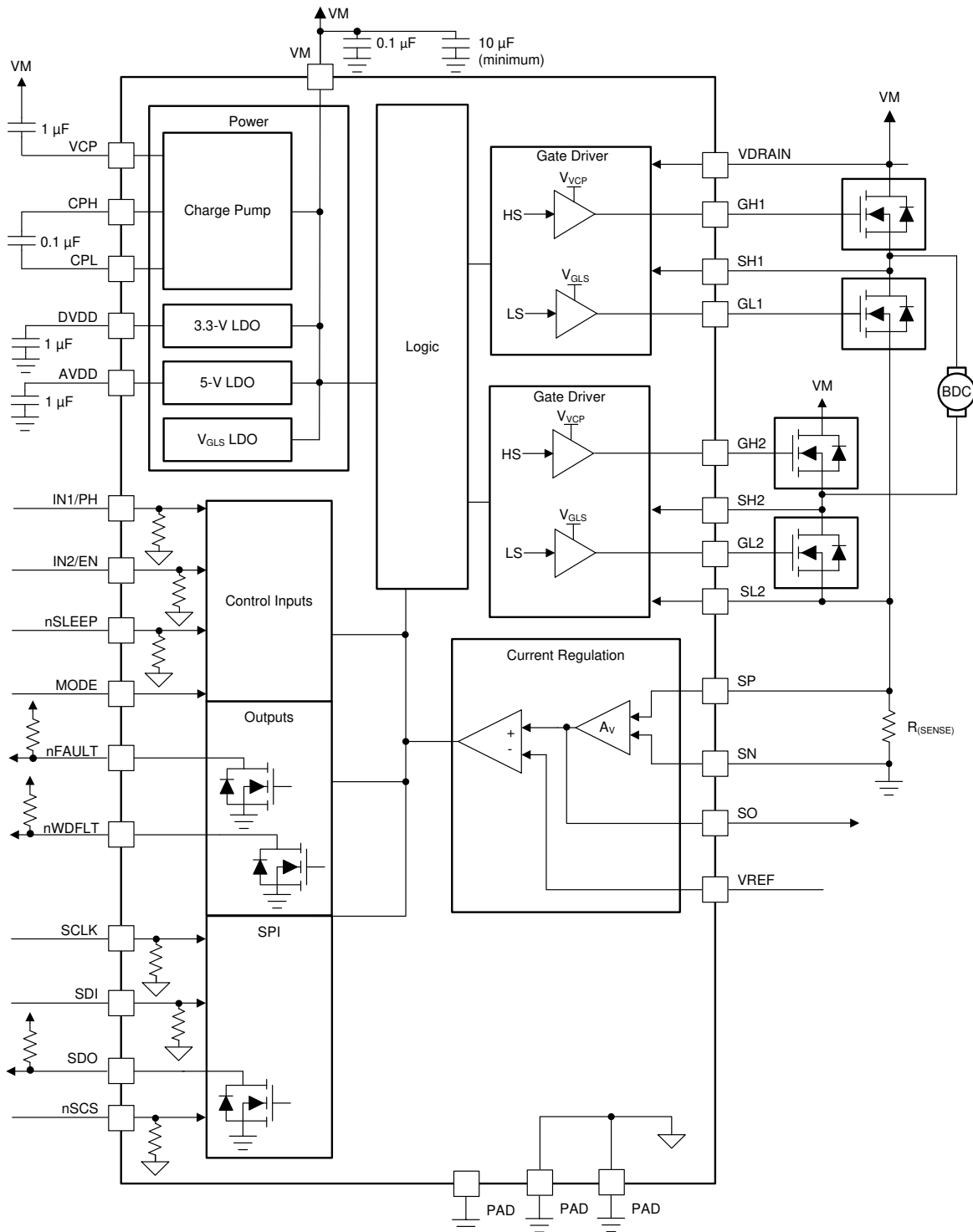


図 6-1. DRV8702-Q1 の機能ブロック図



Copyright © 2017, Texas Instruments Incorporated

図 6-2. DRV8703-Q1 の機能ブロック図

6.3 機能説明

表 6-1 と 表 6-2 に、本デバイスへの推奨外付け部品を示します。

表 6-1. 外付け部品

部品	ピン 1	ピン 2	推奨
$C_{(VM1)}$	VM	GND	VM 定格の 0.1 μ F セラミック コンデンサ
$C_{(VM2)}$	VM	GND	VM 定格の 10 μ F 以上の電解コンデンサ
$C_{(VCP)}$	VCP	VM	16V、1 μ F セラミック コンデンサ
$C_{(SW)}$	CPH	CPL	VM 定格の 0.1 μ F X7R コンデンサ
$C_{(DVDD)}$	DVDD	GND	6.3V、1 μ F セラミック コンデンサ
$C_{(AVDD)}$	AVDD	GND	6.3V、1 μ F セラミック コンデンサ
$R_{(IDRIVE)}$	IDRIVE	GND	抵抗のサイズについては、 セクション 8.2 セクションを参照
$R_{(VDS)}$	VDS	GND	抵抗のサイズについては、 セクション 8.2 セクションを参照
$R_{(nFAULT)}$	V_{CC} ⁽¹⁾	nFAULT	$\geq 10k\Omega$
$R_{(nWDFLT)}$	V_{CC} ⁽¹⁾	nWDFLT	$\geq 10k\Omega$
$R_{(SENSE)}$	SP	SN または GND	オプションのローサイド センス抵抗
$R_{(VDRAIN)}$ ⁽²⁾	VDRAIN	VM	100 Ω の直列抵抗

- (1) V_{CC} ピンは DRV870x-Q1 のピンではありませんが、オープンドレイン出力の nFAULT には V_{CC} 電源電圧プルアップが必要です。これらのピンは、AVDD または DVDD のいずれかにプルアップできます。
- (2) VDRAIN ピンに外部逆バッテリー保護が実装されていない場合、VDRAIN ピンと VM ピンの間に $R_{(VDRAIN)}$ 抵抗を使用して、VDRAIN ピンへの電流を最小限に抑える必要があります。

表 6-2. 外部ゲート

部品	GATE	DRAIN	ソース	推奨
$Q_{(HS1)}$	GH1	VM	SH1	40kHz PWM で最大 200nC の FET をサポート 詳細はこちらを参照 セクション 8
$Q_{(LS1)}$	GL1	SH1	SP または GND	
$Q_{(HS2)}$	GH2	VM	SH2	
$Q_{(LS2)}$	GL2	SH2	SP または GND	

6.3.1 ブリッジ制御

DRV870x-Q1 デバイスは、構成可能な入力インターフェイスを使用して制御されます。[セクション 6.3.1.1](#) セクションで完全 H ブリッジ状態を説明します。表では DRV870x-Q1 デバイ스에組み込まれている電流制御は考慮していません。正の電流は、SH1 から SH2 の方向で定義しています。MODE ピンで設定されるロジック動作は、電源投入時またはスリープモードの終了時にラッチされます。

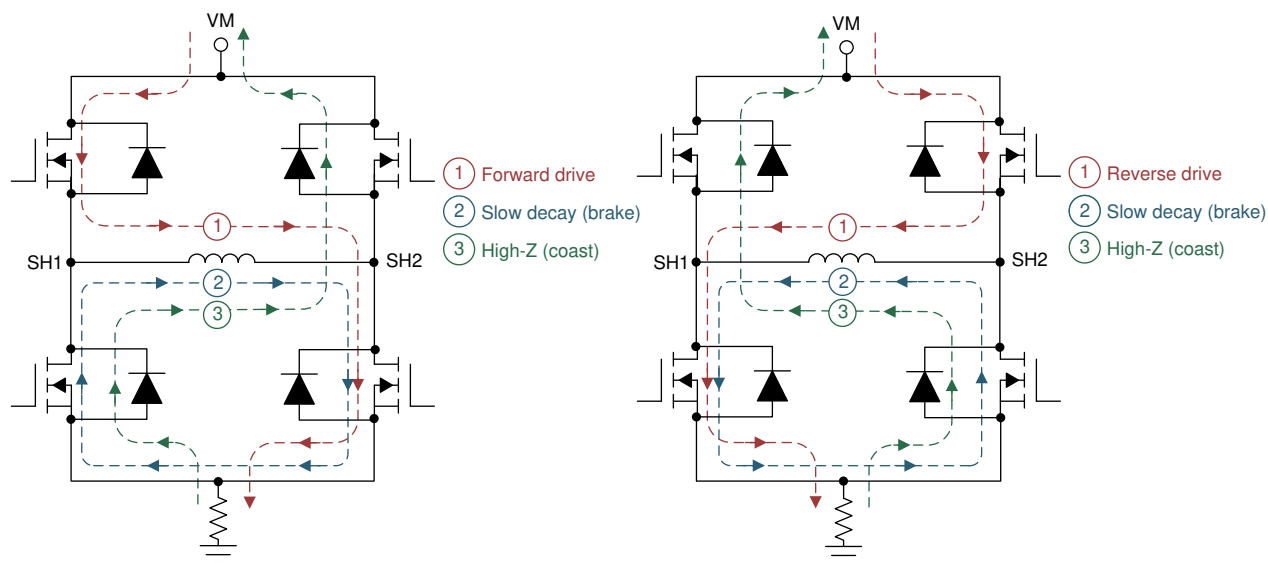


図 6-3. ブリッジ制御

6.3.1.1 ロジック表

表 6-3、表 6-4、表 6-5 は、デバイスのロジック表です。X はドント ケア入力または出力を意味します。

表 6-3. DRV870x-Q1 PH と EN 制御インターフェイス (MODE = 0)

nSLEEP	IN1/PH	IN2/EN	GH1	GL1	SH1	GH2	GL2	SH2	AVDD/DVDD	説明
0	X	X	X	X	ハイインピーダンス	X	X	ハイインピーダンス	無効	スリープモード、Hブリッジ無効 (ハイインピーダンス)
1	X	0	0	1	L	0	1	L	有効	ブレーキ、ローサイド低速減衰
1	0	1	0	1	L	1	0	H	有効	逆方向 (電流 SH2 → SH1)
1	1	1	1	0	H	0	1	L	有効	順方向 (電流 SH1 → SH2)

表 6-4. DRV870x-Q1 独立 PWM 制御インターフェイス (MODE = 1)

nSLEEP	IN1/PH	IN2/EN	GH1	GL1	SH1	GH2	GL2	SH2	AVDD/DVDD	説明
0	X	X	X	X	ハイインピーダンス	X	X	ハイインピーダンス	無効	スリープモード、Hブリッジ無効 (ハイインピーダンス)
1	X	0	X	X	X	0	1	L	有効	ハーフブリッジ 2 ローサイド オン
1	X	1	X	X	X	1	0	H	有効	ハーフブリッジ 2 ハイサイド オン
1	0	X	0	1	L	X	X	X	有効	ハーフブリッジ 1 ローサイド オン
1	1	X	1	0	H	X	X	X	有効	ハーフブリッジ 1 ハイサイド オン

表 6-5. DRV870x-Q1 標準 PWM 制御インターフェイス (MODE = Hi-Z)

nSLEEP	IN1/PH	IN2/EN	GH1	GL1	SH1	GH2	GL2	SH2	AVDD/DVDD	説明
0	X	X	X	X	ハイインピーダンス	X	X	ハイインピーダンス	無効	スリープモード、Hブリッジ無効 (ハイインピーダンス)
1	0	0	0	0	ハイインピーダンス	0	0	ハイインピーダンス	有効	コースト、Hブリッジ無効 (ハイインピーダンス)
1	0	1	0	1	L	1	0	H	有効	逆方向 (電流 SH2 → SH1)
1	1	0	1	0	H	0	1	L	有効	順方向 (電流 SH1 → SH2)
1	1	1	0	1	L	0	1	L	有効	ブレーキ、ローサイド低速減衰

6.3.2 MODE ピン

デバイスの MODE ピンによって制御インターフェイスを判別し、電源オン時またはスリープモードの終了時にラッチします。図 6-4 に、MODE ピンの内部回路の概要を示します。

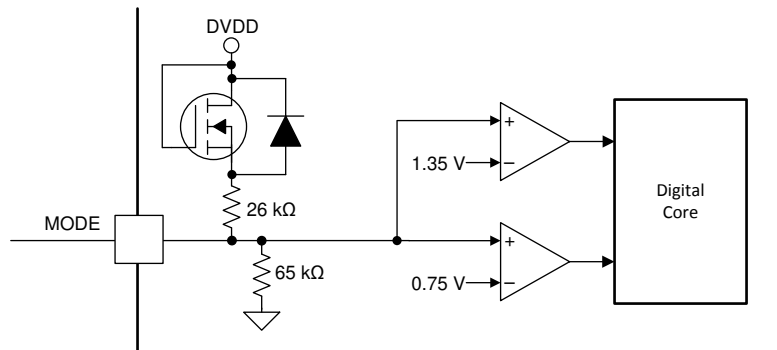


図 6-4. MODE ピンのブロック図

表 6-6 に、電源オン時またはスリープモードの終了時に MODE ピン経由で設定できる、各種の制御インターフェイスを示します。

表 6-6. MODE ピン構成

モード	制御インターフェイス
0	PH または EN
1	独立したハーフブリッジ
ハイインピーダンス	PWM

デバイスの電源オンシーケンス中、最初に DVDD ピンが有効になります。その後 MODE ピンがラッチします。最後に AVDD ピンが有効になります。PWM 制御インターフェイスの設定について、MODE ピンと AVDD ピンの接続は推奨しません。代わりに、MODE ピンを外部 5V または 3.3V 電源に接続するか、あるいは外部マイコン (MCU) で駆動しない場合には DVDD ピンに接続する必要があります。

6.3.3 nFAULT ピン

nFAULT ピンはオープンドレインの出力を持っているため、5V または 3.3V 電源にプルアップする必要があります。フォルトが検出された場合、nFAULT ピンはロジック Low です。

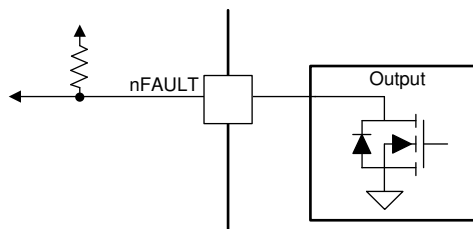


図 6-5. nFAULT のブロック図

3.3V にプルアップする場合、nFAULT ピンを DVDD ピンに抵抗で接続できます (セクションを参照)。セクション 85V にプルアップする場合、外部 5V 電源を使う必要があります。TI は、nFAULT ピンと AVDD ピンの接続を推奨していません。

6.3.4 電流レギュレーション

モーター巻線に流れる最大電流は、一定のオフ時間を持つ PWM 電流レギュレーションまたは電流チョッピングで制御します。H ブリッジを前方向駆動または逆方向駆動で有効化すると、DC 電圧と巻線のインダクタンスに応じた速度で、巻線に流れる電流が増加します。電流が電流チョッピング スレッショルドに達すると、 t_{off} 時間が経過するまで、ブリッジはブレーキ (ローサイド低速減衰) モードに移行します。

注

電流が有効になった直後、SP ピンの電圧は ($t_{(BLANK)}$) の間無視され、その後電流センス回路が有効になります。

PWM チョッピング電流は、SP ピンに接続された電流センス抵抗の両端の電圧に係数 A_V を乗じた値と、VREF ピンからのリファレンス電圧を比較するコンパレータで設定されます。係数 A_V はシャントアンプのゲインで、DRV8702-Q1 デバイスでは 19.8V/V、DRV8703-Q1 デバイスでは 10、19.8、39.4、または 7V/V に設定できます。

式 1 を使用して、チョッピング電流 (I_{CHOP}) を計算します。

$$I_{(CHOP)} = \frac{V_{VREF} - V_{IO} \times A_V}{A_V \times R_{(SENSE)}} \quad (1)$$

たとえば 50mΩ センス抵抗と 3.3V の VREF 値を選択すると、フルスケール チョッピング電流は 3.28A です。この例では、 A_V が 19.8V/V で V_{IO} が 50mV としています。

DC モーターでは、電流レギュレーションを使用してモーターのスタートアップ電流とストール電流を制限します。電流レギュレーション機能が不要な場合、VREF ピンを AVDD ピンに直接接続すると、電流レギュレーション機能を無効にできます。独立 PWM 制御インターフェイス モード (MODE ピンが 1) を動作作用に選択した場合、本デバイスは PWM 電流レギュレーションも電流チョッピングも行いません。

6.3.5 アンプ出力 (SO)

DRV870x-Q1 デバイスの SO ピンは、SP ピンと SN ピン間の電圧に A_V を乗算した値に等しいアナログ電圧を出力します。SO 電圧は 図 6-3 に示すように負荷を接続している場合、にのみ有効です。H ブリッジの電流の概算値を計算するには、式 2 を使用します。

$$I = \frac{V_{SO} - V_{IO} \times A_V}{A_V \times R_{(SENSE)}} \quad (2)$$

SP と SN 電圧が 0V の場合、SO ピンはアンプのオフセット電圧とアンプのゲインを乗算した値、 $V_{IO} \times A_V$ を出力します。SP から SN を引いた値が 0V より大きい場合、SO ピンはアンプのオフセット電圧とセンス抵抗または電圧の合計と、アンプのゲインを乗算した値、 $(V_{IO} + V_{RSENSE}) \times A_V$ を出力します。SO ピンにはコンデンサは不要です。

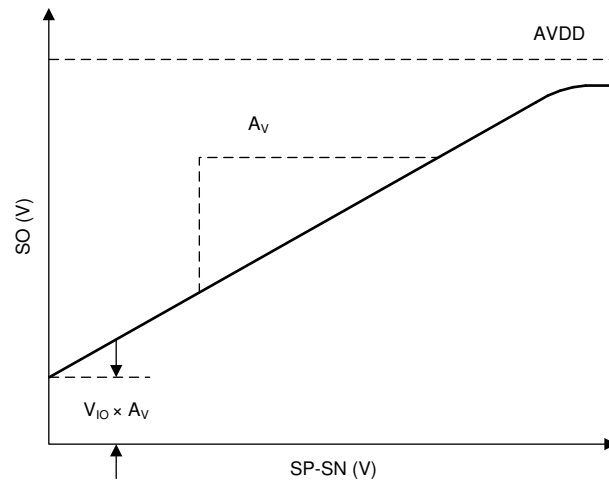


図 6-6. 電流検出アンプ出力

SP ピンと SN ピンの間の電圧が 1V を超えると、DRV870x-Q1 デバイスは過電流状態のフラグを立てます。

SO ピンは、最大 5mA の電流源になります。ピンがグランドに短絡している場合、またはこのピンがより高い電流負荷を駆動する場合、出力は定電流源として機能します。出力電圧は、この状態での H ブリッジ電流を示しません。

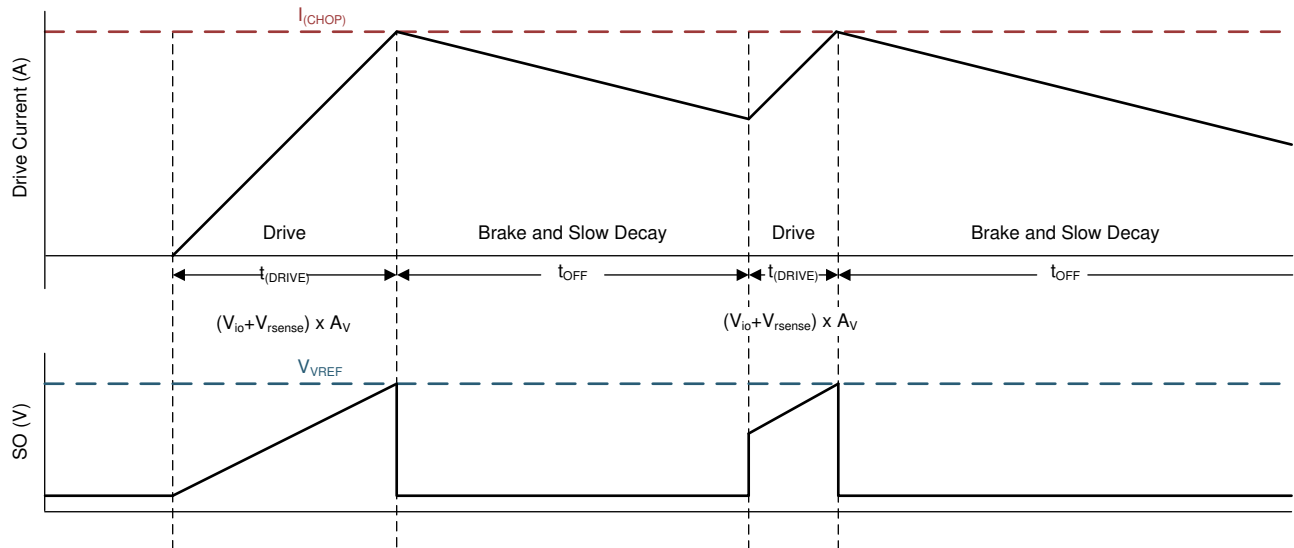


図 6-7. 電流検出アンプと電流チョッピング動作

ブレーキモード (低速減衰) 中、電流はローサイド FET を経由して循環します。電流はセンス抵抗を流れていないため、SO ピンはモーター電流を示しません。

6.3.5.1 SO サンプル / ホールド動作

DRV8703-Q1 デバイスでは、シャント アンプをサンプル / ホールド構成で動作できます。このモードを有効にするには、SPI で SH_EN ビットを High に設定します。このモードでは、ドライバがブレーキ モードになると、常にシャント アンプ出力が無効化されてハイインピーダンス状態になります。このピンに外付けコンデンサを接続します。

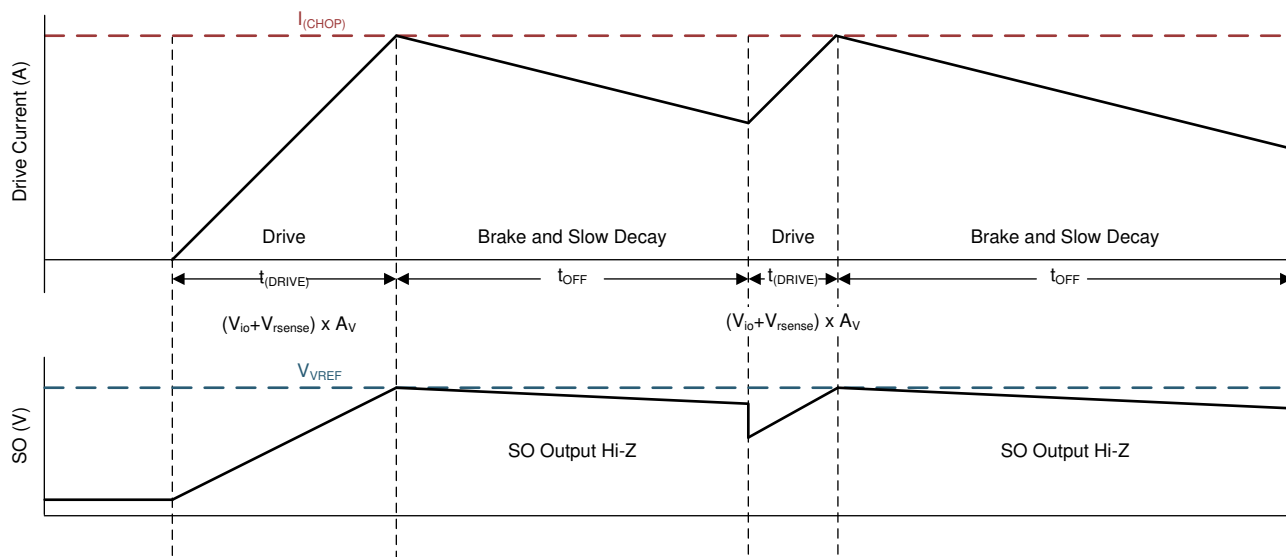


図 6-8. サンプル / ホールド動作

6.3.6 PWM モーター ゲート ドライバ

DRV870x-Q1 デバイスは、外部 NMOS FET とのシングル H ブリッジ用のゲートドライバを搭載しています。図 6-9 に、事前駆動回路のブロック図を示します。

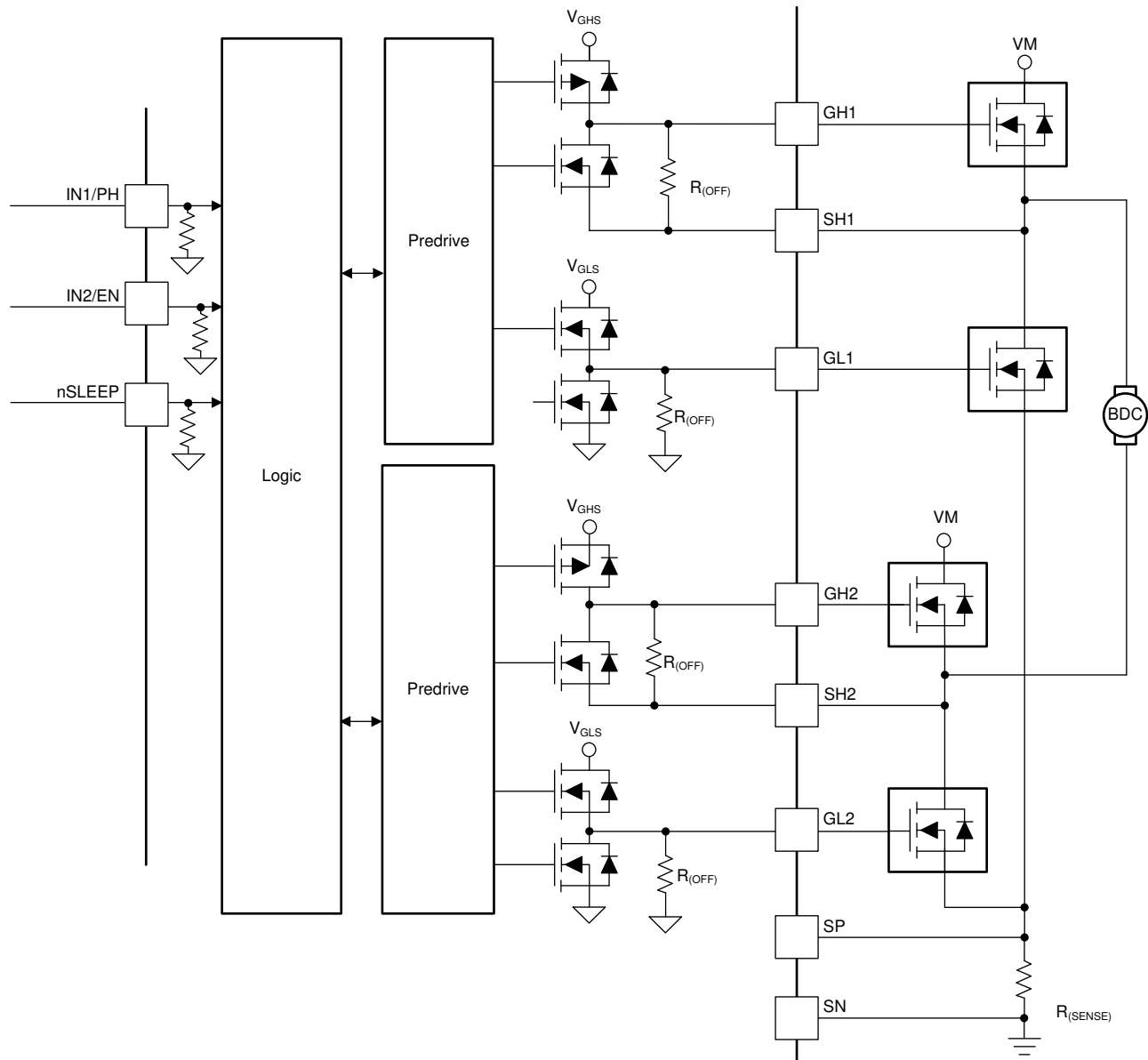


図 6-9. 事前駆動ブロック図

DRV870x-Q1 デバイス内部のゲートドライバは、モーター電流を駆動する N チャネル MOSFET を直接駆動します。ハイサイド ゲート駆動はチャージ ポンプから電力供給され、内部レギュレータがローサイド ゲート駆動を生成します。

ゲートドライバのピーク駆動電流は、DRV8702-Q1 デバイスの場合は IDRIVE ピンを、DRV8703-Q1 デバイスの場合は IDRIVE レジスタを介して調整できます。ピーク ソース電流は、セクション 5.5 表の FET ゲートドライバ セクションに記載している値に設定できます。ピーク シンク電流は、ピーク ソース電流の約 2 倍です。ピーク電流を調整すると、出力スループートが変化します。このレートは FET の入力容量とゲート電荷にも依存します。

スイッチング時間が短いと、VM ピンや GND ピンに余分なノイズが発生する可能性があります。この追加のノイズは、具体的にはボディ ダイオードがシュートスルーのように逆バイアスを瞬間的に導通したとき、ローサイド ボディ ダイオードの逆復帰時間が比較的遅いことが原因で発生する場合があります。スイッチング時間が遅いと、外部 FET のターンオン、ターンオフ時間が長くなるため、過剰な消費電力が発生する可能性があります。

出力の状態を変更するとき、ゲート容量を充電するために、ピーク電流 (I_{DRIVE}) が短時間 (t_{DRIVE}) 印加されます。この時間の後、弱い電流源 (I_{HOLD}) を使用して、ゲートを目的の状態に維持します。特定の外部 FET のゲート駆動強度を選択する際には、 t_{DRIVE} 中にゲートを完全に充電して放電するのに十分な大きさの電流を選択する必要があります。さもないと FET で過剰な電力が消費されます。

ハイサイドのターンオン中、ローサイドのゲートは強いプルダウン (I_{STRONG}) で Low にプルされます。このプルダウンにより、ローサイド FET Q_{GS} の充電が防止され、出力で高速スイッチングが発生しても FET をオフに維持します。

ゲートドライバ回路には、アナログ回路内にデッド タイムの強制回路が含まれていて、ハイサイドとローサイドの FET が同時に導通するのを防ぎます。スイッチング FET がオンのとき、このハンドシェイクにより、反対側の FET がオフになるまでハイサイドやローサイドの FET がオンになるのを防止します。

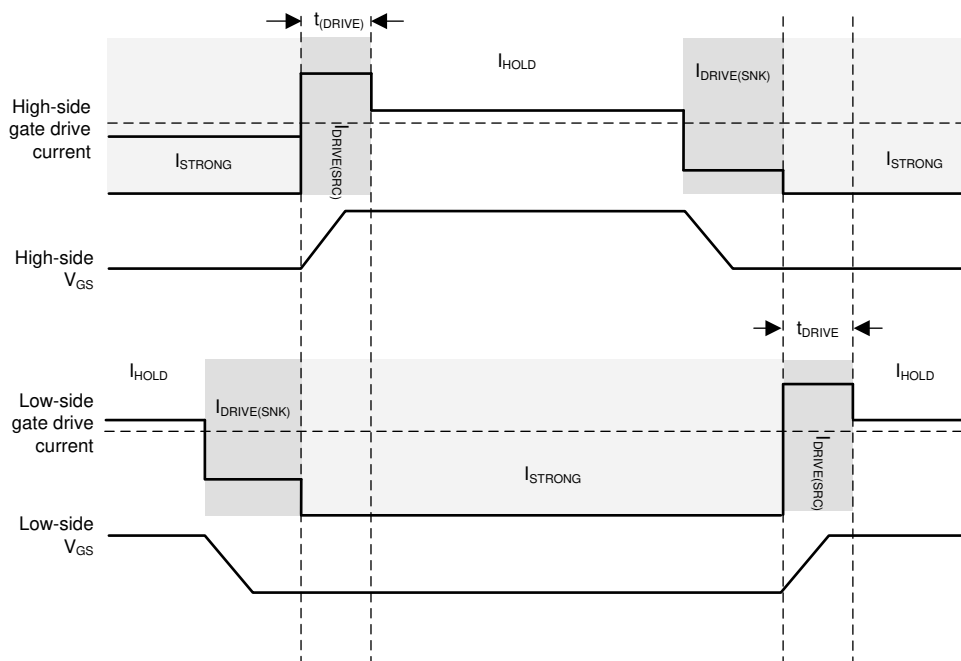


図 6-10. ゲート ドライバ出力による外部 FET の制御

6.3.6.1 ミラー容量 (Q_{GD})

FET ゲートがオンになるときは、以下に示す容量を充電する必要があります。

- ゲート - ソース間の容量、 Q_{GS}
- ゲート - ドレイン間の容量、 Q_{GD} (ミラー容量)
- 残りの Q_G

FET 出力は、主に Q_{GD} 充電時にスルーイングします。

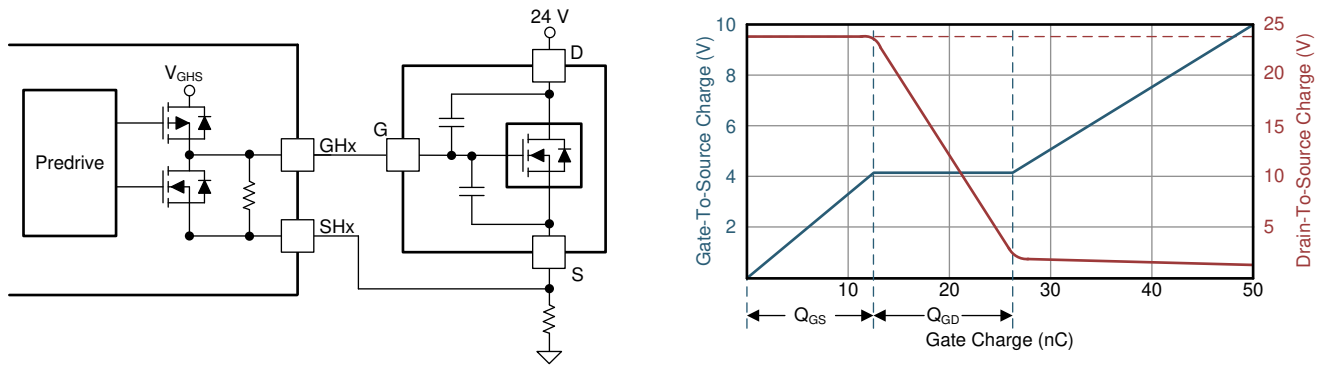


図 6-11. FET ゲート容量プロファイル

6.3.7 IDRIVE ピン (DRV8702-Q1 のみ)

H ブリッジ出力 (SHx ピン) の立ち上がり / 立ち下がり時間は、IDRIVE 抵抗値の設定、または IDRIVE ピンへの電圧の強制的な印加で調整できます。より高い IDRIVE 設定を選択すると、FET ゲート電圧はより速く上昇下降します。FET ゲートの上昇下降は、H ブリッジ出力の立ち上がり / 立ち下がり時間に直接影響します。

IDRIVE ピンをグラウンドに接続すると、10mA ソースと 20mA シンクの最小駆動設定が選択されます。このピンをオープンにすると、VM 電圧 13.5V で、ソース電流がハイサイド 155mA、ローサイド 130mA、シンク電流がハイサイド 265mA、ローサイド 260mA の駆動設定が選択されます。IDRIVE 構成の詳細なリストについては、表 6-7 を参照してください。

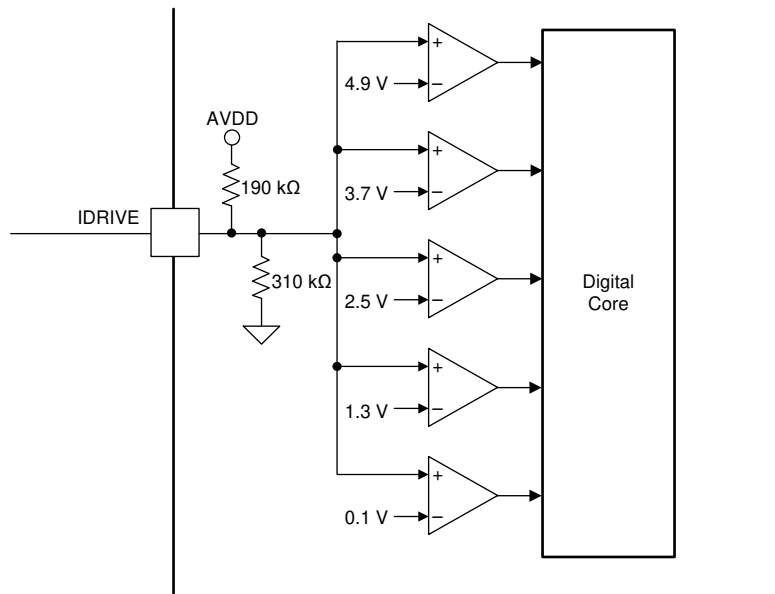
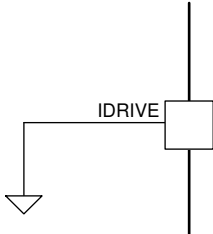
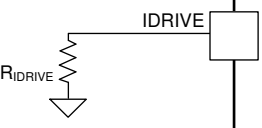
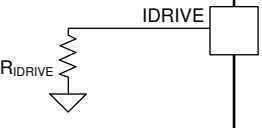
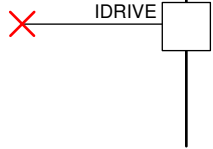
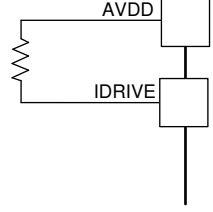
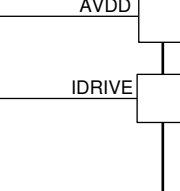


図 6-12. IDRIVE ピンの内部回路

表 6-7. DRV8702-Q1 の IDRIVE 設定

IDRIVE 抵抗	IDRIVE 電圧	ソース電流		シンク電流		回路
		$V_{VM} = 5.5V$	$V_{VM} = 13.5V$	$V_{VM} = 5.5V$	$V_{VM} = 13.5V$	
< 1k Ω で GND に接続	GND	ハイサイド: 10mA ローサイド: 10mA	ハイサイド: 10mA ローサイド: 10mA	ハイサイド: 20mA ローサイド: 20mA	ハイサイド: 20mA ローサイド: 20mA	
33k $\Omega \pm 5\%$ で GND に接続	0.7V $\pm$ 5%	ハイサイド: 20mA ローサイド: 20mA	ハイサイド: 20mA ローサイド: 20mA	ハイサイド: 40mA ローサイド: 40mA	ハイサイド: 40mA ローサイド: 40mA	
200k $\Omega \pm 5\%$ で GND に接続	2V $\pm$ 5%	ハイサイド: 50mA ローサイド: 40mA	ハイサイド: 50mA ローサイド: 45mA	ハイサイド: 90mA ローサイド: 85mA	ハイサイド: 95mA ローサイド: 95mA	
> 2M Ω で GND に接続、ハイインピーダンス	3V $\pm$ 5%	ハイサイド: 145mA ローサイド: 115mA	ハイサイド: 155mA ローサイド: 130mA	ハイサイド: 250mA ローサイド: 235mA	ハイサイド: 265mA ローサイド: 260mA	
68k $\Omega \pm 5\%$ で AVDD に接続	4V $\pm$ 5%	ハイサイド: 190mA ローサイド: 145mA	ハイサイド: 210mA ローサイド: 180mA	ハイサイド: 330mA ローサイド: 300mA	ハイサイド: 350mA ローサイド: 350mA	
< 1k Ω で AVDD に接続	AVDD	ハイサイド: 240mA ローサイド: 190mA	ハイサイド: 260mA ローサイド: 225mA	ハイサイド: 420mA ローサイド: 360mA	ハイサイド: 440mA ローサイド: 430mA	

6.3.8 デッドタイム

デッドタイム (t_{DEAD}) とは、H ブリッジの FET の一方をオフにし他方をオンにするまでの間の、SHx ピンがハイ インピーダンス状態の時間を測定したものです。たとえば、ハイサイド FET をオフにしてからローサイド FET をオンにするまでの間、出力はハイ インピーダンスです。

デッドタイムは、デジタル デッドタイムの挿入と FET ゲートのスルーイングで成り立ちます。DRV8702-Q1 デバイスのデジタル デッドタイムは約 240ns です。DRV8703-Q1 デバイスには、プログラム可能な 120、240、480、960ns のデッドタイム オプションがあります。このデジタル デッドタイムに加えて、GLx ピンとグラウンド、または GHx ピンと SHx ピンの間の電圧が FET スレッショルド電圧を下回っている限り、出力はハイ インピーダンスです。

FET ゲートの上昇下降 (GHx ピンと GLx ピン) の一部には、観測可能なデッドタイムが含まれるため、総デッドタイムは IDRV 抵抗設定に依存します。

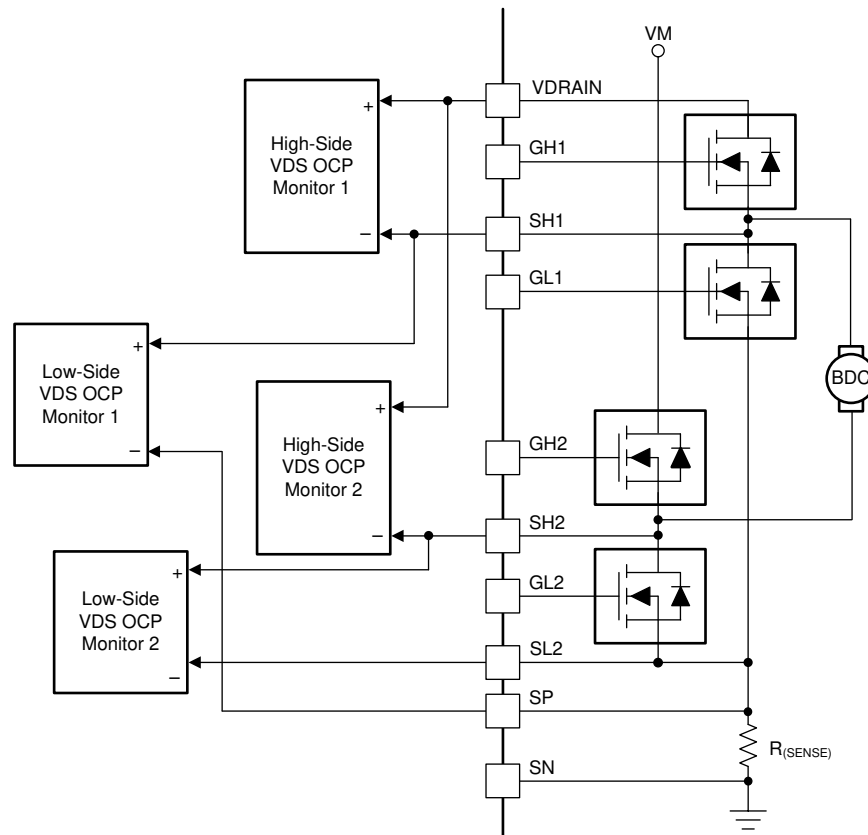
6.3.9 伝搬遅延

伝搬遅延時間 (t_{PD}) は入力エッジから出力が変化するまでの時間として測定されます。この時間は、入力デグリッチャと出力スルーイング遅延の 2 つの部分で構成されています。入力デグリッチャは、入力ピンのノイズによる出力状態への影響を防止します。

ゲート駆動のスルーレートは、遅延時間にも影響します。通常動作中に状態を変化させるよう出力するには、最初に 1 つの FET をオフにする必要があります。IDRV 抵抗の選択に従って FET ゲートは下降し、FET ゲートがスレッショルド電圧を下回ると、観測される伝搬遅延は終了します。

6.3.10 過電流 VDS モニター

ゲートドライバ回路は、電流を駆動しているとき、各外部 FET の VDS 電圧をモニタします。モニタされている電圧が、OCP グリッチ除去時間が経過した後で OCP スレッショルド電圧 ($V_{\text{DS(OC)}})$ を上回ると、OCP 状態が検出されます。 $V_{\text{DS(OC)}}$ 電圧は、DRV8702-Q1 デバイスの VDS ピンの抵抗 (R_{VDS}) を変更して調整できます。DRV8703-Q1 デバイスは、VDS レジスタを設定すれば $V_{\text{DS(OC)}}$ 電圧レベルを供給します。

図 6-13. $V_{DS(OCPI)}$ のブロック図

ハイサイド FET の VDS 電圧は、VDRRAIN から SHx ピンの間で測定されます。ハーフブリッジ 1 のローサイド VDS モニタは、SH1 と SP ピン間の VDS 電圧を測定します。ハーフブリッジ 2 のローサイド VDS モニタは、SH2 ピンと SL2 ピン間の VDS 電圧を測定します。センス アンプを使用しない場合でも、ハーフブリッジ 1 のローサイド FET のソースに SP ピンが常に接続されていることを確認してください。

6.3.11 VDS ピン (DRV8702-Q1 のみ)

DRV8702-Q1 デバイスの VDS ピンを使用して、過電流検出用に VDS スレッショルド電圧を選択します。

VDS ピンをグラウンドに接続すると 0.06V の最小設定が選択されます。このピンをオープンのままにすると 0.48V の設定が選択されます。VDS ピンを AVDD に接続すると、VDS モニタが無効化されます。VDS 構成の詳細なリストについては、表 6-8 を参照してください。

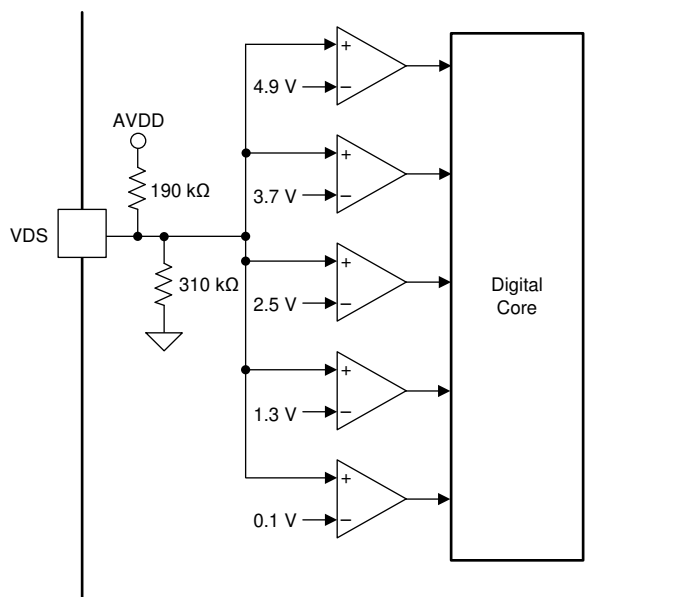
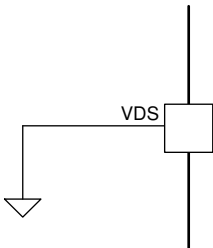
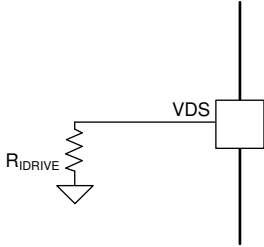
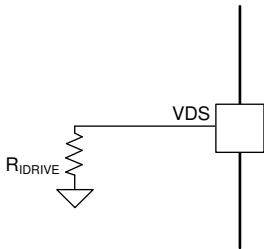
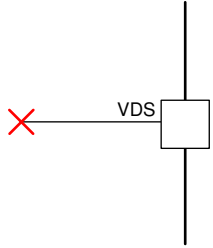
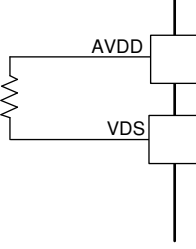
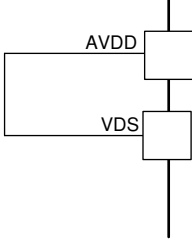


図 6-14. VDS のブロック図

表 6-8. VDS ピンの抵抗設定

VDS 抵抗	VDS 電圧	過電流トリップレベル ($V_{DS(OCPI)}$)	回路
< 1k Ω で GND に接続	GND	0.06V	
33k $\Omega \pm 5\%$ で GND に接続	0.7V $\pm 5\%$	0.12V	
200k $\Omega \pm 5\%$ で GND に接続	2V $\pm 5\%$	0.24V	
> 2M Ω で GND に接続、 ハイインピーダンス	3V $\pm 5\%$	0.48V	
68k $\Omega \pm 5\%$ で AVDD に接続	4V $\pm 5\%$	0.96V	
< 1k Ω で AVDD に接続	AVDD	無効	

6.3.12 チャージポンプ

チャージポンプを内蔵して、ハイサイド NMOS (V_{GSH}) のゲート駆動電圧を供給しています。このチャージポンプには、VM ピンと VCP ピンの間にコンデンサが必要です。さらに CPH ピンと CPL ピンの間にも、低 ESR のセラミックコンデンサが必要です。VM 電圧が 13.5V 未満の場合、このチャージポンプはダブラとして機能し、無負荷時に $2 \times V_{VM} - 1.5V$ の V_{VCP} を生成します。VM 電圧が 13.5V を超える場合、 V_{VCP} が $V_{VM} + 10.5V$ に等しくなるように、チャージポンプが V_{VCP} をレギュレートします。

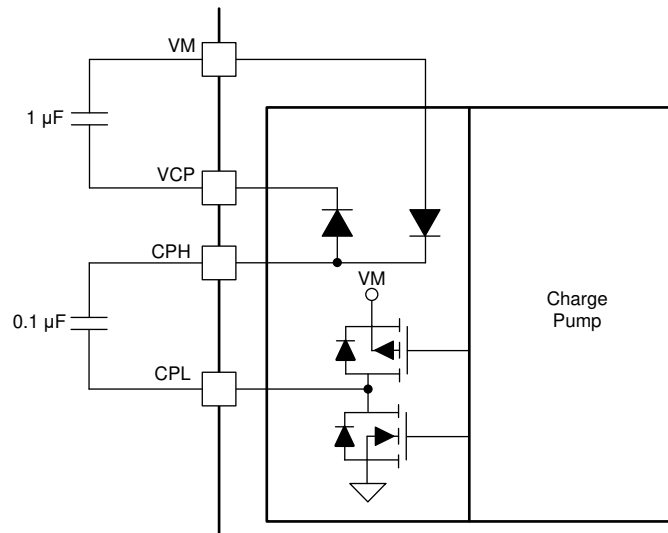


図 6-15. チャージポンプのブロック図

6.3.13 ゲート駆動クランプ

クランプ構造によってゲート駆動出力電圧を $V_{C(GS)}$ 電圧に制限し、パワー FET を損傷から保護します。正電圧クランプは、一連のダイオードによって実現します。負電圧クランプは、内部プリドライバ FET のボディダイオードを使用します。

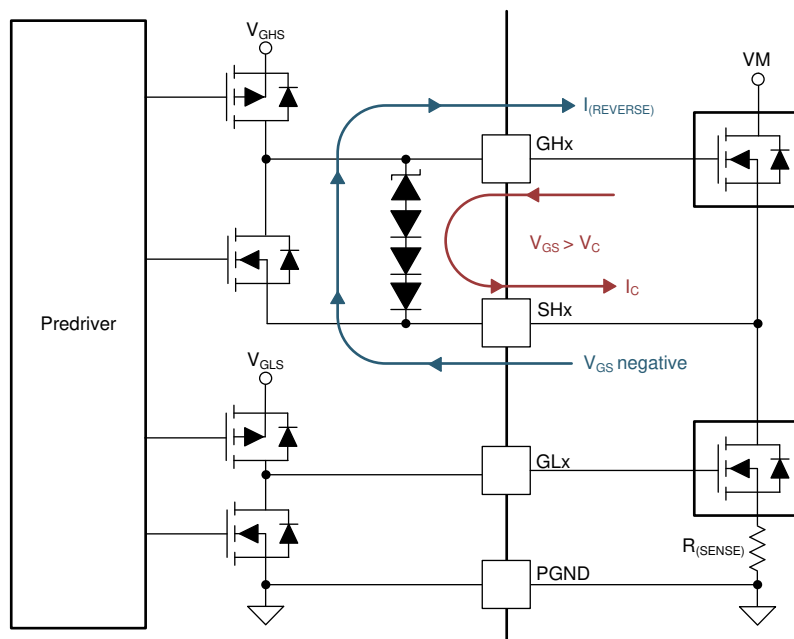


図 6-16. ゲート駆動クランプ

6.3.14 保護回路

DRV870x-Q1 デバイスは、VM 低電圧、チャージ ポンプ低電圧、過電流、ゲートドライバ短絡、過熱状態から保護されています。

6.3.14.1 VM 低電圧ロックアウト (UVLO2)

VM ピンの電圧が VM 低電圧ロックアウト スレッシュホールド電圧 (V_{UVLO2}) を下回ると、H ブリッジのすべての FET が無効化され、チャージ ポンプが無効化され、nFAULT ピンが Low に駆動されます。DRV8703-Q1 デバイスの VM_UVFL ビットが設定されます。VM 電圧が UVLO2 スレッシュホールドを上回ると、動作が再開されます。動作が再開されると nFAULT ピンは解放されますが、DRV8703-Q1 デバイスの VM_UVFL ビットは、CLR_FLT ビットへの書き込みによってクリアされるまで設定されたままになります。

出力ドライバが無効化されていても、DRV8703-Q1 デバイスの SPI 設定は、このフォルトではリセットされません。VM 電圧がロジック低電圧スレッシュホールド (V_{UVLO1}) を下回るまで設定は維持され、内部ロジックはアクティブに留まります。

6.3.14.2 ロジック低電圧 (UVLO1)

VM ピンの電圧がロジック低電圧スレッシュホールド電圧 (V_{UVLO1}) を下回ると、内部ロジックがリセットされます。VM 電圧が UVLO1 スレッシュホールドを上回ると、動作が再開されます。VM 低電圧状態が発生すると nFAULT ピンは Low に下げられるため、この状態中はロジック Low になります。VM 電圧がこの低電圧スレッシュホールドを下回ると、SPI 設定がリセットされます。

6.3.14.3 VCP 低電圧誤動作防止 (CPUV)

VCP ピンの電圧がチャージポンプ低電圧 (CPUV) 誤動作防止のスレッシュホールド電圧を下回ると、ハーフブリッジの両方の FET が無効化され、nFAULT ピンが Low に駆動されます。DRV8703-Q1 VCP_UVFL ビットが設定されます。VCP 電圧が CPUV スレッシュホールドを上回ると、動作が再開されます。動作が再開された後、nFAULT ピンは解放されますが、DRV8703-Q1 デバイスの VCP_UVFL ビットは、CLR_FLT ビットへの書き込みによってクリアされるまで設定されたままになります。

6.3.14.4 過電流保護 (OCP)

過電流状態は、外部 FET の VDS の電圧降下をモニタして検出します。駆動されている FET にかかる電圧が、OCP グリッチ除去時間より長い時間 $V_{DS(OCP)}$ レベルを上回ると、OCP イベントと判別されます。H ブリッジの両方の FET が無効化され、nFAULT ピンが Low に駆動されます。DRV8703-Q1 デバイスの OCP ビットが設定されます。 $t_{(RETRY)}$ 時間が経過すると、ドライバが再有効化されます。再試行時間後、nFAULT ピンは再び High になります。

フォルト条件が解消しない場合、このサイクルを繰り返します。フォルトが解消されると、通常動作が再開され、nFAULT ピンが High になります。DRV8703-Q1 の OCP ビットは、CLR_FLT ビットへの書き込みでクリアされるまで設定されたままになります。この FET VDS モニタに加えて、SP ピンの電圧が $V_{SP(OCP)}$ を超え、nFAULT ピンが Low に駆動されると、過電流状態が検出されます。DRV8703-Q1 デバイスの OCP ビットが設定されます。

6.3.14.5 ゲートドライバのフォルト (GDF)

GHx ピンと GLx ピンをモニタし、 $t_{(DRIVE)}$ 時間の経過後に外部 FET ゲートの電圧が増加も減少もしなければ、ゲートドライバがフォルトしたと判別します。このフォルトは、GHx ピンまたは GLx ピンが GND、SHx、または VM ピンと短絡している場合に発生します。また、選択した IDRIIVE 設定が外部 FET をオンにするのに十分ではない場合にも、ゲートドライバのフォルトが発生する可能性があります。H ブリッジの両方の FET が無効化され、nFAULT ピンが Low に駆動されます。DRV8703-Q1 デバイスの GDF ビットが設定されます。OCP の再試行期間 ($t_{(RETRY)}$) が経過すると、ドライバは再度有効になります。動作が再開した後、nFAULT ピンは解放されますが、DRV8703-Q1 デバイスの GDF ビットは、CLR_FLT ビットへの書き込みでクリアされるまで設定されたままになります。

6.3.14.6 サーマル シャットダウン (TSD)

ダイ温度が T_{SD} 温度を上回ると、ハーフブリッジ内の両方の FET が無効化され、チャージ ポンプがシャットダウンされ、AVDD レギュレータが無効化されて、nFAULT ピンが Low に駆動されます。DRV8703-Q1 デバイスの OTSD ビットも設定されます。ダイ温度が $T_{SD} - T_{hys}$ 温度まで低下すると、デバイスの動作は自動的に再開されます。動作が再開された

後、nFAULT ピンは解放されますが、DRV8703-Q1 デバイスの OTSD ビットは、CLR_FLT ビットへの書き込みによってクリアされるまで設定されたままになります。

6.3.14.7 ウォッチドッグのフォルト (WDFLT、DRV8703-Q1 のみ)

MCU ウォッチドッグ機能を有効にすると、DRV8703-Q1 デバイスに指示する外部コントローラがアクティブで既知の状態にあることを確認できます。SPI ウォッチドッグは、SPI で WD_EN ビットに 1 を書き込んで有効化する必要があります (デフォルトでは無効、ビットは 0)。ウォッチドッグを有効化すると、内部タイマは WD_DLY ビットで設定した期間までカウントダウンを開始します。ウォッチドッグをリセットするには、WD_DLY ビットで設定した期間内に、レジスタ アドレス 0x00 を MCU で読み出す必要があります。タイマが計測を終了すると、nWDFLT ピンが有効になります。nWDFLT ピンが有効のとき、以下が発生します。

- 64μs の nWDFLT ピンは Low になります。
- nFAULT ピンはアサートされます。
- WD_EN ビットはクリアされます。
- ドライバは無効化されます。

WDFLT ビットはアサートされたまま、CLR_FLT ビットに 1 が書き込まれるまで動作を停止します。

フォルト条件下でのデバイスのフォルト応答を、表 6-9 に示します。

表 6-9. フォルト応答

フォルト	条件	H ブリッジ	チャージポンプ	AVDD	DVDD	復帰
VM 低電圧 (UVLO)	$V_{VM} \leq V_{(UVLOx)}$ (5.45V、最大値)	無効	無効	無効	動作	$V_{VM} \geq V_{(UVLOx)}$ (5.65V、最大値)
VCP 低電圧 (CPUV)	$V_{VCP} \leq V_{(CP_UV)}$ ($V_{VM} + 1.5$ 、標準値)	無効	動作	動作	動作	$V_{VCP} \geq V_{(CP_UV)}$ ($V_{VM} + 1.5$ 、標準値)
外部 FET 過負荷 (OCP)	$V_{DS} \geq V_{DS (OCP)}$ $V_{SP} - V_{SN} > 1V$	無効	動作	動作	動作	$t_{(RETRY)}$
ゲートドライバのフォルト (GDF)	$t_{(DRIVE)}$ 後にゲート電圧が不変	無効	動作	動作	動作	$t_{(RETRY)}$
ウォッチドッグ フォルト (WDFLT)	ウォッチドッグ タイマが計測終了	無効	動作	動作	動作	CLR_FLT ビット
サーマル シャットダウン (TSD)	$T_J \geq T_{SD}$ (150°C、最小値)	無効	無効	無効	動作	$T_J \leq T_{SD} - T_{hys}$ (T_{hys} は通常 20°C)

6.3.14.8 電源逆接続保護

図 6-17 の回路を実装すると、電源を逆接続する状態からシステムを保護できます。この回路には、以下の追加部品が必要です。

- NMOS FET
- NPN BJT
- ダイオード
- $10\text{k}\Omega$ の抵抗
- $43\text{k}\Omega$ の抵抗

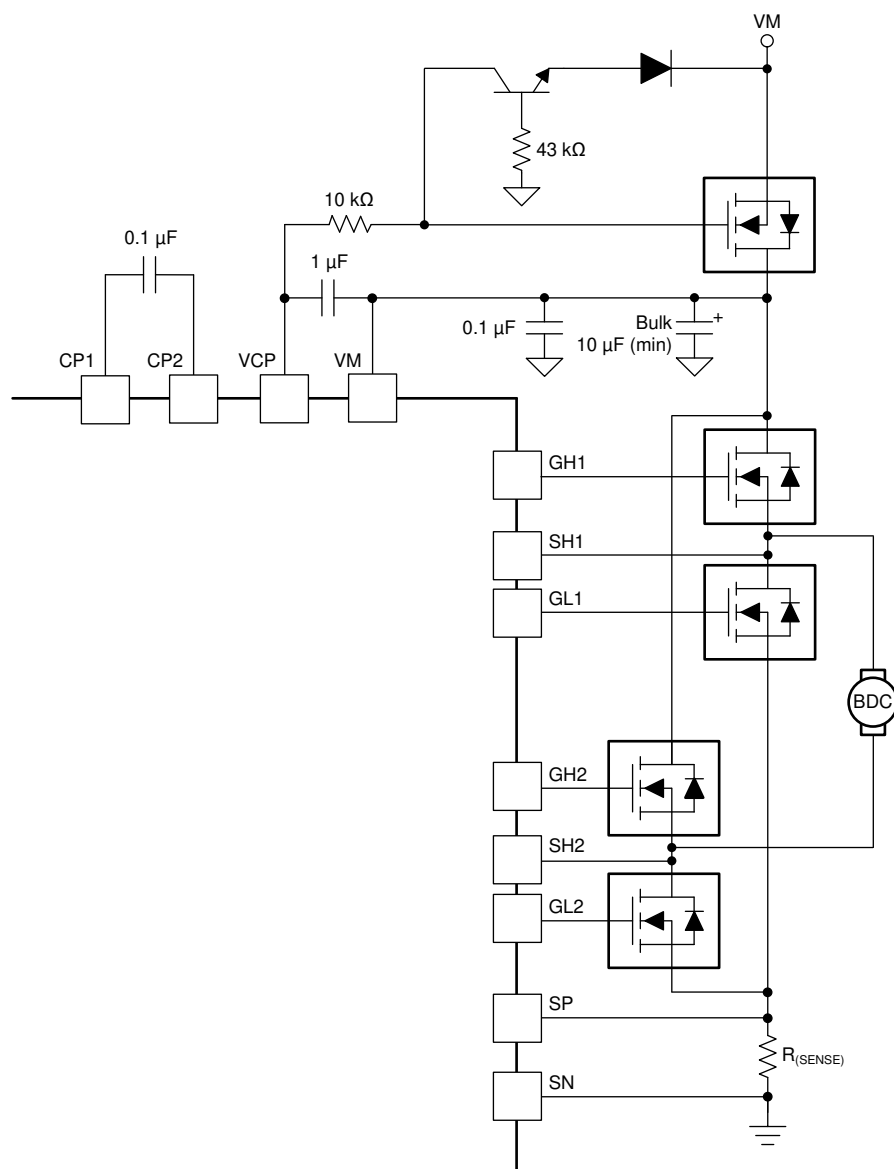


図 6-17. 電源逆接続保護

6.3.15 ハードウェア インターフェイス

DRV8702-Q1 ハードウェア インターフェイスを使用すると、SPI なしでデバイスを構成できますが、DRV8703-Q1 デバイスのように、すべての機能を構成できるわけではありません。ハードウェア インターフェイス デバイス オプションでは、次の構成設定が定められています。

- t_{off} 値は 25 μ s に設定されます。
- 電流レギュレーションは有効です。
- VREF ピンの電圧は内部ではスケールリングされません (100%)。
- シャント アンプは固定ゲインで 19.8V/V です。

6.3.15.1 IDRIVE (6 レベル入力)

表 6-10 に示すように IDRIVE ピンの電圧または抵抗で、ピーク ソースとピーク シンクの IDRIVE 設定を行います。

表 6-10. DRV8702-Q1 の IDRIVE 設定

IDRIVE 抵抗	IDRIVE 電圧	ソース電流		シンク電流	
		$V_{VM} = 5.5V$	$V_{VM} = 13.5V$	$V_{VM} = 5.5V$	$V_{VM} = 13.5V$
< 1k Ω で GND に接続	GND	ハイサイド:10mA ローサイド:10mA	ハイサイド:10mA ローサイド:10mA	ハイサイド:20mA ローサイド:20mA	ハイサイド:20mA ローサイド:20mA
33k $\Omega \pm 5\%$ で GND に接続	0.7V $\pm 5\%$	ハイサイド:20mA ローサイド:20mA	ハイサイド:20mA ローサイド:20mA	ハイサイド:40mA ローサイド:40mA	ハイサイド:40mA ローサイド:40mA
200k $\Omega \pm 5\%$ で GND に接続	2V $\pm 5\%$	ハイサイド:50mA ローサイド:40mA	ハイサイド:50mA ローサイド:45mA	ハイサイド:90mA ローサイド:85mA	ハイサイド:95mA ローサイド:95mA
> 2M Ω で GND に接続、ハイインピーダンス	3V $\pm 5\%$	ハイサイド:145mA ローサイド:115mA	ハイサイド:155mA ローサイド:130mA	ハイサイド:250mA ローサイド:235mA	ハイサイド:265mA ローサイド:260mA
68k $\Omega \pm 5\%$ で AVDD に接続	4V $\pm 5\%$	ハイサイド:190mA ローサイド:145mA	ハイサイド:210mA ローサイド:180mA	ハイサイド:330mA ローサイド:300mA	ハイサイド:350mA ローサイド:350mA
< 1k Ω で AVDD に接続	AVDD	ハイサイド:240mA ローサイド:190mA	ハイサイド:260mA ローサイド:225mA	ハイサイド:420mA ローサイド:360mA	ハイサイド:440mA ローサイド:430mA

6.3.15.2 VDS (6 レベル入力)

この入力は、表 6-11 に示すように VDS モニタのトリップ電圧を制御します。

表 6-11. DRV8702-Q1 の VDS 設定

VDS 抵抗	VDS 電圧	過電流トリップレベル ($V_{DS(OCF)}$)
< 1k Ω で GND に接続	GND	0.06V
33k $\Omega \pm 5\%$ で GND に接続	0.7V $\pm 5\%$	0.12V
200k $\Omega \pm 5\%$ で GND に接続	2V $\pm 5\%$	0.24V
> 2M Ω で GND に接続、ハイインピーダンス	3V $\pm 5\%$	0.48V
68k $\Omega \pm 5\%$ で AVDD に接続	4V $\pm 5\%$	0.96V
< 1k Ω で AVDD に接続	AVDD	無効

6.4 デバイスの機能モード

DRV870x-Q1 デバイスは、nSLEEP ピンが Low になるまでアクティブです。スリープ モードでは、チャージ ポンプは無効化され、H ブリッジ FET は無効化されてハイ インピーダンスになり、AVDD と DVDD レギュレータは無効化されます。

注

nSLEEP ピンでの立ち下がりエッジの後、 $t_{(SLEEP)}$ 時間が経過すると、デバイスはスリープ モードに移行します。nSLEEP ピンが High になると、DRV870x-Q1 デバイスは自動的にスリープ モードから復帰します。

ウェイクアップ後 $t_{(WAKE)}$ 時間が経過すると、出力状態が変化します。

DRV8703-Q1 デバイスでは、UVLO から復帰したとき、またはスリープ モードを終了したときに、SPI 設定がリセットされます。

nSLEEP ピンが Low になると、すべての外部 H ブリッジ FET が無効化されます。ハイサイド ゲートピン、GHx は内部抵抗によって出力ノード SHx にプルされ、ローサイド ゲートピン、GLx はグラウンドにプルされます。

VM 電圧が印加されていない場合とパワーオン時間 (t_{on}) 中は、GHx ピン、SHx ピン、GLx ピンと GND ピンの間の弱いプルダウン抵抗で出力が無効化されます。

注

MODE ピンで、位相と有効化、独立ハーフブリッジ、または PWM 入力モードのデバイス ロジック動作を制御します。この動作は、電源投入時またはスリープ モードの終了時にラッチされます。

6.5 プログラミング

6.5.1 SPI 通信

6.5.1.1 シリアル・ペリフェラル・インターフェイス (SPI)

SPI (DRV8703-Q1 のみ) は、デバイス構成と動作パラメータの設定、診断情報の読み出しに使用します。DRV8703-Q1 SPI はターゲット モードで動作します。SPI 入力データ (SDI) ワードは 5 ビットのコマンド、3 ビットのドント ケア、8 ビットのデータの 16 ビットワードで構成されています。SPI 出力データ (SDO) ワードは 8 ビットのレジスタ データと、最初の 8 ビットのドント ケア ビットで構成されています。

有効なフレームは次の条件を満たしていなければなりません。

- クロック極性 (CPOL) は 0 に設定する必要があります。
- クロック位相 (CPHA) は 1 に設定する必要があります。
- nSCS ピンが Low になるときに nSCS ピンが High になるとき、SCLK ピンは Low である必要があります。
- nSCS 信号が遷移しているとき、SCLK 信号は発生しません。
- nSCS ピンが High になるとき、SCLK ピンは Low である必要があります。
- nSCS ピンは、フレーム間の最低 $t_{(HI_SCS)}$ 以上は High になっている必要があります。
- nSCS ピンが High にアサートされているときは、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンがハイ インピーダンス状態になります。
- 16 SCLK サイクルのすべてが発生する必要がある。
- データはクロックの立ち下がりエッジでキャプチャされ、クロックの立ち上がりエッジで駆動される。
- 最上位ビット (MSB) が最初にシフト イン / シフト アウトされます。
- 書き込みコマンドでは、SDI ピンに送信されるデータワードが 16 ビットより多い / 少ない場合は、フレーム エラーが発生してデータワードが無視されます。
- 書き込みコマンドでは、書き込み先レジスタ内の既存データは、5 ビットのコマンド データに続いて SDO ピンでシフト アウトされます。

6.5.1.2 SPI フォーマット

SDI 入力データワードは 16 ビット長であり、以下のフォーマットで構成されています。

- 1 読み取りまたは書き込みビット、W (ビット 15)
- 4 アドレス ビット、A (ビット 14～11)
- 3 ドント ケア ビット、X (ビット 10 ～ 8)
- 8 データ ビット、D (ビット 7 ～ 0)

SDO 出力データワードは 16 ビット長であり、最初の 8 ビットはドント ケア ビットです。データワードとはアクセス先のレジスタの内容です。

書き込みコマンド (W0 = 0) の場合、SDO ピンでの応答ワードはその時点で書き込み先レジスタ内にあるデータです。

読み取りコマンド (W0 = 1) の場合、応答ワードはその時点で読み取り元レジスタ内にあるデータです。

表 6-12. SDI 入力データ ワードのフォーマット

R/W	アドレス				ドントケア			データ							
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
W0	A3	A2	A1	A0	X	X	X	D7	D6	D5	D4	D3	D2	D1	D0

表 6-13. SDO 出力データ ワードのフォーマット

ドントケア								データ							
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
X	X	X	X	X	X	X	X	D7	D6	D5	D4	D3	D2	D1	D0

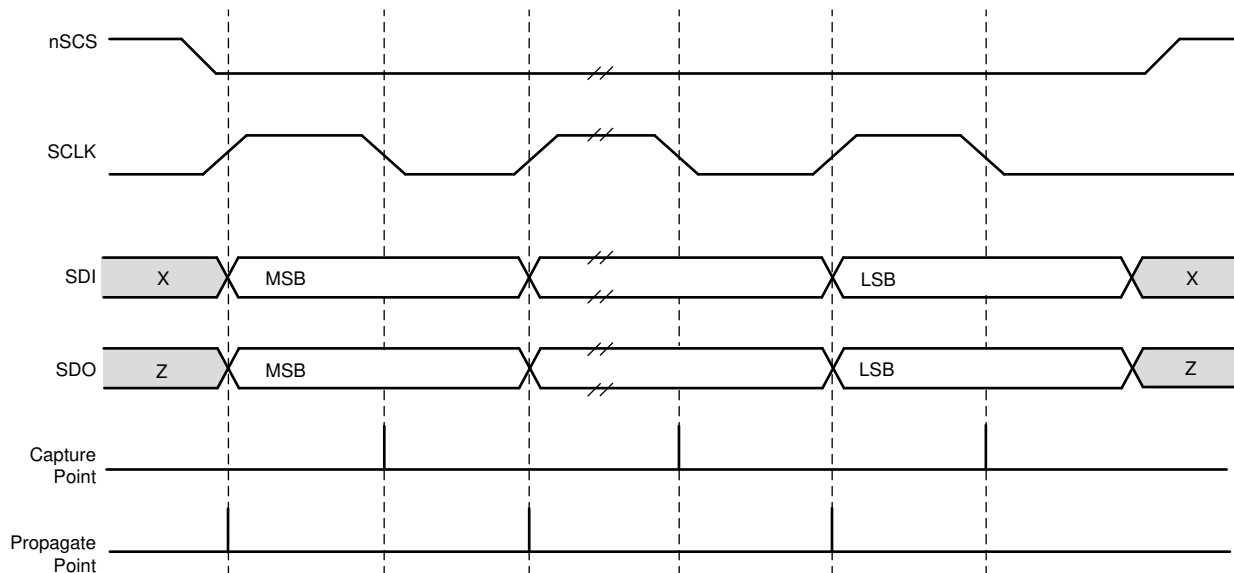


図 6-18. SPI トランザクション

信頼性の高い SPI トランザクションを実現するには、デバイスの電源投入時に SCLK ピンを Low にする必要があります。電源投入時に SCLK ピンが Low であることが保証されない場合、信頼性の高い後続のトランザクションを確保するには、電源投入後に (任意のレジスタの) ダミー SPI 読み取りトランザクションを実行することを推奨します。このダミーの読み取りトランザクションで読み出したデータは破棄する必要があります。

7 レジスタ マップ

表 7-1. DRV8703-Q1 のメモリ マップ

レジスタ名	7	6	5	4	3	2	1	0	アクセス タイプ	アドレス (16 進)
FAULT のステータス	フォルト	WDFLT	GDF	OCP	VM_UVFL	VCP_UVFL	OTSD	OTW	R	0
VDS および GDF	H2_GDF	L2_GDF	H1_GDF	L1_GDF	H2_VDS	L2_VDS	H1_VDS	L1_VDS	R	1
メイン	予約済み		LOCK			IN1/PH	IN2/EN	CLR_FLT	RW	2
IDRIVE と WD	TDEAD		WD_EN	WD_DLY		IDRIVE			RW	3
VDS	SO_LIM	VDS			DIS_H2_VDS	DIS_L2_VDS	DIS_H1_VDS	DIS_L1_VDS	RW	4
設定	TOFF		CHOP_IDS	VREF_SCL		SH_EN	GAIN_CS		RW	5

表 7-2. アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み

7.1 ステータス レジスタ

ステータス レジスタは、警告およびフォルト状態を報告するために使用されます。ステータス レジスタは読み取り専用レジスタです。

表 7-3 に、ステータス レジスタのメモリマップされたレジスタを示します。表 7-3 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-3. ステータス レジスタまとめ表

アドレス	レジスタ名	セクション
0x00h	FAULT ステータス	表示
0x01h	VDS および GDF ステータス	表示

7.2 FAULT ステータス レジスタ (アドレス = 0x00h)

図 7-1 に、FAULT ステータス レジスタのフィールドを示し、表 7-4 に、その説明を示します。

概略表に戻ります。

読み取り専用

図 7-1. FAULT ステータス レジスタ

7	6	5	4	3	2	1	0
フォルト	WDFLT	GDF	OCP	VM_UVFL	VCP_UVFL	OTSD	OTW
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 7-4. FAULT ステータス フィールドの説明

ビット	フィールド	タイプ	デフォルト	説明
7	フォルト	R	0b	OTW ビットを除く FAULT ステータス レジスタのロジック OR
6	WDFLT	R	0b	ウォッチドッグ タイムアウト フォルト
5	GDF	R	0b	ゲート駆動フォルト状態を示します。
4	OCP	R	0b	VDS モニタ過電流フォルト状態を示します。

表 7-4. FAULT ステータス フィールドの説明 (続き)

ビット	フィールド	タイプ	デフォルト	説明
3	VM_UVFL	R	0b	VM 低電圧ロックアウト フォルト状態を示します
2	VCP_UVFL	R	0b	チャージ ポンプ低電圧フォルト状態を示します
1	OTSD	R	0b	過熱シャットダウンを示します。
0	OTW	R	0b	過熱警告を示します。

7.3 VDS および GDF ステータス レジスタ名 (アドレス = 0x01h)

図 7-2 に VDS と GDF ステータスを、表 7-5 にその説明を示します。

概略表に戻ります。

読み取り専用

図 7-2. VDS および GDF ステータス レジスタ

7	6	5	4	3	2	1	0
H2_GDF	L2_GDF	H1_GDF	L1_GDF	H2_VDS	L2_VDS	H1_VDS	L1_VDS
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 7-5. VDS および GDF ステータス フィールドの説明

ビット	フィールド	タイプ	デフォルト	説明
7	H2_GDF	R	0b	ハーフブリッジ 2 のハイサイド FET のゲート駆動フォルトを示します
6	L2_GDF	R	0b	ハーフブリッジ 2 のローサイド FET のゲート駆動フォルトを示します
5	H1_GDF	R	0b	ハーフブリッジ 1 のハイサイド FET のゲート駆動フォルトを示します
4	L1_GDF	R	0b	ハーフブリッジ 1 のローサイド FET のゲート駆動フォルトを示します
3	H2_VDS	R	0b	ハーフブリッジ 2 のハイサイド FET の VDS モニタ過電流フォルトを示します
2	L2_VDS	R	0b	ハーフブリッジ 2 のローサイド FET の VDS モニタ過電流フォルトを示します
1	H1_VDS	R	0b	ハーフブリッジ 1 のハイサイド FET の VDS モニタ過電流フォルトを示します
0	L1_VDS	R	0b	ハーフブリッジ 1 のローサイド FET の VDS モニタ過電流フォルトを示します

7.4 制御レジスタ

制御レジスタは、デバイスの設定に使用されます。制御レジスタは読み取りと書き込みが可能です。

表 7-6 に、ステータス レジスタのメモリマップされたレジスタを示します。表 7-6 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-6. ステータス レジスタまとめ表

アドレス	レジスタ名	セクション
0x02h	メイン コントロール	表示
0x03h	IDRIVE および WD の制御	表示
0x04h	VDS 制御	表示
0x05h	構成制御	表示

7.5 メイン制御レジスタ名 (アドレス = 0x02h)

図 7-3 にメイン制御を、表 7-7 にその説明を示します。

概略表に戻ります。

読み取り / 書き込み

図 7-3. メイン制御レジスタ

7	6	5	4	3	2	1	0
予約済み		LOCK			IN1/PH	IN2/EN	CLR_FLT
R/W-00b		R/W-011b			R/W-0b	R/W-0b	R/W-0b

表 7-7. メイン制御フィールドの説明

ビット	フィールド	タイプ	デフォルト	説明
7-6	予約済み	R/W	00b	予約済み
5-3	LOCK	R/W	011b	110b を書き込み、設定をロックして、アドレス 0x02h を除くレジスタへのそれ以上の変更を無視します。ロックされていない状態で、110b 以外のどんなシーケンスを書き込んでも何の影響も及ぼしません。すべてのレジスタのロックを解除するには、このレジスタに 011b を書き込みます。ロックされている状態で、011b 以外のどんなシーケンスを書き込んでも何の影響も及ぼしません。
2	IN1/PH	R/W	0b	このビットは IN1/PH ピンとの OR です。
1	IN2/EN	R/W	0b	このビットは IN2/EN ピンとの OR です。
0	CLR_FLT	R/W	0b	フォルトビットをクリアするにはこのビットに 1 を書き込みます。

7.6 IDRIVE および WD 制御レジスタ名 (アドレス = 0x03h)

図 7-4 に IDRIVE と WD 制御を、表 7-8 にその説明を示します。

概略表に戻ります。

読み取り / 書き込み

図 7-4. IDRIVE および WD レジスタ

7	6	5	4	3	2	1	0
TDEAD	WD_EN	WD_DLY	IDRIVE				
R/W-00b	R/W-0b	R/W-00b	R/W-111b				

表 7-8. IDRIVE および WD フィールドの説明

ビット	フィールド	タイプ	デフォルト	説明
7-6	TDEAD	R/W	00b	デッド タイム 00b = 120ns 01b = 240ns 10b = 480ns 11b = 960ns
5	WD_EN	R/W	0b	ウォッチドッグ時間を有効化または無効化します (デフォルトでは無効)
4-3	WD_DLY	R/W	00b	ウォッチドッグ タイムアウト遅延 (WD_EN = 1 の場合) 00b = 10ms 01b = 20ms 10b = 50ms 11b = 100ms
2-0	IDRIVE	R/W	111b	ゲート駆動のピークソース電流とピークシンク電流を設定します。表 7-9 にビットの設定を示します。

表 7-9. IDRIVE ビットの設定

ビット値	ソース電流		シンク電流	
	V _{VM} = 5.5V	V _{VM} = 13.5V	V _{VM} = 5.5V	V _{VM} = 13.5V
000b	ハイサイド: 10mA ローサイド: 10mA	ハイサイド: 10mA ローサイド: 10mA	ハイサイド: 20mA ローサイド: 20mA	ハイサイド: 20mA ローサイド: 20mA
001b	ハイサイド: 20mA ローサイド: 20mA	ハイサイド: 20mA ローサイド: 20mA	ハイサイド: 40mA ローサイド: 40mA	ハイサイド: 40mA ローサイド: 40mA
010b	ハイサイド: 50mA ローサイド: 40mA	ハイサイド: 50mA ローサイド: 45mA	ハイサイド: 90mA ローサイド: 85mA	ハイサイド: 95mA ローサイド: 95mA
011b	ハイサイド: 70mA ローサイド: 55mA	ハイサイド: 70mA ローサイド: 60mA	ハイサイド: 120mA ローサイド: 115mA	ハイサイド: 130mA ローサイド: 125mA
100b	ハイサイド: 100mA ローサイド: 75mA	ハイサイド: 105mA ローサイド: 90mA	ハイサイド: 170mA ローサイド: 160mA	ハイサイド: 185mA ローサイド: 180mA
101b	ハイサイド: 145mA ローサイド: 115mA	ハイサイド: 155mA ローサイド: 130mA	ハイサイド: 250mA ローサイド: 235mA	ハイサイド: 265mA ローサイド: 260mA
110b	ハイサイド: 190mA ローサイド: 145mA	ハイサイド: 210mA ローサイド: 180mA	ハイサイド: 330mA ローサイド: 300mA	ハイサイド: 350mA ローサイド: 350mA
111b	ハイサイド: 240mA ローサイド: 190mA	ハイサイド: 260mA ローサイド: 225mA	ハイサイド: 420mA ローサイド: 360mA	ハイサイド: 440mA ローサイド: 430mA

7.7 VDS 制御レジスタ名 (アドレス = 0x04h)

図 7-5 に VDS 制御を、表 7-10 にその説明を示します。

概略表に戻ります。

読み取り / 書き込み

図 7-5. VDS 制御レジスタ

7	6	5	4	3	2	1	0
SO_LIM	VDS			DIS_H2_VDS	DIS_L2_VDS	DIS_H1_VDS	DIS_L1_VDS
R/W-0b	R/W-111b			R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-10. VDS 制御のフィールド説明

ビット	フィールド	タイプ	デフォルト	説明
7	SO_LIM	R/W	0b	0b = デフォルト動作 1b = SO 出力は 3.6V に電圧制限されています
6-4	VDS	R/W	111b	各 FET の $V_{DS(OC)}$ モニタを設定します 000b = 0.06 V 001b = 0.145 V 010b = 0.17 V 011b = 0.2 V 100b = 0.12 V 101b = 0.24 V 110b = 0.48 V 111b = 0.96 V
3	DIS_H2_VDS	R/W	0b	ハーフブリッジ 2 のハイサイド FET の VDS モニタを無効にします (デフォルトでは有効)
2	DIS_L2_VDS	R/W	0b	ハーフブリッジ 2 のローサイド FET の VDS モニタを無効にします (デフォルトでは有効)
1	DIS_H1_VDS	R/W	0b	ハーフブリッジ 1 のハイサイド FET の VDS モニタを無効にします (デフォルトでは有効)
0	DIS_L1_VDS	R/W	0b	ハーフブリッジ 1 のローサイド FET の VDS モニタを無効にします (デフォルトでは有効)

7.8 構成制御レジスタ名 (アドレス = 0x05h)

図 7-6 に構成制御を、表 7-11 にその説明を示します。

概略表に戻ります。

読み取り / 書き込み

図 7-6. 構成制御レジスタ

7	6	5	4	3	2	1	0
TOFF		CHOP_IDS	VREF_SCL		SH_EN	GAIN_CS	
R/W-00b		R/W-0b	R/W-00b		R/W-0b	R/W-01b	

表 7-11. 構成制御フィールドの説明

ビット	フィールド	タイプ	デフォルト	説明
7-6	TOFF	R/W	00b	PWM 電流チョッピングのオフ時間 00b = 25µs 01b = 50µs 10b = 100µs 11b = 200µs
5	CHOP_IDS	R/W	0b	電流レギュレーションを無効にします (デフォルトでは有効)
4-3	VREF_SCL	R/W	00b	VREF 入力の倍率 00b = 100% 01b = 75% 10b = 50% 11b = 25%
2	SH_EN	R/W	0b	シャントアンプのサンプル / ホールド動作を有効化 (デフォルトでは無効)
1-0	GAIN_CS	R/W	01b	シャントアンプのゲイン設定 00b = 10V/V 01b = 19.8V/V 10b = 39.4V/V 11b = 78V/V

8 アプリケーションと実装

注

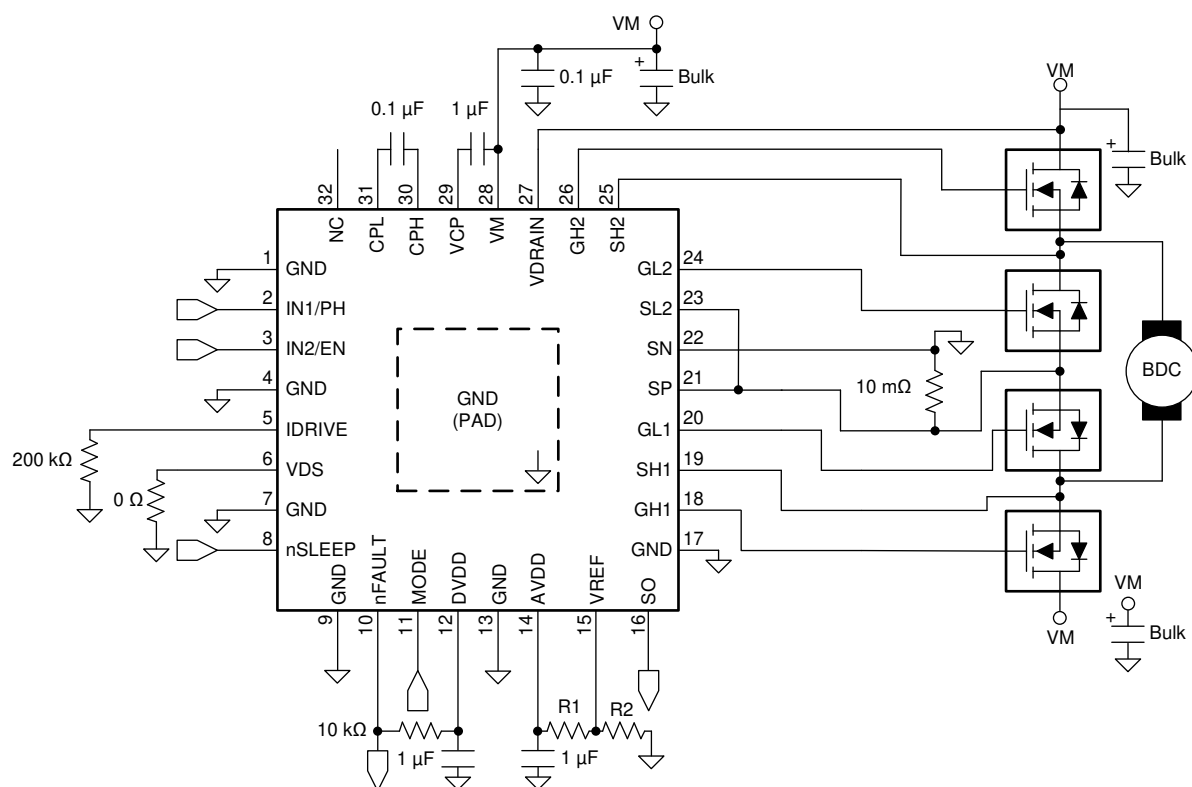
以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

DRV870x-Q1 デバイスは、ブラシ付き DC、ソレノイド、リレー制御アプリケーションで使します。以下の代表的なアプリケーションを使用して、DRV870x-Q1 デバイスを構成できます。

8.2 代表的なアプリケーション

このアプリケーションは、DRV8702-Q1 デバイスを考慮しています。



Copyright © 2017, Texas Instruments Incorporated

図 8-1. DRV8702-Q1 の代表的なアプリケーション回路図

8.2.1 設計要件

この設計例では、表 8-1 に記載されているパラメータを入力パラメータとして使用します。

表 8-1. 設計パラメータ

設計パラメータ	リファレンス	数値の例
公称電源電圧	VM	14V
電源電圧範囲		7V ~ 35V
FET の部品番号		CSD18502Q5B
FET の総ゲート電荷量	Q_g	52nC (標準)
FET のゲートドレイン間の電荷量	Q_{gd}	8.4nC (標準)
目標 FET ゲート立ち上がり時間	t_r	100 ~ 300ns
モーター電流チョッピング レベル	$I_{(CHOP)}$	15A

8.2.2 詳細な設計手順

8.2.2.1 外部 FET 選択

DRV8702-Q1 の FET サポートは、チャージ ポンプ容量と PWM 出力周波数に基づいています。FET 駆動能力を簡単に計算するには、駆動とブレーキ (低速減衰) が主な動作モードであるときに 式 3 を使用します。

$$Q_g < \frac{I_{VCP}}{f_{(PWM)}} \quad (3)$$

ここで、

- f_{PWM} は、DRV8702-Q1 入力に印加可能な最大 PWM 周波数、または電流チョッピング周波数のどちらか大きい方です。
- I_{VCP} は、VM 電圧に依存するチャージ ポンプ容量です。

式 4 に示すように、内部電流チョッピング周波数は最大で PWM 周波数と等しくなります。

$$f_{(PWM)} < \frac{1}{t_{off} + t_{(BLANK)}} \quad (4)$$

たとえばシステムの VM 電圧が 7V ($I_{VCP} = 8mA$) で、40kHz の最大 PWM 周波数を使用する場合、DRV8702-Q1 デバイスは Q_g が最大 200nC の FET をサポートします。

アプリケーションで強制高速減衰 (または駆動と逆駆動の交互切り替え) が必要な場合、式 5 を使用して最大 FET 駆動能力を計算します。

$$Q_g < \frac{I_{VCP}}{2 \times f_{(PWM)}} \quad (5)$$

8.2.2.2 IDRIIVE の構成

IDRIIVE 電流は、FET のゲート電荷に基づいて選択します。IDRIIVE ピンは、 $t_{(DRIVE)}$ 時間中に FET ゲートが完全に充電されるように構成する必要があります。選択した IDRIIVE 電流が対象となる FET に対して低すぎる場合には、FET が完全にオンにならない可能性があります。必要な外部 FET やモーターとともにシステム内でこれらの値を調整し、アプリケーションに対して可能な最良の設定を決めることを推奨します。

ゲート - ドレイン間の電荷 (Q_{gd}) と目標立ち上がり時間 (t_r) が既知である FET の場合、式 6 に基づいて IDRIIVE 電流を選択できます。

$$I_{\text{DRIVE}} > \frac{Q_{\text{gd}}}{t_r} \quad (6)$$

ゲート - ドレイン間の電荷が 2.3nC で、目標立ち上がり時間が約 100 ~ 300ns の場合、式 7 を使用して最小 IDRIVE (I_{DRIVE1}) を、式 8 を使用して最大 IDRIVE (I_{DRIVE2}) を計算します。

$$I_{\text{DRIVE1}} = 8.4 \text{ nC} / 100 \text{ ns} = 84 \text{ mA} \quad (7)$$

$$I_{\text{DRIVE2}} = 8.4 \text{ nC} / 300 \text{ ns} = 28 \text{ mA} \quad (8)$$

IDRIVE の値は 28 ~ 84mA の範囲で選択します。このアプリケーションでは、ソースの IDRIVE 値として約 50mA (約 100mA シンク) を選択しました。この値の場合、IDRIVE ピンとグランドとの間に 200kΩ の抵抗が必要です。

8.2.2.3 VDS の構成

VDS モニタ スレッショルド電圧 $V_{\text{DS(OCF)}}$ は、FET の最大電流 I_{VDS} と $R_{\text{DS(on)}}$ に基づいて構成されます。ドレイン - ソース間電圧 V_{DSFET} は、最大電流 I_{VDS} に FET の $R_{\text{DS(on)}}$ を乗算した値です。

DRV8702-Q1 の VDS ピンは、VDS モニタトリップ スレッショルド $V_{\text{DS(OCF)}}$ を選択します。DRV8703-Q1 の VDS レジスタの VDS ビットで、 $V_{\text{DS(OCF)}}$ 電圧を選択します。式 9 を使用してトリップ電流を計算します。

$$I_{\text{VDS}} > \frac{V_{\text{DSFET}}}{R_{\text{DS(on)}}} \quad (9)$$

FET の $R_{\text{DS(on)}}$ が 1.8mΩ で、目標最大電流が 100A 未満の場合、 V_{DSFET} 電圧は式 10 に示すように 180mV になります。

この例では、180mV 未満の $V_{\text{DS(OCF)}}$ の値を選択します。このアプリケーションでは、0.12V の $V_{\text{DS(OCF)}}$ 値を選択しています。

$V_{\text{DS(OCF)}}$ を 0.12V に設定するには、SPI を使用するか (DRV8703-Q1 のみ)、VDS ピンのグランドに 33k 抵抗を配置します (DRV8702-Q1 のみ)。

VDS ピンは、他の $V_{\text{DS(OCF)}}$ スレッショルド電圧を選択するように構成できます。VDS の動作の詳細については、[セクション 6.3.11](#) セクションを参照してください。

$$V_{\text{DSFET}} = I_{\text{VDS}} \times R_{\text{DS(on)}} = 100 \text{ A} \times 1.8 \text{ m}\Omega = 180 \text{ mV} \quad (10)$$

8.2.2.4 電流チョッピング構成

チョッピング電流は、センス抵抗値と VREF ピンのアナログ電圧に基づいて設定されます。式 11 を使用して電流 ($I_{\text{(CHOP)}}$) を計算します。アンプのゲイン A_V は、DRV8702-Q1 では 19.8V/V で、 V_{IO} は通常は 5mV (入力換算) です。

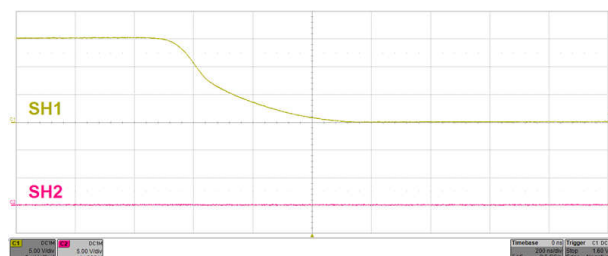
$$I_{\text{(CHOP)}} = \frac{V_{\text{VREF}} - V_{\text{IO}} \times A_V}{A_V \times R_{\text{(SENSE)}}} \quad (11)$$

たとえば目的のチョッピング電流が 15A の場合、 $R_{\text{(SENSE)}}$ に 10mΩ の値を選択します。よって V_{VREF} の値は 2.975V になります。AVDD (5V) ピンからの抵抗デバイダを追加して、 V_{VREF} を約 2.975V に設定します。R2 に 13kΩ の値を、R1 に 19.1kΩ の値を選択します (VREF 抵抗)。

電流チョッピングが不要な場合は、センス抵抗を取り外し、ローサイド FET のソースをグランドに接続できます。

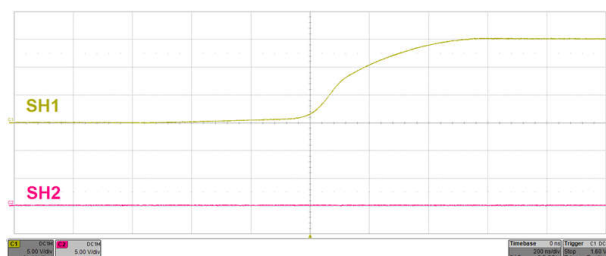
SN と SP はローサイド FET のソースに接続し、VREF を AVDD に接続する必要があります。

8.2.3 アプリケーション曲線



10mA ソース 20mA シンク

図 8-2. SH1 立ち下がり時間



10mA ソース 20mA シンク

図 8-3. SH1 立ち上がり時間

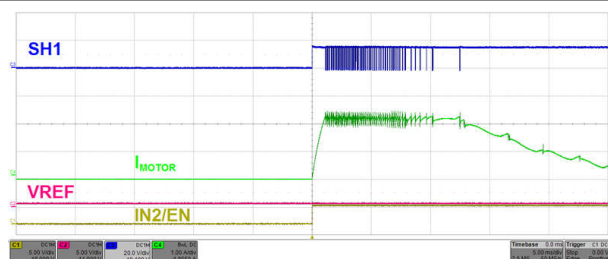


図 8-4. モーター起動時の電流プロファイル、レギュレーションあり

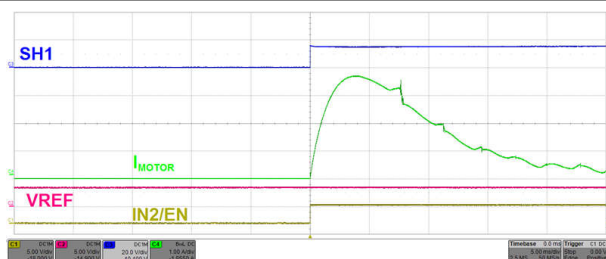


図 8-5. モーター起動時の電流プロファイル、レギュレーションなし

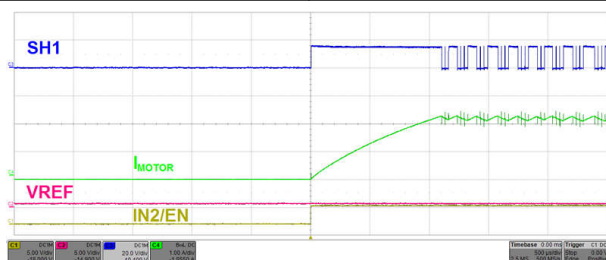


図 8-6. モーター起動時の 2.25A の電流レギュレーション

9 電源に関する推奨事項

DRV8702-Q1 デバイスは、5.5V ~ 45V の入力電源電圧 (VM) 範囲で動作するように設計されています。VM 定格の 0.1 μ F セラミック コンデンサを、DRV8702-Q1 デバイスにできるだけ近づけて配置する必要があります。また、VM ピンには 10 μ F 以上の容量のバルク キャパシタを設置する必要があります。

外部の H ブリッジ FET をバイパスするには、追加のバルク キャパシタが必要です。

9.1 バルク容量の決定

バルク容量のサイズ決定は、モーター駆動システムの設計において重要な要素です。バルク容量が大きいことは有益ですが、コストと物理的なサイズが大きくなるという欠点もあります。

必要なローカル容量値は、次のようなさまざまな要因で決まります。

- モーター システムが必要とする最大電流
- 電源の容量、および電源の電流供給能力
- 電源とモーター システムの間の寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモーターの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)
- モータのブレーキ方式

電源とモーター駆動システムとの間のインダクタンスにより、電源からの電流が変化する速度が制限されます。ローカル バルク容量が小さすぎると、モーターに大電流を供給しようとする場合、または負荷ダンピングが発生した場合、システムの電圧が変動します。十分なバルク容量を使うことで、モーターの電圧は安定し、大電流を素早く供給できます。

データシートには推奨値が記載されていますが、バルク コンデンサの容量が適切かどうかを判断するには、システム レベルのテストが必要です。

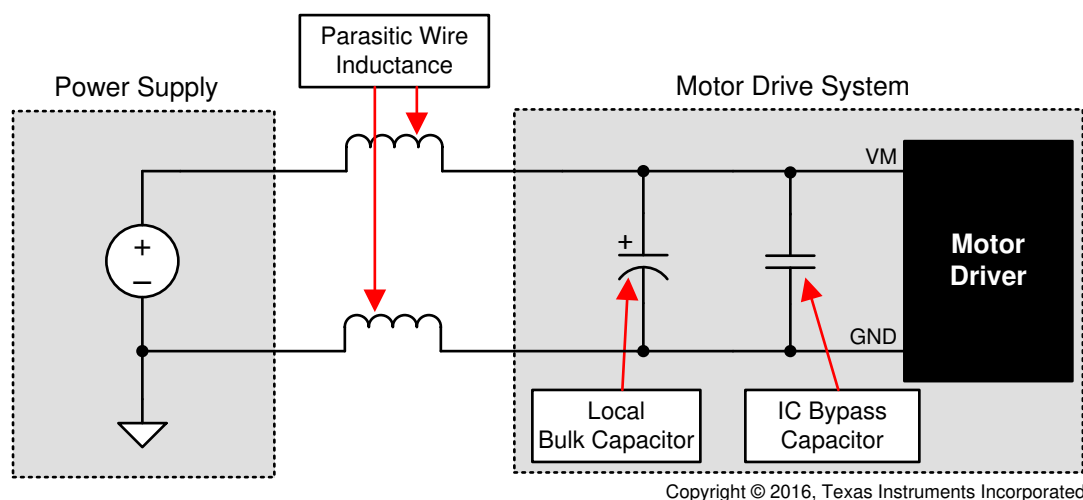


図 9-1. 外部電源を使用したモーター駆動システムの構成例

モーターが電源にエネルギーを伝達する場合のマーヅンを確保するため、バルク キャパシタの定格電圧は動作電圧より高くする必要があります。

10 レイアウト

10.1 レイアウトのガイドライン

VM 定格で推奨値 $0.1\mu\text{F}$ の低 ESR セラミック バイパス コンデンサを使用して、VM ピンをグラウンドにバイパスする必要があります。このコンデンサは VM ピンのできるだけ近くに配置し、太いパターンかグラウンド プレーンでデバイスの GND ピンに接続する必要があります。VM 定格のバルク キャパシタを使用して、VM ピンをグラウンドにバイパスする必要があります。このコンデンサは電解コンデンサで、 $10\mu\text{F}$ 以上にする必要があります。

低 ESR セラミック コンデンサを CPL ピンと CPH ピンの間に配置する必要があります。VM の $0.1\mu\text{F}$ 定格値を推奨します。このコンデンサはピンにできるだけ近付けて配置します。低 ESR セラミック コンデンサを VM ピンと VCP ピンの間に配置する必要があります。16V 定格の $1\mu\text{F}$ を推奨します。この部品はピンにできるだけ近付けて配置します。

6.3V 定格のセラミック コンデンサで、AVDD ピンと DVDD ピンをグラウンドにバイパスします。これらのバイパス コンデンサはピンにできるだけ近付けて配置します。

SP ピンと SN ピンを R_{SENSE} 抵抗に接続する際には、個別のパターンを使用します。

10.2 レイアウト例

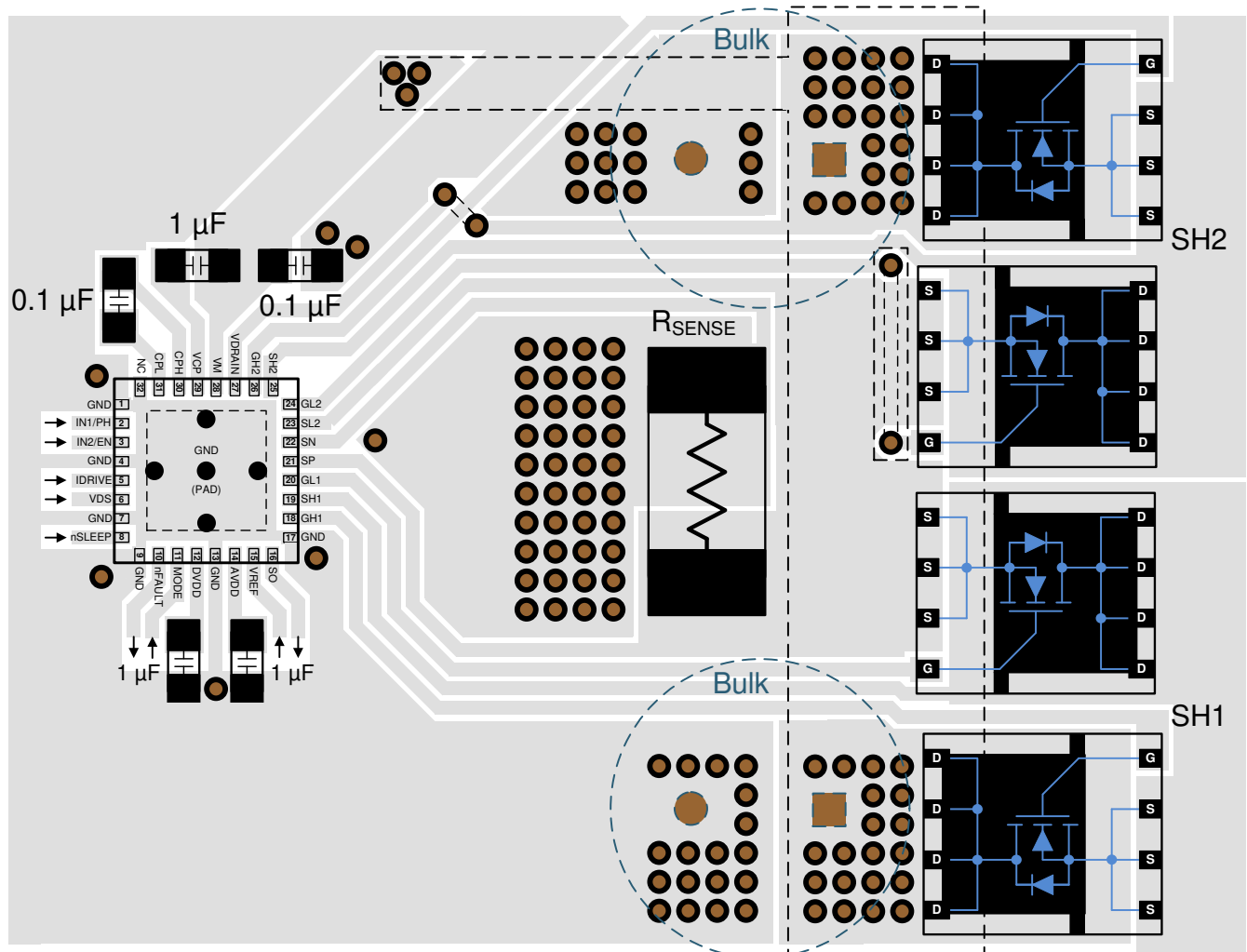


図 10-1. DRV8702-Q1 レイアウトの例

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントのサポート

11.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『[車載用リレーの交換アプリケーション ノート](#)』
- テキサス インスツルメンツ、『[小型のサンルーフ用モーター モジュールのリファレンス デザイン](#)』
- テキサス インスツルメンツ、『[車載用アプリケーションにおけるブラシ付き DC モーター駆動のリレーの交換](#)』アプリケーション ノート
- テキサス インスツルメンツ、『[スマート ゲート駆動について](#)』アプリケーション ノート
- テキサス インスツルメンツ、『[大電流モーター駆動アプリケーションのカットオフ スイッチ](#)』アプリケーション ノート
- テキサス インスツルメンツ、『[ブラシ付きモーターとステップ モーターの電流レギュレーションの構成方法](#)』アプリケーション ノート
- テキサス インスツルメンツ、『[テキサス インスツルメンツのモーター ゲートドライバによるバッテリーとグラウンドへの短絡状況の検出](#)』アプリケーション ノート
- テキサス インスツルメンツ、『[車載用モーター駆動システムを逆極性状態から保護する](#)』アプリケーション ノート

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

11.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

11.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (January 2021) to Revision F (February 2024)

Page

- | | |
|---------------------------------|----|
| • CPHA 設定を 0 から 1 に更新しました。..... | 42 |
|---------------------------------|----|

Changes from Revision D (December 2018) to Revision E (January 2021)	Page
• 機能安全の箇条書き項目を追加.....	1

Changes from Revision C (August 2018) to Revision D (December 2018)	Page
• 2 番目の概要を削除するために先頭ページを変更.....	1
• ゲート駆動電流の図を削除.....	1
• 連続シャント アンプの入力ピン電圧に SL2 ピンを追加.....	6
• 連続シャント アンプの入力ピン電圧に SL2 ピンを追加.....	6
• IN1 を IN1/PH に、IN2 を IN2/EN に変更.....	7
• モードの標準プルダウン抵抗を変更.....	7
• モードの標準プルアップ抵抗を追加.....	7
• 「VDS の構成」セクションの表現を変更	52

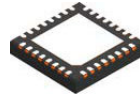
Changes from Revision B (March 2017) to Revision C (August 2018)	Page
• 「特長」および「概要」セクションを変更.....	1
• 「ピン機能」表の SL2 ピンのタイプを O から I に変更	3
• SPI パラメータ名の規則を変更.....	12
• 「OCP スレッシュホールド電圧」グラフで $V_{DS(OCP)}$ を 0.86V から 0.96V に変更	15
• 「電流レギュレーション」と「電流チョッピング構成」セクションの $I_{(CHOP)}$ の式を変更	26
• 「アンプ出力 (SO)」セクションの電流の式を変更	26
• 「IDRIVE と WD フィールドの説明」表の WD_EN ビットの説明を変更	44

Changes from Revision A (November 2016) to Revision B (March 2017)	Page
• 「絶対最大定格」表において、AVDD の最大電圧を 5.7 から 5.75 に変更	14
• 「電気的特性」表の DRV8703-Q1 アンプのゲイン パラメータの GAIN_CS = 00 と GAIN_CS = 10 の最大 V_{SP} 値を 変更	14
• 外付け部品表に $R_{(VDRAIN)}$ 注釈を追加	23
• MODE ピンのブロック図で、1 つの抵抗値を 32k Ω から 65k Ω に変更	25
• 「過電流保護 (OCP)」セクションで、フォルト条件が解消された場合の動作を変更	38
• 「電流チョッピング構成」セクションの $I_{(CHOP)}$ 式から $A_v \times$ を削除	52

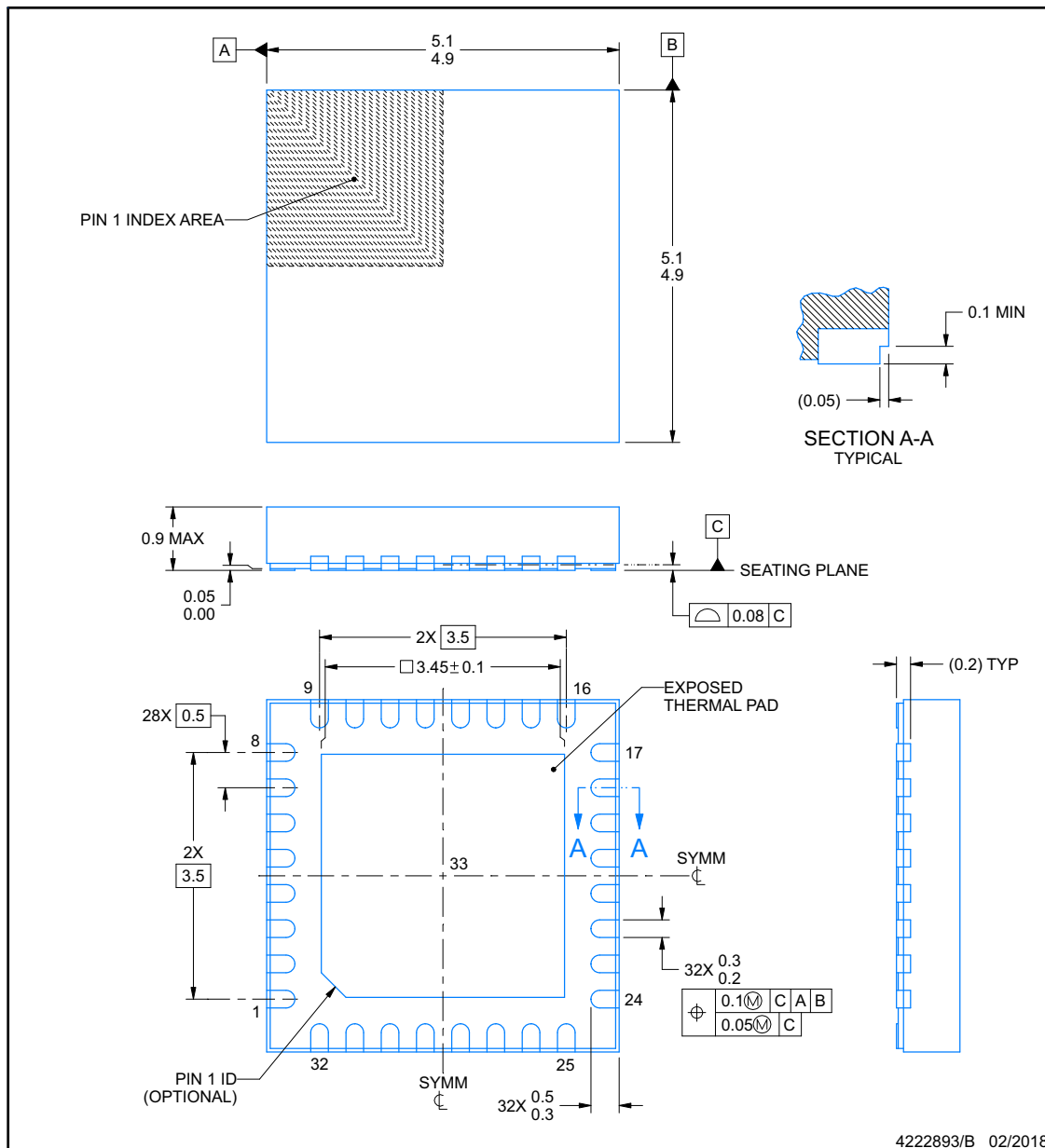
Changes from Revision * (October 2016) to Revision A (November 2016)	Page
• データシートのフル バージョンをリリース.....	1

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

RHB0032N**PACKAGE OUTLINE****VQFN - 0.9 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD

**NOTES:**

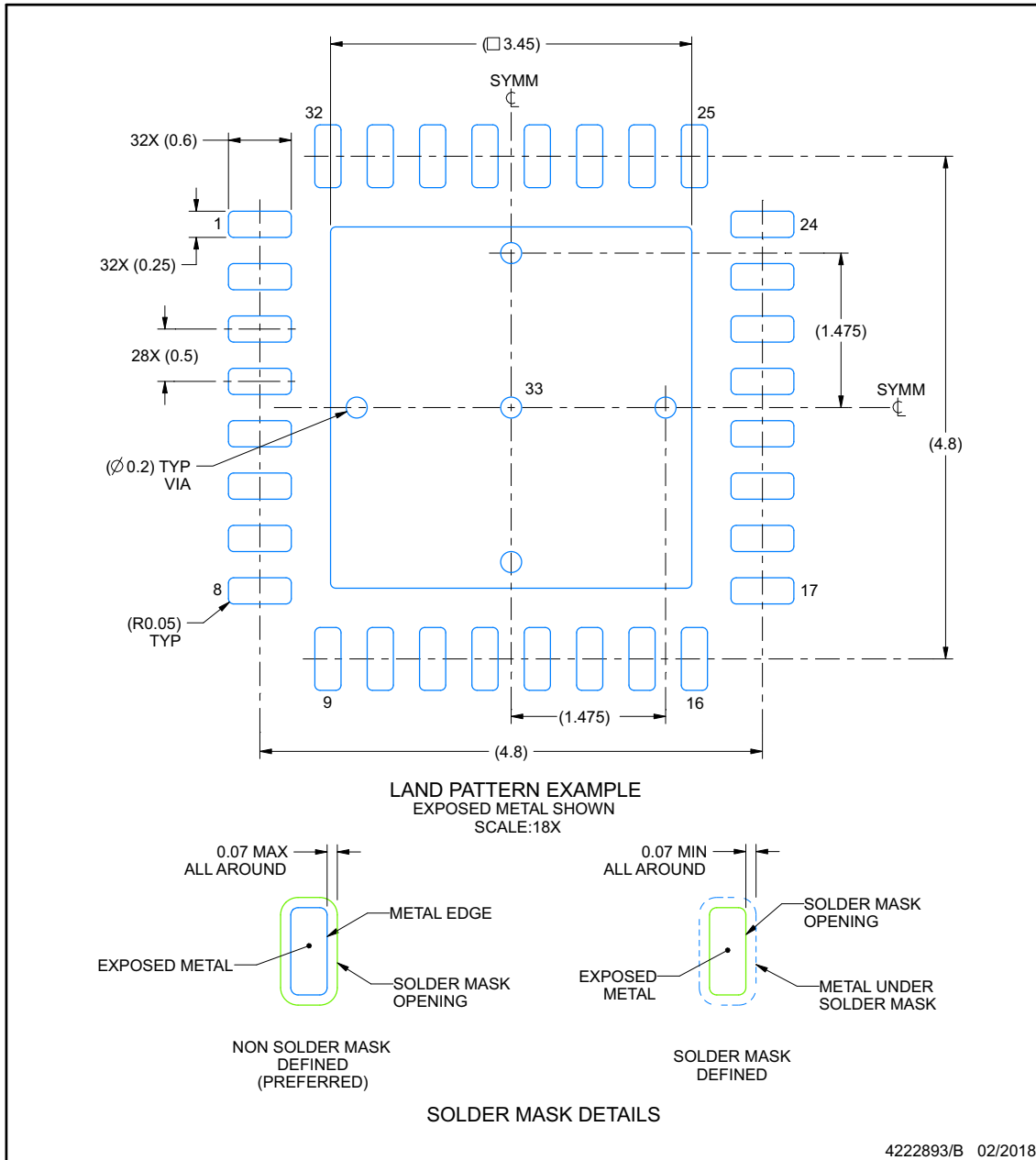
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RHB0032N

VQFN - 0.9 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

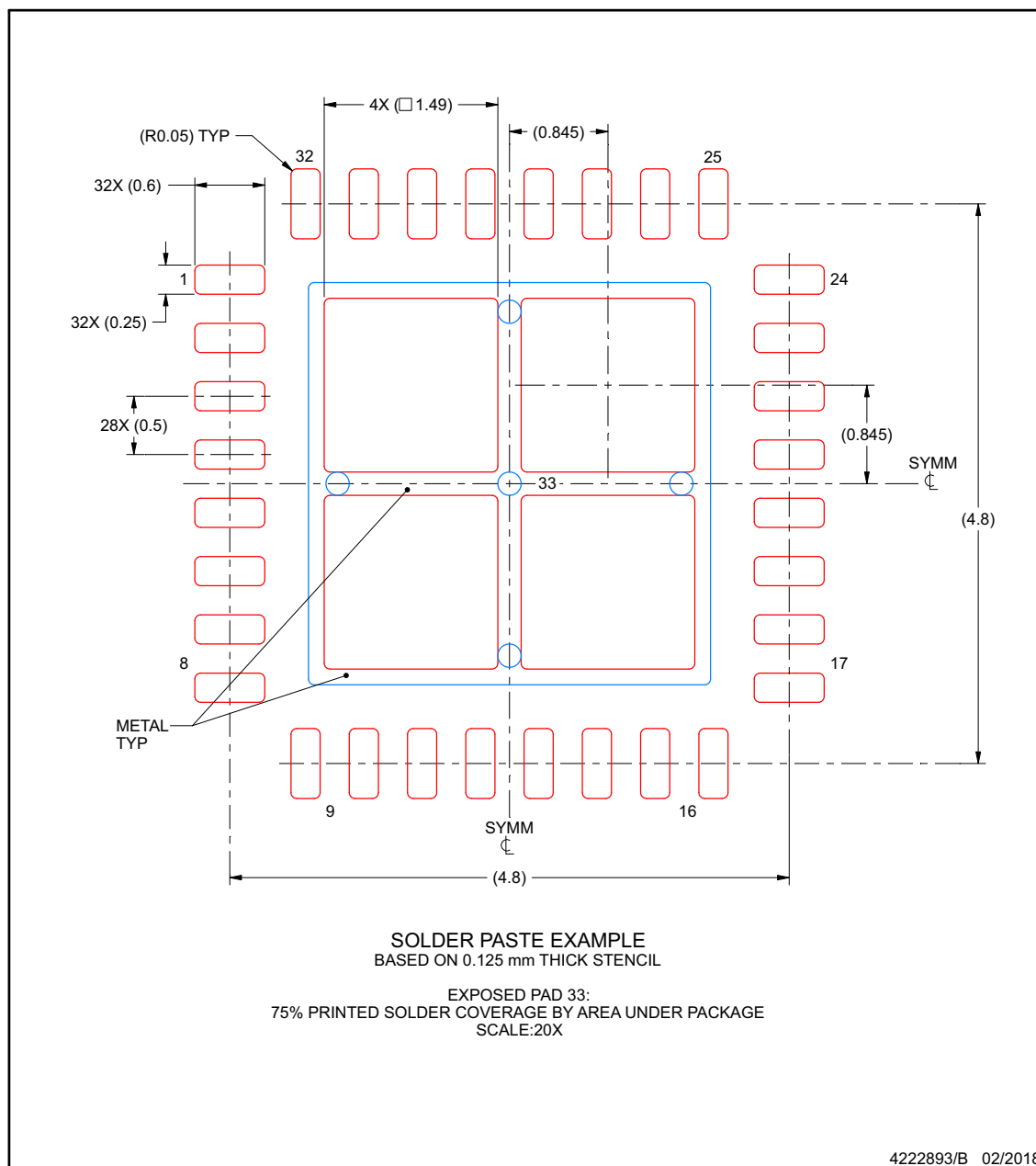
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHB0032N

VQFN - 0.9 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8702QRHBRQ1	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU SN	Level-3-260C-168 HR	-40 to 125	DRV8702
DRV8702QRHBRQ1.A	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	DRV8702
DRV8702QRHBTQ1	Obsolete	Production	VQFN (RHB) 32	-	-	Call TI	Call TI	-40 to 125	DRV8702
DRV8703QRHBRQ1	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU SN	Level-3-260C-168 HR	-40 to 125	DRV8703
DRV8703QRHBRQ1.A	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	DRV8703
DRV8703QRHBTQ1	Obsolete	Production	VQFN (RHB) 32	-	-	Call TI	Call TI	-40 to 125	DRV8703

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

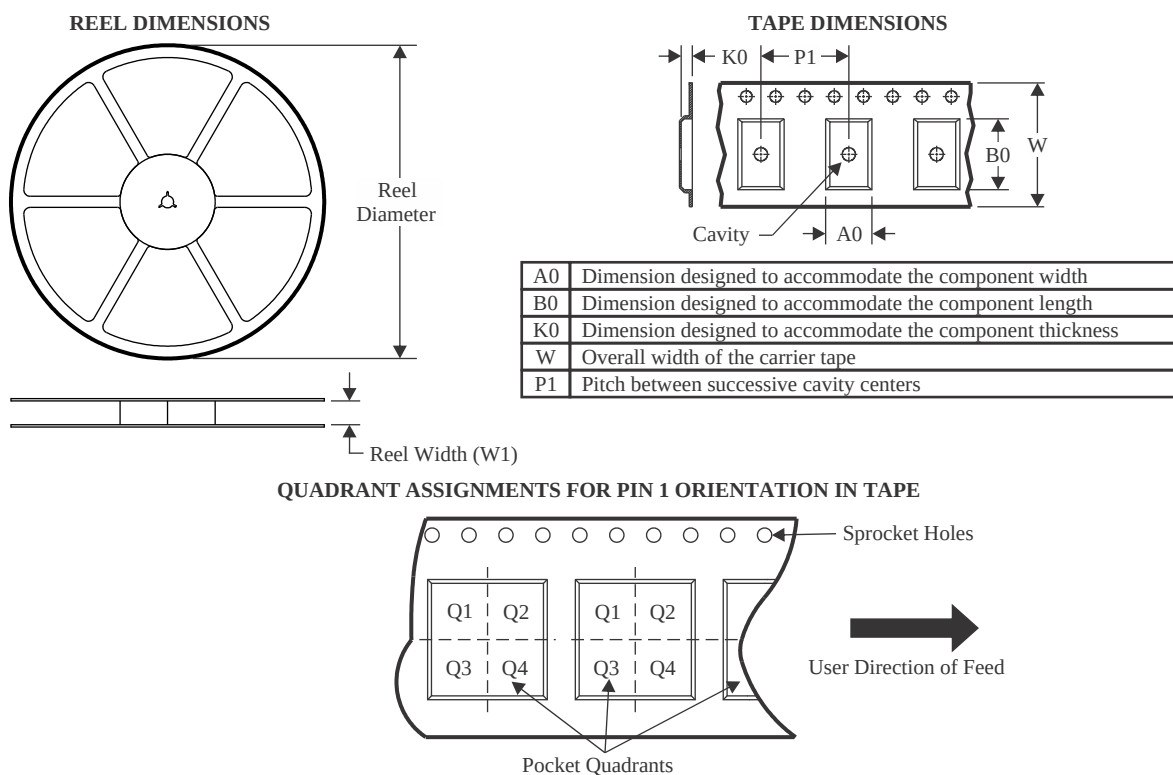
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

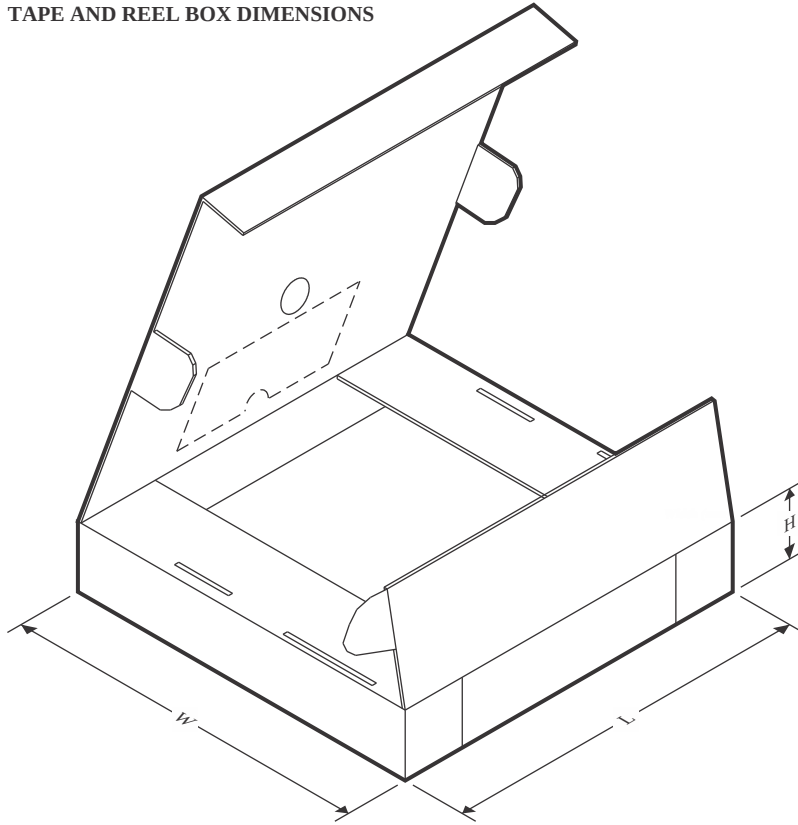
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8702QRHBRQ1	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DRV8703QRHBRQ1	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8702QRHBRQ1	VQFN	RHB	32	3000	367.0	367.0	35.0
DRV8703QRHBRQ1	VQFN	RHB	32	3000	367.0	367.0	35.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月