DRV871x-Q1 広い同相入力電圧範囲を持つインライン電流検出アンプを備えた車載用マルチチャネル・スマート・ハーフブリッジ・ゲート・ドライバ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:-40℃～+125℃、T_A
- マルチチャネル ハーフブリッジ ゲートドライバ
  - ピン互換のハーフブリッジドライバ (x4、x8) バリアント
  - 4.9V～37V (絶対最大定格 40V) 動作範囲
  - 出力マッピング機能を搭載した 4 個の PWM 入力
  - 100% PWM に対応するトリプラー チャージ ポンプ
  - ハーフブリッジ、H ブリッジ、SPI の各制御モード
- スマート多段ゲートドライブ アーキテクチャ
  - 調整可能なスルー レート制御
  - 適応型伝搬遅延制御
  - 50μA～62mA のピーク ソース電流出力
  - 50μA～62mA のピーク シンク電流出力
  - デッドタイム ハンドシェイクを集積
- 同相範囲の広い 2 個の電流シャント アンプ
  - インライン、ハイサイド、またはローサイドをサポート
  - 可変ゲイン設定 (10、20、40、80V/V)
- 複数のインターフェイス オプションを利用可能
  - SPI:詳細な構成と診断
  - H/W:制御ピンの簡素化とマイコン (MCU) ピンの削減
- コンパクトな VQFN パッケージ (ウェッタブル フランク)
- 保護機能内蔵
  - 専用のドライバ ディスエーブル ピン (DRVOFF)
  - 低 I_Q、スリープ モード モーター ブレーキ (BRAKE)
  - 電源 / レギュレータ電圧監視
  - MOSFET V_{DS} 過電流監視
  - MOSFET V_{GS} ゲート フォルト監視
  - 反転極性 MOSFET 用チャージ ポンプ
  - オフライン オープン負荷と短絡診断
  - デバイス熱警告とシャットダウン
  - ウィンドウ ウォッチドッグ タイマ
  - フォルト状況割り込みピン (nFAULT)

2 アプリケーション

- 車載用ブラシ付き DC モーター
- パワー・シート・モジュール
- パワー・トランクとリフト・ゲート
- ドア・モジュール
- 車体制御モジュール
- 電動サンルーフ
- トランスミッションおよびエンジン制御モジュール

3 概要

DRV871x-Q1 デバイス ファミリは、複数のモーターまたは負荷を駆動するための高集積マルチチャネル ゲート ドライバです。これらのデバイスは 4 つ (DRV8714-Q1) または 8 つ (DRV8718-Q1) のハーフブリッジ ゲート ドライバ、ドライバ電源、電流シャント アンプ、保護モニタを内蔵しており、システム全体の複雑さ、サイズ、コストを低減します。

スマート ゲート ドライブ アーキテクチャは、デッドタイムを管理して貫通電流を防止し、スルーレートを制御して電磁干渉 (EMI) を低減し、伝搬遅延を最適化して性能を向上させます。

ハーフブリッジまたは H ブリッジを独立して制御するための入力モードが備わっています。SPI 制御機能と組み合わせて、4 個の PWM 入力を複数のドライバの間でマルチプレクス (多重化) することができます。

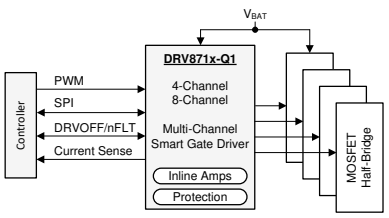
広同相シャント アンプにより、インライン電流検出機能が実現し、ウィンドウの再循環中であっても、モーター電流を連続的に測定できます。インライン検出が必要ない場合は、ローサイドまたはハイサイドのセンス構成でアンプを使用できます。

本デバイスは、一連の保護機能を搭載しており、信頼性の高いシステム動作に貢献します。これらの保護機能には、低電圧監視と過電圧監視、外部 MOSFET の V_{DS} 過電流監視と V_{GS} ゲート障害監視、オフライン オープン負荷および短絡の診断、内部的な温度警告と過熱保護機能があります。

製品情報 (1)

部品番号	パッケージ	本体サイズ (公称)
DRV8714-Q1	VQFN (40)	6.00mm x 6.00mm
	HTQFP (48)	7.00mm x 7.00mm
	VQFN (56)	8.00mm x 8.00mm
DRV8718-Q1	VQFN (56)	8.00mm x 8.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



簡単なブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 1
2 アプリケーション 1
3 概要 1
4 デバイス比較表 3
5 ピン構成および機能 4
5.1 VQFN（RVJ）56 ピン パッケージおよびピン機能 13
5.2 VQFN（RHA）40 ピン パッケージおよびピン機能 16
5.3 HTQFP（PHP）48 ピン パッケージおよびピン機能 19
6 仕様 22
6.1 絶対最大定格 22
6.2 ESD 定格 23
6.3 推奨動作条件 23
6.4 熱に関する情報 23
6.5 電気的特性 23
6.6 タイミング要件 32
6.7 タイミング図 32
6.8 代表的特性 33
7 詳細説明 35
7.1 概要 35
7.2 機能ブロック図 36
7.3 機能説明 40
7.4 デバイスの機能モード 68
7.5 プログラミング 69
8 レジスタ マップ 75
8.1 DRV8718-Q1 レジスタ マップ 76
8.2 DRV8714-Q1 レジスタ マップ 78
8.3 DRV8718-Q1 のレジスタの説明 80
8.4 DRV8714-Q1 のレジスタの説明 130
9 アプリケーションと実装 172
9.1 使用上の注意 172
9.2 代表的なアプリケーション 172
9.3 初期化 179
9.4 電源に関する推奨事項 179
9.5 レイアウト 180
10 デバイスドキュメントおよびサポート 183
10.1 ドキュメントのサポート 183
10.2 ドキュメントの更新通知を受け取る方法 183
10.3 サポート・リソース 183
10.4 商標 183
10.5 静電気放電に関する注意事項 183
10.6 用語集 183
11 改訂履歴 183
12 メカニカル、パッケージ、および注文情報 184
12.1 付録：パッケージ オプション 185

Copyright © 2026 Texas Instruments Incorporated

4 デバイス比較表

デバイス	ハーフブリッジ	アンプ	インターフェイス	パッケージ	ピン
DRV8714H-Q1	4	2	ハードウェア (H/W)	6x6mm VQFN	40
				7x7mm HTQFP	48
DRV8714S-Q1(1)	4	2	シリアル (SPI)	6x6mm VQFN	40
				7x7mm HTQFP	48
				8x8mm VQFN	56
DRV8718S-Q1	8	2	シリアル (SPI)	8x8mm VQFN	56

(1) DRV8714A-Q1 (DRV8714SAQRHARQ1) は、6×6mm の VQFN 40 ピン パッケージの DRV8714S-Q1 のバリアントです。電気的または機能的な唯一の違いは、V_{POB_VDS} 電気的スレッショルドが 800mV に変化することです。

表 4-1. DRV8714-Q1 SPI と H/W 機能との比較

特長	DRV8714S-Q1 SPI	DRV8714H-Q1 H/W インターフェイス
PWM 入力モード	4 モード	4 モード
ゲートドライブ出力電流 (I_{DRIVE})	16 設定	6 設定
デッド タイム	ハンドシェイク + 3 固定設定	ハンドシェイクのみ
V_{DS} コンパレータ スレッショルド	16 設定	6 設定
V_{DS} および V_{GS} ブランキング時間 (t_{DRIVE})	8 設定	固定、8µs
V_{DS} グリッチ除去時間	4 設定	固定、4µs
V_{GS} グリッチ除去時間	固定、2µs	固定、2µs
V_{DS} 障害応答	4 モード	固定、サイクルごと
V_{GS} 障害応答	4 モード	固定、サイクルごと
アンプ ゲイン	4 設定	4 設定
アンプ ブランキング時間	8 設定	該当なし
アンプ リファレンス電圧	2 設定	固定、V_{AREF}/2
V_{PVDD} 低電圧障害応答	2 モード	自動リトライ
V_{PVDD} 過電圧障害応答	4 モード	該当なし
V_{VCP} 低電圧障害応答	2 モード	自動リトライ
V_{VCP} 低電圧スレッショルド	2 設定	固定
オフライン オープン負荷診断	使用可能	該当なし
オフライン短絡診断	使用可能	該当なし
ウォッチドッグ タイマ	使用可能	該当なし
マルチファンクション DRVOFF/nFLT ピン	DRVOFF または nFLT を構成可能	nFLT 故障通知のみ

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

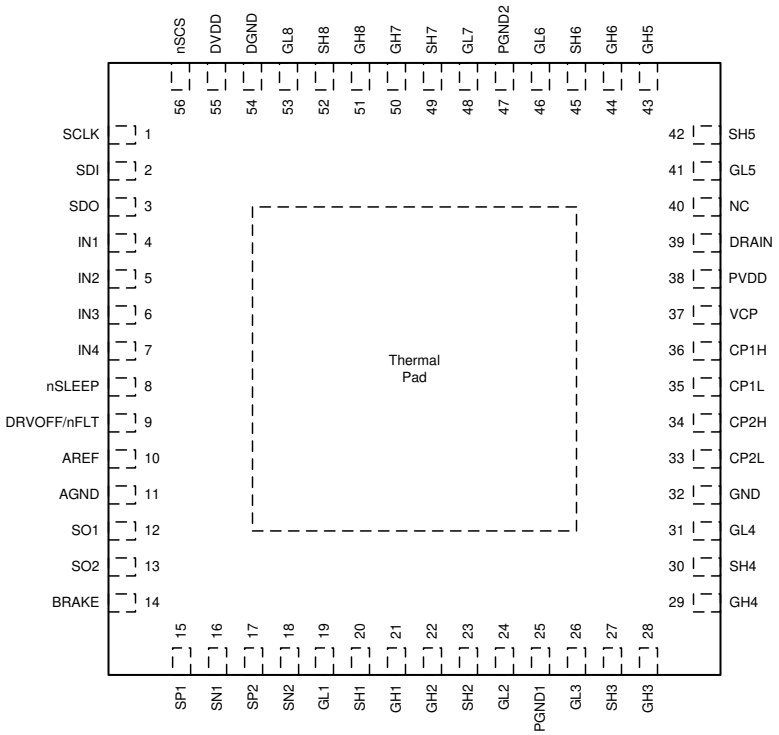


図 5-1. DRV8718S-Q1 VQFN (RVJ) 56 ピン パッケージ上面図

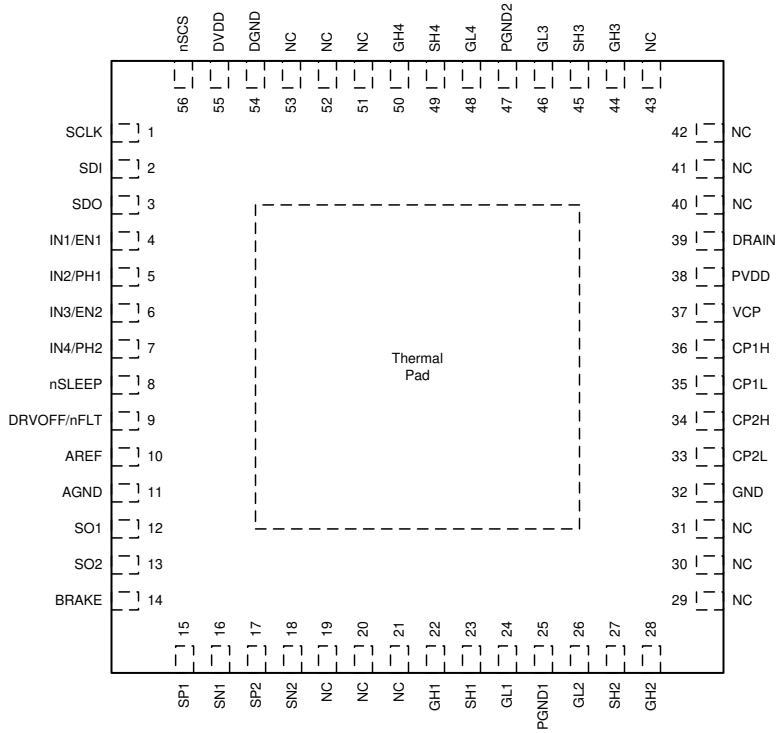


図 5-2. DRV8714S-Q1 VQFN (RVJ) 56 ピン パッケージ上面図

Copyright © 2026 Texas Instruments Incorporated

表 5-1. VQFN (RVJ) 56 ピン パッケージおよびピン機能

ピン			I/O	タイプ	説明
番号	名称				
	DRV8718S-Q1	DRV8714S-Q1			
1	SCLK		I	デジタル	シリアル クロック入力。シリアル データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト アウトおよびキャプチャされます。内部プルダウン抵抗。
2	SDI		I	デジタル	シリアル データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます。内部プルダウン抵抗。
3	SDO		O	デジタル	シリアル データ出力。データは、SCLK ピンの立ち上がりエッジでシフト アウトされます。プッシュプル出力。
4	IN1	IN1/EN1	I	デジタル	ハーフブリッジおよび H ブリッジ制御入力。セクション 7.3.3 を参照してください。内部プルダウン。
5	IN2	IN2/PH1	I	デジタル	
6	IN3	IN3/EN2	I	デジタル	
7	IN4	IN4/PH2	I	デジタル	
8	nSLEEP		I	デジタル	デバイス イネーブル ピン。デバイスをシャットダウンし、スリープ モードに移行するロジック Low。内部プルダウン抵抗。
9	DRVOFF/nFLT		I/O	デジタル	ドライバ シャットダウン入力または故障インジケータ出力として使用可能な多機能ピン。セクション 7.3.8 を参照してください。内部プルダウン抵抗。
10	AREF		I	電源	電流センス アンプ用外部基準電圧と電源。0.1µF、6.3V セラミック コンデンサを AREF ピンと AGND ピンの間に接続することを推奨します。
11	AGND		I/O	電源	デバイスのグランド。システム グランドに接続。
12	SO1		O	アナログ	シャント アンプ出力。
13	SO2		O	アナログ	シャント アンプ出力。
14	BRAKE		I	デジタル	パワー オフ ブレーキ ピン。Low レベルのスリープ モード中にローサイド ゲートドライバを有効化するには High を入力します。セクション 7.3.8.2 を参照してください。内部プルダウン抵抗。
15	SP1		I	アナログ	アンプのプラス入力。シャント抵抗のプラス端子に接続します。
16	SN1		I	アナログ	アンプのマイナス入力。シャント抵抗のマイナス端子に接続します。
17	SP2		I	アナログ	アンプのプラス入力。シャント抵抗のプラス端子に接続します。
18	SN2		I	アナログ	アンプのマイナス入力。シャント抵抗のマイナス端子に接続します。
19	GL1	NC	O	アナログ	ローサイド ゲートドライバ出力。ローサイド MOSFET のゲートに接続します。
20	SH1	NC	I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
21	GH1	NC	O	アナログ	ハイサイド ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。
22	GH2	GH1	O	アナログ	ハイサイド ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。
23	SH2	SH1	I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
24	GL2	GL1	O	アナログ	ローサイド ゲートドライバ出力。ローサイド MOSFET のゲートに接続します。
25	PGND1		I	アナログ	ローサイド MOSFET ゲートドライブ 1 ～ 4 センス機能とパワー リターン。デバイスとハーフブリッジ 1 ～ 4 の近くにシステム グランドに接続します。
26	GL3	GL2	O	アナログ	ローサイド ゲートドライバ出力。ローサイド MOSFET のゲートに接続します。
27	SH3	SH2	I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
28	GH3	GH2	O	アナログ	ハイサイド ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。
29	GH4	NC	O	アナログ	ハイサイド ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。
30	SH4	NC	I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
31	GL4	NC	O	アナログ	ローサイド ゲートドライバ出力。ローサイド MOSFET のゲートに接続します。
32	GND		I/O	グランド	デバイスのグランド。システム グランドに接続。
33	CP2L		I/O	電源	チャージ ポンプのスイッチング ノード。100nF、PVDD 定格セラミック コンデンサを CP2H ピンと CP2L ピンの間に接続します。
34	CP2H		I/O	電源	

Copyright © 2026 Texas Instruments Incorporated

表 5-1. VQFN (RVJ) 56 ピン パッケージおよびピン機能 (続き)

ピン			I/O	タイプ	説明
番号	名称				
	DRV8718S-Q1	DRV8714S-Q1			
35	CP1L		I/O	電源	チャージ ポンプのスイッチング ノード。100nF、PVDD 定格セラミック コンデンサを CP1H ピンと CP1L ピンの間に接続します。
36	CP1H		I/O	電源	
37	VCP		I/O	電源	チャージ ポンプ出力。1μF、16V セラミック コンデンサを VCP ピンと PVDD ピンの間に接続します。
38	PVDD		I	電源	デバイス ドライバ電源入力。ブリッジ電源に接続します。PVDD ピンと GND ピンの間に 0.1μF の PVDD 定格セラミック コンデンサと 10μF 以上のローカル バルク容量を接続します。
39	DRAIN		I	アナログ	ブリッジ MOSFET ドレイン電圧センス ピン。ハイサイド MOSFET ドレインのコモン ポイントに接続します。
40	NC		—	—	接続なし。
41	GL5	NC	O	アナログ	ローサイド ゲート ドライバ出力。ローサイド MOSFET のゲートに接続します。
42	SH5	NC	I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
43	GH5	NC	O	アナログ	ハイサイド ゲート ドライバ出力。ハイサイド MOSFET のゲートに接続します。
44	GH6	GH3	O	アナログ	ハイサイド ゲート ドライバ出力。ハイサイド MOSFET のゲートに接続します。
45	SH6	SH3	I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
46	GL6	GL3	O	アナログ	ローサイド ゲート ドライバ出力。ローサイド MOSFET のゲートに接続します。
47	PGND2		I	アナログ	ローサイド MOSFET ゲート ドライブ 5 ～ 8 センス機能とパワー リターン。デバイスとハーフブリッジ 5 ～ 8 の近くにシステム グランドに接続します。
48	GL7	GL4	O	アナログ	ローサイド ゲート ドライバ出力。ローサイド MOSFET のゲートに接続します。
49	SH7	SH4	I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
50	GH7	GH4	O	アナログ	ハイサイド ゲート ドライバ出力。ハイサイド MOSFET のゲートに接続します。
51	GH8	NC	O	アナログ	ハイサイド ゲート ドライバ出力。ハイサイド MOSFET のゲートに接続します。
52	SH8	NC	I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
53	GL8	NC	O	アナログ	ローサイド ゲート ドライバ出力。ローサイド MOSFET のゲートに接続します。
54	DGND		I/O	グランド	デバイスのグランド。システム グランドに接続。
55	DVDD		I	電源	デバイスのロジック / デジタル出力電源入力。1.0μF、6.3V セラミック コンデンサを DVDD ピンと GND ピンの間に接続することを推奨します。
56	nSCS		I	デジタル	シリアル チップ選択。このピンのロジック LOW により、シリアル インターフェイス通信が可能になります。内部プルアップ抵抗。

注

DRV8718-Q1 の 56 ピン VQFN (RVJ) パッケージと DRV8714-Q1 の 56 ピン VQFN (RVJ) パッケージは、ピン配置が完全に一致するドロップイン互換です。なお、DRV8714-Q1 では PCB 配線を容易にするために、ハーフブリッジ 1、2、3、4 の配置が変更されています。

Copyright © 2026 Texas Instruments Incorporated

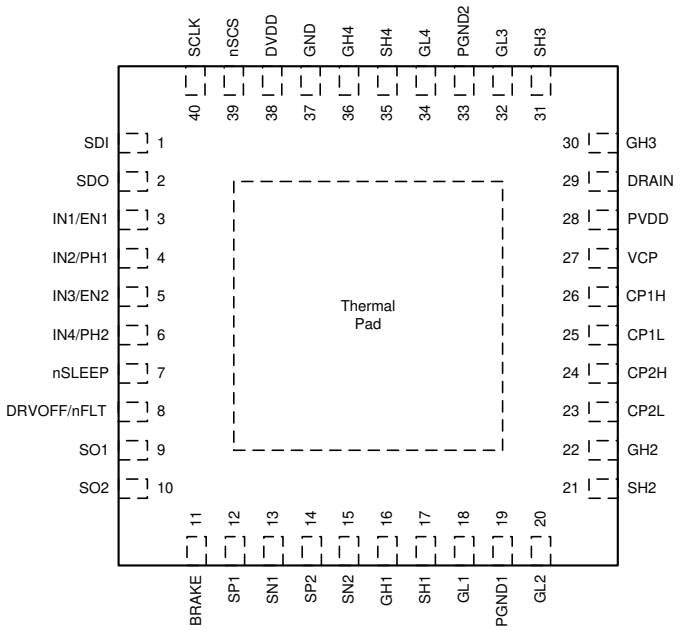


図 5-3. DRV8714S-Q1 VQFN (RHA) 40 ピン パッケージ上面図

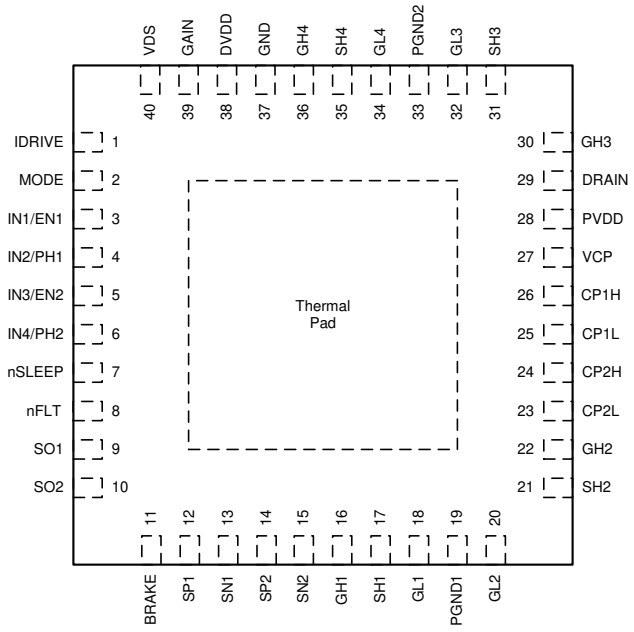


図 5-4. DRV8714H-Q1 VQFN (RHA) 40 ピン パッケージ上面図

表 5-2. VQFN (RHA) 40 ピン パッケージおよびピン機能

ピン			I/O	タイプ	説明
番号	名称				
	DRV8714S-Q1	DRV8714H-Q1			
1	SDI	—	I	デジタル	シリアル データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます。内部プルダウン抵抗。
	—	IDRIVE	I	アナログ	ゲートドライバ出力電流設定。外部抵抗により設定された 6 レベル入力ピン。
2	SDO	—	O	デジタル	シリアル データ出力。データは、SCLK ピンの立ち上がりエッジでシフト アウトされます。プッシュプル出力。
	—	モード	I	アナログ	アナログ PWM 入力モード設定。外部抵抗により設定された 4 レベル入力ピン。
3	IN1/EN1		I	デジタル	ハーフブリッジおよび H ブリッジ制御入力。セクション 7.3.3 を参照してください。内部プルダウン。
4	IN2/PH1		I	デジタル	
5	IN3/EN2		I	デジタル	
6	IN4/PH2		I	デジタル	
7	nSLEEP		I	デジタル	デバイス イネーブル ピン。デバイスをシャットダウンし、スリープ モードに移行するロジック Low。内部プルダウン抵抗。
8	DRVOFF/nFLT	—	I/O	デジタル	ドライバ シャットダウン入力または故障インジケータ出力として使用可能な多機能ピン。セクション 7.3.8 を参照してください。内部プルダウン抵抗。
	—	nFLT	O	デジタル	フォルト通知出力。このピンは、障害状態を示すため、ロジック Low にプルダウンされます。オープン ドレイン出力。外部プルアップ抵抗が必要です。
9	SO1		O	アナログ	シャント アンプ出力。
10	SO2		O	アナログ	シャント アンプ出力。
11	BRAKE		I	デジタル	パワー オフ ブレーキ ピン。Low レベルのスリープ モード中にローサイド ゲートドライバを有効化するには High を入力します。セクション 7.3.8.2 を参照してください。内部プルダウン抵抗。
12	SP1		I	アナログ	アンプのプラス入力。シャント抵抗のプラス端子に接続します。
13	SN1		I	アナログ	アンプのマイナス入力。シャント抵抗のマイナス端子に接続します。
14	SP2		I	アナログ	アンプのプラス入力。シャント抵抗のプラス端子に接続します。
15	SN2		I	アナログ	アンプのマイナス入力。シャント抵抗のマイナス端子に接続します。
16	GH1		O	アナログ	ハイサイド ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。
17	SH1		I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
18	GL1		O	アナログ	ローサイド ゲートドライバ出力。ローサイド MOSFET のゲートに接続します。
19	PGND1		I	アナログ	ローサイド MOSFET ゲートドライブ 1 ～ 2 センス機能とパワー リターン。デバイスとハーフブリッジ 1 ～ 2 の近くにシステム グランドに接続します。
20	GL2		O	アナログ	ローサイド ゲートドライバ出力。ローサイド MOSFET のゲートに接続します。
21	SH2		I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
22	GH2		O	アナログ	ハイサイド ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。
23	CP2L		I/O	電源	チャージ ポンプのスイッチング ノード。100nF、PVDD 定格セラミック コンデンサを CP2H ピンと CP2L ピンの間に接続します。
24	CP2H		I/O	電源	
25	CP1L		I/O	電源	チャージ ポンプのスイッチング ノード。100nF、PVDD 定格セラミック コンデンサを CP1H ピンと CP1L ピンの間に接続します。
26	CP1H		I/O	電源	
27	VCP		I/O	電源	チャージ ポンプ出力。1µF、16V セラミック コンデンサを VCP ピンと PVDD ピンの間に接続します。
28	PVDD		I	電源	デバイス ドライバ電源入力。ブリッジ電源に接続します。PVDD ピンと GND ピンの間に 0.1µF の PVDD 定格セラミック コンデンサと 10µF 以上のローカル バルク容量を接続します。
29	DRAIN		I	アナログ	ブリッジ MOSFET ドレイン電圧センス ピン。ハイサイド MOSFET ドレインのコモン ポイントに接続します。
30	GH3		O	アナログ	ハイサイド ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。

Copyright © 2026 Texas Instruments Incorporated

表 5-2. VQFN (RHA) 40 ピン パッケージおよびピン機能 (続き)

ピン			I/O	タイプ	説明
番号	名称				
	DRV8714S-Q1	DRV8714H-Q1			
31	SH3		I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
32	GL3		O	アナログ	ローサイド ゲートドライバ出力。ローサイド MOSFET のゲートに接続します。
33	PGND2		I	アナログ	ローサイド MOSFET ゲートドライブ 3 ～ 4 センス機能とパワー リターン。デバイスとハーフブリッジ 3 ～ 4 の近くにシステム グランドに接続します。
34	GL4		O	アナログ	ローサイド ゲートドライバ出力。ローサイド MOSFET のゲートに接続します。
35	SH4		I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
36	GH4		O	アナログ	ハイサイド ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。
37	GND		I/O	グランド	デバイスのグランド。システム グランドに接続。
38	DVDD		I	電源	デバイスのロジック / デジタル出力電源入力。電流センス アンプ用外部基準電圧と電源。1.0μF、6.3V セラミック コンデンサを DVDD ピンと GND ピンの間に接続することを推奨します。
39	nSCS	—	I	デジタル	シリアル チップ選択。このピンのロジック LOW により、シリアル インターフェイス通信が可能になります。内部プルアップ抵抗。
	—	ゲイン	I	アナログ	アンプ ゲイン設定。外部抵抗により設定された 4 レベル入力ピン。
40	SCLK	—	I	デジタル	シリアル クロック入力。シリアル データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト アウトおよびキャプチャされます。内部プルダウン抵抗。
	—	VDS	I	アナログ	VDS 監視スレッショルド設定。外部抵抗により設定された 6 レベル入力ピン。

Copyright © 2026 Texas Instruments Incorporated

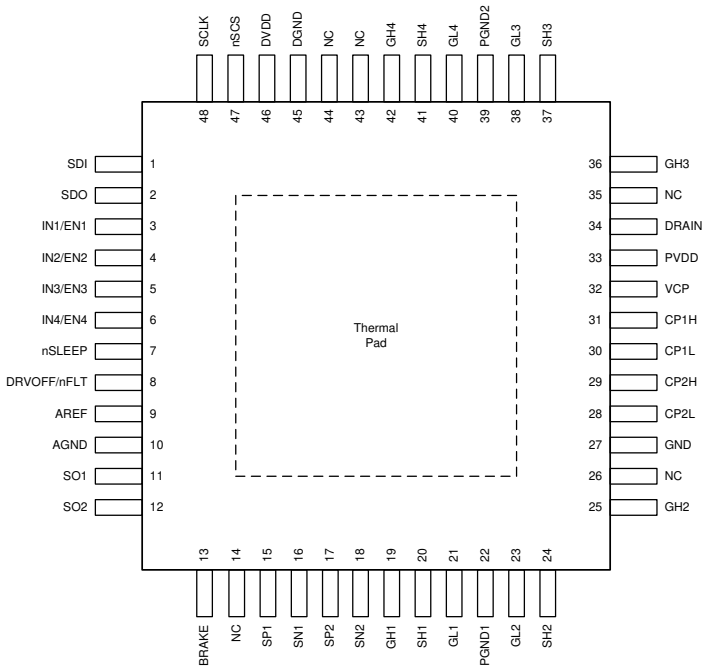


図 5-5. DRV8714S-Q1 HTQFP (PHP) 48 ピン パッケージ上面図

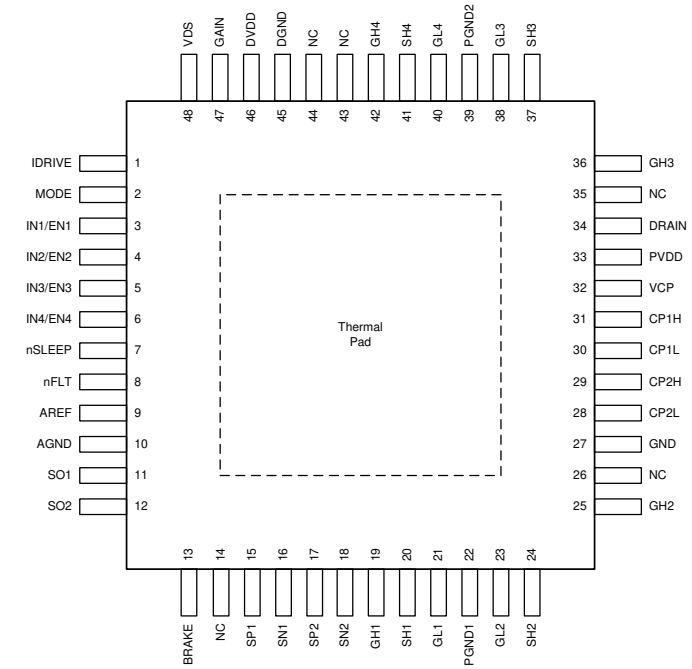


図 5-6. DRV8714H-Q1 HTQFP (PHP) 48 ピン パッケージ上面図

Copyright © 2026 Texas Instruments Incorporated

表 5-3. HTQFP (PHP) 48 ピン パッケージおよびピン機能

ピン			I/O	タイプ	説明
番号	名称				
	DRV8714S-Q1	DRV8714H-Q1			
1	SDI	—	I	デジタル	シリアル データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます。内部プルダウン抵抗。
	—	IDRIVE	I	アナログ	ゲートドライバ出力電流設定。外部抵抗により設定された 6 レベル入力ピン。
2	SDO	—	O	デジタル	シリアル データ出力。データは、SCLK ピンの立ち上がりエッジでシフト アウトされます。プッシュプル出力。
	—	モード	I	アナログ	アナログ PWM 入力モード設定。外部抵抗により設定された 4 レベル入力ピン。
3	IN1/EN1		I	デジタル	ハーフブリッジおよび H ブリッジ制御入力。セクション 7.3.3 を参照してください。内部プルダウン。
4	IN2/PH1		I	デジタル	
5	IN3/EN2		I	デジタル	
6	IN4/PH2		I	デジタル	
7	nSLEEP		I	デジタル	デバイス イネーブル ピン。デバイスをシャットダウンし、スリープ モードに移行するロジック Low。内部プルダウン抵抗。
8	DRVOFF/nFLT	—	I/O	デジタル	ドライバ シャットダウン入力または故障インジケータ出力として使用可能な多機能ピン。セクション 7.3.8 を参照してください。内部プルダウン抵抗。
	—	nFLT	O	デジタル	フォルト通知出力。このピンは、障害状態を示すため、ロジック Low にプルダウンされます。オープン ドレイン出力。外部プルアップ抵抗が必要です。
9	AREF		I	電源	電流センス アンプ用外部基準電圧と電源。0.1µF、6.3V セラミック コンデンサを AREF ピンと AGND ピンの間に接続することを推奨します。
10	AGND		I/O	電源	デバイスのグランド。システム グランドに接続。
11	SO1		O	アナログ	シャント アンプ出力。
12	SO2		O	アナログ	シャント アンプ出力。
13	BRAKE		I	デジタル	パワー オフ ブレーキ ピン。Low レベルのスリープ モード中にローサイド ゲートドライバを有効化するには High を入力します。セクション 7.3.8.2 を参照してください。内部プルダウン抵抗。
14	NC		—	—	接続なし。
15	SP1		I	アナログ	アンプのプラス入力。シャント抵抗のプラス端子に接続します。
16	SN1		I	アナログ	アンプのマイナス入力。シャント抵抗のマイナス端子に接続します。
17	SP2		I	アナログ	アンプのプラス入力。シャント抵抗のプラス端子に接続します。
18	SN2		I	アナログ	アンプのマイナス入力。シャント抵抗のマイナス端子に接続します。
19	GH1		O	アナログ	ハイサイド ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。
20	SH1		I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
21	GL1		O	アナログ	ローサイド ゲートドライバ出力。ローサイド MOSFET のゲートに接続します。
22	PGND1		I	アナログ	ローサイド MOSFET ゲートドライブ 1 ～ 2 センス機能とパワー リターン。デバイスとハーフブリッジ 1 ～ 2 の近くにシステム グランドに接続します。
23	GL2		O	アナログ	ローサイド ゲートドライバ出力。ローサイド MOSFET のゲートに接続します。
24	SH2		I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
25	GH2		O	アナログ	ハイサイド ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。
26	NC		—	—	接続なし。
27	GND		I/O	電源	デバイスのグランド。システム グランドに接続。
28	CP2L		I/O	電源	チャージ ポンプのスイッチング ノード。100nF、PVDD 定格セラミック コンデンサを CP2H ピンと CP2L ピンの間に接続します。
29	CP2H		I/O	電源	
30	CP1L		I/O	電源	チャージ ポンプのスイッチング ノード。100nF、PVDD 定格セラミック コンデンサを CP1H ピンと CP1L ピンの間に接続します。
31	CP1H		I/O	電源	

Copyright © 2026 Texas Instruments Incorporated

表 5-3. HTQFP (PHP) 48 ピン パッケージおよびピン機能 (続き)

ピン			I/O	タイプ	説明
番号	名称				
	DRV8714S-Q1	DRV8714H-Q1			
32	VCP		I/O	電源	チャージ ポンプ出力。1µF、16V セラミック コンデンサを VCP ピンと PVDD ピンの間に接続します。
33	PVDD		I	電源	デバイス ドライバ電源入力。ブリッジ電源に接続します。PVDD ピンと GND ピンの間に 0.1µF の PVDD 定格セラミック コンデンサと 10µF 以上のローカル バルク容量を接続します。
34	DRAIN		I	アナログ	ブリッジ MOSFET ドレイン電圧センス ピン。ハイサイド MOSFET ドレインのコモン ポイントに接続します。
35	NC		—	—	接続なし。
36	GH3		O	アナログ	ハイサイド ゲート ドライバ出力。ハイサイド MOSFET のゲートに接続します。
37	SH3		I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
38	GL3		O	アナログ	ローサイド ゲート ドライバ出力。ローサイド MOSFET のゲートに接続します。
39	PGND2		I	アナログ	ローサイド MOSFET ゲート ドライブ 3 ～ 4 センス機能とパワー リターン。デバイスとハーフブリッジ 3 ～ 4 の近くにシステム グランドに接続します。
40	GL4		O	アナログ	ローサイド ゲート ドライバ出力。ローサイド MOSFET のゲートに接続します。
41	SH4		I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
42	GH4		O	アナログ	ハイサイド ゲート ドライバ出力。ハイサイド MOSFET のゲートに接続します。
43	NC		—	—	接続なし。
44	NC		—	—	接続なし。
45	DGND		I/O	グランド	デバイスのグランド。システム グランドに接続。
46	DVDD		I	電源	デバイスのロジック / デジタル出力電源入力。電流センス アンプ用外部基準電圧と電源。1.0µF、6.3V セラミック コンデンサを DVDD ピンと GND ピンの間に接続することを推奨します。
47	nSCS	—	I	デジタル	シリアル クロック入力。シリアル データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト アウトおよびキャプチャされます。内部プルアップ抵抗。
	—	ゲイン	I	アナログ	アンプ ゲイン設定。外部抵抗により設定された 4 レベル入力ピン。
48	SCLK	—	I	デジタル	シリアル クロック入力。シリアル データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト アウトおよびキャプチャされます。内部プルダウン抵抗。
	—	VDS	I	アナログ	VDS 監視スレッショルド設定。外部抵抗により設定された 6 レベル入力ピン。

Copyright © 2026 Texas Instruments Incorporated

5.1 VQFN（RVJ） 56 ピン パッケージおよびピン機能

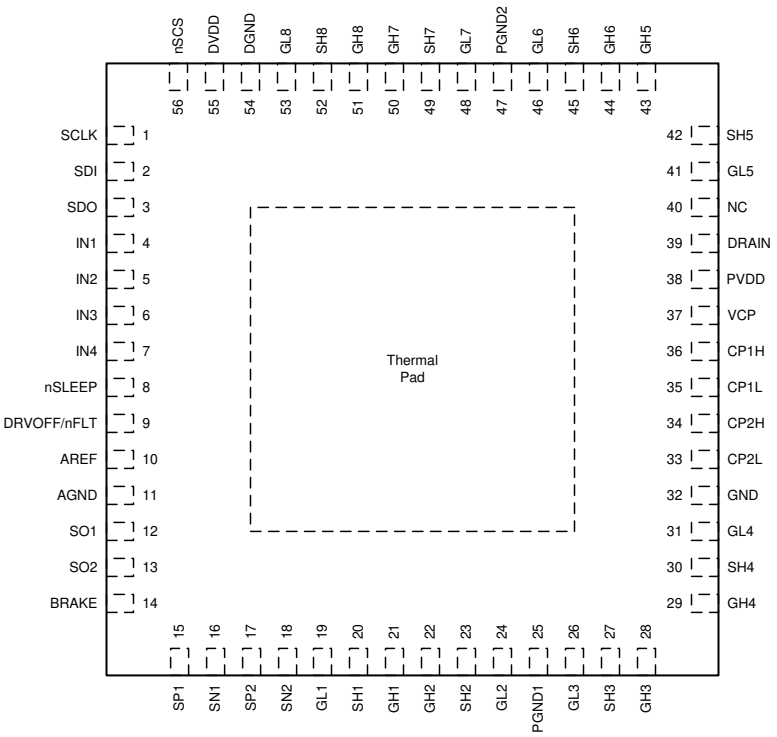


図 5-7. DRV8718S-Q1 VQFN (RVJ) 56 ピン パッケージ上面図

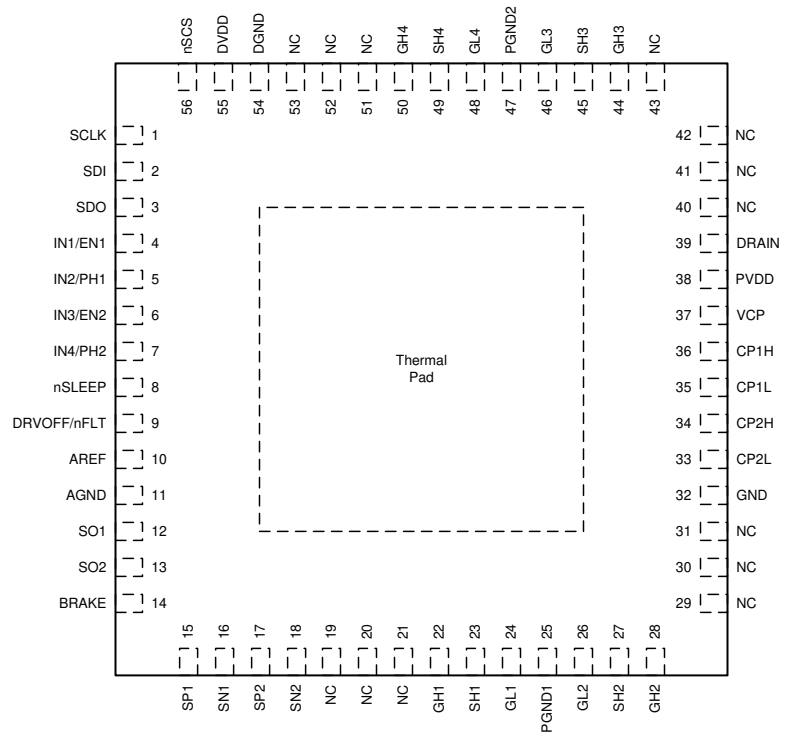


図 5-8. DRV8714S-Q1 VQFN (RVJ) 56 ピン パッケージ上面図

Copyright © 2026 Texas Instruments Incorporated

表 5-4. VQFN (RVJ) 56 ピン パッケージおよびピン機能

ピン			I/O	タイプ	説明
番号	名称				
	DRV8718S-Q1	DRV8714S-Q1			
1	SCLK		I	デジタル	シリアル クロック入力。シリアル データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト アウトおよびキャプチャされます。内部プルダウン抵抗。
2	SDI		I	デジタル	シリアル データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます。内部プルダウン抵抗。
3	SDO		O	デジタル	シリアル データ出力。データは、SCLK ピンの立ち上がりエッジでシフト アウトされます。プッシュプル出力。
4	IN1	IN1/EN1	I	デジタル	ハーフブリッジおよび H ブリッジ制御入力。セクション 7.3.3 を参照してください。内部プルダウン。
5	IN2	IN2/PH1	I	デジタル	
6	IN3	IN3/EN2	I	デジタル	
7	IN4	IN4/PH2	I	デジタル	
8	nSLEEP		I	デジタル	デバイス イネーブル ピン。デバイスをシャットダウンし、スリープ モードに移行するロジック Low。内部プルダウン抵抗。
9	DRVOFF/nFLT		I/O	デジタル	ドライバ シャットダウン入力または故障インジケータ出力として使用可能な多機能ピン。セクション 7.3.8 を参照してください。内部プルダウン抵抗。
10	AREF		I	電源	電流センス アンプ用外部基準電圧と電源。0.1µF、6.3V セラミック コンデンサを AREF ピンと AGND ピンの間に接続することを推奨します。
11	AGND		I/O	電源	デバイスのグランド。システム グランドに接続。
12	SO1		O	アナログ	シャント アンプ出力。
13	SO2		O	アナログ	シャント アンプ出力。
14	BRAKE		I	デジタル	パワー オフ ブレーキ ピン。Low レベルのスリープ モード中にローサイド ゲートドライバを有効化するには High を入力します。セクション 7.3.8.2 を参照してください。内部プルダウン抵抗。
15	SP1		I	アナログ	アンプのプラス入力。シャント抵抗のプラス端子に接続します。
16	SN1		I	アナログ	アンプのマイナス入力。シャント抵抗のマイナス端子に接続します。
17	SP2		I	アナログ	アンプのプラス入力。シャント抵抗のプラス端子に接続します。
18	SN2		I	アナログ	アンプのマイナス入力。シャント抵抗のマイナス端子に接続します。
19	GL1	NC	O	アナログ	ローサイド ゲートドライバ出力。ローサイド MOSFET のゲートに接続します。
20	SH1	NC	I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
21	GH1	NC	O	アナログ	ハイサイド ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。
22	GH2	GH1	O	アナログ	ハイサイド ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。
23	SH2	SH1	I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
24	GL2	GL1	O	アナログ	ローサイド ゲートドライバ出力。ローサイド MOSFET のゲートに接続します。
25	PGND1		I	アナログ	ローサイド MOSFET ゲートドライブ 1 ～ 4 センス機能とパワー リターン。デバイスとハーフブリッジ 1 ～ 4 の近くにシステム グランドに接続します。
26	GL3	GL2	O	アナログ	ローサイド ゲートドライバ出力。ローサイド MOSFET のゲートに接続します。
27	SH3	SH2	I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
28	GH3	GH2	O	アナログ	ハイサイド ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。
29	GH4	NC	O	アナログ	ハイサイド ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。
30	SH4	NC	I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
31	GL4	NC	O	アナログ	ローサイド ゲートドライバ出力。ローサイド MOSFET のゲートに接続します。
32	GND		I/O	グランド	デバイスのグランド。システム グランドに接続。
33	CP2L		I/O	電源	チャージ ポンプのスイッチング ノード。100nF、PVDD 定格セラミック コンデンサを CP2H ピンと CP2L ピンの間に接続します。
34	CP2H		I/O	電源	

Copyright © 2026 Texas Instruments Incorporated

表 5-4. VQFN (RVJ) 56 ピン パッケージおよびピン機能 (続き)

ピン			I/O	タイプ	説明
番号	名称				
	DRV8718S-Q1	DRV8714S-Q1			
35	CP1L		I/O	電源	チャージ ポンプのスイッチング ノード。100nF、PVDD 定格セラミック コンデンサを CP1H ピンと CP1L ピンの間に接続します。
36	CP1H		I/O	電源	
37	VCP		I/O	電源	チャージ ポンプ出力。1μF、16V セラミック コンデンサを VCP ピンと PVDD ピンの間に接続します。
38	PVDD		I	電源	デバイス ドライバ電源入力。ブリッジ電源に接続します。PVDD ピンと GND ピンの間に 0.1μF の PVDD 定格セラミック コンデンサと 10μF 以上のローカル バルク容量を接続します。
39	DRAIN		I	アナログ	ブリッジ MOSFET ドレイン電圧センス ピン。ハイサイド MOSFET ドレインのコモン ポイントに接続します。
40	NC		—	—	接続なし。
41	GL5	NC	O	アナログ	ローサイド ゲート ドライバ出力。ローサイド MOSFET のゲートに接続します。
42	SH5	NC	I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
43	GH5	NC	O	アナログ	ハイサイド ゲート ドライバ出力。ハイサイド MOSFET のゲートに接続します。
44	GH6	GH3	O	アナログ	ハイサイド ゲート ドライバ出力。ハイサイド MOSFET のゲートに接続します。
45	SH6	SH3	I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
46	GL6	GL3	O	アナログ	ローサイド ゲート ドライバ出力。ローサイド MOSFET のゲートに接続します。
47	PGND2		I	アナログ	ローサイド MOSFET ゲート ドライブ 5 ～ 8 センス機能とパワー リターン。デバイスとハーフブリッジ 5 ～ 8 の近くにシステム グランドに接続します。
48	GL7	GL4	O	アナログ	ローサイド ゲート ドライバ出力。ローサイド MOSFET のゲートに接続します。
49	SH7	SH4	I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
50	GH7	GH4	O	アナログ	ハイサイド ゲート ドライバ出力。ハイサイド MOSFET のゲートに接続します。
51	GH8	NC	O	アナログ	ハイサイド ゲート ドライバ出力。ハイサイド MOSFET のゲートに接続します。
52	SH8	NC	I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
53	GL8	NC	O	アナログ	ローサイド ゲート ドライバ出力。ローサイド MOSFET のゲートに接続します。
54	DGND		I/O	グランド	デバイスのグランド。システム グランドに接続。
55	DVDD		I	電源	デバイスのロジック / デジタル出力電源入力。1.0μF、6.3V セラミック コンデンサを DVDD ピンと GND ピンの間に接続することを推奨します。
56	nSCS		I	デジタル	シリアル チップ選択。このピンのロジック LOW により、シリアル インターフェイス通信が可能になります。内部プルアップ抵抗。

注

DRV8718-Q1 の 56 ピン VQFN (RVJ) パッケージと DRV8714-Q1 の 56 ピン VQFN (RVJ) パッケージは、ピン配置が完全に一致するドロップイン互換です。なお、DRV8714-Q1 では PCB 配線を容易にするために、ハーフブリッジ 1、2、3、4 の配置が変更されています。

Copyright © 2026 Texas Instruments Incorporated

5.2 VQFN（RHA） 40 ピン パッケージおよびピン機能

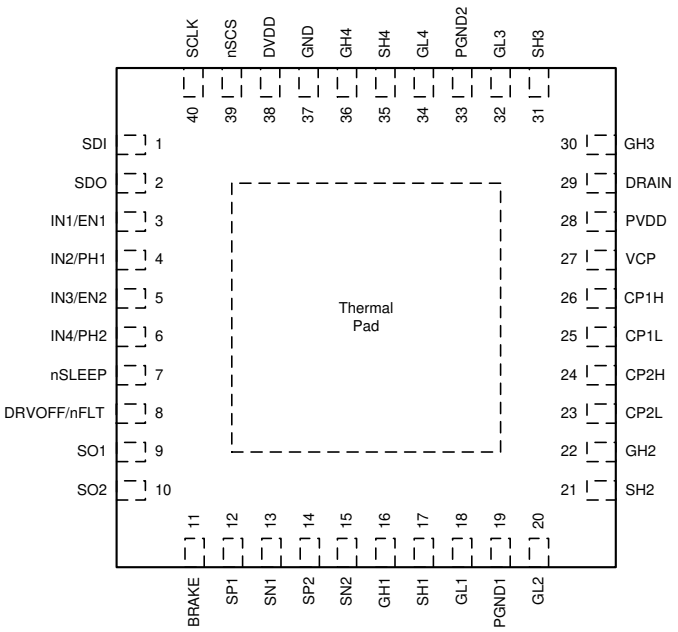


図 5-9. DRV8714S-Q1 VQFN (RHA) 40 ピン パッケージ上面図

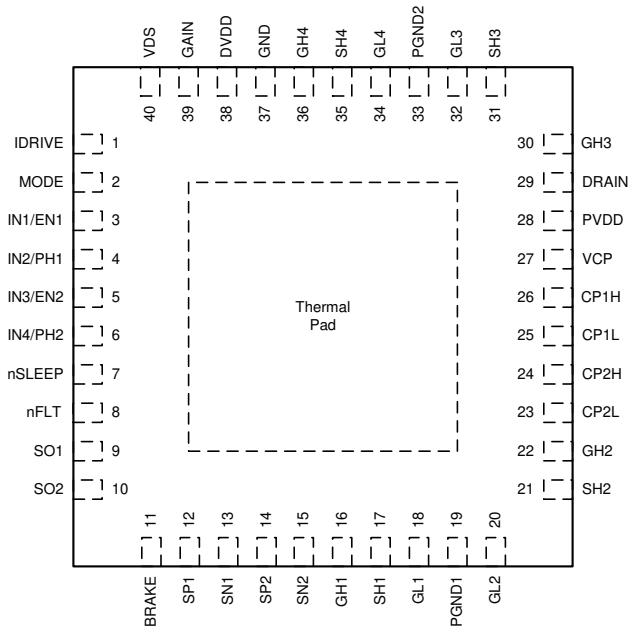


図 5-10. DRV8714H-Q1 VQFN (RHA) 40 ピン パッケージ上面図

Copyright © 2026 Texas Instruments Incorporated

表 5-5. VQFN (RHA) 40 ピン パッケージおよびピン機能

ピン			I/O	タイプ	説明
番号	名称				
	DRV8714S-Q1	DRV8714H-Q1			
1	SDI	—	I	デジタル	シリアル データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます。内部プルダウン抵抗。
	—	IDRIVE	I	アナログ	ゲートドライバ出力電流設定。外部抵抗により設定された 6 レベル入力ピン。
2	SDO	—	O	デジタル	シリアル データ出力。データは、SCLK ピンの立ち上がりエッジでシフト アウトされます。プッシュプル出力。
	—	モード	I	アナログ	アナログ PWM 入力モード設定。外部抵抗により設定された 4 レベル入力ピン。
3	IN1/EN1		I	デジタル	ハーフブリッジおよび H ブリッジ制御入力。セクション 7.3.3 を参照してください。内部プルダウン。
4	IN2/PH1		I	デジタル	
5	IN3/EN2		I	デジタル	
6	IN4/PH2		I	デジタル	
7	nSLEEP		I	デジタル	デバイス イネーブル ピン。デバイスをシャットダウンし、スリープ モードに移行するロジック Low。内部プルダウン抵抗。
8	DRVOFF/nFLT	—	I/O	デジタル	ドライバ シャットダウン入力または故障インジケータ出力として使用可能な多機能ピン。セクション 7.3.8 を参照してください。内部プルダウン抵抗。
	—	nFLT	O	デジタル	フォルト通知出力。このピンは、障害状態を示すため、ロジック Low にプルダウンされます。オープン ドレイン出力。外部プルアップ抵抗が必要です。
9	SO1		O	アナログ	シャント アンプ出力。
10	SO2		O	アナログ	シャント アンプ出力。
11	BRAKE		I	デジタル	パワー オフ ブレーキ ピン。Low レベルのスリープ モード中にローサイド ゲートドライバを有効化するには High を入力します。セクション 7.3.8.2 を参照してください。内部プルダウン抵抗。
12	SP1		I	アナログ	アンプのプラス入力。シャント抵抗のプラス端子に接続します。
13	SN1		I	アナログ	アンプのマイナス入力。シャント抵抗のマイナス端子に接続します。
14	SP2		I	アナログ	アンプのプラス入力。シャント抵抗のプラス端子に接続します。
15	SN2		I	アナログ	アンプのマイナス入力。シャント抵抗のマイナス端子に接続します。
16	GH1		O	アナログ	ハイサイド ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。
17	SH1		I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
18	GL1		O	アナログ	ローサイド ゲートドライバ出力。ローサイド MOSFET のゲートに接続します。
19	PGND1		I	アナログ	ローサイド MOSFET ゲートドライブ 1 ～ 2 センス機能とパワー リターン。デバイスとハーフブリッジ 1 ～ 2 の近くにシステム グランドに接続します。
20	GL2		O	アナログ	ローサイド ゲートドライバ出力。ローサイド MOSFET のゲートに接続します。
21	SH2		I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
22	GH2		O	アナログ	ハイサイド ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。
23	CP2L		I/O	電源	チャージ ポンプのスイッチング ノード。100nF、PVDD 定格セラミック コンデンサを CP2H ピンと CP2L ピンの間に接続します。
24	CP2H		I/O	電源	
25	CP1L		I/O	電源	チャージ ポンプのスイッチング ノード。100nF、PVDD 定格セラミック コンデンサを CP1H ピンと CP1L ピンの間に接続します。
26	CP1H		I/O	電源	
27	VCP		I/O	電源	チャージ ポンプ出力。1µF、16V セラミック コンデンサを VCP ピンと PVDD ピンの間に接続します。
28	PVDD		I	電源	デバイス ドライバ電源入力。ブリッジ電源に接続します。PVDD ピンと GND ピンの間に 0.1µF の PVDD 定格セラミック コンデンサと 10µF 以上のローカル バルク容量を接続します。
29	DRAIN		I	アナログ	ブリッジ MOSFET ドレイン電圧センス ピン。ハイサイド MOSFET ドレインのコモン ポイントに接続します。
30	GH3		O	アナログ	ハイサイド ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。

Copyright © 2026 Texas Instruments Incorporated

表 5-5. VQFN (RHA) 40 ピン パッケージおよびピン機能 (続き)

ピン			I/O	タイプ	説明
番号	名称				
	DRV8714S-Q1	DRV8714H-Q1			
31	SH3		I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
32	GL3		O	アナログ	ローサイド ゲートドライバ出力。ローサイド MOSFET のゲートに接続します。
33	PGND2		I	アナログ	ローサイド MOSFET ゲートドライブ 3 ～ 4 センス機能とパワー リターン。デバイスとハーフブリッジ 3 ～ 4 の近くにシステム グランドに接続します。
34	GL4		O	アナログ	ローサイド ゲートドライバ出力。ローサイド MOSFET のゲートに接続します。
35	SH4		I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
36	GH4		O	アナログ	ハイサイド ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。
37	GND		I/O	グランド	デバイスのグランド。システム グランドに接続。
38	DVDD		I	電源	デバイスのロジック / デジタル出力電源入力。電流センス アンプ用外部基準電圧と電源。1.0μF、6.3V セラミック コンデンサを DVDD ピンと GND ピンの間に接続することを推奨します。
39	nSCS	—	I	デジタル	シリアル チップ選択。このピンのロジック LOW により、シリアル インターフェイス通信が可能になります。内部プルアップ抵抗。
	—	ゲイン	I	アナログ	アンプ ゲイン設定。外部抵抗により設定された 4 レベル入力ピン。
40	SCLK	—	I	デジタル	シリアル クロック入力。シリアル データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト アウトおよびキャプチャされます。内部プルダウン抵抗。
	—	VDS	I	アナログ	VDS 監視スレッショルド設定。外部抵抗により設定された 6 レベル入力ピン。

Copyright © 2026 Texas Instruments Incorporated

5.3 HTQFP（PHP） 48 ピン パッケージおよびピン機能

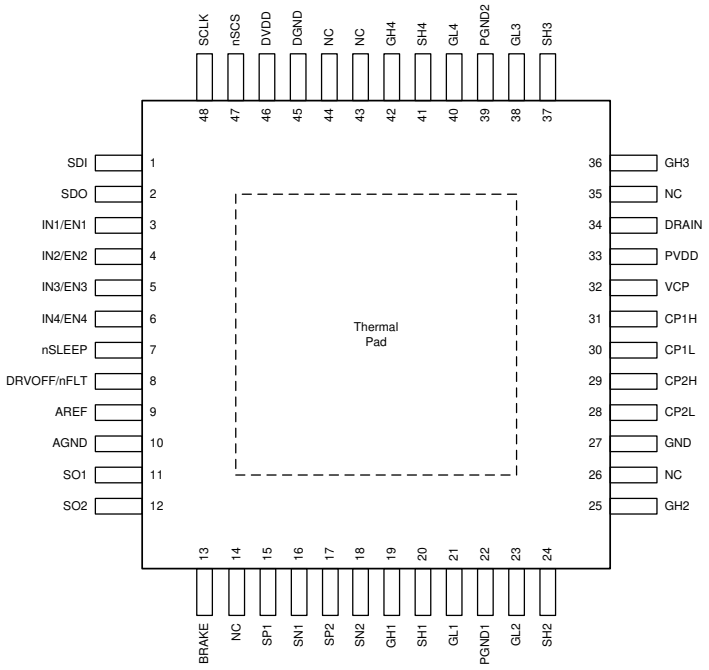


図 5-11. DRV8714S-Q1 HTQFP (PHP) 48 ピン パッケージ上面図

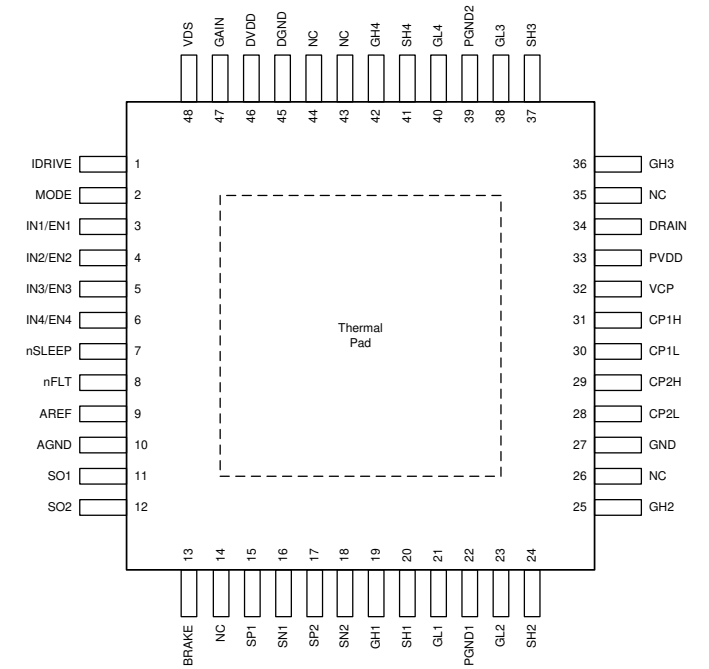


図 5-12. DRV8714H-Q1 HTQFP (PHP) 48 ピン パッケージ上面図

表 5-6. HTQFP (PHP) 48 ピン パッケージおよびピン機能

ピン			I/O	タイプ	説明
番号	名称				
	DRV8714S-Q1	DRV8714H-Q1			
1	SDI	—	I	デジタル	シリアル データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます。内部プルダウン抵抗。
	—	IDRIVE	I	アナログ	ゲートドライバ出力電流設定。外部抵抗により設定された 6 レベル入力ピン。
2	SDO	—	O	デジタル	シリアル データ出力。データは、SCLK ピンの立ち上がりエッジでシフト アウトされます。プッシュプル出力。
	—	モード	I	アナログ	アナログ PWM 入力モード設定。外部抵抗により設定された 4 レベル入力ピン。
3	IN1/EN1		I	デジタル	ハーフブリッジおよび H ブリッジ制御入力。セクション 7.3.3 を参照してください。内部プルダウン。
4	IN2/PH1		I	デジタル	
5	IN3/EN2		I	デジタル	
6	IN4/PH2		I	デジタル	
7	nSLEEP		I	デジタル	デバイス イネーブル ピン。デバイスをシャットダウンし、スリープ モードに移行するロジック Low。内部プルダウン抵抗。
8	DRVOFF/nFLT	—	I/O	デジタル	ドライバ シャットダウン入力または故障インジケータ出力として使用可能な多機能ピン。セクション 7.3.8 を参照してください。内部プルダウン抵抗。
	—	nFLT	O	デジタル	フォルト通知出力。このピンは、障害状態を示すため、ロジック Low にプルダウンされます。オープン ドレイン出力。外部プルアップ抵抗が必要です。
9	AREF		I	電源	電流センス アンプ用外部基準電圧と電源。0.1µF、6.3V セラミック コンデンサを AREF ピンと AGND ピンの間に接続することを推奨します。
10	AGND		I/O	電源	デバイスのグランド。システム グランドに接続。
11	SO1		O	アナログ	シャント アンプ出力。
12	SO2		O	アナログ	シャント アンプ出力。
13	BRAKE		I	デジタル	パワー オフ ブレーキ ピン。Low レベルのスリープ モード中にローサイド ゲートドライバを有効化するには High を入力します。セクション 7.3.8.2 を参照してください。内部プルダウン抵抗。
14	NC		—	—	接続なし。
15	SP1		I	アナログ	アンプのプラス入力。シャント抵抗のプラス端子に接続します。
16	SN1		I	アナログ	アンプのマイナス入力。シャント抵抗のマイナス端子に接続します。
17	SP2		I	アナログ	アンプのプラス入力。シャント抵抗のプラス端子に接続します。
18	SN2		I	アナログ	アンプのマイナス入力。シャント抵抗のマイナス端子に接続します。
19	GH1		O	アナログ	ハイサイド ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。
20	SH1		I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
21	GL1		O	アナログ	ローサイド ゲートドライバ出力。ローサイド MOSFET のゲートに接続します。
22	PGND1		I	アナログ	ローサイド MOSFET ゲートドライブ 1 ～ 2 センス機能とパワー リターン。デバイスとハーフブリッジ 1 ～ 2 の近くにシステム グランドに接続します。
23	GL2		O	アナログ	ローサイド ゲートドライバ出力。ローサイド MOSFET のゲートに接続します。
24	SH2		I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
25	GH2		O	アナログ	ハイサイド ゲートドライバ出力。ハイサイド MOSFET のゲートに接続します。
26	NC		—	—	接続なし。
27	GND		I/O	電源	デバイスのグランド。システム グランドに接続。
28	CP2L		I/O	電源	チャージ ポンプのスイッチング ノード。100nF、PVDD 定格セラミック コンデンサを CP2H ピンと CP2L ピンの間に接続します。
29	CP2H		I/O	電源	
30	CP1L		I/O	電源	チャージ ポンプのスイッチング ノード。100nF、PVDD 定格セラミック コンデンサを CP1H ピンと CP1L ピンの間に接続します。
31	CP1H		I/O	電源	

Copyright © 2026 Texas Instruments Incorporated

表 5-6. HTQFP (PHP) 48 ピン パッケージおよびピン機能 (続き)

ピン			I/O	タイプ	説明
番号	名称				
	DRV8714S-Q1	DRV8714H-Q1			
32	VCP		I/O	電源	チャージ ポンプ出力。1µF、16V セラミック コンデンサを VCP ピンと PVDD ピンの間に接続します。
33	PVDD		I	電源	デバイス ドライバ電源入力。ブリッジ電源に接続します。PVDD ピンと GND ピンの間に 0.1µF の PVDD 定格セラミック コンデンサと 10µF 以上のローカル バルク容量を接続します。
34	DRAIN		I	アナログ	ブリッジ MOSFET ドレイン電圧センス ピン。ハイサイド MOSFET ドレインのコモン ポイントに接続します。
35	NC		—	—	接続なし。
36	GH3		O	アナログ	ハイサイド ゲート ドライバ出力。ハイサイド MOSFET のゲートに接続します。
37	SH3		I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
38	GL3		O	アナログ	ローサイド ゲート ドライバ出力。ローサイド MOSFET のゲートに接続します。
39	PGND2		I	アナログ	ローサイド MOSFET ゲート ドライブ 3 ～ 4 センス機能とパワー リターン。デバイスとハーフブリッジ 3 ～ 4 の近くにシステム グランドに接続します。
40	GL4		O	アナログ	ローサイド ゲート ドライバ出力。ローサイド MOSFET のゲートに接続します。
41	SH4		I	アナログ	ハイサイド ソース センス入力。ハイサイド MOSFET ソースに接続します。
42	GH4		O	アナログ	ハイサイド ゲート ドライバ出力。ハイサイド MOSFET のゲートに接続します。
43	NC		—	—	接続なし。
44	NC		—	—	接続なし。
45	DGND		I/O	グランド	デバイスのグランド。システム グランドに接続。
46	DVDD		I	電源	デバイスのロジック / デジタル出力電源入力。電流センス アンプ用外部基準電圧と電源。1.0µF、6.3V セラミック コンデンサを DVDD ピンと GND ピンの間に接続することを推奨します。
47	nSCS	—	I	デジタル	シリアル クロック入力。シリアル データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト アウトおよびキャプチャされます。内部プルアップ抵抗。
	—	ゲイン	I	アナログ	アンプ ゲイン設定。外部抵抗により設定された 4 レベル入力ピン。
48	SCLK	—	I	デジタル	シリアル クロック入力。シリアル データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト アウトおよびキャプチャされます。内部プルダウン抵抗。
	—	VDS	I	アナログ	VDS 監視スレッショルド設定。外部抵抗により設定された 6 レベル入力ピン。

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
ドライバ電源ピン電圧	PVDD	-0.3	40	V
MOSFET ドレイン センス ピン電圧	DRAIN	-0.3	40	V
グランド ピン間の電圧差	AGND、DGND、GND	-0.3	0.3	V
チャージ ポンプ ピン電圧	VCP	-0.3	55	V
チャージ ポンプ ハイサイド ピン電圧	CP1H	V_{PVDD} – 0.3	V_{VCP} + 0.3	V
	CP2H	V_{PVDD} – 0.6	V_{VCP} + 0.3	V
チャージ ポンプ ローサイド ピン電圧	CP1L、CP2L	-0.3	V_{PVDD} + 0.3	V
デジタル電源ピン電圧	DVDD	-0.3	5.75	V
ロジック ピン電圧	DRVOFF/nFLT、GAIN、IDRIVE、INx/ENx、INx/PHx、MODE、nSLEEP、nSCS、SCLK、SDI、VDS	-0.3	5.75	V
出力ロジック ピン電圧	DRVOFF/nFLT、SDO	-0.3	V_{DVDD} + 0.3	V
ブレーキ ピンの電圧	BRAKE	-0.3	V_{PVDD} + 0.3	V
ハイサイド ゲートドライブ ピン電圧	GHx(2)	-2	V_{VCP} + 0.3	V
過渡 1µs ハイサイド ゲートドライブ ピン電圧		-5	V_{VCP} + 0.3	
SHx を基準とするハイサイド ゲートドライブ ピン電圧		-0.3	13.5	
ハイサイド センス ピン電圧	SHx(2)	-2	40	V
過渡 1µs ハイサイド センス ピン電圧		-5	40	
ローサイド ゲートドライブ ピン電圧	GLx(2)	-2	13.5	V
過渡 1µs ローサイド ゲートドライブ ピン電圧		-3	13.5	
PGNDx を基準とするローサイド ゲートドライブ ピン電圧		-0.3	13.5	
ローサイド センス ピン電圧	PGNDx(2)	-2	2	V
過渡 1µs のローサイド センス ピン電圧		-3	3	
ピーク ゲートドライブ電流	GHx、GLx	内部的に制限	内部的に制限	mA
アンプ用電源と基準ピン電圧	AREF	-0.3	5.75	V
アンプ入力ピン電圧	SNx、SPx	-2	V_{VCP} + 0.3	V
過渡 1µs アンプ入力ピン電圧		-5	V_{VCP} + 0.3	
アンプ入力差動電圧	SNx、SPx	-5.75	5.75	V
アンプ出力ピン電圧	SOx	-0.3	V_{AREF} + 0.3	V
周囲温度、T_A		-40	125	°C
接合部温度、T_J		-40	150	°C
保管温度、T_{stg}		-65	150	°C

(1) 「絶対最大定格」に記載の値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて言及して、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

(2) GHx、SHx、GLx、または PGNDx を基準とする PVDD と DRAIN は、40V を超えないようにしてください。PVDD または DRAIN が 35V を上回る場合は、GHx、SHx、GLx、PGNDx 上の負電圧が、この定格を超えないよう制限しなければなりません。PVDD と DRAIN が 35V 未満の場合、GHx、SHx、GLx および PGNDx の最大負電圧定格が利用可能です。

Copyright © 2026 Texas Instruments Incorporated

6.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002[1] HBM ESD 分類レベル 2 準拠		±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	角のピン	±750	
			その他のピン	±500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{PVDD}	ドライバ電源電圧	PVDD	4.9		37	V
I_{HS} [1]	ハイサイド平均ゲートドライブ電流	GHx	0		15	mA
I_{LS} [1]	ローサイド平均ゲートドライブ電流	GLx	0		15	mA
V_{DVDD}	デジタル電源電圧	DVDD	3		5.5	V
V_{DIN}	デジタル入力電圧	BRAKE、DRVOFF/nFLT、INx/ENx、INx/PHx、nSLEEP、nSCS、SCLK、SDI	0		5.5	V
I_{DOUT}	デジタル出力電流	SDO	0		5	mA
V_{OD}	オープンドレイン プルアップ電圧	DRVOFF/nFLT	0		5.5	V
I_{OD}	オープンドレイン出力電流	DRVOFF/nFLT	0		5	mA
V_{BRAKE}	ブレーキ入力電圧	BRAKE	0		PVDD	V
V_{AREF}	アンプ基準電源電圧	AREF	3		5.5	V
I_{SO}	シャント アンプ出力電流	SOx	0		5	mA
T_A	動作時周囲温度		-40		125	°C
T_J	動作時接合部温度		-40		150	°C

(1) 消費電力および温度の制限に従う必要があります。

6.4 熱に関する情報

熱評価基準[1]		DRV8718-Q1	DRV8714-Q1	DRV8714-Q1	DRV8714-Q1	単位
		RVJ (VQFN)	RVJ (VQFN)	RHA (VQFN)	PHP (HTQFP)	
		56 ピン	56 ピン	40 ピン	48 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	25.6	24.7	31	30.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	15.2	14.1	20.9	18.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	10.0	9.0	12.5	13.5	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.2	0.2	0.2	0.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	9.9	9.0	12.4	13.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	3.0	2.3	2.3	2.2	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.5 電気的特性

4.9 V ≦ V_{PVDD} ≦ 37 V、-40°C ≦ T_J ≦ 150°C (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25°Cに対して適用されます。

パラメータ	テスト条件	最小値	標準値	最大値	単位
電源 (DRAIN、DVDD、PVDD、VCP)					

Copyright © 2026 Texas Instruments Incorporated

4.9 V ≦ V_{PVDD} ≦ 37 V、-40℃ ≦ T_J ≦ 150℃ (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25℃に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{PVDDQ}	PVDD スリープ モード電流	V_{PVDD}、V_{DRAIN} = 13.5V、nSLEEP = 0V BRAKE = 0V、–40 ≤ T_J ≤ 85°C		2.25	3.5	µA
		V_{PVDD}、V_{DRAIN} = 13.5V、nSLEEP = 0V BRAKE = 5V、–40 ≤ T_J ≤ 85°C		10	15	µA
I_{DRAINQ}	DRAIN スリープ モード電流	V_{PVDD}、V_{DRAIN} = 13.5V、nSLEEP = 0V –40 ≤ T_J ≤ 85°C		1.25	2	µA
I_{DVDDQ}	DVDD スリープ モード電流	V_{PVDD}、V_{DRAIN} = 13.5V、nSLEEP = 0V –40 ≤ T_J ≤ 85°C		1.25	3	µA
		V_{PVDD}、V_{DRAIN} = 13.5V、nSLEEP = 0 V –40 ≤ T_J ≤ 85°C、DRV8714-Q1 RHA		2.25	5.25	
I_{PVDD}	PVDD アクティブ モード電流	V_{PVDD}、V_{DRAIN} = 13.5V、nSLEEP = 5V		13.5	15.5	mA
I_{DRAIN}	DRAIN アクティブ モード電流	V_{PVDD}、V_{DRAIN} = 13.5V、nSLEEP = 5V、 V_{DS_LVL} ≤ 500mV		1	1.65	mA
I_{DVDD}	DVDD アクティブ モード電流	V_{DVDD} = 5V、SDO = 0 V DRV8718-Q1 RVJ、DRV8714-Q1 RVJ		8	10	mA
		V_{DVDD} = 5V、SDO = 0V DRV8714-Q1 RHA		10	13	mA
f_{DVDD}	デジタル オシレーター スイッチング周波数	拡散スペクトラムの 1 次周波数		14.25		MHz
t_{WAKE}	ターンオン時間	nSLEEP = 5V でアクティブ モード			1	ms
t_{SLEEP}	ターンオフ時間	nSLEEP = 0V でスリープ モード			1	ms
V_{VCP}	PVDD を基準とするチャージ ポンプ レギュレータ電圧 トリプル モード	V_{PVDD} ≥ 9V、I_{VCP} ≤ 30mA	9.5	10.5	11	V
		V_{PVDD} = 7V、I_{VCP} ≤ 25mA	8.5	9	11	
		V_{PVDD} = 7V、I_{VCP} ≤ 25mA、 DRV8714-Q1 RHA	8.4	9	11	
		V_{PVDD} = 4.9V、I_{VCP} ≤ 12mA	7	7.5	11	
		V_{PVDD} = 4.9V、I_{VCP} ≤ 12mA、 DRV8714-Q1 RHA	6.8	7.5	11	
	PVDD を基準とするチャージ ポンプ レギュレータ電圧 ダブル モード	V_{PVDD} ≥ 13V、I_{VCP} ≤ 25mA	9.5	10.5	11	V
		V_{PVDD} = 9V、I_{VCP} ≤ 13.5mA	7	8	11	
		V_{PVDD} = 9V、I_{VCP} ≤ 13.5mA、 DRV8714-Q1 RHA	6.9	8	11	
		V_{PVDD} = 7V、I_{VCP} ≤ 10mA	5.4	6	11	
		V_{PVDD} = 7V、I_{VCP} ≤ 10mA、 DRV8714-Q1 RHA	5.3	6	11	
f_{VCP}	チャージ ポンプのスイッチング周波数	拡散スペクトラムの 1 次周波数		400		kHz
ロジック レベル入力 (BRAKE、DRVOFF/nFLT、INx/EN、INx/PHx、nSLEEP、nSCS、SCLK、SDI)						
V_{IL}	入力ロジック Low 電圧	DRVOFF/nFLT、INx/ENx、INx/PHx、 nSLEEP、SCLK、SDI	0		V_{DVDD} x 0.3	V
		BRAKE	0		0.6	
V_{IH}	入力ロジック High 電圧	DRVOFF/nFLT、INx/ENx、INx/PHx、 nSLEEP、SCLK、SDI	V_{DVDD} x 0.7		5.5	V
		BRAKE	1.8		5.5	
V_{HYS}	入力ヒステリシス	DRVOFF/nFLT、INx/ENx、INx/PHx、 nSLEEP、SCLK、SDI		V_{DVDD} x 0.1		V
		BRAKE		0.5		

Copyright © 2026 Texas Instruments Incorporated

4.9 V ≦ V_{PVDD} ≦ 37 V、-40℃ ≦ T_J ≦ 150℃ (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25℃に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{IL}	入力ロジック Low 電流	V_{DIN} = 0V、BRAKE、DRVOFF/nFLT、INx/ENx、INx/PHx、nSLEEP、SCLK、SDI	-5		5	μA
		V_{DIN} = 0V、nSCS		50	100	
I_{IH}	入力ロジック High 電流	V_{DIN} = 5V、DRVOFF/nFLT、INx/ENx、INx/PHx、nSLEEP、SCLK、SDI		50	100	μA
		V_{DIN} = 5V、V_{DVDD} = 5V、nSCS	-5		5	
		V_{DIN} = 5V、nSLEEP = 0V、BRAKE		5	10	μA
		V_{DIN} = 5V、nSLEEP = 5V、BRAKE		35	100	μA
R_{PD}	入力プルダウン抵抗	GND、DRVOFF/nFLT、INx/ENx、INx/PHx、nSLEEP、SCLK、SDI に接続	50	100	150	kΩ
		GND までのブレーキ、nSLEEP = 0V BRAKE ≤ 2V、4.9V ≤ V_{PVDD} ≤ V_{POB_OV}	500	1000	1500	kΩ
		GND までのブレーキ、nSLEEP = 5V BRAKE ≤ 2V、4.9V ≤ V_{PVDD} ≤ V_{POB_OV}	50	136	200	kΩ
R_{PU}	入力プルアップ抵抗	DVDD、nSCS へ接続	50	100	150	kΩ
マルチレベル入力 (GAIN、IDRIVE、MODE、VDS)						
V_{QI1}	クワッドレベル入力 1	GAIN、MODE 電圧をレベル 1 に設定	0		V_{DVDD} x 0.1	V
R_{QI2}	クワッドレベル入力 2	GAIN、MODE GND への抵抗をレベル 2 に設定	44.65	47	49.35	kΩ
R_{QI3}	クワッドレベル入力 3	GAIN、MODE GND への抵抗をレベル 3 に設定	500	ハイ インピーダンス		kΩ
V_{QI4}	クワッドレベル入力 4	GAIN、MODE 電圧をレベル 4 に設定	V_{DVDD} x 0.9		5.5	V
R_{QPD}	クワッドレベル プルダウン抵抗	GND、GAIN、MODE へ接続		98		kΩ
R_{QPU}	クワッドレベル プルアップ抵抗	DVDD、GAIN、MODE へ接続		98		kΩ
V_{SI1}	1 レベル入力 6	IDRIVE、VDS 電圧をレベル 1 に設定	0		V_{DVDD} x 0.1	V
R_{SI2}	2 レベル入力 6	IDRIVE、VDS GND への抵抗をレベル 2 に設定	28.5	30	31.5	kΩ
R_{SI3}	3 レベル入力 6	IDRIVE、VDS GND への抵抗をレベル 3 に設定	95	100	105	kΩ
R_{SI4}	4 レベル入力 6	IDRIVE、VDS GND への抵抗をレベル 4 に設定	500	ハイ インピーダンス		kΩ
R_{SI5}	5 レベル入力 6	IDRIVE、VDS DVDD への抵抗をレベル 5 に設定	58.9	62	65.1	kΩ
R_{SI6}	6 レベル入力 6	IDRIVE、VDS 電圧をレベル 6 に設定	V_{DVDD} x 0.9		5.5	V
R_{SPD}	6 レベル プルダウン抵抗	GND、IDRIVE、VDS に接続		98		kΩ
R_{SPU}	6 レベル プルアップ抵抗	DVDD、IDRIVE、VDS に接続		69		kΩ
ロジック レベル出力 (DRVOFF/nFLT、SDO)						
V_{OL}	出力ロジック Low 電圧	I_{DOUT} = 5mA			0.5	V
V_{OH}	ロジック High 出力電圧	I_{DOUT} = –5mA、SDO	V_{DVDD} x 0.8			V
I_{ODZ}	オープンドレイン ロジック High 電流	V_{OD} = 5V、DRVOFF/nFLT	-10		10	μA

Copyright © 2026 Texas Instruments Incorporated

4.9 V ≦ V_{PVDD} ≦ 37 V、-40℃ ≦ T_J ≦ 150℃ (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25℃に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
ゲートドライバ (GHx、GLx)						
V_{GHx_L}	GHx Low レベル出力電圧	I_{DRVN_HS} = I_{STRONG}、I_{GHx} = 1mA、GHx～SHx	0		0.25	V
V_{GLx_L}	GLx Low レベル出力電圧	I_{DRVN_LS} = I_{STRONG}、I_{GLx} = 1mA、GLx ～ PGNDx	0		0.25	V
V_{GHx_H}	GHx High レベル出力電圧	I_{DRVP_HS} = I_{HOLD}、I_{GHx} = 1mA、VCP～GHx	0		0.25	V
V_{GLx_H}	GLx High レベル出力電圧	I_{DRVP_LS} = I_{HOLD}、I_{GLx} = 1mA、GLx ～ PGNDx		10.5	12.5	V
$I_{DRVP、SPI}$	ピーク ゲート電流 (ソース) SPI デバイス	IDRVP_x = 0000b、V_{GSx} = 3V	0.2	0.5	0.83	mA
		IDRVP_x = 0001b、V_{GSx} = 3V	0.5	1	1.6	
		IDRVP_x = 0010b、V_{GSx} = 3V	1.3	2	2.8	
		IDRVP_x = 0011b、V_{GSx} = 3V	2.1	3	4	
		IDRVP_x = 0100b、V_{GSx} = 3V	2.9	4	5.3	
		IDRVP_x = 0101b、V_{GSx} = 3V	3.75	5	6.4	
		IDRVP_x = 0110b、V_{GSx} = 3V	4.5	6	7.6	
		IDRVP_x = 0111b、V_{GSx} = 3V	5.5	7	9	
		IDRVP_x = 1000b、V_{GSx} = 3V	6	8	10	
		IDRVP_x = 1001b、V_{GSx} = 3V	9	12	15	
		IDRVP_x = 1010b、V_{GSx} = 3V	12	16	20	
		IDRVP_x = 1011b、V_{GSx} = 3V	15	20	25	
		IDRVP_x = 1100b、V_{GSx} = 3V	18	24	30	
		IDRVP_x = 1101b、V_{GSx} = 3V	24	31	40	
		IDRVP_x = 1110b、V_{GSx} = 3V	28	48	62	
		IDRVP_x = 1111b、V_{GSx} = 3V	46	62	78	
$I_{DRVP、H/W}$	ピーク ゲート電流 (ソース) H/W デバイス	IDRIVE 6 レベル 1、V_{GSx} = 3V	0.2	1	1.6	mA
		IDRIVE 6 レベル 2、V_{GSx} = 3V	2.9	4	5.3	
		IDRIVE 6 レベル 3、V_{GSx} = 3V	6	8	10	
		IDRIVE 6 レベル 4、V_{GSx} = 3V	12	16	20	
		IDRIVE 6 レベル 5、V_{GSx} = 3V	24	31	40	
		IDRIVE 6 レベル 6、V_{GSx} = 3V	46	62	78	

Copyright © 2026 Texas Instruments Incorporated

4.9 V ≦ V_{PVDD} ≦ 37 V、-40℃ ≦ T_J ≦ 150℃ (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25℃に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{DRVN, SPI}$	ピーク ゲート電流 (シンク) SPI デバイス	IDRVN_x = 0000b、V_{GSx} = 3V	0.07	0.5	0.85	mA
		IDRVN_x = 0001b、V_{GSx} = 3V	0.23	1	1.7	
		IDRVN_x = 0010b、V_{GSx} = 3V	0.7	2	3.2	
		IDRVN_x = 0011b、V_{GSx} = 3V	1.2	3	4.6	
		IDRVN_x = 0100b、V_{GSx} = 3V	1.75	4	5.9	
		IDRVN_x = 0101b、V_{GSx} = 3V	2.4	5	7.2	
		IDRVN_x = 0110b、V_{GSx} = 3V	3	6	8.5	
		IDRVN_x = 0111b、V_{GSx} = 3V	3.6	7	9.8	
		IDRVN_x = 1000b、V_{GSx} = 3V	4.3	8	11	
		IDRVN_x = 1001b、V_{GSx} = 3V	7.3	12	16	
		IDRVN_x = 1010b、V_{GSx} = 3V	11	16	20	
		IDRVN_x = 1011b、V_{GSx} = 3V	14.3	20	25	
		IDRVN_x = 1100b、V_{GSx} = 3V	18	24	30	
		IDRVN_x = 1101b、V_{GSx} = 3V	24	31	40	
		IDRVN_x = 1110b、V_{GSx} = 3V	28	48	62	
		IDRVN_x = 1111b、V_{GSx} = 3V	46	62	78	
$I_{DRVN, H/W}$	ピーク ゲート電流 (シンク) H/W デバイス	IDRIVE 6 レベル 1、V_{GSx} = 3V	0.23	1	1.7	mA
		IDRIVE 6 レベル 2、V_{GSx} = 3V	1.75	4	5.9	
		IDRIVE 6 レベル 3、V_{GSx} = 3V	4.3	8	11	
		IDRIVE 6 レベル 4、V_{GSx} = 3V	11	16	20	
		IDRIVE 6 レベル 5、V_{GSx} = 3V	24	31	40	
		IDRIVE 6 レベル 6、V_{GSx} = 3V	46	62	78	
I_{HOLD}	ゲート プルアップ ホールド電流	ゲート ホールド ソース電流、V_{GSx} = 3V	5	16	30	mA
I_{STRONG}	ゲート プルダウン強電流	ゲート プルダウン強電流、V_{GSx} = 3V I_{DRV} = 0.5 ～ 12mA	30	62	100	mA
		ゲート プルダウン強電流、V_{GSx} = 3V I_{DRV} = 16 ～ 62mA	45	128	205	
R_{PDSA_LS}	ローサイド セミアクティブ ゲートプルダウン	GLx ～ PGNDx、V_{GSx} = 3V		1.8		kΩ
		GLx ～ PGNDx、V_{GSx} = 1V		5		kΩ
R_{PD_HS}	ハイサイド パッシブ ゲートプルダウン抵抗	GHx～SHx		150		kΩ
R_{PD_LS}	ローサイド パッシブ ゲートプルダウン抵抗	DRV8718-Q1、GL1、GL2、GL3 および GL4 ～ PGND1		150		kΩ
I_{SHx}	スイッチ ノード センス リーク電流	SHx へ流入、SHx = DRAIN ≤ 28V GHx – SHx = 0V、nSLEEP = 0V	-5	0	20	μA
		SHx へ流入、SHx = DRAIN ≤ 37V GHx – SHx = 0V、nSLEEP = 0V	-5	0	80	μA
		SHx へ流入、SHx = DRAIN ≤ 37V GHx – SHx = 0V、nSLEEP = 5V	-150	-100	0	μA
ゲート ドライバ タイミング (GHx、GLx)						
t_{PDR_LS}	ローサイド立ち上がり伝搬遅延	GLx への入力の立ち上がり		300	850	ns
t_{PDF_LS}	ローサイド立ち下がり伝搬遅延	GLx への入力の立ち下がり		300	600	ns
t_{PDR_HS}	ハイサイド立ち上がり伝搬遅延	GHx への入力の立ち上がり		300	600	ns
t_{PDF_HS}	ハイサイド立ち下がり伝搬遅延	GHx への入力の立ち下がり		300	600	ns

Copyright © 2026 Texas Instruments Incorporated

4.9 V ≦ V_{PVDD} ≦ 37 V、-40℃ ≦ T_J ≦ 150℃ (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25℃に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{DEAD}	内部ハンドシェイク デッドタイム	GLx/GHx 10% 立ち下がりから GHx/GLx 10%立ち上がり		350		ns
$t_{DEAD_D,\ SPI}$	挿入可能なデジタル デッドタイム SPI デバイス	VGS_TDEAD = 00b、ハンドシェイクのみ		0		µs
		VGS_TDEAD = 01b	1.6	2	2.4	
		VGS_TDEAD = 10b	3.4	4	4.6	
		VGS_TDEAD = 11b	7.2	8	8.8	
$t_{DEAD_D,\ H/W}$	挿入可能なデジタル デッドタイム H/W デバイス	ハンドシェイクのみ		0		µs
電流シャント アンプ (AREF、SNx、SOx、SPx)						
V_{COM}	コモン モード入力範囲		-2		V_{PVDD} + 2	V
$G_{CSA,\ SPI}$	センス アンプ ゲイン SPI デバイス	CSA_GAIN = 00b	9.75	10	10.25	V/V
		CSA_GAIN = 01b	19.5	20	20.5	
		CSA_GAIN = 10b	39	40	41	
		CSA_GAIN = 11b	78	80	82	
$G_{CSA,\ H/W}$	センス アンプ ゲイン H/W デバイス	GAIN クワッドレベル 1	9.75	10	10.25	V/V
		GAIN クワッドレベル 2	19.5	20	20.5	
		GAIN クワッドレベル 3	39	40	41	
		GAIN クワッドレベル 4	78	80	82	
t_{SET}	±1% までのセンス アンプ セトリング タイム	V_{SO_STEP} = 1.5V、G_{CSA} = 10V/V C_{SO} = 60pF		2.2		µs
		V_{SO_STEP} = 1.5V、G_{CSA} = 20V/V C_{SO} = 60pF		2.2		
		V_{SO_STEP} = 1.5V、G_{CSA} = 40V/V C_{SO} = 60pF		2.2		
		V_{SO_STEP} = 1.5V、G_{CSA} = 80V/V C_{SO} = 60pF		3		
$t_{BLK,\ SPI}$	センス アンプ出力ブランキング時間 SPI デバイス	CSA_BLK = 000b、t_{DRIVE} 期間の割合 (%)		0		%
		CSA_BLK = 001b、t_{DRIVE} 期間の割合 (%)		25		
		CSA_BLK = 010b、t_{DRIVE} 期間の割合 (%)		37.5		
		CSA_BLK = 011b、t_{DRIVE} 期間の割合 (%)		50		
		CSA_BLK = 100b、t_{DRIVE} 期間の割合 (%)		62.5		
		CSA_BLK = 101b、t_{DRIVE} 期間の割合 (%)		75		
		CSA_BLK = 110b、t_{DRIVE} 期間の割合 (%)		87.5		
		CSA_BLK = 111b、t_{DRIVE} 期間の割合 (%)		100		
$t_{BLK,\ H/W}$	センス アンプ出力ブランキング時間 H/W デバイス			0		ns
t_{SLEW}	出力スルーレート	C_{SO} = 60pF		2.5		V/µs
$V_{BIAS,\ SPI}$	出力電圧バイアス SPI デバイス	V_{SPx} = V_{SNx} = 0V、CSA_DIV = 0b		V_{AREF}/2		V
		V_{SPx} = V_{SNx} = 0V、CSA_DIV = 1b		V_{AREF}/8		
$V_{BIAS,\ H/W}$	出力電圧バイアス H/W デバイス			V_{AREF}/2		V
V_{LINEAR}	リニア出力電圧範囲	V_{AREF} = 3.3V = 5V	0.25		V_{AREF} – 0.25	V
V_{OFF}	入力オフセット電圧	V_{SPx} = V_{SNx} = 0V、T_J = 25℃	-1		1	mV

Copyright © 2026 Texas Instruments Incorporated

4.9 V ≦ V_{PVDD} ≦ 37 V、-40℃ ≦ T_J ≦ 150℃ (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25℃に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OFF_D}	入力オフセット電圧ドリフト	V_{SPx} = V_{SNx} = 0V		±10	±25	μV/℃
I_{BIAS}	入力バイアス電流	V_{SPx} = V_{SNx} = 0V			100	μA
I_{BIAS_OFF}	入力バイアス電流オフセット	I_{SPx} – I_{SNx}	-1		1	μA
I_{AREF}	AREF 入力電流	V_{VREF} = 3.3V = 5V DRV8718-Q1 RVJ、DRV8714-Q1 RVJ		2	3	mA
CMRR	同相除去比	DC、–40 ≤ T_J ≤ 125℃	72	90		dB
		DC、–40 ≤ T_J ≤ 150℃	69	90		
		20kHz		80		
PSRR	電源除去比	PVDD～SOx、DC		100		dB
		PVDD～SOx、20kHz		90		
		PVDD～SOx、400kHz		70		
保護回路						
V_{PVDD_UV}	PVDD 低電圧スレッショルド	V_{PVDD} 立ち上がり	4.325	4.625	4.9	V
		V_{PVDD} 立ち下がり	4.25	4.525	4.8	
$V_{PVDD_UV_HYS}$	PVDD 低電圧ヒステリシス	立ち上がりから立ち下がりへのスレッショルド		100		mV
$t_{PVDD_UV_DG}$	PVDD 低電圧グリッチ除去時間		8	10	12.75	μs
V_{PVDD_OV}	PVDD 過電圧スレッショルド	V_{PVDD} 立ち上がり、PVDD_OV_LVL = 0b	21	22.5	24	V
		V_{PVDD} 立ち下がり、PVDD_OV_LVL = 0b	20	21.5	23	
		V_{PVDD} 立ち下がり、PVDD_OV_LVL = 0b、DRV8714-Q1	19.75	21.5	23	
		V_{PVDD} 立ち上がり、PVDD_OV_LVL = 1b	27	28.5	30	
		V_{PVDD} 立ち下がり、PVDD_OV_LVL = 1b	26	27.5	29	
		V_{PVDD} 立ち下がり、PVDD_OV_LVL = 1b、DRV8714-Q1	25.4	27.5	29	
$V_{PVDD_OV_HYS}$	PVDD 過電圧ヒステリシス	立ち上がりから立ち下がりへのスレッショルド		1		V
$t_{PVDD_OV_DG}$	PVDD 過電圧グリッチ除去時間	PVDD_OV_DG = 00b	0.75	1	1.5	μs
		PVDD_OV_DG = 01b	1.5	2	2.5	
		PVDD_OV_DG = 10b	3.25	4	4.75	
		PVDD_OV_DG = 11b	7	8	9	
V_{DVDD_POR}	DVDD 電源 POR スレッショルド	DVDD 立ち下がり	2.5	2.7	2.9	V
		DVDD 立ち上がり	2.6	2.8	3	
$V_{DVDD_POR_HYS}$	DVDD POR ヒステリシス	立ち上がりから立ち下がりへのスレッショルド		100		mV
$t_{DVDD_POR_DG}$	DVDD POR グリッチ除去時間		5	8	12.75	μs
$V_{CP_UV、SPI}$	チャージ ポンプ低電圧スレッショルド SPI デバイス	V_{VCP} - V_{PVDD}、V_{VCP} 立ち下がり VCP_UV = 0b	4	4.75	5.5	V
		V_{VCP} - V_{PVDD}、V_{VCP} 立ち下がり VCP_UV = 1b	5.5	6.25	7	
$V_{CP_UV、H/W}$	チャージ ポンプ低電圧スレッショルド H/W デバイス		4	4.75	5.5	V
$t_{CP_UV_DG}$	チャージ ポンプ低電圧グリッチ除去時間		8	10	12.75	μs
V_{CP_SO}	チャージポンプのトリプラからダブラへの切り替えスレッショルド	V_{PVDD} 立ち上がり	18	18.75	19.5	V

Copyright © 2026 Texas Instruments Incorporated

4.9 V ≦ V_{PVDD} ≦ 37 V、-40℃ ≦ T_J ≦ 150℃ (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25℃に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{CP_SO}	チャージポンプのトリプラからダブラへの切り替えスレッショルド	V_{PVDD} 立ち下がり	17	17.75	18.5	V
$t_{CP_SO_HYS}$	チャージポンプのトリプラからダブラへのスレッショルドヒステリシス			1		V
$t_{CP_SO_DG}$	チャージポンプのトリプラからダブラへの切り替えスレッショルド グリッチ除去		8	10	12.75	µs
V_{GS_CLP}	ハイサイド ドライバ V_{GS} 保護クランプ		12.5	15	17	V
V_{GS_LVL}	ゲート電圧監視スレッショルド SPI デバイス	V_{GHx} – V_{SHx}、V_{GLx} – V_{PGNDx} VGS_LVL = 0b	1.1	1.4	1.75	V
		V_{GHx} – V_{SHx}、V_{GLx} – V_{PGNDx} VGS_LVL = 1b	0.75	1	1.2	V
	ゲート電圧監視スレッショルド H/W デバイス	V_{GHx} – V_{SHx}、V_{GLx} – V_{PGNDx}	1.1	1.4	1.75	V
$t_{GS_FLT_DG}$	V_{GS} 障害監視グリッチ除去時間		1.5	2	2.75	µs
$t_{GS_HS_DG}$	V_{GS} ハンドシェイク監視グリッチ除去時間			210		ns
$t_{DRIVE、SPI}$	V_{GS}/V_{DS} 監視ブランキング時間 SPI デバイス	VGS_TDRV = 000b	1.5	2	2.5	µs
		VGS_TDRV = 001b	3.25	4	4.75	
		VGS_TDRV = 010b	7.5	8	9	
		VGS_TDRV = 011b	10	12	14	
		VGS_TDRV = 100b	14	16	18	
		VGS_TDRV = 101b	20	24	28	
		VGS_TDRV = 110b	28	32	36	
		VGS_TDRV = 111b	80	96	120	
$t_{DRIVE、H/W}$	V_{GS} および V_{DS} 監視、ブランキング時間 H/W デバイス		7.5	8	9	µs
$V_{DS_LVL、SPI}$	V_{DS} 過電流保護スレッショルド SPI デバイス	VDS_LVL = 0000b	0.04	0.06	0.08	V
		VDS_LVL = 0001b	0.06	0.08	0.10	
		VDS_LVL = 0010b	0.075	0.10	0.125	
		VDS_LVL = 0011b	0.095	0.12	0.145	
		VDS_LVL = 0100b	0.11	0.14	0.17	
		VDS_LVL = 0101b	0.13	0.16	0.19	
		VDS_LVL = 0110b	0.15	0.18	0.21	
		VDS_LVL = 0111b	0.17	0.2	0.23	
		VDS_LVL = 1000b	0.255	0.3	0.345	
		VDS_LVL = 1001b	0.35	0.4	0.45	
		VDS_LVL = 1010b	0.44	0.5	0.56	
		VDS_LVL = 1011b	0.52	0.6	0.68	
		VDS_LVL = 1100b	0.61	0.7	0.79	
		VDS_LVL = 1101b	0.88	1	1.12	
		VDS_LVL = 1110b	1.2	1.4	1.6	
		VDS_LVL = 1111b	1.75	2	2.25	

Copyright © 2026 Texas Instruments Incorporated

4.9 V ≦ V_{PVDD} ≦ 37 V、-40℃ ≦ T_J ≦ 150℃ (特に記述のない限り)。標準的な制限は、V_{PVDD} = 13.5V、T_J = 25℃に対して適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{DS_LVL、H/W}$	V_{DS} 過電流保護スレッショルド H/W デバイス	VDS 1 レベル入力 6	0.04	0.06	0.08	V
		VDS 2 レベル入力 6	0.075	0.10	0.125	
		VDS 3 レベル入力 6	0.17	0.2	0.23	
		VDS 4 レベル入力 6	0.44	0.5	0.56	
		VDS 5 レベル入力 6	0.88	1	1.12	
		VDS 6 レベル入力 6		無効		
$t_{DS_DG、SPI}$	V_{DS} 過電流保護グリッチ除去時間 SPI デバイス	VDS_DG = 00b(1)	0.75	1	1.5	µs
		VDS_DG = 01b	1.5	2	2.5	
		VDS_DG = 10b	3.25	4	4.75	
		VDS_DG = 11b	7.5	8	9	
$t_{DS_DG、H/W}$	V_{DS} 過電流保護グリッチ除去時間 H/W デバイス		3.25	4	4.75	µs
I_{OLD}	オフライン診断用電流ソース	プルアップ電流		3		mA
		プルダウン電流		3		
R_{OLD}	オフライン オープン負荷抵抗検出スレッショルド	VDS_LVL = 1.4V、4.9V ≦ V_{DRAIN} ≦ 18V		22	50	kΩ
		VDS_LVL = 1.4V、4.9V ≦ V_{DRAIN} ≦ 37V		22	105	kΩ
		VDS_LVL = 2V、4.9V ≦ V_{DRAIN} ≦ 18V		10	25	kΩ
		VDS_LVL = 2V、4.9V ≦ V_{DRAIN} ≦ 37V		10	50	kΩ
t_{WD}	ウォッチドッグ タイマ期間	WD_WIN = 0b	36	40	44	ms
		WD_WIN = 1b	90	100	110	
V_{POB_OV}	パワー オフ ブレーキ過電圧スレッショルド	立ち上がり	28	30.5	33	V
		立ち下がり	25	27	29.5	V
$V_{POB_OV_HYS}$	パワー オフ ブレーキ過電圧ヒステリシス			3		V
I_{POB_P}	パワー オフ ブレーキのゲート ソース電流			15		mA
I_{POB_N}	パワー オフ ブレーキのゲート シンク電流			27		mA
V_{POB}	パワー オフ ブレーキのゲート プルアップ電圧	V_{PVDD} ≧ 8V	5.5		12.5	V
t_{POB_ON}	パワー オフ ブレーキのターンオン時間			13		µs
t_{POB_OFF}	パワー オフ ブレーキのターンオフ時間			2.5		µs
V_{POB_VDS}	パワー オフ ブレーキ VDS コンパレータ スレッショルド	立ち上がり、DRV8714-Q1、DRV8718-Q1	250	350	450	mV
		立ち上がり、DRV8714A-Q1	600	800	1000	mV
t_{POB_VDS}	パワー オフ ブレーキ VDS コンパレータのグリッチ除去		2.5	4	5.75	µs
T_{OTW}	過熱警告温度	T_J 立ち上がり	130	150	170	°C
T_{HYS}	過熱警告ヒステリシス			20		°C
T_{OTSD}	サーマル シャットダウン温度	T_J 立ち上がり	150	170	190	°C
T_{HYS}	サーマル シャットダウン ヒステリシス			20		°C

(1) t_{DS_DG} 1µs (VDS_DG = 00b) は、V_{DS_LVL} 0.06、0.08、および 0.10V (VDS_LVL = 0000b、0001b、0010b) には使用しないでください

Copyright © 2026 Texas Instruments Incorporated

6.6 タイミング要件

		最小値	公称値	最大値	単位
t_{SCLK}	SCLK の最小周期	100			ns
t_{SCLKH}	SCLK 最小 High 時間	50			ns
t_{SCLKL}	SCLK の最小 Low 時間	50			ns
t_{SU_SDI}	SDI 入力データ セットアップ時間	25			ns
t_{H_SDI}	SDI 入力データ ホールド時間	25			ns
t_{D_SDO}	SDO 出力データ遅延時間、C_L = 20pF			30	ns
t_{SU_nSCS}	nSCS 入力セットアップ時間	25			ns
t_{H_nSCS}	nSCS 入力ホールド時間	25			ns
t_{HI_nSCS}	nSCS 最小 HIGH 時間	450			ns
t_{EN_nSCS}	イネーブル遅延時間、nSCS Low から SDO アクティブまで			50	ns
t_{DIS_nSCS}	ディセーブル遅延時間、nSCS High から SDO Hi-Z まで			50	ns

6.7 タイミング図

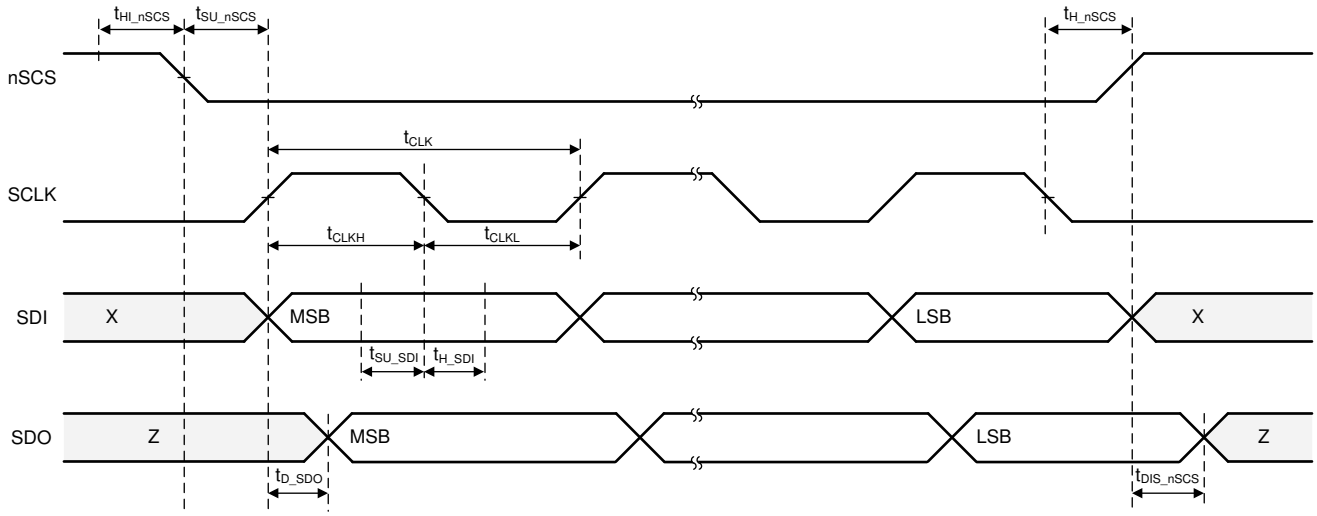
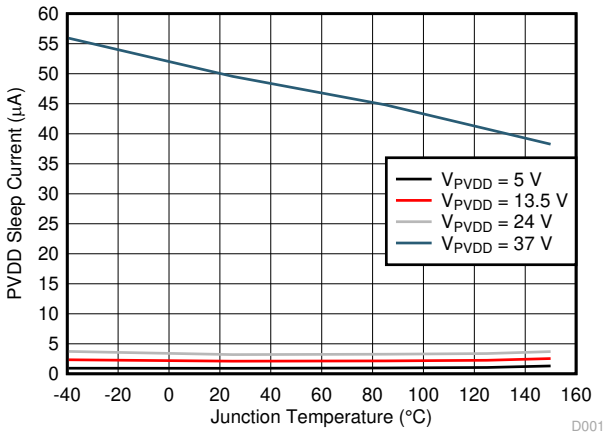


図 6-1. SPI タイミング図

Copyright © 2026 Texas Instruments Incorporated

6.8 代表的特性



V_{PVDD} = 37V、$_{POB_OV}$ コンパレータへの追加リーケージ。

図 6-2. PVDD スリープ電流

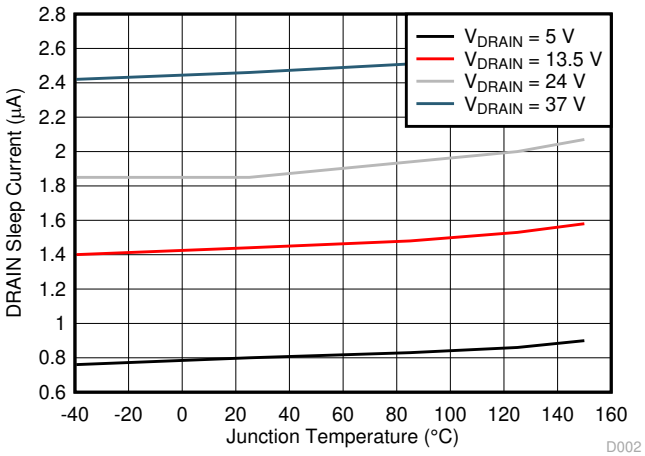


図 6-3. DRAIN スリープ電流

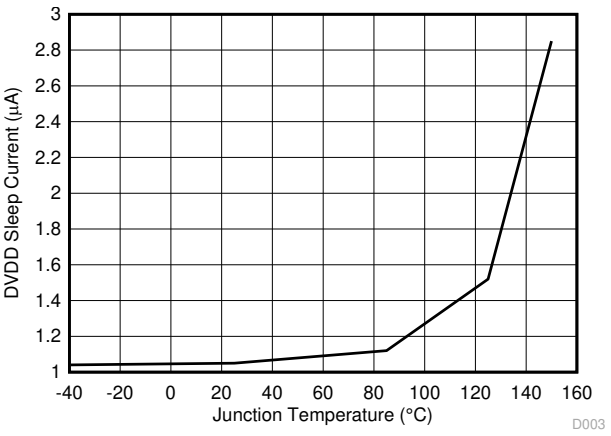


図 6-4. DVDD スリープ電流

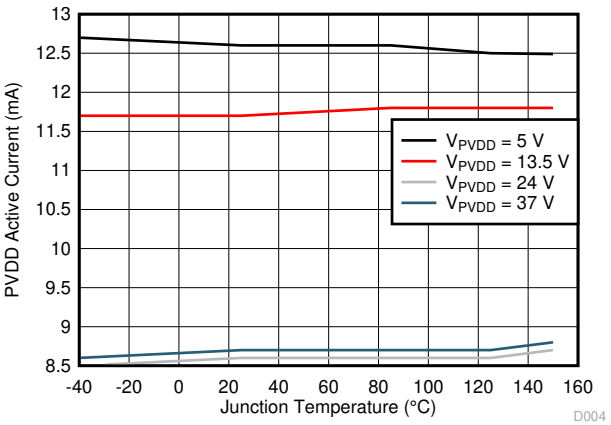


図 6-5. PVDD アクティブ電流

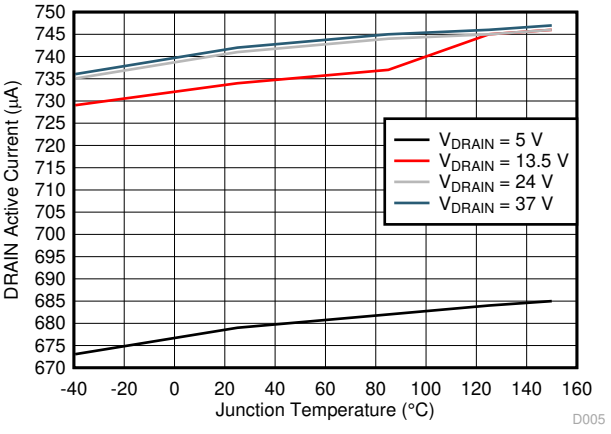


図 6-6. DRAIN アクティブ電流

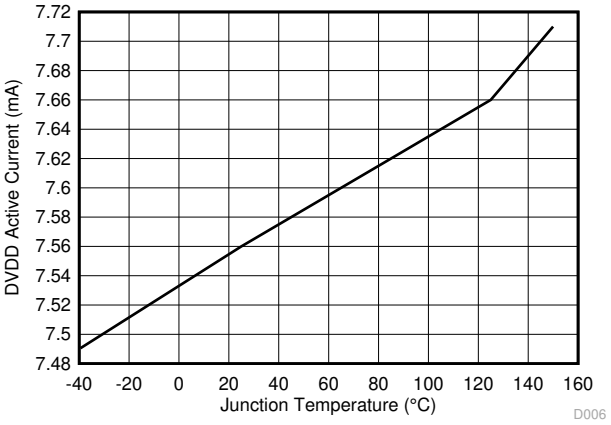
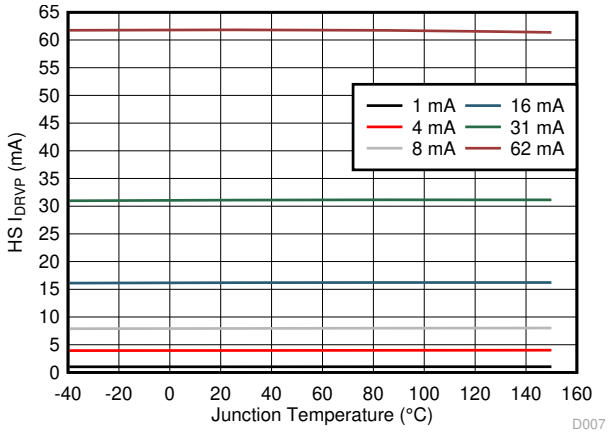
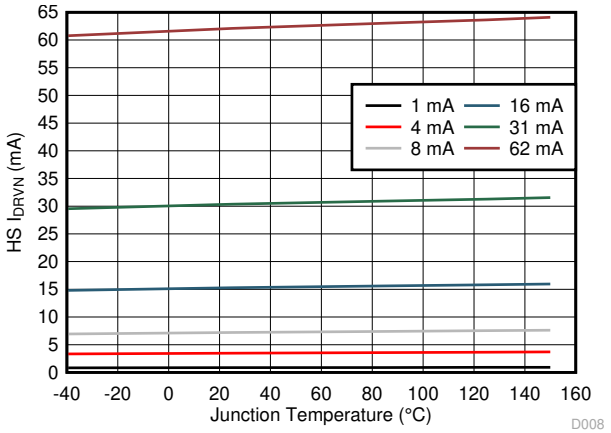


図 6-7. DVDD アクティブ電流



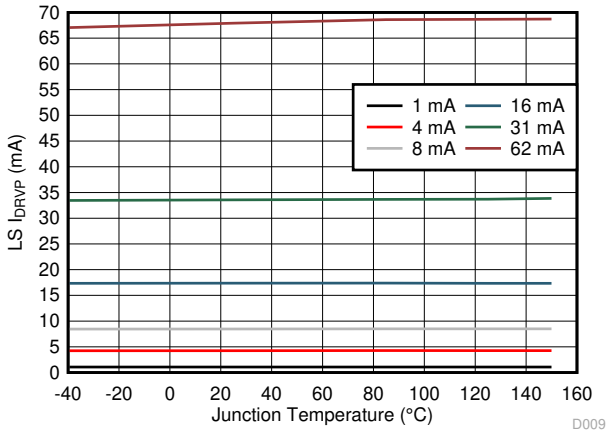
V_{PVDD} = 13.5V

図 6-8. ハイサイド ゲート ドライバ ソース電流



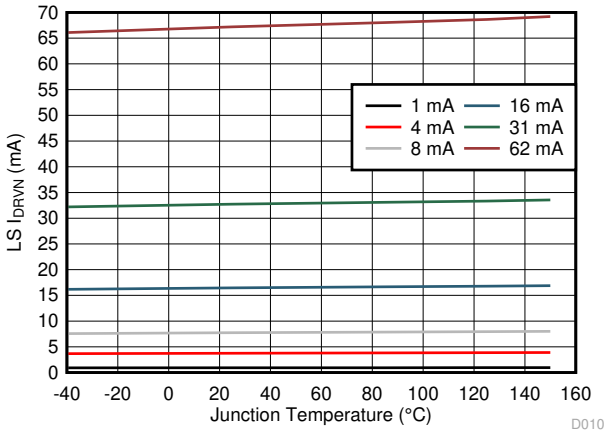
V_{PVDD} = 13.5V

図 6-9. ハイサイド ゲート ドライバ シンク電流



V_{PVDD} = 13.5V

図 6-10. ローサイド ゲート ドライバ ソース電流



V_{PVDD} = 13.5V

図 6-11. ローサイド ゲート ドライバ シンク電流

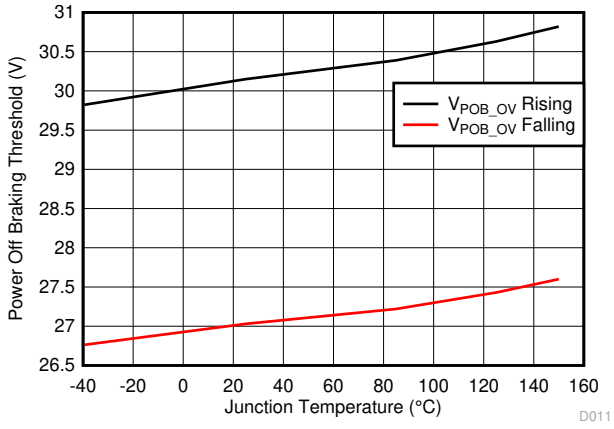


図 6-12. パワー オフ ブレーキ スレッショルド

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

DRV871x-Q1 ファミリのデバイスは、自動車用途で複数のモーターや負荷を駆動するために設計された、高度に統合されたマルチチャネル ゲートドライバです。これらのデバイスは、多様な設定および制御オプション、MOSFET のスルーレート制御、MOSFET の伝搬遅延制御、さらに高度な診断および保護機能を備えることで、自動車用途向けに最適化されています。これらのデバイスは、4 個 (DRV8714-Q1) または 8 個 (DRV8718-Q1) のハーフブリッジ ゲート ドライバを備えており、それぞれがハイサイドおよびローサイドの N チャネル パワー MOSFET を駆動できます。DRV871x-Q1 ファミリのデバイスは、多数のゲートドライバ、ドライバ電源、電流シャント アンプ、および保護モニタを統合することで、システム全体のコストを低減します。

DRV871x-Q1 ファミリのデバイスは、多様な入力 PWM 制御モードに対応しています。これらの範囲は、ハーフブリッジ制御、H ブリッジ制御、および PWM マルチプレクシングによるグループ化された H ブリッジ制御までです。リサーキュレーションおよびマルチプレクシングの方式は、デバイスの SPI インターフェイスおよび入力ピンを通じて設定できます。これにより、個別または複数をグループ化したモーター制御方式など、さまざまな出力構成に対応できます。

DRV871x-Q1 デバイスは、システム コストの低減と信頼性の向上のために、スマート ゲート ドライブ アーキテクチャ (SGD) をベースとしています。SGD アーキテクチャは、シュートスルー状態を回避するためにデッドタイムを最適化し、調整可能なゲート駆動電流による MOSFET のスルーレート制御で電磁干渉 (EMI) の低減に柔軟に対応し、適応型コントローラによって MOSFET の伝搬遅延とマッチングを改善し、さらに V_{DS} および V_{GS} モニタによってドレイン ソース間およびゲートの短絡状態から保護します。強力なプルダウン回路は、dV/dt 寄生ゲート カップリングの防止に役立ちます。可変出力ゲート ドライバによる外部 MOSFET のスルー制御がサポートされています。ゲート ドライバのピーク ソース電流およびシンク電流は、0.5mA ～ 62mA の範囲で設定でき、さらに低電流モードにより 0.5mA 未満のソース / シンク電流にも対応できます。

デバイスは、3.3V または 5V の外部コントローラ (マイコン) で動作可能です。専用 DVDD ピンにより、デバイスのデジタル コアへの外部電源供給、およびコントローラの I/O 電圧を基準とするデジタル出力が可能です。これは、外部コントローラと SPI バス経由で通信し、構成設定と診断フィードバックを管理します。このデバイスには AREF ピンもあり、シャント アンプ基準電圧を外部コントローラ ADC の基準電圧に接続できます。シャント アンプ出力は、過剰な電圧スパイクからコントローラの入力を保護するため、AREF ピン電圧にもクランプされます。

これらのデバイスは、動作前にシステム状態を監視し、動作中の故障から保護するための各種診断および保護機能を備えています。これらには、電源およびチャージ ポンプの低電圧 / 過電圧モニタ、外付け MOSFET の V_{DS} 過電流および V_{GS} ゲート故障モニタ、オフライン時のオープン負荷および短絡検出、SPI および MCI 診断用のウィンドウ付きウォッチドッグ タイマ、さらに内部のサーマル警告およびシャットダウン保護が含まれます。電流シャント アンプを使用して、システムの負荷電流を監視できます。このアンプは同相範囲が高いため、インライン、ハイサイド、またはローサイドのいずれかに基づく、シャント抵抗電流センシングが可能です。

最後に、このデバイスは、システムの過電圧状態を検出した場合に、低消費電力のスリープモード中でもローサイド ドライバを有効化できる、独自のパワー オフ ブレーキ機能を備えています。これを利用して、モーターのバック EMF によるシステム電圧レールの過充電を防止できます。

Copyright © 2026 Texas Instruments Incorporated

7.2 機能ブロック図

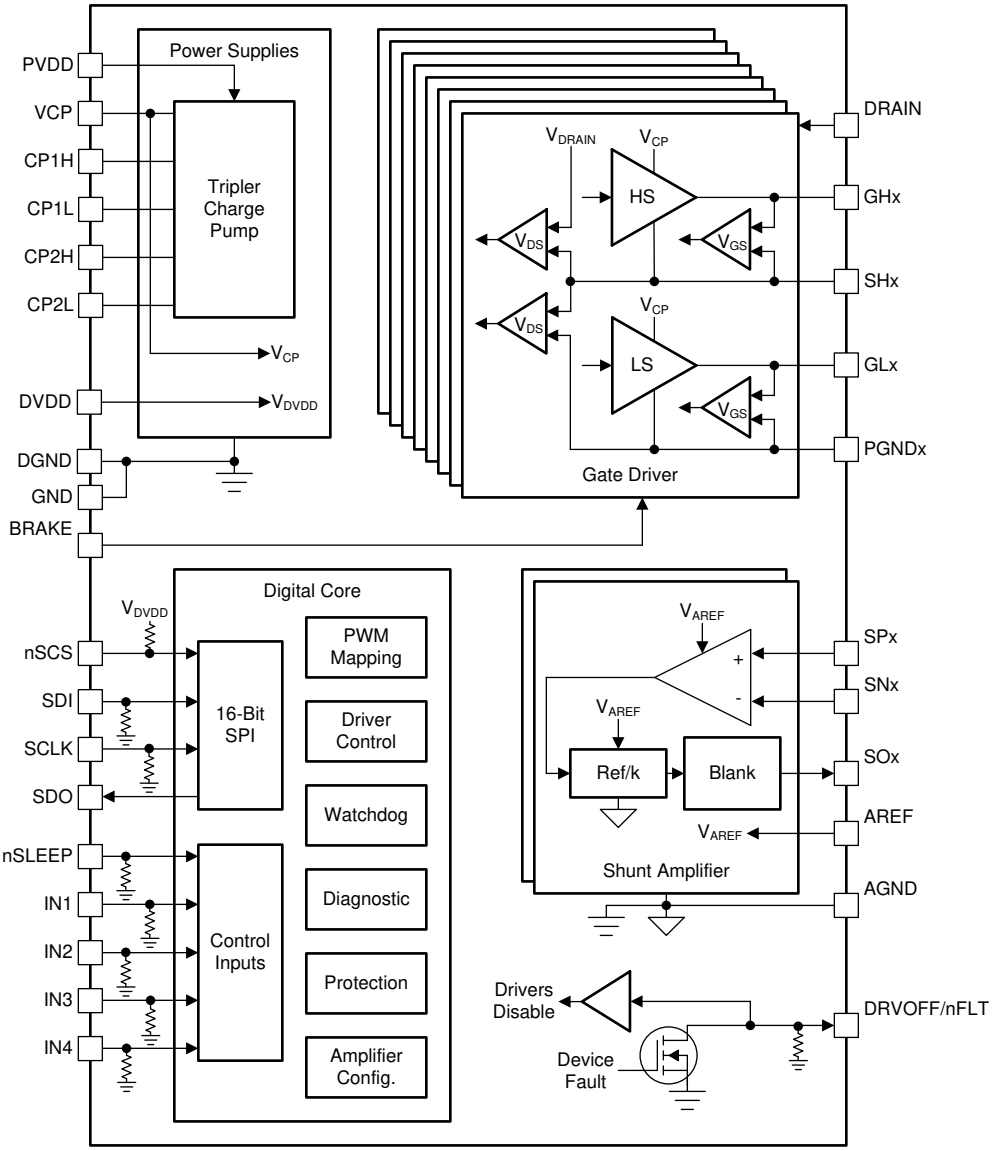


図 7-1. DRV8718S-Q1 RVJ パッケージのブロック図

Copyright © 2026 Texas Instruments Incorporated

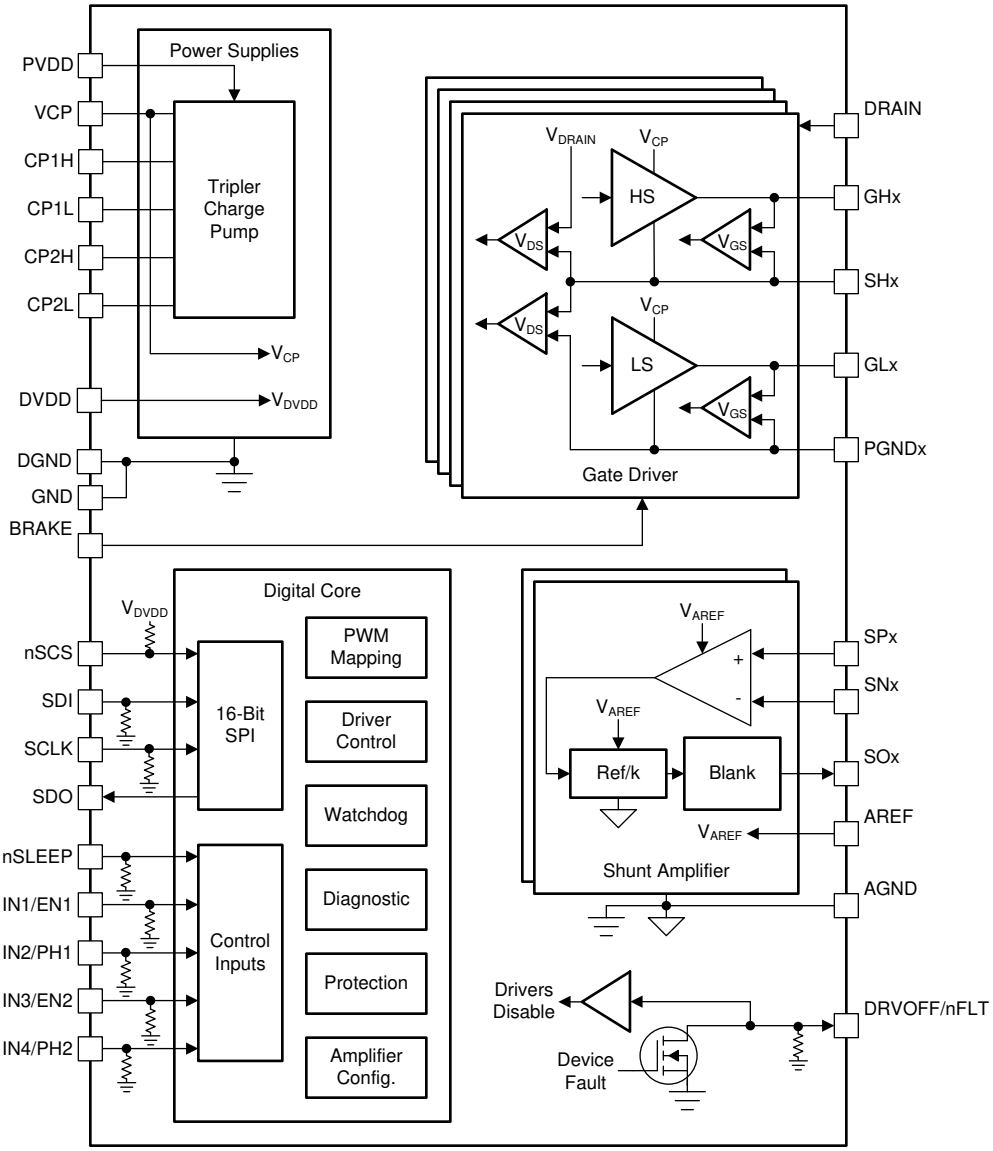


図 7-2. DRV8714S-Q1 RVJ パッケージのブロック図

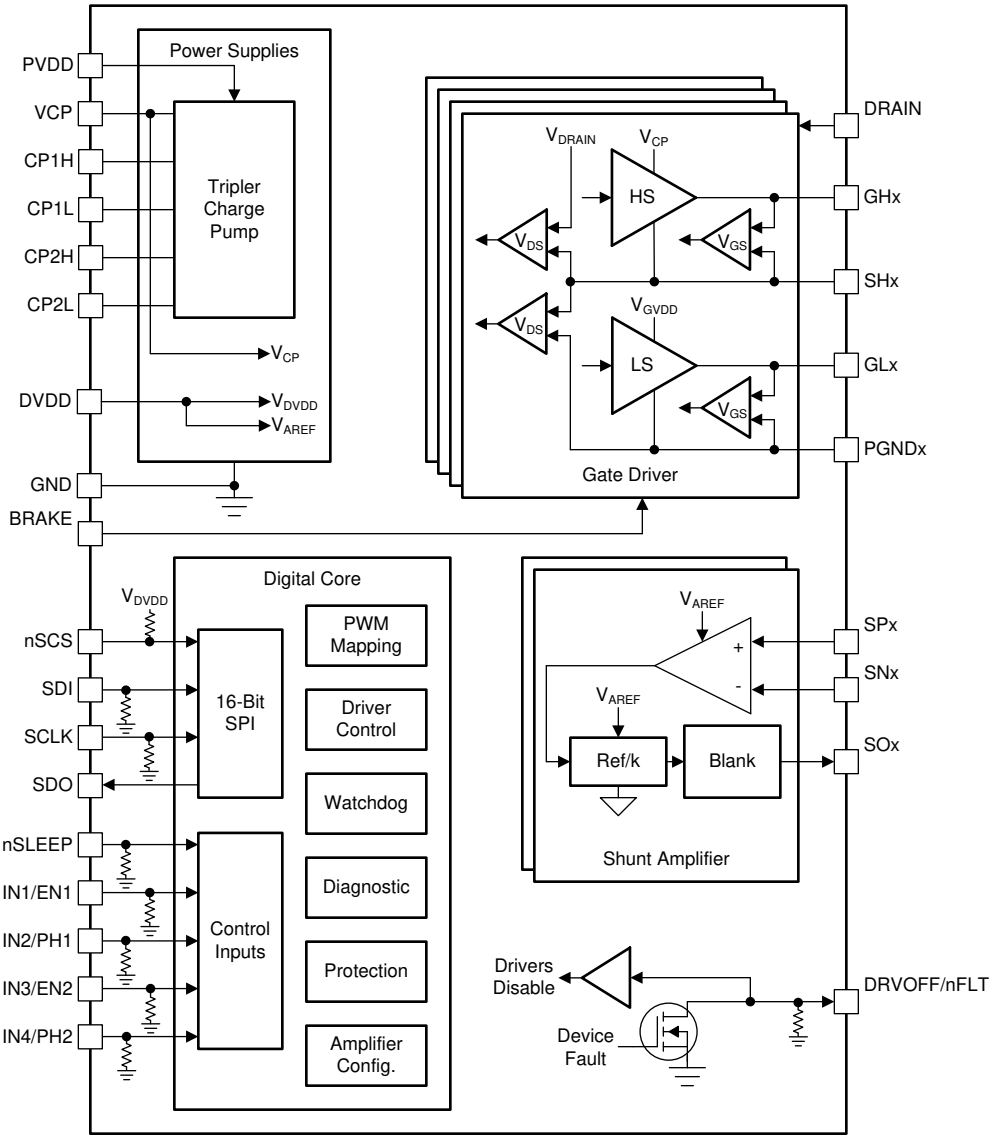


図 7-3. DRV8714S-Q1 RHA パッケージのブロック図

注

DRV8714-Q1 RHA パッケージでは、AREF ピンは存在しません。AREF 電源は DVDD ピンから生成されます。

Copyright © 2026 Texas Instruments Incorporated

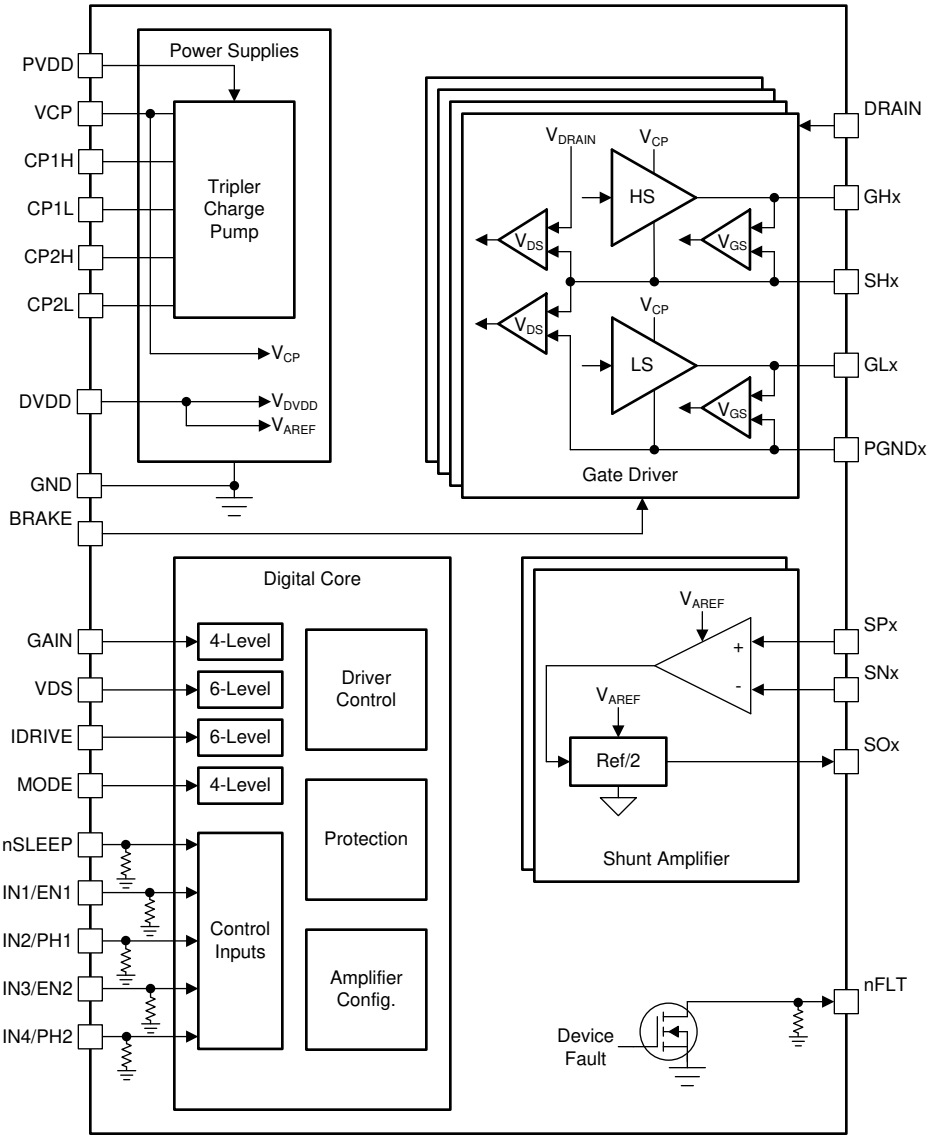


図 7-4. DRV8714H-Q1 RHA パッケージのブロック図

注

DRV8714-Q1 RHA パッケージでは、AREF ピンは存在しません。AREF 電源は DVDD ピンから生成されます。

7.3 機能説明

7.3.1 外付け部品

表 7-1 に、推奨の外付け部品を示します。

表 7-1. 推奨外付け部品

部品	ピン 1	ピン 2	推奨
C_{PVDD1}	PVDD	GND	0.1µF、低 ESR セラミック コンデンサ、PVDD 定格。
C_{PVDD2}	PVDD	GND	10µF 以上のローカル バルク容量、PVDD 定格。
C_{DVDD} (1)	DVDD	GND	1.0µF、6.3V、低 ESR セラミック コンデンサ
C_{AREF} (1)	AREF(3)	GND	0.1µF、6.3V、低 ESR セラミック コンデンサ
C_{VCP}	VCP	PVDD	1µF、16V、低 ESR セラミック コンデンサ
C_{FLY1}	CP1H	CP1L	0.1µF、PVDD 定格、低 ESR セラミック コンデンサ
C_{FLY2}	CP2H	CP2L	0.1µF、PVDD+ 16V、低 ESR セラミック コンデンサ
R_{nFLT}	VCC(2)	nFLT	プルアップ抵抗、I_{OD} ≤ 5mA

(1) 外部低電圧電源のノイズを低減するため、ローカル バイパス コンデンサを推奨します。別のバイパス コンデンサがデバイスと外部低電圧電源の近接した位置にあり、電源のノイズが最小限である場合は、この部品を取り外すこともできます。
(2) VCC はデバイス上のピンではなく、低電圧外部電源です。
(3) DRV8714-Q1 の RHA パッケージでは、AREF ピンは存在せず、AREF 電源は DVDD ピンから供給されます。

7.3.2 デバイス インターフェイス バリアント

DRV8714-Q1 デバイスでは、最終的なアプリケーションを柔軟な設計にするか単純な設計にするか選択できるように、2 種類のインターフェイス モード (SPI とハードウェア) をサポートしています。2 つのインターフェイス モードで同じ 4 つのピンが共有されているので、異なるバージョン間でのピン互換が実現します。こうしたことから、アプリケーション設計者は、設計に最小限の変更を加えるだけで、評価に使用するインターフェイス バージョンを切り替えることができます。DRV8718-Q1 デバイスは、SPI インターフェイスでのみ使用できます。

7.3.2.1 シリアル・ペリフェラル・インターフェイス (SPI)

DRV8718-Q1 および DRV8714S-Q1 の SPI デバイス版は、外部コントローラがドライバとシリアル データの送受信を行えるシリアル通信バスに対応しています。これにより、外部コントローラはデバイスを設定し、詳細なフォルト情報を読み出すことができます。このインターフェイスは、SCLK、SDI、SDO、nSCS ピンを使用する 4 線式シリアル インターフェイスです。

- nSCS ピンはチップ選択入力です。このピンに論理 Low 信号を印加すると、SPI 通信がイネーブルになります。
- SCLK ピンは、クロック信号を受け付けて SDI と SDO 上のデータの収集と伝搬のタイミングを決める入力ピンです。
- SDI ピンはデータ入力です。
- SDO ピンはデータ出力です。SDO ピンは、DVDD 入力を基準とするプッシュプル出力構造を使用します。

SPI の詳細については、「SPI インターフェイス」セクションを参照してください。

7.3.2.2 ハードウェア (H/W)

DRV8714H-Q1 のハードウェア インターフェイス デバイスは、4 つの SPI ピンを、抵抗で設定可能な 4 つの入力 (GAIN、VDS、IDRIVE、MODE) に変換します。これにより、ピンを High や Low に接続するか、または単純なプルアップ抵抗やプルダウン抵抗を使用することで、ごく一般的なデバイス設定を行えるようになり、外部コントローラには SPI バスが不要になります。全般的なフォルト情報は、引き続き nFAULT ピンを介して取得できます。

ハードウェア インターフェイス設定は、デバイスの電源投入時にラッチされます。nSLEEP ピンでデバイスをスリープ モードにし、設定を変更して、nSLEEP によりデバイスを再イネーブルすることで、設定を再構成できます。

- GAIN ピンでは、電流シャント アンプのゲインを構成します
- VDS ピンでは V_{DS} 過電流監視の電圧スレッショルドを設定します。

Copyright © 2026 Texas Instruments Incorporated

- IDRIVE ピンではゲートドライブ電流の強さを構成します。
- MODE ピンでは PWM 入力制御モードを構成します。

ハードウェア インターフェイスの詳細については、「ピン配置」セクションを参照してください。

7.3.3 入力 PWM 制御モード

DRV8718-Q1 と DRV8714-Q1 は、さまざまな出力負荷構成と制御規制に対応できるよう、高度に構成可能なハーフブリッジ制御方式をサポートしています。この制御方式により、外部コントローラで必要な PWM チャネル数およびピン数を削減できます。4 つの独立した PWM 制御入力を INx 入力ピンに与え、任意の出力ハーフブリッジ ドライバに割り当てることができます。このデバイスは、ハイサイドとローサイドのスイッチング間のデッド タイム生成を内部で処理するため、1 つの PWM 入力でハーフブリッジを制御できます。

さらに、DRV8714-Q1 は、H ブリッジまたはソレノイド制御のための複数の標準的な制御方式にも対応しています。これらの制御方式は、SPI インターフェイス デバイスの BRG_MODE レジスタ設定、または H/W インターフェイス デバイスのモード ピンにより選択できます (表 7-2 を参照)

表 7-2. DRV8714-Q1 入力 PWM モード

PWM モード	SPI インターフェイス (BRG_MODE)	H/W インターフェイス (モード ピン)
ハーフブリッジ制御	00b	レベル 1 - GND
H ブリッジ制御	01b (PH/EN)	レベル 2 (PH/EN) - 47kΩ
	10b (PWM)	レベル 3 (PWM) - ハイ インピーダンス
分割 HS/LS ソレノイド制御	11b	レベル 4 - DVDD

7.3.3.1 入力 PWM マッピングによるハーフブリッジ制御方式

7.3.3.1.1 DRV8718-Q1 のハーフブリッジ制御

DRV8718-Q1 は、直接 PWM、PWM マルチプレクサ、および SPI 制御レジスタの組み合わせにより、8 つのハーフブリッジ ゲートドライバを制御します。HBx_CTRL (ハーフブリッジ制御) SPI レジスタは、ハーフブリッジのゲートドライバの出力状態を制御するために使用されます。ゲートドライバの各種制御状態を表 7-3 に示します。未使用のハーフブリッジ ドライバは、未接続のままとし、出力をハイ インピーダンス (Hi-Z) 状態に設定する必要があります。

DRV8718-Q1 の PWM 入力ピン (IN1、IN2、IN3、IN4) は、割り当てられた出力の PWM 周波数とデューティ サイクルを設定するために使用できます。高周波または高精度なデューティ サイクルの PWM 制御が不要な場合、8 つのハーフブリッジ ゲートドライバは、HBx_CTRL SPI 制御レジスタを介して直接制御することもできます。

DRV8718-Q1 は、ハーフブリッジの代わりに、個別のハイ サイドまたはローサイドの外部 MOSFET を制御する用途にも使用できます。この構成では、ハーフブリッジの未使用の GHx/GLx ドライバは、単に未接続のままにしておきます。この構成で PWM 制御が必要な場合は、パッシブ フリーホイールのみを使用する必要があります。

表 7-3. ハーフブリッジ SPI レジスタ制御 (HBx_CTRL)

HBx_CTRL (1 ～ 8)	ゲートドライバ状態	GHx (1 ～ 8)	GLx (1 ～ 8)	SHx (1 ～ 8)
00b	ハイ インピーダンス (Hi-Z)	L	L	ハイ インピーダンス
01b	ローサイド駆動 (L)	L	H	L
10b	ハイサイド駆動 (H)	H	L	H
11b	PWM (PWM) 駆動	表 7-5	表 7-5	表 7-5

PWM 制御モードでは、表 7-4 に示すように、4 つの独立した PWM 制御入力 (IN1、IN2、IN3、IN4) のいずれかで、ハーフブリッジ ゲートドライバを直接制御できます。

Copyright © 2026 Texas Instruments Incorporated

PWM マッピングにより、モーター グループやゾーン制御方式を使用する際に、外部コントローラで必要な PWM リソースやピン数を削減しつつ、PWM 周波数やデューティ サイクルの細かな制御を維持できます。各 PWM 入力ピンは、必要に応じて任意の数のハーフブリッジ ドライバにマッピングできます。入力 PWM 信号は、PWMx_HL 制御レジスタの設定に基づいて、ハーフブリッジのハイサイドまたはローサイドの MOSFET をアクティブに駆動できます。また、反対側の MOSFET は、フリーホイール設定に応じて適切に制御されます。アクティブまたはパッシブのフリーホイールは、PWMx_FW 制御レジスタによって設定できます。

ドライバ動作中に PWM マッピング方式を変更するには、以下の手順を実行する必要があります。

- HBx_CTRL を介してアクティブ ハーフブリッジをハイ インピーダンス モードに設定します。
- HBx_CTRL を使用して、新たに対象とするハーフブリッジをハイ インピーダンス モードに設定します。
- HBx_PWM マッピングは、旧対象のハーフブリッジから新しい対象のハーフブリッジへ更新する必要があります。
- 新しい対象のハーフブリッジについて、駆動する MOSFET (PWMx_HL) およびフリーホイール設定 (PWMx_FW) を設定します。
- HBx_CTRL を使用して、新しい対象のハーフブリッジを PWM モードに設定します。

表 7-4. ハーフブリッジ PWM マッピング (HBx_PWM)

PWM へのマッピング	
HBx_PWM (1 ～ 8)	**入力 PWM ソース**
00b	IN1
01b	IN2
10b	IN3
11b	IN4

表 7-5. ハーフブリッジ PWM 制御 (PWMx_HL および PWMx_FW)

HBx_PWM (1 ～ 8)	HBx_HL (1 ～ 8)	HBx_FW (1 ～ 8)	ゲートドライバ状態	GHx (1 ～ 8)	GLx (1 ～ 8)	SHx (1 ～ 8)
PWMx	0	0	PWM ハイサイド アクティブ FW	PWMx	!PWMx	PWMx
	1		PWM ローサイド アクティブ FW	!PWMx	PWMx	!PWMx
	0	1	PWM ハイサイド パッシブ FW	PWMx	L	PWMx
	1		PWM ローサイド パッシブ FW	L	PWMx	!PWMx

Copyright © 2026 Texas Instruments Incorporated

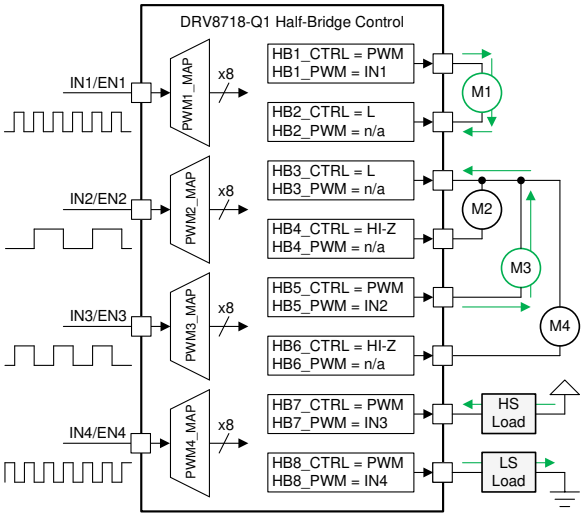


図 7-5. PWM マッピング例 1

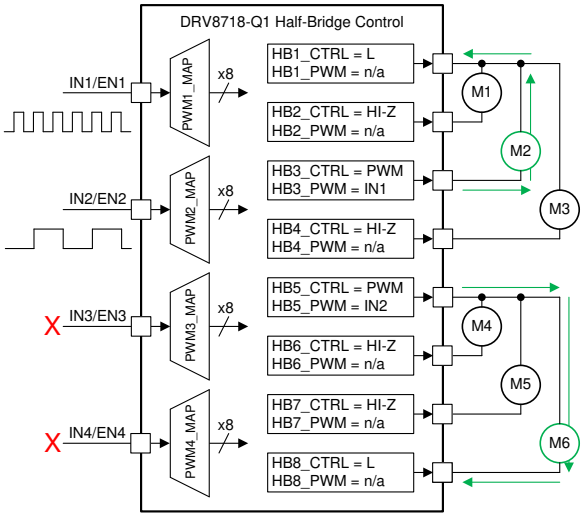


図 7-6. PWM マッピング例 2

7.3.3.1.2 DRV8714-Q1 のハーフブリッジ制御

DRV8714-Q1 は、ダイレクト PWM、PWM マルチプレクサ、および SPI 制御レジスタの組み合わせによって、4 つのハーフブリッジ ゲート ドライバを制御します。ハーフブリッジ制御モードは、SPI インターフェイス版では BRG_MODE = 00b に設定することで、H/W インターフェイス版では MODE ピンをレベル 1 に設定することで有効になります。SPI インターフェイス版では、HBx_CTRL (ハーフブリッジ制御) SPI レジスタを使用して、ハーフブリッジ ゲートドライバの出力状態を制御します。ゲートドライバの各種制御状態を表 7-6 に示します。未使用のハーフブリッジドライバは、未接続のままとし、出力をハイ インピーダンス (Hi-Z) 状態に設定する必要があります。H/W インターフェイス バリアントでは、デバイスはデフォルトで、関連する INx/ENx 入力ピンから PWM を直接制御します。

DRV8714-Q1 の PWM 入力ピン (IN1/EN1、IN2/PH1、IN3/EN2、IN4/PH2) は、対応する出力の PWM 周波数およびデューティ サイクルを設定するために使用できます。高周波または高精度なデューティ サイクルの PWM 制御が不要な場合、SPI インターフェイス版では、HBx_CTRL SPI 制御レジスタを介して 4 つのハーフブリッジ ゲート ドライバを直接制御できます。

DRV8714-Q1 は、ハーフブリッジの代わりに、個別のハイサイドまたはローサイドの外付け MOSFET を制御する用途にも使用できます。この構成では、ハーフブリッジの未使用の GHx/GLx ドライバは、単に未接続のままにしておきます。この構成で PWM 制御が必要な場合は、パッシブ フリーホイールのみを使用する必要があります。

表 7-6. ハーフブリッジ SPI レジスタ制御 (HBx_CTRL)

HBx_CTRL (1 ～ 4)	ゲートドライバ状態	GHx (1 ～ 4)	GLx (1 ～ 4)	SHx (1 ～ 4)
00b	ハイ インピーダンス (Hi-Z)	L	L	ハイ インピーダンス
01b	ローサイド駆動 (L)	L	H	L
10b	ハイサイド駆動 (H)	H	L	H
11b	PWM (PWM) 駆動	表 7-8	表 7-8	表 7-8

PWM 制御モードでは、表 7-4 に示すように、4 つの独立した PWM 制御入力 (IN1、IN2、IN3、IN4) のいずれかで、ハーフブリッジ ゲート ドライバを直接制御できます。H/W インターフェイス版では、PWM 制御入力は対応する出力番号に直接マッピングされます。

PWM マッピングにより、モーター グループやゾーン制御方式を使用する際に、外部コントローラで必要な PWM リソースやピン数を削減しつつ、PWM 周波数やデューティ サイクルの細かな制御を維持できます。各 PWM 入力ピンは、必要

Copyright © 2026 Texas Instruments Incorporated

に応じて任意の数のハーフブリッジ ドライバにマッピングできます。入力 PWM 信号は、PWMx_HL 制御レジスタの設定に基づいて、ハーフブリッジのハイサイドまたはローサイドの MOSFET をアクティブに駆動できます。また、反対側の MOSFET は、フリーホイール設定に応じて適切に制御されます。アクティブまたはパッシブのフリーホイールは、PWMx_FW 制御レジスタによって設定できます。H/W インターフェイス版では、このデバイスはアクティブ フリーホイール付きのハイサイド PWM 駆動として構成されます。

ドライバ動作中に PWM マッピング方式を変更するには、以下の手順を実行する必要があります。

- HBx_CTRL を介してアクティブ ハーフブリッジをハイ インピーダンス モードに設定します。
- HBx_CTRL を使用して、新たに対象とするハーフブリッジをハイ インピーダンス モードに設定します。
- HBx_PWM マッピングは、旧対象のハーフブリッジから新しい対象のハーフブリッジへ更新する必要があります。
- 新しい対象のハーフブリッジについて、駆動する MOSFET (PWMx_HL) およびフリーホイール設定 (PWMx_FW) を設定します。
- HBx_CTRL を使用して、新しい対象のハーフブリッジを PWM モードに設定します。

表 7-7. ハーフブリッジ PWM マッピング (PWMx_MAP)

PWM へのマッピング	
HBx_PWM (1 ～ 4)	**入力 PWM ソース**
00b	IN1
01b	IN2
10b	IN3
11b	IN4

表 7-8. ハーフブリッジ PWM 制御 (PWMx_HL および PWMx_FW)

HBx_PWM (1 ～ 4)	HBx_HL (1 ～ 4)	HBx_FW (1 ～ 4)	ゲートドライバ状態	GHx (1 ～ 4)	GLx (1 ～ 4)	SHx (1 ～ 4)
PWMx	0	0	PWM ハイサイド アクティブ FW	PWMx	!PWMx	PWMx
	1		PWM ローサイド アクティブ FW	!PWMx	PWMx	!PWMx
	0	1	PWM ハイサイド パッシブ FW	PWMx	L	PWMx
	1		PWM ローサイド パッシブ FW	L	PWMx	!PWMx

Copyright © 2026 Texas Instruments Incorporated

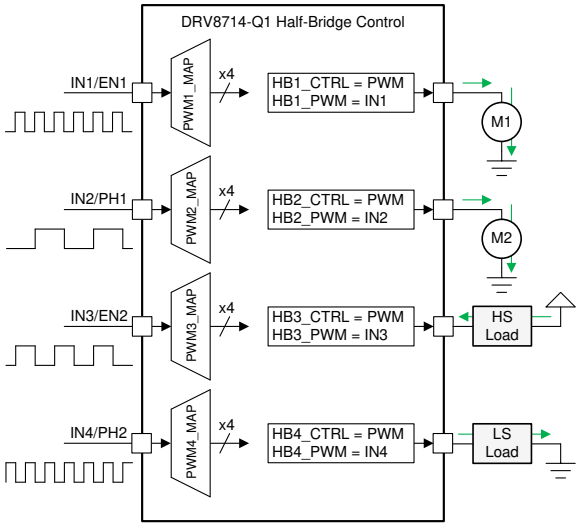


図 7-7. PWM マッピング例 1

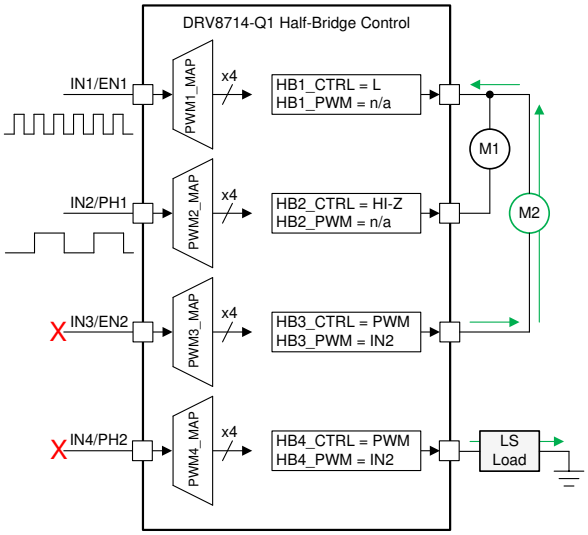


図 7-8. PWM マッピング例 2

7.3.3.2 H ブリッジ制御

7.3.3.2.1 DRV8714-Q1 の H ブリッジ制御

H ブリッジ制御モードでは、2 組のハーフブリッジ ゲート ドライバをそれぞれ 1 つの H ブリッジ ゲート ドライバとして制御でき、DRV8714-Q1 では合計 2 つの H ブリッジ ゲート ドライバとして動作させることができます。DRV8714-Q1 における H ブリッジのペアは、ハーフブリッジ 1/2 および 3/4 です。DRV8714-Q1 は、2 つの H ブリッジ ゲートドライバ ペアを、直接入力ピンまたは SPI 制御レジスタを介して制御できます。H ブリッジ ゲートドライバには 2 つの入力制御モードがあり、SPI インターフェイス版では BRG_MODE レジスタ (01b = PH/EN、10b = PWM) によって設定でき、H/W インターフェイス版では MODE ピン (レベル 2 = PH/EN、レベル 3 = PWM)によって設定できます。PH/EN モードでは、1 つの PWM 信号と 1 つの GPIO 信号によってコマンド制御される速度 / 方向タイプのインターフェイスにより、H ブリッジを制御できます。PWM モードでは、通常は 2 つの PWM 信号を必要とする、より高度なスキーマにより、H ブリッジを制御できます。この結果、H ブリッジ ドライバは 4 つの異なる出力状態に入ることができるので、必要に応じて制御のフレキシビリティがさらに高まります。

DRV8714-Q1 の PWM 入力ピン (IN1/EN1、IN2/PH1、IN3/EN2、IN4/PH2) は、割り当てられた出力の PWM 周波数およびデューティ サイクルを設定するために使用されます。PWM 制御が不要な場合、SPI 制御レジスタを介して 2 つの H ブリッジ ゲートドライバを直接制御できます。INx/ENx および INx/PHx の SPI 制御は、INx/ENx_MODE および INx/PHx_MODE レジスタ設定によって有効化できます。各 H ブリッジは、HIZ レジスタの設定によって個別にハイ インピーダンスに設定できます。

デフォルトのアクティブ フリーホイール モードはローサイドでアクティブです。DRV8714-Q1 の SPI インターフェイス版では、FW レジスタの設定によってフリーホイール状態を構成することができます。この設定を使用すると、ローサイドとハイサイドのアクティブ フリーホイール間のブリッジを変更できます。H/W インターフェイス バリアントは、デフォルトでローサイド フリーホイールに設定されています。

ゲートドライバの PH/EN 制御ロジックと出力状態を、表 7-9 と表 7-10 に示します。

表 7-9. PH/EN H ブリッジ (1/2) 制御

入力				出力						
IN1/EN1	IN2/PH1	FW1	HIZ1	GH1	GL1	GH2	GL2	SH1	SH2	説明
0	X	0b	0	L	H	L	H	L	L	ローサイド アクティブ フリーホイール
0	X	1b	0	H	L	H	L	H	H	ハイサイド アクティブ フリーホイール

表 7-9. PH/EN H ブリッジ (1/2) 制御 (続き)

入力				出力						
IN1/EN1	IN2/PH1	FW1	HIZ1	GH1	GL1	GH2	GL2	SH1	SH2	説明
1	0	X	0	L	H	H	L	L	H	ドライブ SH2 → SH1 (逆方向)
1	1	X	0	H	L	L	H	H	L	ドライブ SH1 → SH2 (順方向)
X	X	X	1	L	L	L	L	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス

表 7-10. PH/EN H ブリッジ (3/4) 制御

入力				出力						
IN3/EN2	IN4/PH2	FW2	HIZ2	GH3	GL3	GH4	GL4	SH3	SH4	説明
0	X	0b	0	L	H	L	H	L	L	ローサイド アクティブ フリーホイール
0	X	1b	0	H	L	H	L	H	H	ハイサイド アクティブ フリーホイール
1	0	X	0	L	H	H	L	L	H	ドライブ SH4 → SH3 (逆方向)
1	1	X	0	H	L	L	H	H	L	ドライブ SH3 → SH4 (順方向)
X	X	X	1	L	L	L	L	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス

ゲートドライバの PWM 制御ロジックと出力状態を表 7-11 と表 7-12 に示します

表 7-11. PWM H ブリッジ (1/2) 制御

入力				出力						
IN1/EN1	IN2/PH1	FW1	HIZ1	GH1	GL1	GH2	GL2	SH1	SH2	説明
0	0	X	0	L	L	L	L	ハイ インピーダンス	ハイ インピーダンス	ダイオード フリーホイール (滑走)
0	1	X	0	L	H	H	L	L	H	ドライブ SH2 → SH1 (逆方向)
1	0	X	0	H	L	L	H	H	L	ドライブ SH1 → SH2 (順方向)
1	1	0b	0	L	H	L	H	L	L	ローサイド アクティブ フリーホイール
1	1	1b	0	H	L	H	L	H	H	ハイサイド アクティブ フリーホイール
X	X	X	1	L	L	L	L	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス

表 7-12. PWM H ブリッジ (3/4) 制御

入力				出力						
IN3/EN2	IN4/PH2	FW2	HIZ2	GH3	GL3	GH4	GL4	SH3	SH4	説明
0	0	X	0	L	L	L	L	ハイ インピーダンス	ハイ インピーダンス	ダイオード フリーホイール (滑走)
0	1	X	0	L	H	H	L	L	H	ドライブ SH4 → SH3 (逆方向)
1	0	X	0	H	L	L	H	H	L	ドライブ SH3 → SH4 (順方向)
1	1	0b	0	L	H	L	H	L	L	ローサイド アクティブ フリーホイール
1	1	1b	0	H	L	H	L	H	H	ハイサイド アクティブ フリーホイール

Copyright © 2026 Texas Instruments Incorporated

表 7-12. PWM H ブリッジ (3/4) 制御 (続き)

入力				出力						
IN3/EN2	IN4/PH2	FW2	HIZ2	GH3	GL3	GH4	GL4	SH3	SH4	説明
X	X	X	1	L	L	L	L	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス

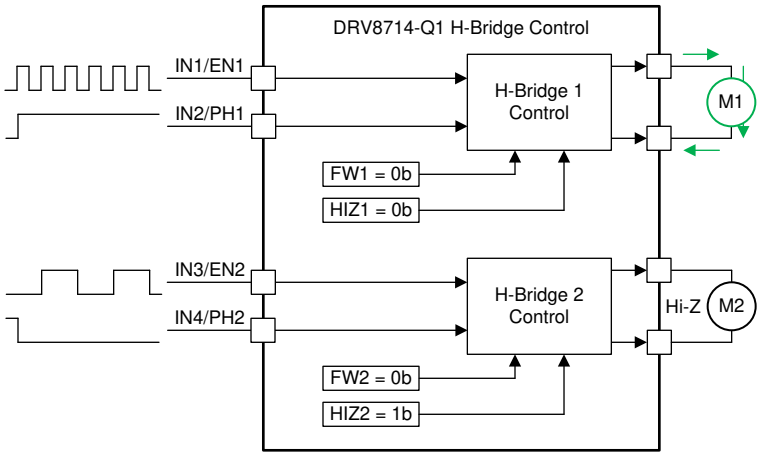


図 7-9. H ブリッジ制御の例

7.3.3.3 分割 HS/LS ソレノイド制御

7.3.3.3.1 DRV8714-Q1 の分割 HS/LS ソレノイド制御

分割 HS/LS ソレノイド制御モードでは、図 7-10 に示すように、H ブリッジ ペア (1/2 と 3/4) がソレノイド制御方式を簡素化するように構成されています。このモードでは、H ブリッジを構成して、反対のハイサイドとローサイドの外部 MOSFET 間のフローティング ソレノイド負荷を駆動できます。ソレノイド制御モードは、SPI インターフェイス版では BRG_MODE 制御レジスタを 11b に設定することで、H/W インターフェイス版では MODE ピンをレベル 4 に設定することで有効になります。

プライマリ ハーフブリッジのハイサイド MOSFET は HS 接続解除スイッチとして機能し (INx/PHx ピンまたは S_PHx 制御レジスタで制御)、セカンダリ ハーフブリッジのローサイド MOSFET はソレノイドの PWM 制御として機能します (INx/ENx ピンまたは S_ENx 制御レジスタで制御)。INx/ENx および INx/PHx の SPI 制御は、INx/ENx_MODE および INx/PHx_MODE レジスタ設定によって有効化できます。プライマリ ハーフブリッジのローサイド MOSFET 制御は無効化され、セカンダリ ハーフブリッジのハイサイド MOSFET 制御も無効化されます。表 7-13 と表 7-14 に、制御ワードのフォーマットを示します。

表 7-13. 分割 HS/LS (1/2) 制御

IN1/EN1	IN2/PH1	GH1	GL1	GH2	GL2	説明
0	X	X	非アクティブ	非アクティブ	L	ソレノイド、PWM オフ
1	X	X	非アクティブ	非アクティブ	H	ソレノイド、PWM オン
X	0	L	非アクティブ	非アクティブ	X	ソレノイド、ディセーブル状態
X	1	H	非アクティブ	非アクティブ	X	ソレノイド、イネーブル状態

表 7-14. 分割 HS/LS (3/4) 制御

IN3/EN2	IN4/PH2	GH3	GL3	GH4	GL4	説明
0	X	X	非アクティブ	非アクティブ	L	ソレノイド、PWM オフ
1	X	X	非アクティブ	非アクティブ	H	ソレノイド、PWM オン

Copyright © 2026 Texas Instruments Incorporated

表 7-14. 分割 HS/LS (3/4) 制御 (続き)

IN3/EN2	IN4/PH2	GH3	GL3	GH4	GL4	説明
X	0	L	非アクティブ	非アクティブ	X	ソレノイド、ディセーブル状態
X	1	H	非アクティブ	非アクティブ	X	ソレノイド、イネーブル状態

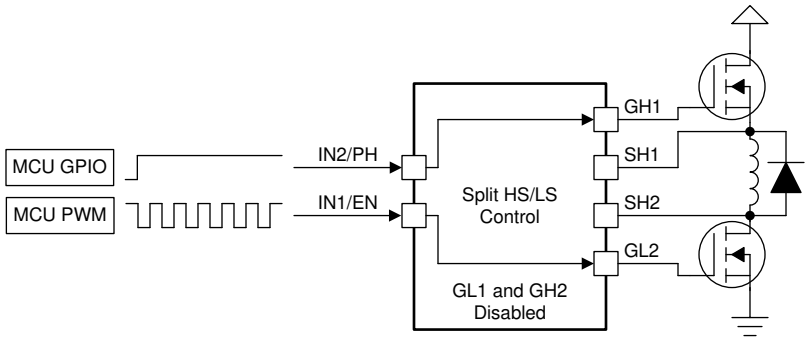


図 7-10. ソレノイド制御の例

7.3.4 スマート ゲート ドライバ

DRV871x-Q1 は、高度で調整可能なフローティング スマート ゲート ドライバ アーキテクチャを採用し、MOSFET を精密に制御するとともに、堅牢なスイッチング性能を実現します。DRV871x-Q1 は、スルーレート制御用ドライバ機能と、デッドタイム ハンドシェイク、寄生 dV/dt ゲート カップリング防止および MOSFET ゲート故障検出用のドライバ ステートマシンを実現します。

高度な適応型駆動機能により、伝搬遅延の低減、デューティ サイクルの歪みの低減、閉ループのプログラム可能なスルー時間を実現しています。高度なスマート ゲート ドライバ機能は、ハーフブリッジ制御 PWM モードと SPI デバイス バリアントでのみ使用できます。高度な機能はゲート ドライバの標準動作を妨げることはなく、システム要件で必要に応じて利用できます。

スマート ゲート ドライブ アーキテクチャの各種機能を以下に要約し、さらに以下のセクションで詳細を説明します。

スマート ゲート ドライバのコア機能:

- ゲート ドライバの機能ブロック図
- スルーレート制御 (IDRIVE)
- ゲート ドライブ ステート マシン (TDRIVE)
- 高度: 伝搬遅延の低減 (PDR)
- 高度: 自動デューティ サイクル補償 (DCC)
- 高度: スルー時間制御 (STC)

注

高度で適応的なドライブ機能やレジスタは、デバイスの通常動作には必要なく、特定のシステム要件に対応するために用意されています。

Copyright © 2026 Texas Instruments Incorporated

表 7-15. スマート ゲート ドライバ用語の説明

コア機能	用語	説明
IDRIVE/TDRIVE	I_{DRVP}	可変 MOSFET スルーレート制御を行うためのプログラマブル ゲートドライバ駆動ソース電流。IDRVP_x 制御レジスタまたは IDRIVE ピンを使用して構成。
	I_{DRVN}	可変 MOSFET スルーレート制御を行うためのプログラマブル ゲート駆動シンク電流。IDRVN_x 制御レジスタまたは IDRIVE ピンを使用して構成。
	I_{HOLD}	非スイッチング期間中の固定ゲートドライバ ホールド プルアップ電流。
	I_{STRONG}	非スイッチング期間中の固定ゲートドライバ強プルダウン電流。
	t_{DRIVE}	I_{HOLD} または I_{STRONG} 以前の $I_{DRVP/N}$ 駆動電流期間。V_{GS} と V_{DS} 障害監視ブランキング期間も実現。VGS_TDRV_x 制御レジスタを使用して構成。
	t_{PD}	ロジック制御信号からゲートドライバ出力変更までの伝搬遅延。
	t_{DEAD}	ハイサイド スイッチとローサイド スイッチの遷移間のボディ ダイオードの導通期間。VGS_TDEAD_x 制御レジスタを使用して構成。
PDR (プリチャージ)	I_{CHR_INIT}	充電制御ループのゲート駆動ソース電流の初期値。PRE_CHR_INIT_xx 制御レジスタを使用して構成
	I_{PRE_CHR}	制御ループがロックされた後のプリチャージ期間におけるゲート駆動ソース電流。KP_PDR_x 制御レジスタで設定された調整レート。PRE_MAX_x 制御レジスタで設定された最大電流クランプ。
	t_{PRE_CHR}	ゲート駆動ソース電流のプリチャージ期間。T_PRE_CHR_x 制御レジスタを使用して構成。
	t_{DON}	プリチャージ期間の開始から立ち上がり V_{SH} が V_{SH_L} スレッショルドを超えるまでの遅延時間。T_DON_DOFF_x 制御レジスタで設定。
	I_{DCHR_INIT}	放電期間制御ループのゲート駆動シンク電流の初期値。PRE_DCHR_INIT_x 制御レジスタを使用して構成。
	I_{PRE_DCHR}	制御ループがロックされた後のプリディスチャージ期間におけるゲート駆動シンク電流。KP_PDR_x 制御レジスタで設定された調整レート。PRE_MAX_x 制御レジスタで設定された最大電流クランプ。
	t_{PRE_DCHR}	ゲート駆動シンク電流事前放電期間。T_PRE_DCHR_x 制御レジスタを使用して構成。
	t_{DOFF}	事前放電期間の開始から V_{SH} が V_{SH_H} スレッショルドを交差するまでの遅延時間。T_DON_DOFF_x 制御レジスタで設定。
	V_{SH_L}	V_{SH} スイッチ ノードの低電圧スレッショルド。AGD_THR 制御レジスタを使用して構成。
	V_{SH_H}	V_{SH} スイッチ ノードの高電圧スレッショルド。AGD_THR 制御レジスタを使用して構成。
PDR (ポスト充電)	I_{PST_CHR}	ポスト充電期間におけるゲート駆動ソース電流。KP_PST_x 制御レジスタで設定された調整レート。
	t_{PST_CHR}	ポスト充電期間のゲート駆動ソース電流の継続時間。
	I_{PST_DCHR}	ポスト放電期間のゲート駆動シンク電流。KP_PST_x 制御レジスタで設定された調整レート。
	t_{PST_DCHR}	ポスト充電期間のゲート駆動ソース電流の継続時間。
	I_{FW_CHR}	フリーホイール充電電流。FW_MAX_x 制御レジスタを使用して構成。
	I_{FW_DCHR}	フリーホイール放電電流。FW_MAX_x 制御レジスタを使用して構成。
STC	t_{RISE}	V_{SHx} が V_{SHx_L} スレッショルドから V_{SHx_H} スレッショルドに到達するまでの時間。T_RISE_FALL_x 制御レジスタを使用して構成。
	t_{FALL}	V_{SHx} が V_{SHx_H} スレッショルドから V_{SHx_L} スレッショルドに到達するまでの時間。T_RISE_FALL_x 制御レジスタを使用して構成。

7.3.4.1 機能ブロック図

図 7-11 は、ハーフブリッジ ゲート ドライバ アーキテクチャの高レベル機能ブロック図を示しています。ゲート ドライバ ブロックは、MOSFET 制御、フィードバック、保護のための各種機能を提供します。これには、可変駆動電流、制御ロジック レベル シフタ、V_{DS}、V_{GS}、V_{SH} (スイッチ ノード) フィードバック コンパレータ、ハイサイド ツェナー クランプ、パッシブ / アクティブ プルダウン抵抗を持つ、相補型のプッシュプル ハイサイド / ローサイド ゲートドライバが含まれています。

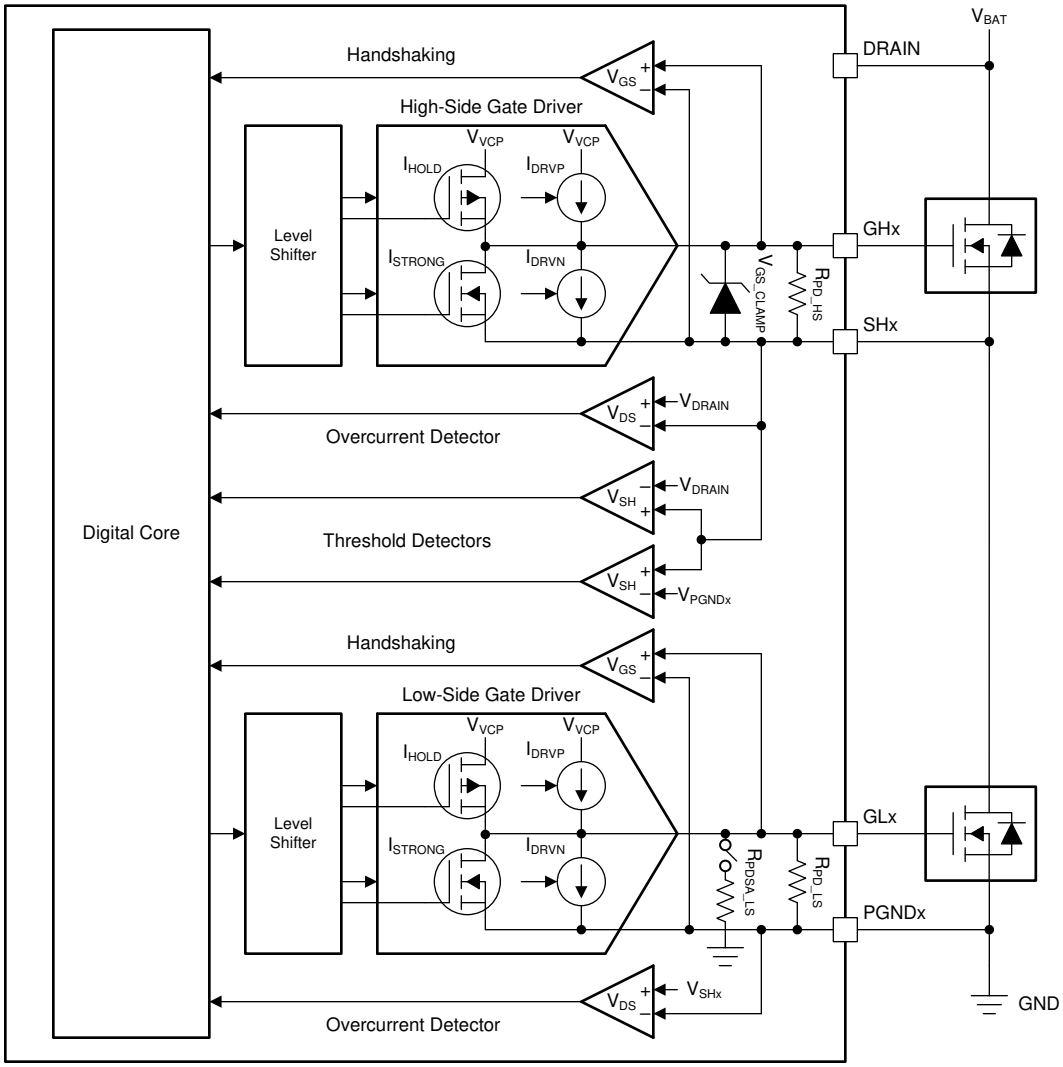


図 7-11. ゲート ドライバの機能ブロック図

7.3.4.2 スルーレート制御 (IDRIVE)

スマート ゲート ドライブ アーキテクチャの IDRIVE コンポーネントには、外部 MOSFET V_{DS} スルーレートを調整するための可変ゲート ドライブ電流制御が実装されています。これは、内部ゲート ドライバ アーキテクチャ用に可変プルアップ (I_{DRVP}) およびプルダウン (I_{DRVN}) 電流ソースを実装することで実現します。

外部 MOSFET の V_{DS} スルーレートは、放射ノイズ / 伝導ノイズ、ダイオード逆回復、dV/dt 寄生ゲート カップリング、ハーフブリッジのスイッチ ノード上の過電圧または低電圧過渡を最適化するのに不可欠な要素です。IDRIVE は、V_{DS} スルーレートが主に MOSFET Q_{GD} またはミラー充電領域中のゲート電荷率 (またはゲート電流) によって決定されるという原理に基づいて動作します。ゲート ドライバでゲート電流を調整できるようにすることで、外部パワー MOSFET のスルーレートを効果的に制御できます。

IDRIVE を使用することで、DRV871x-Q1 は、H/W インターフェイス デバイス上の IDRVP_x と IDRVN_x SPI レジスタまたは IDRIVE ピンにより、ゲート ドライバ電流設定を動的に変更できます。表 7-16 に示すように、このデバイスではソースとシンク電流について、0.5mA～62mA の範囲で、16 の設定が用意されています。ピーク ゲート駆動電流を、t_{DRIVE} 期間に対して使用可能です。MOSFET がスイッチされ、t_{DRIVE} 期間が経過した後、ゲート ドライバは、短絡状態の場合

Copyright © 2026 Texas Instruments Incorporated

に、プルアップ ソース電流に対するホールド電流 (I_{HOLD}) へスイッチして出力電流を制限し、ドライバの効率を向上させます。

SPI インターフェイス デバイスでは、IDRV_LOx 制御レジスタにより、極めて低いスルーレート制御が必要な場合に、0.5mA 未満の電流で 16 段階の設定が可能です。

表 7-16. IDRIVE ソース (I_{DRVP}) とシンク (I_{DRVN}) 電流

IDRVP_x/IDRVN_x	ゲート ソース / シンク電流	
	IDRV_LOx = 0b	IDRV_LOx = 1b
0000b	0.5mA	50µA
0001b	1mA	110µA
0010b	2mA	170µA
0011b	3mA	230µA
0100b	4mA	290µA
0101b	5mA	350µA
0110b	6mA	410µA
0111b	7mA	600µA
1000b	8mA	725µA
1001b	12mA	850µA
1010b	16mA	1mA
1011b	20mA	1.2mA
1100b	24mA	1.4mA
1101b	31mA	1.6mA
1110b	48mA	1.8mA
1111b	62mA	2.3mA

7.3.4.3 ゲート ドライブ ステート マシン (TDRIVE)

スマート ゲート ドライブ アーキテクチャの TDRIVE 構成要素は、自動デッドタイム挿入、寄生 dV/dt ゲート カップリング防止、MOSFET ゲート障害検出を実現する統合型ゲート ドライブ ステート マシンです。

TDRIVE ステート マシンの最初の構成要素は自動デッドタイム ハンドシェイクです。デッドタイムとは、外部ハイサイド / ローサイド MOSFET のスイッチング間のボディ ダイオード伝導期間で、クロス伝導または貫通電流を防止します。DRV871x-Q1 は V_{GS} 監視を使用して、ブレークを実施してから、外部 MOSFET V_{GS} 電圧を測定することでデッドタイム スキーマを構成し、外部 MOSFET を適切にイネーブルにするタイミングを決定します。このスキーマにより、ゲート ドライバが温度ドリフト、エージング、電圧変動、および外部 MOSFET パラメータの変動など、システム内の変動に対するデッドタイムを調整できるようになります。必要に応じて、固定デジタル デッドタイム (t_{DEAD_D}) を追加し、SPI レジスタにより調整できます。

2 番目の部品は、寄生 dV/dt ゲート電荷カップリングの防止に重点を置いています。これは、ハーフブリッジ内の反対側の MOSFET がスイッチングしているときに常時、強ゲート電流プルダウン (I_{STRONG}) をイネーブルにすることで実施します。この機能は、ハーフブリッジ スイッチ ノードのスルーレートが高い場合に外部 MOSFET ゲートにカップリングする寄生電荷を除去するのに役立ちます。

3 番目の部品は、ゲート電圧の問題を検出するためのゲート障害検出方法を実装しています。これは、ピン間の半田付け不良、MOSFET ゲート障害、またはゲートが High または Low に固着した状態を検出するために使用されます。これは、V_{GS} モニタを使用して、t_{DRIVE} 時間の終了後にゲート電圧を測定することで行います。ゲート電圧が適切なスレッショルドに達していない場合、ゲート ドライバは対応するフォルト状況を通知します。障害が誤って検出されないように、MOSFET ゲートの充電または放電に必要な時間より長い t_{DRIVE} 時間を選択する必要があります。t_{DRIVE} 時間によって PWM 時間が延長されることはなく、別の PWM コマンドを受け取った場合はその時点で終了します。

Copyright © 2026 Texas Instruments Incorporated

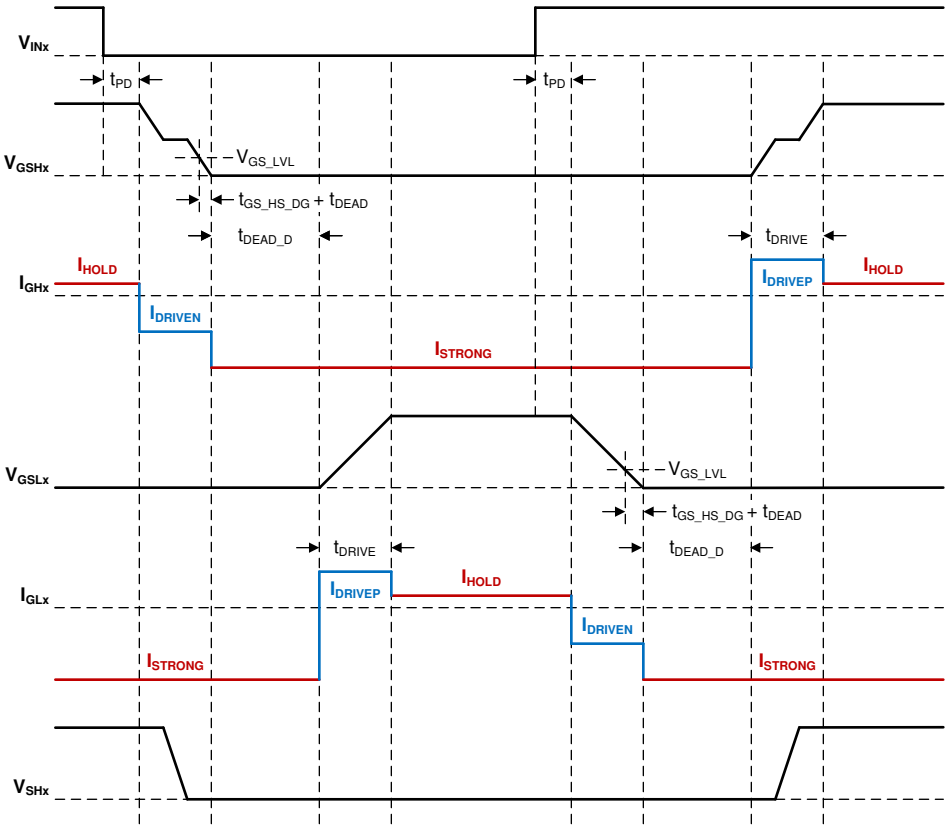


図 7-12. TDRIVE のオン / オフ

7.3.4.4 伝搬遅延の低減 (PDR)

伝搬遅延低減 (PDR) 制御には、充電前伝搬遅延低減機能と充電後加速度機能の 2 つの主な機能があります。PDR 制御機能は、ハーフブリッジ制御 PWM モードと SPI デバイス バリアントでのみ使用できます。

伝搬遅延低減 (PDR) の主な目的は、MOSFET の Q_{GD} ミラー領域に入る前に動的な充電前電流および放電前電流を使用して、外付け MOSFET のターンオンおよびターンオフ遅延を短縮することです。これにより、ドライバは厳しい EMI 要件を満たしつつ、より高いデューティ サイクル分解能およびより低いデューティ サイクル分解能を実現できます。

充電後の加速機能により、MOSFET はより迅速に低い抵抗またはオフ状態に到達し、MOSFET の Q_{GD} ミラー領域の後に充電後および放電後のゲート電流を増やすことで電力損失を最小限に抑えることができます。

図 7-13 に、MOSFET の充電前および充電後の電流プロファイルの例を示します。図 7-14 に示すように、MOSFET の放電前と放電後に対して同じ制御ループが繰り返されます。図 7-15 および図 7-16 に、各種 PWM およびモーターの場合における完全な制御ループの例をいくつか示します。

Copyright © 2026 Texas Instruments Incorporated

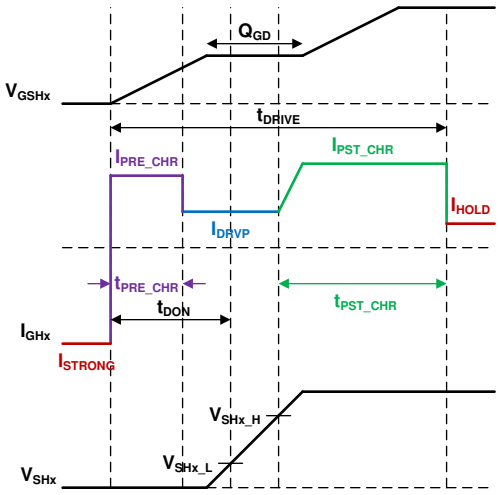


図 7-13. PDR 充電プロファイル

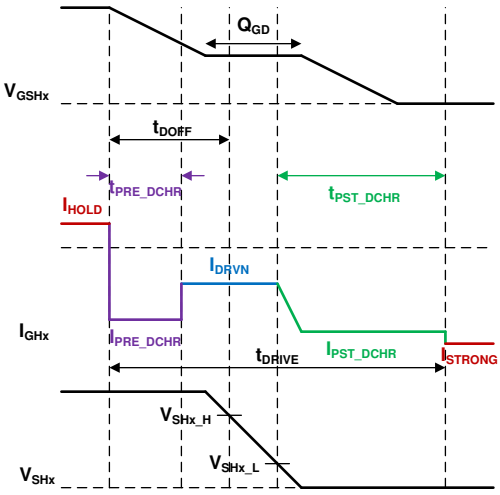


図 7-14. PDR 放電プロファイル

7.3.4.4.1 PDR 事前充電 / 事前放電制御ループ動作の詳細

PDR プリチャージ / プリ放電制御ループは、比例ゲイン誤差制御器 (KP_PDR_x) を介してドライバのプリチャージ電流レベル (I_{PRE_CHR}) およびプリ放電電流レベル (I_{PRE_DCHR}) を動的に調整することにより、ユーザー設定のターンオンおよびターンオフ伝播遅延 (T_DON_DOFF_x) を達成するように動作します。エラーコントローラは、測定された伝搬遅延 (t_{ON}、t_{OFF}) と構成された伝搬遅延 (T_DON_DOFF_x) の差を測定し、次のスイッチングサイクルのプリチャージ電流レベルを更新します。制御ループはデバイスのデフォルト設定で動作させることもできますが、タイミング パラメータ、初期電流レベル、エラーコントローラの強さ、その他の設定を構成できる柔軟性も完全に備えています。

7.3.4.4.1.1 PDR の事前充電 / 事前放電の設定

- PDR 制御ループを有効にします。EN_PDR_x レジスタの設定。
- アクティブな PWM ハーフブリッジを設定します (DRV8718-Q1 のみ)。SET_AGD_x レジスタ設定。注:DRV8718-Q1 では、高度なドライバ制御設定は各ハーフブリッジ ペア (1/2、3/4、5/6、7/8) 間で共有されます。
- 目標 t_{ON} および t_{OFF} 伝搬遅延を設定します。T_DON_DOFF_x レジスタ設定。ドライバとシステムの遅延に対応するため、700ns を超える値を維持することを推奨します。
- **オプションの構成オプション:**
  - 初期電流値を調整します。PRE_CHR_INIT_x、PRE_DCHR_INIT_x レジスタの設定。
  - 事前充電と事前放電の時間の持続時間を調整します。T_PRE_CHR_x、T_PRE_DCHR_x レジスタの設定。
  - 比例ゲイン コントローラの強度を調整します。KP_PDR_x レジスタ設定。
  - 最大電流レベル スレッショルドを調整します。PRE_MAX_x レジスタの設定。

7.3.4.4.2 PDR 充電 / 放電後の制御ループ動作の詳細

PDR の充電後 / 放電後の制御ループは、MOSFET のスイッチング領域を通過した後にドライバのゲート電流を増加させることで動作します。これは、スイッチノード電圧 (V_{SHx}) を測定してから、適切なスレッショルドを超えた後にゲート電流を増加させることで行います。制御ループは、デバイスのデフォルト構成設定で動作できますが、タイミング パラメータ、コントローラの強度、その他の設定を構成できる高い柔軟性があります。

7.3.4.4.2.1 PDR の充電後 / 放電後の設定

- 充電前 / 放電後の制御ループを有効にします。KP_PST_x レジスタ設定。
- アクティブな PWM ハーフブリッジを設定します (DRV8718-Q1 のみ)。SET_AGD_x レジスタ設定。注:DRV8718-Q1 では、高度なドライバ制御設定は各ハーフブリッジ ペア (1/2、3/4、5/6、7/8) 間で共有されます。
- **オプションの構成オプション:**
  - 充電後 / 放電後の開始前に、追加の遅延を追加します。EN_PST_DLY_xx レジスタ設定。
  - 比例ゲイン コントローラの強度を調整します。KP_PST_x レジスタ設定。

7.3.4.4.3 駆動およびフリーホイール MOSFET の検出

デフォルトでは、PDR ループはハーフブリッジからの電流の極性を判定することで、どちらの MOSFET が駆動用 MOSFET で、どちらの MOSFET がフリーホイール MOSFET かを自動的に検出します。これは、デッドタイム中のハーフブリッジ V_{SHx} 電圧を測定して、ハイサイドとローサイドのどちらのボディ ダイオードが導通しているかを判定することで行われます。電流極性を判定できない場合、PWMx_HL によって構成された MOSFET が駆動 MOSFET であると想定されます。自動フリーホイール検出は、IDIR_MAN_x 制御レジスタで無効化できます。手動フリーホイール モードでは、PDR ループは PWMx_HL 制御レジスタに基づいて、どの MOSFET が駆動用 MOSFET であり、どの MOSFET がフリーホイール用 MOSFET であるかを判定します。PWMx_HL = 0b の場合、ハイサイド MOSFET はドライブ MOSFET、ローサイド MOSFET はフリーホイール MOSFET です。PWMx_HL = 1b の場合、ローサイド MOSFET はドライブ MOSFET、ハイサイド MOSFET はフリーホイール MOSFET です。

Copyright © 2026 Texas Instruments Incorporated

図 7-15 に、V_{SHx} スイッチ ノード電圧遷移を制御するハイサイド MOSFET (HS1) と、フリーホイール MOSFET として動作するローサイド MOSFET (LS1) を示します。

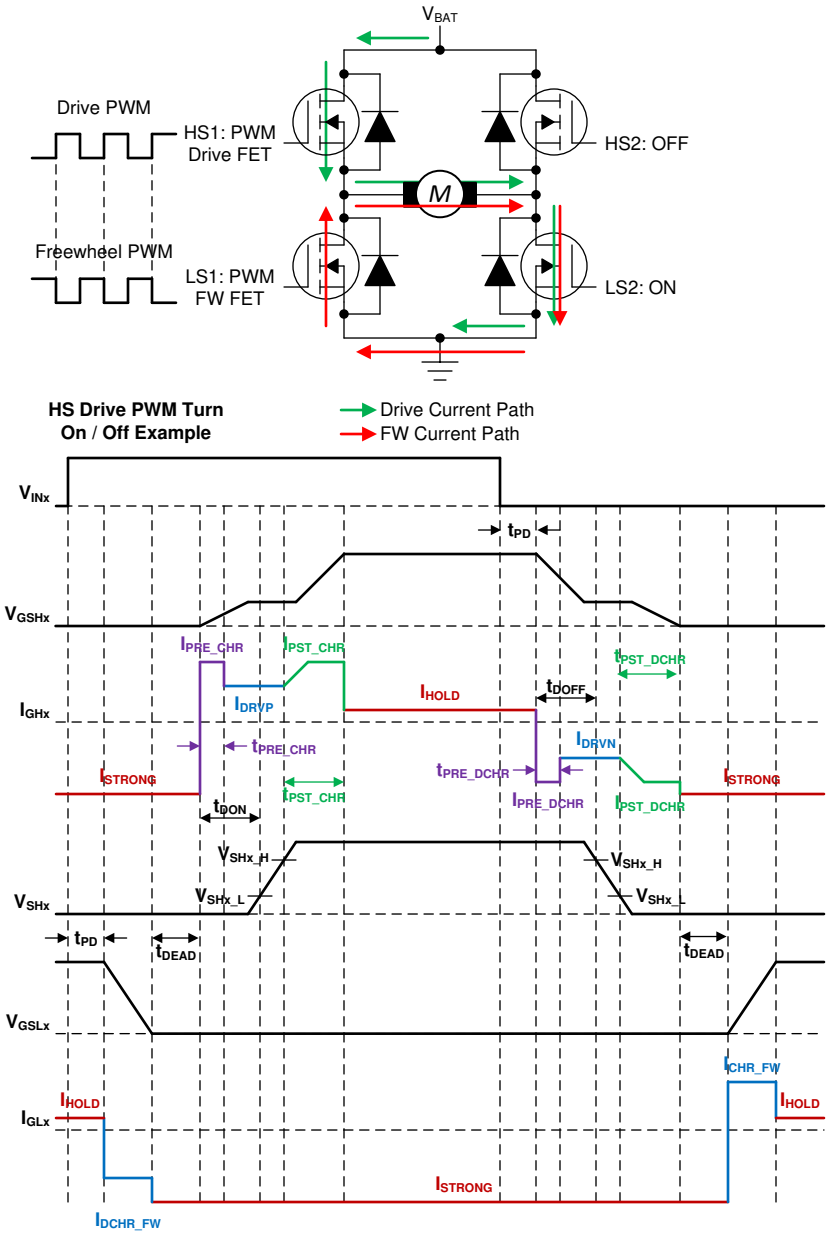


図 7-15. HS 駆動 PWM のターンオン / オフの例

図 7-16 に、V_{SHx} スイッチ ノード電圧遷移を制御するローサイド MOSFET (LS2) と、ハイサイド MOSFET (HS2) がフリーホイール MOSFET として動作する様子を示します。

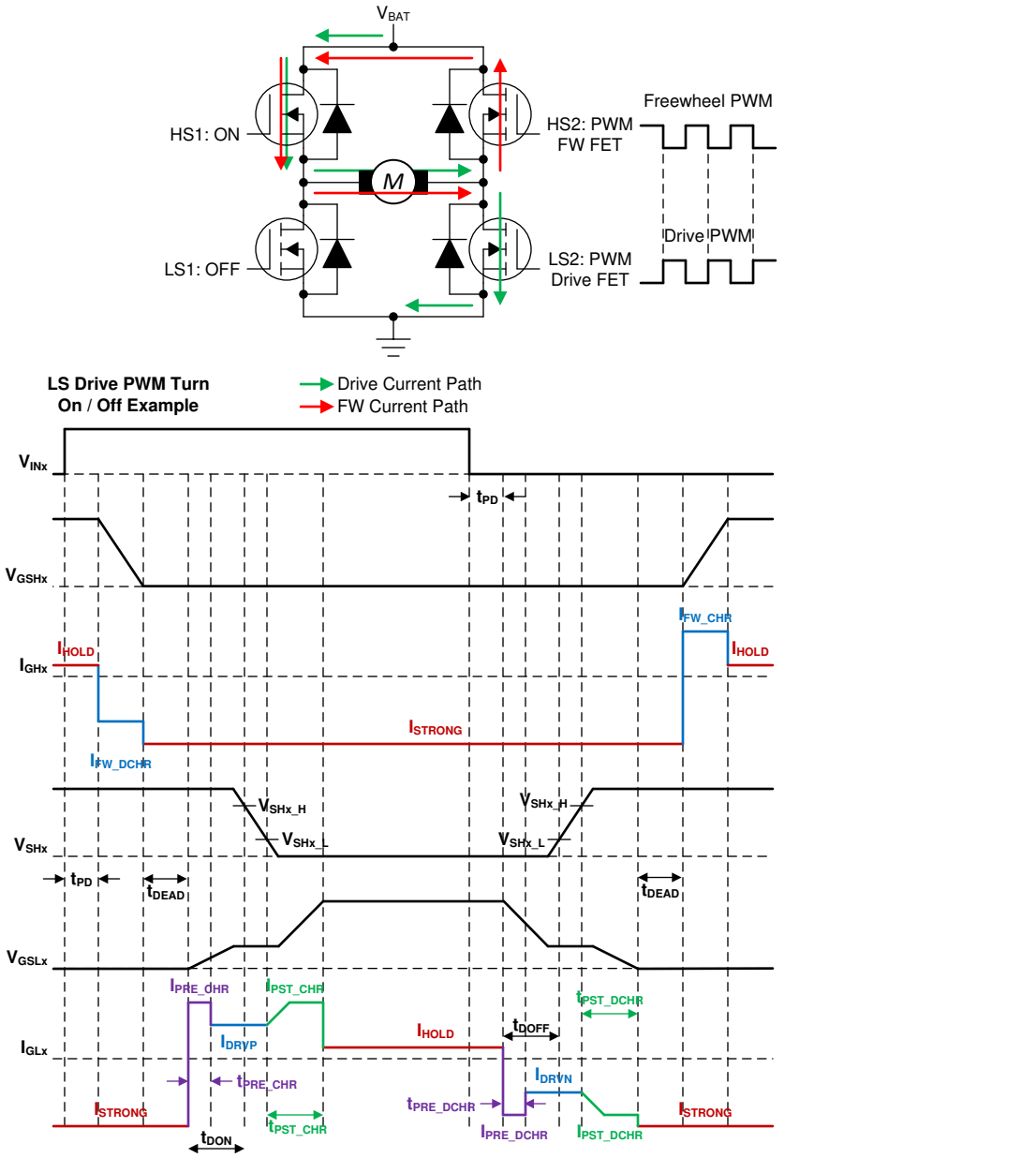


図 7-16. LS 駆動 PWM のターンオン / オフの例

7.3.4.5 自動デューティ サイクル補償 (DCC)

自動デューティ サイクル補償 (DCC) スマート ゲート ドライバ機能は、オンおよびオフ信号を一致させることで、オン/オフ シーケンス間の遅延差によって発生するデューティ サイクルの歪みを低減するための機能です。ターンオン遅延とターンオフ遅延の差は、V_{SHx} のスルーが発生する前に、フリーホイール MOSFET を充電または放電する必要があるかどうかによって決まります。フリーホイール MOSFET がドライブ MOSFET より先に充電または放電すると、不一致が生じ、デューティ サイクルの歪みを引き起こす可能性があります。DCC 制御ループでは、ターンオンとターンオフの両方の遅延を

Copyright © 2026 Texas Instruments Incorporated

一致させるために、追加の遅延が追加されます。この機能は、標準的な駆動モードで、または PDR または STC 制御モードと組み合わせて使用できます。

DCC 機能は、EN_DCC_xx レジスタ設定により有効になります。SET_AGD_xx レジスタ設定により、PWM 制御を受けるアクティブなハーフブリッジを設定します (DRV8718-Q1 のみ)。

7.3.4.6 閉ループ スルー時間制御 (STC)

スルー時間制御 (STC) ループにより、出力スイッチ ノードに特定のスルー立ち上がりおよび立ち下がり時間を設定できます。このデバイスは、ゲート駆動出力電流 (I_{DRVP} および I_{DRVN}) を目的の目標設定に合わせて調整されます。この機能は、標準的な駆動モードで、または PDR または DCC 制御モードと組み合わせて使用できます。

7.3.4.6.1 STC 制御ループのセットアップ

- STC 制御ループを有効にします。EN_STC_x レジスタ設定
- アクティブな PWM ハーフブリッジを設定します (DRV8718-Q1 のみ)。SET_AGD_x レジスタ設定。注:DRV8718-Q1 では、高度なドライバ制御設定は各ハーフブリッジ ペア (1/2、3/4、5/6、7/8) 間で共有されます。
- 目標 t_{RISE} および t_{FALL} 時間を設定します。T_RISE_FALL_x レジスタの設定。
- **オプションの構成オプション:**
- 比例ゲイン コントローラの強度を調整します。KP_STC_x レジスタ設定。

7.3.5 トリプラー (2 段) チャージ ポンプ

外付け MOSFET 用のハイサイド ゲート駆動電圧は、PVDD 電源入力から動作する三倍化 (二段式) チャージ ポンプを使用して生成されます。チャージ ポンプにより、広い入力電源電圧範囲にわたって、外付け N チャネル MOSFET のソース電圧に対して、ハイサイドおよびローサイドのゲートドライバを適切にバイアスすることができます。チャージ ポンプの出力 (V_{VCP}) は、V_{PVDD} に対して一定の電圧を維持するように制御されています。チャージ ポンプは、MOSFET が十分に駆動されない状態や短絡状態を防ぐために、低電圧 (V_{CP_UV}) イベントについて常時監視されています。

チャージ ポンプには、複数の構成オプションがあります。デフォルトでは、電力損失を低減するために、PVDD ピン電圧が V_{CP_SO} スレッショルドを超えると、チャージ ポンプは自動的に三倍化 (二段式) モードと二倍化 (一段式) モードの間を切り替えます。SPI デバイス版では、SPI レジスタ CP_MODE の設定により、チャージ ポンプを常にトリプラ モードまたはダブラ モードに維持するようにも構成できます。

このチャージ ポンプには、PVDD ピン - VCP ピン間の蓄積コンデンサとして機能する、低 ESR、1µF、16V のセラミック コンデンサ (X5R または X7R を推奨) が必要です。さらに、CP1H と CP1L 間、および CP2H と CP2L 間には、フライング コンデンサとして機能するために、低 ESR の 100nF、PVDD 定格のセラミック コンデンサ(X5R または X7R 推奨) が必要です。

注

チャージ ポンプは PVDD ピンに対して制御されているため、スイッチング動作中に外付け MOSFET の適切な V_{GS} を確保できるよう、PVDD ピンと MOSFET 電源との電圧差がスレッショルド以内に制限されていることを確認する必要があります。

7.3.6 広同相モード電流シャント アンプ

DRV871x-Q1 は、外部ハーフブリッジのシャント抵抗を用いた電流測定のために、高性能、広い同相モード範囲、双方向対応の電流シャント アンプを 2 つ内蔵しています。電流測定は、一般に、過電流保護、外部トルク制御、外部コントローラによる整流を実装するために使用されます。シャント アンプの高い同相範囲により、ローサイド、ハイサイド、またはインライン シャント構成をサポートできます。電流シャント アンプは、プログラマブル ゲイン、単方向および双方向対応、出力ブランキング、さらにアンプ出力の中点バイアス電圧を設定するための専用電圧リファレンス ピン (AREF) などの機能を備えています。図 7-17 に、簡略化したブロック図を示します。SPx はシャント抵抗の正端子に接続し、SNx はシャント抵抗の負端子に接続する必要があります。アンプを使用しない場合、AREF、SNx、SPx 入力は AGND に接続し、AGND は PCB の GND に接続し、SOx 出力は未接続のままにします。

Copyright © 2026 Texas Instruments Incorporated

注

ハイサイド センス構成では、nSLEEP = 0V のとき、約 600kΩ から GND へのリークパスが存在することに注意してください。

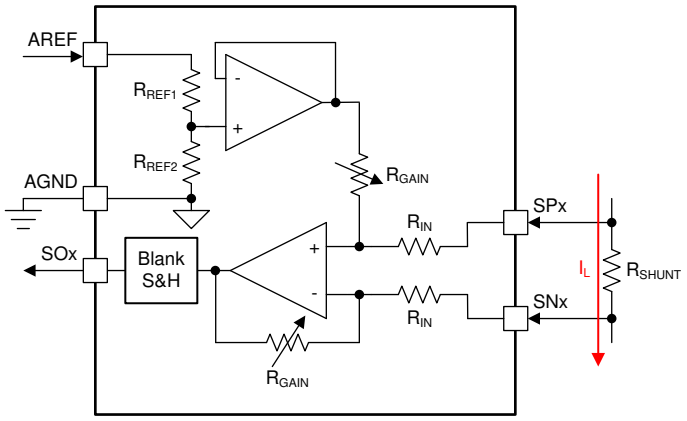


図 7-17. アンプのブロック概略図

図 7-18 に、詳細なブロック図を示します。広同相アンプは、2 段差動アーキテクチャで実装されています。1 番目の差動段では、広い同相入力、差動出力をサポートし、ゲインは G = 2 で固定されています。2 番目の差動段では、可変ゲイン調整、G = 5、10、20、40 をサポートします。2 つの段の合計ゲインは、G = 10、20、40、または 80 となります。

また、アンプは AREF ピンにより、出力電圧バイアスを生成することもできます。AREF ピンは、分圧ネットワークとバッファに向かい、その後、差動アンプの出力電圧バイアスを設定します。SPI デバイス バリアントでは、レジスタ設定 CSA_GAIN と CSA_DIV による基準分圧比によって、ゲインが構成されます。H/W デバイス バリアントでは、基準分圧比は V_{AREF}/2 に固定されています。ゲインは、GAIN ピンにより構成されます。

Copyright © 2026 Texas Instruments Incorporated

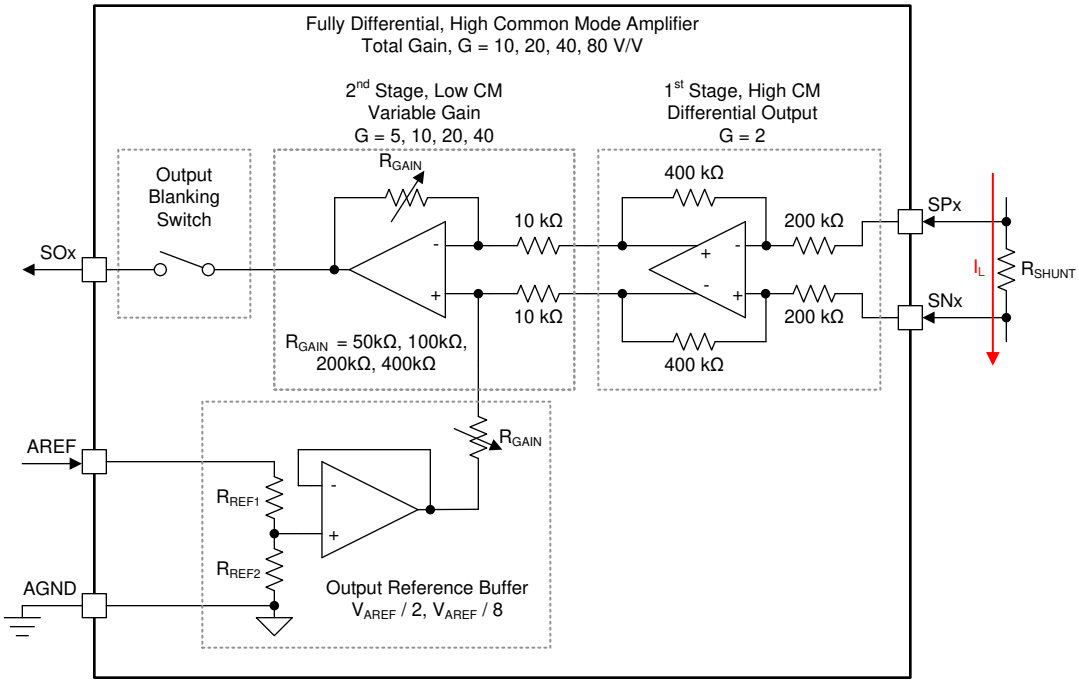


図 7-18. アンプの詳細ブロック図

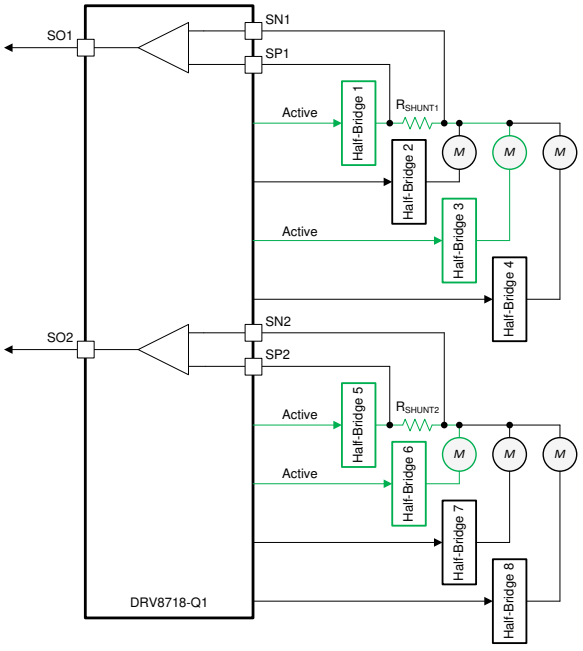


図 7-19. 共有シャント抵抗

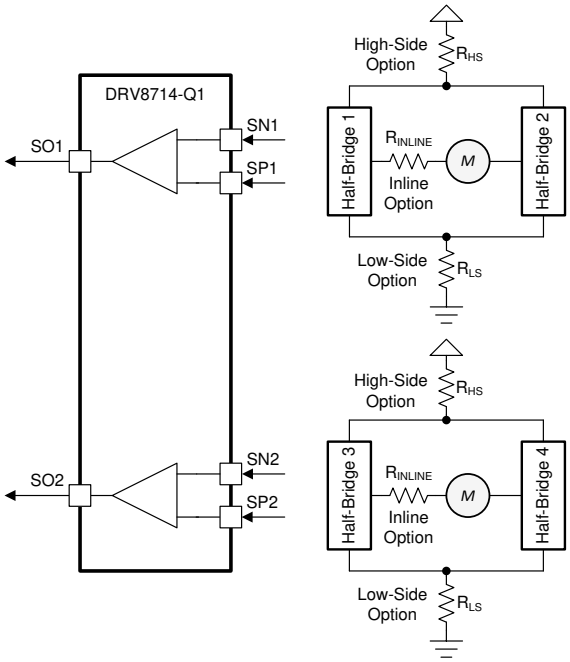


図 7-20. 個別の H ブリッジ シャント抵抗

DRV8718-Q1 のインライン シャントアンプは、共有グループやゾーン制御構成においても、モーター電流を継続的に検出するために使用できます。DRV8714-Q1 は、4 つのハーフブリッジ ゲートドライバに対して 2 つのシャント アンプを備えており、システム要件に応じて個別の H ブリッジ電流検出が可能です。

最後に、アンプには出力ブランキング スイッチがあります。このオプションは、SPI デバイス バリアントでのみ利用可能です。出力スイッチを使用して、PWM スイッチング時にアンプ出力を接続解除し、出力ノイズ (ブランキング) を低減できます。ブランキング回路は、CSA_BLK_SEL_x レジスタ設定により、アクティブなハーフブリッジ (ハーフブリッジ 1 ～ 8) でトリガされるように設定できます。ブランキング期間は、CSA_BLK_x レジスタ設定により構成できます。ゲートドライバがハイサイドとローサイド FET のオン / オフを切り替える際、出力のスイングやノイズがデッドタイム期間中に結合してアンプ信号にノイズを与えるのを避けるため、ブランキング時間はデッドタイム ウィンドウ全体に延長されます。ブランキング中にアンプ出力が切断されたときにアンプ出力を安定させるため、出力保持コンデンサを使用することをお勧めします。通常、このコンデンサはアンプ出力に直接見える容量を制限するため、直列抵抗の後に配置し、RC フィルタ構成とする必要があります。図 7-21 に、ブランキング機能の例を示します。

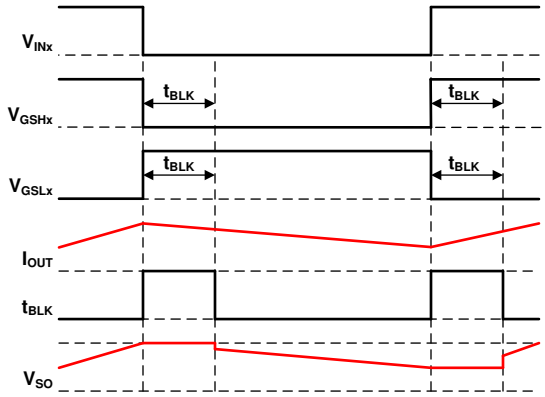


図 7-21. アンプ ブランキング例

7.3.7 ピン配置図

ここでは、すべてのデジタル入出力ピンの I/O 構造を示します。

7.3.7.1 ロジック レベル入力ピン (INx/ENx、INx/PHx、nSLEEP、nSCS、SCLK、SDI)

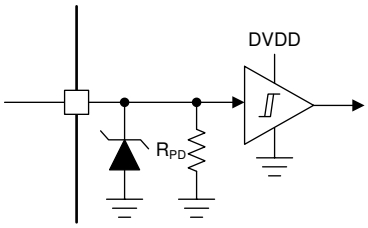


図 7-22. 入力ピンの構造

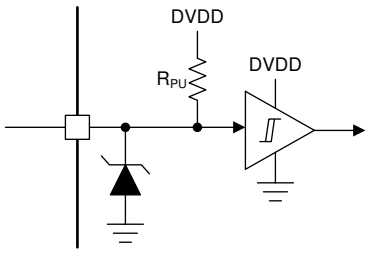


図 7-23. 入力ピンの構造 (nSCS)

7.3.7.2 ロジック レベル プッシュプル出力 (SDO)

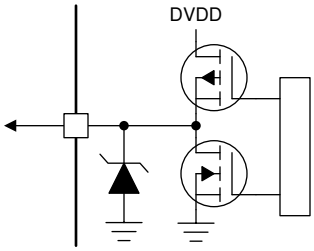


図 7-24. プッシュプル出力構造 (SDO)

Copyright © 2026 Texas Instruments Incorporated

7.3.7.3 ロジック レベル多機能ピン (DRVOFF/nFLT)

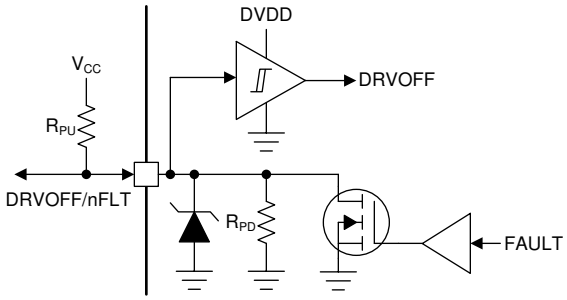


図 7-25. マルチファンクション ピン構造 (DRVOFF/nFLT)

7.3.7.4 クワッドレベル入力 (GAIN、MODE)

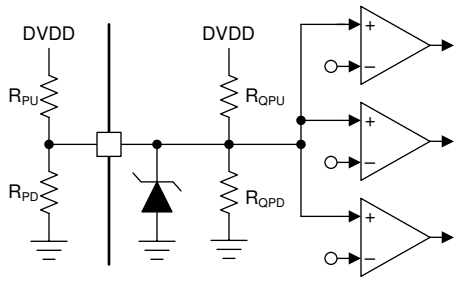


図 7-26. クワッドレベル入力構造 (GAIN、MODE)

7.3.7.5 6 レベル入力 (IDRIVE、VDS)

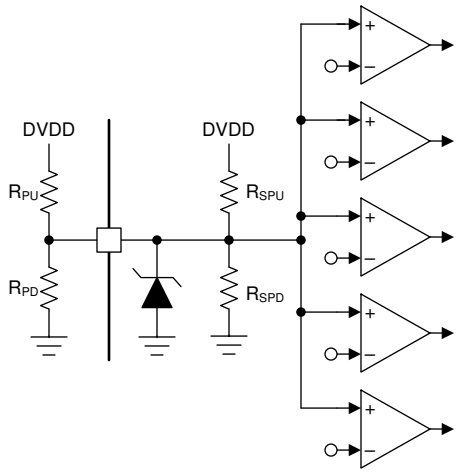


図 7-27. 6 レベル入力構造 (IDRIVE、VDS)

7.3.8 保護および診断機能

7.3.8.1 ゲートドライバ無効化 (DRVOFF/nFLT、EN_DRV)

DRV871x-Q1 は、SPI デバイス版において、DRVOFF/nFLT ピンおよび EN_DRV SPI レジスタ ビットによる専用のドライバ無効化機能を備えています。DRVOFF/nFLT または EN_DRV がアサートされると、他のピンや SPI 入力の状態に関係なく、ゲートドライバのプルダウンが有効化され、すべてのハーフブリッジは ハイ インピーダンスに設定されます。

Copyright © 2026 Texas Instruments Incorporated

EN_DRV SPI レジスタ ビットは、制御された電源投入シーケンスのために用意されています。デバイスの電源投入後、EN_DRV レジスタ ビットが High にアサートされるまで、すべてのハーフブリッジは無効のまま (すべてのプルダウン有効、EN_DRV = 0b) となります。これにより、ゲートドライバがイネーブルになる前に、システムが起動して構成シーケンスを実行することができます。H/W デバイスでは、この機能は提供されておらず、起動後に自動的にドライバがイネーブルになります。

DRVOFF/nFLT ピンは、SPI コマンドや PWM 入力の変更に依存せずに、出力ドライバを直接シャットダウンできるハードウェア ピンを提供します。

DRVOFF/nFLT ピンは、マルチファンクションを設定可能なピンです。デフォルトでは、このピンはグローバルなドライバ無効化として機能します。この機能が不要な場合は、デバイスの DRVOFF_nFLT レジスタ設定により、このピンをマイコン向けのオープン ドレイン故障割り込みとして使用するように変更できます。DRVOFF として構成した場合、ロジック High 入力によりドライバがディスエーブルされ、ロジック Low にすると通常動作が可能になります。

7.3.8.2 低 I_Q 電源オフ ブレーキ (POB、BRAKE)

DRV871x-Q1 は、低消費電力のスリープ モード (nSLEEP = ロジック Low) 時でも、ローサイドのゲートドライバを有効化できる機能を備えています。これにより、電源からの静止電流を低く抑えたまま、外付けのローサイド パワー MOSFET を有効にすることができます。外付けのローサイド MOSFET を有効にすることで、外部ハーフブリッジに接続されたモーターの端子間にバック EMF を短絡させ、デバイスはモーターを能動的にブレーキできます。これにより、外部からの力でモータが逆駆動されることによってシステム電源が過充電になるのを防ぐのに役立ちます。具体的には、エネルギーをローサイド MOSFET で消費します。この機能は、デバイスが低消費電力のスリープ モードにある場合にのみ使用できます。この機能は、BRAKE ピンをロジック High にすることでイネーブルされます。

パワー オフ ブレーキ機能は、DRV8718-Q1 デバイスのハーフブリッジ 5、6、7、および 8 で利用可能です。DRV8714-Q1 では、パワー オフ ブレーキ機能は 4 つすべてのハーフブリッジで利用可能です。BRAKE ピンは、4 つすべてのハーフブリッジのローサイド ゲートドライバを一括で有効または無効にします。パワーオフ ブレーキ機能では、ローサイド ゲートドライバを有効にするために PVDD 電源が供給されている必要がありますが、DVDD のロジック電源は供給されていなくても動作可能です。

パワー ステージに電源への短絡故障が発生した場合に備え、ブレーキ中に大電流が検出されるとローサイド MOSFET を無効化するための、アナログ RC グリッチ除去フィルタ付きのシンプルな過電流検出回路が備えられています。これは、デバイスの低消費電力スリープ モード中は、通常の過電流保護回路がディセーブルされるために必要です。過電流コンパレータと RC グリッチ除去フィルタの値は固定されており、調整できません。

パワー オフ ブレーキ機能は BRAKE ピンによって有効化され、BRAKE ピンは複数の方法で High にプルできます。静止電流を低減するため、デバイスが低消費電力スリープ モード時には、BRAKE ピンのプルダウン抵抗は 1MΩ に設定されます。デバイスが低消費電力スリープ モードの間は、BRAKE ピンを常に High にしておくことも、電源電圧の上昇に応じて High に設定することも可能です。BRAKE ピンには内部電圧クランプが備わっており、ツェナーダイオード (過電圧スレッショルドを設定するため) および電流制限用の直列抵抗を介して、PVDD バッテリ電源に直接接続することができます。パワー オフ機能は、BRAKE ピンを未接続のままにし、内部の過電圧モニタに依存することで、低消費電力スリープ モード時に自動的に有効化するよう設定できます。

BRAKE ピンをプルアップしてパワー オフ ブレーキ機能を有効にする方法として、以下のようなものがあります:

- オプション 1:内部過電圧モニタ。BRAKE ピンは未接続のままにします (Hi-Z)
- オプション 2:受動型ツェナー ダイオードを用いた電圧トリガ型プルアップ。外付けのツェナー ダイオードを BRAKE ピンに追加することで、内部の過電圧モニタよりも低いスレッショルドで動作する過電圧トリガを設定できます。
- オプション 3:マイコンのデジタル出力を常時 High に固定する方法、またはセンサによるモーターの動作検出や電圧上昇に応じてマイコンのデジタル出力を High にする方法。BRAKE ピンへのデジタル出力により、パワー オフ ブレーキ機能の有効 / 無効を直接制御できます (LO = 無効、HI = 有効)。
- オプション 4:パワー オフ ブレーキ機能は、BRAKE ピンを PCB のグランドに直接接続 / 短絡することで無効化できます。

Copyright © 2026 Texas Instruments Incorporated

デフォルトでは (BRAKE ピン未接続時)、パワー オフ ブレーキ機能は内部の過電圧モニタによって有効化されます。このモニタが PVDD 電圧を監視し、コンパレータのスレッショルドを超えるとローサイド ブレーキを有効にします。内部の過電圧モニタおよびパワー オフ ブレーキ機能は、BRAKE ピンを PCB グランドに直接短絡することで無効化できます。

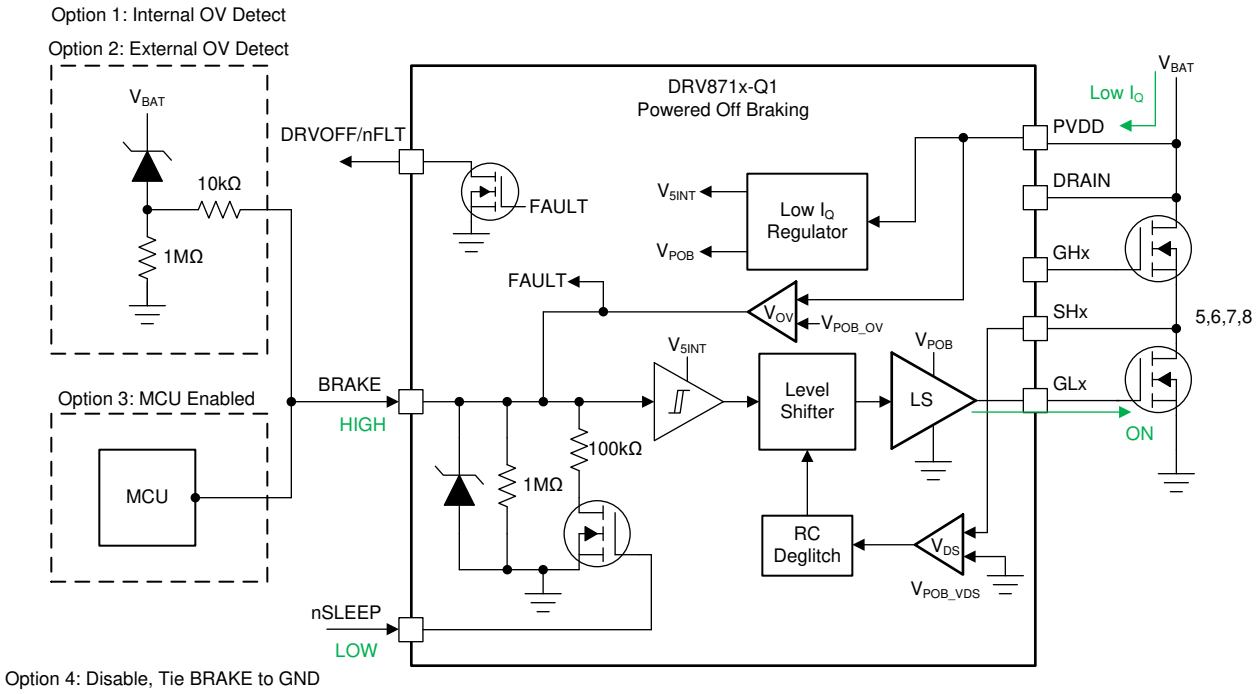


図 7-28. パワー オフ ブレーキ

注

パワー オフ ブレーキ機能を使用しない場合は、BRAKE ピンを GND に直接接続する必要があります。

7.3.8.3 フォルト リセット (CLR_FLT)

DRV871x-Q1 には、ドライバから故障状況をクリアし、動作を再開するための特定のシーケンスが用意されています。この機能は CLR_FLT レジスタ ビットによって動作します。フォルト通知をクリアするには、フォルト状況の解消後、CLR_FLT レジスタ ビットをアサートする必要があります。アサート後、ドライバはフォルトをクリアし、CLR_FLT レジスタ ビットをリセットします。この機能は、SPI デバイスのバリアントでのみ利用できます。H/W デバイスのバリアントでは、その状況が解消されると、すべての障害が自動的に回復します。

7.3.8.4 DVDD ロジック電源パワーオン リセット (DVDD_POR)

DVDD ピンの入力ロジック電源電圧が $t_{DVDD_POR_DG}$ 時間より長い時間 V_{DVDD_POR} スレッショルドを下回るか、nSLEEP ピンが Low にアサートされる場合は常に、デバイスは非アクティブ状態に移行し、ゲート ドライバ、チャージ ポンプ、保護監視を無効化します。DVDD 低電圧状態が解消されるか、nSLEEP ピンが High にアサートされると、通常動作が再開されます。DVDD パワーオン リセット (POR) 後、CLR_FLT が発行されるまで POR レジスタ ビットがアサートされます。

7.3.8.5 PVDD 電源低電圧監視 (PVDD_UV)

PVDD ピンの電源電圧が V_{PVDD_UV} スレッショルドを下回る状態が、$t_{PVDD_UV_DG}$ 時間より長く続くと常に、DRV871x-Q1 は PVDD 低電圧イベントを検出します。低電圧状態の検出後、ゲート ドライバ プルダウンはイネーブル、チャージ ポンプはディセーブルになり、nFAULT ピン、FAULT レジスタ ビット、および PVDD_UV レジスタ ビットがアサートされます。

Copyright © 2026 Texas Instruments Incorporated

SPI デバイス バリアントでは、PVDD 低電圧監視が PVDD_UV_MODE レジスタ設定により、2 つの異なるモードで回復できます。

- **ラッチ フォルト モード:** 低電圧状態の解消後、CLR_FLT が発行されるまでは、フォルト状態はラッチされたままで、チャージ ポンプはディセーブルのままです。
- **自動回復モード:** 低電圧状態が解消されると、nFAULT ピンと FAULT レジスタのビットが自動的にクリアされ、チャージ ポンプは自動的に再びイネーブルになります。PVDD_UV レジスタ ビットは、CLR_FLT が発行されるまでラッチされたままです。

H/W デバイス バリアントでは、PVDD 低電圧監視は自動回復モードに固定されています。

7.3.8.6 PVDD 電源過電圧監視 (PVDD_OV)

PVDD ピンの電源電圧が V_{PVDD_OV} スレッショルドを $t_{PVDD_OV_DG}$ 時間より長い時間超えると、DRV871x-Q1 は PVDD 過電圧状態を検出し、PVDD_OV_MODE レジスタ設定に従い、動作を行います。過電圧スレッショルドとグリッチ除去時間は、PVDD_OV_LVL および PVDD_OV_DG レジスタ設定により調整できます。

SPI デバイス バリアントでは、PVDD 過電圧監視が PVDD_OV_MODE レジスタ設定により、4 つの異なるモードで応答し、回復できます。

- **ラッチ フォルト モード:** 過電圧状態の検出後、ゲート ドライバ プルダウンはイネーブルになり、nFAULT ピン、FAULT レジスタ ビット、および PVDD_OV レジスタ ビットがアサートされます。過電圧状態の解消後、CLR_FLT が発行されるまではフォルト状態はラッチされたままです。
- **自動回復モード:** 過電圧状態の検出後、ゲート ドライバ プルダウンはイネーブルになり、nFAULT ピン、FAULT レジスタ ビット、および PVDD_OV レジスタ ビットがアサートされます。過電圧状態が解消されると、nFAULT ピンと FAULT レジスタのビットが自動的にクリアされ、ドライバが自動的に再びイネーブルになります。PVDD_OV レジスタ ビットは、CLR_FLT が発行されるまでラッチされたままです。
- **警告レポートのみモード:** PVDD 過電圧状態は、WARN および PVDD_OV レジスタ ビット内で通知されます。デバイスは一切対応を行いません。CLR_FLT が発行されるまで、警告はラッチされたままです。
- **ディセーブル モード:** PVDD 過電圧監視はディセーブルとなり、応答や通知を行いません。

H/W デバイス バリアントでは、PVDD 過電圧監視はディセーブルになっています。

7.3.8.7 VCP チャージ ポンプ低電圧誤動作防止 (VCP_UV)

VCP ピンの電圧が V_{VCP_UV} スレッショルドを下回る状態が、$t_{VCP_UV_DG}$ 時間を超えると常に、DRV871x-Q1 は VCP 低電圧状態を検出します。低電圧状態の検出後、ゲート ドライバ プルダウンはイネーブルになり、nFAULT ピン、FAULT レジスタ ビット、および VCP_UV レジスタ ビットがアサートされます。低電圧スレッショルドは、VCP_UV_LVL レジスタ設定により調整できます。

SPI デバイス バリアントでは、VCP 低電圧監視は VCP_UV_MODE レジスタで設定される 2 つの異なるモードで回復できます。

- **ラッチ フォルト モード:** さらに、ラッチ フォルト モードではチャージ ポンプがディセーブルになります。低電圧状態の解消後、CLR_FLT が発行されるまでは、フォルト状態はラッチされたままで、チャージ ポンプはディセーブルのままです。
- **自動回復モード:** 低電圧状態が解消されると、nFAULT ピンと FAULT レジスタのビットが自動的にクリアされ、ドライバが自動的に再びイネーブルになります。VCP_UV レジスタ ビットは、CLR_FLT が発行されるまでラッチされたままです。

H/W デバイス バリアントでは、VCP 低電圧監視は自動回復モードに、スレッショルドは VCP_UV にそれぞれ固定されています。

7.3.8.8 MOSFET V_{DS} 過電流保護 (VDS_OCP)

V_{DS} 過電流コンパレータの両端の電圧が V_{DS_LVL} を t_{DS_DG} 時間より長い時間超えている場合、DRV871x-Q1 は V_{DS} 過電流状態を検出します。電圧スレッショルドとグリッチ除去時間は、VDS_LVL と VDS_DG レジスタ設定により調整できます。さらに、独立ハーフブリッジと DRV8714-Q1 のスプリット HS/LS PWM 制御 (BRG_MODE = 00b、11b) では、すべてのハーフブリッジ、または VDS_IND レジスタ設定により障害が発生した関連するハーフブリッジのみをディスエーブ

Copyright © 2026 Texas Instruments Incorporated

ルにするようにデバイスを構成できます。DRV8714-Q1 PH/EN および PWM H ブリッジ制御モード (BRG_MODE = 01b、10b) では、VDS_IND レジスタ設定を使用して、すべての H ブリッジをディセーブルにするか、または故障が発生した関連する H ブリッジのみをディセーブルにできます。

SPI デバイスのバリアントでは、V_{DS} 過電流モニタが VDS_MODE レジスタにより設定される 4 つの異なるモードで応答し、回復できます。

- **ラッチ フォルト モード:** 過電流イベントの検出後、ゲートドライバ プルダウンはイネーブルになり、nFAULT ピン、FAULT レジスタ ビット、および関連する VDS レジスタ ビットがアサートされます。過電流イベントの解消後、CLR_FLT が発行されるまでフォルト状態はラッチされた状態のままです。
- **サイクルごとのモード:** 過電流イベントの検出後、ゲートドライバ プルダウンはイネーブルになり、nFAULT ピン、FAULT レジスタ ビット、および関連する VDS レジスタ ビットがアサートされます。次の PWM 入力により、nFAULT ピンと FAULT レジスタ ビットがクリアされ、ドライバが再度自動的にイネーブルになります。関連する VDS レジスタ ビットは、CLR_FLT が発行されるまでアサートされた状態のままです。
- **警告レポートのみモード:** 過電流イベントは、警告と関連する VDS レジスタ ビットで通知されます。デバイスは一切対応を行いません。CLR_FLT が発行されるまで、警告はラッチされたままです。
- **ディセーブル モード:** V_{DS} 過電流監視はディセーブルとなり、応答や通知を行いません。

H/W デバイスのバリアントでは、V_{DS} 過電流モードはサイクルごとに固定されており、t_{VDS_DG} は 4µs に固定されています。独立ハーフブリッジおよび分割 HS/LS PWM 制御モードでは、独立したハーフブリッジ シャットダウンが自動的にイネーブルになります。H ブリッジの PWM 制御モードでは、各 H ブリッジの独立シャットダウンが自動的に有効になります。また、VDS ピン マルチレベル入力のレベル 6 により、V_{DS} 過電流保護をディセーブルにできます。

V_{DS} 過電流障害が発生したときは、外部 MOSFET をディセーブルにする時間を延長または短縮するために、ゲート プルダウン電流を構成できます。これにより、大電流の短絡状況でのスロー ターンオフを回避できます。この設定は、SPI デバイスの VDS_IDRVN レジスタ設定により構成されます。ハードウェア デバイスでは、この設定はプログラムされた I_{DRVN} 電流と自動的にマッチングされます。

7.3.8.9 ゲート ドライバ フォルト (VGS_GDF)

V_{GS} 電圧が V_{GS_LVL} コンパレータ レベルを t_{DRIVE} 時間よりも長い時間にわたって超えない場合、DRV871x-Q1 は V_{GS} ゲートの故障状況を検出します。さらに、独立ハーフブリッジと DRV8714-Q1 のスプリット HS/LS PWM 制御 (BRG_MODE = 00b、11b) では、すべてのハーフブリッジ、または VGS_IND レジスタ設定によりゲートに故障が発生した関連するハーフブリッジのみをディスエーブルにするようにデバイスを構成できます。DRV8714-Q1 PH/EN および PWM H ブリッジ制御モード (BRG_MODE = 01b、10b) では、VGS_IND レジスタ設定を使用して、すべての H ブリッジをディセーブルにするか、または故障が発生した関連する H ブリッジのみをディスエーブルにできます。

SPI デバイス バリアントでは、V_{GS} ゲート フォルト モニタが VGS_MODE レジスタ設定により、4 つの異なるモードで応答し、回復できます。

- **ラッチ フォルト モード:** ゲート フォルト イベントの検出後、ゲートドライバ プルダウンはイネーブルになり、nFAULT ピン、FAULT レジスタ ビット、および関連する VGS レジスタ ビットがアサートされます。ゲート フォルト イベントの解消後、CLR_FLT が発行されるまではフォルト状況はラッチされた状態のままです。
- **サイクルごとのモード:** ゲート フォルト イベントの検出後、ゲートドライバ プルダウンはイネーブルになり、nFAULT ピン、FAULT レジスタ ビット、および関連する VGS レジスタ ビットがアサートされます。次の PWM 入力により、nFAULT ピンと FAULT レジスタ ビットがクリアされ、ドライバが再度自動的にイネーブルになります。関連する VGS レジスタ ビットは、CLR_FLT が発行されるまでアサートされた状態のままです。
- **警告レポートのみモード:** 過電流イベントは、警告と関連する VGS レジスタ ビットで通知されます。デバイスは一切対応を行いません。CLR_FLT が発行されるまで、警告はラッチされたままです。
- **ディセーブル モード:** V_{GS} ゲートのフォルト監視はディセーブルとなり、応答や通知を行いません。

H/W デバイス バリアントでは、V_{GS} ゲート フォルト モードはサイクルごとに固定されており、t_{DRIVE} は 4µs に固定されています。独立ハーフブリッジおよび分割 HS/LS PWM 制御モードでは、独立したハーフブリッジ シャットダウンが自動的にイネーブルになります。H ブリッジの PWM 制御モードでは、各 H ブリッジの独立シャットダウンが自動的に有効になります。また、VDS ピン マルチレベル入力のレベル 6 により、V_{GS} ゲート フォルト保護をディセーブルにできます。

Copyright © 2026 Texas Instruments Incorporated

7.3.8.10 過熱警告 (OTW)

ダイ温度が T_{OTW} 過熱警告スレッショルドを上回ると、DRV871x-Q1 は過熱警告を検出し、WARN および OTW レジスタ ビットをアサートします。過熱状態の解消後、CLR_FLT が発行されるまでは、WARN および OTW レジスタ ビットはアサートされたままになります。

H/W デバイス バリアントでは、過熱警告は検出、通知されません。

7.3.8.11 サーマル シャットダウン (OTSD)

ダイ温度が T_{OTSD} サーマル シャットダウン スレッショルドを上回ると、DRV871x-Q1 は過熱故障を検出します。過熱障害の検出後、ゲート ドライバ プルダウンはイネーブルに、チャージ ポンプはディセーブルにそれぞれなり、nFAULT ピン、FAULT レジスタ ビット、および OTSD レジスタ ビットがアサートされます。過熱状態の解消後、CLR_FLT が発行されるまでは、フォルト状態はラッチされたままです。

H/W デバイス バリアントでは、過熱状態が解消されると、nFAULT ピンが自動的にクリアされ、ドライバとチャージ ポンプが自動的に再びイネーブルになります。

7.3.8.12 オフライン短絡とオープン負荷検出 (OOL / OSC)

このデバイスには、オフラインでの短絡を実行し、外部パワー MOSFET と負荷をオープン負荷診断するのに必要なハードウェアが搭載されています。これは外部ハーフブリッジ スイッチ ノードに接続される、SHx ピンの集積プルアップ / プルダウン電流ソースにより、実現しています。オフライン診断は、OLSC_CTRL レジスタ内の関連するレジスタ ビットにより制御されます。まず、EN_OLSC レジスタ設定により、オフライン診断モードをイネーブルにする必要があります。その後、個別の電流ソースを PD_SHx および PU_SHx レジスタ設定によりイネーブルにできます。

SHx ピンの電圧は、内部 V_{DS} コンパレータによって連続的に監視されます。診断状態の間、V_{DS} コンパレータは、関連する VDS レジスタ ステータス ビット内の SPI レジスタ内の SHx ピン ノード上のリアルタイムの電圧帰還を通知します。V_{DS} コンパレータが診断モードの場合、グローバル DS_GS SPI レジスタ ビットは故障または警告を通知しません。

オフライン診断をイネーブルにする前に、EN_DRV レジスタ設定により、外部 MOSFET ハーフブリッジをディスエーブル状態にすることを推奨します。また、V_{DS} コンパレータのスレッショルド (VDS_LVL) は、内部ブロッキング ダイオードの順方向電圧降下に対して十分なヘッドルームを確保するため、1V 以上に調整する必要があります。

H/W デバイスのバリアントでは、この機能は利用できません。

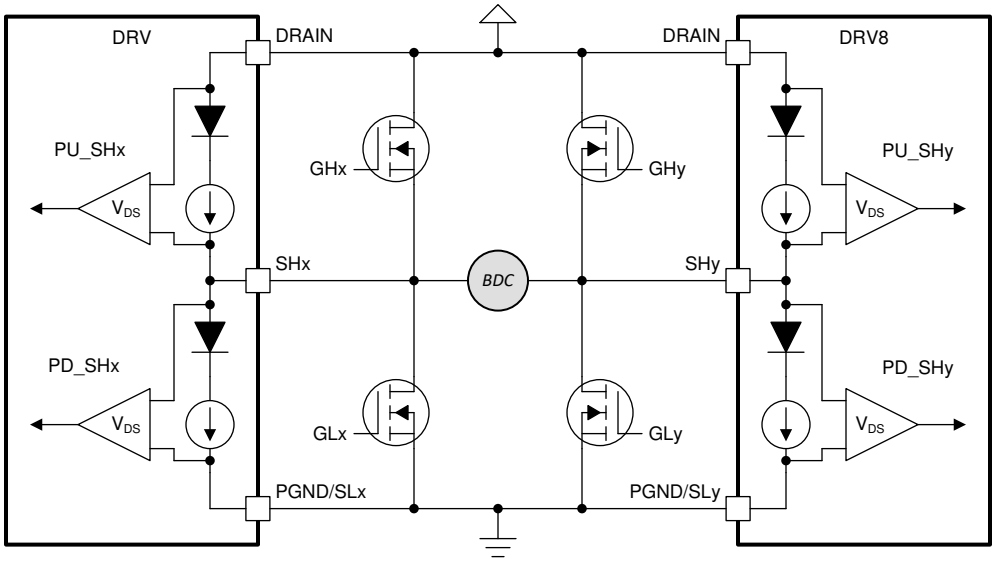


図 7-29. オフライン診断

Copyright © 2026 Texas Instruments Incorporated

注

V_{DS} コンパレータは、OLSC_EN が設定された直後に、リアルタイムの電圧帰還を開始します。適切なプルアップおよびプルダウン構成が設定されるまで、帰還を無視する必要があります。

7.3.8.13 ウォッチドッグ タイマ

このデバイスは、外部コントローラが動作していることを確認し、SPI バスの整合性を監視するために、プログラマブル ウィンドウ タイプの SPI ウォッチドッグ タイマを統合しています。SPI ウォッチドッグ タイマは 、WD_EN SPI レジスタ ビットでイネーブルにできます。ウォッチドッグ タイマは、デフォルトで無効になっています。ウォッチドッグ タイマがイネーブルになると、内部タイマはカウントアップを開始します。ウォッチドッグ タイマは、WD_RST SPI レジスタを反転することでリセットされます。この WD_RST は、下位ウィンドウ時間と上位ウィンドウ時間の間に発行する必要があります。ウォッチドッグ タイマ故障が検出された場合、デバイスの応答は、警告のみを報告するか、故障として報告してハーフブリッジ ドライバを無効化するかを設定できます。ウォッチドッグがハーフブリッジ ドライバを無効化するように設定されている場合、ウォッチドッグ故障状態を解除するために CLR_FLT コマンドを送信すると、ドライバは再度有効化されます。

Copyright © 2026 Texas Instruments Incorporated

7.3.8.14 障害検出と応答の概略表

表 7-17. 障害検出と応答の概略

名称	条件	SPI ビット	モード	デジタル コア	チャージ ポンプ	ゲート ドライバ	電流検出	応答
ドライバのディセーブル	DRVOFF = High または EN_DRV = 0b	該当なし	該当なし	アクティブ	アクティブ	プルダウン	アクティブ	該当なし
SPI クロック障害	無効な SPI ロック フレーム	SCLK_FLT	ラッチ	アクティブ	アクティブ	アクティブ	アクティブ	SPI、拒否フレーム
DVDD パワーオン リセット	DVDD < V_{DVDD_POR}	POR	該当なし	リセット	無効	セミアクティブ プルダウン	無効	SPI
PVDD 低電圧	PVDD < V_{PVDD_UV}	UV、PVDD_UV	ラッチ	アクティブ	無効	セミアクティブ プルダウン	無効	nFAULT、SPI
			自動	アクティブ	無効	セミアクティブ プルダウン	無効	nFAULT、SPI
PVDD 過電圧	PVDD > V_{PVDD_UV}	OV、PVDD_OV	ラッチ	アクティブ	アクティブ	プルダウン	アクティブ	nFAULT、SPI
		OV、PVDD_OV	自動	アクティブ	アクティブ	プルダウン	アクティブ	nFAULT、SPI
		OV、PVDD_OV	警告	アクティブ	アクティブ	アクティブ	アクティブ	WARN、SPI
		該当なし	無効	アクティブ	アクティブ	アクティブ	アクティブ	該当なし
VCP 低電圧	VCP < V_{VCP_UV}	UV、VCP_UV	ラッチ	アクティブ	無効	セミアクティブ プルダウン	無効	nFAULT、SPI
			自動	アクティブ	アクティブ	セミアクティブ プルダウン	無効	nFAULT、SPI
VDS 過電流	VDS > V_{VDS_LVL}	DS_GS、VDS_X	ラッチ	アクティブ	アクティブ	I_{VDS_IDRVN} プルダウン	アクティブ	nFAULT、SPI
			サイクル	アクティブ	アクティブ	I_{VDS_IDRVN} プルダウン	アクティブ	nFAULT、SPI
			警告	アクティブ	アクティブ	アクティブ	アクティブ	WARN、SPI
			無効	アクティブ	アクティブ	アクティブ	アクティブ	該当なし
VGS ゲート障害	VGS > V_{VGS_LVL}	DS_GS、VGS_X	ラッチ	アクティブ	アクティブ	プルダウン	アクティブ	nFAULT、SPI
			サイクル	アクティブ	アクティブ	プルダウン	アクティブ	nFAULT、SPI
			警告	アクティブ	アクティブ	アクティブ	アクティブ	WARN、SPI
			無効	アクティブ	アクティブ	アクティブ	アクティブ	該当なし
過熱警告	$T_J > T_{OTW}$	OT、OTW	自動	アクティブ	アクティブ	アクティブ	アクティブ	WARN、SPI
サーマル シャットダウン	$T_J > T_{OTSD}$	OT、OTSD	ラッチ	アクティブ	無効	セミアクティブ プルダウン	無効	nFAULT、SPI
オフライン オープン負荷	該当なし	VDS_X	マイコン	アクティブ	アクティブ	プルダウン	アクティブ	SPI
オフライン短絡	該当なし	VDS_X	マイコン	アクティブ	アクティブ	プルダウン	アクティブ	SPI
ウォッチドッグ	無効なアクセスまたは期限切れ	WD_FLT	警告	アクティブ	アクティブ	アクティブ	アクティブ	WARN、SPI
			ラッチ フォルト	アクティブ	アクティブ	プルダウン	アクティブ	nFAULT、SPI

7.4 デバイスの機能モード

7.4.1 非アクティブまたはスリープ状態

nSLEEP ピンがロジック Low になるか、または DVDD 電源が V_{DVDD_POR} スレッショルドを下回った場合、デバイスは低消費電力スリープ状態に移行し、デバイスの静止電流を減少させます。この状態では、nSLEEP ピンの低消費電力モニ

Copyright © 2026 Texas Instruments Incorporated

タと、有効化されている場合のパワー オフ ブレーキ機能を除き、すべての主要な機能ブロックは無効化されます。MOSFET をオフ状態で維持するため、外部 MOSFET ゲートに対して、パッシブ ゲート プルダウンが供給されます。非アクティブなスリープ状態を終了すると、すべてのデバイス レジスタはデフォルトにリセットされます。

7.4.2 スタンバイ状態

nSLEEP ピンが論理 High で、DVDD 入力が V_{DVDD_POR} スレッショルドを超えた場合、t_{WAKE} 遅延後、デバイスは電源オン スタンバイ状態に移行します。デジタル コアおよび SPI 通信はアクティブになりますが、PVDD 入力が V_{PVDD_UV} スレッショルドを超えるまで、チャージ ポンプとゲート ドライバはディスエーブルのままになります。この状態では、SPI レジスタのプログラムとフォルト通知が可能ですが、ゲート ドライバ動作はできません。

7.4.3 動作状態

nSLEEP ピンがロジック High で、DVDD 入力が V_{DVDD_POR} スレッショルドを超え、PVDD 入力が V_{PVDD_UV} スレッショルドを超えると、デバイスは最大動作状態に移行します。この状態では、ゲート ドライバ以外の主要な機能ブロックはすべて、アクティブになります。最大動作が開始できるようにする前に、EN_DRV レジスタ ビットにより、ゲート ドライバをイネーブルにする必要があります。

H/W デバイスのバリアントでは、デバイスは動作状態のドライバを自動的にイネーブルにします。

7.5 プログラミング

7.5.1 SPI インターフェイス

DRV871x-Q1 デバイスでは、SPI バスを使用してデバイスの設定や動作パラメータを構成し、診断情報を読み出します。SPI はスレーブ モードで動作し、マスタ コントローラに接続します。SPI 入力データ (SDI) ワードは 16 ビットのワード、8 ビットのコマンド、8 ビットのデータで構成されています。SPI 出力データ (SDO) ワードは、フォルト ステータス表示ビット、および読み出しコマンド用のアクセス中のレジスタ データまたは書き込みコマンド用のヌルで構成されています。MCU と SPI スレーブ ドライバ間のデータ シーケンスを 図 7-30 に示します。

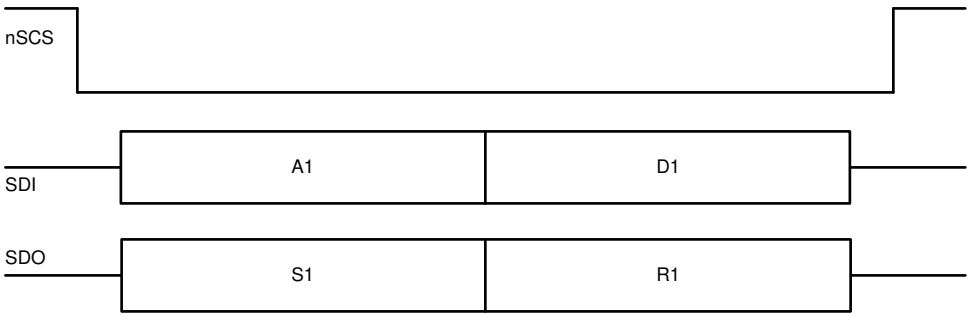


図 7-30. SPI データ フレーム

有効なフレームは次の条件を満たしていなければなりません。

- SCLK ピンは、nSCS ピンが High から Low、Low から High に遷移するときに Low になっている必要があります。
- nSCS ピンは、ワードとワードの間では High にされている必要がある。
- nSCS ピンが High にされているときは、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンがハイ インピーダンス状態になります。
- データは SCLK ピンの立ち下がりエッジで収集され、SCLK ピンの立ち上がりエッジで伝搬される。
- 最上位ビット (MSB) から先にシフト イン / シフト アウトされる。
- トランザクションを有効にするには、16 SCLK サイクルすべてが発生しなければならない。
- SDI ピンに送信されるデータ ワードが 16 ビットより多い / 少ない場合は、フレーム エラー (SCLK_FLT) が発生してデータ ワードが無視される。

Copyright © 2026 Texas Instruments Incorporated

- 書き込みコマンドの場合、書き込み先レジスタ内の既存データは、8 ビットのコマンド データに続いて SDO ピンでシフト アウトされる。

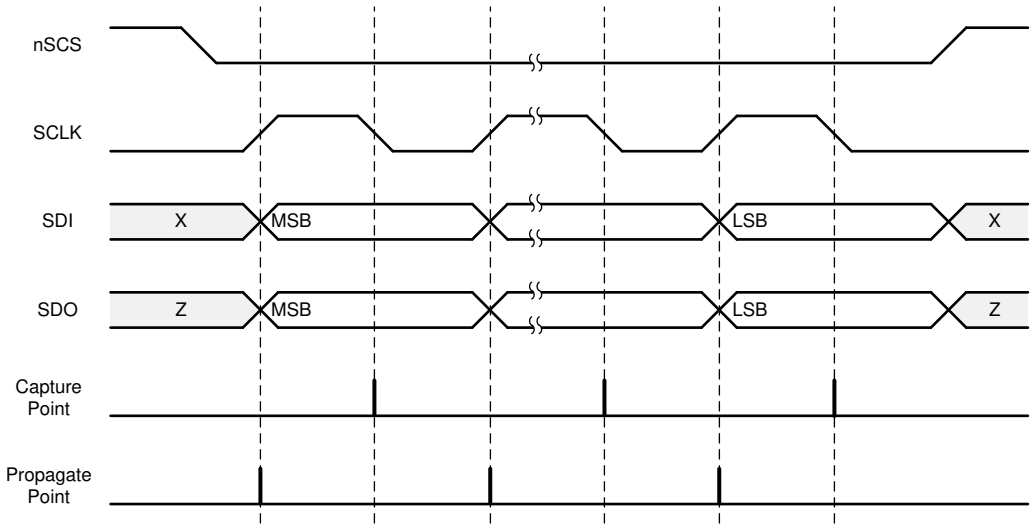


図 7-31. SPI スレーブのタイミング図

7.5.2 SPI フォーマット

SDI 入力データ ワードは 16 ビット長であり、以下のフォーマットで構成されています。

- 1 ビットの読み取りまたは書き込みビット、W (ビット B14)
- 6 アドレス ビット、A (ビット B13～B8)
- 8 データ ビット、D (ビット B7～B0)

SDO 出力データ ワードは 16 ビット長で、最初の 8 ビットが IC ステータス レジスタを構成します。レポート ワードはアクセス中のレジスタの内容です。

書き込みコマンド (W0 = 0) の場合、応答ワードは、フォルト ステータス表示ビットと、書き込まれるレジスタの既存データの後に続きます。

読み取りコマンド (W0 = 1) の場合、応答ワードはフォルト ステータス表示ビットとそれに続く、読み取り中のレジスタ内のデータで構成されます。

表 7-18. SDI 入力データ ワードのフォーマット

		R/W	アドレス						データ							
ビット	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
データ	0	W0	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0

表 7-19. SDO 出力データ ワードのフォーマット

	IC のステータス								レポート							
ビット	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
データ	1	1	フォルト	WARN	DS_GS	UV	OV	OT_WD_AGD	D7	D6	D5	D4	D3	D2	D1	D0

Copyright © 2026 Texas Instruments Incorporated

7.5.3 複数スレーブに対する SPI インターフェイス

複数の DRV871x-Q1 デバイスをマスタ コントローラに接続するためには、デイジー チェーンを使う方法と、使わない方法があります。デイジー チェーンを使用せずに「n」個の DRV871x-Q1 をマスタ コントローラに接続する場合は、図 7-32 に示すように、nSCS ピンのためにマスタ コントローラ側で「n」個の I/O リソースを利用する必要があります。これに対して、デイジー チェーン構成を使用する場合は、単一の nSCS ラインを使って複数の DRV871x-Q1 デバイスを接続できます。図 7-33

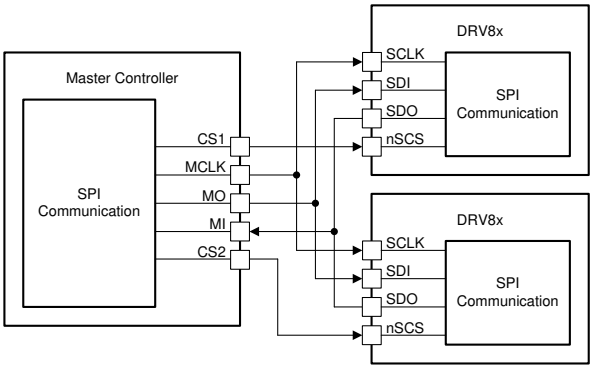


図 7-32. デイジー チェーンを使わない SPI 動作

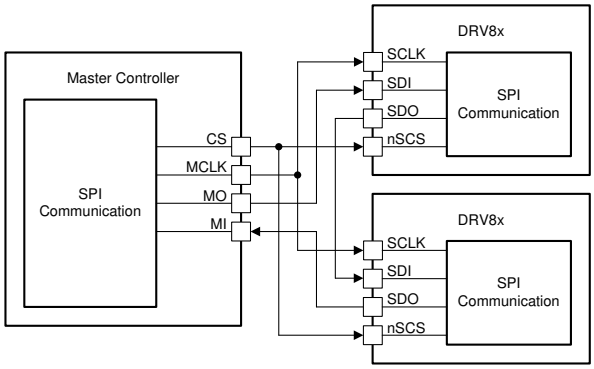


図 7-33. デイジー チェーンを使った SPI 動作

7.5.3.1 デイジー チェーン内の複数のスレーブ用 SPI インターフェイス

DRV871x-Q1 デバイスが同じマイコンと通信する場合に、デバイスをデイジー チェーン構成で接続することで GPIO ポートを節約できます。図 7-34 には、3 つのデバイスを直列に接続する場合のトポロジを波形で示しています。

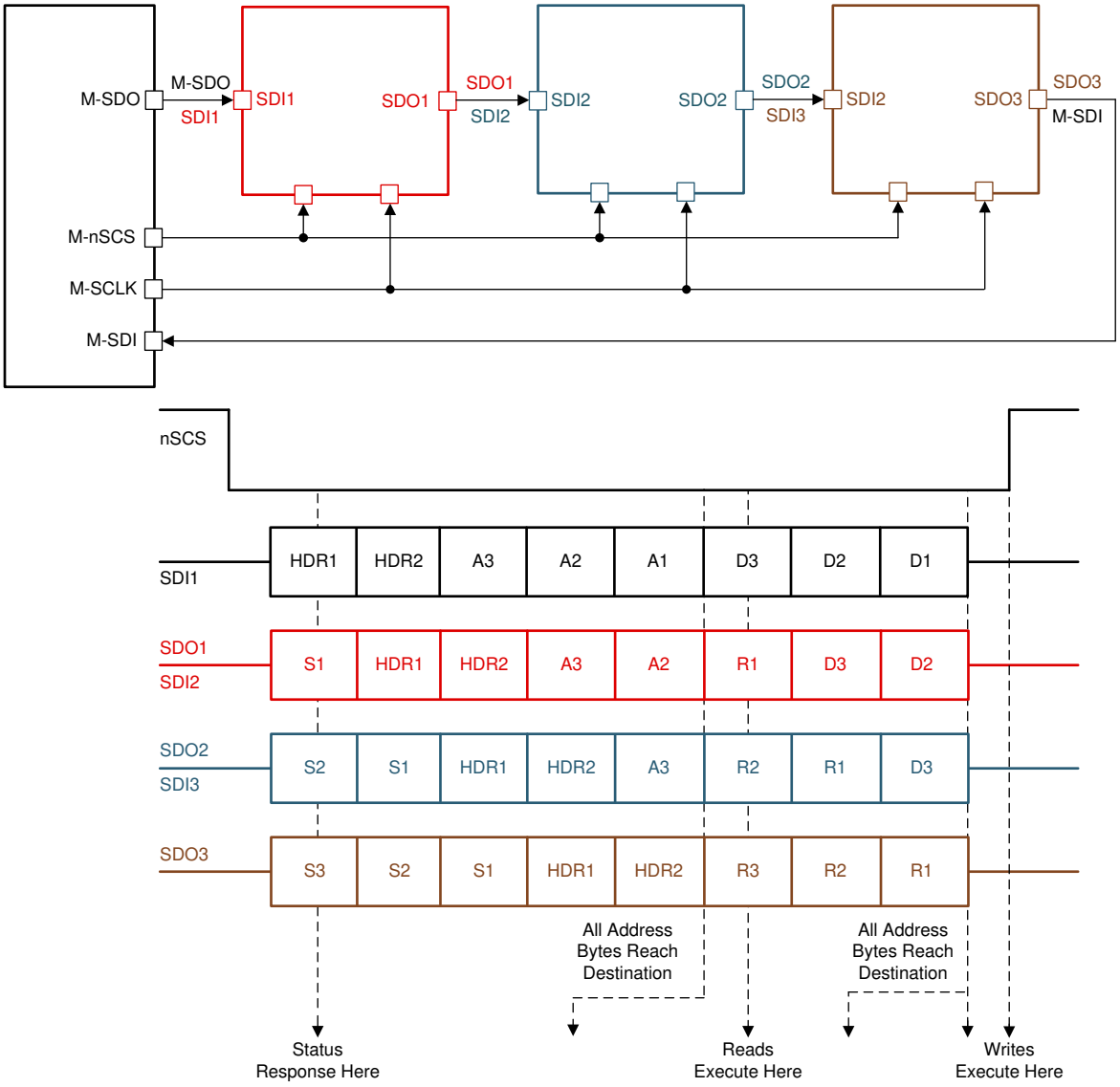


図 7-34. デイジー チェーン SPI 動作

前述のチェーン内の最初のデバイスは、マスタ コントローラから以下のフォーマットでデータを受信します。図 7-34 の SDI1 を参照してください。

- 2 バイトのヘッダ
- 3 バイトのアドレス
- 3 バイトのデータ

チェーンを経由してデータが送信されると、マスタ コントローラは以下のフォーマットでデータを受信します。図 7-34 の SDO3 を参照してください。

- 3 バイトのステータス

Copyright © 2026 Texas Instruments Incorporated

- 2 バイトのヘッダ (コントローラが送信した情報と同一であること)
- 3 バイトのレポート

ヘッダ バイトには、チェーン接続されたデバイス数とグローバル障害クリア コマンドの情報が含まれています。グローバル障害クリア コマンドとは、すべてのデバイスのフォルト レジスタをチップ選択 (nSCS) 信号の立ち上がりエッジでクリアするコマンドです。N5～N0 は、図 7-35 のようにチェーン内のデバイスの数を示す 6 ビットの値です。各デイジー チェーン接続に、最大 63 個のデバイスを直列に接続できます。

HDR2 レジスタの下位 5 ビットは、MCU がデイジー チェーン接続の整合性を判断するために使えるドント ケア ビットです。ヘッダ バイトは、上位 2 ビットが 10 で始まる必要があります。

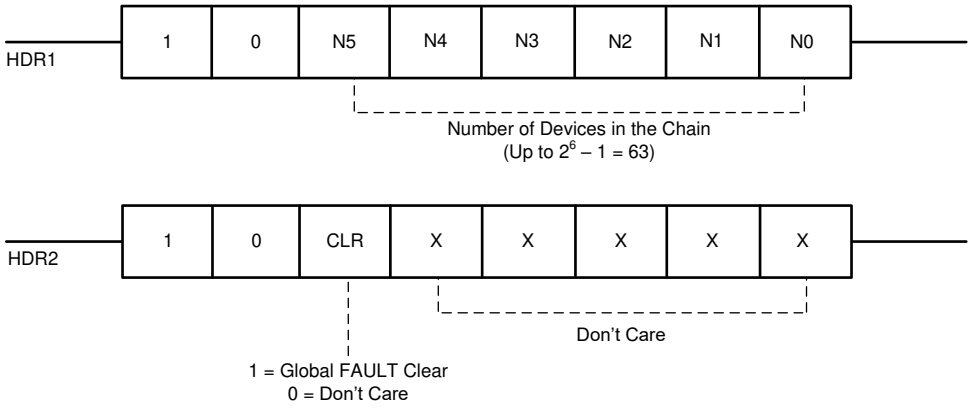


図 7-35. ヘッダ ビット

図 7-36 に示すように、ステータス バイトは、デイジー チェーン内の各デバイスのフォルト ステータス レジスタに関する情報を提供します。このため、マスタ コントローラが読み取りコマンドを実行して、特定のデバイスからフォルト ステータスを読み取る必要はありません。これにより、追加の読み取りコマンド使用することなく、システムは、デバイス内でフラグが立ったフォルト状況をより効率的に特定できます。

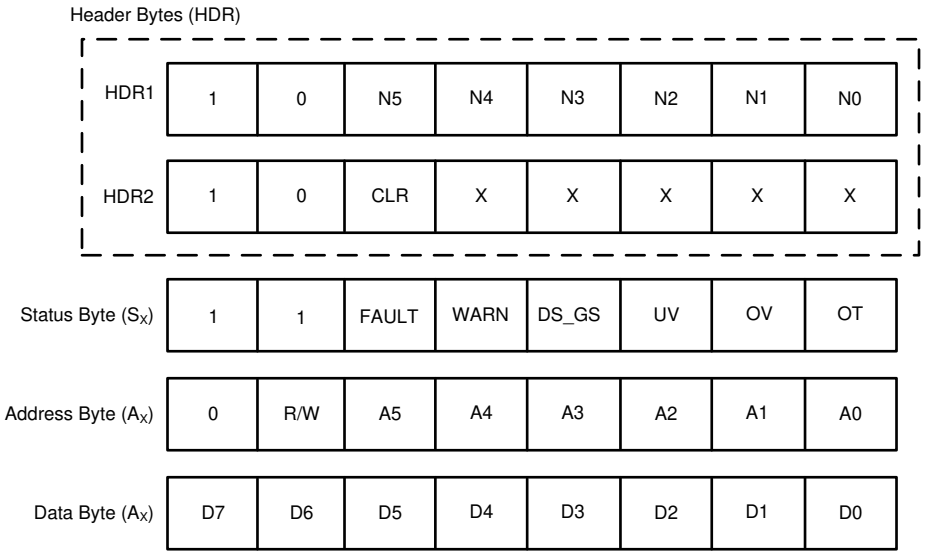


図 7-36. デイジー チェーン読み取りレジスタ

データがデバイスを通過する際、デバイスは最初のヘッダ バイトの前に受信したステータス バイトの数を数えることで、チェーン内の自身の位置を判断します。たとえば、この 3 デバイス構成でチェーン内のデバイス 2 は、HDR1 バイトを受信してから HDR2 バイトを受診する前に、2 つのステータス バイトを受信します。

ステータス バイトが 2 つなので、チェーン内の位置が 2 番目であることがわかります。また、HDR2 バイトから、チェーン内に接続されているデバイスの数がわかります。このようにして、そのデバイスに対応するアドレスおよびデータ バイトのみをバッファに読み込み、その他のビットは無視してバイパスします。このプロトコルは、チェーン接続した最大 63 台のデバイスのシステムにレイテンシを生じさせずに、より高速な通信を可能にします。

アドレスおよびデータ バイトは、単一デバイス接続と同じです。前述の図に示すとおり、レポート バイト (R1～R3) は、アクセス中のレジスタの内容です。

Copyright © 2026 Texas Instruments Incorporated

8 レジスタ マップ

DRV8718-Q1 と DRV8714-Q1 のレジスタは、さまざまなフィードバック情報と設定オプションを提供します。これらには、特定の故障診断機能、一般的なデバイス構成、ドライバ構成、障害と診断の構成、アンプ構成が含まれます。さらに、高度なレジスタ マップは特定のシステム条件に対応するための高度なドライバ機能を提供しますが、デバイスの通常動作には必須ではありません。

ソフトウェア開発および再利用を容易にするために、DRV8718-Q1 と DRV8714-Q1 のレジスタ マップは、デバイス固有の特性による違いはあるものの、共通するレジスタ構造を共有しています。2 つのデバイス レジスタ マップの主な違いは以下のとおりです。

レジスタ マップの相違点:

- DRV8714-Q1:VDS_STAT2 (02h) と VGS_STAT2 (04h) は予約済みです。
- DRV8714-Q1:BRG_CTRL2 (0Ah) と PWM_CTRL2 (0Ch) は、H ブリッジ制御機能に転用されます。
- DRV8714-Q1:PWM_CTRL3 [3:0] (0Dh) PWM_CTRL4 [3:0] (0Eh) は予約済みです。
- DRV8714-Q1:IDRV_CTRL5、6、7、8 (13h、14h、15h、16h) は予約済みです。
- DRV8714-Q1:IDRV_CTRL9 [3:0] (17h) は予約済みです。
- DRV8714-Q1:DRV_CTRL2、3、4、5、6 (19h、1Ah、1Bh、1Ch、1Dh) は現在、H ブリッジ固有 (DRV8718-Q1) ではなく、ハーフブリッジ固有になっています。
- DRV8714-Q1:VDS_CTRL3 (21h) と VDS_CTRL4 (22h) は予約済みです。
- DRV8714-Q1:OLSC_CTRL2 (24h) は予約済みです。

高度なレジスタ マップの違い:

- DRV8714-Q1:すべてのレジスタは、H ブリッジ固有 (DRV8718-Q1) の代わりに、ハーフブリッジ固有になりました。

注

DRV8718-Q1 の 56 ピン VQFN (RVJ) パッケージと DRV8714-Q1 の 56 ピン VQFN (RVJ) パッケージは、ピン配置が完全に一致するドロップイン互換です。なお、DRV8714-Q1 では PCB 配線を容易にするために、ハーフブリッジ 1、2、3、4 の配置が変更されています。

Copyright © 2026 Texas Instruments Incorporated

8.1 DRV8718-Q1 レジスタ マップ

表 8-1 に、DRV8718-Q1.のメモリ マップされたレジスタを示します。この表に記載のないレジスタ アドレスは、すべて予約済み位置と見なすべきであり、レジスタ内容は変更しないでください。予約済み位置の説明は、あくまでも参照目的で提供されています。

表 8-1. DRV8718-Q1 レジスタ マップ

名称	7	6	5	4	3	2	1	0	タイプ	アドレス
IC_STAT1	SPI_OK	POR	フォルト	WARN	DS_GS	UV	OV	OT_WD_AGD	R	00h
VDS_STAT1	VDS_H1	VDS_L1	VDS_H2	VDS_L2	VDS_H3	VDS_L3	VDS_H4	VDS_L4	R	01h
VDS_STAT2	VDS_H5	VDS_L5	VDS_H6	VDS_L6	VDS_H7	VDS_L7	VDS_H8	VDS_L8	R	02h
VGS_STAT1	VGS_H1	VGS_L1	VGS_H2	VGS_L2	VGS_H3	VGS_L3	VGS_H4	VGS_L4	R	03h
VGS_STAT2	VGS_H5	VGS_L5	VGS_H6	VGS_L6	VGS_H7	VGS_L7	VGS_H8	VGS_L8	R	04h
IC_STAT2	PVDD_UV	PVDD_OV	VCP_UV	OTW	OTSD	WD_FLT	SCLK_FLT	RSVD	R	05h
IC_STAT3	RSVD				IC_ID				R	06h
IC_CTRL1	EN_DRV	EN_OLSC	RSVD		LOCK			CLR_FLT	R/W	07h
IC_CTRL2	DIS_SSC	DRVOFF_nFLT	CP_MODE		WD_EN	WD_FLT_M	WD_WIN	WD_RST	R/W	08h
BRG_CTRL1	HB1_CTRL		HB2_CTRL		HB3_CTRL		HB4_CTRL		R/W	09h
BRG_CTRL2	HB5_CTRL		HB6_CTRL		HB7_CTRL		HB8_CTRL		R/W	0Ah
PWM_CTRL1	HB1_PWM		HB2_PWM		HB3_PWM		HB4_PWM		R/W	0Bh
PWM_CTRL2	HB5_PWM		HB6_PWM		HB7_PWM		HB8_PWM		R/W	0Ch
PWM_CTRL3	HB1_HL	HB2_HL	HB3_HL	HB4_HL	HB5_HL	HB6_HL	HB7_HL	HB8_HL	R/W	0Dh
PWM_CTRL4	HB1_FW	HB2_FW	HB3_FW	HB4_FW	HB5_FW	HB6_FW	HB7_FW	HB8_FW	R/W	0Eh
IDRV_CTRL1	IDRVP_1				IDRVN_1				R/W	0Fh
IDRV_CTRL2	IDRVP_2				IDRVN_2				R/W	10h
IDRV_CTRL3	IDRVP_3				IDRVN_3				R/W	11h
IDRV_CTRL4	IDRVP_4				IDRVN_4				R/W	12h
IDRV_CTRL5	IDRVP_5				IDRVN_5				R/W	13h
IDRV_CTRL6	IDRVP_6				IDRVN_6				R/W	14h
IDRV_CTRL7	IDRVP_7				IDRVN_7				R/W	15h
IDRV_CTRL8	IDRVP_8				IDRVN_8				R/W	16h
IDRV_CTRL9	IDRV_LO1	IDRV_LO2	IDRV_LO3	IDRV_LO4	IDRV_LO5	IDRV_LO6	IDRV_LO7	IDRV_LO8	R/W	17h
DRV_CTRL1	VGS_MODE		VGS_IND	VGS_LVL	VGS_HS_DIS	VDS_MODE		VDS_IND	R/W	18h
DRV_CTRL2	RSVD		VGS_TDRV_12			VGS_TDRV_34			R/W	19h
DRV_CTRL3	RSVD		VGS_TDRV_56			VGS_TDRV_78			R/W	1Ah
DRV_CTRL4	VGS_TDEAD_12		VGS_TDEAD_34		VGS_TDEAD_56		VGS_TDEAD_78		R/W	1Bh
DRV_CTRL5	VDS_DG_12		VDS_DG_34		VDS_DG_56		VDS_DG_78		R/W	1Ch
DRV_CTRL6	VDS_IDRVN_12		VDS_IDRVN_34		VDS_IDRVN_56		VDS_IDRVN_78		R/W	1Dh
DRV_CTRL7	RSVD								R/W	1Eh
VDS_CTRL1	VDS_LVL_1				VDS_LVL_2				R/W	1Fh
VDS_CTRL2	VDS_LVL_3				VDS_LVL_4				R/W	20h
VDS_CTRL3	VDS_LVL_5				VDS_LVL_6				R/W	21h
VDS_CTRL4	VDS_LVL_7				VDS_LVL_8				R/W	22h
OLSC_CTRL1	PU_SH_1	PD_SH_1	PU_SH_2	PD_SH_2	PU_SH_3	PD_SH_3	PU_SH_4	PD_SH_4	R/W	23h
OLSC_CTRL2	PU_SH_5	PD_SH_5	PU_SH_6	PD_SH_6	PU_SH_7	PD_SH_7	PU_SH_8	PD_SH_8	R/W	24h
UVOV_CTRL	PVDD_UV_MODE	PVDD_OV_MODE		PVDD_OV_DG		PVDD_OV_LVL	VCP_UV_MODE	VCP_UV_LVL	R/W	25h
CSA_CTRL1	RSVD		CSA_DIV_1	CSA_GAIN_1		CSA_DIV_2	CSA_GAIN_2		R/W	26h
CSA_CTRL2	RSVD		CSA_BLK_SEL_1			CSA_BLK_1			R/W	27h
CSA_CTRL3	RSVD		CSA_BLK_SEL_2			CSA_BLK_2			R/W	28h
RSVD_CTRL	RSVD								R/W	29h

Copyright © 2026 Texas Instruments Incorporated

表 8-2 は、伝搬遅延低減 (PDR)、デューティ サイクル補償 (DCC)、スルー時間制御 (STC) セクションで説明する高度な制御機能を備えています。これらは DRV871x-Q1 の一般的な使用例では必須ではなく、特定のシステム要件に応じて必要に応じて使用できます。

表 8-2. DRV8718-Q1 高度機能レジスタ マップ

名称	7	6	5	4	3	2	1	0	タイプ	アドレス
AGD_CTRL1	AGD_THR		AGD_ISTRONG		SET_AGD_12	SET_AGD_34	SET_AGD_56	SET_AGD_78	R/W	2Ah
PDR_CTRL1	PRE_MAX_12		T_DON_DOFF_12						R/W	2Bh
PDR_CTRL2	PRE_MAX_34		T_DON_DOFF_34						R/W	2Ch
PDR_CTRL3	PRE_MAX_56		T_DON_DOFF_56						R/W	2Dh
PDR_CTRL4	PRE_MAX_78		T_DON_DOFF_78						R/W	2Eh
PDR_CTRL5	T_PRE_CHR_12		T_PRE_DCHR_12		PRE_CHR_INIT_12		PRE_DCHR_INIT_12		R/W	2Fh
PDR_CTRL6	T_PRE_CHR_34		T_PRE_DCHR_34		PRE_CHR_INIT_34		PRE_DCHR_INIT_34		R/W	30h
PDR_CTRL7	T_PRE_CHR_56		T_PRE_DCHR_56		PRE_CHR_INIT_56		PRE_DCHR_INIT_56		R/W	31h
PDR_CTRL8	T_PRE_CHR_78		T_PRE_DCHR_78		PRE_CHR_INIT_78		PRE_DCHR_INIT_78		R/W	32h
PDR_CTRL9	EN_PDR_12	RSVD	KP_PDR_12		EN_PDR_34	RSVD	KP_PDR_34		R/W	33h
PDR_CTRL10	EN_PDR_56	RSVD	KP_PDR_56		EN_PDR_78	RSVD	KP_PDR_78		R/W	34h
STC_CTRL1	T_RISE_FALL_12				EN_STC_12	STC_ERR_12	KP_STC_12		R/W	35h
STC_CTRL2	T_RISE_FALL_34				EN_STC_34	STC_ERR_34	KP_STC_34		R/W	36h
STC_CTRL3	T_RISE_FALL_56				EN_STC_56	STC_ERR_56	KP_STC_56		R/W	37h
STC_CTRL4	T_RISE_FALL_78				EN_STC_78	STC_ERR_78	KP_STC_78		R/W	38h
DCC_CTRL1	EN_DCC_12	EN_DCC_34	EN_DCC_56	EN_DCC_78	IDIR_MAN_12	IDIR_MAN_34	IDIR_MAN_56	IDIR_MAN_78	R/W	39h
PST_CTRL1	FW_MAX_12	FW_MAX_34	FW_MAX_56	FW_MAX_78	EN_PST_DLY_12	EN_PST_DLY_34	EN_PST_DLY_56	EN_PST_DLY_78	R/W	3Ah
PST_CTRL2	KP_PST_12		KP_PST_34		KP_PST_56		KP_PST_78		R/W	3Bh
SGD_STAT1	IDIR_12	IDIR_34	IDIR_56	IDIR_78	IDIR_WARN_12	IDIR_WARN_34	IDIR_WARN_56	IDIR_WARN_78	R	3Ch
SGD_STAT2	PCHR_WARN_12	PCHR_WARN_34	PCHR_WARN_56	PCHR_WARN_12	PDCHR_WARN_12	PDCHR_WARN_12	PDCHR_WARN_12	PDCHR_WARN_12	R	3Dh
SGD_STAT3	STC_WARN_F_12	STC_WARN_F_34	STC_WARN_F_56	STC_WARN_F_78	STC_WARN_R_12	STC_WARN_R_34	STC_WARN_R_56	STC_WARN_R_78	R	3Eh

Copyright © 2026 Texas Instruments Incorporated

8.2 DRV8714-Q1 レジスタ マップ

DRV8714-Q1 レジスタ マップに、DRV8714-Q1 のメモリ マップされたレジスタを示します。この表に記載のないレジスタ アドレスは、すべて予約済み位置と見なすべきであり、レジスタ内容は変更しないでください。予約済み位置の説明は、あくまでも参照目的で提供されています。

表 8-3. DRV8714-Q1 レジスタ マップ

名称	7	6	5	4	3	2	1	0	タイプ	アドレス
IC_STAT1	SPI_OK	POR	フォルト	WARN	DS_GS	UV	OV	OT_WD_AGD	R	00h
VDS_STAT1	VDS_H1	VDS_L1	VDS_H2	VDS_L2	VDS_H3	VDS_L3	VDS_H4	VDS_L4	R	01h
VDS_STAT2	RSVD								R	02h
VGS_STAT1	VGS_H1	VGS_L1	VGS_H2	VGS_L2	VGS_H3	VGS_L3	VGS_H4	VGS_L4	R	03h
VGS_STAT2	RSVD								R	04h
IC_STAT2	PVDD_UV	PVDD_OV	VCP_UV	OTW	OTSD	WD_FLT	SCLK_FLT	RSVD	R	05h
IC_STAT3	RSVD				IC_ID				R	06h
IC_CTRL1	EN_DRV	EN_OLSC	BRG_MODE		LOCK			CLR_FLT	R/W	07h
IC_CTRL2	DIS_SSC	DRVOFF_nFLT	CP_MODE		WD_EN	WD_FLT_M	WD_WIN	WD_RST	R/W	08h
BRG_CTRL1	HB1_CTRL		HB2_CTRL		HB3_CTRL		HB4_CTRL		R/W	09h
BRG_CTRL2	S_IN1/EN1	S_IN2/PH1	HIZ1	RSVD	S_IN3/EN2	S_IN4/PH2	HIZ2	RSVD	R/W	0Ah
PWM_CTRL1	HB1_PWM		HB2_PWM		HB3_PWM		HB4_PWM		R/W	0Bh
PWM_CTRL2	IN1/EN1_MODE	IN2/PH1_MODE	FW1	RSVD	IN3/EN2_MODE	IN4/PH2_MODE	FW2	RSVD	R/W	0Ch
PWM_CTRL3	HB1_HL	HB2_HL	HB3_HL	HB4_HL	RSVD				R/W	0Dh
PWM_CTRL4	HB1_FW	HB2_FW	HB3_FW	HB4_FW	RSVD				R/W	0Eh
IDRV_CTRL1	IDRVP_1				IDRVN_1				R/W	0Fh
IDRV_CTRL2	IDRVP_2				IDRVN_2				R/W	10h
IDRV_CTRL3	IDRVP_3				IDRVN_3				R/W	11h
IDRV_CTRL4	IDRVP_4				IDRVN_4				R/W	12h
IDRV_CTRL5	RSVD								R/W	13h
IDRV_CTRL6	RSVD								R/W	14h
IDRV_CTRL7	RSVD								R/W	15h
IDRV_CTRL8	RSVD								R/W	16h
IDRV_CTRL9	IDRV_LO1	IDRV_LO2	IDRV_LO3	IDRV_LO4	RSVD				R/W	17h
DRV_CTRL1	VGS_MODE		VGS_IND	VGS_LVL	VGS_HS_DIS	VDS_MODE		VDS_IND	R/W	18h
DRV_CTRL2	RSVD		VGS_TDRV_1			VGS_TDRV_2			R/W	19h
DRV_CTRL3	RSVD		VGS_TDRV_3			VGS_TDRV_4			R/W	1Ah
DRV_CTRL4	VGS_TDEAD_1		VGS_TDEAD_2		VGS_TDEAD_3		VGS_TDEAD_4		R/W	1Bh
DRV_CTRL5	VDS_DG_1		VDS_DG_2		VDS_DG_3		VDS_DG_4		R/W	1Ch
DRV_CTRL6	VDS_IDRVN_1		VDS_IDRVN_2		VDS_IDRVN_3		VDS_IDRVN_4		R/W	1Dh
DRV_CTRL7	RSVD								R/W	1Eh
VDS_CTRL1	VDS_LVL_1				VDS_LVL_2				R/W	1Fh
VDS_CTRL2	VDS_LVL_3				VDS_LVL_4				R/W	20h
VDS_CTRL3	RSVD								R/W	21h
VDS_CTRL4	RSVD								R/W	22h
OLSC_CTRL1	PU_SH_1	PD_SH_1	PU_SH_2	PD_SH_2	PU_SH_3	PD_SH_3	PU_SH_4	PD_SH_4	R/W	23h
OLSC_CTRL2	RSVD								R/W	24h
UVOV_CTRL	PVDD_UV_MODE	PVDD_OV_MODE		PVDD_OV_DG		PVDD_OV_LVL	VCP_UV_MODE	VCP_UV_LVL	R/W	25h
CSA_CTRL1	RSVD		CSA_DIV_1	CSA_GAIN_1		CSA_DIV_2	CSA_GAIN_2		R/W	26h
CSA_CTRL2	RSVD		CSA_BLK_SEL_1			CSA_BLK_1			R/W	27h
CSA_CTRL3	RSVD		CSA_BLK_SEL_2			CSA_BLK_2			R/W	28h
RSVD_CTRL	RSVD								R/W	29h

Copyright © 2026 Texas Instruments Incorporated

DRV8714-Q1 高度機能レジスタ マップは、伝搬遅延低減 (PDR)、デューティ サイクル補償 (DCC) 、スルー時間制御 (STC) セクションで説明する高度な制御機能を備えています。これらは DRV871x-Q1 の一般的な使用例では必須ではなく、特定のシステム要件に応じて必要に応じて使用できます。

表 8-4. DRV8714-Q1 高度機能レジスタ マップ

名称	7	6	5	4	3	2	1	0	タイプ	アドレス
AGD_CTRL1	AGD_THR		AGD_ISTRONG		RSVD				R/W	2Ah
PDR_CTRL1	PRE_MAX_1		T_DON_DOFF_1						R/W	2Bh
PDR_CTRL2	PRE_MAX_2		T_DON_DOFF_2						R/W	2Ch
PDR_CTRL3	PRE_MAX_3		T_DON_DOFF_3						R/W	2Dh
PDR_CTRL4	PRE_MAX_4		T_DON_DOFF_4						R/W	2Eh
PDR_CTRL5	T_PRE_CHR_1		T_PRE_DCHR_1		PRE_CHR_INIT_1		PRE_DCHR_INIT_1		R/W	2Fh
PDR_CTRL6	T_PRE_CHR_2		T_PRE_DCHR_2		PRE_CHR_INIT_2		PRE_DCHR_INIT_2		R/W	30h
PDR_CTRL7	T_PRE_CHR_3		T_PRE_DCHR_3		PRE_CHR_INIT_3		PRE_DCHR_INIT_3		R/W	31h
PDR_CTRL8	T_PRE_CHR_4		T_PRE_DCHR_4		PRE_CHR_INIT_4		PRE_DCHR_INIT_4		R/W	32h
PDR_CTRL9	EN_PDR_1	RSVD	KP_PDR_1		EN_PDR_2	RSVD	KP_PDR_2		R/W	33h
PDR_CTRL10	EN_PDR_3	RSVD	KP_PDR_3		EN_PDR_4	RSVD	KP_PDR_4		R/W	34h
STC_CTRL1	T_RISE_FALL_1				EN_STC_1	STC_ERR_1	KP_STC_1		R/W	35h
STC_CTRL2	T_RISE_FALL_2				EN_STC_2	STC_ERR_2	KP_STC_2		R/W	36h
STC_CTRL3	T_RISE_FALL_3				EN_STC_3	STC_ERR_3	KP_STC_3		R/W	37h
STC_CTRL4	T_RISE_FALL_4				EN_STC_4	STC_ERR_4	KP_STC_4		R/W	38h
DCC_CTRL1	EN_DCC_1	EN_DCC_2	EN_DCC_3	EN_DCC_4	IDIR_MAN_1	IDIR_MAN_2	IDIR_MAN_3	IDIR_MAN_4	R/W	39h
PST_CTRL1	FW_MAX_1	FW_MAX_2	FW_MAX_3	FW_MAX_4	EN_PST_DLY_1	EN_PST_DLY_2	EN_PST_DLY_3	EN_PST_DLY_4	R/W	3Ah
PST_CTRL2	KP_PST_1		KP_PST_2		KP_PST_3		KP_PST_4		R/W	3Bh
SGD_STAT1	IDIR_1	IDIR_2	IDIR_3	IDIR_4	IDIR_WARN_1	IDIR_WARN_2	IDIR_WARN_3	IDIR_WARN_4	R	3Ch
SGD_STAT2	PCHR_WARN_1	PCHR_WARN_2	PCHR_WARN_3	PCHR_WARN_4	PDCHR_WARN_1	PDCHR_WARN_2	PDCHR_WARN_3	PDCHR_WARN_4	R	3Dh
SGD_STAT3	STC_WARN_F_1	STC_WARN_F_2	STC_WARN_F_3	STC_WARN_F_4	STC_WARN_R_1	STC_WARN_R_2	STC_WARN_R_3	STC_WARN_R_4	R	3Eh

Copyright © 2026 Texas Instruments Incorporated

8.3 DRV8718-Q1 のレジスタの説明

8.3.1 DRV8718-Q1_STATUS レジスタ

表 8-5 に、DRV8718-Q1_STATUS レジスタの一覧を示します。表 8-5 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-5. DRV8718-Q1_STATUS レジスタ

アドレス	略称	レジスタ名	セクション
0h	IC_STAT1	グローバル故障および警告ステータス インジケータ	表示
1h	VDS_STAT1	ハーフブリッジの 1 ～ 4 VDS 過電流故障ステータス インジケータ	表示
2h	VDS_STAT2	ハーフブリッジの 5 ～ 8 VDS 過電流故障ステータス インジケータ	表示
3h	VGS_STAT1	ハーフブリッジの 1 ～ 4 VGS ゲート故障ステータス インジケータ	表示
4h	VGS_STAT2	ハーフブリッジの 5 ～ 8 VGS ゲート故障ステータス インジケータ	表示
5h	IC_STAT2	電圧、温度、インターフェイスの故障ステータス インジケータ	表示
6h	IC_STAT3	デバイス バリアント ID ステータス レジスタ	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-6 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-6. DRV8718-Q1_STATUS アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
リセットまたはデフォルト値		
- n		リセット後の値またはデフォルト値

8.3.1.1 IC_STAT1 レジスタ (アドレス = 0h) [リセット = C0h]

図 8-1 に、IC_STAT1 を示し、表 8-7 に、その説明を示します。

概略表に戻ります。

グローバルな故障および警告インジケータ用のステータス レジスタ。詳細な故障情報は、他のステータス レジスタで確認できます。

図 8-1. IC_STAT1 レジスタ

7	6	5	4	3	2	1	0
SPI_OK	POR	フォルト	WARN	DS_GS	UV	OV	OT_WD_AGD
R-1b	R-1b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-7. IC_STAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SPI_OK	R	1b	SPI 通信フォルトが検出されたかどうかを示します。 0b = 直前のフレームにおける SCLK_FLT の 1 つまたは複数。 1b = SPI 故障は検出されていません。
6	POR	R	1b	パワーオン リセット状態を示します。 0b = パワーオン リセット状態は検出されていません。 1b = パワーオン リセット状態が検出されています。

Copyright © 2026 Texas Instruments Incorporated

表 8-7. IC_STAT1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	フォルト	R	0b	フォルト インジケータ。nFAULT ピンを反映します。
4	WARN	R	0b	警告インジケータ。
3	DS_GS	R	0b	VDS と VGS 故障インジケータの論理和。
2	UV	R	0b	低電圧インジケータ。
1	OV	R	0b	過電圧インジケータ。
0	OT_WD_AGD	R	0b	OTW、OTSD、WD_FLT、IDIR_WARN、PCHR_WARN、PDCHR_WARN、STC_WARN インジケータの論理 OR。

8.3.1.2 VDS_STAT1 レジスタ (アドレス = 1h) [リセット = 0h]

図 8-2 に、VDS_STAT1 を示し、表 8-8 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 4 の MOSFET VDS 過電流故障表示用のステータス レジスタ。

図 8-2. VDS_STAT1 レジスタ

7	6	5	4	3	2	1	0
VDS_H1	VDS_L1	VDS_H2	VDS_L2	VDS_H3	VDS_L3	VDS_H4	VDS_L4
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-8. VDS_STAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	VDS_H1	R	0b	ハイサイド 1 MOSFET 上の VDS 過電流障害を示します。
6	VDS_L1	R	0b	ローサイド 1 MOSFET 上の VDS 過電流障害を示します。
5	VDS_H2	R	0b	ハイサイド 2 MOSFET 上の VDS 過電流障害を示します。
4	VDS_L2	R	0b	ローサイド 2 MOSFET 上の VDS 過電流障害を示します。
3	VDS_H3	R	0b	ハイサイド 3 MOSFET 上の VDS 過電流障害を示します。
2	VDS_L3	R	0b	ローサイド 3 MOSFET 上の VDS 過電流障害を示します。
1	VDS_H4	R	0b	ハイサイド 4 MOSFET 上の VDS 過電流障害を示します。
0	VDS_L4	R	0b	ローサイド 4 MOSFET 上の VDS 過電流障害を示します。

8.3.1.3 VDS_STAT2 レジスタ (アドレス = 2h) [リセット = 0h]

図 8-3 に、VDS_STAT2 を示し、表 8-9 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 5 ～ 8 の MOSFET VDS 過電流故障表示用のステータス レジスタ。

図 8-3. VDS_STAT2 レジスタ

7	6	5	4	3	2	1	0
VDS_H5	VDS_L5	VDS_H6	VDS_L6	VDS_H7	VDS_L7	VDS_H8	VDS_L8
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-9. VDS_STAT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	VDS_H5	R	0b	ハイサイド 5 MOSFET 上の VDS 過電流障害を示します。

Copyright © 2026 Texas Instruments Incorporated

表 8-9. VDS_STAT2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	VDS_L5	R	0b	ローサイド 5 MOSFET 上の VDS 過電流障害を示します。
5	VDS_H6	R	0b	ハイサイド 6 MOSFET 上の VDS 過電流障害を示します。
4	VDS_L6	R	0b	ローサイド 6 MOSFET 上の VDS 過電流障害を示します。
3	VDS_H7	R	0b	ハイサイド 7 MOSFET 上の VDS 過電流障害を示します。
2	VDS_L7	R	0b	ローサイド 7 MOSFET 上の VDS 過電流障害を示します。
1	VDS_H8	R	0b	ハイサイド 8 MOSFET 上の VDS 過電流障害を示します。
0	VDS_L8	R	0b	ローサイド 8 MOSFET 上の VDS 過電流障害を示します。

8.3.1.4 VGS_STAT1 レジスタ (アドレス = 3h) [リセット = 0h]

図 8-4 に、VGS_STAT1 を示し、表 8-10 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 4 の MOSFET VGS ゲート故障表示用のステータス レジスタ。

図 8-4. VGS_STAT1 レジスタ

7	6	5	4	3	2	1	0
VGS_H1	VGS_L1	VGS_H2	VGS_L2	VGS_H3	VGS_L3	VGS_H4	VGS_L4
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-10. VGS_STAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	VGS_H1	R	0b	ハイサイド 1 MOSFET 上の VGS ゲート障害を示します。
6	VGS_L1	R	0b	ローサイド 1 MOSFET 上の VGS ゲート障害を示します。
5	VGS_H2	R	0b	ハイサイド 2 MOSFET 上の VGS ゲート障害を示します。
4	VGS_L2	R	0b	ローサイド 2 MOSFET 上の VGS ゲート障害を示します。
3	VGS_H3	R	0b	ハイサイド 3 MOSFET 上の VGS ゲート障害を示します。
2	VGS_L3	R	0b	ローサイド 3 MOSFET 上の VGS ゲート障害を示します。
1	VGS_H4	R	0b	ハイサイド 4 MOSFET 上の VGS ゲート障害を示します。
0	VGS_L4	R	0b	ローサイド 4 MOSFET 上の VGS ゲート障害を示します。

8.3.1.5 VGS_STAT2 レジスタ (アドレス = 4h) [リセット = 0h]

図 8-5 に、VGS_STAT2 を示し、表 8-11 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 5 ～ 8 の MOSFET VGS ゲート故障表示用のステータス レジスタ。

図 8-5. VGS_STAT2 レジスタ

7	6	5	4	3	2	1	0
VGS_H5	VGS_L5	VGS_H6	VGS_L6	VGS_H7	VGS_L7	VGS_H8	VGS_L8
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-11. VGS_STAT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	VGS_H5	R	0b	ハイサイド 5 MOSFET 上の VGS ゲート障害を示します。

Copyright © 2026 Texas Instruments Incorporated

表 8-11. VGS_STAT2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	VGS_L5	R	0b	ローサイド 5 MOSFET 上の VGS ゲート障害を示します。
5	VGS_H6	R	0b	ハイサイド 6 MOSFET 上の VGS ゲート障害を示します。
4	VGS_L6	R	0b	ローサイド 6 MOSFET 上の VGS ゲート障害を示します。
3	VGS_H7	R	0b	ハイサイド 7 MOSFET 上の VGS ゲート障害を示します。
2	VGS_L7	R	0b	ローサイド 7 MOSFET 上の VGS ゲート障害を示します。
1	VGS_H8	R	0b	ハイサイド 8 MOSFET 上の VGS ゲート障害を示します。
0	VGS_L8	R	0b	ローサイド 8 MOSFET 上の VGS ゲート障害を示します。

8.3.1.6 IC_STAT2 レジスタ (アドレス = 5h) [リセット = 0h]

図 8-6 に、IC_STAT2 を示し、表 8-12 に、その説明を示します。

概略表に戻ります。

低電圧、過電圧、過温度、およびインターフェイス故障の各表示用ステータス レジスタ。

図 8-6. IC_STAT2 レジスタ

7	6	5	4	3	2	1	0
PVDD_UV	PVDD_OV	VCP_UV	OTW	OTSD	WD_FLT	SCLK_FLT	予約済み
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-12. IC_STAT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PVDD_UV	R	0b	PVDD ピンの低電圧障害を示します。
6	PVDD_OV	R	0b	PVDD ピン上の過電圧障害を示します。
5	VCP_UV	R	0b	VCP ピンの低電圧障害を示します。
4	OTW	R	0b	過熱警告を示します。
3	OTSD	R	0b	過熱シャットダウンを示します。
2	WD_FLT	R	0b	ウォッチドッグ タイマの故障を示します。
1	SCLK_FLT	R	0b	トランザクション フレーム内の SCLK パルスの数が 16 と等しくない場合に、SPI クロック(フレーム)エラーを示します。FAULT または nFAULT ピンで通知されません。
0	予約済み	R	0b	予約済み

8.3.1.7 IC_STAT3 レジスタ (アドレス = 6h) [リセット = 8h]

図 8-7 に、IC_STAT3 を示し、表 8-13 に、その説明を示します。

概略表に戻ります。

DRV8718-Q1 または DRV8714-Q1 のデバイス ID を含むステータス レジスタ。

図 8-7. IC_STAT3 レジスタ

7	6	5	4	3	2	1	0
予約済み				IC_ID			
R-0000b				R-1000b			

表 8-13. IC_STAT3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0000b	予約済み
3-0	IC_ID	R	1000b	デバイス識別フィールド。 0100b = DRV8714-Q1、4 つのハーフブリッジ ゲートドライバ。 1000b = DRV8718-Q1、8 つのハーフブリッジ ゲートドライバ。

Copyright © 2026 Texas Instruments Incorporated

8.3.2 DRV8718-Q1_CONTROL レジスタ

表 8-14 に、DRV8718-Q1_CONTROL レジスタの一覧を示します。表 8-14 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-14. DRV8718-Q1_CONTROL レジスタ

アドレス	略称	レジスタ名	セクション
7h	IC_CTRL1	デバイス汎用機能制御レジスタ 1	表示
8h	IC_CTRL2	デバイス汎用機能制御レジスタ 2	表示
9h	BRG_CTRL1	ハーフブリッジ 1 ～ 4 の出力状態制御	表示
Ah	BRG_CTRL2	ハーフブリッジ 5 ～ 8 の出力状態制御	表示
Bh	PWM_CTRL1	ハーフブリッジ 1 ～ 4 PWM マッピング制御	表示
Ch	PWM_CTRL2	ハーフブリッジ 5 ～ 8 PWM マッピング制御	表示
Dh	PWM_CTRL3	ハーフブリッジ 1 ～ 8 のハイサイドまたはローサイド駆動制御	表示
Eh	PWM_CTRL4	ハーフブリッジ 1 ～ 8 フリーホイール構成	表示
Fh	IDRV_CTRL1	ハーフブリッジ 1 ゲートドライブのソース / シンク電流	表示
10h	IDRV_CTRL2	ハーフブリッジ 2 ゲートドライブのソース / シンク電流	表示
11h	IDRV_CTRL3	ハーフブリッジ 3 ゲートドライブのソース / シンク電流	表示
12h	IDRV_CTRL4	ハーフブリッジ 4 ゲートドライブのソース / シンク電流	表示
13h	IDRV_CTRL5	ハーフブリッジ 5 ゲートドライブのソース / シンク電流	表示
14h	IDRV_CTRL6	ハーフブリッジ 6 ゲートドライブのソース / シンク電流	表示
15h	IDRV_CTRL7	ハーフブリッジ 7 ゲートドライブのソース / シンク電流	表示
16h	IDRV_CTRL8	ハーフブリッジ 8 ゲートドライブのソース / シンク電流	表示
17h	IDRV_CTRL9	ハーフブリッジ 1 ～ 8 のゲート駆動低電流制御	表示
18h	DRV_CTRL1	ゲートドライバの VGS と VDS 監視構成	表示
19h	DRV_CTRL2	ハーフブリッジ 1 ～ 4 の VGS および VDS の tDRV 設定	表示
1Ah	DRV_CTRL3	ハーフブリッジ 5 ～ 8 の VGS および VDS の tDRV 設定	表示
1Bh	DRV_CTRL4	ハーフブリッジ 1 ～ 8 VGS tDEAD_D 構成	表示
1Ch	DRV_CTRL5	ハーフブリッジ 1 ～ 8 VDS tDS_DG 構成	表示
1Dh	DRV_CTRL6	ハーフブリッジ 1 ～ 8 VDS 故障プルダウン電流の構成	表示
1Fh	VDS_CTRL1	ハーフブリッジ 1 および 2 の VDS の過電流スレッショルド	表示
20h	VDS_CTRL2	ハーフブリッジ 3 および 4 の VDS の過電流スレッショルド	表示
21h	VDS_CTRL3	ハーフブリッジ 5 および 6 の VDS の過電流スレッショルド	表示
22h	VDS_CTRL4	ハーフブリッジ 7 および 8 の VDS の過電流スレッショルド	表示
23h	OLSC_CTRL1	ハーフブリッジ 1 ～ 4 オフライン診断制御	表示
24h	OLSC_CTRL2	ハーフブリッジ 5 ～ 8 オフライン診断制御	表示
25h	UVOV_CTRL	低電圧および過電圧モニタの構成。	表示
26h	CSA_CTRL1	シャント アンプ 1 および 2 の構成	表示
27h	CSA_CTRL2	シャント アンプ 1 のブランキング構成	表示
28h	CSA_CTRL3	シャント アンプ 2 のブランキング構成	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-15 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-15. DRV8718-Q1_CONTROL アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		

Copyright © 2026 Texas Instruments Incorporated

表 8-15. DRV8718-Q1_CONTROL アクセス タイプ コード (続き)

アクセス タイプ	コード	説明
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
- n		リセット後の値またはデフォルト値

8.3.2.1 IC_CTRL1 レジスタ (アドレス = 7h) [リセット = 6h]

図 8-8 に、IC_CTRL1 を示し、表 8-16 に、その説明を示します。

概略表に戻ります。

ドライバおよび診断の有効化、SPI ロック、故障クリア コマンドの制御用レジスタ。

図 8-8. IC_CTRL1 レジスタ

7	6	5	4	3	2	1	0
EN_DRV	EN_OLSC	予約済み		LOCK			CLR_FLT
R/W-0b	R/W-0b	R-00b		R/W-011b			R/W-0b

表 8-16. IC_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	EN_DRV	R/W	0b	ゲートドライバを有効化。 0b = ゲートドライバ出力を無効化し、パッシブ プルダウンを有効化。 1b = ゲートドライバ出力を有効化。
6	EN_OLSC	R/W	0b	オフラインのオープン負荷および短絡診断を有効化。 0b = 無効化。 1b = VDS モニタをリアルタイム電圧モニタ モードに設定し、オフライン診断用電流源を有効化。
5-4	予約済み	R	00b	予約済み
3-1	LOCK	R/W	011b	制御レジスタのロックとロック解除。一覧にないビット設定は無効です。 011b = すべての制御レジスタをロック解除します。 110b = LOCK レジスタ以外の追加の書き込みを無視することで、制御レジスタをロックします。
0	CLR_FLT	R/W	0b	ラッチされた障害状態情報をクリア。 0b = デフォルト状態。 1b = ラッチされた故障ビットをクリアし、完了後は 0b にリセットされます。また、SPI 故障およびウォッチドッグ故障ステータスもクリアされます。

8.3.2.2 IC_CTRL2 レジスタ (アドレス = 8h) [リセット = 2h]

図 8-9 に、IC_CTRL2 を示し、表 8-17 に、その説明を示します。

概略表に戻ります。

ピン モード、チャージ ポンプ モード、ウォッチドッグ用の制御レジスタ。

図 8-9. IC_CTRL2 レジスタ

7	6	5	4	3	2	1	0
DIS_SSC	DRVOFF_nFLT	CP_MODE		WD_EN	WD_FLT_M	WD_WIN	WD_RST
R/W-0b	R/W-0b	R/W-00b		R/W-0b	R/W-0b	R/W-1b	R/W-0b

Copyright © 2026 Texas Instruments Incorporated

表 8-17. IC_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DIS_SSC	R/W	0b	スペクトラム拡散クロック処理 0b = 有効化。 1b = 無効化。
6	DRVOFF_nFLT	R/W	0b	DRVOFF/nFLT マルチファンクション ピン モードを設定します。 0b = このピンは DRVOFF グローバル ドライバ無効化として機能します。 1b = このピンは nFLT オープン ドレインの故障割り込み出力として機能します。
5-4	CP_MODE	R/W	00b	チャージ ポンプ動作モード。 00b = 3 倍速と 2 倍速の自動切り替えモード。 01b = 常に倍速モード。 10b = 常に 3 倍速モード。 11b = RSVD
3	WD_EN	R/W	0b	ウォッチドッグ タイマが有効。 0b = ウォッチドッグ タイマが無効。 1b = ウォッチドッグ ドッグ タイマが有効。
2	WD_FLT_M	R/W	0b	ウォッチドッグ フォルト モード。ウォッチドッグ フォルトは CLR_FLT によってクリアされます。 0b = ウォッチドッグ フォルトは WD_FLT および WARN レジスタ ビットに通知されます。ゲート ドライバは有効のままで、nFAULT はアサートされません。 1b = ウォッチドッグ故障は WD_FLT、FAULT レジスタ ビット、nFAULT ピンに通知されます。ウォッチドッグ故障に応答して、ゲート ドライバは無効化されます。
1	WD_WIN	R/W	1b	ウォッチドッグ タイマ ウィンドウ。 0b = 4 ～ 40ms 1b = 10 ～ 100ms
0	WD_RST	R/W	0b	ウォッチドッグの再起動。電源投入後のデフォルトは 0b です。このビットを反転して、ウォッチドッグ タイマを再開します。書き込むと、このビットは新しい反転値を反映します。

8.3.2.3 BRG_CTRL1 レジスタ (アドレス = 9h) [リセット = 0h]

図 8-10 に、BRG_CTRL1 を示し、表 8-18 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 4 の出力状態を設定する制御レジスタ。

図 8-10. BRG_CTRL1 レジスタ

7	6	5	4	3	2	1	0
HB1_CTRL		HB2_CTRL		HB3_CTRL		HB4_CTRL	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-18. BRG_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	HB1_CTRL	R/W	00b	ハーフブリッジ 1 出力状態制御。 00b = ハイインピーダンス (HI-Z)。GH1 および GL1 のプルダウン 01b = ローサイド (LO) を駆動。GH1 プルダウンおよび GL1 プルアップ。 10b = ハイサイド (HI) を駆動。GH1 プルアップおよび GL1 プルダウン。 11b = 入力 PWM 制御。HB1_PWM、HB1_HL、および HB1_FW。

Copyright © 2026 Texas Instruments Incorporated

表 8-18. BRG_CTRL1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-4	HB2_CTRL	R/W	00b	ハーフブリッジ 2 出力状態制御。 00b = ハイインピーダンス (HI-Z)。GH2 および GL2 のプルダウン 01b = ローサイド (LO) を駆動。GH2 プルダウンおよび GL2 プルアップ。 10b = ハイサイド (HI) を駆動。GH2 プルアップおよび GL2 プルダウン。 11b = 入力 PWM 制御。HB2_PWM、HB2_HL、および HB2_FW。
3-2	HB3_CTRL	R/W	00b	ハーフブリッジ 3 出力状態制御。 00b = ハイインピーダンス (HI-Z)。GH3 および GL3 のプルダウン 01b = ローサイド (LO) を駆動。GH3 プルダウンおよび GL3 プルアップ。 10b = ハイサイド (HI) を駆動。GH3 プルアップおよび GL3 プルダウン。 11b = 入力 PWM 制御。HB3_PWM、HB3_HL、および HB3_FW。
1-0	HB4_CTRL	R/W	00b	ハーフブリッジ 4 出力状態制御。 00b = ハイインピーダンス (HI-Z)。GH4 および GL4 のプルダウン 01b = ローサイド (LO) を駆動。GH4 プルダウンおよび GL4 プルアップ。 10b = ハイサイド (HI) を駆動。GH4 プルアップおよび GL4 プルダウン。 11b = 入力 PWM 制御。HB4_PWM、HB4_HL、および HB4_FW。

8.3.2.4 BRG_CTRL2 レジスタ (アドレス = Ah) [リセット = 0h]

図 8-11 に、BRG_CTRL2 を示し、表 8-19 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 5 ～ 8 の出力状態を設定する制御レジスタ。

図 8-11. BRG_CTRL2 レジスタ

7	6	5	4	3	2	1	0
HB5_CTRL		HB6_CTRL		HB7_CTRL		HB8_CTRL	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-19. BRG_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	HB5_CTRL	R/W	00b	ハーフブリッジ 5 出力状態制御。 00b = ハイインピーダンス (HI-Z)。GH5 および GL5 のプルダウン 01b = ローサイド (LO) を駆動。GH5 プルダウンおよび GL5 プルアップ。 10b = ハイサイド (HI) を駆動。GH5 プルアップおよび GL5 プルダウン。 11b = 入力 PWM 制御。HB5_PWM、HB5_HL、および HB5_FW。
5-4	HB6_CTRL	R/W	00b	ハーフブリッジ 6 出力状態制御。 00b = ハイインピーダンス (HI-Z)。GH6 および GL6 のプルダウン 01b = ローサイド (LO) を駆動。GH6 プルダウンおよび GL6 プルアップ。 10b = ハイサイド (HI) を駆動。GH6 プルアップおよび GL6 プルダウン。 11b = 入力 PWM 制御。HB6_PWM、HB6_HL、および HB6_FW。
3-2	HB7_CTRL	R/W	00b	ハーフブリッジ 7 出力状態制御。 00b = ハイインピーダンス (HI-Z)。GH7 および GL7 のプルダウン 01b = ローサイド (LO) を駆動。GH7 プルダウンおよび GL7 プルアップ。 10b = ハイサイド (HI) を駆動。GH7 プルアップおよび GL7 プルダウン。 11b = 入力 PWM 制御。HB7_PWM、HB7_HL、および HB7_FW。
1-0	HB8_CTRL	R/W	00b	ハーフブリッジ 8 出力状態制御。 00b = ハイインピーダンス (HI-Z)。GH8 および GL8 のプルダウン 01b = ローサイド (LO) を駆動。GH8 プルダウンおよび GL8 プルアップ。 10b = ハイサイド (HI) を駆動。GH8 プルアップおよび GL8 プルダウン。 11b = 入力 PWM 制御。HB8_PWM、HB8_HL、および HB8_FW。

Copyright © 2026 Texas Instruments Incorporated

8.3.2.5 PWM_CTRL1 レジスタ (アドレス = Bh) [リセット = 5h]

図 8-12 に、PWM_CTRL1 を示し、表 8-20 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 4 に対して、入力 PWM ソースを割り当てるための制御レジスタ。

図 8-12. PWM_CTRL1 レジスタ

7	6	5	4	3	2	1	0
HB1_PWM		HB2_PWM		HB3_PWM		HB4_PWM	
R/W-00b		R/W-00b		R/W-01b		R/W-01b	

表 8-20. PWM_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	HB1_PWM	R/W	00b	ハーフ ブリッジ 1 の PWM 入力ソースを設定します。 00b = IN1 01b = IN2 10b = IN3 11b = IN4
5-4	HB2_PWM	R/W	00b	ハーフ ブリッジ 2 の PWM 入力ソースを設定します。 00b = IN1 01b = IN2 10b = IN3 11b = IN4
3-2	HB3_PWM	R/W	01b	ハーフ ブリッジ 3 の PWM 入力ソースを設定します。 00b = IN1 01b = IN2 10b = IN3 11b = IN4
1-0	HB4_PWM	R/W	01b	ハーフ ブリッジ 4 の PWM 入力ソースを設定します。 00b = IN1 01b = IN2 10b = IN3 11b = IN4

8.3.2.6 PWM_CTRL2 レジスタ (アドレス = Ch) [リセット = AFh]

図 8-13 に、PWM_CTRL2 を示し、表 8-21 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 5 ～ 8 に対して、入力 PWM ソースを割り当てるための制御レジスタ。

図 8-13. PWM_CTRL2 レジスタ

7	6	5	4	3	2	1	0
HB5_PWM		HB6_PWM		HB7_PWM		HB8_PWM	
R/W-10b		R/W-10b		R/W-11b		R/W-11b	

表 8-21. PWM_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	HB5_PWM	R/W	10b	ハーフ ブリッジ 5 の PWM 入力ソースを設定します。 00b = IN1 01b = IN2 10b = IN3 11b = IN4

Copyright © 2026 Texas Instruments Incorporated

表 8-21. PWM_CTRL2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-4	HB6_PWM	R/W	10b	ハーフ ブリッジ 6 の PWM 入力ソースを設定します。 00b = IN1 01b = IN2 10b = IN3 11b = IN4
3-2	HB7_PWM	R/W	11b	ハーフ ブリッジ 7 の PWM 入力ソースを設定します。 00b = IN1 01b = IN2 10b = IN3 11b = IN4
1-0	HB8_PWM	R/W	11b	ハーフ ブリッジ 8 の PWM 入力ソースを設定します。 00b = IN1 01b = IN2 10b = IN3 11b = IN4

8.3.2.7 PWM_CTRL3 レジスタ (アドレス = Dh) [リセット = 0h]

図 8-14 に、PWM_CTRL3 を示し、表 8-22 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 8 において、PWM で駆動する MOSFET (ハイ側またはロー側) を設定するための制御レジスタ。

図 8-14. PWM_CTRL3 レジスタ

7	6	5	4	3	2	1	0
HB1_HL	HB2_HL	HB3_HL	HB4_HL	HB5_HL	HB6_HL	HB7_HL	HB8_HL
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-22. PWM_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	HB1_HL	R/W	0b	ハーフブリッジ 1 の PWM を、ハイサイドまたはローサイドのゲートドライバに設定します。 0b = ハイサイドを駆動 MOSFET として設定します。 1b = ローサイドを駆動 MOSFET として設定します。
6	HB2_HL	R/W	0b	ハーフブリッジ 2 の PWM を、ハイサイドまたはローサイドのゲートドライバに設定します。 0b = ハイサイドを駆動 MOSFET として設定します。 1b = ローサイドを駆動 MOSFET として設定します。
5	HB3_HL	R/W	0b	ハーフブリッジ 3 の PWM を、ハイサイドまたはローサイドのゲートドライバに設定します。 0b = ハイサイドを駆動 MOSFET として設定します。 1b = ローサイドを駆動 MOSFET として設定します。
4	HB4_HL	R/W	0b	ハーフブリッジ 4 の PWM を、ハイサイドまたはローサイドのゲートドライバに設定します。 0b = ハイサイドを駆動 MOSFET として設定します。 1b = ローサイドを駆動 MOSFET として設定します。
3	HB5_HL	R/W	0b	ハーフブリッジ 5 の PWM を、ハイサイドまたはローサイドのゲートドライバに設定します。 0b = ハイサイドを駆動 MOSFET として設定します。 1b = ローサイドを駆動 MOSFET として設定します。
2	HB6_HL	R/W	0b	ハーフブリッジ 6 の PWM を、ハイサイドまたはローサイドのゲートドライバに設定します。 0b = ハイサイドを駆動 MOSFET として設定します。 1b = ローサイドを駆動 MOSFET として設定します。

Copyright © 2026 Texas Instruments Incorporated

表 8-22. PWM_CTRL3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	HB7_HL	R/W	0b	ハーフブリッジ 7 の PWM を、ハイサイドまたはローサイドのゲートドライバに設定します。 0b = ハイサイドを駆動 MOSFET として設定します。 1b = ローサイドを駆動 MOSFET として設定します。
0	HB8_HL	R/W	0b	ハーフブリッジ 8 の PWM を、ハイサイドまたはローサイドのゲートドライバに設定します。 0b = ハイサイドを駆動 MOSFET として設定します。 1b = ローサイドを駆動 MOSFET として設定します。

8.3.2.8 PWM_CTRL4 レジスタ (アドレス = Eh) [リセット = 0h]

図 8-15 に、PWM_CTRL4 を示し、表 8-23 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 8 の PWM フリーホイール モードを設定するための制御レジスタ。

図 8-15. PWM_CTRL4 レジスタ

7	6	5	4	3	2	1	0
HB1_FW	HB2_FW	HB3_FW	HB4_FW	HB5_FW	HB6_FW	HB7_FW	HB8_FW
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-23. PWM_CTRL4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	HB1_FW	R/W	0b	ハーフブリッジ 1 のフリーホイール設定を構成します。 0b = アクティブ。反転 PWM を内部で生成します。 1b = パッシブ。フリーホイール ダイオードに依存します。
6	HB2_FW	R/W	0b	ハーフブリッジ 2 のフリーホイール設定を構成します。 0b = アクティブ。反転 PWM を内部で生成します。 1b = パッシブ。フリーホイール ダイオードに依存します。
5	HB3_FW	R/W	0b	ハーフブリッジ 3 のフリーホイール設定を構成します。 0b = アクティブ。反転 PWM を内部で生成します。 1b = パッシブ。フリーホイール ダイオードに依存します。
4	HB4_FW	R/W	0b	ハーフブリッジ 4 のフリーホイール設定を構成します。 0b = アクティブ。反転 PWM を内部で生成します。 1b = パッシブ。フリーホイール ダイオードに依存します。
3	HB5_FW	R/W	0b	ハーフブリッジ 5 のフリーホイール設定を構成します。 0b = アクティブ。反転 PWM を内部で生成します。 1b = パッシブ。フリーホイール ダイオードに依存します。
2	HB6_FW	R/W	0b	ハーフブリッジ 6 のフリーホイール設定を構成します。 0b = アクティブ。反転 PWM を内部で生成します。 1b = パッシブ。フリーホイール ダイオードに依存します。
1	HB7_FW	R/W	0b	ハーフブリッジ 7 のフリーホイール設定を構成します。 0b = アクティブ。反転 PWM を内部で生成します。 1b = パッシブ。フリーホイール ダイオードに依存します。
0	HB8_FW	R/W	0b	ハーフブリッジ 8 のフリーホイール設定を構成します。 0b = アクティブ。反転 PWM を内部で生成します。 1b = パッシブ。フリーホイール ダイオードに依存します。

Copyright © 2026 Texas Instruments Incorporated

8.3.2.9 IDRV_CTRL1 レジスタ (アドレス = Fh) [リセット = FFh]

図 8-16 に、IDRV_CTRL1 を示し、表 8-24 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 のハイサイドおよびローサイドのゲート ドライバのソース電流およびシンク電流を設定するための制御レジスタ。

図 8-16. IDRV_CTRL1 レジスタ

7	6	5	4	3	2	1	0
IDRVP_1				IDRVN_1			
R/W-1111b				R/W-1111b			

表 8-24. IDRV_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	IDRVP_1	R/W	1111b	ハーフブリッジ 1 のピーク ソース プルアップ電流。括弧内の代替低電流値 (IDRV_LO1)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
3-0	IDRVN_1	R/W	1111b	ハーフブリッジ 1 ピーク シンク プルダウン電流。括弧内の代替低電流値 (IDRV_LO1)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.3.2.10 IDRV_CTRL2 レジスタ (アドレス = 10h) [リセット = FFh]

図 8-17 に、IDRV_CTRL2 を示し、表 8-25 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 2 のハイサイドおよびローサイドのゲート ドライバのソース電流およびシンク電流を設定するための制御レジスタ。

Copyright © 2026 Texas Instruments Incorporated

図 8-17. IDRV_CTRL2 レジスタ

7	6	5	4	3	2	1	0
IDRVP_2				IDRVN_2			
R/W-1111b				R/W-1111b			

表 8-25. IDRV_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	IDRVP_2	R/W	1111b	ハーフブリッジ 2 のピーク ソース プルアップ電流。括弧内の代替低電流値 (IDRV_LO2)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
3-0	IDRVN_2	R/W	1111b	ハーフブリッジ 2 ピーク シンク プルダウン電流。括弧内の代替低電流値 (IDRV_LO2)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.3.2.11 IDRV_CTRL3 レジスタ (アドレス = 11h) [リセット = FFh]

図 8-18 に、IDRV_CTRL3 を示し、表 8-26 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 3 のハイサイドおよびローサイドのゲート ドライバのソース電流およびシンク電流を設定するための制御レジスタ。

図 8-18. IDRV_CTRL3 レジスタ

7	6	5	4	3	2	1	0
IDRVP_3				IDRVN_3			
R/W-1111b				R/W-1111b			

Copyright © 2026 Texas Instruments Incorporated

表 8-26. IDRV_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	IDRVP_3	R/W	1111b	ハーフブリッジ 3 のピーク ソース プルアップ電流。括弧内の代替低電流値 (IDRV_LO3)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
3-0	IDRVN_3	R/W	1111b	ハーフブリッジ 3 ピーク シンク プルダウン電流。括弧内の代替低電流値 (IDRV_LO3)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.3.2.12 IDRV_CTRL4 レジスタ (アドレス = 12h) [リセット = FFh]

図 8-19 に、IDRV_CTRL4 を示し、表 8-27 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 4 のハイサイドおよびローサイドのゲート ドライバのソース電流およびシンク電流を設定するための制御レジスタ。

図 8-19. IDRV_CTRL4 レジスタ

7	6	5	4	3	2	1	0
IDRVP_4				IDRVN_4			
R/W-1111b				R/W-1111b			

Copyright © 2026 Texas Instruments Incorporated

表 8-27. IDRV_CTRL4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	IDRVP_4	R/W	1111b	ハーフブリッジ 4 のピーク ソース プルアップ電流。括弧内の代替低電流値 (IDRV_LO4)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
3-0	IDRVN_4	R/W	1111b	ハーフブリッジ 4 ピーク シンク プルダウン電流。括弧内の代替低電流値 (IDRV_LO4)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.3.2.13 IDRV_CTRL5 レジスタ (アドレス = 13h) [リセット = FFh]

図 8-20 に、IDRV_CTRL5 を示し、表 8-28 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 5 のハイサイドおよびローサイドのゲート ドライバのソース電流およびシンク電流を設定するための制御レジスタ。

図 8-20. IDRV_CTRL5 レジスタ

7	6	5	4	3	2	1	0
IDRVP_5				IDRVN_5			
R/W-1111b				R/W-1111b			

表 8-28. IDRV_CTRL5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	IDRVP_5	R/W	1111b	ハーフブリッジ 5 のピーク ソース プルアップ電流。括弧内の代替低電流値 (IDRV_LO5)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
3-0	IDRVN_5	R/W	1111b	ハーフブリッジ 5 ピーク シンク プルダウン電流。括弧内の代替低電流値 (IDRV_LO5)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.3.2.14 IDRV_CTRL6 レジスタ (アドレス = 14h) [リセット = FFh]

図 8-21 に、IDRV_CTRL6 を示し、表 8-29 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 6 のハイサイドおよびローサイドのゲート ドライバのソース電流およびシンク電流を設定するための制御レジスタ。

図 8-21. IDRV_CTRL6 レジスタ

7	6	5	4	3	2	1	0
IDRVP_6				IDRVN_6			
R/W-1111b				R/W-1111b			

Copyright © 2026 Texas Instruments Incorporated

表 8-29. IDRV_CTRL6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	IDRVP_6	R/W	1111b	ハーフブリッジ 6 のピーク ソース プルアップ電流。括弧内の代替低電流値 (IDRV_LO6)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
3-0	IDRVN_6	R/W	1111b	ハーフブリッジ 6 ピーク シンク プルダウン電流。括弧内の代替低電流値 (IDRV_LO6)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.3.2.15 IDRV_CTRL7 レジスタ (アドレス = 15h) [リセット = FFh]

図 8-22 に、IDRV_CTRL7 を示し、表 8-30 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 7 のハイサイドおよびローサイドのゲート ドライバのソース電流およびシンク電流を設定するための制御レジスタ。

図 8-22. IDRV_CTRL7 レジスタ

7	6	5	4	3	2	1	0
IDRVP_7				IDRVN_7			
R/W-1111b				R/W-1111b			

表 8-30. IDRV_CTRL7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	IDRVP_7	R/W	1111b	ハーフブリッジ 7 のピーク ソース プルアップ電流。括弧内の代替低電流値 (IDRV_LO7)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
3-0	IDRVN_7	R/W	1111b	ハーフブリッジ 7 ピーク シンク プルダウン電流。括弧内の代替低電流値 (IDRV_LO7)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.3.2.16 IDRV_CTRL8 レジスタ (アドレス = 16h) [リセット = FFh]

図 8-23 に、IDRV_CTRL8 を示し、表 8-31 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 8 のハイサイドおよびローサイドのゲート ドライバのソース電流およびシンク電流を設定するための制御レジスタ。

図 8-23. IDRV_CTRL8 レジスタ

7	6	5	4	3	2	1	0
IDRVP_8				IDRVN_8			
R/W-1111b				R/W-1111b			

Copyright © 2026 Texas Instruments Incorporated

表 8-31. IDRV_CTRL8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	IDRVP_8	R/W	1111b	ハーフブリッジ 8 のピーク ソース プルアップ電流。括弧内の代替低電流値 (IDRV_LO8)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
3-0	IDRVN_8	R/W	1111b	ハーフブリッジ 8 ピーク シンク プルダウン電流。括弧内の代替低電流値 (IDRV_LO8)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.3.2.17 IDRV_CTRL9 レジスタ (アドレス = 17h) [リセット = 0h]

図 8-24 に、IDRV_CTRL9 を示し、表 8-32 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 8 の超低ソース電流およびシンク電流設定を有効にするための制御レジスタ。

図 8-24. IDRV_CTRL9 レジスタ

7	6	5	4	3	2	1	0
IDRV_LO1	IDRV_LO2	IDRV_LO3	IDRV_LO4	IDRV_LO5	IDRV_LO6	IDRV_LO7	IDRV_LO8
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-32. IDRV_CTRL9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	IDRV_LO1	R/W	0b	ハーフブリッジ 1 に低電流 IDRVN および IDRVP モードを有効にします。 0b = IDRVP_1 と IDRVN_1 は標準値を使用します。 1b = IDRVP_1 と IDRVN_1 は Low 電流値を使用します。

Copyright © 2026 Texas Instruments Incorporated

表 8-32. IDRV_CTRL9 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	IDRV_LO2	R/W	0b	ハーフブリッジ 2 に低電流 IDRVN および IDRVP モードを有効にします。 0b = IDRVP_2 と IDRVN_2 は標準値を使用します。 1b = IDRVP_2 と IDRVN_2 は Low 電流値を使用します。
5	IDRV_LO3	R/W	0b	ハーフブリッジ 3 に低電流 IDRVN および IDRVP モードを有効にします。 0b = IDRVP_3 と IDRVN_3 は標準値を使用します。 1b = IDRVP_3 と IDRVN_3 は Low 電流値を使用します。
4	IDRV_LO4	R/W	0b	ハーフブリッジ 4 に低電流 IDRVN および IDRVP モードを有効にします。 0b = IDRVP_4 と IDRVN_4 は標準値を使用します。 1b = IDRVP_4 と IDRVN_4 は Low 電流値を使用します。
3	IDRV_LO5	R/W	0b	ハーフブリッジ 5 に低電流 IDRVN および IDRVP モードを有効にします。 0b = IDRVP_5 と IDRVN_5 は標準値を使用します。 1b = IDRVP_5 と IDRVN_5 は Low 電流値を使用します。
2	IDRV_LO6	R/W	0b	ハーフブリッジ 6 に低電流 IDRVN および IDRVP モードを有効にします。 0b = IDRVP_6 と IDRVN_6 は標準値を使用します。 1b = IDRVP_6 と IDRVN_6 は Low 電流値を使用します。
1	IDRV_LO7	R/W	0b	ハーフブリッジ 7 に低電流 IDRVN および IDRVP モードを有効にします。 0b = IDRVP_7 と IDRVN_7 は標準値を使用します。 1b = IDRVP_7 と IDRVN_7 は Low 電流値を使用します。
0	IDRV_LO8	R/W	0b	ハーフブリッジ 8 に低電流 IDRVN および IDRVP モードを有効にします。 0b = IDRVP_8 と IDRVN_8 は標準値を使用します。 1b = IDRVP_8 と IDRVN_8 は Low 電流値を使用します。

8.3.2.18 DRV_CTRL1 レジスタ (アドレス = 18h) [リセット = 0h]

図 8-25 に、DRV_CTRL1 を示し、表 8-33 に、その説明を示します。

概略表に戻ります。

VGS および VDS モニタの動作モードおよび構成を設定するための制御レジスタ。

図 8-25. DRV_CTRL1 レジスタ

7	6	5	4	3	2	1	0
VGS_MODE		VGS_IND	VGS_LVL	VGS_HS_DIS	VDS_MODE		VDS_IND
R/W-00b		R/W-0b	R/W-0b	R/W-0b	R/W-00b		R/W-0b

表 8-33. DRV_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	VGS_MODE	R/W	00b	ハーフブリッジ 1 ～ 8 の VGS ゲート故障モニタ モード。 00b = ラッチ故障。 01b = サイクルごと。 10b = 警告レポートのみ。 11b = 無効化。
5	VGS_IND	R/W	0b	VGS フォルト独立シャットダウンモード構成。 0b = 無効化。VGS 故障が発生すると、すべてのハーフブリッジ ドライバがシャットダウンされます。 1b = イネーブル。VGS ゲート障害では、関連するハーフ ブリッジ ドライバだけがシャットダウンされます。

Copyright © 2026 Texas Instruments Incorporated

表 8-33. DRV_CTRL1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	VGS_LVL	R/W	0b	ハーフブリッジ ドライバにおける、デッドタイム ハンドシェイクおよび VGS 故障モニタ用の VGS スレッショルド コンパレータ レベル。 0b = 1.4V 1b = 1V
3	VGS_HS_DIS	R/W	0b	VGS デッドタイム ハンドシェイク モニタを無効化。 0b = 0x0 1b = 無効化。ハーフブリッジの遷移は、TDRIVE およびプログラム可能なデジタル デッドタイム遅延のみに基づきます。
2-1	VDS_MODE	R/W	00b	ハーフブリッジ 1 ～ 8 の VDS 過電流監視モード。 00b = ラッチ故障。 01b = サイクルごと。 10b = 警告レポートのみ。 11b = 無効化。
0	VDS_IND	R/W	0b	VDS フォルト独立シャットダウンモード構成。 0b = 無効化。VDS 故障が発生すると、すべてのハーフブリッジ ドライバがシャットダウンされます。 1b = イネーブル。VDS ゲート障害では、関連するハーフブリッジだけがシャットダウンされます。

8.3.2.19 DRV_CTRL2 レジスタ (アドレス = 19h) [リセット = 12h]

図 8-26 に、DRV_CTRL2 を示し、表 8-34 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 4 における、tDRV (VGS 駆動および VDS モニタのブランキング時間) を設定するための制御レジスタ。

図 8-26. DRV_CTRL2 レジスタ

7	6	5	4	3	2	1	0
予約済み		VGS_TDRV_12			VGS_TDRV_34		
R-00b		R/W-010b			R/W-010b		

表 8-34. DRV_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	予約済み
5-3	VGS_TDRV_12	R/W	010b	ハーフブリッジ 1 および 2 の VGS 駆動と VDS 監視ブランキング時間。 000b = 2µs 001b = 4µs 010b = 8µs 011b = 12µs 100b = 16µs 101b = 24µs 110b = 32µs 111b = 96µs
2-0	VGS_TDRV_34	R/W	010b	ハーフブリッジ 3 および 4 の VGS 駆動と VDS 監視ブランキング時間。 000b = 2µs 001b = 4µs 010b = 8µs 011b = 12µs 100b = 16µs 101b = 24µs 110b = 32µs 111b = 96µs

Copyright © 2026 Texas Instruments Incorporated

8.3.2.20 DRV_CTRL3 レジスタ (アドレス = 1Ah) [リセット = 12h]

図 8-27 に、DRV_CTRL3 を示し、表 8-35 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 5 ～ 8 における、tDRV (VGS 駆動および VDS モニタのブランキング時間) を設定するための制御レジスタ。

図 8-27. DRV_CTRL3 レジスタ

7	6	5	4	3	2	1	0
予約済み		VGS_TDRV_56			VGS_TDRV_78		
R-00b		R/W-010b			R/W-010b		

表 8-35. DRV_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	予約済み
5-3	VGS_TDRV_56	R/W	010b	ハーフブリッジ 5 および 6 の VGS 駆動と VDS 監視ブランキング時間。 000b = 2µs 001b = 4µs 010b = 8µs 011b = 12µs 100b = 16µs 101b = 24µs 110b = 32µs 111b = 96µs
2-0	VGS_TDRV_78	R/W	010b	ハーフブリッジ 7 および 8 の VGS 駆動と VDS 監視ブランキング時間。 000b = 2µs 001b = 4µs 010b = 8µs 011b = 12µs 100b = 16µs 101b = 24µs 110b = 32µs 111b = 96µs

8.3.2.21 DRV_CTRL4 レジスタ (アドレス = 1Bh) [リセット = 0h]

図 8-28 に、DRV_CTRL4 を示し、表 8-36 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 8 における、VGS tDEAD_D (追加のデジタル デッドタイム挿入) を設定するための制御レジスタ。

図 8-28. DRV_CTRL4 レジスタ

7	6	5	4	3	2	1	0
VGS_TDEAD_12		VGS_TDEAD_34		VGS_TDEAD_56		VGS_TDEAD_78	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-36. DRV_CTRL4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	VGS_TDEAD_12	R/W	00b	ハーフブリッジ 1 と 2 の挿入可能なデジタルデッドタイム。 00b = 0µs 01b = 2µs 10b = 4µs 11b = 8µs

Copyright © 2026 Texas Instruments Incorporated

表 8-36. DRV_CTRL4 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-4	VGS_TDEAD_34	R/W	00b	ハーフブリッジ 3 と 4 の挿入可能なデジタルデッドタイム。 00b = 0µs 01b = 2µs 10b = 4µs 11b = 8µs
3-2	VGS_TDEAD_56	R/W	00b	ハーフブリッジ 5 と 6 の挿入可能なデジタルデッドタイム。 00b = 0µs 01b = 2µs 10b = 4µs 11b = 8µs
1-0	VGS_TDEAD_78	R/W	00b	ハーフブリッジ 7 と 8 の挿入可能なデジタルデッドタイム。 00b = 0µs 01b = 2µs 10b = 4µs 11b = 8µs

8.3.2.22 DRV_CTRL5 レジスタ (アドレス = 1Ch) [リセット = AAh]

図 8-29 に、DRV_CTRL5 を示し、表 8-37 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 8 における、VDS tDS_DG (過電流モニタのグリッチ除去時間) を設定するための制御レジスタ。

図 8-29. DRV_CTRL5 レジスタ

7	6	5	4	3	2	1	0
VDS_DG_12		VDS_DG_34		VDS_DG_56		VDS_DG_78	
R/W-10b		R/W-10b		R/W-10b		R/W-10b	

表 8-37. DRV_CTRL5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	VDS_DG_12	R/W	10b	ハーフブリッジ 1 および 2 の VDS 過電流監視のグリッチ除去時間。 00b = 1µs 01b = 2µs 10b = 4µs 11b = 8µs
5-4	VDS_DG_34	R/W	10b	ハーフブリッジ 3 および 4 の VDS 過電流監視のグリッチ除去時間。 00b = 1µs 01b = 2µs 10b = 4µs 11b = 8µs
3-2	VDS_DG_56	R/W	10b	ハーフブリッジ 5 および 6 の VDS 過電流監視のグリッチ除去時間。 00b = 1µs 01b = 2µs 10b = 4µs 11b = 8µs
1-0	VDS_DG_78	R/W	10b	ハーフブリッジ 7 および 8 の VDS 過電流監視のグリッチ除去時間。 00b = 1µs 01b = 2µs 10b = 4µs 11b = 8µs

8.3.2.23 DRV_CTRL6 レジスタ (アドレス = 1Dh) [リセット = 0h]

図 8-30 に、DRV_CTRL6 を示し、表 8-38 に、その説明を示します。

Copyright © 2026 Texas Instruments Incorporated

概略表に戻ります。

ハーフブリッジ 1 ～ 8 における、VDS 過電流故障に応じたゲート プルダウン電流 (IDRVN) を設定するための制御レジスタ。

図 8-30. DRV_CTRL6 レジスタ

7	6	5	4	3	2	1	0
VDS_IDRVN_12		VDS_IDRVN_34		VDS_IDRVN_56		VDS_IDRVN_78	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-38. DRV_CTRL6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	VDS_IDRVN_12	R/W	00b	ハーフブリッジ 1 および 2 における、VDS_OCP 故障後の IDRVN ゲート プルダウン電流。 00b =プログラム済み IDRVN 01b = 8mA 10b = 31mA 11b = 62mA
5-4	VDS_IDRVN_34	R/W	00b	ハーフブリッジ 3 および 4 における、VDS_OCP 故障後の IDRVN ゲート プルダウン電流。 00b =プログラム済み IDRVN 01b = 8mA 10b = 31mA 11b = 62mA
3-2	VDS_IDRVN_56	R/W	00b	ハーフブリッジ 5 および 6 における、VDS_OCP 故障後の IDRVN ゲート プルダウン電流。 00b =プログラム済み IDRVN 01b = 8mA 10b = 31mA 11b = 62mA
1-0	VDS_IDRVN_78	R/W	00b	ハーフブリッジ 7 および 8 における、VDS_OCP 故障後の IDRVN ゲート プルダウン電流。 00b =プログラム済み IDRVN 01b = 8mA 10b = 31mA 11b = 62mA

8.3.2.24 VDS_CTRL1 レジスタ (アドレス = 1Fh) [リセット = DDh]

図 8-31 に、VDS_CTRL1 を示し、表 8-39 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 および 2 における、VDS 過電流モニタの電圧スレッショルドを設定するための制御レジスタ。

図 8-31. VDS_CTRL1 レジスタ

7	6	5	4	3	2	1	0
VDS_LVL_1				VDS_LVL_2			
R/W-1101b				R/W-1101b			

Copyright © 2026 Texas Instruments Incorporated

表 8-39. VDS_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	VDS_LVL_1	R/W	1101b	ハーフブリッジ 1 VDS 過電流監視スレッショルド。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V
3-0	VDS_LVL_2	R/W	1101b	ハーフブリッジ 2 VDS 過電流監視スレッショルド。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V

8.3.2.25 VDS_CTRL2 レジスタ (アドレス = 20h) [リセット = DDh]

図 8-32 に、VDS_CTRL2 を示し、表 8-40 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 3 および 4 における、VDS 過電流モニタの電圧スレッショルドを設定するための制御レジスタ。

図 8-32. VDS_CTRL2 レジスタ

7	6	5	4	3	2	1	0
VDS_LVL_3				VDS_LVL_4			
R/W-1101b				R/W-1101b			

Copyright © 2026 Texas Instruments Incorporated

表 8-40. VDS_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	VDS_LVL_3	R/W	1101b	ハーフブリッジ 3 VDS 過電流監視スレッショルド。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V
3-0	VDS_LVL_4	R/W	1101b	ハーフブリッジ 4 VDS 過電流監視スレッショルド。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V

8.3.2.26 VDS_CTRL3 レジスタ (アドレス = 21h) [リセット = DDh]

図 8-33 に、VDS_CTRL3 を示し、表 8-41 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 5 および 6 における、VDS 過電流モニタの電圧スレッショルドを設定するための制御レジスタ。

図 8-33. VDS_CTRL3 レジスタ

7	6	5	4	3	2	1	0
VDS_LVL_5				VDS_LVL_6			
R/W-1101b				R/W-1101b			

Copyright © 2026 Texas Instruments Incorporated

表 8-41. VDS_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	VDS_LVL_5	R/W	1101b	ハーフブリッジ 5 VDS 過電流監視スレッショルド。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V
3-0	VDS_LVL_6	R/W	1101b	ハーフブリッジ 6 VDS 過電流監視スレッショルド。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V

8.3.2.27 VDS_CTRL4 レジスタ (アドレス = 22h) [リセット = DDh]

図 8-34 に、VDS_CTRL4 を示し、表 8-42 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 7 および 8 における、VDS 過電流モニタの電圧スレッショルドを設定するための制御レジスタ。

図 8-34. VDS_CTRL4 レジスタ

7	6	5	4	3	2	1	0
VDS_LVL_7				VDS_LVL_8			
R/W-1101b				R/W-1101b			

Copyright © 2026 Texas Instruments Incorporated

表 8-42. VDS_CTRL4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	VDS_LVL_7	R/W	1101b	ハーフブリッジ 7 VDS 過電流監視スレッショルド。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V
3-0	VDS_LVL_8	R/W	1101b	ハーフブリッジ 8 VDS 過電流監視スレッショルド。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V

8.3.2.28 OLSC_CTRL1 レジスタ (アドレス = 23h) [リセット = 0h]

図 8-35 に、OLSC_CTRL1 を示し、表 8-43 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 4 におけるオフライン診断電流源の有効化および無効化を設定するための制御レジスタ。

図 8-35. OLSC_CTRL1 レジスタ

7	6	5	4	3	2	1	0
PU_SH1	PD_SH1	PU_SH2	PD_SH2	PU_SH3	PD_SH3	PU_SH4	PD_SH4
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-43. OLSC_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PU_SH1	R/W	0b	ハーフブリッジ 1 プルアップ診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。
6	PD_SH1	R/W	0b	ハーフブリッジ 1 プルダウン診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。

Copyright © 2026 Texas Instruments Incorporated

表 8-43. OLSC_CTRL1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	PU_SH2	R/W	0b	ハーフブリッジ 2 プルアップ診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。
4	PD_SH2	R/W	0b	ハーフブリッジ 2 プルダウン診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。
3	PU_SH3	R/W	0b	ハーフブリッジ 3 プルアップ診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。
2	PD_SH3	R/W	0b	ハーフブリッジ 3 プルダウン診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。
1	PU_SH4	R/W	0b	ハーフブリッジ 4 プルアップ診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。
0	PD_SH4	R/W	0b	ハーフブリッジ 4 プルダウン診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。

8.3.2.29 OLSC_CTRL2 レジスタ (アドレス = 24h) [リセット = 0h]

図 8-36 に、OLSC_CTRL2 を示し、表 8-44 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 5 ～ 8 におけるオフライン診断電流源の有効化および無効化を設定するための制御レジスタ。

図 8-36. OLSC_CTRL2 レジスタ

7	6	5	4	3	2	1	0
PU_SH5	PD_SH5	PU_SH6	PD_SH6	PU_SH7	PD_SH7	PU_SH8	PD_SH8
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-44. OLSC_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PU_SH5	R/W	0b	ハーフブリッジ 5 プルアップ診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。
6	PD_SH5	R/W	0b	ハーフブリッジ 5 プルダウン診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。
5	PU_SH6	R/W	0b	ハーフブリッジ 6 プルアップ診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。

Copyright © 2026 Texas Instruments Incorporated

表 8-44. OLSC_CTRL2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	PD_SH6	R/W	0b	ハーフブリッジ 6 プルダウン診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。
3	PU_SH7	R/W	0b	ハーフブリッジ 7 プルアップ診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。
2	PD_SH7	R/W	0b	ハーフブリッジ 7 プルダウン診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。
1	PU_SH8	R/W	0b	ハーフブリッジ 8 プルアップ診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。
0	PD_SH8	R/W	0b	ハーフブリッジ 8 プルダウン診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。

8.3.2.30 UVOV_CTRL レジスタ (アドレス = 25h) [リセット = 14h]

UVOV_CTRL は 図 8-37 に示し、表 8-45 で説明します。

概略表に戻ります。

低電圧および過電圧モニタの構成を設定するための制御レジスタ。

図 8-37. UVOV_CTRL レジスタ

7	6	5	4	3	2	1	0
PVDD_UV_MODE	PVDD_OV_MODE		PVDD_OV_DG		PVDD_OV_LVL	VCP_UV_MODE	VCP_UV_LVL
R/W-0b	R/W-00b		R/W-10b		R/W-1b	R/W-0b	R/W-0b

表 8-45. UVOV_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PVDD_UV_MODE	R/W	0b	PVDD 電源低電圧監視モード。 0b = ラッチ故障。 1b = 自動復帰。
6-5	PVDD_OV_MODE	R/W	00b	PVDD 電源過電圧監視モード。 00b = ラッチ故障。 01b = 自動復帰。 10b = 警告レポートのみ。 11b = 無効化。
4-3	PVDD_OV_DG	R/W	10b	PVDD 電源過電圧監視グリッチ除去時間。 00b = 1µs 01b = 2µs 10b = 4µs 11b = 8µs
2	PVDD_OV_LVL	R/W	1b	PVDD 電源過電圧監視スレッショルド。 0b = 21.5V 1b = 28.5V

Copyright © 2026 Texas Instruments Incorporated

表 8-45. UVOV_CTRL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	VCP_UV_MODE	R/W	0b	VCP チャージ ポンプ低電圧監視モード。 0b = ラッチ故障。 1b = 自動復帰。
0	VCP_UV_LVL	R/W	0b	VCP チャージ ポンプ低電圧監視スレッショルド。 0b = 4.75V 1b = 6.25V

8.3.2.31 CSA_CTRL1 レジスタ (アドレス = 26h) [リセット = 9h]

図 8-38 に、CSA_CTRL1 を示し、表 8-46 に、その説明を示します。

概略表に戻ります。

シャント アンプ 1 および 2 のゲインおよびリファレンス電圧を設定するための制御レジスタ。

図 8-38. CSA_CTRL1 レジスタ

7	6	5	4	3	2	1	0
予約済み		CSA_DIV_1	CSA_GAIN_1		CSA_DIV_2	CSA_GAIN_2	
R-00b		R/W-0b	R/W-01b		R/W-0b	R/W-01b	

表 8-46. CSA_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	予約済み
5	CSA_DIV_1	R/W	0b	電流シャント アンプ 1 のリファレンス電圧デバイダ。 0b = AREF/2 1b = AREF/8
4-3	CSA_GAIN_1	R/W	01b	電流シャント アンプ 1 のゲイン設定。 00b = 10V/V 01b = 20V/V 10b = 40V/V 11b = 80V/V
2	CSA_DIV_2	R/W	0b	電流シャント アンプ 2 のリファレンス電圧デバイダ。 0b = AREF/2 1b = AREF/8
1-0	CSA_GAIN_2	R/W	01b	電流シャント アンプ 2 のゲイン設定。 00b = 10V/V 01b = 20V/V 10b = 40V/V 11b = 80V/V

8.3.2.32 CSA_CTRL2 レジスタ (アドレス = 27h) [リセット = 0h]

図 8-39 に、CSA_CTRL2 を示し、表 8-47 に、その説明を示します。

概略表に戻ります。

シャント アンプ 1 のブランキング設定用の制御レジスタ。

図 8-39. CSA_CTRL2 レジスタ

7	6	5	4	3	2	1	0
予約済み		CSA_BLK_SEL_1			CSA_BLK_LVL_1		
R-00b		R/W-000b			R/W-000b		

Copyright © 2026 Texas Instruments Incorporated

表 8-47. CSA_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	予約済み
5-3	CSA_BLK_SEL_1	R/W	000b	電流シャント アンプ 1 のブランキング トリガ ソース。 000b = ハーフブリッジ 1 001b = ハーフブリッジ 2 010b = ハーフブリッジ 3 011b = ハーフブリッジ 4 100b = ハーフブリッジ 5 101b = ハーフブリッジ 6 110b = ハーフブリッジ 7 111b = ハーフブリッジ 8
2-0	CSA_BLK_LVL_1	R/W	000b	電流シャント アンプ 1 のブランキング時間。tDRV の %。 000b = 0%、無効 001b = 25% 010b = 37.5% 011b = 50% 100b = 62.5% 101b = 75% 110b = 87.5% 111b = 100%

8.3.2.33 CSA_CTRL3 レジスタ (アドレス = 28h) [リセット = 20h]

図 8-40 に、CSA_CTRL3 を示し、表 8-48 に、その説明を示します。

概略表に戻ります。

シャント アンプ 2 のブランキング設定用の制御レジスタ。

図 8-40. CSA_CTRL3 レジスタ

7	6	5	4	3	2	1	0
予約済み		CSA_BLK_SEL_2			CSA_BLK_LVL_2		
R-00b		R/W-100b			R/W-000b		

表 8-48. CSA_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	予約済み
5-3	CSA_BLK_SEL_2	R/W	100b	電流シャント アンプ 2 のブランキング トリガ ソース。 000b = ハーフブリッジ 1 001b = ハーフブリッジ 2 010b = ハーフブリッジ 3 011b = ハーフブリッジ 4 100b = ハーフブリッジ 5 101b = ハーフブリッジ 6 110b = ハーフブリッジ 7 111b = ハーフブリッジ 8
2-0	CSA_BLK_LVL_2	R/W	000b	電流シャント アンプ 2 のブランキング時間。tDRV の %。 000b = 0%、無効 001b = 25% 010b = 37.5% 011b = 50% 100b = 62.5% 101b = 75% 110b = 87.5% 111b = 100%

Copyright © 2026 Texas Instruments Incorporated

8.3.3 DRV8718-Q1_CONTROL_ADV レジスタ

表 8-49 に、DRV8718-Q1_CONTROL_ADV レジスタの一覧を示します。表 8-49 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-49. DRV8718-Q1_CONTROL_ADV レジスタ

アドレス	略称	レジスタ名	セクション
2Ah	AGD_CTRL1	アダプティブ ゲートドライブの一般制御機能	表示
2Bh	PDR_CTRL1	ハーフブリッジ 1 および 2 の PDR 遅延および最大電流設定	表示
2Ch	PDR_CTRL2	ハーフブリッジ 3 および 4 の PDR 遅延および最大電流設定	表示
2Dh	PDR_CTRL3	ハーフブリッジ 5 および 6 の PDR 遅延および最大電流設定	表示
2Eh	PDR_CTRL4	ハーフブリッジ 7 および 8 の PDR 遅延および最大電流設定	表示
2Fh	PDR_CTRL5	ハーフブリッジ 1 および 2 の PDR の充電および放電の初期設定。	表示
30h	PDR_CTRL6	ハーフブリッジ 3 および 4 の PDR の充電および放電の初期設定。	表示
31h	PDR_CTRL7	ハーフブリッジ 5 および 6 の PDR の充電および放電の初期設定。	表示
32h	PDR_CTRL8	ハーフブリッジ 7 および 8 の PDR の充電および放電の初期設定。	表示
33h	PDR_CTRL9	ハーフブリッジ 1 ～ 4 PDR ループ コントローラ ゲイン	表示
34h	PDR_CTRL10	ハーフブリッジ 5 ～ 8 PDR ループ コントローラ ゲイン	表示
35h	STC_CTRL1	ハーフブリッジ 1 と 2 の STC の立ち上がり / 立ち下がり時間とコントローラのゲイン	表示
36h	STC_CTRL2	ハーフブリッジ 3 と 4 の STC の立ち上がり / 立ち下がり時間とコントローラのゲイン	表示
37h	STC_CTRL3	ハーフブリッジ 5 と 6 の STC の立ち上がり / 立ち下がり時間とコントローラのゲイン	表示
38h	STC_CTRL4	ハーフブリッジ 7 と 8 の STC の立ち上がり / 立ち下がり時間とコントローラのゲイン	表示
39h	DCC_CTRL1	ハーフブリッジ 1 ～ 8 DCC イネーブルおよび手動制御	表示
3Ah	PST_CTRL1	ハーフブリッジ 1 ～ 8 フリーホイールおよび充電後の遅延制御	表示
3Bh	PST_CTRL2	ハーフブリッジ 1 ～ 8 充電後コントローラ ゲイン	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-50 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-50. DRV8718-Q1_CONTROL_ADV アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-*n*		リセット後の値またはデフォルト値

8.3.3.1 AGD_CTRL1 レジスタ (アドレス = 2Ah) [リセット = 40h]

図 8-41 に、AGD_CTRL1 を示し、表 8-51 に、その説明を示します。

概略表に戻ります。

アダプティブ ゲートドライブの電圧スレッショルド、プルダウン設定、およびアクティブなハーフブリッジ構成を設定するための制御レジスタ。

図 8-41. AGD_CTRL1 レジスタ

7	6	5	4	3	2	1	0
AGD_THR		AGD_ISTRONG		SET_AGD_12	SET_AGD_34	SET_AGD_56	SET_AGD_78
R/W-01b		R/W-00b		R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-51. AGD_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	AGD_THR	R/W	01b	適応型ゲートドライバ VSH スレッショルド構成。 00b = 1V、VDRAIN – 0.5V 01b = 1V、VDRAIN – 1V 10b = 2V、VDRAIN – 1.5V 11b = 2V、VDRAIN – 2V
5-4	AGD_ISTRONG	R/W	00b	適応型ゲートドライバの ISTRONG 構成。 00b = ISTRONG プルダウンは、初期の IDRVP_x レジスタ設定からデコードされます。 01b = 62mA 10b = 124mA 11b = RSVD
3	SET_AGD_12	R/W	0b	適応型ゲート駆動制御ループにアクティブ ハーフブリッジを設定します。 0b = ハーフブリッジ 1 1b = ハーフブリッジ 2
2	SET_AGD_34	R/W	0b	適応型ゲート駆動制御ループにアクティブ ハーフブリッジを設定します。 0b = ハーフブリッジ 3 1b = ハーフブリッジ 4
1	SET_AGD_56	R/W	0b	適応型ゲート駆動制御ループにアクティブ ハーフブリッジを設定します。 0b = ハーフブリッジ 5 1b = ハーフブリッジ 6
0	SET_AGD_78	R/W	0b	適応型ゲート駆動制御ループにアクティブ ハーフブリッジを設定します。 0b = ハーフブリッジ 7 1b = ハーフブリッジ 8

8.3.3.2 PDR_CTRL1 レジスタ (アドレス = 2Bh) [リセット = Ah]

図 8-42 に、PDR_CTRL1 を示し、表 8-52 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 と 2 の tON_OFF 伝搬遅延と事前充電 / 放電の最大電流の制御レジスタ。

図 8-42. PDR_CTRL1 レジスタ

7	6	5	4	3	2	1	0
PRE_MAX_12		T_DON_DOFF_12					
R/W-00b		R/W-001010b					

Copyright © 2026 Texas Instruments Incorporated

表 8-52. PDR_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	PRE_MAX_12	R/W	00b	ハーフブリッジ 1 および 2 のプリチャージおよび事前充電のゲートドライブ電流の最大値。 00b = 64mA 01b = 32mA 10b = 16mA 11b = 8mA
5-0	T_DON_DOFF_12	R/W	001010b	ハーフブリッジ 1 と 2 のオン/オフ時間遅延。140ns x T_DON_DOFF_12 [3:0] デフォルト時間:001010b (1.4us)

8.3.3.3 PDR_CTRL2 レジスタ (アドレス = 2Ch) [リセット = Ah]

図 8-43 に、PDR_CTRL2 を示し、表 8-53 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 3 と 4 の tON_OFF 伝搬遅延と事前充電 / 放電の最大電流の制御レジスタ。

図 8-43. PDR_CTRL2 レジスタ

7	6	5	4	3	2	1	0
PRE_MAX_34		T_DON_DOFF_34					
R/W-00b		R/W-001010b					

表 8-53. PDR_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	PRE_MAX_34	R/W	00b	ハーフブリッジ 3 および 4 のプリチャージおよび事前充電のゲートドライブ電流の最大値。 00b = 64mA 01b = 32mA 10b = 16mA 11b = 8mA
5-0	T_DON_DOFF_34	R/W	001010b	ハーフブリッジ 3 と 4 のオン/オフ時間遅延。140ns x T_DON_DOFF_34 [3:0] デフォルト時間:001010b (1.4us)

8.3.3.4 PDR_CTRL3 レジスタ (アドレス = 2Dh) [リセット = Ah]

図 8-44 に、PDR_CTRL3 を示し、表 8-54 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 5 と 6 の tON_OFF 伝搬遅延と事前充電 / 放電の最大電流の制御レジスタ。

図 8-44. PDR_CTRL3 レジスタ

7	6	5	4	3	2	1	0
PRE_MAX_56		T_DON_DOFF_56					
R/W-00b		R/W-001010b					

表 8-54. PDR_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	PRE_MAX_56	R/W	00b	ハーフブリッジ 5 および 6 のプリチャージおよび事前充電のゲートドライブ電流の最大値。 00b = 64mA 01b = 32mA 10b = 16mA 11b = 8mA

Copyright © 2026 Texas Instruments Incorporated

表 8-54. PDR_CTRL3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	T_DON_DOFF_56	R/W	001010b	ハーフブリッジ 5 と 6 のオン/オフ時間遅延。140ns x T_DON_DOFF_56 [3:0] デフォルト時間:001010b (1.4us)

8.3.3.5 PDR_CTRL4 レジスタ (アドレス = 2Eh) [リセット = Ah]

図 8-45 に、PDR_CTRL4 を示し、表 8-55 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 7 と 8 の tON_OFF 伝搬遅延と事前充電 / 放電の最大電流の制御レジスタ。

図 8-45. PDR_CTRL4 レジスタ

7	6	5	4	3	2	1	0
PRE_MAX_78		T_DON_DOFF_78					
R/W-00b		R/W-001010b					

表 8-55. PDR_CTRL4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	PRE_MAX_78	R/W	00b	ハーフブリッジ 7 および 8 のプリチャージおよび事前充電のゲートドライブ電流の最大値。 00b = 64mA 01b = 32mA 10b = 16mA 11b = 8mA
5-0	T_DON_DOFF_78	R/W	001010b	ハーフブリッジ 7 と 8 のオン/オフ時間遅延。140ns x T_DON_DOFF_78 [3:0] デフォルト時間:001010b (1.4us)

8.3.3.6 PDR_CTRL5 レジスタ (アドレス = 2Fh) [リセット = F6h]

図 8-46 に、PDR_CTRL5 を示し、表 8-56 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 および 2 の充電およびプリチャージ初期設定用制御レジスタ。

図 8-46. PDR_CTRL5 レジスタ

7	6	5	4	3	2	1	0
T_PRE_CHR_12		T_PRE_DCHR_12		PRE_CHR_INIT_12		PRE_DCHR_INIT_12	
R/W-11b		R/W-11b		R/W-01b		R/W-10b	

表 8-56. PDR_CTRL5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	T_PRE_CHR_12	R/W	11b	ハーフブリッジ 1 および 2 の PDR 制御ループのプリチャージ時間。T_DON_DOFF_12 [5:0] の比率として設定 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
5-4	T_PRE_DCHR_12	R/W	11b	ハーフブリッジ 1 と 2 の PDR 制御ループの事前放電時間。T_DON_DOFF_12 [5:0] の比率として設定 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2

Copyright © 2026 Texas Instruments Incorporated

表 8-56. PDR_CTRL5 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-2	PRE_CHR_INIT_12	R/W	01b	ハーフブリッジ 1 および 2 の PDR 制御ループの初期プリチャージ電流設定。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA
1-0	PRE_DCHR_INIT_12	R/W	10b	ハーフブリッジ 1 および 2 の PDR 制御ループの初期予備放電電流設定。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA

8.3.3.7 PDR_CTRL6 レジスタ (アドレス = 30h) [リセット = F6h]

図 8-47 に、PDR_CTRL6 を示し、表 8-57 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 3 および 4 の充電およびプリチャージ初期設定用制御レジスタ。

図 8-47. PDR_CTRL6 レジスタ

7	6	5	4	3	2	1	0
T_PRE_CHR_34		T_PRE_DCHR_34		PRE_CHR_INIT_34		PRE_DCHR_INIT_34	
R/W-11b		R/W-11b		R/W-01b		R/W-10b	

表 8-57. PDR_CTRL6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	T_PRE_CHR_34	R/W	11b	ハーフブリッジ 3 および 4 の PDR 制御ループのプリチャージ時間。 T_DON_DOFF_34 [5:0] の比率として設定 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
5-4	T_PRE_DCHR_34	R/W	11b	ハーフブリッジ 3 と 4 の PDR 制御ループの事前放電時間。 T_DON_DOFF_34 [5:0] の比率として設定 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
3-2	PRE_CHR_INIT_34	R/W	01b	ハーフブリッジ 3 および 4 の PDR 制御ループの初期プリチャージ電流設定。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA
1-0	PRE_DCHR_INIT_34	R/W	10b	ハーフブリッジ 3 および 4 の PDR 制御ループの初期予備放電電流設定。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA

Copyright © 2026 Texas Instruments Incorporated

8.3.3.8 PDR_CTRL7 レジスタ (アドレス = 31h) [リセット = F6h]

図 8-48 に、PDR_CTRL7 を示し、表 8-58 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 5 および 6 の充電およびプリチャージ初期設定用制御レジスタ。

図 8-48. PDR_CTRL7 レジスタ

7	6	5	4	3	2	1	0
T_PRE_CHR_56		T_PRE_DCHR_56		PRE_CHR_INIT_56		PRE_DCHR_INIT_56	
R/W-11b		R/W-11b		R/W-01b		R/W-10b	

表 8-58. PDR_CTRL7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	T_PRE_CHR_56	R/W	11b	ハーフブリッジ 5 および 6 の PDR 制御ループのプリチャージ時間。 T_DON_DOFF_56 [5:0] の比率として設定 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
5-4	T_PRE_DCHR_56	R/W	11b	ハーフブリッジ 5 と 6 の PDR 制御ループの事前放電時間。 T_DON_DOFF_56 [5:0] の比率として設定 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
3-2	PRE_CHR_INIT_56	R/W	01b	ハーフブリッジ 5 および 6 の PDR 制御ループの初期プリチャージ電流設定。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA
1-0	PRE_DCHR_INIT_56	R/W	10b	ハーフブリッジ 5 および 6 の PDR 制御ループの初期予備放電電流設定。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA

8.3.3.9 PDR_CTRL8 レジスタ (アドレス = 32h) [リセット = F6h]

図 8-49 に、PDR_CTRL8 を示し、表 8-59 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 7 および 8 の充電およびプリチャージ初期設定用制御レジスタ。

図 8-49. PDR_CTRL8 レジスタ

7	6	5	4	3	2	1	0
T_PRE_CHR_78		T_PRE_DCHR_78		PRE_CHR_INIT_78		PRE_DCHR_INIT_78	
R/W-11b		R/W-11b		R/W-01b		R/W-10b	

Copyright © 2026 Texas Instruments Incorporated

表 8-59. PDR_CTRL8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	T_PRE_CHR_78	R/W	11b	ハーフブリッジ 7 および 8 の PDR 制御ループのプリチャージ時間。 T_DON_DOFF_78 [5:0] の比率として設定 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
5-4	T_PRE_DCHR_78	R/W	11b	ハーフブリッジ 7 と 8 の PDR 制御ループの事前放電時間。 T_DON_DOFF_78 [5:0] の比率として設定 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
3-2	PRE_CHR_INIT_78	R/W	01b	ハーフブリッジ 7 および 8 の PDR 制御ループの初期プリチャージ電流設定。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA
1-0	PRE_DCHR_INIT_78	R/W	10b	ハーフブリッジ 7 および 8 の PDR 制御ループの初期予備放電電流設定。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA

8.3.3.10 PDR_CTRL9 レジスタ (アドレス = 33h) [リセット = 11h]

図 8-50 に、PDR_CTRL9 を示し、表 8-60 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 4 の PDR Kp ループ コントローラ ゲイン設定を構成するための制御レジスタ。

図 8-50. PDR_CTRL9 レジスタ

7	6	5	4	3	2	1	0
EN_PDR_12	PDR_ERR_12	KP_PDR_12		EN_PDR_34	PDR_ERR_34	KP_PDR_34	
R/W-0b	R/W-0b	R/W-01b		R/W-0b	R/W-0b	R/W-01b	

表 8-60. PDR_CTRL9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	EN_PDR_12	R/W	0b	ハーフ ブリッジ 1 および 2 の PDR ループ制御を有効化します。
6	PDR_ERR_12	R/W	0b	ハーフブリッジ 1 および 2 の PDR ループ誤差リミット。 0b = 1 ビット エラー 1b = 実際のエラー
5-4	KP_PDR_12	R/W	01b	ハーフ ブリッジ 1 および 2 の PDR 比例コントローラのゲイン設定。 00b = 1 01b = 2 10b = 3 11b = 4
3	EN_PDR_34	R/W	0b	ハーフ ブリッジ 3 および 4 の PDR ループ制御を有効化します。
2	PDR_ERR_34	R/W	0b	ハーフブリッジ 3 および 4 の PDR ループ誤差リミット。 0b = 1 ビット エラー 1b = 実際のエラー

Copyright © 2026 Texas Instruments Incorporated

表 8-60. PDR_CTRL9 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	KP_PDR_34	R/W	01b	ハーフ ブリッジ 3 および 4 の PDR 比例コントローラのゲイン設定。 00b = 1 01b = 2 10b = 3 11b = 4

8.3.3.11 PDR_CTRL10 レジスタ (アドレス = 34h) [リセット = 11h]

図 8-51 に、PDR_CTRL10 を示し、表 8-61 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 5 ～ 8 の PDR Kp ループ コントローラ ゲイン設定を構成するための制御レジスタ。

図 8-51. PDR_CTRL10 レジスタ

7	6	5	4	3	2	1	0
EN_PDR_56	PDR_ERR_56	KP_PDR_56		EN_PDR_78	PDR_ERR_78	KP_PDR_78	
R/W-0b	R/W-0b	R/W-01b		R/W-0b	R/W-0b	R/W-01b	

表 8-61. PDR_CTRL10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	EN_PDR_56	R/W	0b	ハーフ ブリッジ 5 および 6 の PDR ループ制御を有効化します。
6	PDR_ERR_56	R/W	0b	ハーフブリッジ 5 および 6 の PDR ループ誤差リミット。 0b = 1 ビット エラー 1b = 実際のエラー
5-4	KP_PDR_56	R/W	01b	ハーフ ブリッジ 5 および 6 の PDR 比例コントローラのゲイン設定。 00b = 1 01b = 2 10b = 3 11b = 4
3	EN_PDR_78	R/W	0b	ハーフ ブリッジ 7 および 8 の PDR ループ制御を有効化します。
2	PDR_ERR_78	R/W	0b	ハーフブリッジ 7 および 8 の PDR ループ誤差リミット。 0b = 1 ビット エラー 1b = 実際のエラー
1-0	KP_PDR_78	R/W	01b	ハーフ ブリッジ 7 および 8 の PDR 比例コントローラのゲイン設定。 00b = 1 01b = 2 10b = 3 11b = 4

8.3.3.12 STC_CTRL1 レジスタ (アドレス = 35h) [リセット = 23h]

図 8-52 に、STC_CTRL1 を示し、表 8-62 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 と 2 の STC 立ち上がり / 立ち下がり時間および Kp ループ コントローラ ゲイン設定を構成するための制御レジスタ。

図 8-52. STC_CTRL1 レジスタ

7	6	5	4	3	2	1	0
T_RISE_FALL_12				EN_STC_12	STC_ERR_12	KP_STC_12	
R/W-0010b				R/W-0b	R/W-0b	R/W-11b	

Copyright © 2026 Texas Instruments Incorporated

図 8-52. STC_CTRL1 レジスタ (続き)

表 8-62. STC_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	T_RISE_FALL_12	R/W	0010b	ハーフブリッジ 1 と 2 のスイッチノード VSH の立ち上がり時間と立ち下がり時間を設定します。 0000b = 0.35us 0001b = 0.56us 0010b = 0.77us 0011b = 0.98us 0100b = 1.33us 0101b = 1.68us 0110b = 2.03us 0111b = 2.45us 1000b = 2.94us 1001b = 3.99us 1010b = 4.97us 1011b = 5.95us 1100b = 7.98us 1101b = 9.94us 1110b = 11.97us 1111b = 15.96us
3	EN_STC_12	R/W	0b	ハーフ ブリッジ 1 および 2 の STC ループ制御を有効化します。
2	STC_ERR_12	R/W	0b	ハーフブリッジ 1 と 2 の STC ループ エラー制限値 0b = 1 ビット エラー 1b = 実際のエラー
1-0	KP_STC_12	R/W	11b	ハーフ ブリッジ 1 および 2 の STC 比例コントローラのゲイン設定。 00b = 1 01b = 2 10b = 3 11b = 4

8.3.3.13 STC_CTRL2 レジスタ (アドレス = 36h) [リセット = 23h]

図 8-53 に、STC_CTRL2 を示し、表 8-63 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 3 と 4 の STC 立ち上がり / 立ち下がり時間および Kp ループ コントローラ ゲイン設定を構成するための制御レジスタ。

図 8-53. STC_CTRL2 レジスタ

7	6	5	4	3	2	1	0
T_RISE_FALL_34				EN_STC_34	STC_ERR_34	KP_STC_34	
R/W-0010b				R/W-0b	R/W-0b	R/W-11b	

Copyright © 2026 Texas Instruments Incorporated

表 8-63. STC_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	T_RISE_FALL_34	R/W	0010b	ハーフブリッジ 3 と 4 のスイッチノード VSH の立ち上がり時間と立ち下がり時間を設定します。 0000b = 0.35us 0001b = 0.56us 0010b = 0.77us 0011b = 0.98us 0100b = 1.33us 0101b = 1.68us 0110b = 2.03us 0111b = 2.45us 1000b = 2.94us 1001b = 3.99us 1010b = 4.97us 1011b = 5.95us 1100b = 7.98us 1101b = 9.94us 1110b = 11.97us 1111b = 15.96us
3	EN_STC_34	R/W	0b	ハーフ ブリッジ 3 および 4 の STC ループ制御を有効化します。
2	STC_ERR_34	R/W	0b	ハーフブリッジ 3 および 4 の STC ループ誤差リミット。 0b = 1 ビット エラー 1b = 実際のエラー
1-0	KP_STC_34	R/W	11b	ハーフ ブリッジ 3 および 4 の STC 比例コントローラのゲイン設定。 00b = 1 01b = 2 10b = 3 11b = 4

8.3.3.14 STC_CTRL3 レジスタ (アドレス = 37h) [リセット = 23h]

図 8-54 に、STC_CTRL3 を示し、表 8-64 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 5 と 6 の STC 立ち上がり / 立ち下がり時間および Kp ループ コントローラ ゲイン設定を構成するための制御レジスタ。

図 8-54. STC_CTRL3 レジスタ

7	6	5	4	3	2	1	0
T_RISE_FALL_56				EN_STC_56	STC_ERR_56	KP_STC_56	
R/W-0010b				R/W-0b	R/W-0b	R/W-11b	

Copyright © 2026 Texas Instruments Incorporated

表 8-64. STC_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	T_RISE_FALL_56	R/W	0010b	ハーフブリッジ 5 と 6 のスイッチノード VSH の立ち上がり時間と立ち下がり時間を設定します。 0000b = 0.35us 0001b = 0.56us 0010b = 0.77us 0011b = 0.98us 0100b = 1.33us 0101b = 1.68us 0110b = 2.03us 0111b = 2.45us 1000b = 2.94us 1001b = 3.99us 1010b = 4.97us 1011b = 5.95us 1100b = 7.98us 1101b = 9.94us 1110b = 11.97us 1111b = 15.96us
3	EN_STC_56	R/W	0b	ハーフ ブリッジ 5 および 6 の STC ループ制御を有効化します。
2	STC_ERR_56	R/W	0b	ハーフブリッジ 5 および 6 の STC ループ誤差リミット。 0b = 1 ビット エラー 1b = 実際のエラー
1-0	KP_STC_56	R/W	11b	ハーフ ブリッジ 5 および 6 の STC 比例コントローラのゲイン設定。 00b = 1 01b = 2 10b = 3 11b = 4

8.3.3.15 STC_CTRL4 レジスタ (アドレス = 38h) [リセット = 23h]

図 8-55 に、STC_CTRL4 を示し、表 8-65 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 7 と 8 の STC 立ち上がり / 立ち下がり時間および Kp ループ コントローラ ゲイン設定を構成するための制御レジスタ。

図 8-55. STC_CTRL4 レジスタ

7	6	5	4	3	2	1	0
T_RISE_FALL_78				EN_STC_78	STC_ERR_78	KP_STC_78	
R/W-0010b				R/W-0b	R/W-0b	R/W-11b	

表 8-65. STC_CTRL4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	T_RISE_FALL_78	R/W	0010b	ハーフブリッジ 7 と 8 のスイッチノード VSH の立ち上がり時間と立ち下がり時間を設定します。 0000b = 0.35us 0001b = 0.56us 0010b = 0.77us 0011b = 0.98us 0100b = 1.33us 0101b = 1.68us 0110b = 2.03us 0111b = 2.45us 1000b = 2.94us 1001b = 3.99us 1010b = 4.97us 1011b = 5.95us 1100b = 7.98us 1101b = 9.94us 1110b = 11.97us 1111b = 15.96us
3	EN_STC_78	R/W	0b	ハーフ ブリッジ 7 および 8 の STC ループ制御を有効化します。
2	STC_ERR_78	R/W	0b	ハーフブリッジ 7 および 8 の STC ループ誤差リミット。 0b = 1 ビット エラー 1b = 実際のエラー
1-0	KP_STC_78	R/W	11b	ハーフ ブリッジ 7 および 8 の STC 比例コントローラのゲイン設定。 00b = 1 01b = 2 10b = 3 11b = 4

8.3.3.16 DCC_CTRL1 レジスタ (アドレス = 39h) [リセット = 0h]

図 8-56 に、DCC_CTRL1 を示し、表 8-66 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 8 の DCC ループの有効化および手動設定を行うための制御レジスタ。

図 8-56. DCC_CTRL1 レジスタ

7	6	5	4	3	2	1	0
EN_DCC_12	EN_DCC_34	EN_DCC_56	EN_DCC_78	IDIR_MAN_12	IDIR_MAN_34	IDIR_MAN_56	IDIR_MAN_78
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-66. DCC_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	EN_DCC_12	R/W	0b	ハーフ ブリッジ 1 と 2 のデューティ サイクル補償を有効にします。
6	EN_DCC_34	R/W	0b	ハーフ ブリッジ 3 と 4 のデューティ サイクル補償を有効にします。
5	EN_DCC_56	R/W	0b	ハーフ ブリッジ 5 と 6 のデューティ サイクル補償を有効にします。
4	EN_DCC_78	R/W	0b	ハーフ ブリッジ 7 と 8 のデューティ サイクル補償を有効にします。
3	IDIR_MAN_12	R/W	0b	ハーフ ブリッジ 1 および 2 の電流極性検出モード。 0b = 自動 1b = 手動 (HBx_HL により設定)
2	IDIR_MAN_34	R/W	0b	ハーフ ブリッジ 3 および 4 の電流極性検出モード。 0b = 自動 1b = 手動 (HBx_HL により設定)

Copyright © 2026 Texas Instruments Incorporated

表 8-66. DCC_CTRL1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	IDIR_MAN_56	R/W	0b	ハーフ ブリッジ 5 および 6 の電流極性検出モード。 0b = 自動 1b = 手動 (HBx_HL により設定)
0	IDIR_MAN_78	R/W	0b	ハーフ ブリッジ 7 および 8 の電流極性検出モード。 0b = 自動 1b = 手動 (HBx_HL により設定)

8.3.3.17 PST_CTRL1 レジスタ (アドレス = 3Ah) [リセット = Fh]

図 8-57 に、PST_CTRL1 を示し、表 8-67 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 8 の最大フリーホイール電流および充電後遅延を設定する制御レジスタ。

図 8-57. PST_CTRL1 レジスタ

7	6	5	4	3	2	1	0
FW_MAX_12	FW_MAX_34	FW_MAX_56	FW_MAX_78	EN_PST_DLY_12	EN_PST_DLY_34	EN_PST_DLY_56	EN_PST_DLY_78
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-1b	R/W-1b	R/W-1b	R/W-1b

表 8-67. PST_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FW_MAX_12	R/W	0b	ハーフブリッジ 1 および 2 のフリーホイール MOSFET に使用されるゲート駆動電流。 0b = PRE_CHR_MAX_12 [1:0] 1b = 64mA
6	FW_MAX_34	R/W	0b	ゲートドライバ 3 および 4 のフリーホイール MOSFET に使用されるゲート駆動電流。 0b = PRE_CHR_MAX_34 [1:0] 1b = 64mA
5	FW_MAX_56	R/W	0b	ゲートドライバ 5 および 6 のフリーホイール MOSFET に使用されるゲート駆動電流。 0b = PRE_CHR_MAX_56 [1:0] 1b = 64mA
4	FW_MAX_78	R/W	0b	ゲートドライバ 7 および 8 のフリーホイール MOSFET に使用されるゲート駆動電流。 0b = PRE_CHR_MAX_78 [1:0] 1b = 64mA
3	EN_PST_DLY_12	R/W	1b	充電後の時間遅延を有効にします。時間遅延は T_DON_DOFF_12 - T_PRE_CHR_12 と等しくなります。
2	EN_PST_DLY_34	R/W	1b	充電後の時間遅延を有効にします。時間遅延は T_DON_DOFF_34 - T_PRE_CHR_34 と等しくなります。
1	EN_PST_DLY_56	R/W	1b	充電後の時間遅延を有効にします。時間遅延は T_DON_DOFF_56 - T_PRE_CHR_56 と等しくなります。
0	EN_PST_DLY_78	R/W	1b	充電後の時間遅延を有効にします。時間遅延は T_DON_DOFF_78 - T_PRE_CHR_78 と等しくなります。

8.3.3.18 PST_CTRL2 レジスタ (アドレス = 3Bh) [リセット = 55h]

図 8-58 に、PST_CTRL2 を示し、表 8-68 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 8 の充電後 Kp ループ コントローラのゲイン設定を設定するための制御レジスタ。

Copyright © 2026 Texas Instruments Incorporated

図 8-58. PST_CTRL2 レジスタ

7	6	5	4	3	2	1	0
KP_PST_12		KP_PST_34		KP_PST_56		KP_PST_78	
R/W-01b		R/W-01b		R/W-01b		R/W-01b	

表 8-68. PST_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	KP_PST_12	R/W	01b	ハーフ ブリッジ 1 および 2 のポスト チャージ比例制御ゲイン設定。 00b = 無効化 01b = 2 10b = 4 11b = 15
5-4	KP_PST_34	R/W	01b	ハーフ ブリッジ 3 および 4 のポスト チャージ比例制御ゲイン設定。 00b = 無効化 01b = 2 10b = 4 11b = 15
3-2	KP_PST_56	R/W	01b	ハーフ ブリッジ 5 および 6 のポスト チャージ比例制御ゲイン設定。 00b = 無効化 01b = 2 10b = 4 11b = 15
1-0	KP_PST_78	R/W	01b	ハーフ ブリッジ 7 および 8 のポスト チャージ比例制御ゲイン設定。 00b = 無効化 01b = 2 10b = 4 11b = 15

Copyright © 2026 Texas Instruments Incorporated

8.3.4 DRV8718-Q1_STATUS_ADV レジスタ

表 8-69 に、DRV8718-Q1_STATUS_ADV レジスタの一覧を示します。表 8-69 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-69. DRV8718-Q1_STATUS_ADV レジスタ

アドレス	略称	レジスタ名	セクション
3Ch	SGD_STAT1	ハーフブリッジ 1 ～ 8 電流極性インジケータ	表示
3Dh	SGD_STAT2	ハーフブリッジ 1 ～ 8 の PDR アンダーフローおよびオーバーフロー インジケータ	表示
3Eh	SGD_STAT3	ハーフブリッジ 1 ～ 8 STC 故障インジケータ	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-70 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-70. DRV8718-Q1_STATUS_ADV アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
リセットまたはデフォルト値		
- *n*		リセット後の値またはデフォルト値

8.3.4.1 SGD_STAT1 レジスタ (アドレス = 3Ch) [リセット = 0h]

図 8-59 に、SGD_STAT1 を示し、表 8-71 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 8 の電流極性を示すステータス レジスタ。

図 8-59. SGD_STAT1 レジスタ

7	6	5	4	3	2	1	0
IDIR_12	IDIR_34	IDIR_56	IDIR_78	IDIR_WARN_12	IDIR_WARN_34	IDIR_WARN_56	IDIR_WARN_78
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-71. SGD_STAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	IDIR_12	R	0b	ハーフ ブリッジ 1 および 2 の電流方向を示します。
6	IDIR_34	R	0b	ハーフ ブリッジ 3 および 4 の電流方向を示します。
5	IDIR_56	R	0b	ハーフ ブリッジ 5 および 6 の電流方向を示します。
4	IDIR_78	R	0b	ハーフ ブリッジ 7 および 8 の電流方向を示します。
3	IDIR_WARN_12	R	0b	ハーフ ブリッジ 1 および 2 の電流方向が不明であることを示します。
2	IDIR_WARN_34	R	0b	ハーフ ブリッジ 3 および 4 の電流方向が不明であることを示します。
1	IDIR_WARN_56	R	0b	ハーフ ブリッジ 5 および 6 の電流方向が不明であることを示します。
0	IDIR_WARN_78	R	0b	ハーフ ブリッジ 7 および 8 の電流方向が不明であることを示します。

8.3.4.2 SGD_STAT2 レジスタ (アドレス = 3Dh) [リセット = 0h]

図 8-60 に、SGD_STAT2 を示し、表 8-72 に、その説明を示します。

Copyright © 2026 Texas Instruments Incorporated

概略表に戻ります。

ハーフブリッジ 1 ～ 8 の PDR ループ制御におけるアンダーフローおよびオーバーフローを示すステータス レジスタ。

図 8-60. SGD_STAT2 レジスタ

7	6	5	4	3	2	1	0
PCHR_WARN_12	PCHR_WARN_34	PCHR_WARN_56	PCHR_WARN_78	PDCHR_WARN_12	PDCHR_WARN_34	PDCHR_WARN_56	PDCHR_WARN_78
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-72. SGD_STAT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PCHR_WARN_12	R	0b	ハーフ ブリッジ 1 および 2 のプリチャージアンダーフローまたはオーバーフロー フォルトを示します。
6	PCHR_WARN_34	R	0b	ハーフ ブリッジ 3 および 4 のプリチャージアンダーフローまたはオーバーフロー フォルトを示します。
5	PCHR_WARN_56	R	0b	ハーフ ブリッジ 5 および 6 のプリチャージアンダーフローまたはオーバーフロー フォルトを示します。
4	PCHR_WARN_78	R	0b	ハーフ ブリッジ 7 および 8 のプリチャージアンダーフローまたはオーバーフロー フォルトを示します。
3	PDCHR_WARN_12	R	0b	ハーフ ブリッジ 1 および 2 の予備放電アンダーフローまたはオーバーフロー フォルトを示します。
2	PDCHR_WARN_34	R	0b	ハーフ ブリッジ 3 および 4 の予備放電アンダーフローまたはオーバーフロー フォルトを示します。
1	PDCHR_WARN_56	R	0b	ハーフ ブリッジ 5 および 6 の予備放電アンダーフローまたはオーバーフロー フォルトを示します。
0	PDCHR_WARN_78	R	0b	ハーフ ブリッジ 7 および 8 の予備放電アンダーフローまたはオーバーフロー フォルトを示します。

8.3.4.3 SGD_STAT3 レジスタ (アドレス = 3Eh) [リセット = 0h]

図 8-61 に、SGD_STAT3 を示し、表 8-73 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 8 のステータス レジスタ インジケータ STC の立ち上がり時間および立ち下がり時間のオーバーフロー。

図 8-61. SGD_STAT3 レジスタ

7	6	5	4	3	2	1	0
STC_WARN_F_12	STC_WARN_F_34	STC_WARN_F_56	STC_WARN_F_78	STC_WARN_R_12	STC_WARN_R_34	STC_WARN_R_56	STC_WARN_R_78
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-73. SGD_STAT3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	STC_WARN_F_12	R	0b	ハーフ ブリッジ 1 および 2 の立ち下がりスルー時間 TDRV オーバーフローを示します。
6	STC_WARN_F_34	R	0b	ハーフ ブリッジ 3 および 4 の立ち下がりスルー時間 TDRV オーバーフローを示します。
5	STC_WARN_F_56	R	0b	ハーフ ブリッジ 5 および 6 の立ち下がりスルー時間 TDRV オーバーフローを示します。

Copyright © 2026 Texas Instruments Incorporated

表 8-73. SGD_STAT3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	STC_WARN_F_78	R	0b	ハーフ ブリッジ 7 および 8 の立ち下がりスルー時間 TDRV オーバーフローを示します。
3	STC_WARN_R_12	R	0b	ハーフ ブリッジ 1 および 2 の立ち上がりスルー時間 TDRV オーバーフローを示します。
2	STC_WARN_R_34	R	0b	ハーフ ブリッジ 3 および 4 の立ち上がりスルー時間 TDRV オーバーフローを示します。
1	STC_WARN_R_56	R	0b	ハーフ ブリッジ 5 および 6 の立ち上がりスルー時間 TDRV オーバーフローを示します。
0	STC_WARN_R_78	R	0b	ハーフ ブリッジ 7 および 8 の立ち上がりスルー時間 TDRV オーバーフローを示します。

Copyright © 2026 Texas Instruments Incorporated

8.4 DRV8714-Q1 のレジスタの説明

Copyright © 2026 Texas Instruments Incorporated

8.4.1 DRV8714-Q1_STATUS レジスタ

表 8-74 に、DRV8714-Q1_STATUS レジスタの一覧を示します。表 8-74 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-74. DRV8714-Q1_STATUS レジスタ

アドレス	略称	レジスタ名	セクション
0h	IC_STAT1	グローバル故障および警告ステータス インジケータ	表示
1h	VDS_STAT1	ハーフブリッジの 1 ～ 4 VDS 過電流故障ステータス インジケータ	表示
3h	VGS_STAT1	ハーフブリッジの 1 ～ 4 VGS ゲート故障ステータス インジケータ	表示
5h	IC_STAT2	電圧、温度、インターフェイスの故障ステータス インジケータ	表示
6h	IC_STAT3	デバイス バリアント ID ステータス レジスタ	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-75 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-75. DRV8714-Q1_STATUS のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
リセットまたはデフォルト値		
- n		リセット後の値またはデフォルト値

8.4.1.1 IC_STAT1 レジスタ (アドレス = 0h) [リセット = C0h]

図 8-62 に、IC_STAT1 を示し、表 8-76 に、その説明を示します。

概略表に戻ります。

グローバルな故障および警告インジケータ用のステータス レジスタ。詳細な故障情報は、他のステータス レジスタで確認できます。

図 8-62. IC_STAT1 レジスタ

7	6	5	4	3	2	1	0
SPI_OK	POR	フォルト	WARN	DS_GS	UV	OV	OT_WD_AGD
R-1b	R-1b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-76. IC_STAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SPI_OK	R	1b	SPI 通信フォルトが検出されたかどうかを示します。 0b = 直前のフレームにおける SCLK_FLT の 1 つまたは複数。 1b = SPI 故障は検出されていません。
6	POR	R	1b	パワーオン リセット状態を示します。 0b = パワーオン リセット状態は検出されていません。 1b = パワーオン リセット状態が検出されています。
5	フォルト	R	0b	フォルト インジケータ。nFAULT ピンを反映します。
4	WARN	R	0b	警告インジケータ。
3	DS_GS	R	0b	VDS と VGS 故障インジケータの論理和。
2	UV	R	0b	低電圧インジケータ。
1	OV	R	0b	過電圧インジケータ。

Copyright © 2026 Texas Instruments Incorporated

表 8-76. IC_STAT1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	OT_WD_AGD	R	0b	OTW、OTSD、WD_FLT、IDIR_WARN、PCHR_WARN、PDCHR_WARN、STC_WARN インジケータの論理 OR。

8.4.1.2 VDS_STAT1 レジスタ (アドレス = 1h) [リセット = 0h]

図 8-63 に、VDS_STAT1 を示し、表 8-77 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 4 の MOSFET VDS 過電流故障表示用のステータス レジスタ。

図 8-63. VDS_STAT1 レジスタ

7	6	5	4	3	2	1	0
VDS_H1	VDS_L1	VDS_H2	VDS_L2	VDS_H3	VDS_L3	VDS_H4	VDS_L4
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-77. VDS_STAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	VDS_H1	R	0b	ハイサイド 1 MOSFET 上の VDS 過電流障害を示します。
6	VDS_L1	R	0b	ローサイド 1 MOSFET 上の VDS 過電流障害を示します。
5	VDS_H2	R	0b	ハイサイド 2 MOSFET 上の VDS 過電流障害を示します。
4	VDS_L2	R	0b	ローサイド 2 MOSFET 上の VDS 過電流障害を示します。
3	VDS_H3	R	0b	ハイサイド 3 MOSFET 上の VDS 過電流障害を示します。
2	VDS_L3	R	0b	ローサイド 3 MOSFET 上の VDS 過電流障害を示します。
1	VDS_H4	R	0b	ハイサイド 4 MOSFET 上の VDS 過電流障害を示します。
0	VDS_L4	R	0b	ローサイド 4 MOSFET 上の VDS 過電流障害を示します。

8.4.1.3 VGS_STAT1 レジスタ (アドレス = 3h) [リセット = 0h]

図 8-64 に、VGS_STAT1 を示し、表 8-78 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 4 の MOSFET VGS ゲート故障表示用のステータス レジスタ。

図 8-64. VGS_STAT1 レジスタ

7	6	5	4	3	2	1	0
VGS_H1	VGS_L1	VGS_H2	VGS_L2	VGS_H3	VGS_L3	VGS_H4	VGS_L4
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-78. VGS_STAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	VGS_H1	R	0b	ハイサイド 1 MOSFET 上の VGS ゲート障害を示します。
6	VGS_L1	R	0b	ローサイド 1 MOSFET 上の VGS ゲート障害を示します。
5	VGS_H2	R	0b	ハイサイド 2 MOSFET 上の VGS ゲート障害を示します。
4	VGS_L2	R	0b	ローサイド 2 MOSFET 上の VGS ゲート障害を示します。
3	VGS_H3	R	0b	ハイサイド 3 MOSFET 上の VGS ゲート障害を示します。
2	VGS_L3	R	0b	ローサイド 3 MOSFET 上の VGS ゲート障害を示します。

Copyright © 2026 Texas Instruments Incorporated

表 8-78. VGS_STAT1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	VGS_H4	R	0b	ハイサイド 4 MOSFET 上の VGS ゲート障害を示します。
0	VGS_L4	R	0b	ローサイド 4 MOSFET 上の VGS ゲート障害を示します。

8.4.1.4 IC_STAT2 レジスタ (アドレス = 5h) [リセット = 0h]

図 8-65 に、IC_STAT2 を示し、表 8-79 に、その説明を示します。

概略表に戻ります。

低電圧、過電圧、過温度、およびインターフェイス故障の各表示用ステータス レジスタ。

図 8-65. IC_STAT2 レジスタ

7	6	5	4	3	2	1	0
PVDD_UV	PVDD_OV	VCP_UV	OTW	OTSD	WD_FLT	SCLK_FLT	予約済み
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-79. IC_STAT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PVDD_UV	R	0b	PVDD ピンの低電圧障害を示します。
6	PVDD_OV	R	0b	PVDD ピン上の過電圧障害を示します。
5	VCP_UV	R	0b	VCP ピンの低電圧障害を示します。
4	OTW	R	0b	過熱警告を示します。
3	OTSD	R	0b	過熱シャットダウンを示します。
2	WD_FLT	R	0b	ウォッチドッグ タイマの故障を示します。
1	SCLK_FLT	R	0b	トランザクション フレーム内の SCLK パルスの数が 16 と等しくない場合に、SPI クロック(フレーム)エラーを示します。故障または nFAULT ピンで通知されません。
0	予約済み	R	0b	予約済み

8.4.1.5 IC_STAT3 レジスタ (アドレス = 6h) [リセット = 4h]

図 8-66 に、IC_STAT3 を示し、表 8-80 に、その説明を示します。

概略表に戻ります。

DRV8718-Q1 または DRV8714-Q1 のデバイス ID を含むステータス レジスタ。

図 8-66. IC_STAT3 レジスタ

7	6	5	4	3	2	1	0
予約済み				IC_ID			
R-0000b				R-0100b			

表 8-80. IC_STAT3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0000b	予約済み
3-0	IC_ID	R	0100b	デバイス識別フィールド。 0100b = DRV8714-Q1、4 つのハーフブリッジ ゲートドライバ。 1000b = DRV8718-Q1、8 つのハーフブリッジ ゲートドライバ。

Copyright © 2026 Texas Instruments Incorporated

8.4.2 DRV8714-Q1_CONTROL レジスタ

表 8-81 に、DRV8714-Q1_CONTROL レジスタの一覧を示します。表 8-81 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-81. DRV8714-Q1_CONTROL レジスタ

アドレス	略称	レジスタ名	セクション
7h	IC_CTRL1	デバイス汎用機能制御レジスタ 1	表示
8h	IC_CTRL2	デバイス汎用機能制御レジスタ 2	表示
9h	BRG_CTRL1	ハーフブリッジ 1 ～ 4 の出力状態制御	表示
Ah	BRG_CTRL2	H ブリッジ 1/2 および 3/4 制御	表示
Bh	PWM_CTRL1	ハーフブリッジ 1 ～ 4 PWM マッピング制御	表示
Ch	PWM_CTRL2	H ブリッジ 1/2 および 3/4 構成	表示
Dh	PWM_CTRL3	ハーフブリッジ 1 ～ 4 のハイサイドまたはローサイド駆動制御	表示
Eh	PWM_CTRL4	ハーフブリッジ 1 ～ 4 フリーホイール構成	表示
Fh	IDRV_CTRL1	ハーフブリッジ 1 ゲートドライブのソース / シンク電流	表示
10h	IDRV_CTRL2	ハーフブリッジ 2 ゲートドライブのソース / シンク電流	表示
11h	IDRV_CTRL3	ハーフブリッジ 3 ゲートドライブのソース / シンク電流	表示
12h	IDRV_CTRL4	ハーフブリッジ 4 ゲートドライブのソース / シンク電流	表示
17h	IDRV_CTRL9	ハーフブリッジ 1 ～ 4 のゲート駆動低電流制御	表示
18h	DRV_CTRL1	ゲートドライバの VGS と VDS 監視構成	表示
19h	DRV_CTRL2	ハーフブリッジ 1 および 2 の VGS および VDS の tDRV 設定	表示
1Ah	DRV_CTRL3	ハーフブリッジ 3 および 4 の VGS および VDS の tDRV 設定	表示
1Bh	DRV_CTRL4	ハーフブリッジ 1 ～ 4 VGS tDEAD_D 構成	表示
1Ch	DRV_CTRL5	ハーフブリッジ 1 ～ 4 VDS tDS_DG 構成	表示
1Dh	DRV_CTRL6	ハーフブリッジ 1 ～ 4 VDS 故障プルダウン電流の構成	表示
1Fh	VDS_CTRL1	ハーフブリッジ 1 および 2 の VDS の過電流スレッショルド	表示
20h	VDS_CTRL2	ハーフブリッジ 3 および 4 の VDS の過電流スレッショルド	表示
23h	OLSC_CTRL1	ハーフブリッジ 1 ～ 4 オフライン診断制御	表示
25h	UVOV_CTRL	低電圧および過電圧モニタの構成。	表示
26h	CSA_CTRL1	シャント アンプ 1 および 2 の構成	表示
27h	CSA_CTRL2	シャント アンプ 1 のブランキング構成	表示
28h	CSA_CTRL3	シャント アンプ 2 のブランキング構成	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-82 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-82. DRV8714-Q1_CONTROL アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
- n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

8.4.2.1 IC_CTRL1 レジスタ (アドレス = 7h) [リセット = 6h]

図 8-67 に、IC_CTRL1 を示し、表 8-83 に、その説明を示します。

概略表に戻ります。

ドライバおよび診断の有効化、PWM 制御モード、SPI ロック、故障クリア コマンドの制御用レジスタ。

図 8-67. IC_CTRL1 レジスタ

7	6	5	4	3	2	1	0
EN_DRV	EN_OLSC	BRG_MODE		LOCK			CLR_FLT
R/W-0b	R/W-0b	R/W-00b		R/W-011b			R/W-0b

表 8-83. IC_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	EN_DRV	R/W	0b	ゲートドライバを有効化。 0b = ゲートドライバ出力を無効化し、パッシブ プルダウンを有効化。 1b = ゲートドライバ出力を有効化。
6	EN_OLSC	R/W	0b	オフラインのオープン負荷および短絡診断を有効化。 0b = 無効化。 1b = VDS モニタをリアルタイム電圧モニタ モードに設定し、オフライン診断用電流源を有効化。
5-4	BRG_MODE	R/W	00b	ブリッジ PWM 制御モード。 00b = 独立ハーフブリッジ 01b = H ブリッジ PH/EN 10b = H ブリッジ PWM 11b = ソレノイド制御
3-1	LOCK	R/W	011b	制御レジスタのロックとロック解除。一覧にないビット設定は無効です。 011b = すべての制御レジスタをロック解除します。 110b = LOCK レジスタ以外の追加の書き込みを無視することで、制御レジスタをロックします。
0	CLR_FLT	R/W	0b	ラッチされた障害状態情報をクリア。 0b = デフォルト状態。 1b = ラッチされた故障ビットをクリアし、完了後は 0b にリセットされます。また、SPI 故障およびウォッチドッグ故障ステータスもクリアされます。

8.4.2.2 IC_CTRL2 レジスタ (アドレス = 8h) [リセット = 2h]

図 8-68 に、IC_CTRL2 を示し、表 8-84 に、その説明を示します。

概略表に戻ります。

ピン モード、チャージ ポンプ モード、ウォッチドッグ用の制御レジスタ。

図 8-68. IC_CTRL2 レジスタ

7	6	5	4	3	2	1	0
DIS_SSC	DRVOFF_nFLT	CP_MODE		WD_EN	WD_FLT_M	WD_WIN	WD_RST
R/W-0b	R/W-0b	R/W-00b		R/W-0b	R/W-0b	R/W-1b	R/W-0b

表 8-84. IC_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DIS_SSC	R/W	0b	スペクトラム拡散クロック処理 0b = 有効化。 1b = 無効化。

Copyright © 2026 Texas Instruments Incorporated

表 8-84. IC_CTRL2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	DRVOFF_nFLT	R/W	0b	DRVOFF/nFLT マルチファンクション ピン モードを設定します。 0b = このピンは DRVOFF グローバル ドライバ無効化として機能します。 1b = このピンは nFLT オープン ドレインの故障割り込み出力として機能します。
5-4	CP_MODE	R/W	00b	チャージ ポンプ動作モード。 00b = 3 倍速と 2 倍速の自動切り替えモード。 01b = 常に倍速モード。 10b = 常に 3 倍速モード。 11b = RSVD
3	WD_EN	R/W	0b	ウォッチドッグ タイマが有効。 0b = ウォッチドッグ タイマが無効。 1b = ウォッチドッグ ドッグ タイマが有効。
2	WD_FLT_M	R/W	0b	ウォッチドッグ フォルト モード。ウォッチドッグ フォルトは CLR_FLT によってクリアされます。 0b = ウォッチドッグ フォルトは WD_FLT および WARN レジスタ ビットに通知されます。ゲート ドライバは有効のままで、nFAULT はアサートされません。 1b = ウォッチドッグ故障は WD_FLT、FAULT レジスタ ビット、nFAULT ピンに通知されます。ウォッチドッグ故障に応答して、ゲート ドライバは無効化されます。
1	WD_WIN	R/W	1b	ウォッチドッグ タイマ ウィンドウ。 0b = 4 ～ 40ms 1b = 10 ～ 100ms
0	WD_RST	R/W	0b	ウォッチドッグの再起動。電源投入後のデフォルトは 0b です。このビットを反転して、ウォッチドッグ タイマを再開します。書き込むと、このビットは新しい反転値を反映します。

8.4.2.3 BRG_CTRL1 レジスタ (アドレス = 9h) [リセット = 0h]

図 8-69 に、BRG_CTRL1 を示し、表 8-85 に、その説明を示します。

概略表に戻ります。

独立ハーフブリッジ モード (BRG_MODE = 00b) において、ハーフブリッジ 1 ～ 4 の出力状態を設定するための制御レジスタ。

図 8-69. BRG_CTRL1 レジスタ

7	6	5	4	3	2	1	0
HB1_CTRL		HB2_CTRL		HB3_CTRL		HB4_CTRL	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-85. BRG_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	HB1_CTRL	R/W	00b	ハーフブリッジ 1 出力状態制御。 00b = ハイインピーダンス (HI-Z)。GH1 および GL1 のプルダウン 01b = ローサイド (LO) を駆動。GH1 プルダウンおよび GL1 プルアップ。 10b = ハイサイド (HI) を駆動。GH1 プルアップおよび GL1 プルダウン。 11b = 入力 PWM 制御。HB1_PWM、HB1_HL、および HB1_FW。
5-4	HB2_CTRL	R/W	00b	ハーフブリッジ 2 出力状態制御。 00b = ハイインピーダンス (HI-Z)。GH2 および GL2 のプルダウン 01b = ローサイド (LO) を駆動。GH2 プルダウンおよび GL2 プルアップ。 10b = ハイサイド (HI) を駆動。GH2 プルアップおよび GL2 プルダウン。 11b = 入力 PWM 制御。HB2_PWM、HB2_HL、および HB2_FW。

Copyright © 2026 Texas Instruments Incorporated

表 8-85. BRG_CTRL1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-2	HB3_CTRL	R/W	00b	ハーフブリッジ 3 出力状態制御。 00b = ハイインピーダンス (HI-Z)。GH3 および GL3 のプルダウン 01b = ローサイド (LO) を駆動。GH3 プルダウンおよび GL3 プルアップ。 10b = ハイサイド (HI) を駆動。GH3 プルアップおよび GL3 プルダウン。 11b = 入力 PWM 制御。HB3_PWM、HB3_HL、および HB3_FW。
1-0	HB4_CTRL	R/W	00b	ハーフブリッジ 4 出力状態制御。 00b = ハイインピーダンス (HI-Z)。GH4 および GL4 のプルダウン 01b = ローサイド (LO) を駆動。GH4 プルダウンおよび GL4 プルアップ。 10b = ハイサイド (HI) を駆動。GH4 プルアップおよび GL4 プルダウン。 11b = 入力 PWM 制御。HB4_PWM、HB4_HL、および HB4_FW。

8.4.2.4 BRG_CTRL2 レジスタ (アドレス = Ah) [リセット = 0h]

図 8-70 に、BRG_CTRL2 を示し、表 8-86 に、その説明を示します。

概略表に戻ります。

H ブリッジ制御モード (BRG_MODE = 01b、10b、または 11b) において、H ブリッジ 1/2 および 3/4 の出力状態を設定するための制御レジスタ。

図 8-70. BRG_CTRL2 レジスタ

7	6	5	4	3	2	1	0
S_IN1/EN1	S_IN2/PH1	HIZ1	予約済み	S_IN3/EN2	S_IN4/PH2	HIZ2	予約済み
R/W-0b	R/W-0b	R/W-0b	R-0b	R/W-0b	R/W-0b	R/W-0b	R-0b

表 8-86. BRG_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	S_IN1/EN1	R/W	0b	IN1/EN1 入力信号用の制御ビット。IN1/EN1_MODE ビットによりイネーブル。
6	S_IN2/PH1	R/W	0b	IN2/PH1 入力信号用の制御ビット。IN2/PH1_MODE ビットによりイネーブル。
5	HIZ1	R/W	0b	HIZ1 入力信号用制御ビット。 0b = 出力は IN1/EN1 および IN2/PH1 信号に従います。 1b = ゲートドライバ プルダウンが有効化されます。ハーフブリッジ 1 および 2 はハイ インピーダンス
4	予約済み	R	0b	予約済み
3	S_IN3/EN2	R/W	0b	IN3/EN2 入力信号用の制御ビット。IN3/EN2_MODE ビットによりイネーブル。
2	S_IN4/PH2	R/W	0b	IN4/PH2 入力信号用の制御ビット。IN4/PH2_MODE ビットによりイネーブル。
1	HIZ2	R/W	0b	HIZ2 入力信号用制御ビット。 0b = 出力は IN3/EN2 および IN4/PH2 信号に従います。 1b = ゲートドライバ プルダウンが有効化されます。ハーフブリッジ 3 および 4 はハイ インピーダンス
0	予約済み	R	0b	予約済み

8.4.2.5 PWM_CTRL1 レジスタ (アドレス = Bh) [リセット = 5h]

図 8-71 に、PWM_CTRL1 を示し、表 8-87 に、その説明を示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

独立ハーフブリッジ モード (BRG_MODE = 00b) において、ハーフブリッジ 1 ～ 4 の入力 PWM ソースをマッピングするための制御レジスタ。

図 8-71. PWM_CTRL1 レジスタ

7	6	5	4	3	2	1	0
HB1_PWM		HB2_PWM		HB3_PWM		HB4_PWM	
R/W-00b		R/W-00b		R/W-01b		R/W-01b	

表 8-87. PWM_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	HB1_PWM	R/W	00b	ハーフ ブリッジ 1 の PWM 入力ソースを設定します。 00b = IN1 01b = IN2 10b = IN3 11b = IN4
5-4	HB2_PWM	R/W	00b	ハーフ ブリッジ 2 の PWM 入力ソースを設定します。 00b = IN1 01b = IN2 10b = IN3 11b = IN4
3-2	HB3_PWM	R/W	01b	ハーフ ブリッジ 3 の PWM 入力ソースを設定します。 00b = IN1 01b = IN2 10b = IN3 11b = IN4
1-0	HB4_PWM	R/W	01b	ハーフ ブリッジ 4 の PWM 入力ソースを設定します。 00b = IN1 01b = IN2 10b = IN3 11b = IN4

8.4.2.6 PWM_CTRL2 レジスタ (アドレス = Ch) [リセット = 0h]

図 8-72 に、PWM_CTRL2 を示し、表 8-88 に、その説明を示します。

概略表に戻ります。

H ブリッジ制御モード (BRG_MODE = 01b、10b、または 11b) において、H ブリッジ 1/2 および 3/4 の PWM 方式を設定するための制御レジスタ

図 8-72. PWM_CTRL2 レジスタ

7	6	5	4	3	2	1	0
IN1/ EN1_MODE	IN2/ PH1_MODE	FW1	予約済み	IN3/ EN2_MODE	IN4/ PH2_MODE	FW2	予約済み
R/W-0b	R/W-0b	R/W-0b	R-0b	R/W-0b	R/W-0b	R/W-0b	R-0b

表 8-88. PWM_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	IN1/EN1_MODE	R/W	0b	IN1/EN1 制御モード。 0b = IN1/EN1 信号は IN1/EN1 ピンから入力されます。 1b = IN1/EN1 信号は、S_IN1/EN1 ビットから供給されます。
6	IN2/PH1_MODE	R/W	0b	IN2/PH1 制御モード。 0b = IN2/PH1 信号は IN2/PH1 ピンから入力されます。 1b = IN2/PH1 信号は、S_IN2/PH1 ビットから供給されます。

Copyright © 2026 Texas Instruments Incorporated

表 8-88. PWM_CTRL2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	FW1	R/W	0b	H ブリッジ 1 のフリーホイール設定。 0b = ローサイド フリーホイール。 1b = ハイサイド フリーホイール。
4	予約済み	R	0b	予約済み
3	IN3/EN2_MODE	R/W	0b	IN3/EN2 制御モード。 0b = IN3/EN2 信号は IN3/EN2 ピンから入力されます。 1b = IN3/EN2 信号は、S_IN3/EN2 ビットから供給されます。
2	IN4/PH2_MODE	R/W	0b	IN4/PH2 制御モード。 0b = IN4/PH2 信号は IN4/PH2 ピンから入力されます。 1b = IN4/PH2 信号は、S_IN4/PH2 ビットから供給されます。
1	FW2	R/W	0b	H ブリッジ 2 のフリーホイール設定。 0b = ローサイド フリーホイール。 1b = ハイサイド フリーホイール。
0	予約済み	R	0b	予約済み

8.4.2.7 PWM_CTRL3 レジスタ (アドレス = Dh) [リセット = 0h]

図 8-73 に、PWM_CTRL3 を示し、表 8-89 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 4 において、PWM で駆動する MOSFET (ハイ側またはロー側) を設定するための制御レジスタ。

図 8-73. PWM_CTRL3 レジスタ

7	6	5	4	3	2	1	0
HB1_HL	HB2_HL	HB3_HL	HB4_HL	予約済み			
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R-0000b			

表 8-89. PWM_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	HB1_HL	R/W	0b	ハーフブリッジ 1 の PWM を、ハイサイドまたはローサイドのゲートドライバに割り当てます。 0b = ハイサイドを駆動 MOSFET として設定します。 1b = ローサイドを駆動 MOSFET として設定します。
6	HB2_HL	R/W	0b	ハーフブリッジ 2 の PWM を、ハイサイドまたはローサイドのゲートドライバに割り当てます。 0b = ハイサイドを駆動 MOSFET として設定します。 1b = ローサイドを駆動 MOSFET として設定します。
5	HB3_HL	R/W	0b	ハーフブリッジ 3 の PWM を、ハイサイドまたはローサイドのゲートドライバに割り当てます。 0b = ハイサイドを駆動 MOSFET として設定します。 1b = ローサイドを駆動 MOSFET として設定します。
4	HB4_HL	R/W	0b	ハーフブリッジ 4 の PWM を、ハイサイドまたはローサイドのゲートドライバに割り当てます。 0b = ハイサイドを駆動 MOSFET として設定します。 1b = ローサイドを駆動 MOSFET として設定します。
3-0	予約済み	R	0000b	予約済み

8.4.2.8 PWM_CTRL4 レジスタ (アドレス = Eh) [リセット = 0h]

図 8-74 に、PWM_CTRL4 を示し、表 8-90 に、その説明を示します。

Copyright © 2026 Texas Instruments Incorporated

概略表に戻ります。

ハーフブリッジ 1 ～ 4 の PWM フリーホイール モードを設定するための制御レジスタ。

図 8-74. PWM_CTRL4 レジスタ

7	6	5	4	3	2	1	0
HB1_FW	HB2_FW	HB3_FW	HB4_FW	予約済み			
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R-0000b			

表 8-90. PWM_CTRL4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	HB1_FW	R/W	0b	ハーフブリッジ 1 のフリーホイール設定を構成します。 0b = アクティブ。反転 PWM を内部で生成します。 1b = パッシブ。フリーホイール ダイオードに依存します。
6	HB2_FW	R/W	0b	ハーフブリッジ 2 のフリーホイール設定を構成します。 0b = アクティブ。反転 PWM を内部で生成します。 1b = パッシブ。フリーホイール ダイオードに依存します。
5	HB3_FW	R/W	0b	ハーフブリッジ 3 のフリーホイール設定を構成します。 0b = アクティブ。反転 PWM を内部で生成します。 1b = パッシブ。フリーホイール ダイオードに依存します。
4	HB4_FW	R/W	0b	ハーフブリッジ 4 のフリーホイール設定を構成します。 0b = アクティブ。反転 PWM を内部で生成します。 1b = パッシブ。フリーホイール ダイオードに依存します。
3-0	予約済み	R	0000b	予約済み

8.4.2.9 IDRV_CTRL1 レジスタ (アドレス = Fh) [リセット = FFh]

図 8-75 に、IDRV_CTRL1 を示し、表 8-91 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 のハイサイドおよびローサイドのゲート ドライバのソース電流およびシンク電流を設定するための制御レジスタ。

図 8-75. IDRV_CTRL1 レジスタ

7	6	5	4	3	2	1	0
IDRVP_1				IDRVN_1			
R/W-1111b				R/W-1111b			

Copyright © 2026 Texas Instruments Incorporated

表 8-91. IDRV_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	IDRVP_1	R/W	1111b	ハーフブリッジ 1 のピーク ソース プルアップ電流。括弧内の代替低電流値 (IDRV_LO1)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
3-0	IDRVN_1	R/W	1111b	ハーフブリッジ 1 ピーク シンク プルダウン電流。括弧内の代替低電流値 (IDRV_LO1)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.4.2.10 IDRV_CTRL2 レジスタ (アドレス = 10h) [リセット = FFh]

図 8-76 に、IDRV_CTRL2 を示し、表 8-92 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 2 のハイサイドおよびローサイドのゲート ドライバのソース電流およびシンク電流を設定するための制御レジスタ。

図 8-76. IDRV_CTRL2 レジスタ

7	6	5	4	3	2	1	0
IDRVP_2				IDRVN_2			
R/W-1111b				R/W-1111b			

表 8-92. IDRV_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	IDRVP_2	R/W	1111b	ハーフブリッジ 2 のピーク ソース プルアップ電流。括弧内の代替低電流値 (IDRV_LO2)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
3-0	IDRVN_2	R/W	1111b	ハーフブリッジ 2 ピーク シンク プルダウン電流。括弧内の代替低電流値 (IDRV_LO2)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.4.2.11 IDRV_CTRL3 レジスタ (アドレス = 11h) [リセット = FFh]

図 8-77 に、IDRV_CTRL3 を示し、表 8-93 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 3 のハイサイドおよびローサイドのゲート ドライバのソース電流およびシンク電流を設定するための制御レジスタ。

図 8-77. IDRV_CTRL3 レジスタ

7	6	5	4	3	2	1	0
IDRVP_3				IDRVN_3			
R/W-1111b				R/W-1111b			

Copyright © 2026 Texas Instruments Incorporated

表 8-93. IDRV_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	IDRVP_3	R/W	1111b	ハーフブリッジ 3 のピーク ソース プルアップ電流。括弧内の代替低電流値 (IDRV_LO3)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
3-0	IDRVN_3	R/W	1111b	ハーフブリッジ 3 ピーク シンク プルダウン電流。括弧内の代替低電流値 (IDRV_LO3)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.4.2.12 IDRV_CTRL4 レジスタ (アドレス = 12h) [リセット = FFh]

図 8-78 に、IDRV_CTRL4 を示し、表 8-94 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 4 のハイサイドおよびローサイドのゲート ドライバのソース電流およびシンク電流を設定するための制御レジスタ。

図 8-78. IDRV_CTRL4 レジスタ

7	6	5	4	3	2	1	0
IDRVP_4				IDRVN_4			
R/W-1111b				R/W-1111b			

Copyright © 2026 Texas Instruments Incorporated

表 8-94. IDRV_CTRL4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	IDRVP_4	R/W	1111b	ハーフブリッジ 4 のピーク ソース プルアップ電流。括弧内の代替低電流値 (IDRV_LO4)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
3-0	IDRVN_4	R/W	1111b	ハーフブリッジ 4 ピーク シンク プルダウン電流。括弧内の代替低電流値 (IDRV_LO4)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.4.2.13 IDRV_CTRL9 レジスタ (アドレス = 17h) [リセット = 0h]

図 8-79 に、IDRV_CTRL9 を示し、表 8-95 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 4 の超低ソース電流およびシンク電流設定を有効にするための制御レジスタ。

図 8-79. IDRV_CTRL9 レジスタ

7	6	5	4	3	2	1	0
IDRV_LO1	IDRV_LO2	IDRV_LO3	IDRV_LO4	予約済み			
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R-0000b			

表 8-95. IDRV_CTRL9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	IDRV_LO1	R/W	0b	ハーフブリッジ 1 に低電流 IDRVN および IDRVP モードを有効にします。 0b = IDRVP_1 と IDRVN_1 は標準値を使用します。 1b = IDRVP_1 と IDRVN_1 は Low 電流値を使用します。

Copyright © 2026 Texas Instruments Incorporated

表 8-95. IDRV_CTRL9 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	IDRV_LO2	R/W	0b	ハーフブリッジ 2 に低電流 IDRVN および IDRVP モードを有効にします。 0b = IDRVP_2 と IDRVN_2 は標準値を使用します。 1b = IDRVP_2 と IDRVN_2 は Low 電流値を使用します。
5	IDRV_LO3	R/W	0b	ハーフブリッジ 3 に低電流 IDRVN および IDRVP モードを有効にします。 0b = IDRVP_3 と IDRVN_3 は標準値を使用します。 1b = IDRVP_3 と IDRVN_3 は Low 電流値を使用します。
4	IDRV_LO4	R/W	0b	ハーフブリッジ 4 に低電流 IDRVN および IDRVP モードを有効にします。 0b = IDRVP_4 と IDRVN_4 は標準値を使用します。 1b = IDRVP_4 と IDRVN_4 は Low 電流値を使用します。
3-0	予約済み	R	0000b	予約済み

8.4.2.14 DRV_CTRL1 レジスタ (アドレス = 18h) [リセット = 0h]

図 8-80 に、DRV_CTRL1 を示し、表 8-96 に、その説明を示します。

概略表に戻ります。

VGS および VDS モニタの動作モードおよび構成を設定するための制御レジスタ。

図 8-80. DRV_CTRL1 レジスタ

7	6	5	4	3	2	1	0
VGS_MODE		VGS_IND	VGS_LVL	VGS_HS_DIS	VDS_MODE		VDS_IND
R/W-00b		R/W-0b	R/W-0b	R/W-0b	R/W-00b		R/W-0b

表 8-96. DRV_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	VGS_MODE	R/W	00b	ハーフブリッジ 1 ～ 4 の VGS ゲート故障モニタ モード。 00b = ラッチ故障。 01b = サイクルごと。 10b = 警告レポートのみ。 11b = 無効化。
5	VGS_IND	R/W	0b	VGS フォルト独立シャットダウンモード構成。 0b = 無効化。VGS 故障が発生すると、すべてのハーフブリッジ ドライバがシャットダウンされます。 1b = イネーブル。VGS ゲート故障が発生すると、BRG_MODE に応じて、関連するハーフブリッジまたは H ブリッジ ドライバのみがシャットダウンされます。
4	VGS_LVL	R/W	0b	ハーフブリッジ ドライバにおける、デッドタイム ハンドシェイクおよび VGS 故障モニタ用の VGS スレッショルド コンパレータ レベル。 0b = 1.4V 1b = 1V
3	VGS_HS_DIS	R/W	0b	VGS デッドタイム ハンドシェイク モニタを無効化。 0b = 0x0 1b = 無効化。ハーフブリッジの遷移は、TDRIVE およびプログラム可能なデジタル デッドタイム遅延のみに基づきます。
2-1	VDS_MODE	R/W	00b	ハーフブリッジ 1 ～ 4 の VDS 過電流監視モード。 00b = ラッチ故障。 01b = サイクルごと。 10b = 警告レポートのみ。 11b = 無効化。

Copyright © 2026 Texas Instruments Incorporated

表 8-96. DRV_CTRL1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	VDS_IND	R/W	0b	VDS フォルト独立シャットダウンモード構成。 0b = 無効化。VDS 故障が発生すると、すべてのハーフブリッジ ドライバがシャットダウンされます。 1b = イネーブル。VDS ゲート障害では、BRG_MODE に応じて、関連するハーフブリッジ ドライバまたは H ブリッジ ドライバのみがシャットダウンされます。

8.4.2.15 DRV_CTRL2 レジスタ (アドレス = 19h) [リセット = 12h]

図 8-81 に、DRV_CTRL2 を示し、表 8-97 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 および 2 における、tDRV (VGS 駆動および VDS モニタのブランキング時間) を設定するための制御レジスタ。

図 8-81. DRV_CTRL2 レジスタ

7	6	5	4	3	2	1	0
予約済み		VGS_TDRV_1			VGS_TDRV_2		
R-00b		R/W-010b			R/W-010b		

表 8-97. DRV_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	予約済み
5-3	VGS_TDRV_1	R/W	010b	ハーフブリッジ 1 の VGS 駆動と VDS 監視ブランキング時間。 000b = 2µs 001b = 4µs 010b = 8µs 011b = 12µs 100b = 16µs 101b = 24µs 110b = 32µs 111b = 96µs
2-0	VGS_TDRV_2	R/W	010b	ハーフブリッジ 2 の VGS 駆動と VDS 監視ブランキング時間。 000b = 2µs 001b = 4µs 010b = 8µs 011b = 12µs 100b = 16µs 101b = 24µs 110b = 32µs 111b = 96µs

8.4.2.16 DRV_CTRL3 レジスタ (アドレス = 1Ah) [リセット = 12h]

図 8-82 に、DRV_CTRL3 を示し、表 8-98 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 3 および 4 における、tDRV (VGS 駆動および VDS モニタのブランキング時間) を設定するための制御レジスタ。

図 8-82. DRV_CTRL3 レジスタ

7	6	5	4	3	2	1	0
予約済み		VGS_TDRV_3			VGS_TDRV_4		

Copyright © 2026 Texas Instruments Incorporated

図 8-82. DRV_CTRL3 レジスタ (続き)

R-00b	R/W-010b	R/W-010b

表 8-98. DRV_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	予約済み
5-3	VGS_TDRV_3	R/W	010b	ハーフブリッジ 3 の VGS 駆動と VDS 監視ブランキング時間。 000b = 2µs 001b = 4µs 010b = 8µs 011b = 12µs 100b = 16µs 101b = 24µs 110b = 32µs 111b = 96µs
2-0	VGS_TDRV_4	R/W	010b	ハーフブリッジ 4 の VGS 駆動と VDS 監視ブランキング時間。 000b = 2µs 001b = 4µs 010b = 8µs 011b = 12µs 100b = 16µs 101b = 24µs 110b = 32µs 111b = 96µs

8.4.2.17 DRV_CTRL4 レジスタ (アドレス = 1Bh) [リセット = 0h]

図 8-83 に、DRV_CTRL4 を示し、表 8-99 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 4 における、VGS tDEAD_D (追加のデジタル デッドタイム挿入) を設定するための制御レジスタ。

図 8-83. DRV_CTRL4 レジスタ

7	6	5	4	3	2	1	0
VGS_TDEAD_1		VGS_TDEAD_2		VGS_TDEAD_3		VGS_TDEAD_4	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-99. DRV_CTRL4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	VGS_TDEAD_1	R/W	00b	ハーフブリッジ 1 の挿入可能なデジタル デッドタイム。 00b = 0µs 01b = 2µs 10b = 4µs 11b = 8µs
5-4	VGS_TDEAD_2	R/W	00b	ハーフブリッジ 2 の挿入可能なデジタル デッドタイム。 00b = 0µs 01b = 2µs 10b = 4µs 11b = 8µs
3-2	VGS_TDEAD_3	R/W	00b	ハーフブリッジ 3 の挿入可能なデジタル デッドタイム。 00b = 0µs 01b = 2µs 10b = 4µs 11b = 8µs

Copyright © 2026 Texas Instruments Incorporated

表 8-99. DRV_CTRL4 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	VGS_TDEAD_4	R/W	00b	ハーフブリッジ 4 の挿入可能なデジタル デッドタイム。 00b = 0µs 01b = 2µs 10b = 4µs 11b = 8µs

8.4.2.18 DRV_CTRL5 レジスタ (アドレス = 1Ch) [リセット = AAh]

図 8-84 に、DRV_CTRL5 を示し、表 8-100 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 4 における、VDS tDS_DG (過電流モニタのグリッチ除去時間) を設定するための制御レジスタ。

図 8-84. DRV_CTRL5 レジスタ

7	6	5	4	3	2	1	0
VDS_DG_1		VDS_DG_2		VDS_DG_3		VDS_DG_4	
R/W-10b		R/W-10b		R/W-10b		R/W-10b	

表 8-100. DRV_CTRL5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	VDS_DG_1	R/W	10b	ハーフ ブリッジ 1 の VDS 過電流グリッチ除去時間。 00b = 1µs 01b = 2µs 10b = 4µs 11b = 8µs
5-4	VDS_DG_2	R/W	10b	ハーフ ブリッジ 2 の VDS 過電流グリッチ除去時間。 00b = 1µs 01b = 2µs 10b = 4µs 11b = 8µs
3-2	VDS_DG_3	R/W	10b	ハーフ ブリッジ 3 の VDS 過電流グリッチ除去時間。 00b = 1µs 01b = 2µs 10b = 4µs 11b = 8µs
1-0	VDS_DG_4	R/W	10b	ハーフ ブリッジ 4 の VDS 過電流グリッチ除去時間。 00b = 1µs 01b = 2µs 10b = 4µs 11b = 8µs

8.4.2.19 DRV_CTRL6 レジスタ (アドレス = 1Dh) [リセット = 0h]

図 8-85 に、DRV_CTRL6 を示し、表 8-101 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 4 における、VDS 過電流故障に応じたゲート プルダウン電流 (IDRVN) を設定するための制御レジスタ。

図 8-85. DRV_CTRL6 レジスタ

7	6	5	4	3	2	1	0
VDS_IDRVN_1		VDS_IDRVN_2		VDS_IDRVN_3		VDS_IDRVN_4	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

Copyright © 2026 Texas Instruments Incorporated

図 8-85. DRV_CTRL6 レジスタ (続き)

表 8-101. DRV_CTRL6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	VDS_IDRVN_1	R/W	00b	ハーフブリッジ 1 における、VDS_OCP 故障後の IDRVN ゲート プルダウン電流。 00b =プログラム済み IDRVN 01b = 8mA 10b = 31mA 11b = 62mA
5-4	VDS_IDRVN_2	R/W	00b	ハーフブリッジ 2 における、VDS_OCP 故障後の IDRVN ゲート プルダウン電流。 00b =プログラム済み IDRVN 01b = 8mA 10b = 31mA 11b = 62mA
3-2	VDS_IDRVN_3	R/W	00b	ハーフブリッジ 3 における、VDS_OCP 故障後の IDRVN ゲート プルダウン電流。 00b =プログラム済み IDRVN 01b = 8mA 10b = 31mA 11b = 62mA
1-0	VDS_IDRVN_4	R/W	00b	ハーフブリッジ 4 における、VDS_OCP 故障後の IDRVN ゲート プルダウン電流。 00b =プログラム済み IDRVN 01b = 8mA 10b = 31mA 11b = 62mA

8.4.2.20 VDS_CTRL1 レジスタ (アドレス = 1Fh) [リセット = DDh]

図 8-86 に、VDS_CTRL1 を示し、表 8-102 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 および 2 における、VDS 過電流モニタの電圧スレッショルドを設定するための制御レジスタ。

図 8-86. VDS_CTRL1 レジスタ

7	6	5	4	3	2	1	0
VDS_LVL_1				VDS_LVL_2			
R/W-1101b				R/W-1101b			

表 8-102. VDS_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	VDS_LVL_1	R/W	1101b	ハーフブリッジ 1 VDS 過電流監視スレッショルド。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V
3-0	VDS_LVL_2	R/W	1101b	ハーフブリッジ 2 VDS 過電流監視スレッショルド。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V

8.4.2.21 VDS_CTRL2 レジスタ (アドレス = 20h) [リセット = DDh]

図 8-87 に、VDS_CTRL2 を示し、表 8-103 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 3 および 4 における、VDS 過電流モニタの電圧スレッショルドを設定するための制御レジスタ。

図 8-87. VDS_CTRL2 レジスタ

7	6	5	4	3	2	1	0
VDS_LVL_3				VDS_LVL_4			
R/W-1101b				R/W-1101b			

Copyright © 2026 Texas Instruments Incorporated

表 8-103. VDS_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	VDS_LVL_3	R/W	1101b	ハーフブリッジ 3 VDS 過電流監視スレッショルド。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V
3-0	VDS_LVL_4	R/W	1101b	ハーフブリッジ 4 VDS 過電流監視スレッショルド。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V

8.4.2.22 OLSC_CTRL1 レジスタ (アドレス = 23h) [リセット = 0h]

図 8-88 に、OLSC_CTRL1 を示し、表 8-104 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 4 におけるオフライン診断電流源の有効化および無効化を設定するための制御レジスタ。

図 8-88. OLSC_CTRL1 レジスタ

7	6	5	4	3	2	1	0
PU_SH1	PD_SH1	PU_SH2	PD_SH2	PU_SH3	PD_SH3	PU_SH4	PD_SH4
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-104. OLSC_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PU_SH1	R/W	0b	ハーフブリッジ 1 プルアップ診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。
6	PD_SH1	R/W	0b	ハーフブリッジ 1 プルダウン診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。

Copyright © 2026 Texas Instruments Incorporated

表 8-104. OLSC_CTRL1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	PU_SH2	R/W	0b	ハーフブリッジ 2 プルアップ診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。
4	PD_SH2	R/W	0b	ハーフブリッジ 2 プルダウン診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。
3	PU_SH3	R/W	0b	ハーフブリッジ 3 プルアップ診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。
2	PD_SH3	R/W	0b	ハーフブリッジ 3 プルダウン診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。
1	PU_SH4	R/W	0b	ハーフブリッジ 4 プルアップ診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。
0	PD_SH4	R/W	0b	ハーフブリッジ 4 プルダウン診断電流ソース。EN_OLSC = 1b に設定して使用します。 0b = 無効化。 1b = イネーブル。

8.4.2.23 UVOV_CTRL レジスタ (アドレス = 25h) [リセット = 14h]

UVOV_CTRL は 図 8-89 に示し、表 8-105 で説明します。

概略表に戻ります。

低電圧および過電圧モニタの構成を設定するための制御レジスタ。

図 8-89. UVOV_CTRL レジスタ

7	6	5	4	3	2	1	0
PVDD_UV_MODE	PVDD_OV_MODE		PVDD_OV_DG		PVDD_OV_LVL	VCP_UV_MODE	VCP_UV_LVL
R/W-0b	R/W-00b		R/W-10b		R/W-1b	R/W-0b	R/W-0b

表 8-105. UVOV_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PVDD_UV_MODE	R/W	0b	PVDD 電源低電圧監視モード。 0b = ラッチ故障。 1b = 自動復帰。
6-5	PVDD_OV_MODE	R/W	00b	PVDD 電源過電圧監視モード。 00b = ラッチ故障。 01b = 自動復帰。 10b = 警告レポートのみ。 11b = 無効化。
4-3	PVDD_OV_DG	R/W	10b	PVDD 電源過電圧監視グリッチ除去時間。 00b = 1µs 01b = 2µs 10b = 4µs 11b = 8µs

Copyright © 2026 Texas Instruments Incorporated

表 8-105. UVOV_CTRL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	PVDD_OV_LVL	R/W	1b	PVDD 電源過電圧監視スレッショルド。 0b = 21.5V 1b = 28.5V
1	VCP_UV_MODE	R/W	0b	VCP チャージ ポンプ低電圧監視モード。 0b = ラッチ故障。 1b = 自動復帰。
0	VCP_UV_LVL	R/W	0b	VCP チャージ ポンプ低電圧監視スレッショルド。 0b = 4.75V 1b = 6.25V

8.4.2.24 CSA_CTRL1 レジスタ (アドレス = 26h) [リセット = 9h]

図 8-90 に、CSA_CTRL1 を示し、表 8-106 に、その説明を示します。

概略表に戻ります。

シャント アンプ 1 および 2 のゲインおよびリファレンス電圧を設定するための制御レジスタ。

図 8-90. CSA_CTRL1 レジスタ

7	6	5	4	3	2	1	0
予約済み		CSA_DIV_1	CSA_GAIN_1		CSA_DIV_2	CSA_GAIN_2	
R-00b		R/W-0b	R/W-01b		R/W-0b	R/W-01b	

表 8-106. CSA_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	予約済み
5	CSA_DIV_1	R/W	0b	電流シャント アンプ 1 のリファレンス電圧デバイダ。 0b = AREF/2 1b = AREF/8
4-3	CSA_GAIN_1	R/W	01b	電流シャント アンプ 1 のゲイン設定。 00b = 10V/V 01b = 20V/V 10b = 40V/V 11b = 80V/V
2	CSA_DIV_2	R/W	0b	電流シャント アンプ 2 のリファレンス電圧デバイダ。 0b = AREF/2 1b = AREF/8
1-0	CSA_GAIN_2	R/W	01b	電流シャント アンプ 2 のゲイン設定。 00b = 10V/V 01b = 20V/V 10b = 40V/V 11b = 80V/V

8.4.2.25 CSA_CTRL2 レジスタ (アドレス = 27h) [リセット = 0h]

図 8-91 に、CSA_CTRL2 を示し、表 8-107 に、その説明を示します。

概略表に戻ります。

シャント アンプ 1 のブランキング設定用の制御レジスタ。

図 8-91. CSA_CTRL2 レジスタ

7	6	5	4	3	2	1	0
予約済み		CSA_BLK_SEL_1			CSA_BLK_LVL_1		

Copyright © 2026 Texas Instruments Incorporated

図 8-91. CSA_CTRL2 レジスタ (続き)

R-00b	R/W-000b	R/W-000b

表 8-107. CSA_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	予約済み
5-3	CSA_BLK_SEL_1	R/W	000b	電流シャント アンプ 1 のブランキング トリガ ソース。 000b = ハーフブリッジ 1 001b = ハーフブリッジ 2 010b = ハーフブリッジ 3 011b = ハーフブリッジ 4 100b = ハーフブリッジ 5 101b = ハーフブリッジ 6 110b = ハーフブリッジ 7 111b = ハーフブリッジ 8
2-0	CSA_BLK_LVL_1	R/W	000b	電流シャント アンプ 1 のブランキング時間。tDRV の %。 000b = 0%、無効 001b = 25% 010b = 37.5% 011b = 50% 100b = 62.5% 101b = 75% 110b = 87.5% 111b = 100%

8.4.2.26 CSA_CTRL3 レジスタ (アドレス = 28h) [リセット = 20h]

図 8-92 に、CSA_CTRL3 を示し、表 8-108 に、その説明を示します。

概略表に戻ります。

シャント アンプ 2 のブランキング設定用の制御レジスタ。

図 8-92. CSA_CTRL3 レジスタ

7	6	5	4	3	2	1	0
予約済み		CSA_BLK_SEL_2			CSA_BLK_LVL_2		
R-00b		R/W-100b			R/W-000b		

表 8-108. CSA_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	予約済み
5-3	CSA_BLK_SEL_2	R/W	100b	電流シャント アンプ 2 のブランキング トリガ ソース。 000b = ハーフブリッジ 1 001b = ハーフブリッジ 2 010b = ハーフブリッジ 3 011b = ハーフブリッジ 4 100b = ハーフブリッジ 5 101b = ハーフブリッジ 6 110b = ハーフブリッジ 7 111b = ハーフブリッジ 8

Copyright © 2026 Texas Instruments Incorporated

表 8-108. CSA_CTRL3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	CSA_BLK_LVL_2	R/W	000b	電流シャント アンプ 2 のブランキング時間。tDRV の %。 000b = 0%、無効 001b = 25% 010b = 37.5% 011b = 50% 100b = 62.5% 101b = 75% 110b = 87.5% 111b = 100%

8.4.3 DRV8714-Q1_CONTROL_ADV レジスタ

表 8-109 に、DRV8714-Q1_CONTROL_ADV レジスタの一覧を示します。表 8-109 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-109. DRV8714-Q1_CONTROL_ADV レジスタ

アドレス	略称	レジスタ名	セクション
2Ah	AGD_CTRL1	アダプティブ ゲートドライブの一般制御機能	表示
2Bh	PDR_CTRL1	ハーフブリッジ 1 および 2 の PDR 遅延および最大電流設定	表示
2Ch	PDR_CTRL2	ハーフブリッジ 3 および 4 の PDR 遅延および最大電流設定	表示
2Dh	PDR_CTRL3	ハーフブリッジ 5 および 6 の PDR 遅延および最大電流設定	表示
2Eh	PDR_CTRL4	ハーフブリッジ 7 および 8 の PDR 遅延および最大電流設定	表示
2Fh	PDR_CTRL5	ハーフブリッジ 1 PDR の充電および放電の初期設定。	表示
30h	PDR_CTRL6	ハーフブリッジ PDR の充電と放電の初期設定。	表示
31h	PDR_CTRL7	ハーフブリッジ 3 PDR の充電および放電の初期設定。	表示
32h	PDR_CTRL8	ハーフブリッジ 4 PDR の充電および放電の初期設定。	表示
33h	PDR_CTRL9	ハーフブリッジ 1 および 2 PDR ループ コントローラ ゲイン	表示
34h	PDR_CTRL10	ハーフブリッジ 3 および 4 PDR ループ コントローラ ゲイン	表示
35h	STC_CTRL1	ハーフブリッジ 1 の STC 立ち上がり / 立ち下がり時間およびコントローラ ゲイン	表示
36h	STC_CTRL2	ハーフブリッジ 2 の STC 立ち上がり / 立ち下がり時間およびコントローラ ゲイン	表示
37h	STC_CTRL3	ハーフブリッジ 3 の STC 立ち上がり / 立ち下がり時間およびコントローラ ゲイン	表示
38h	STC_CTRL4	ハーフブリッジ 4 の STC 立ち上がり / 立ち下がり時間およびコントローラ ゲイン	表示
39h	DCC_CTRL1	ハーフブリッジ 1 ～ 4 DCC イネーブルおよび手動制御	表示
3Ah	PST_CTRL1	ハーフブリッジ 1 ～ 4 フリーホイールおよび充電後の遅延制御	表示
3Bh	PST_CTRL2	ハーフブリッジ 1 ～ 4 充電後コントローラ ゲイン	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-110 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-110. DRV8714-Q1_CONTROL_ADV のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-*n*		リセット後の値またはデフォルト値

8.4.3.1 AGD_CTRL1 レジスタ (アドレス = 2Ah) [リセット = 40h]

図 8-93 に、AGD_CTRL1 を示し、表 8-111 に、その説明を示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

アダプティブ ゲートドライブの電圧スレッショルド、プルダウン設定、およびアクティブなハーフブリッジ構成を設定するための制御レジスタ。

図 8-93. AGD_CTRL1 レジスタ

7	6	5	4	3	2	1	0
AGD_THR		AGD_ISTRONG		予約済み			
R/W-01b		R/W-00b		R-0000b			

表 8-111. AGD_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	AGD_THR	R/W	01b	適応型ゲートドライバ VSH スレッショルド構成。 00b = 1V、VDRAIN – 0.5V 01b = 1V、VDRAIN – 1V 10b = 2V、VDRAIN – 1.5V 11b = 2V、VDRAIN – 2V
5-4	AGD_ISTRONG	R/W	00b	適応型ゲートドライバの ISTRONG 構成。 00b = ISTRONG プルダウンは、初期の IDRVP_x レジスタ設定からデコードされます。 01b = 62mA 10b = 124mA 11b = RSVD
3-0	予約済み	R	0000b	予約済み

8.4.3.2 PDR_CTRL1 レジスタ (アドレス = 2Bh) [リセット = Ah]

図 8-94 に、PDR_CTRL1 を示し、表 8-112 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 の tON_OFF 伝搬遅延と事前充電 / 放電の最大電流の制御レジスタ。

図 8-94. PDR_CTRL1 レジスタ

7	6	5	4	3	2	1	0
PRE_MAX_1		T_DON_DOFF_1					
R/W-00b		R/W-001010b					

表 8-112. PDR_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	PRE_MAX_1	R/W	00b	ハーフブリッジ 1 の事前充電および事前放電におけるゲートドライブ最大電流制限。 00b = 64mA 01b = 32mA 10b = 16mA 11b = 8mA
5-0	T_DON_DOFF_1	R/W	001010b	ハーフブリッジ 1 のオン時間およびオフ時間の遅延。140ns x T_DON_DOFF_1 [3:0] デフォルト時間:001010b (1.4us)

8.4.3.3 PDR_CTRL2 レジスタ (アドレス = 2Ch) [リセット = Ah]

図 8-95 に、PDR_CTRL2 を示し、表 8-113 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 2 の tON_OFF 伝搬遅延と事前充電 / 放電の最大電流の制御レジスタ。

Copyright © 2026 Texas Instruments Incorporated

図 8-95. PDR_CTRL2 レジスタ

7	6	5	4	3	2	1	0
PRE_MAX_2		T_DON_DOFF_2					
R/W-00b		R/W-001010b					

表 8-113. PDR_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	PRE_MAX_2	R/W	00b	ハーフブリッジ 2 の事前充電および事前放電におけるゲートドライブ最大電流制限。 00b = 64mA 01b = 32mA 10b = 16mA 11b = 8mA
5-0	T_DON_DOFF_2	R/W	001010b	ハーフブリッジ 2 のオン時間およびオフ時間の遅延。140ns x T_DON_DOFF_2 [3:0] デフォルト時間:001010b (1.4us)

8.4.3.4 PDR_CTRL3 レジスタ (アドレス = 2Dh) [リセット = Ah]

図 8-96 に、PDR_CTRL3 を示し、表 8-114 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 3 の tON_OFF 伝搬遅延と事前充電 / 放電の最大電流の制御レジスタ。

図 8-96. PDR_CTRL3 レジスタ

7	6	5	4	3	2	1	0
PRE_MAX_3		T_DON_DOFF_3					
R/W-00b		R/W-001010b					

表 8-114. PDR_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	PRE_MAX_3	R/W	00b	ハーフブリッジ 3 の事前充電および事前放電におけるゲートドライブ最大電流制限。 00b = 64mA 01b = 32mA 10b = 16mA 11b = 8mA
5-0	T_DON_DOFF_3	R/W	001010b	ハーフブリッジ 3 のオン時間およびオフ時間の遅延。140ns x T_DON_DOFF_3 [3:0] デフォルト時間:001010b (1.4us)

8.4.3.5 PDR_CTRL4 レジスタ (アドレス = 2Eh) [リセット = Ah]

図 8-97 に、PDR_CTRL4 を示し、表 8-115 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 4 の tON_OFF 伝搬遅延と事前充電 / 放電の最大電流の制御レジスタ。

図 8-97. PDR_CTRL4 レジスタ

7	6	5	4	3	2	1	0
PRE_MAX_4		T_DON_DOFF_4					
R/W-00b		R/W-001010b					

Copyright © 2026 Texas Instruments Incorporated

表 8-115. PDR_CTRL4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	PRE_MAX_4	R/W	00b	ハーフブリッジ 4 の事前充電および事前放電におけるゲートドライブ最大電流制限。 00b = 64mA 01b = 32mA 10b = 16mA 11b = 8mA
5-0	T_DON_DOFF_4	R/W	001010b	ハーフブリッジ 4 のオン時間およびオフ時間の遅延。140ns x T_DON_DOFF_4 [3:0] デフォルト時間:001010b (1.4us)

8.4.3.6 PDR_CTRL5 レジスタ (アドレス = 2Fh) [リセット = F6h]

図 8-98 に、PDR_CTRL5 を示し、表 8-116 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 の充電および事前充電の初期設定用制御レジスタ。

図 8-98. PDR_CTRL5 レジスタ

7	6	5	4	3	2	1	0
T_PRE_CHR_1		T_PRE_DCHR_1		PRE_CHR_INIT_1		PRE_DCHR_INIT_1	
R/W-11b		R/W-11b		R/W-01b		R/W-10b	

表 8-116. PDR_CTRL5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	T_PRE_CHR_1	R/W	11b	ハーフブリッジ 1 の PDR 制御ループの事前充電時間。 T_DON_DOFF_1 [5:0] の比率として設定 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
5-4	T_PRE_DCHR_1	R/W	11b	ハーフブリッジ 1 の PDR 制御ループの事前放電時間。 T_DON_DOFF_1 [5:0] の比率として設定 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
3-2	PRE_CHR_INIT_1	R/W	01b	ハーフブリッジ 1 の PDR 制御ループの初期事前充電の電流設定。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA
1-0	PRE_DCHR_INIT_1	R/W	10b	ハーフブリッジ 1 の PDR 制御ループの初期予備放電電流設定。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA

8.4.3.7 PDR_CTRL6 レジスタ (アドレス = 30h) [リセット = F6h]

図 8-99 に、PDR_CTRL6 を示し、表 8-117 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 2 の充電および事前充電の初期設定用制御レジスタ。

Copyright © 2026 Texas Instruments Incorporated

図 8-99. PDR_CTRL6 レジスタ

7	6	5	4	3	2	1	0
T_PRE_CHR_2		T_PRE_DCHR_2		PRE_CHR_INIT_2		PRE_DCHR_INIT_2	
R/W-11b		R/W-11b		R/W-01b		R/W-10b	

表 8-117. PDR_CTRL6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	T_PRE_CHR_2	R/W	11b	ハーフブリッジ 2 の PDR 制御ループの事前充電時間。 T_DON_DOFF_2 [5:0] の比率として設定 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
5-4	T_PRE_DCHR_2	R/W	11b	ハーフブリッジ 2 の PDR 制御ループの事前放電時間。 T_DON_DOFF_2 [5:0] の比率として設定 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
3-2	PRE_CHR_INIT_2	R/W	01b	ハーフブリッジ 2 の PDR 制御ループの初期事前充電の電流設定。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA
1-0	PRE_DCHR_INIT_2	R/W	10b	ハーフブリッジ 2 の PDR 制御ループの初期予備放電電流設定。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA

8.4.3.8 PDR_CTRL7 レジスタ (アドレス = 31h) [リセット = F6h]

図 8-100 に、PDR_CTRL7 を示し、表 8-118 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 3 の充電および事前充電の初期設定用制御レジスタ。

図 8-100. PDR_CTRL7 レジスタ

7	6	5	4	3	2	1	0
T_PRE_CHR_3		T_PRE_DCHR_3		PRE_CHR_INIT_3		PRE_DCHR_INIT_3	
R/W-11b		R/W-11b		R/W-01b		R/W-10b	

表 8-118. PDR_CTRL7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	T_PRE_CHR_3	R/W	11b	ハーフブリッジ 3 の PDR 制御ループの事前充電時間。 T_DON_DOFF_3 [5:0] の比率として設定 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
5-4	T_PRE_DCHR_3	R/W	11b	ハーフブリッジ 3 の PDR 制御ループの事前放電時間。 T_DON_DOFF_3 [5:0] の比率として設定 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2

Copyright © 2026 Texas Instruments Incorporated

表 8-118. PDR_CTRL7 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-2	PRE_CHR_INIT_3	R/W	01b	ハーフブリッジ 3 の PDR 制御ループの初期事前充電の電流設定。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA
1-0	PRE_DCHR_INIT_3	R/W	10b	ハーフブリッジ 3 の PDR 制御ループの初期予備放電電流設定。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA

8.4.3.9 PDR_CTRL8 レジスタ (アドレス = 32h) [リセット = F6h]

図 8-101 に、PDR_CTRL8 を示し、表 8-119 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 4 の充電および事前充電の初期設定用制御レジスタ。

図 8-101. PDR_CTRL8 レジスタ

7	6	5	4	3	2	1	0
T_PRE_CHR_4		T_PRE_DCHR_4		PRE_CHR_INIT_4		PRE_DCHR_INIT_4	
R/W-11b		R/W-11b		R/W-01b		R/W-10b	

表 8-119. PDR_CTRL8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	T_PRE_CHR_4	R/W	11b	ハーフブリッジ 4 の PDR 制御ループの事前充電時間。 T_DON_DOFF_4 [5:0] の比率として設定 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
5-4	T_PRE_DCHR_4	R/W	11b	ハーフブリッジ 4 の PDR 制御ループの事前放電時間。 T_DON_DOFF_4 [5:0] の比率として設定 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
3-2	PRE_CHR_INIT_4	R/W	01b	ハーフブリッジ 4 の PDR 制御ループの初期事前充電の電流設定。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA
1-0	PRE_DCHR_INIT_4	R/W	10b	ハーフブリッジ 4 の PDR 制御ループの初期予備放電電流設定。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA

8.4.3.10 PDR_CTRL9 レジスタ (アドレス = 33h) [リセット = 11h]

図 8-102 に、PDR_CTRL9 を示し、表 8-120 に、その説明を示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

ハーフブリッジ 1 および 2 の PDR Kp ループ コントローラ ゲイン設定を構成するための制御レジスタ。

図 8-102. PDR_CTRL9 レジスタ

7	6	5	4	3	2	1	0
EN_PDR_1	PDR_ERR_1	KP_PDR_1		EN_PDR_2	PDR_ERR_2	KP_PDR_2	
R/W-0b	R/W-0b	R/W-01b		R/W-0b	R/W-0b	R/W-01b	

表 8-120. PDR_CTRL9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	EN_PDR_1	R/W	0b	ハーフブリッジ 1 の PDR ループ制御を有効化。
6	PDR_ERR_1	R/W	0b	ハーフブリッジ 1 の PDR ループ誤差制限。 0b = 1 ビット エラー 1b = 実際のエラー
5-4	KP_PDR_1	R/W	01b	ハーフブリッジ 1 の PDR 比例コントローラ ゲイン設定。 00b = 1 01b = 2 10b = 3 11b = 4
3	EN_PDR_2	R/W	0b	ハーフブリッジ 2 の PDR ループ制御を有効化。
2	PDR_ERR_2	R/W	0b	ハーフブリッジ 2 の PDR ループ誤差制限。 0b = 1 ビット エラー 1b = 実際のエラー
1-0	KP_PDR_2	R/W	01b	ハーフブリッジ 2 の PDR 比例コントローラ ゲイン設定。 00b = 1 01b = 2 10b = 3 11b = 4

8.4.3.11 PDR_CTRL10 レジスタ (アドレス = 34h) [リセット = 11h]

図 8-103 に、PDR_CTRL10 を示し、表 8-121 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 3 および 4 の PDR Kp ループ コントローラ ゲイン設定を構成するための制御レジスタ。

図 8-103. PDR_CTRL10 レジスタ

7	6	5	4	3	2	1	0
EN_PDR_3	PDR_ERR_3	KP_PDR_3		EN_PDR_4	PDR_ERR_4	KP_PDR_4	
R/W-0b	R/W-0b	R/W-01b		R/W-0b	R/W-0b	R/W-01b	

表 8-121. PDR_CTRL10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	EN_PDR_3	R/W	0b	ハーフブリッジ 3 の PDR ループ制御を有効化。
6	PDR_ERR_3	R/W	0b	ハーフブリッジ 3 の PDR ループ誤差制限。 0b = 1 ビット エラー 1b = 実際のエラー
5-4	KP_PDR_3	R/W	01b	ハーフブリッジ 3 の PDR 比例コントローラ ゲイン設定。 00b = 1 01b = 2 10b = 3 11b = 4
3	EN_PDR_4	R/W	0b	ハーフブリッジ 4 の PDR ループ制御を有効化。

Copyright © 2026 Texas Instruments Incorporated

表 8-121. PDR_CTRL10 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	PDR_ERR_4	R/W	0b	ハーフブリッジ 4 の PDR ループ誤差制限。 0b = 1 ビット エラー 1b = 実際のエラー
1-0	KP_PDR_4	R/W	01b	ハーフブリッジ 4 の PDR 比例コントローラ ゲイン設定。 00b = 1 01b = 2 10b = 3 11b = 4

8.4.3.12 STC_CTRL1 レジスタ (アドレス = 35h) [リセット = 23h]

図 8-104 に、STC_CTRL1 を示し、表 8-122 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 の STC 立ち上がり / 立ち下がり時間および Kp ループ コントローラ ゲイン設定を構成するための制御レジスタ。

図 8-104. STC_CTRL1 レジスタ

7	6	5	4	3	2	1	0
T_RISE_FALL_1				EN_STC_1	STC_ERR_1	KP_STC_1	
R/W-0010b				R/W-0b	R/W-0b	R/W-11b	

表 8-122. STC_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	T_RISE_FALL_1	R/W	0010b	ハーフブリッジ 1 のスイッチ ノード VSH の立ち上がり時間および立ち下がり時間を設定。 0000b = 0.35us 0001b = 0.56us 0010b = 0.77us 0011b = 0.98us 0100b = 1.33us 0101b = 1.68us 0110b = 2.03us 0111b = 2.45us 1000b = 2.94us 1001b = 3.99us 1010b = 4.97us 1011b = 5.95us 1100b = 7.98us 1101b = 9.94us 1110b = 11.97us 1111b = 15.96us
3	EN_STC_1	R/W	0b	ハーフブリッジ 1 の STC ループ制御を有効化。
2	STC_ERR_1	R/W	0b	ハーフブリッジ 1 の STC ループ誤差制限。 0b = 1 ビット エラー 1b = 実際のエラー
1-0	KP_STC_1	R/W	11b	ハーフブリッジ 1 の STC 比例コントローラ ゲイン設定。 00b = 1 01b = 2 10b = 3 11b = 4

Copyright © 2026 Texas Instruments Incorporated

8.4.3.13 STC_CTRL2 レジスタ (アドレス = 36h) [リセット = 23h]

図 8-105 に、STC_CTRL2 を示し、表 8-123 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 2 の STC 立ち上がり / 立ち下がり時間および Kp ループ コントローラ ゲイン設定を構成するための制御レジスタ。

図 8-105. STC_CTRL2 レジスタ

7	6	5	4	3	2	1	0
T_RISE_FALL_2				EN_STC_2	STC_ERR_2	KP_STC_2	
R/W-0010b				R/W-0b	R/W-0b	R/W-11b	

表 8-123. STC_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	T_RISE_FALL_2	R/W	0010b	ハーフブリッジ 2 のスイッチ ノード VSH の立ち上がり時間および立ち下がり時間を設定。 0000b = 0.35us 0001b = 0.56us 0010b = 0.77us 0011b = 0.98us 0100b = 1.33us 0101b = 1.68us 0110b = 2.03us 0111b = 2.45us 1000b = 2.94us 1001b = 3.99us 1010b = 4.97us 1011b = 5.95us 1100b = 7.98us 1101b = 9.94us 1110b = 11.97us 1111b = 15.96us
3	EN_STC_2	R/W	0b	ハーフブリッジ 2 の STC ループ制御を有効化。
2	STC_ERR_2	R/W	0b	ハーフブリッジ 2 の STC ループ誤差制限。 0b = 1 ビット エラー 1b = 実際のエラー
1-0	KP_STC_2	R/W	11b	ハーフブリッジ 2 の STC 比例コントローラ ゲイン設定。 00b = 1 01b = 2 10b = 3 11b = 4

8.4.3.14 STC_CTRL3 レジスタ (アドレス = 37h) [リセット = 23h]

図 8-106 に、STC_CTRL3 を示し、表 8-124 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 3 の STC 立ち上がり / 立ち下がり時間および Kp ループ コントローラ ゲイン設定を構成するための制御レジスタ。

図 8-106. STC_CTRL3 レジスタ

7	6	5	4	3	2	1	0
T_RISE_FALL_3				EN_STC_3	STC_ERR_3	KP_STC_3	
R/W-0010b				R/W-0b	R/W-0b	R/W-11b	

Copyright © 2026 Texas Instruments Incorporated

表 8-124. STC_CTRL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	T_RISE_FALL_3	R/W	0010b	ハーフブリッジ 3 のスイッチ ノード VSH の立ち上がり時間および立ち下がり時間を設定。 0000b = 0.35us 0001b = 0.56us 0010b = 0.77us 0011b = 0.98us 0100b = 1.33us 0101b = 1.68us 0110b = 2.03us 0111b = 2.45us 1000b = 2.94us 1001b = 3.99us 1010b = 4.97us 1011b = 5.95us 1100b = 7.98us 1101b = 9.94us 1110b = 11.97us 1111b = 15.96us
3	EN_STC_3	R/W	0b	ハーフブリッジ 3 の STC ループ制御を有効化。
2	STC_ERR_3	R/W	0b	ハーフブリッジ 3 の STC ループ誤差制限。 0b = 1 ビット エラー 1b = 実際のエラー
1-0	KP_STC_3	R/W	11b	ハーフブリッジ 3 の STC 比例コントローラ ゲイン設定。 00b = 1 01b = 2 10b = 3 11b = 4

8.4.3.15 STC_CTRL4 レジスタ (アドレス = 38h) [リセット = 23h]

図 8-107 に、STC_CTRL4 を示し、表 8-125 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 4 の STC 立ち上がり / 立ち下がり時間および Kp ループ コントローラ ゲイン設定を構成するための制御レジスタ。

図 8-107. STC_CTRL4 レジスタ

7	6	5	4	3	2	1	0
T_RISE_FALL_4				EN_STC_4	STC_ERR_4	KP_STC_4	
R/W-0010b				R/W-0b	R/W-0b	R/W-11b	

Copyright © 2026 Texas Instruments Incorporated

表 8-125. STC_CTRL4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	T_RISE_FALL_4	R/W	0010b	ハーフブリッジ 4 のスイッチ ノード VSH の立ち上がり時間および立ち下がり時間を設定。 0000b = 0.35us 0001b = 0.56us 0010b = 0.77us 0011b = 0.98us 0100b = 1.33us 0101b = 1.68us 0110b = 2.03us 0111b = 2.45us 1000b = 2.94us 1001b = 3.99us 1010b = 4.97us 1011b = 5.95us 1100b = 7.98us 1101b = 9.94us 1110b = 11.97us 1111b = 15.96us
3	EN_STC_4	R/W	0b	ハーフブリッジ 4 の STC ループ制御を有効化。
2	STC_ERR_4	R/W	0b	ハーフブリッジ 4 の STC ループ誤差制限。 0b = 1 ビット エラー 1b = 実際のエラー
1-0	KP_STC_4	R/W	11b	ハーフブリッジ 4 の STC 比例コントローラ ゲイン設定。 00b = 1 01b = 2 10b = 3 11b = 4

8.4.3.16 DCC_CTRL1 レジスタ (アドレス = 39h) [リセット = 0h]

図 8-108 に、DCC_CTRL1 を示し、表 8-126 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 4 の DCC ループの有効化および手動設定を行うための制御レジスタ。

図 8-108. DCC_CTRL1 レジスタ

7	6	5	4	3	2	1	0
EN_DCC_1	EN_DCC_2	EN_DCC_3	EN_DCC_4	IDIR_MAN_1	IDIR_MAN_2	IDIR_MAN_3	IDIR_MAN_4
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-126. DCC_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	EN_DCC_1	R/W	0b	ハーフブリッジ 1 のデューティ サイクル補償を有効化。
6	EN_DCC_2	R/W	0b	ハーフブリッジ 2 のデューティ サイクル補償を有効化。
5	EN_DCC_3	R/W	0b	ハーフブリッジ 3 のデューティ サイクル補償を有効化。
4	EN_DCC_4	R/W	0b	ハーフブリッジ 4 のデューティ サイクル補償を有効化。
3	IDIR_MAN_1	R/W	0b	ハーフ ブリッジ 1 の電流極性検出モード。 0b = 自動 1b = 手動 (HBx_HL により設定)
2	IDIR_MAN_2	R/W	0b	ハーフ ブリッジ 2 の電流極性検出モード。 0b = 自動 1b = 手動 (HBx_HL により設定)

Copyright © 2026 Texas Instruments Incorporated

表 8-126. DCC_CTRL1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	IDIR_MAN_3	R/W	0b	ハーフ ブリッジ 3 の電流極性検出モード。 0b = 自動 1b = 手動 (HBx_HL により設定)
0	IDIR_MAN_4	R/W	0b	ハーフ ブリッジ 4 の電流極性検出モード。 0b = 自動 1b = 手動 (HBx_HL により設定)

8.4.3.17 PST_CTRL1 レジスタ (アドレス = 3Ah) [リセット = Fh]

図 8-109 に、PST_CTRL1 を示し、表 8-127 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 4 の最大フリーホイール電流および充電後遅延を設定する制御レジスタ。

図 8-109. PST_CTRL1 レジスタ

7	6	5	4	3	2	1	0
FW_MAX_1	FW_MAX_2	FW_MAX_3	FW_MAX_4	EN_PST_DLY_1	EN_PST_DLY_2	EN_PST_DLY_3	EN_PST_DLY_4
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-1b	R/W-1b	R/W-1b	R/W-1b

表 8-127. PST_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FW_MAX_1	R/W	0b	ハーフブリッジ 1 のフリーホイール MOSFET に使用されるゲート駆動電流。 0b = PRE_CHR_MAX_1 [1:0] 1b = 64mA
6	FW_MAX_2	R/W	0b	ハーフブリッジ 2 のフリーホイール MOSFET に使用されるゲート駆動電流。 0b = PRE_CHR_MAX_2 [1:0] 1b = 64mA
5	FW_MAX_3	R/W	0b	ハーフブリッジ 3 のフリーホイール MOSFET に使用されるゲート駆動電流。 0b = PRE_CHR_MAX_3 [1:0] 1b = 64mA
4	FW_MAX_4	R/W	0b	ハーフブリッジ 4 のフリーホイール MOSFET に使用されるゲート駆動電流。 0b = PRE_CHR_MAX_4 [1:0] 1b = 64mA
3	EN_PST_DLY_1	R/W	1b	充電後の時間遅延を有効にします。時間遅延は T_DON_DOFF_1 - T_PRE_CHR_1 と等しくなります。
2	EN_PST_DLY_2	R/W	1b	充電後の時間遅延を有効にします。時間遅延は T_DON_DOFF_2 - T_PRE_CHR_2 と等しくなります。
1	EN_PST_DLY_3	R/W	1b	充電後の時間遅延を有効にします。時間遅延は T_DON_DOFF_3 - T_PRE_CHR_3 と等しくなります。
0	EN_PST_DLY_4	R/W	1b	充電後の時間遅延を有効にします。時間遅延は T_DON_DOFF_4 - T_PRE_CHR_4 と等しくなります。

8.4.3.18 PST_CTRL2 レジスタ (アドレス = 3Bh) [リセット = 55h]

図 8-110 に、PST_CTRL2 を示し、表 8-128 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 4 の充電後 Kp ループ コントローラのゲイン設定を設定するための制御レジスタ。

Copyright © 2026 Texas Instruments Incorporated

図 8-110. PST_CTRL2 レジスタ

7	6	5	4	3	2	1	0
KP_PST_1		KP_PST_2		KP_PST_3		KP_PST_4	
R/W-01b		R/W-01b		R/W-01b		R/W-01b	

表 8-128. PST_CTRL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	KP_PST_1	R/W	01b	ハーフ ブリッジ 1 の充電後比例制御ゲイン設定。 00b = 無効化 01b = 2 10b = 4 11b = 15
5-4	KP_PST_2	R/W	01b	ハーフ ブリッジ 2 の充電後比例制御ゲイン設定。 00b = 無効化 01b = 2 10b = 4 11b = 15
3-2	KP_PST_3	R/W	01b	ハーフ ブリッジ 3 の充電後比例制御ゲイン設定。 00b = 無効化 01b = 2 10b = 4 11b = 15
1-0	KP_PST_4	R/W	01b	ハーフ ブリッジ 4 の充電後比例制御ゲイン設定。 00b = 無効化 01b = 2 10b = 4 11b = 15

Copyright © 2026 Texas Instruments Incorporated

8.4.4 DRV8714-Q1_STATUS_ADV レジスタ

表 8-129 に、DRV8714-Q1_STATUS_ADV レジスタの一覧を示します。表 8-129 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-129. DRV8714-Q1_STATUS_ADV レジスタ

アドレス	略称	レジスタ名	セクション
3Ch	SGD_STAT1	ハーフブリッジ 1 ～ 4 電流極性インジケータ	表示
3Dh	SGD_STAT2	ハーフブリッジ 1 ～ 4 の PDR アンダーフローおよびオーバーフロー インジケータ	表示
3Eh	SGD_STAT3	ハーフブリッジ 1 ～ 4 STC 故障インジケータ	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-130 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-130. DRV8714-Q1_STATUS_ADV のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
リセットまたはデフォルト値		
- *n*		リセット後の値またはデフォルト値

8.4.4.1 SGD_STAT1 レジスタ (アドレス = 3Ch) [リセット = 0h]

図 8-111 に、SGD_STAT1 を示し、表 8-131 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 4 の電流極性を示すステータス レジスタ。

図 8-111. SGD_STAT1 レジスタ

7	6	5	4	3	2	1	0
IDIR_1	IDIR_2	IDIR_3	IDIR_4	IDIR_WARN_1	IDIR_WARN_2	IDIR_WARN_3	IDIR_WARN_4
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-131. SGD_STAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	IDIR_1	R	0b	ハーフ ブリッジ 1 の電流方向を示します。
6	IDIR_2	R	0b	ハーフ ブリッジ 2 の電流方向を示します。
5	IDIR_3	R	0b	ハーフ ブリッジ 3 の電流方向を示します。
4	IDIR_4	R	0b	ハーフ ブリッジ 4 の電流方向を示します。
3	IDIR_WARN_1	R	0b	ハーフ ブリッジ 1 の電流方向が不明であることを示します。
2	IDIR_WARN_2	R	0b	ハーフ ブリッジ 2 の電流方向が不明であることを示します。
1	IDIR_WARN_3	R	0b	ハーフ ブリッジ 3 の電流方向が不明であることを示します。
0	IDIR_WARN_4	R	0b	ハーフ ブリッジ 4 の電流方向が不明であることを示します。

8.4.4.2 SGD_STAT2 レジスタ (アドレス = 3Dh) [リセット = 0h]

図 8-112 に、SGD_STAT2 を示し、表 8-132 に、その説明を示します。

Copyright © 2026 Texas Instruments Incorporated

概略表に戻ります。

ハーフブリッジ 1 ～ 4 の PDR ループ制御におけるアンダーフローおよびオーバーフローを示すステータス レジスタ。

図 8-112. SGD_STAT2 レジスタ

7	6	5	4	3	2	1	0
PCHR_WARN_1	PCHR_WARN_2	PCHR_WARN_3	PCHR_WARN_4	PDCHR_WARN_1	PDCHR_WARN_2	PDCHR_WARN_3	PDCHR_WARN_4
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-132. SGD_STAT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PCHR_WARN_1	R	0b	ハーフ ブリッジ 1 の予備充電のアンダーフローまたはオーバーフロー故障を示します。
6	PCHR_WARN_2	R	0b	ハーフ ブリッジ 2 の予備充電のアンダーフローまたはオーバーフロー故障を示します。
5	PCHR_WARN_3	R	0b	ハーフ ブリッジ 3 の予備充電のアンダーフローまたはオーバーフロー故障を示します。
4	PCHR_WARN_4	R	0b	ハーフ ブリッジ 4 の予備充電のアンダーフローまたはオーバーフロー故障を示します。
3	PDCHR_WARN_1	R	0b	ハーフ ブリッジ 1 の予備放電のアンダーフローまたはオーバーフロー フォルトを示します。
2	PDCHR_WARN_2	R	0b	ハーフ ブリッジ 2 の予備放電のアンダーフローまたはオーバーフロー フォルトを示します。
1	PDCHR_WARN_3	R	0b	ハーフ ブリッジ 3 の予備放電のアンダーフローまたはオーバーフロー フォルトを示します。
0	PDCHR_WARN_4	R	0b	ハーフ ブリッジ 4 の予備放電のアンダーフローまたはオーバーフロー フォルトを示します。

8.4.4.3 SGD_STAT3 レジスタ (アドレス = 3Eh) [リセット = 0h]

図 8-113 に、SGD_STAT3 を示し、表 8-133 に、その説明を示します。

概略表に戻ります。

ハーフブリッジ 1 ～ 4 のステータス レジスタ インジケータ STC の立ち上がり時間および立ち下がり時間のオーバーフロー。

図 8-113. SGD_STAT3 レジスタ

7	6	5	4	3	2	1	0
STC_WARN_F_1	STC_WARN_F_2	STC_WARN_F_3	STC_WARN_F_4	STC_WARN_R_1	STC_WARN_R_2	STC_WARN_R_3	STC_WARN_R_4
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-133. SGD_STAT3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	STC_WARN_F_1	R	0b	ハーフ ブリッジ 1 の立ち下がりスルー時間 TDRV オーバーフローを示します。
6	STC_WARN_F_2	R	0b	ハーフ ブリッジ 2 の立ち下がりスルー時間 TDRV オーバーフローを示します。
5	STC_WARN_F_3	R	0b	ハーフ ブリッジ 3 の立ち下がりスルー時間 TDRV オーバーフローを示します。
4	STC_WARN_F_4	R	0b	ハーフ ブリッジ 4 の立ち下がりスルー時間 TDRV オーバーフローを示します。

Copyright © 2026 Texas Instruments Incorporated

表 8-133. SGD_STAT3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	STC_WARN_R_1	R	0b	ハーフ ブリッジ 1 の立ち上がりスルー時間 TDRV オーバーフローを示します。
2	STC_WARN_R_2	R	0b	ハーフ ブリッジ 2 の立ち上がりスルー時間 TDRV オーバーフローを示します。
1	STC_WARN_R_3	R	0b	ハーフ ブリッジ 3 の立ち上がりスルー時間 TDRV オーバーフローを示します。
0	STC_WARN_R_4	R	0b	ハーフ ブリッジ 4 の立ち上がりスルー時間 TDRV オーバーフローを示します。

Copyright © 2026 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

DRV871x-Q1 は、高度に設定可能なマルチチャネルのハーフブリッジ MOSFET ゲートドライバで、さまざまな出力負荷を駆動できます。以下の設計例では、さまざまなアプリケーションの使用事例に合わせてデバイスを使用し、構成する方法を示しています。

9.2 代表的なアプリケーション

DRV8718-Q1 の代表的な用途は、複数の単方向または双方向のブラシ付き DC モーターを駆動するために、複数の外付け MOSFET ハーフブリッジを制御することです。高レベルの回路図例を、以下に示します。

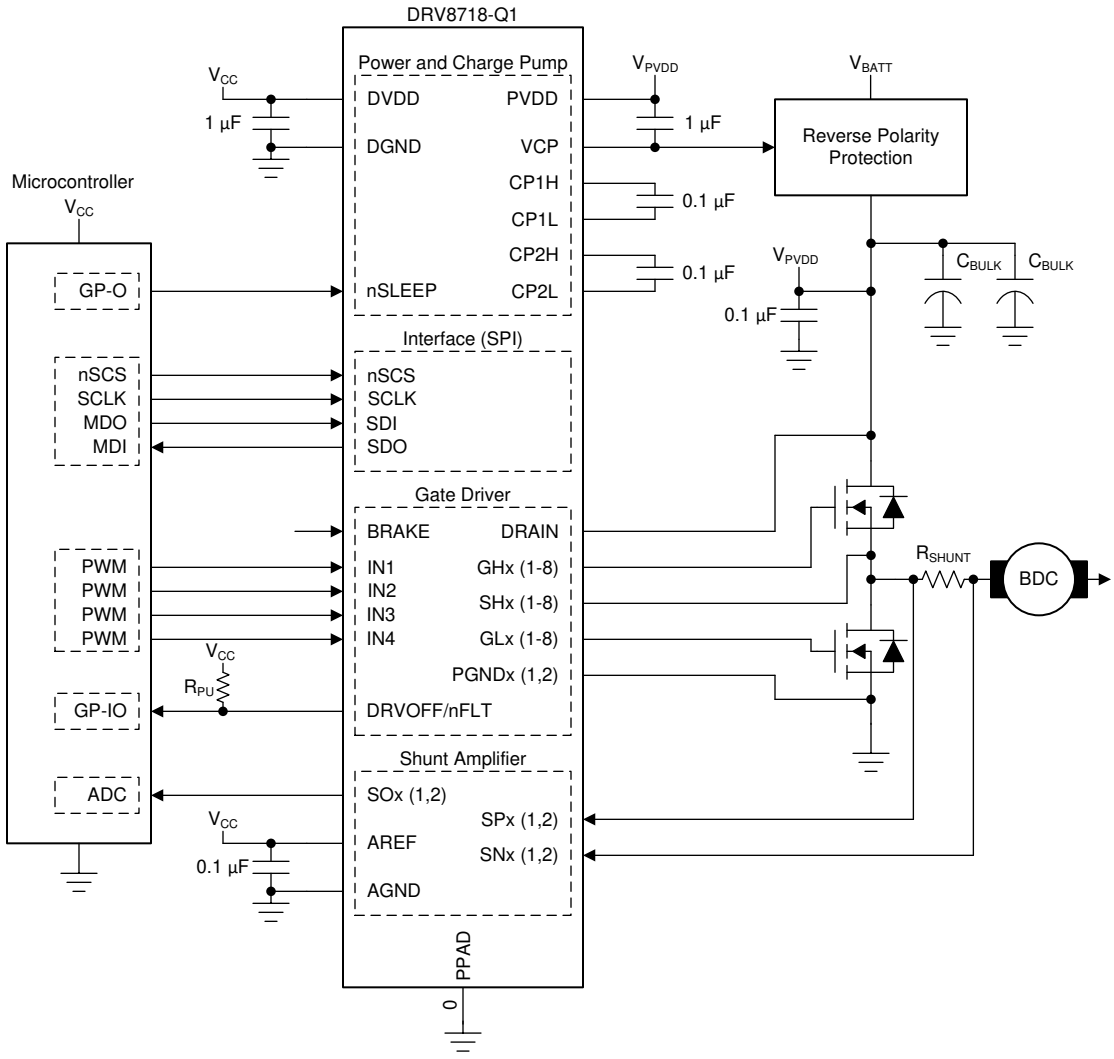


図 9-1. DRV8718-Q1 の代表的なアプリケーション

Copyright © 2026 Texas Instruments Incorporated

9.2.1 設計要件

表 9-1 に、システム設計の入力パラメータ例のセットを示します。

表 9-1. 設計パラメータ例

設計パラメータ	リファレンス	値
PVDD 公称電源電圧	V_{PVDD}	12V
PVDD 電源電圧範囲		9～18V
DVDD/AREF ロジック電源電圧	V_{CC}	3.3V
MOSFET 合計ゲート電荷	Q_G	30nC (標準) V_{GS} = 10V 時
MOSFET ゲート - ドレイン間電荷	Q_{GD}	5nC (標準)
MOSFET On 抵抗	$R_{DS(on)}$	4mΩ
目標出力立ち上がり時間	t_{rise}	750～1000ns
目標出力立ち下がり時間	t_{fall}	250～500ns
PWM 周波数	f_{PWM}	20kHz
最大モーター電流	I_{MAX}	25A
シャント抵抗パワー能力	P_{SHUNT}	3W

9.2.2 詳細な設計手順

9.2.2.1 ゲート ドライバ構成

9.2.2.1.1 VCP 負荷計算の例

外付け MOSFET の種類、PWM ハーフブリッジの数、および要求される PWM 周波数に対して、チャージ ポンプの負荷能力が十分であることを確認する必要があります。このことは、式 1 に示すように、簡単な計算式で確認できます。チャージ ポンプはハイサイドおよびローサイドの両方のゲート ドライバに電力を供給するため、スイッチングするハイサイドおよびローサイド MOSFET の数の両方を考慮する必要があります。この頻度は、PWM ハーフブリッジの数とフリーホイール モード (反対側の MOSFET がスイッチされている場合) の両方によって異なります。

$$I_{VCP}\ (A) = Q_G\ (C) \times f_{PWM}\ (Hz) \times \#\ \text{of switching FETs} \quad (1)$$

入力設計パラメータを例として使用し、この場合に、式 2 において、チャージ ポンプの出力負荷能力が十分であることを示すことができます。この例では、アクティブ フリーホイールありの 4 つのアクティブなハーフブリッジを想定しており、合計で 8 個のスイッチング MOSFET となります。

$$I_{VCP} = 30\ nC \times 20\ kHz \times 8 = 4.8\ mA \quad (2)$$

9.2.2.1.2 I_{DRIVE} 計算例

ゲート ドライブ電流 I_{DRIVE} の強さは、外部 MOSFET のゲート - ドレイン間電荷と、スイッチ ノードにおける目標の立ち上がり / 立ち下がり時間に基づいて選択します。特定の MOSFET に対して選択した I_{DRIVE} が低すぎると、構成した t_{DRIVE} 時間内に MOSFET が完全にオンまたはオフにならず、ゲート障害がアサートされる場合があります。また、立ち上がり時間 / 立ち下がり時間が遅いと、外部パワー MOSFET のスイッチング電力損失が大きくなります。必要な外部 MOSFET と負荷により、システム内のこれらの値を検証し、最適な設定を判定することを推奨します。

SPI デバイス バリアントでは、ハイサイドとローサイド両方の外部 MOSFET に対して I_{DRIVEP} と I_{DRIVEN} を調整可能です。ハードウェア インターフェイス デバイスのバリアントでは、IDRIVE ピンでソースとシンク両方の設定が同時に選択されます。

MOSFET のゲート - ドレイン間電荷 (Q_{GD})、目標立ち上がり時間 (t_{rise})、目標立ち下がり時間 (t_{fall}) が既知である場合は、それぞれ式 3 および式 4 を使用して I_{DRIVEP} および I_{DRIVEN} の近似値を計算します。

$$I_{DRIVEP} = Q_{GD} / t_{rise} \quad (3)$$

Copyright © 2026 Texas Instruments Incorporated

$$I_{DRIVEN} = Q_{GD} / t_{fall} \quad (4)$$

入力設計パラメータを例として使用し、I_{DRIVEP} と I_{DRIVEN} の近似値を計算できます。

$$I_{DRIVEP_HI} = 5\ nC / 750\ ns = 6.67\ mA \quad (5)$$

$$I_{DRIVEP_LO} = 5\ nC / 1000\ ns = 5\ mA \quad (6)$$

これらの計算に基づき、I_{DRIVEP} に対して 6mA の値が選択されました。

$$I_{DRIVEN_HI} = 5\ nC / 250\ ns = 20\ mA \quad (7)$$

$$I_{DRIVEN_LO} = 5\ nC / 500\ ns = 10\ mA \quad (8)$$

これらの計算に基づき、I_{DRIVEN} に対して 16mA の値が選択されました。

9.2.2.1.3 t_{DRIVE} 計算例

ドライバのゲート — ソース間監視のタイムアウト (t_{DRIVE}) は、選択した I_{DRIVE} ゲート電流に対して外部 MOSFET が充電および放電するのに十分な時間を確保できるように構成されている必要があります。デフォルトでは設定は 8us であり、多くのシステムにとって十分な値です。適切な t_{DRIVE} 値を決定するために、式 9 を使用できます。

$$t_{DRIVE} > Q_{G_TOT} / I_{DRIVE} \quad (9)$$

入力設計パラメータを例として使用し、t_{DRIVE} の近似値を計算できます。

$$t_{DRIVE} > 30\ nC / 6\ mA = 5\ us \quad (10)$$

これらの計算に基づき、t_{DRIVE} に対して 8 の値が選択されました。

9.2.2.1.4 最大 PWM スイッチング周波数

ドライバの最大 PWM 周波数は、通常、システムの複数の要因によって決まります。DRV871x-Q1 デバイスは最大 100kHz の周波数までサポートできますが、システム パラメータによってはこれを低い値に制限できます。

次のシステム パラメータが含まれます:

- 外部 MOSFET の立ち上がり / 立ち下がり時間。
- MOSFET の Q_G とチャージ ポンプの負荷。
- 最小および最大デューティ サイクル仕様を削除 (例:10% ～ 90%)

9.2.2.2 電流シャント アンプの構成

DRV871x-Q1 差動シャント アンプ ゲインとシャント抵抗値は、動的電流範囲、基準電圧電源、シャント抵抗の電力定格、および動作温度範囲に基づき選択されます。シャント アンプの双方向動作では、出力のダイナミック レンジは近似的に式 11 で計算されます。アンプの出力は、アンプへの入力電圧の極性に応じて、中間点基準電圧 (V_{AREF}/2) から 0.25V または V_{AREF} - 0.25V までスイングさせることができます。

$$V_{SO_BI} = (V_{AREF} - 0.25\ V) - (V_{AREF} / 2) \quad (11)$$

単方向の電流センシングだけが必要な場合は、アンプ基準電圧を変更して、出力のダイナミック レンジを拡大できます。これは CSA_DIV SPI レジスタ設定によって変更されます。このモードでは、出力のダイナミック レンジは近似的に 式 12 で計算されます。

$$V_{SO_UNI} = (V_{AREF} - 0.25\ V) - (V_{AREF} / 8) \quad (12)$$

V_{AREF} = 3.3V に基づき、双方向または単方向センシングの両方における動的な範囲逸脱は以下のように計算できます:

Copyright © 2026 Texas Instruments Incorporated

$$V_{SO_BI} = (3.3\ V - 0.25\ V) - (3.3\ V / 2) = 1.4\ V \quad (13)$$

$$V_{SO_UNI} = (3.3\ V - 0.25\ V) - (3.3\ V / 8) = 2.6375\ V \quad (14)$$

外部シャント抵抗値とシャント アンプ ゲイン設定は、利用可能な動的出力範囲、シャント抵抗の電力定格、および測定する必要のある最大モーター電流に基づき選択されます。シャント抵抗とアンプ ゲインの正確な値は 式 15 と 式 16 の両方により決まります。

$$R_{SHUNT} < P_{SHUNT} / I_{MAX}^{2} \quad (15)$$

$$A_V < V_{SO} / (I_{MAX} \times R_{SHUNT}) \quad (16)$$

V_{SO} = 1.4V、I_{MAX} = 25A および P_{SHUNT} = 3W に基づき、シャント抵抗とアンプ ゲイン値は以下に示すように計算できます:

$$R_{SHUNT} < 3\ W / 25^{2}\ A = 4.8\ m\Omega \quad (17)$$

$$A_V < 1.4\ V / (25\ A \times 4.8\ m\Omega) = 11.67\ V/V \quad (18)$$

結果に基づき、4mΩ のシャント抵抗と 10V/V のアンプ ゲインを選択できます。

9.2.2.3 消費電力

周囲温度が高い動作環境の場合、ドライバの内部自己発熱を推定することが重要になる場合があります。デバイスの温度を判定するには、まず内部消費電力を計算する必要があります。その後、デバイス パッケージの温度特性についての推定値を求められます。

内部消費電力には 4 つの主要な要素があります。

- ハイサイド ドライバ消費電力 (P_{HS})
- ローサイド ドライバ消費電力 (P_{LS})
- PVDD バッテリ消費電力 (P_{PVDD})
- DVDD/AREF ロジック / 基準電源消費電力 (P_{VCC})

P_{HS} と P_{LS} の値は、以下に示すように、チャージ ポンプの負荷電流に関する前述の式を参照することで、概算できます。標準的なスイッチの場合、4 つのハイサイド MOSFET と 4 つのローサイド MOSFET がスイッチします。

$$I_{HS/LS}\ (A) = Q_G\ (C) \times f_{PWM}\ (Hz) \times \#\ of\ switching\ FETs \quad (19)$$

入力設計パラメータを例に使用すると、ハイサイド ドライバとローサイド ドライバからの電流負荷を計算できます。

$$I_{HS} = 30\ nC \times 20\ kHz \times 4 = 2.4\ mA \quad (20)$$

$$I_{LS} = 30\ nC \times 20\ kHz \times 4 = 2.4\ mA \quad (21)$$

ここから、以下のドライバ消費電力の式により、消費電力を計算できます。ハイサイドおよびローサイドには、ドライバに電力を供給するチャージ ポンプの損失を考慮するための倍率係数が含まれています。

$$P_{HS}\ (W) = I_{HS}\ (A) \times V_{PVDD} \times 2 \quad (22)$$

$$P_{LS}\ (W) = I_{LS}\ (A) \times V_{PVDD} \times 2 \quad (23)$$

入力設計パラメータを例に使用すると、ハイサイド ドライバとローサイド ドライバからの消費電力を計算できます。

$$P_{HS}\ (W) = 0.0576\ W = 2.4\ mA \times 12\ V \times 2 \quad (24)$$

$$P_{LS}\ (W) = 0.0576\ W = 2.4\ mA \times 12\ V \times 2 \quad (25)$$

Copyright © 2026 Texas Instruments Incorporated

P_{PVDD} と P_{VCC} の値は、式 26 および式 27 を参照して概算できます:

$$P_{PVDD}\ (W) = I_{PVDD}\ (A) \times V_{PVDD} \quad (26)$$

$$P_{VCC}\ (W) = (I_{DVDD}\ (A) \times V_{DVDD}) + (I_{AREF}\ (A) \times V_{AREF}) \quad (27)$$

入力設計パラメータを例として使用し、電源の消費電力を計算できます。

$$P_{PVDD}\ (W) = 0.162\ W = 13.5\ mA \times 12\ V \quad (28)$$

$$P_{VCC}\ (W) = 0.033\ W = (8\ mA \times 3.3\ V) + (2\ mA \times 3.3\ V) \quad (29)$$

最後に、式 30 を使用してデバイスの接合部温度を推定します。

$$T_{JUNCTION}\ (°C) = T_{AMBIENT}\ (°C) + (R_{\theta JA}\ (°C/W) \times P_{TOT}(W)) \quad (30)$$

前述の計算で求めた消費電力値と熱に関する情報の表にあるデバイス温度パラメータを使用して、デバイスの内部温度を推定できます:

$$T_{JUNCTION}\ (°C) = 112.9\ °C = 105\ °C + (25.6\ °C/W \times 0.3102\ W) \quad (31)$$

9.2.3 アプリケーション曲線

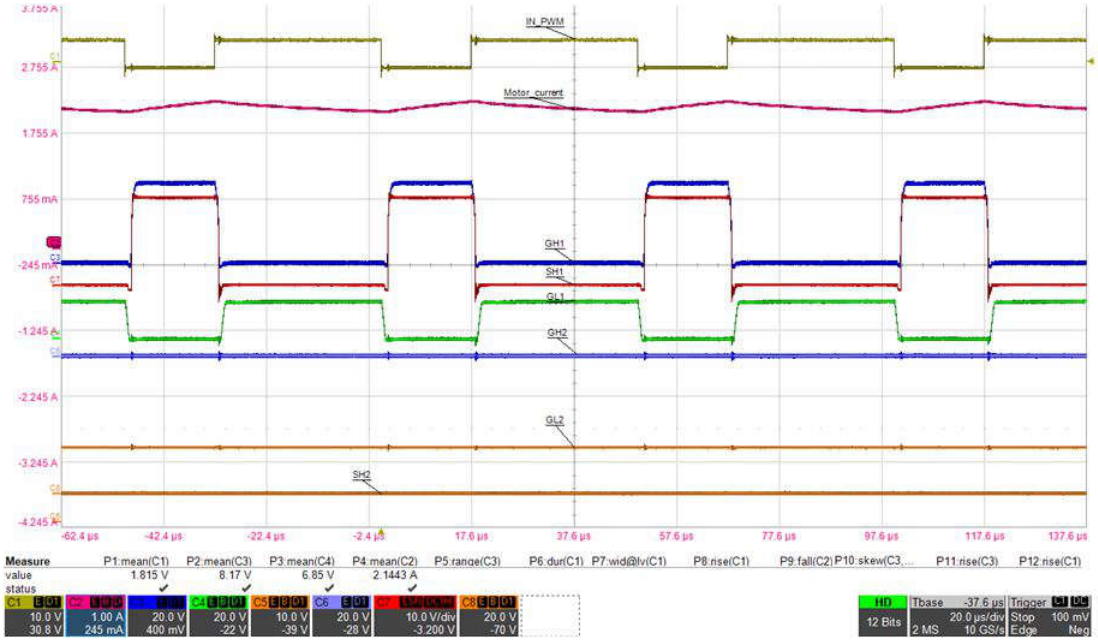


図 9-2. ドライバの公称 PWM 動作

Copyright © 2026 Texas Instruments Incorporated

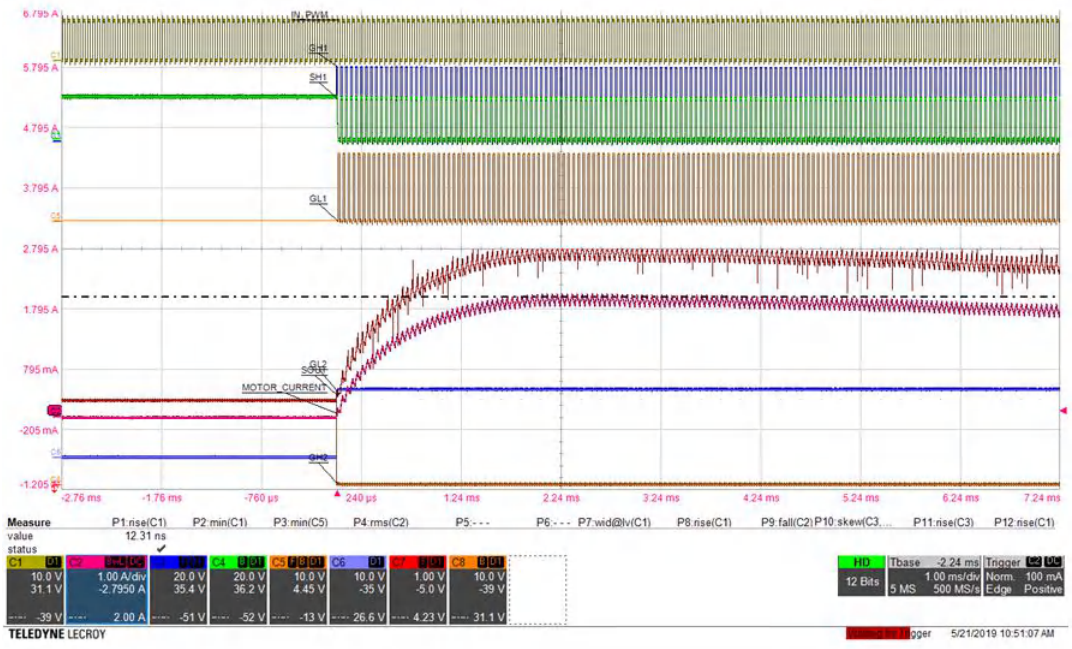


図 9-3. モーター スタートアップ時のドライバ動作

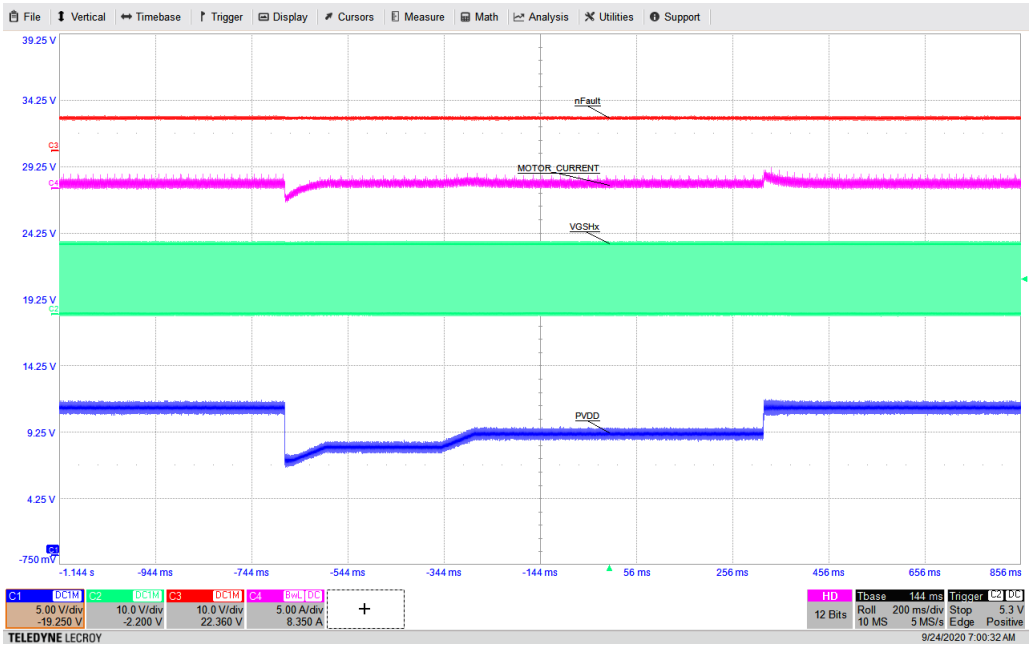


図 9-4. ウォーム クランク パルス時のドライバ PWM 動作

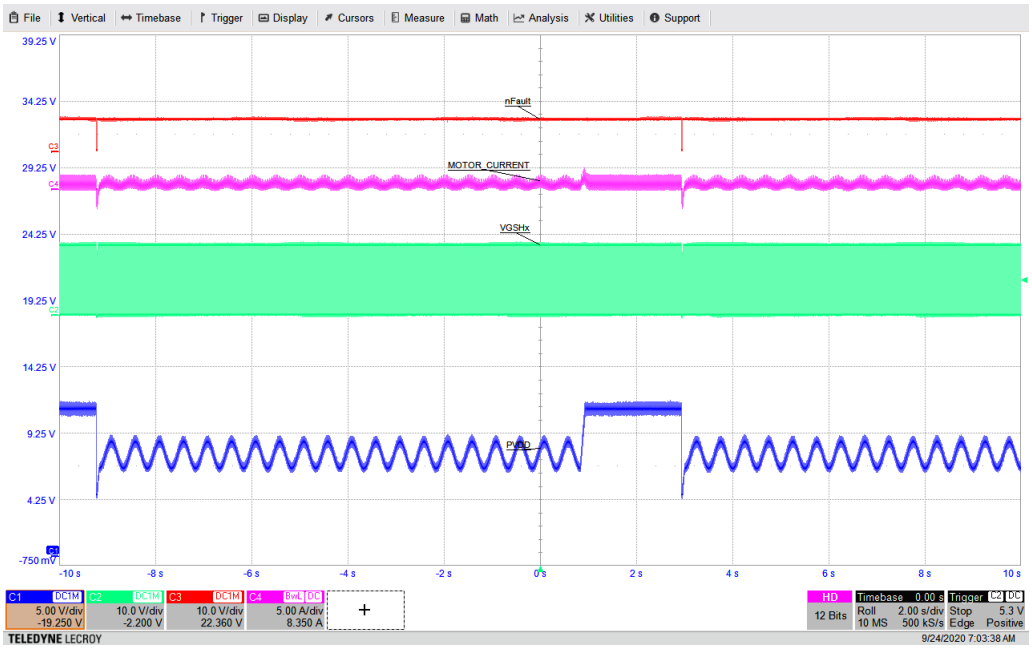


図 9-5. コールド クランク パルス時のドライバ PWM 動作

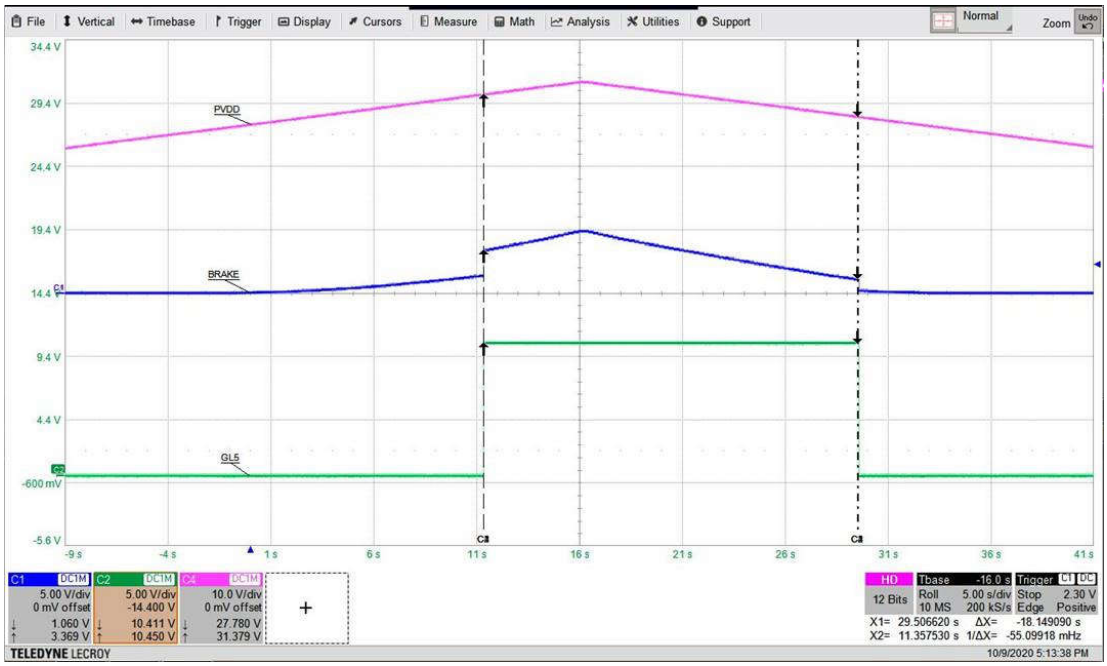


図 9-6. パワー オフ ブレーキ ローサイド ドライバの応答

Copyright © 2026 Texas Instruments Incorporated

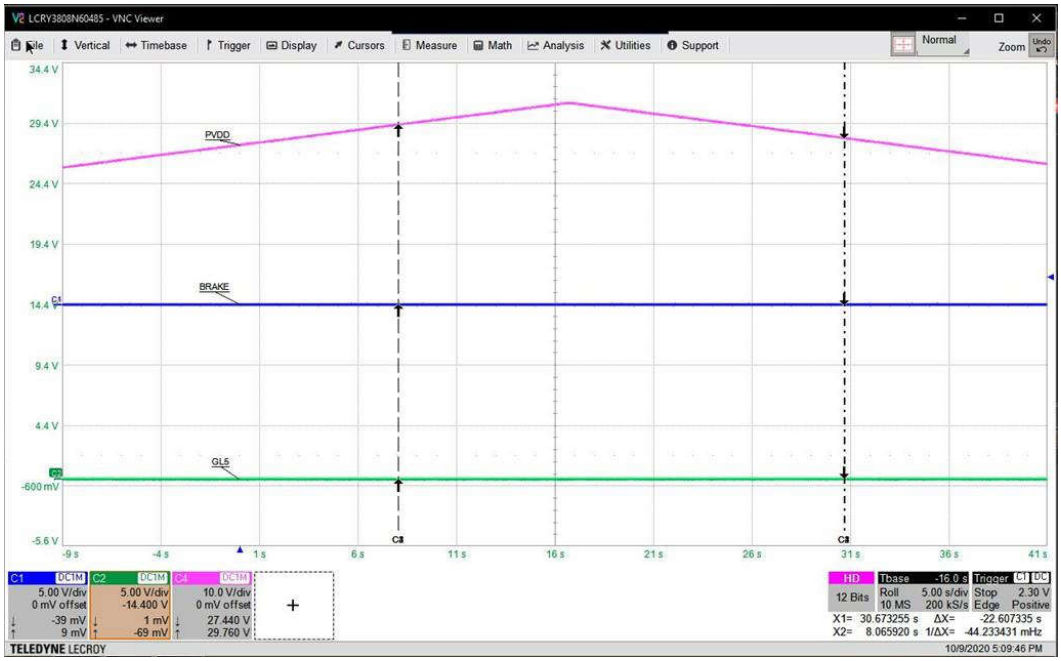


図 9-7. パワー オフ ブレーキが無効

9.3 初期化

このセクションでは、典型的なシステム動作において DRV871x-Q1 を使い始めるためのいくつかのガイダンスを提供します。

- デフォルトでは、デバイスは nSLEEP ピンが Low の状態で低消費電力のスリープモードにあります。このモードでは、すべてのドライバは無効化され、デバイスとの通信はできません。スタンバイ状態に入るには、nSLEEP ピンを high にする必要があります。
- スタンバイ状態では、H/W インターフェイスのデバイス バリアントは直ちにアクティブ状態に入り、ドライバ動作が可能になります (デバイス設定はピン構成から決定されます)。一方、SPI インターフェイスのデバイス バリアントは、ドライバが無効のまま電源投入されます。
- SPI バリアントでは、ドライバは EN_DRV レジスタ ビットによって有効化されます。ただし、ドライバを有効にする前に、出力ドライバやセンス アンプの設定、保護回路の設定、およびオフライン診断の実行を行うことが推奨されます。
- ハーフブリッジ ドライバの PWM 設定は、BRG_CTRL1、2 および PWM_CTRL1、2 レジスタによって行われ、出力負荷の構成に依存します。また、ドライバのゲート電流レベルとゲートドライバ構成は、IDRV_CTRLx レジスタと DRV_CTRLx レジスタにより設定できます。
- センス アンプは、CSA_CTRL1、2、3 レジスタによって設定されます。
- 各種の保護機能は、VDS_CTRLx および UVOV_CTRL レジスタにより設定できます。
- 最後に、ドライバを有効にする前に、EN_OLSC および OLSC_CTRL1、2 レジスタを使用して、オープン負荷および短絡に関するオフライン診断を実行できます。

9.4 電源に関する推奨事項

9.4.1 バルク容量の決定

適切なローカル バルク容量の確保は、モーター駆動システムの設計において重要な要素です。一般的に、バルク容量が大きいことは有益ですが、コストと物理的なサイズが大きくなるというデメリットもあります。ローカル容量値は、次のようなさまざまな要因で決まります。

- モーター システムが必要とする最大電流
- 電源'タイプ、容量と電流供給能力
- 電源とモーター システムの間の寄生インダクタンスの大きさ

- 許容される電源電圧リップル
- モータの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)
- モータの始動および制動方法

電源とモーター駆動システムとの間のインダクタンスにより、電源からの電流が変化できる速度は制限されます。ローカル バルク容量が小さすぎる場合、システムはモーターからの過剰な電流要求やダンプによる電圧変動の影響を受けます。十分なバルク容量を備えることで、モーターの電圧は安定し、大電流を素早く供給できます。

データシートには推奨最小値が記載されていますが、バルク コンデンサの容量が適切かどうかを判断するには、システム レベルのテストが必要です。

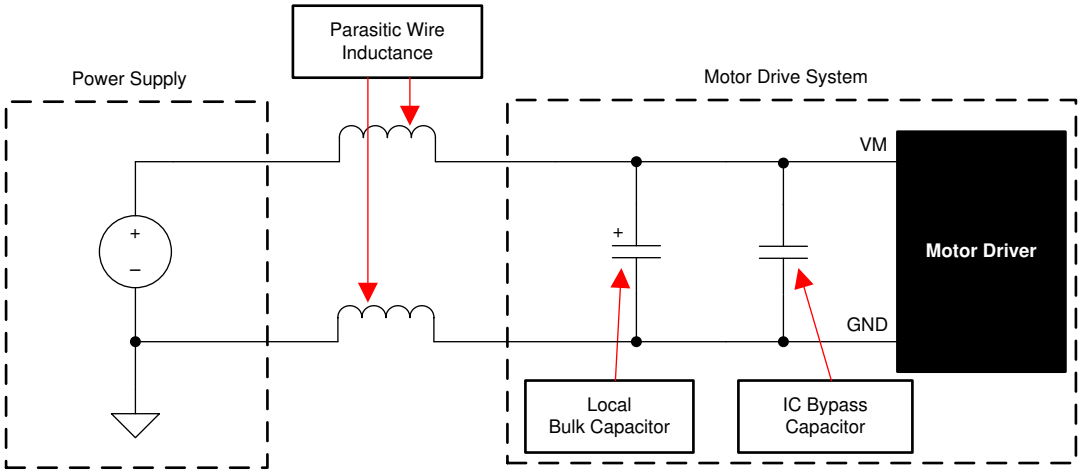


図 9-8. モータ駆動電源の寄生インダクタンスの例

9.5 レイアウト

9.5.1 レイアウトのガイドライン

推奨値 0.1µF の低 ESR セラミック バイパス コンデンサを使用して、PVDD ピンを GND ピンにバイパスします。このコンデンサは、幅の広いパターン、または GND ピンに接続されたグランド プレーンを使用して、PVDD ピンのできるだけ近くに配置してください。また、PVDD ピンは、PVDD の定格を持つバルク コンデンサを使用してバイパスします。この部品は電解質である可能性があります。容量は 10µF 以上としてください。この容量が外部パワー MOSFET のバルク容量と共有されている場合、これは許容されます。

外部 MOSFET 上の高電流パスをバイパスするために、追加のバルク容量が必要です。このバルク容量は、外部 MOSFET を通過する高電流パスの長さが最小となるよう配置する必要があります。接続用の金属パターンはできる限り幅広くし、PCB の層間を多数のビアで接続します。これらの手法により、インダクタンスが最小限に抑えられ、バルク コンデンサが大電流を供給できるようになります。

CPL1/CPH1 ピン間および CPL2/CP2H ピン間に、低 ESR のセラミック コンデンサを配置します。CP1 コンデンサは 0.1µF とし、PVDD 定格に対応し、タイプは X5R または X7R とします。CP2 コンデンサは 0.1µF とし、PVDD + 16V の定格に対応し、タイプは X5R または X7R とします。また、VCP ピンと PVDD ピンの間にも低 ESR のセラミック コンデンサを配置します。これには、X5R または X7R タイプで、16V の定格を持つ、1µF のコンデンサを使用する必要があります。

X5R または X7R タイプで 6.3V の定格を持つ 1.0µF の低 ESR セラミック コンデンサを使用して、DVDD ピンを DGND ピンにバイパスします。このコンデンサはピンにできる限り近づけて配置し、コンデンサから DGND ピンまでのパスを最短にします。X5R または X7R タイプで 6.3V の定格を持つ 0.1µF の低 ESR セラミック コンデンサを使用して、AREF ピンを AGND ピンにバイパスします。このコンデンサはピンにできる限り近づけて配置し、コンデンサから AGND ピンまでのパスを最短にします。ノイズを最小限に抑えるため、これらの電源に対してデバイスの近くにローカル バイパス コンデンサがすでに配置されている場合、DVDD および / または AREF 用のこれらの追加部品は不要です。

Copyright © 2026 Texas Instruments Incorporated

DRAIN ピンは、直接 PVDD ピンに短絡することができます。ただし、デバイスと外部 MOSFET の間が大きく離れている場合は、専用のパターンを使用して、ハイサイド外部 MOSFET のドレインの共通ポイントに接続します。PGNDx ピンは、ローサイド外付け MOSFET のソースおよび PCB の GND プレーンに対して低インピーダンス経路を確保し、可能な限り直接 GND プレーンに接続してください。これらの推奨事項により、過電流検出のための外部 MOSFET の VDS センシングがより正確になります。

ハイサイドおよびローサイド ゲートドライバのループ長はできるだけ短くします。ハイサイド ループはデバイスの GHx ピンからハイサイド パワー MOSFET のゲートまでであり、その後ハイサイド MOSFET のソースを通って SHx ピンへと戻ります。ローサイド ループはデバイスの GLx ピンからローサイド パワー MOSFET のゲートまでであり、その後ローサイド MOSFET のソースを通って PGNDx ピンへと戻ります。

Copyright © 2026 Texas Instruments Incorporated

9.5.2 レイアウト例

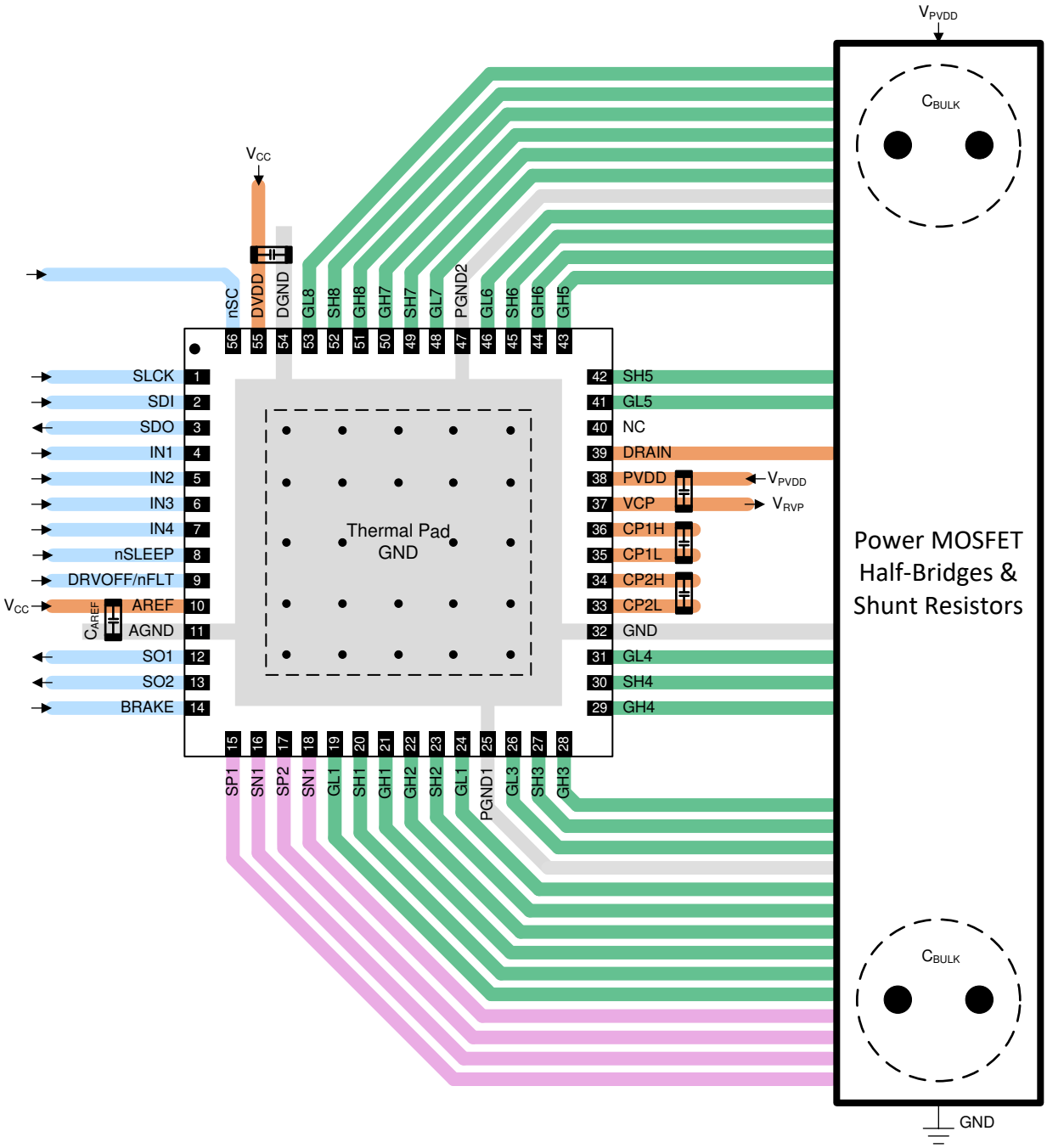


図 9-9. レイアウト例

Copyright © 2026 Texas Instruments Incorporated

10 デバイス ドキュメントおよびサポート

10.1 ドキュメントのサポート

10.1.1 関連文書

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『スマート ゲートドライブの理解』アプリケーション レポート
- テキサス・インスツルメンツ、*『モータードライバ消費電力の計算』*アプリケーション レポート
- テキサス・インスツルメンツ、『PowerPAD™ 入門』アプリケーション レポート
- テキサス・インスツルメンツ、『熱特性強化型パッケージ PowerPAD™』アプリケーション レポート
- テキサス・インスツルメンツ、『モータドライバの基板レイアウトのベスト プラクティス』アプリケーション レポート

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (December 2022) to Revision E (March 2026)	Page
• VCP 低電圧スレッショルドを更新。	64

Changes from Revision C (August 2022) to Revision D (December 2022)	Page
• DRV8714A-Q1 バリアントを追加。	3

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision B (June 2021) to Revision C (August 2022)	Page
• QFP パッケージ オプションの情報を追加	1

Changes from Revision A (December 2020) to Revision B (June 2021)	Page
• V_{OFF} 仕様が ±1mV に改善	22
• アンプの CMRR MIN 仕様を追加	22
• ADDR_FLT への誤字参照を削除	68

Changes from Revision * (August 2020) to Revision A (December 2020)	Page
• データシートのステータスを「事前情報」から「量産混合」に変更	1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

12.1 付録：パッケージ オプション

パッケージ情報

発注可能なデバイス	ステータス	パッケージ タイプ	パッケージ図	ピン	パッケージの数量	エコ プラン	リード / ボール仕上げ	MSL ピーク温度	動作温度 (℃)	デバイス マーキング
DRV8714SAQRHARQ1	プレビュー	VQFN	RHA	40	2500	RoHS & グリーン	NiPdAu	レベル 3-260C-168 HR	-40～125	DRV8714S

重要なお知らせと免責事項:このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じた TI の責任は、このドキュメント発行時点での TI 製品の価格に基づく TI からお客様への合計購入価格 (年次ベース) を超えることはありません。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8714HQPHPRQ1	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8714H
DRV8714HQPHPRQ1.A	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8714H
DRV8714HQRHARQ1	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8714H
DRV8714HQRHARQ1.A	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8714H
DRV8714SQPHPRQ1	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8714S
DRV8714SQPHPRQ1.A	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8714S
DRV8714SQRHARQ1	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8714S
DRV8714SQRHARQ1.A	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8714S
DRV8714SQRVJRQ1	Active	Production	VQFN (RVJ) | 56	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8714S
DRV8714SQRVJRQ1.A	Active	Production	VQFN (RVJ) | 56	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8714S
DRV8718SQRVJRQ1	Active	Production	VQFN (RVJ) | 56	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8718S
DRV8718SQRVJRQ1.A	Active	Production	VQFN (RVJ) | 56	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8718S

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

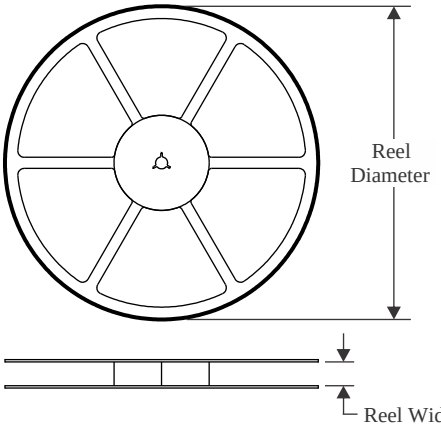
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

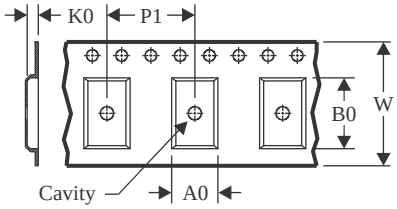
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

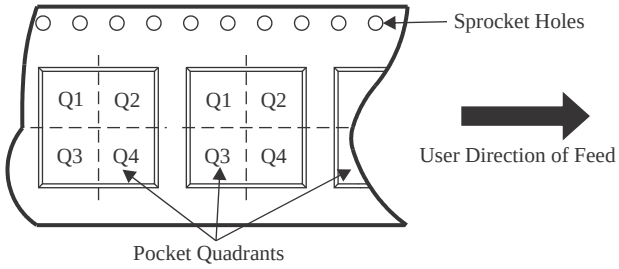


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

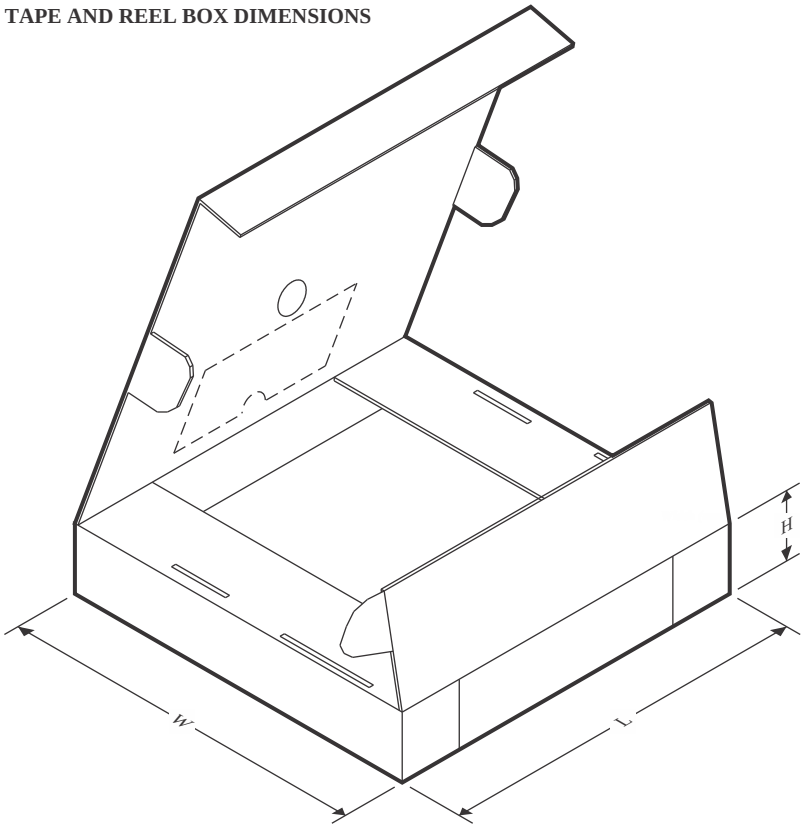
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8714HQPHPRQ1	HTQFP	PHP	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2
DRV8714HQRHARQ1	VQFN	RHA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8714SQPHPRQ1	HTQFP	PHP	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2
DRV8714SQRHARQ1	VQFN	RHA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8714SQRVJRQ1	VQFN	RVJ	56	2000	330.0	16.4	8.3	8.3	1.1	12.0	16.0	Q2
DRV8718SQRVJRQ1	VQFN	RVJ	56	2000	330.0	16.4	8.3	8.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8714HQPHPRQ1	HTQFP	PHP	48	1000	336.6	336.6	31.8
DRV8714HQRHARQ1	VQFN	RHA	40	2500	367.0	367.0	35.0
DRV8714SQPHPRQ1	HTQFP	PHP	48	1000	336.6	336.6	31.8
DRV8714SQRHARQ1	VQFN	RHA	40	2500	367.0	367.0	35.0
DRV8714SQRVJRQ1	VQFN	RVJ	56	2000	367.0	367.0	35.0
DRV8718SQRVJRQ1	VQFN	RVJ	56	2000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

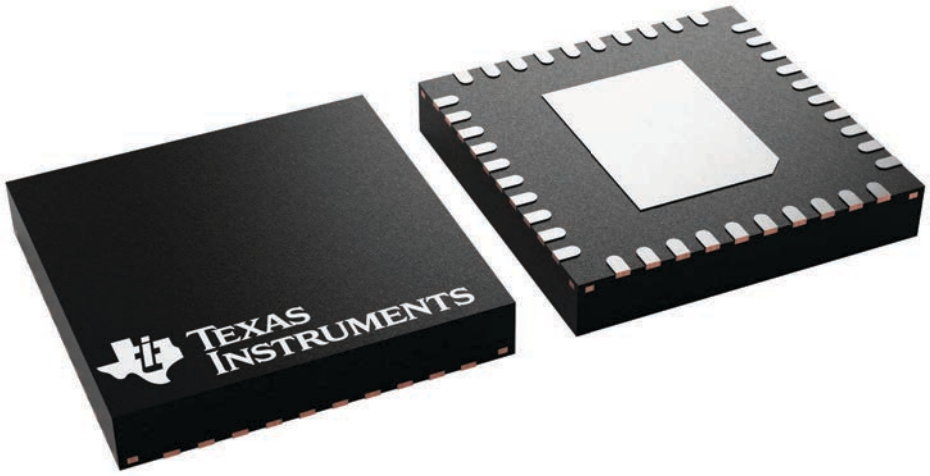
RHA 40

VQFN - 1 mm max height

6 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



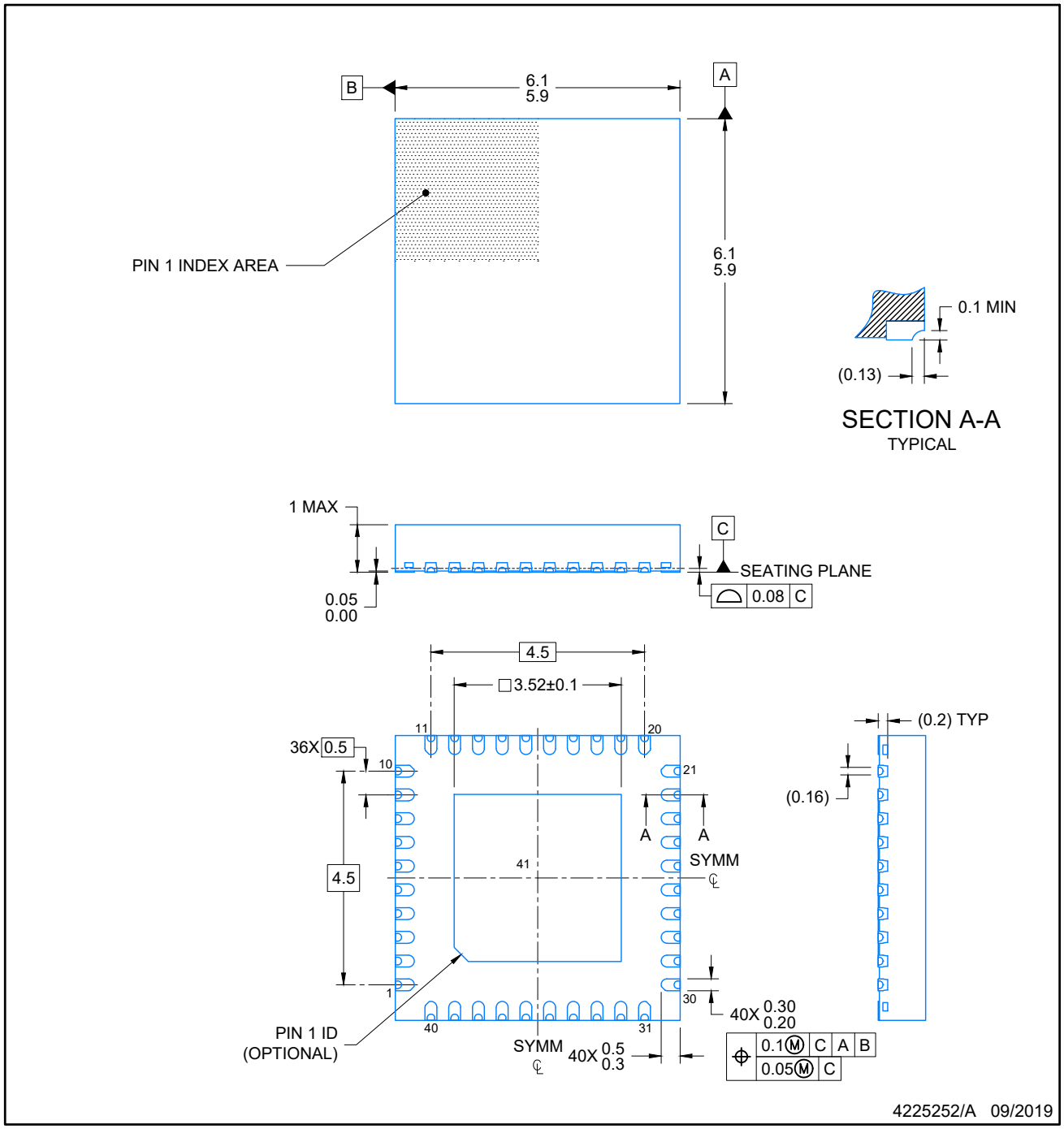
4225870/A

PACKAGE OUTLINE

RHA0040L

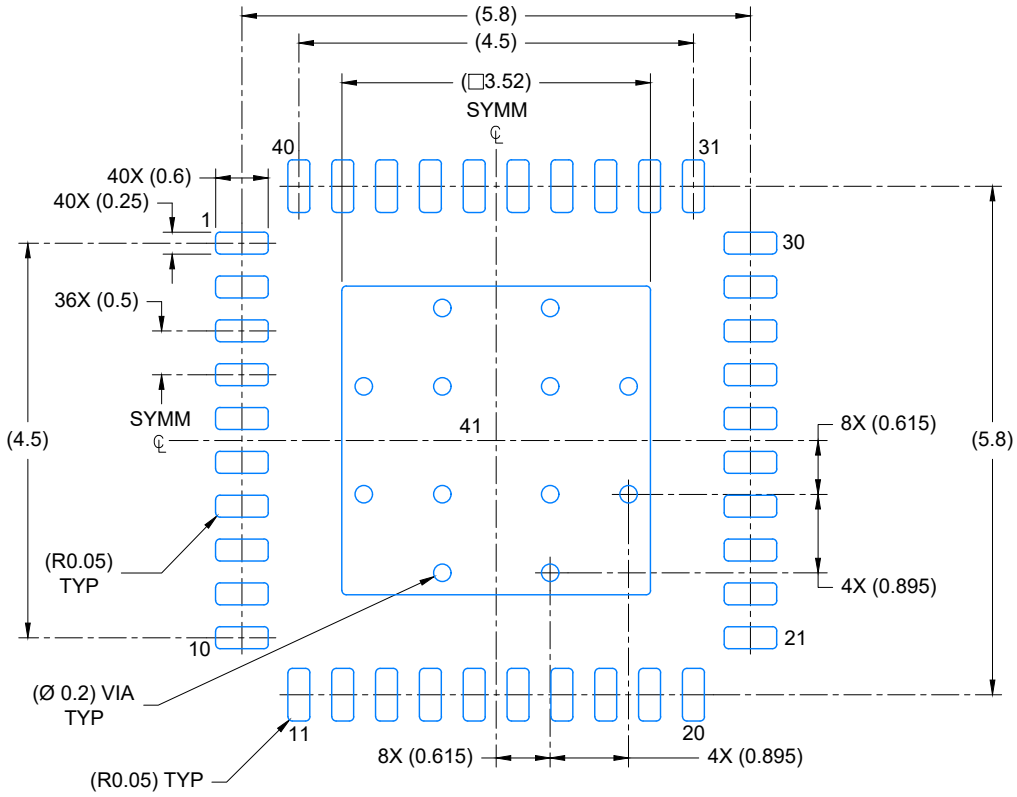
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD

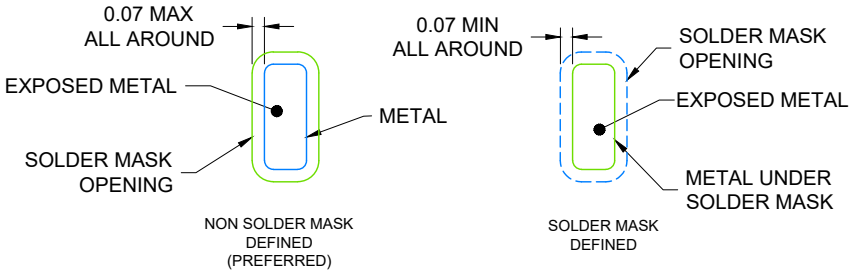


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X

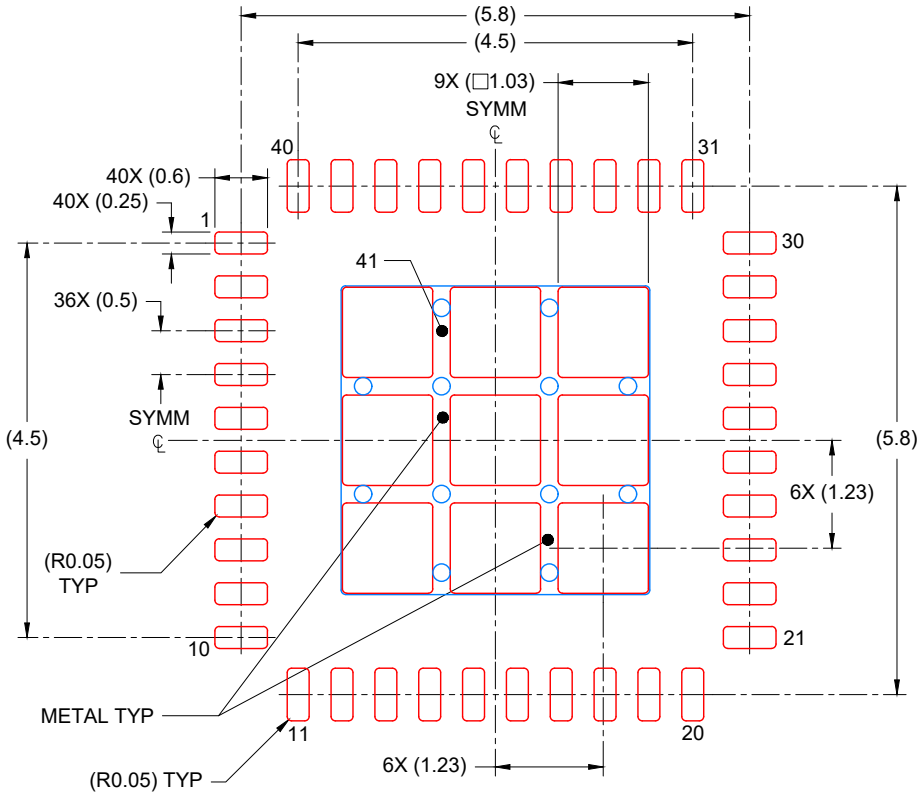


SOLDER MASK DETAILS

4225252/A 09/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
74% PRINTED COVERAGE BY AREA
SCALE: 12X

4225252/A 09/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

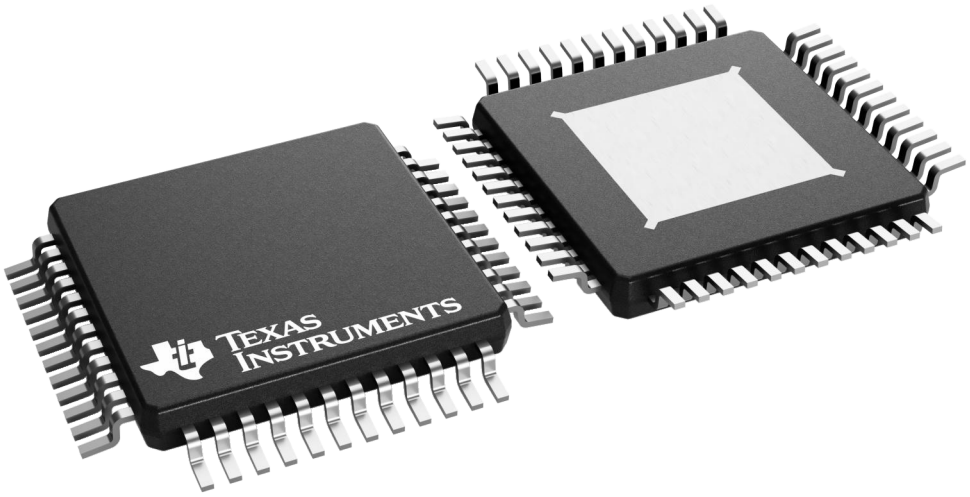
PHP 48

TQFP - 1.2 mm max height

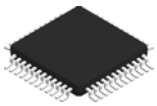
7 x 7, 0.5 mm pitch

QUAD FLATPACK

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



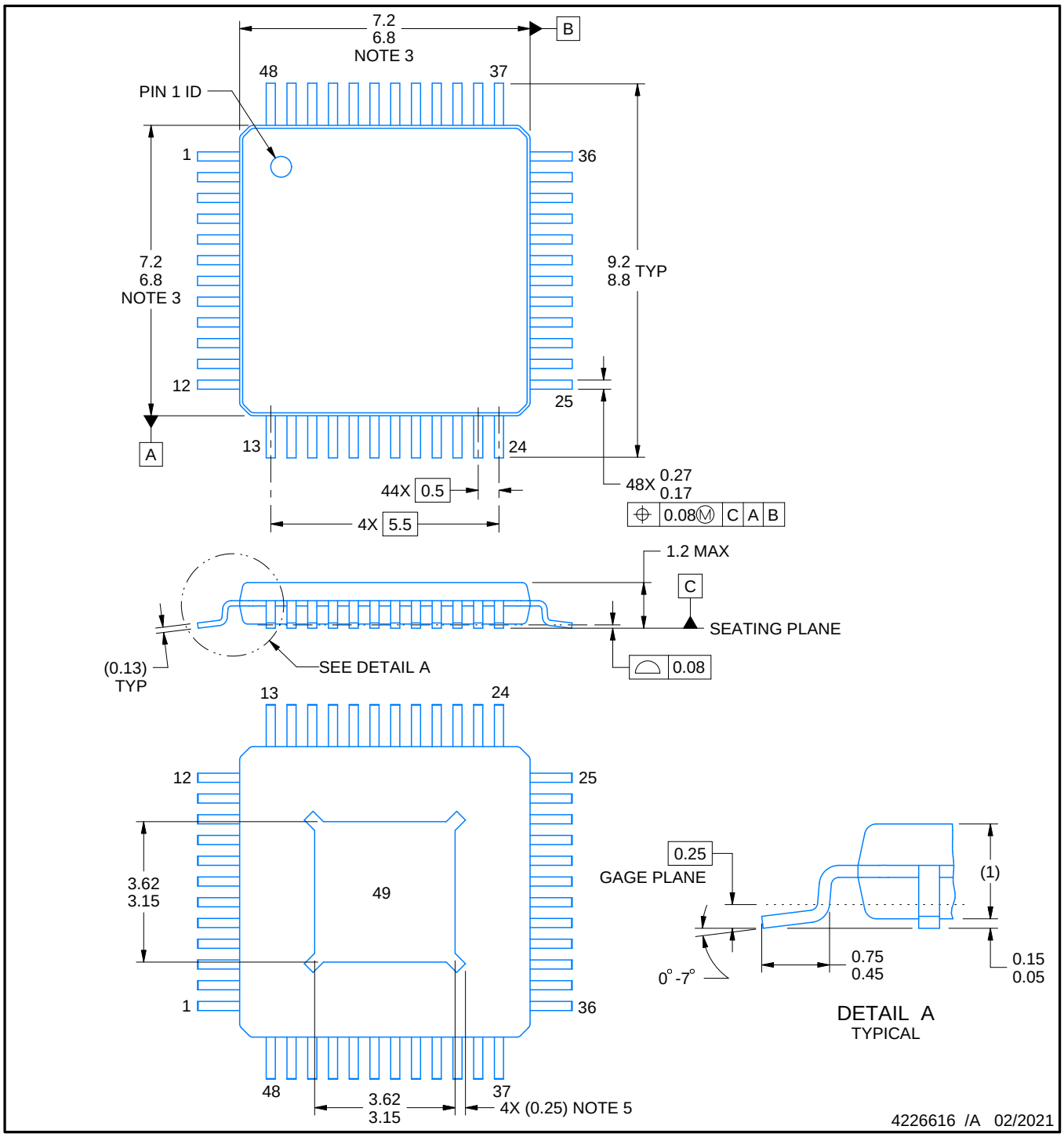
4226443/A



PACKAGE OUTLINE

PHP0048E

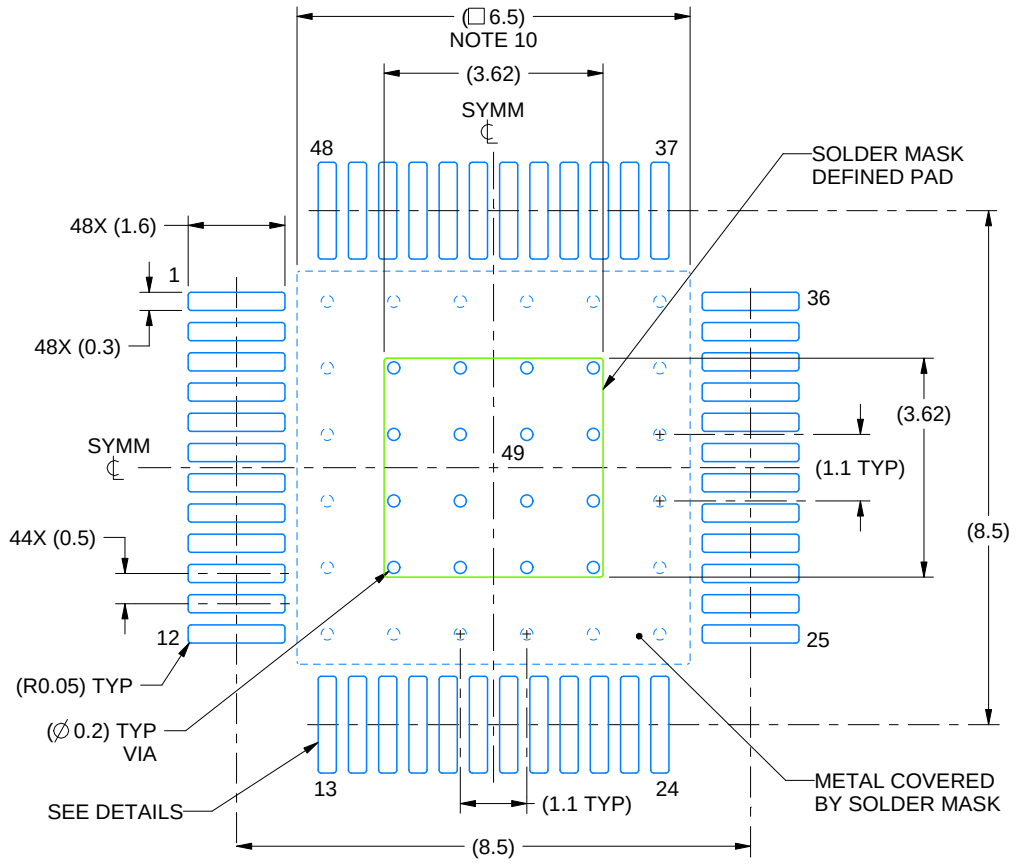
PowerPAD™ HTQFP - 1.2 mm max height



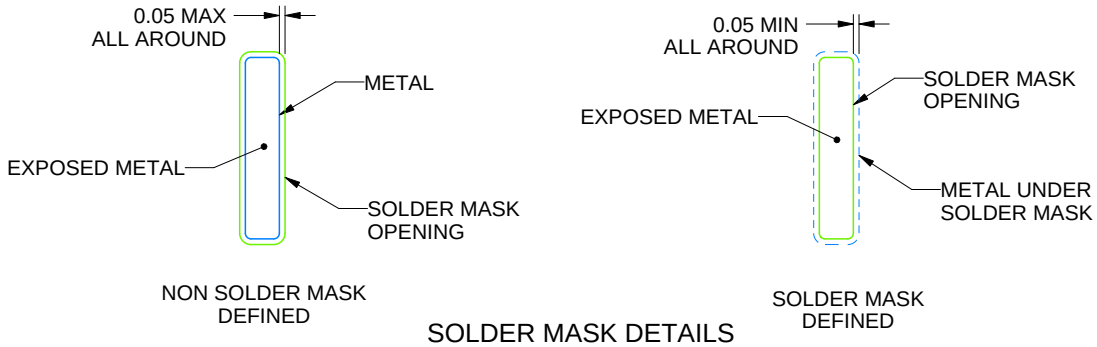
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.
5. Feature may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

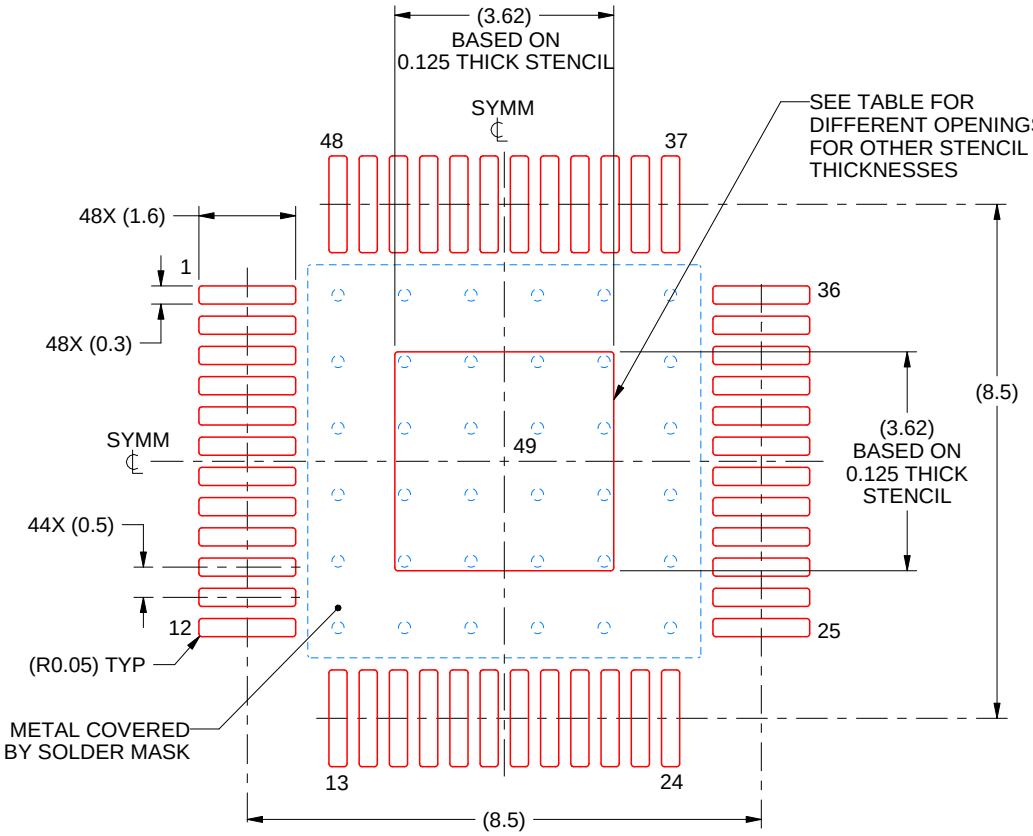


SOLDER MASK DETAILS

4226616 /A 02/2021

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	4.05 X 4.05
0.125	3.62 x 3.62 (SHOWN)
0.150	3.30 x 3.30
0.175	3.06 x 3.06

4226616 /A 02/2021

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

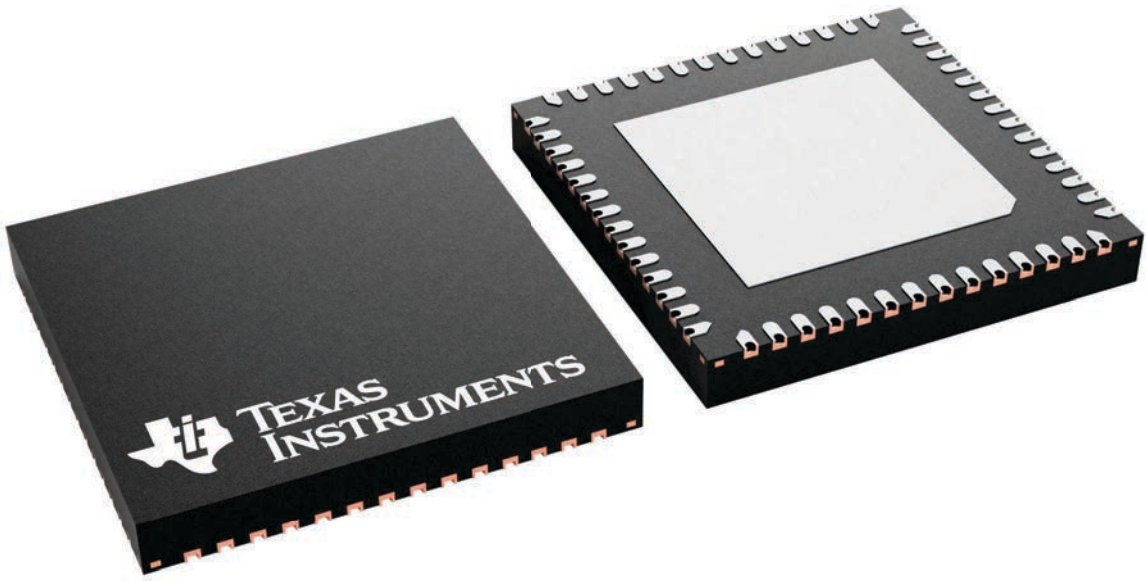
RVJ 56

VQFN - 1 mm max height

8 x 8, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4230924/A

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月