DRV8844 クワッド ハーフ ブリッジ ドライバ IC

1 特長

- クワッド 1/2-ハーフ ブリッジ DC モータードライバ
  - 4 つのソレノイド負荷、2 つの DC モーター、1 つのステッピング モーター、または他の負荷を駆動可能
  - 個々のハーフブリッジのフル制御
  - Low MOSFET オン抵抗
- 最大駆動電流:2.5A (24V、25°C)
- フローティング入力バッファにより、デュアル(バイポーラ)電源(最大±30V)が可能
- 3.3V、10mA LDO レギュレータ内蔵
- 業界標準の IN/IN デジタル制御インターフェイス
- 8V ～ 60V の動作電源電圧範囲
- 出力を並列に接続できます
- 放熱性を高めた表面実装パッケージ

2 アプリケーション

- 繊維機械
- OA 機器
- ゲーム機
- ファクトリ オートメーション
- ロボティクス

3 説明

DRV8844 は、個別制御可能な 4 つの 1/2-H ブリッジ ドライバを備えています。このデバイスを使用すると、2 つの DC モータ、1 つのステッパ モータ、4 つのソレノイド、またはその他の負荷を駆動できます。各チャネルの出力ドライバ チャネルは、1/2-H ブリッジに構成された N チャネルのパワー MOSFET で構成されています。

DRV8844 は、H ブリッジごとに、チャネル一つにつき最大 2.5A のピーク電流または 1.75A RMS の出力電流を供給できます (24V および 25°C で適切な PCB ヒートシンクを使用した場合)。

各 1/2 H ブリッジを個別に制御できるよう、専用の入力が提供されています。分割電源での動作を可能にするため、ロジック入力および nFAULT 出力は、独立したフローティング グラウンド ピンを基準としています。

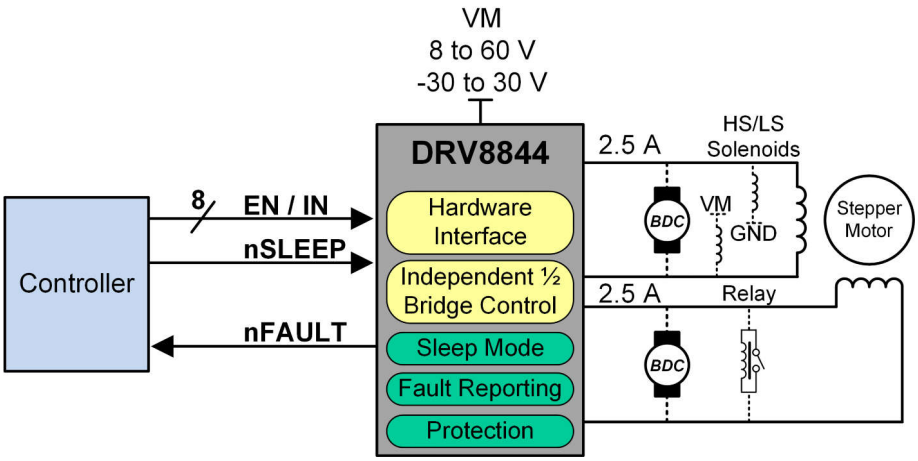
本デバイスには、過電流保護、短絡保護、低電圧ロックアウト、過温保護のための内部シャットダウン機能が搭載されています。

DRV8844 は PowerPAD™ 付き 28 ピン HTSSOP パッケージで供給されます (環境配慮型パッケージ:RoHS 準拠、Sb/Br 非含有) で供給されます。

製品情報 (1)

部品番号	パッケージ	パッケージ サイズ (2)
DRV8844	HTSSOP (28)	9.70mm × 6.40mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 熱に関する情報.....6
5.5 電気的特性.....6
5.6 スイッチング特性.....7
5.7 代表的特性.....8
6 詳細説明.....9
6.1 概要.....9
6.2 機能ブロック図.....9
6.3 機能説明.....10
6.4 デバイスの機能モード.....12
7 アプリケーションと実装.....14
7.1 アプリケーション情報.....14
7.2 代表的なアプリケーション.....14
7.3 レイアウト.....17
8 デバイスおよびドキュメントのサポート.....20
8.1 ドキュメントのサポート.....20
8.2 コミュニティリソース.....20
8.3 商標.....20
9 改訂履歴.....20
10 メカニカル、パッケージ、および注文情報.....20

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

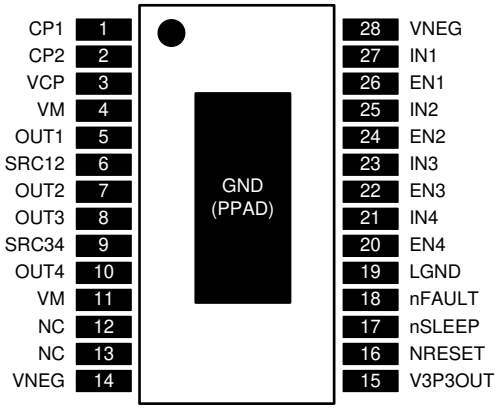


図 4-1. PWP パッケージ 28 ピン HTSSOP 上面図

表 4-1. ピンの機能

ピン		種類[1]	説明	外付け部品または接続
名称	番号			
電源およびグランド				
CP1	1	P	チャージ ポンプ フライング コンデンサ	CP1 と CP2 の間に 0.01µF 100V のコンデンサを接続してください。
CP2	2	P	チャージ ポンプ フライング コンデンサ	
LGND	19	P	ロジック入力基準グランド	ロジックグランドに接続。この電圧は、VNEG から VM – 8V の範囲内です。
V3P3OUT	15	P	3.3V レギュレータ出力	VNEG に 0.47µF、定格 6.3V のセラミックコンデンサでバイパスしてください。VREF に電源を供給するために使用できます。
VCP	3	P	ハイサイド ゲートドライブ電圧	VM に 0.1µF 16V のセラミックコンデンサを接続してください。
VM	4、11	P	メイン電源	モーター電源 (8V～60V) に接続します。両方のピンは、同じ電源に接続する必要があります。VNEG に 10µF（最小値）以上のコンデンサでバイパスしてください。
SRC12	6	P	OUT1 および OUT2 用ローサイド FET ソース	VNEG に直接接続するか、オプションの電流検出抵抗を介して接続してください
SRC34	9	P	OUT3 および OUT4 用ローサイド FET ソース	
VNEG	14、28、PPAD	P	負電源（デュアル電源時）またはグランド（単一電源時）	
制御				
EN1	26	I	チャネル 1、イネーブル	ロジック High で OUT1 がイネーブルになります。内部プルダウン。
EN2	24	I	チャネル 2、イネーブル	ロジック High で OUT2 がイネーブルになります。内部プルダウン。
EN3	22	I	チャネル 3、イネーブル	ロジック High で OUT3 がイネーブルになります。内部プルダウン。
EN4	20	I	チャネル 4、イネーブル	ロジック High で OUT4 がイネーブルになります。内部プルダウン。
IN1	27	I	チャネル 1 入力	ロジック入力は OUT1 の状態を制御します。内部プルダウン。
IN2	25	I	チャネル 2 入力	ロジック入力は OUT2 の状態を制御します。内部プルダウン。
IN3	23	I	チャネル 3 入力	ロジック入力は OUT3 の状態を制御します。内部プルダウン。
IN4	21	I	チャネル 4 入力	ロジック入力は OUT4 の状態を制御します。内部プルダウン。
nRESET	16	I	リセット入力	アクティブ Low リセット入力は内部ロジックを初期化し、H ブリッジ出力を無効にします。内部プルダウン。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		種類(1)	説明	外付け部品または接続
名称	番号			
nSLEEP	17	I	スリープ モード入力	デバイスは、ロジック High でイネーブルし、ロジック Low で低消費電力スリープ モードに移行します。内部プルダウン。
STATUS				
nFAULT	18	OD	フォルト	フォルト状態（過熱、過電流、UVLO）では、ロジック Low。オープンドレイン出力。
出力				
OUT1	5	O	出力 1	負荷に接続します
OUT2	7	O	出力 2	
OUT3	8	O	出力 3	
OUT4	10	O	出力 4	
内部接続なし				
NC	12、13	—	無接続	これらのピンには接続されていません

(1) I = 入力、O = 出力、OD = オープンドレイン出力、P = 電源

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
VM	電源電圧	-0.3	65	V
	ロジック グランド 電圧 (LGND)	-0.5	VM - 8	V
	デジタルピン電圧	LGND - 0.5	LGND + 7	V
	SRC12、SRC34 (ピン 6 および 9、オプションのセンス抵抗付き) を VNEG ピン (ピン 14 および 28) に接続	-0.6	0.6	V
	ピーク モーター駆動出力電流、t < 1µs	内部的に制限		A
	連続モーター駆動出力電流(2)		2.5	A
T_J	動作時の仮想接合部温度	-40	150	°C
T_{stg}	保存温度	-60	150	°C

(1) 「*絶対最大定格*」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「*推奨動作条件*」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 消費電力および温度の制限に従う必要があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠(1)	±3000	V
		荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠(2)	±1500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内において、電圧は VNEG を基準とする (特に記述のない限り)

		最小値	公称値	最大値	単位
V_M	モーター電源電圧(1)	8		60	V
I_{V3P3}	負荷電流で V3P3OUT	0		10	mA
T_A	周囲温度	-40		125	°C

(1) すべての V_M ピンは、同じ電源電圧に接続する必要があります。

Copyright © 2025 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		DRV8844 PWP (HTSSOP) 28 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	31.6	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	15.9	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	5.6	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	0.2	℃/W
ψ_{JB}	接合部から基板への特性パラメータ	5.5	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	1.4	℃/W

(1) 従来および最新の熱測定基準の詳細については、アプリケーション レポート『*半導体および IC パッケージの熱評価基準*』、SPRA953 を参照してください。

5.5 電気的特性

T_A = 25°C、動作周囲温度範囲全体で、特に記載がない場合はすべての電圧が VNEG 端子に対する値です

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
I_{VM}	VM 動作電源電流	V_M = 24V、f_{PWM} < 50kHz		1	5	mA
I_{VMQ}	VM スリープ モード電源電流	V_M = 24 V		500	800	µA
V_{UVLO}	VM 低電圧誤動作防止電圧	V_M 立ち上がり		6.3	8	V
V3P3OUT レギュレータ						
V_{3P3}	V3P3OUT 電圧	IOUT = 0 から 1mA	3.18	3.3	3.52	V
ロジックレベル入力						
V_{IL}	入力 Low 電圧			LGND + 0.6	LGND + 0.7	V
V_{IH}	入力 High 電圧		LGND + 2.2		LGND + 5.25	V
V_{HYS}	入力ヒステリシス		50		600	mV
I_{IL}	入力 Low 電流	VIN = LGND	-5		5	µA
I_{IH}	高入力電流	VIN = LGND + 3.3V			100	µA
R_{PD}	内部プルダウン抵抗			100		kΩ
nFAULT 出力 (オープンドレイン出力)						
V_{OL}	出力 LOW 電圧	I_O = 5mA			LGND + 0.5	V
I_{OH}	出力 High リーク電流	V_O = LGND + 3.3V			1	µA
H ブリッジ FET						
$R_{DS(ON)}$	HS FET オン抵抗	V_M < 24V、I_O = 1A、T_J = 25℃		0.24		Ω
		V_M < 24V、I_O = 1A、T_J = 85℃		0.29	0.39	
	LS FET オン抵抗	V_M < 24V、I_O = 1A、T_J = 25℃		0.24		
		V_M < 24V、I_O = 1A、T_J = 85℃		0.29	0.39	
I_{OFF}	オフ状態のリーク電流		-2		2	µA
保護回路						
I_{OCP}	過電流保護トリップレベル		3			A
t_{DEAD}	出力デッドタイム			90		ns
t_{OCP}	過電流保護グリッチ除去時間			5		µs
T_{TSD}	サーマル シャットダウン温度	ダイ温度	150	160	180	°C

Copyright © 2025 Texas Instruments Incorporated

5.6 スイッチング特性

自由空気での動作温度範囲内 (特に記述のない限り)、(1)(図 5-1 を参照)

番号	パラメータ	テスト条件	最小値	最大値	単位
1	t_1	遅延時間、ENx high から OUTx high、INx = 1 まで	130	330	ns
2	t_2	遅延時間、ENx low から OUTx low まで、INx = 1	275	475	ns
3	t_3	遅延時間、ENx high から OUTx low、INx = 0	100	300	ns
4	t_4	遅延時間、ENx low から OUTx high まで、INx = 0	200	400	ns
5	t_5	遅延時間、INx High から OUTx High まで	300	500	ns
6	t_6	遅延時間、INx Low から OUTx Low まで	275	475	ns
7	t_R	出力立ち上がり時間、VNEG への抵抗性負荷	30	150	ns
8	t_F	出力立ち下がり時間、VNEG への抵抗性負荷	30	150	ns

(1) 製造試験は行っておらず、設計による仕様です。

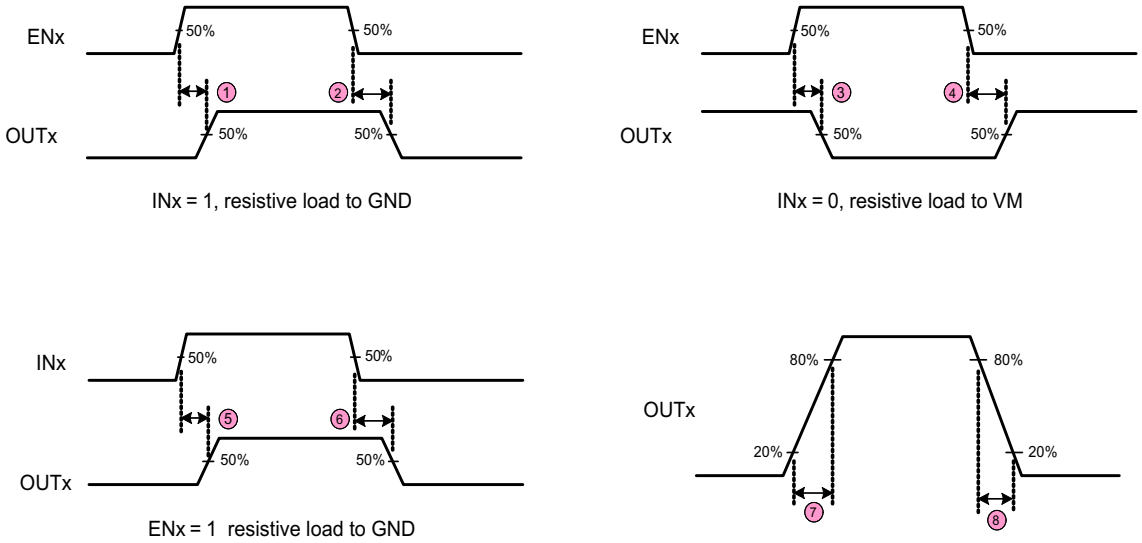


図 5-1. DRV8844 のスイッチング特性

5.7 代表的特性

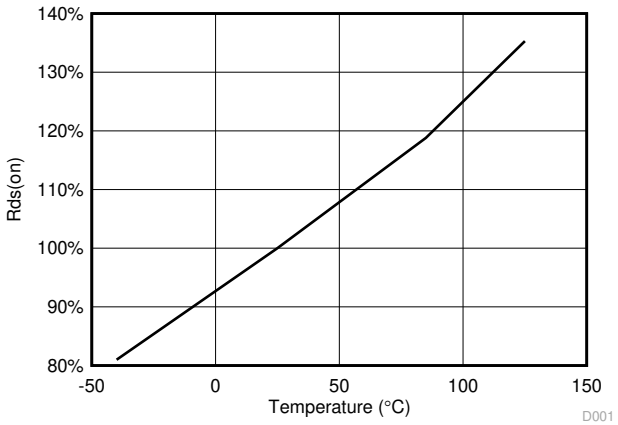


図 5-2. $R_{DS(ON)}$ と温度との関係

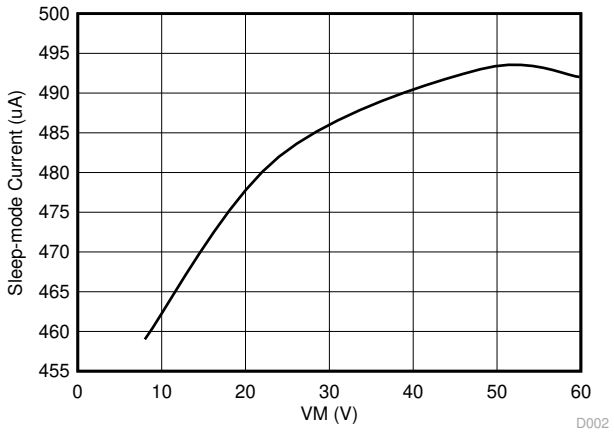


図 5-3. Sleep モード電流と VM との関係

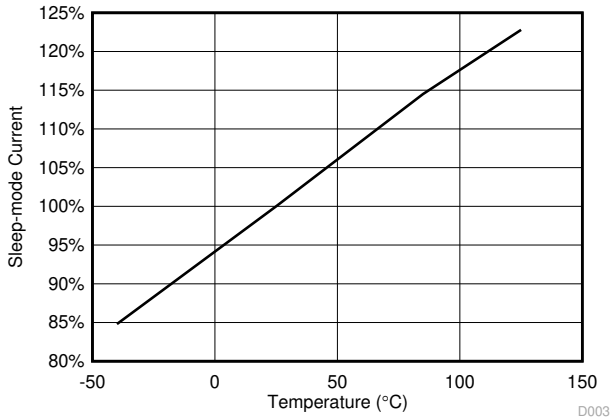


図 5-4. スリープ モードの電流と温度との関係

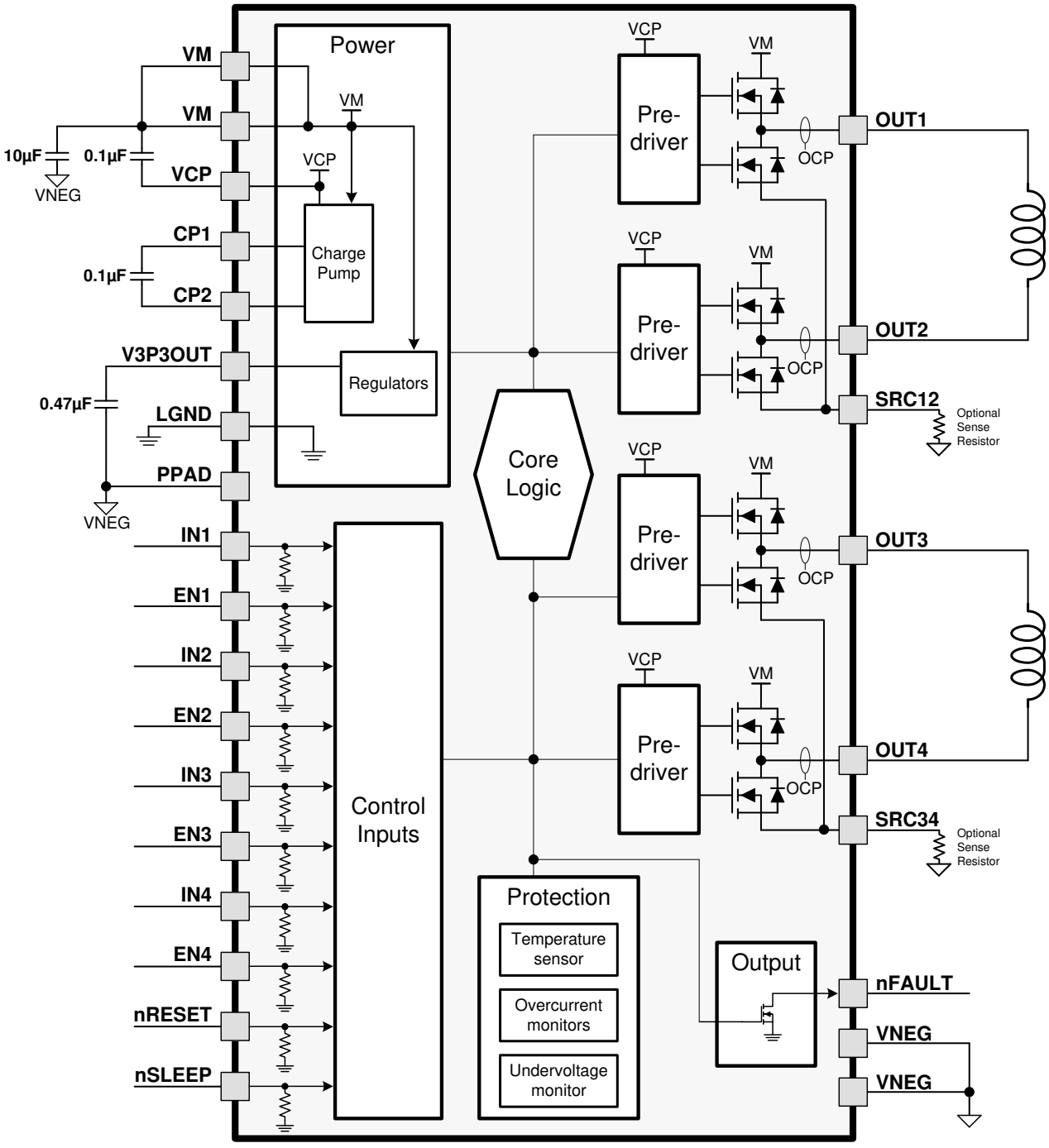
Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

DRV8844 には、4 つの独立した 2.5A ハーフ H ブリッジ、保護回路、スリープモード、およびフォルト報告機能を統合しています。単一電源で 8 ～ 60V の広い電圧範囲をサポートしているため、ブラシ付き DC、ステッパ、ソレノイドなどのモータ駆動アプリケーションに最適です。

6.2 機能ブロック図



Copyright © 2016, Texas Instruments Incorporated

6.3 機能説明

6.3.1 出力ステージ

DRV8844 には、N チャネル MOSFET を使用した 4 つの 1/2-H ブリッジ ドライバを内蔵しています。出力回路のブロック図は 図 6-1 に示されています。

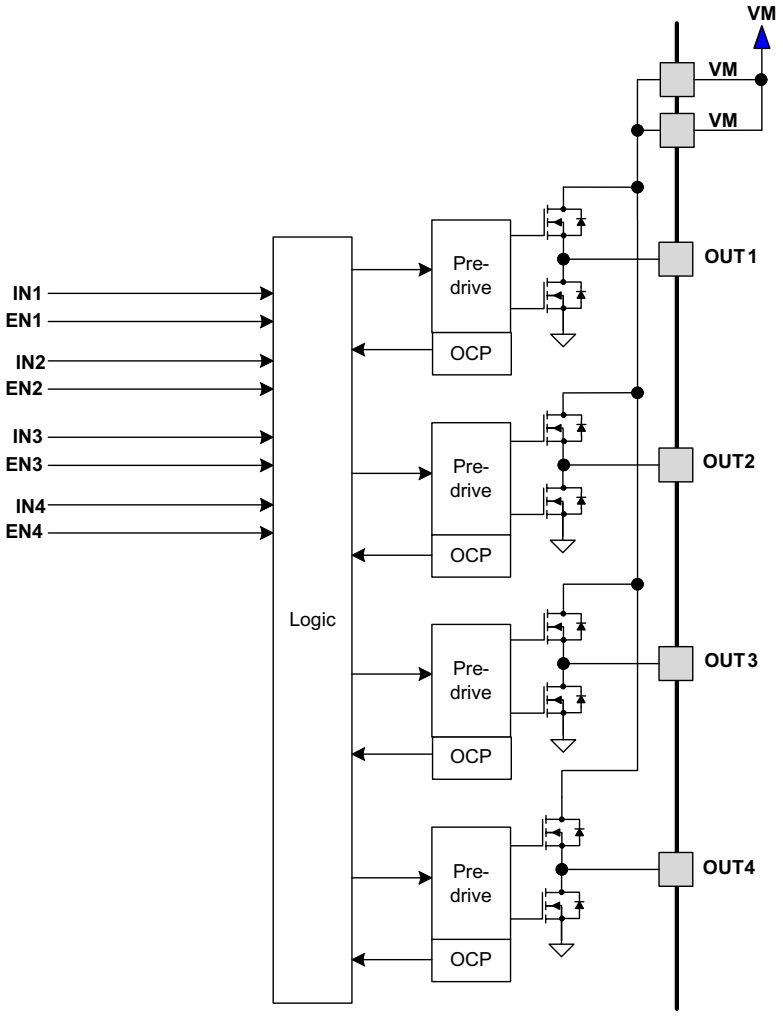


図 6-1. モータ制御回路

出力ピンは VM と VNEG の間で駆動されます。VNEG は、単一電源アプリケーションでは通常グラウンドに接続され、二重電源アプリケーションでは負電圧となります。

複数の VM モータ電源ピンがあることに注意してください。すべての VM ピンは、モータ電源電圧にまとめて接続する必要があります。

6.3.2 ロジック入力

ロジック入力および nFAULT 出力は、LGND ピンを基準としています。このピンは、ロジック信号のソース（例：マイクロコントローラなど）のロジック グランドに接続されています。これにより、LGND を VNEG とは異なる電位に設定することが可能になります。たとえば、設計者はバイポーラ電源を用いて負荷を駆動でき、VM に +24V、VNEG に –24V を与え、LGND を 0V（グラウンド）に接続する構成が可能です。

Copyright © 2025 Texas Instruments Incorporated

6.3.3 ブリッジ制御

INx 入力ピンは OUTx 出力の High／Low 状態を直接制御し、ENx 入力ピンは OUTx ドライバの有効／無効を制御します。表 6-1 は、ロジックを示します。

表 6-1. H ブリッジロジック

INx	ENx	OUTx
X	0	Z
0	1	L
1	1	H

入力は、DC モータの速度などの PWM 制御にも使用できます。PWM による巻線制御では、駆動電流が中断されたとき、モータの誘導性の性質から、電流を継続して流す必要があります。これを「再循環電流」といいます。再循環電流を扱うために、H ブリッジは 2 種類の状態 (ファースト ディケイまたはスロー ディケイ) で動作できるようになります。高速減衰モードでは、H ブリッジがディセーブルされ、再循環電流がボディ ダイオードに流れます。低速減衰では、モーターの巻線が短絡します。

ファースト ディケイを使用する PWM 信号の場合、ENx ピンに PWM 信号が印加されます。スロー ディケイを使用する場合、INx ピンに PWM 信号が印加されます。表 6-2 は OUT1 と OUT2 を H ブリッジとして使用した DC モーター駆動の例です。

表 6-2. PWM の機能

IN1	EN1	IN2	EN2	機能
PWM	1	0	1	順方向 PWM、スロー ディケイ
0	1	PWM	1	逆方向 PWM、スロー ディケイ
1	PWM	0	PWM	順方向 PWM、ファースト ディケイ
0	PWM	1	PWM	逆方向 PWM、ファースト ディケイ

図 6-2 は、異なる駆動モードおよび減衰モード時の電流経路を示しています。

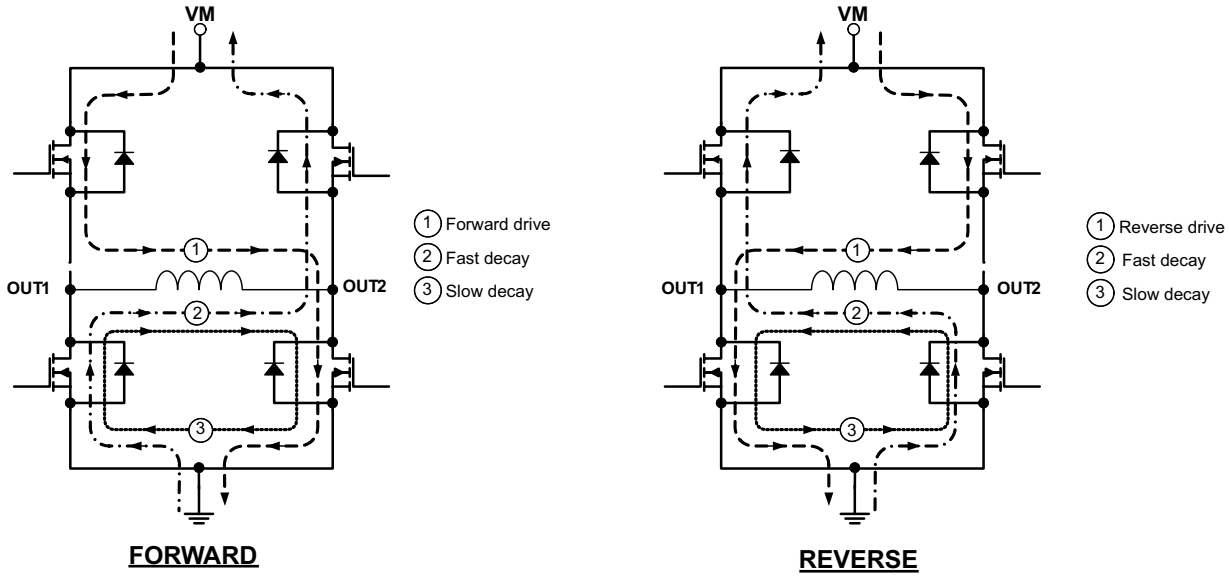


図 6-2. 現在のパス

6.3.4 チャージ ポンプ

出力ステージが N チャネル FET を用いているため、ハイサイド FET を完全に導通させるには、VM 電源電圧を上回るゲート駆動電圧が必要となります。DRV8844 は、この目的のために VM 電源を超える電圧を生成するチャージポンプ回路を内蔵しています。

チャージ ポンプを動作させるには、2 つの外付けコンデンサが必要です。これらのコンデンサ（容量値、接続方法など）の詳細については、ブロック図およびピンの説明を参照してください。

nSLEEP が Low の場合、チャージポンプは停止します。

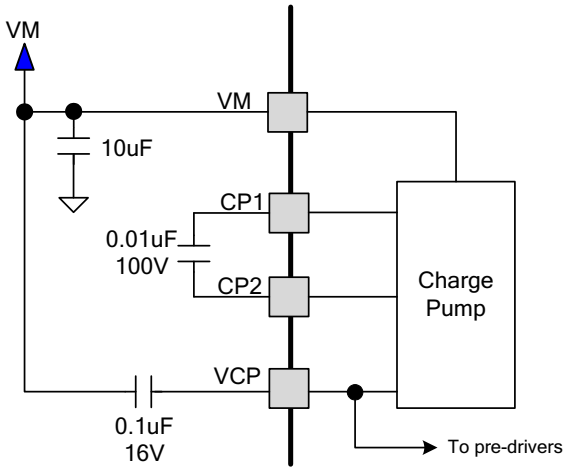


図 6-3. チャージ ポンプ

6.3.5 保護回路

DRV8844 は、低電圧、過電流、過熱状態から完全に保護されています。

6.3.5.1 過電流保護 (OCP)

各 FET にはアナログ電流制限回路が搭載されており、ゲート駆動を遮断することで FET を流れる電流を制限します。このアナログ電流制限が OCP デグリッチ時間を超えて継続すると、過電流が発生しているチャンネルは無効化され、nFAULT ピンが Low に駆動されます。ドライバは、RESET がアサートされるか VM 電源が再投入されるまでオフのままです。

ハイサイドおよびローサイド両方のデバイスで過電流状態が発生すると、たとえばグランドへの短絡、電源への短絡、またはモータ巻線間の短絡など、すべて過電流シャットダウンにつながります。

6.3.5.2 サーマル シャットダウン (TSD)

ダイ温度が安全な制限を上回ると、H ブリッジのすべての FET が無効化され、nFAULT ピンが Low に駆動されます。ダイ温度が安全なレベルに低下すると、動作は自動的に再開します。

6.3.5.3 低電圧誤動作防止 (UVLO)

VM ピンの電圧が任意の時点で低電圧ロックアウト閾値を下回ると、すべての出力が無効化され、内部ロジックはリセットされ、nFAULT ピンが Low に駆動されます。VM が UVLO（低電圧ロックアウト）閾値を上回ると、動作は再開されます。

6.4 デバイスの機能モード

6.4.1 nRESET および nSLEEP 動作

nRESET ピンをアクティブ Low に駆動すると、内部ロジックがリセットされます。また、H ブリッジ ドライバを無効化します。nRESET がアクティブである間、すべての入力は無視されます。

Copyright © 2025 Texas Instruments Incorporated

nSLEEP を Low にすると、デバイスは低消費電力のスリープ状態に入ります。この状態では、H ブリッジは無効化され、ゲートドライブのチャージポンプが停止し、すべての内部クロックも停止します。この状態では、nSLEEP が非アクティブの High に戻るまで、すべての入力は無視されます。スリープモードから復帰する際、モータードライバが完全に動作可能になるまでに、約 1ms の時間が必要です。nRESET および nSLEEP には、およそ 100kΩ の内部プルダウン抵抗が備わっていることに注意してください。これらの信号は、デバイスを動作させるためにロジック High に駆動される必要があります。

V3P3OUT LDO レギュレータは、スリープモード中も動作を維持します。

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

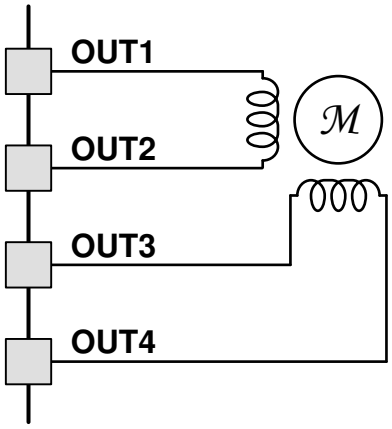
7.1 アプリケーション情報

DRV8844 を使用して、1 つのステッピング モータ、複数のブラシ付き DC モータ、または他の複数の誘導性負荷を駆動できます。

出力は並列接続可能で、駆動電流を増加させることができます。フルブリッジ構成で出力を接続する場合、任意の 2 つの出力を並列接続できます。2 つの独立したハーフ ブリッジとして構成する場合、OUT1 と OUT2 をペアにし、OUT3 と OUT4 をペアにする必要があります。これは、ピン 6 (SRC12) が OUT1 および OUT2 のローサイド FET のソースで、ピン 9 (SRC34) が OUT3 および OUT4 のローサイド FET のソースであることが理由です。

オプションの検出抵抗を使用して、電流を監視できます。センス抵抗を使用する場合、SRC12 ピンまたは SRC34 ピンと VNEG ピンの間に抵抗を配置します。

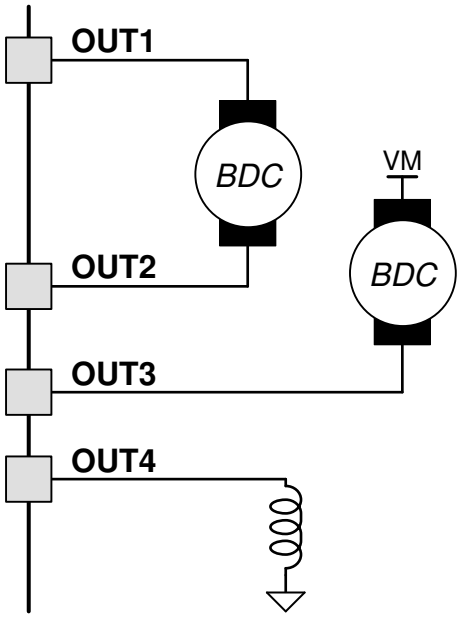
7.2 代表的なアプリケーション



Copyright © 2016, Texas Instruments Incorporated

図 7-1. ステッピング モーターの接続

Copyright © 2025 Texas Instruments Incorporated



Copyright © 2016, Texas Instruments Incorporated

図 7-2. 双方向ブラシ付き DC モーター、シングル方向ブラシ付き DC モーター、誘導性負荷の例

7.2.1 設計要件

以下の真理値表に、図 7-1 の配列の管理方法を示します。

表 7-1. ブラシ付き DC モーター

機能	EN1	EN2	IN1	IN2	OUT1	OUT2
順方向	1	1	PWM	0	H	L
逆方向	1	1	0	PWM	L	H
ブレーキ	1	1	0	0	L	L
ブレーキ	1	1	1	1	H	H
コースト	0	X	X	X	Z	X
コースト	X	0	X	X	X	Z

表 7-2. 単方向ブラシ付き DC モーター

機能	EN3	IN3	OUT3
オン	1	$\overline{\text{PWM}}$	L
ブレーキ	1	1	H
コースト	0	X	Z

表 7-3. 誘導性負荷

機能	EN4	IN4	OUT4
オン	1	PWM	H
減衰または低速減衰	1	0	L
オフまたは惰性	0	X	Z

7.2.2 詳細な設計手順

7.2.2.1 モーター電圧

選択したモーターの定格と要求される RPM によって、設計者が使用するモーター電圧が決まります。電圧がより高ければ、パワー FET に印加されているのと同じ PWM デューティ サイクルで、ブラシ付き DC モータをより高速に回転させることができます。また、電圧が高いと、誘導モータの巻線を流れる電流の変化率も大きくなります。

7.2.3 アプリケーション曲線

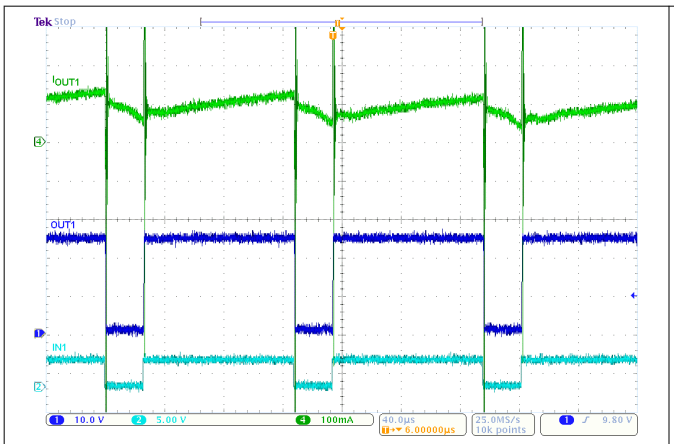


図 7-3. 80 PWM 付き DC モーター

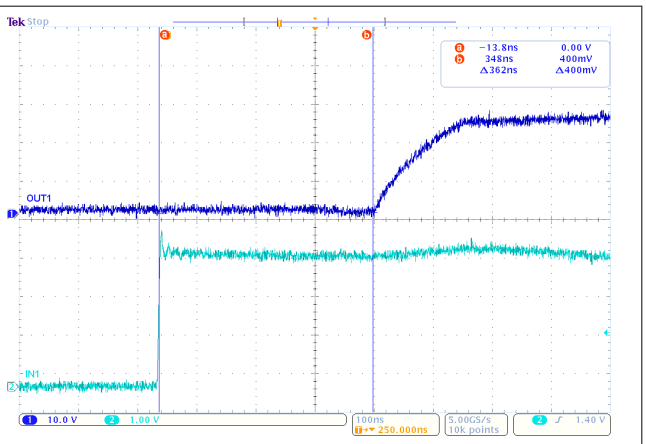


図 7-4. IN1 から OUT1 への伝搬遅延

電源に関する推奨事項

7.1 バルク コンデンサ

適切なローカル バルク容量の確保は、モータ駆動システムの設計において重要な要素です。一般に、バルク コンデンサが大きいほど利点がありますが、コストと物理的なサイズが増加します。

必要なローカル容量は、次のようなさまざまな要因で決まります。

- モーター システムが必要とする最大電流
- 電源容量と電流供給能力
- 電源とモーター システムの間の寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモーターの種類 (ブラシ付き DC、ブラシレス DC、ステッパ)
- モーターのブレーキ方式

電源とモータ駆動システムの間のインダクタンスにより、電源からの電流の変化する速度が制限されます。ローカル バルク容量が小さすぎると、モーターに大電流を供給しようとする場合、または負荷ダンプが発生した場合、システムの電圧が変動します。十分なバルク容量を備えることで、モータの電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨値が記載されていますが、バルク コンデンサの容量が適切かどうかを判断するには、システム レベルのテストが必要です。

Copyright © 2025 Texas Instruments Incorporated

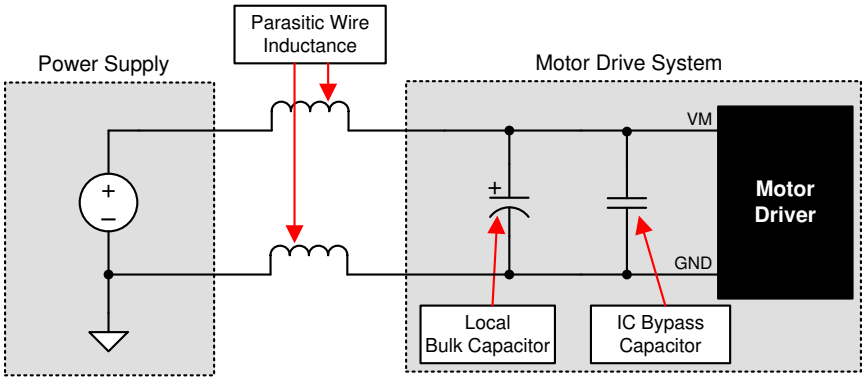


図 7-5. 外部電源を使用したモーター駆動システムの構成例

モータが電源にエネルギーを伝達する場合のマージンを確保するため、バルク コンデンサの定格電圧は動作電圧より高くする必要があります。

7.3 レイアウト

7.3.1 レイアウトのガイドライン

バルク コンデンサは、モータードライバ デバイスを通る大電流パスの距離ができるだけ短くなるように配置する必要があります。接続用の金属パターンはできる限り幅を広くし、PCB 層を接続する際には多数のビアを使用する必要があります。これらの手法により、インダクタンスが最小限に抑えられ、バルク コンデンサが大電流を供給できるようになります。

小さい値のコンデンサは、セラミック コンデンサとし、デバイス ピンに近づけて配置してください。

大電流デバイス出力には、幅の広い金属パターンを使用してください。

本デバイスのサーマル パッドは、PCB の最上層のグランド プレーンにはんだ付けする必要があります。複数のビアを使用して最下層の大きなグランド プレーンに接続する必要があります。大きい金属プレーンおよび複数のビアを使うと、本デバイス内で発生する $I^2 \times R_{DS(on)}$ の熱を放散するのに役立ちます。

Copyright © 2025 Texas Instruments Incorporated

7.3.2 レイアウト例

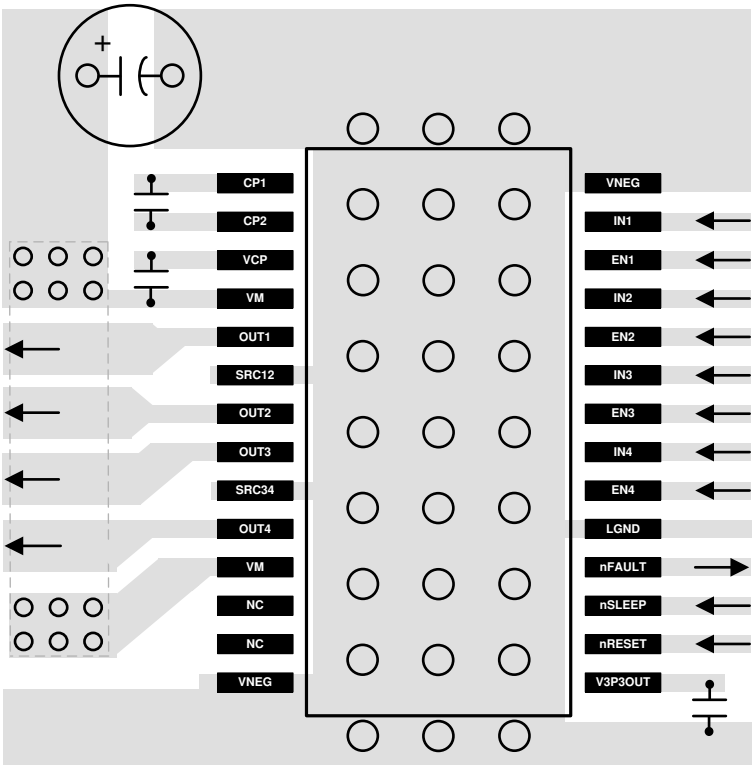


図 7-6. レイアウト回路図

7.3.3 熱に関する注意事項

DRV8844 は、前述のようにサーマル シャットダウン機能 (TSD) を備えています。ダイ温度が約 150℃ を超えると、温度が安全なレベルに下がるまでデバイスは無効化されます。

デバイスが TSD（サーマルシャットダウン）に入ろうとする傾向がある場合、それは 電力損失が大きすぎる、ヒートシンクが不十分、または周囲温度が高すぎる ことを示しています。

7.3.3.1 ヒートシンク

PowerPAD™ パッケージは、露出したパッドを使用してデバイスから熱を除去します。正常に動作できるようにするためには、このパッドを PCB 上の銅領域に熱的に接続して、熱を放散させる必要があります。PCB が多層基板でグランドプレーンを持つ場合、熱パッドとグランドプレーンを複数のビアで接続することにより放熱を行うことが可能。内層のない PCB の場合、PCB のいずれかの面に銅領域を追加することで熱を放散できます。銅領域がデバイスから見て PCB の反対側にある場合は、サーマル ビアを使用して上層と下層の間で熱を伝達します。

PCB の設計方法の詳細については、TI アプリケーション レポート SLMA002、*PowerPAD™ 熱強化パッケージ*および TI アプリケーション ブリーフ SLMA004、*PowerPAD™ Made Easy* を www.ti.com で参照してください。

一般に、利用できる銅の面積が大きくなれば、より多くの熱を放散できます。

7.3.4 消費電力

DRV8844 での電力消費は、出力 FET 抵抗、つまり $R_{DS(ON)}$ で消費される電力によって大きく左右されます。DC モーター駆動時の各 H ブリッジの平均電力損失は、概算で式 1 の式により求められます。

$$P = 2 \times R_{DS(ON)} \times (I_{OUT})^2 \quad (1)$$

Copyright © 2025 Texas Instruments Incorporated

ここで、

- P は 1 つの H ブリッジの電力損失 です。
- $R_{DS(ON)}$ は各 FET の抵抗です。
- $I_{OUT(RMS)}$ は各巻線に適用される RMS 出力電流です。

I_{OUT} 電流は、DC モーターに流れる平均電流と等しくなります。起動時やフォルト発生時には、この電流は通常動作時よりもはるかに高くなることに注意してください。これらのピーク電流と持続時間も考慮する必要があります。係数 2 は、任意の瞬間に 2 つの FET（1 つのハイサイドと 1 つのローサイド）が巻線電流を導通していることに由来します。

デバイス全体の消費電力は、2 つの H ブリッジそれぞれで消費される電力の合計となります。

デバイスが放散できる電力の最大値は、周囲温度とヒートシンクに依存します。

$R_{DS(ON)}$ は温度とともに上昇するので、デバイスが発熱すると消費電力が増大することに注意してください。これは、ヒートシンクのサイズを決定する際に考慮する必要があります。

Copyright © 2025 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- 『モータドライバの消費電力の計算』、SLVA504
- *DRV8844 評価基板*、SLVU762
- 『モータドライバの電流定格について』、SLVA505

8.2 コミュニティ リソース

8.3 商標

PowerPAD™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (May 2016) to Revision E (July 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新。	1
• OCP の標準値仕様を削除	6

Changes from Revision C (May 2015) to Revision D (May 2016)	Page
• *特長*セクションに並列出力接続を追加	1
• *絶対最大定格表*の VNEG ピンのパラメータに SRC12、SRC34 を追加	5
• ピン 6 および 9 の VNEG から SRC12 および SRC34 への変更を示すため、*「機能ブロック図」*を変更	9
• *アプリケーション情報*セクションに、並列出力の記述およびセンス抵抗オプションを追加しました。	14

Changes from Revision B (January 2015) to Revision C (May 2015)	Page
• 周囲温度を追加 *セクション 5.3*	5

Changes from Revision A (October 2012) to Revision B ()	Page
• *ESD 定格* 表、*機能説明* セクション、*デバイスの機能モード* セクション、*アプリケーションと実装* セクション、*電源に関する推奨事項* セクション、*レイアウト* セクション、*デバイスおよびドキュメントのサポート* セクション、*メカニカル、パッケージ、および注文情報* セクションを追加	5

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8844PWP	Obsolete	Production	HTSSOP (PWP) | 28	-	-	Call TI	Call TI	-40 to 125	DRV8844
DRV8844PWPR	Active	Production	HTSSOP (PWP) | 28	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8844
DRV8844PWPR.A	Active	Production	HTSSOP (PWP) | 28	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8844
DRV8844PWPR.B	Active	Production	HTSSOP (PWP) | 28	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8844
DRV8844PWPRG4	Active	Production	HTSSOP (PWP) | 28	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8844
DRV8844PWPRG4.A	Active	Production	HTSSOP (PWP) | 28	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8844
DRV8844PWPRG4.B	Active	Production	HTSSOP (PWP) | 28	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8844

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

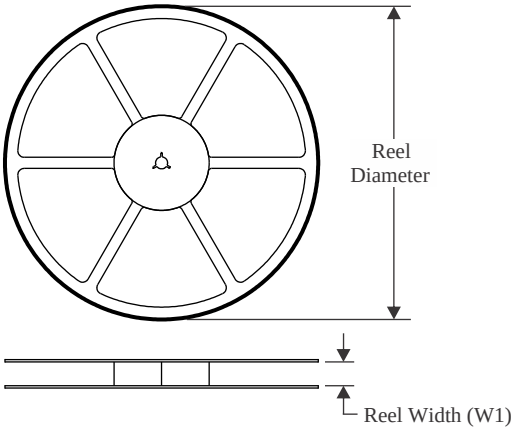
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

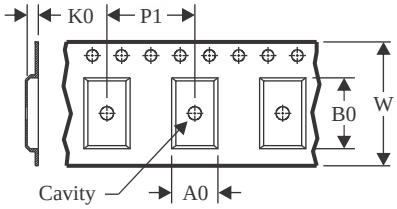
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

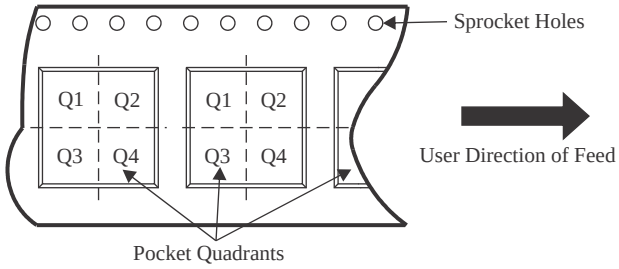


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

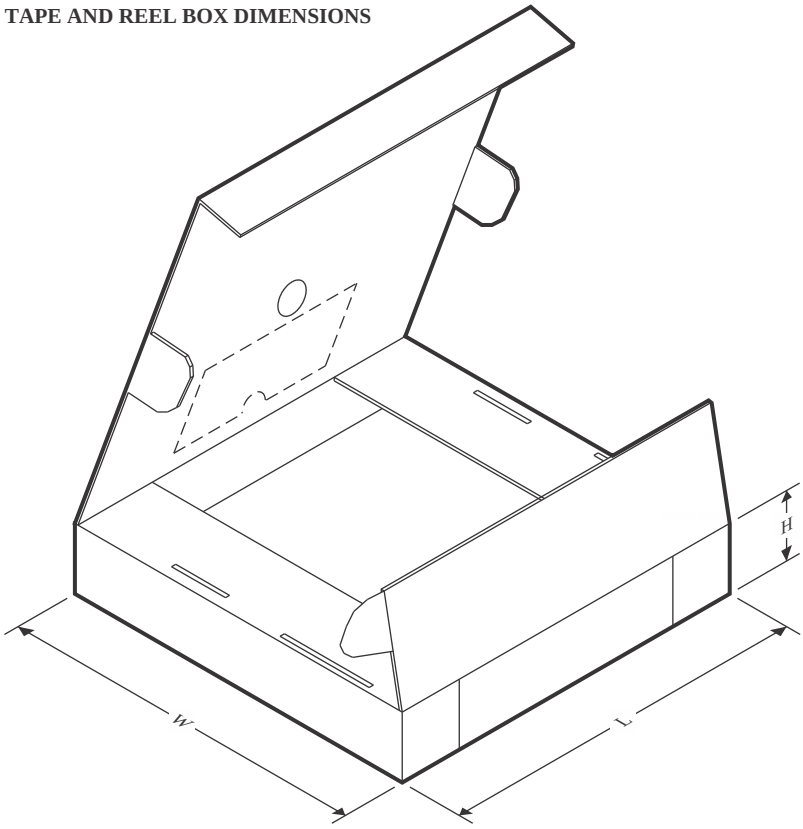
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8844PWPR	HTSSOP	PWP	28	2000	330.0	16.4	6.75	10.1	1.8	12.0	16.0	Q1
DRV8844PWPRG4	HTSSOP	PWP	28	2000	330.0	16.4	6.9	10.2	1.8	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8844PWPR	HTSSOP	PWP	28	2000	353.0	353.0	32.0
DRV8844PWPRG4	HTSSOP	PWP	28	2000	350.0	350.0	43.0

GENERIC PACKAGE VIEW

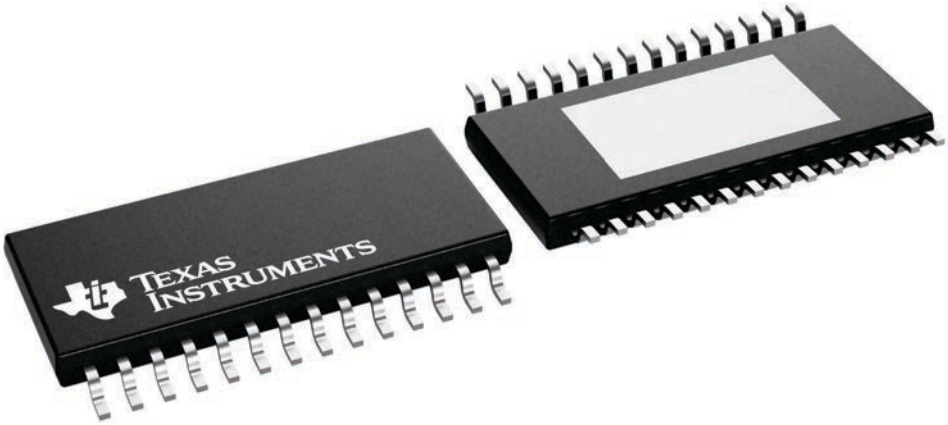
PWP 28

PowerPAD™ TSSOP - 1.2 mm max height

4.4 x 9.7, 0.65 mm pitch

SMALL OUTLINE PACKAGE

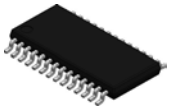
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224765/B

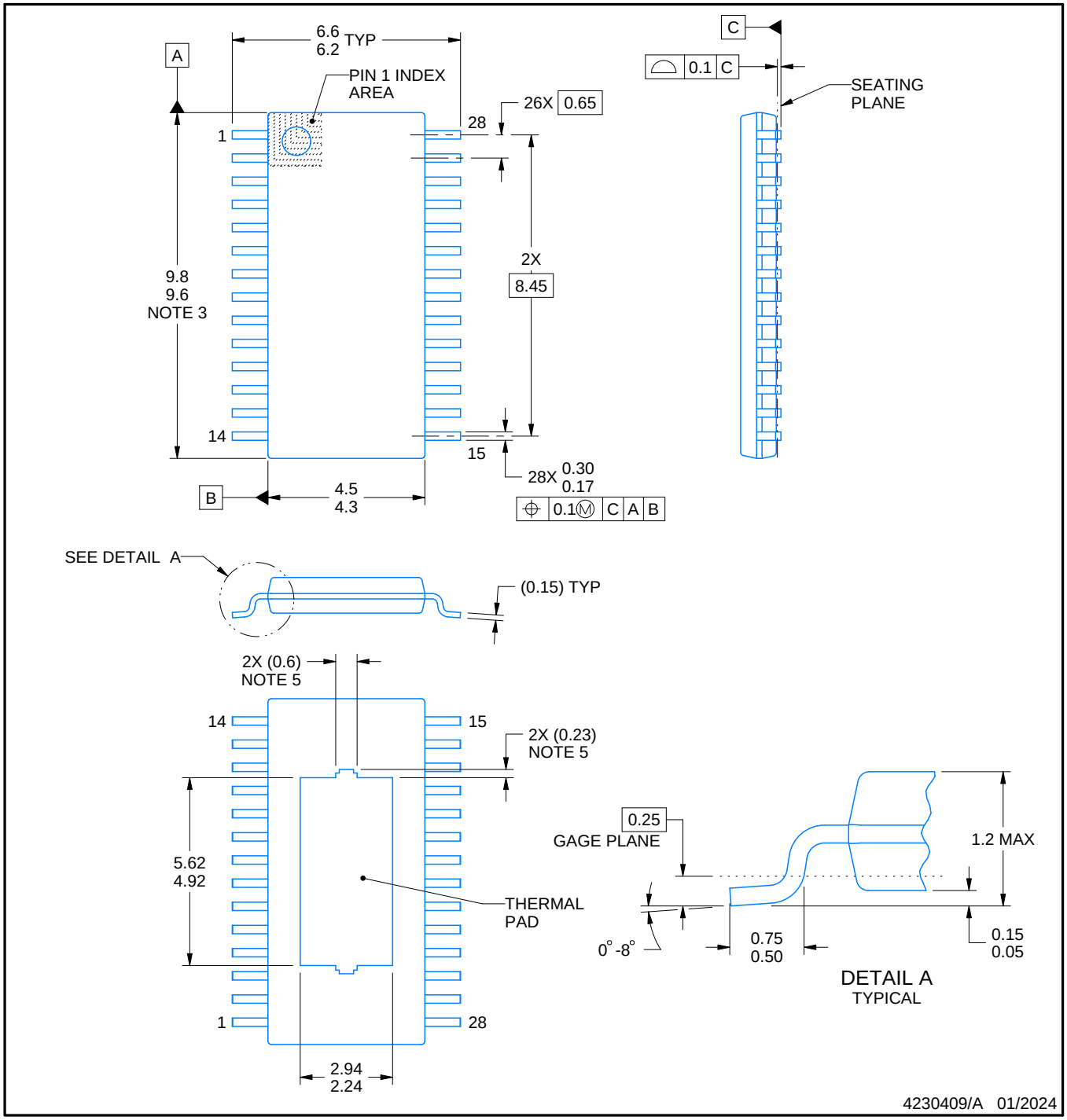
PACKAGE OUTLINE

PWP0028V



PowerPAD™ TSSOP - 1.2 mm max height

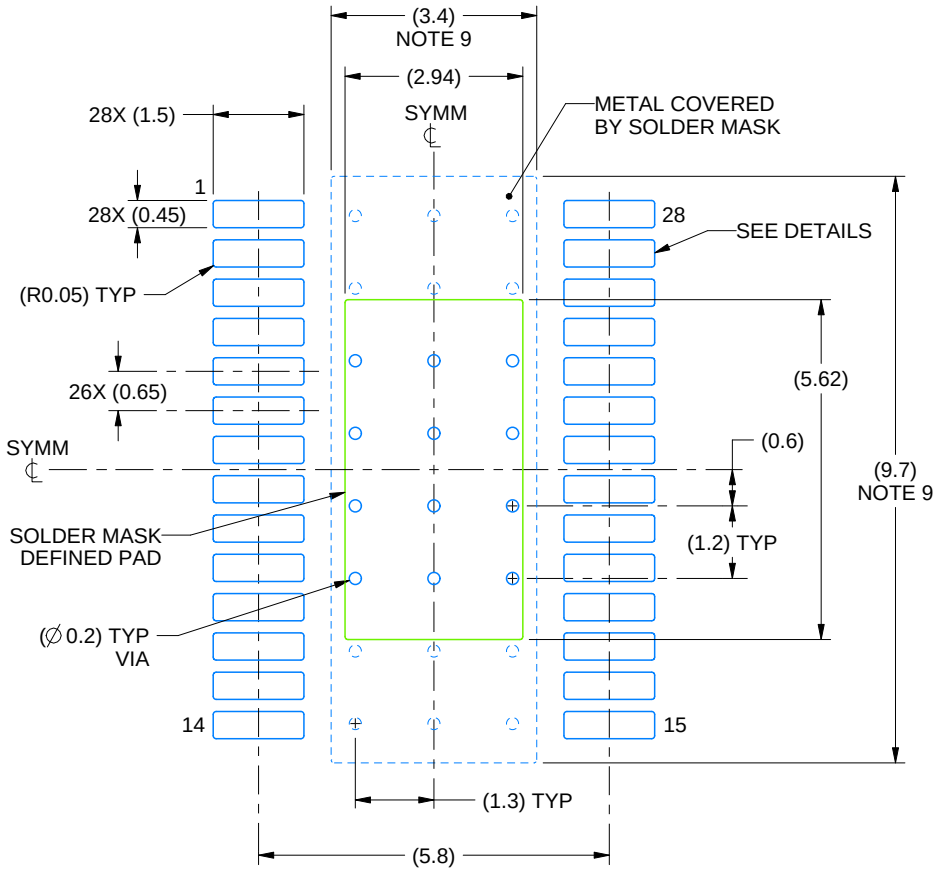
SMALL OUTLINE PACKAGE



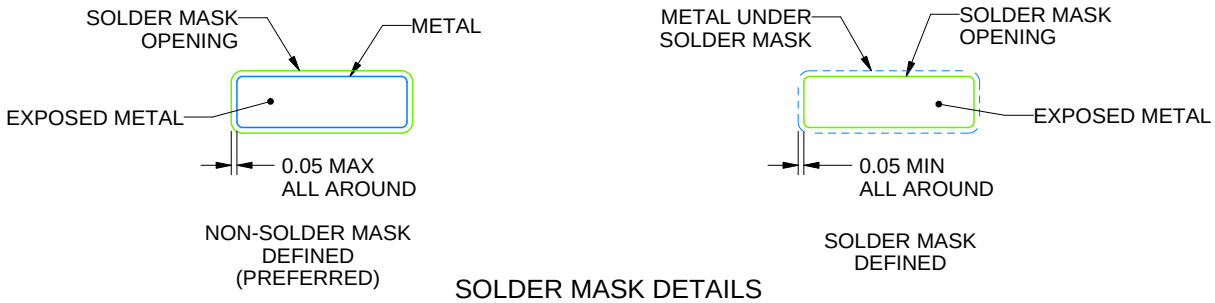
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X

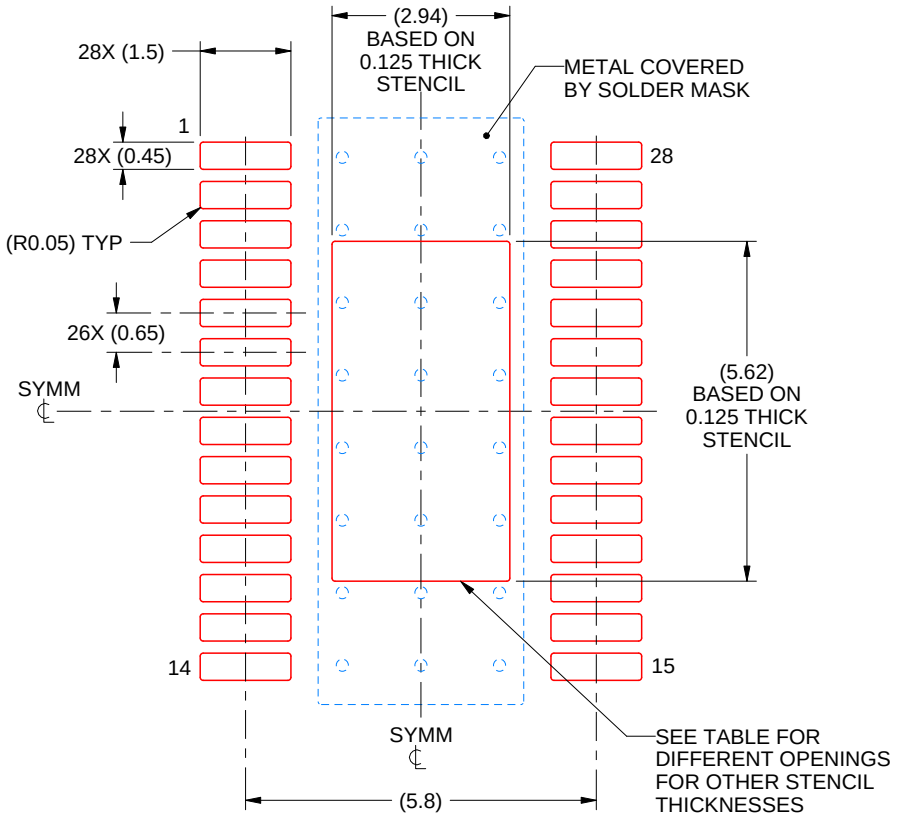


SOLDER MASK DETAILS

4230409/A 01/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.29 X 6.28
0.125	2.94 X 5.62 (SHOWN)
0.15	2.68 X 5.13
0.175	2.48 X 4.75

4230409/A 01/2024

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月