DRV8860x 38V、8 チャネル、シリアル インターフェイス、ローサイド ドライバ

1 特長

- 8 チャネル保護機能付きローサイド ドライバ
  - 過電流保護機能を備えた 8 つの NMOS FET
  - 誘導性キャッチ ダイオード内蔵
  - シリアル インターフェイス
  - 開放 / 短絡負荷検出機能 (DRV8860 のみ)
  - 設定可能な 100% 出力タイミング
  - 設定可能な PWM デューティ サイクル
- 連続電流駆動能力
  - 560mA (単一チャネル動作時)、PW および PWP
  - 200mA (8 チャネル動作時)、PW
  - 330mA (8 チャネル動作時)、PWP
  - 並列構成をサポート
- 8V ～ 38V の電源電圧範囲
- ノイズ耐性を向上させる入力デジタル ノイズ フィルタ
- 内部データ読み戻し機能による信頼性の高い制御
- 保護および診断機能
  - 過電流保護 (OCP)
  - オープン負荷検出(OL)
  - 過熱シャットダウン (OTS)
  - 低電圧誤動作防止 (UVLO)
  - 個別チャネルのステータス報告
  - 故障状態アラーム

2 アプリケーション

- リレー、ユニポーラ ステッピング モーター
- ソレノイド、電磁気ドライバ
- 汎用ローサイド スイッチ アプリケーション
- 調光機能付き LED ドライバ (DRV8860A)

3 説明

DRV8860 では、過電流保護と開放 / 短絡負荷検出機能を備えた 8 チャネル ローサイド ドライバを提供しています。誘導性負荷によって発生するターンオフ過渡をクランプするためのダイオードを内蔵しており、ユニポーラ型ステッピング モーター、DC モーター、リレー、ソレノイド、その他の負荷の駆動に使用できます。

PWP パッケージは最大 330mA × 8 チャネルを供給でき、PW パッケージは最大 200mA × 8 チャネルの連続出力電流を供給できます。1 つのチャネルで、最大 560mA の連続出力電流を供給できます。

DRV8860 の出力ドライバの制御、内部設定レジスタの設定、各チャネルの故障ステータスの読み取りを行うためのシリアル インターフェイスが搭載されています。DRV8860 デバイスをデイジーチェーン接続して、単一のシリアル インターフェイスを使用できます。通電時間と保持 PWM デューティ サイクルも、シリアル インターフェイスで設定できます。これらの機能により、常時オンのソリューションよりも低温で動作できます。

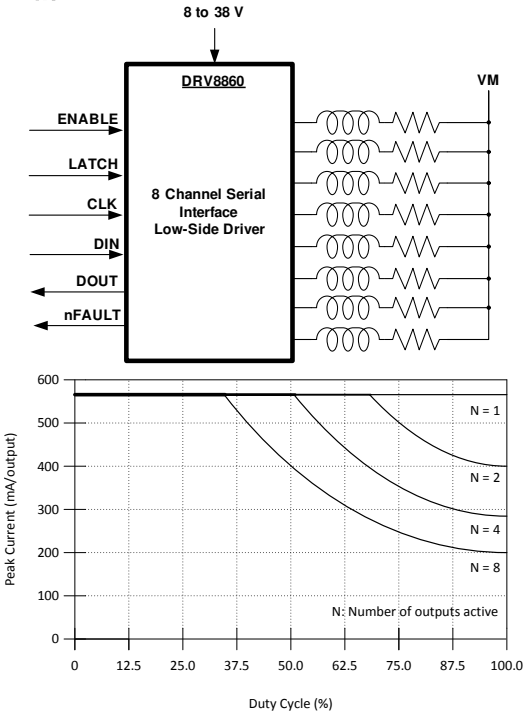
過電流保護、短絡保護、低電圧誤動作防止、および過熱保護のために、内部シャットダウン機能が用意されています。DRV8860A には、開放負荷検出機能はありません。各チャネルの故障情報はシリアル インターフェイスを介して読み取ることができ、外部のフォルト ピンにより通知されます。

製品情報(1)

部品番号	パッケージ	パッケージ サイズ (2)
DRV8860	TSSOP (16)	5.00mm × 6.40mm
	HTSSOP (16)	5.00mm × 4.40mm
DRV8860A	TSSOP (16)	5.00mm × 6.40mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。

概略回路図



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 3
ピンの機能 ... 3
4.1 外付け部品 ... 4
5 仕様 ... 5
5.1 絶対最大定格 ... 5
5.2 取り扱い定格 ... 5
5.3 推奨動作条件 ... 5
5.4 熱に関する情報 (1) ... 5
5.5 電気的特性 ... 6
5.6 タイミング要件 ... 6
5.7 代表的特性 ... 8
6 詳細説明 ... 9
6.1 概要 ... 9
6.2 機能ブロック図 ... 10
6.3 機能説明 ... 10
6.4 デバイスの機能モード ... 16
6.5 プログラミング ... 17
7 レジスタ マップ ... 30
7.1 データ レジスタ ... 30
7.2 故障レジスタ ... 30
7.3 制御レジスタ ... 30
8 アプリケーションと実装 ... 32
8.1 使用上の注意 ... 32
8.2 代表的なアプリケーション ... 32
8.3 レイアウト ... 34
9 デバイスおよびドキュメントのサポート ... 36
9.1 商標 ... 36
10 改訂履歴 ... 36
11 メカニカル、パッケージ、および注文情報 ... 37

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

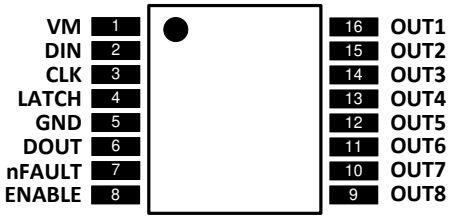


図 4-1. PW (TSSOP) パッケージ (上面図)

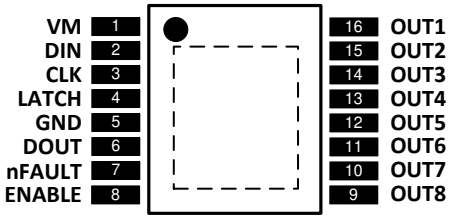


図 4-2. PWP (HTSSOP) パッケージ (上面図)

ピンの機能

名称	ピン	I/O (1)	説明	外付け部品または接続
GND	5	—	デバイスのグランド	すべてのピンは、グランドに接続する必要があります
VM	1	—	モーター電源	モーター電源電圧に接続します。0.1µF セラミック コンデンサと 10µF 電解コンデンサを使用して GND にバイパスします。
イネーブル	8	I	出力段イネーブル制御入力	ロジック High の場合は出力が有効になり、ロジック Low の場合は出力が無効になります。ENABLE がロジック Low の場合は、内部ロジックおよびレジスタの読み取りと書き込みが可能になります。内部プルダウン。
LATCH	4	I	シリアル ラッチ信号	シリアル通信波形を参照してください。内部プルダウン。
CLK	3	I	シリアル クロック入力	書き込み動作時は、立ち上がりエッジでデータがクロック インされます。読み取り動作時は、立ち下がりエッジでデータがクロック アウトされます。内部プルダウン。
DIN	2	I	シリアル データ入力	コントローラからのシリアル データ入力。内部プルダウン。
DOUT	6	O	シリアル データ出力	コントローラへのシリアル データ出力。内部プルアップ付きオープン ドレイン出力。
nFAULT	7	OD	フォルト	フォルト状態時はロジック Low です。オープン ドレイン出力には、外部プルアップが必要です。 故障:OCP、OTS、UVLO、OL (DRV8860 のみ)
OUT1	16	O	ローサイド出力 1	NFET 出力ドライバ。このピンと VM の間に外部負荷を接続します
OUT2	15	O	ローサイド出力 2	NFET 出力ドライバ。このピンと VM の間に外部負荷を接続します
OUT3	14	O	ローサイド出力 3	NFET 出力ドライバ。このピンと VM の間に外部負荷を接続します
OUT4	13	O	ローサイド出力 4	NFET 出力ドライバ。このピンと VM の間に外部負荷を接続します
OUT5	12	O	ローサイド出力 5	NFET 出力ドライバ。このピンと VM の間に外部負荷を接続します
OUT6	11	O	ローサイド出力 6	NFET 出力ドライバ。このピンと VM の間に外部負荷を接続します
OUT7	10	O	ローサイド出力 7	NFET 出力ドライバ。このピンと VM の間に外部負荷を接続します
OUT8	9	O	ローサイド出力 8	NFET 出力ドライバ。このピンと VM の間に外部負荷を接続します

(1) 方向:I = 入力、O = 出力、OD = オープン ドレイン出力

Copyright © 2026 Texas Instruments Incorporated

4.1 外付け部品

部品	ピン 1	ピン 2	推奨
$C_{(VM1)}$	VM	GND	VM に対応した定格の 0.1µF セラミック コンデンサ
			VM に対応した定格の 10µF 電解コンデンサ
$R_{(nFAULT)}$	V3P3 (1)	nFAULT	> 4.7kΩ

(1) V3P3 は DRV8860 のピンではありませんが、オープンドレイン出力の nFAULT には V3P3 電源電圧プルアップが必要です。

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1) (2) (3)

		最小値	最大値	単位
電源電圧範囲	VM	-0.3	40	V
デジタル入力ピン電流範囲	ENABLE、LATCH、CLK、DIN	0	20	mA
デジタル出力ピン電圧範囲	DOUT、nFAULT	-0.5	7	V
デジタル出力ピン電流	DOUT、nFAULT	-0.5	7	V
出力電圧範囲	OUTx	-0.3	40	V
出力電流範囲	OUTx	内部的に制限		A
動作時の仮想接合部温度範囲、T_J		-40	150	°C

(1) 「絶対最大定格」に示された値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「推奨動作条件」に示された値を超える条件で、本製品が機能することを意味するものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
(2) すべての電圧値は、回路のグランドを基準としたものです。
(3) 消費電力および温度の制限に従う必要があります。

5.2 取り扱い定格

			最小値	最大値	単位
T_{stg}	保管温度範囲		-60	150	°C
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠、すべてのピン(1)	-2	2	kV
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	-500	500	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VM	モーター電源電圧範囲	8		38	V
I_{OUT}	ローサイドドライバの電流供給能力			560	mA
T_A	動作時周囲温度範囲	-40		85	°C

5.4 熱に関する情報 (1)

自由気流での動作温度範囲内 (特に記述のない限り)

熱評価基準		TSSOP	HTSSOP	単位
		PW (16 ピン)	PWP (16 ピン)	
Θ_{JA}	接合部から周囲への熱抵抗	103	40.9	°C/W
$R_{\theta JC(TOP)}$	接合部からケース (上面) への熱抵抗	37.9	28.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	48	23.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	3	0.9	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	47.4	23.0	°C/W
$R_{\theta JC(BOTTOM)}$	接合部からケース (底面) への熱抵抗	該当なし	3.0	°C/W

(1) 従来および最新の熱評価基準の詳細については、『IC パッケージの熱評価基準』アプリケーション レポート (SPRA953) を参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性

T_A = 25°C、自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
$I_{(VM)}$	VM 動作電源電流	VM = 24V		3	4.5	mA
$V_{(UVLO)}$	VM 低電圧誤動作防止電圧	VM 立ち上がり			8.2	V
ロジック レベル入力 (DIN、CLK、LATCH、ENABLE)						
V_{IL}	入力 Low 電圧		0		0.7	V
V_{IH}	入力 High 電圧		1.5		5.3	V
V_{HYS}	入力ヒステリシス		100			mV
I_{IL}	入力 Low 電流	V_{IN} = 0	-20		20	µA
I_{IH}	高入力電流	V_{IN} = 3.3V			100	µA
R_{PD}	入力プルダウン抵抗			100		kΩ
nFAULT、DOUT 出力 (オープン ドレイン出力)						
V_{OL}	出力 LOW 電圧	I_O = 5mA			0.5	V
I_{OH}	出力 High リーク電流	V_O = 3.3V、nFAULT	-1		1	µA
R_{PU}	入力プルアップ抵抗	DOUT のみ (内部 5.7V にプルアップ)		1.4		kΩ
ローサイド FET ドライバ						
$R_{ds(on)}$	FET オン抵抗	VM = 24V、I_O = 150mA、T_J = 25°C		1.5		Ω
		VM = 24V、I_O = 150mA、T_J = 85°C		1.8		
I_{OFF}	オフ状態のリーク電流	VM = 24V、T_J = 25°C、DRV8860	0	30		µA
		VM = 24V、T_J = 25°C、DRV8860A	-0.5		0.5	
ハイサイド フリーホイール ダイオード						
V_F	ダイオード順方向電圧	VM = 24V、I_O = 150mA、T_J = 25°C		0.9		V
保護回路						
I_{OCP}	過電流保護トリップレベル	各チャネルを個別に監視		620		mA
I_{OL}	開放負荷検出プルダウン電流	チャネルごと、DRV8860 のみ		30		µA
V_{OL}	開放負荷検出スレッショルド電圧	チャネルごと、DRV8860 のみ		1.2		V
T_{TSD}	サーマル シャットダウン温度	ダイ温度	150	160	180	°C
T_{HYS}	サーマル シャットダウン ヒステリシス	ダイ温度		35		°C
PWM チョッピング周波数						
f_{PWM}	PWM チョッピング周波数	デューティ サイクルは 25% 超	45	50	55	kHz
		デューティ サイクルは 25%	22	25	28	
		デューティ サイクルは 12.5%	11	12.5	14	

5.6 タイミング要件

			最小値	標準値	最大値	単位
t_F	立ち下がり時間	I_O = 150mA、VM = 24V、抵抗性負荷	50		300	ns
t_{OCP}	過電流保護グリッチ除去時間	VM = 24V	2.0	3.0	3.85	µs
t_{OL}	開放負荷検出グリッチ解除時間	各チャネルを個別に監視	14	17	20	µs

Copyright © 2026 Texas Instruments Incorporated

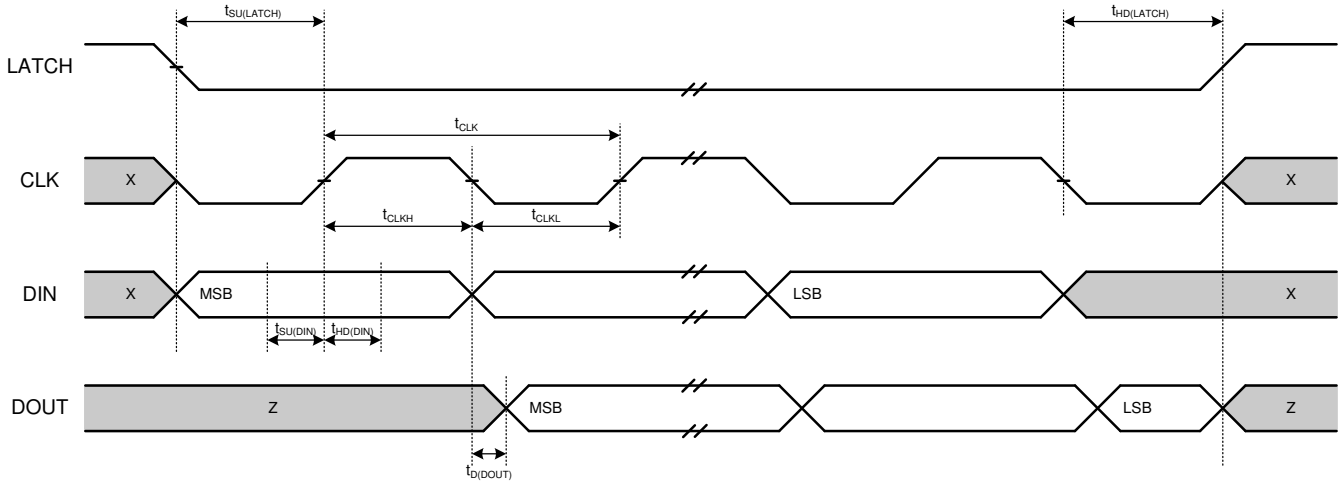


図 5-1. シリアル インターフェイス

表 5-1. シリアル タイミング

番号	参照記号	説明	最小値	標準値	最大値	単位
1	t_{CLK}	CLK サイクル時間	5			µs
2	t_{CLKH}	CLK High 時間	2.5			µs
3	t_{CLKL}	CLK Low 時間	2.5			µs
4	$t_{SU(DIN)}$	セットアップ時間、DIN から CLK	1			µs
5	$t_{H(DIN)}$	ホールド時間、DIN から CLK まで	1			µs
6	$t_{SU(LATCH)}$	セットアップ時間、LATCH から CLK	1			µs
7	$t_{H(LATCH)}$	ホールド時間、LATCH から CLK まで	1			µs
8	$t_{OFF(LATCH)}$	書き込みと読み取りの間の非アクティブ時間	2			µs
9	$t_{D(DOUT)}$	遅延時間、CLK から DOUT まで			1.5	µs

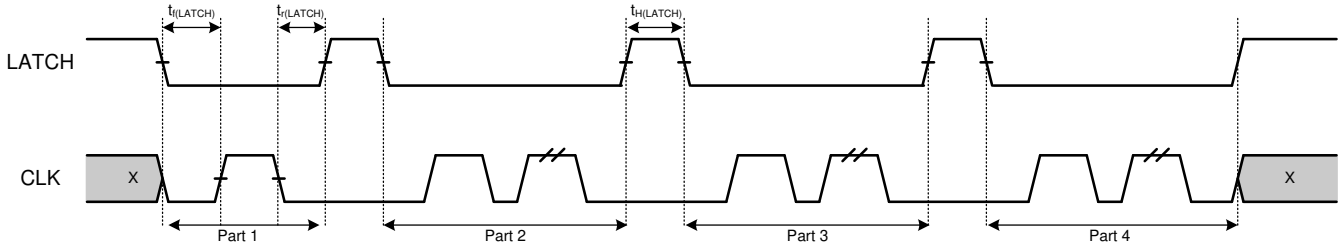


図 5-2. 特殊コマンド

表 5-2. 特殊コマンド

番号	参照記号	説明	最小値	標準値	最大値	単位
10	$t_{f(LATCH)}$	LATCH 立ち下がりから CLK 立ち上がりまでの時間	1			µs
11	$t_{r(LATCH)}$	CLK 立ち下がりから LATCH 立ち上がりまでの時間	1			µs
12	$t_{H(LATCH)}$	LATCH High 時間	2			µs

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性

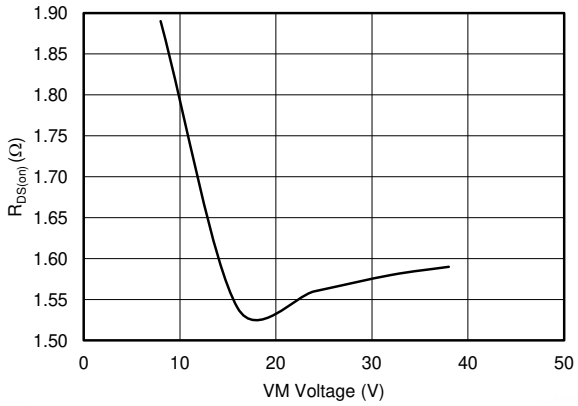


図 5-3. 出力オン抵抗

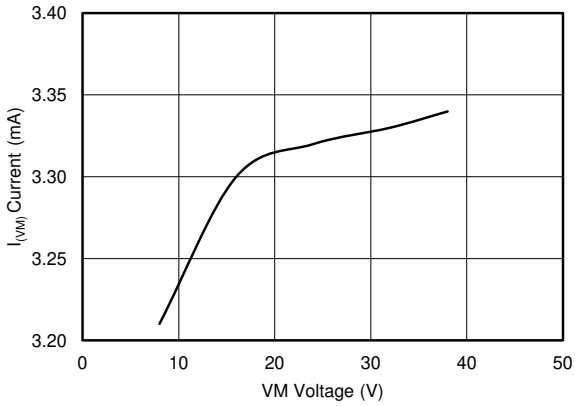


図 5-4. VM 動作電源電流

Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

6.1 概要

DRV8860 は、過電流保護と開放 / 短絡検出機能を備えた統合型 8 チャネル ローサイド ドライバです。誘導性負荷によって発生するターンオフ過渡をクランプするためのダイオードを内蔵しており、ユニポーラ型ステッピング モーター、DC モーター、リレー、ソレノイド、その他の負荷の駆動に使用できます。

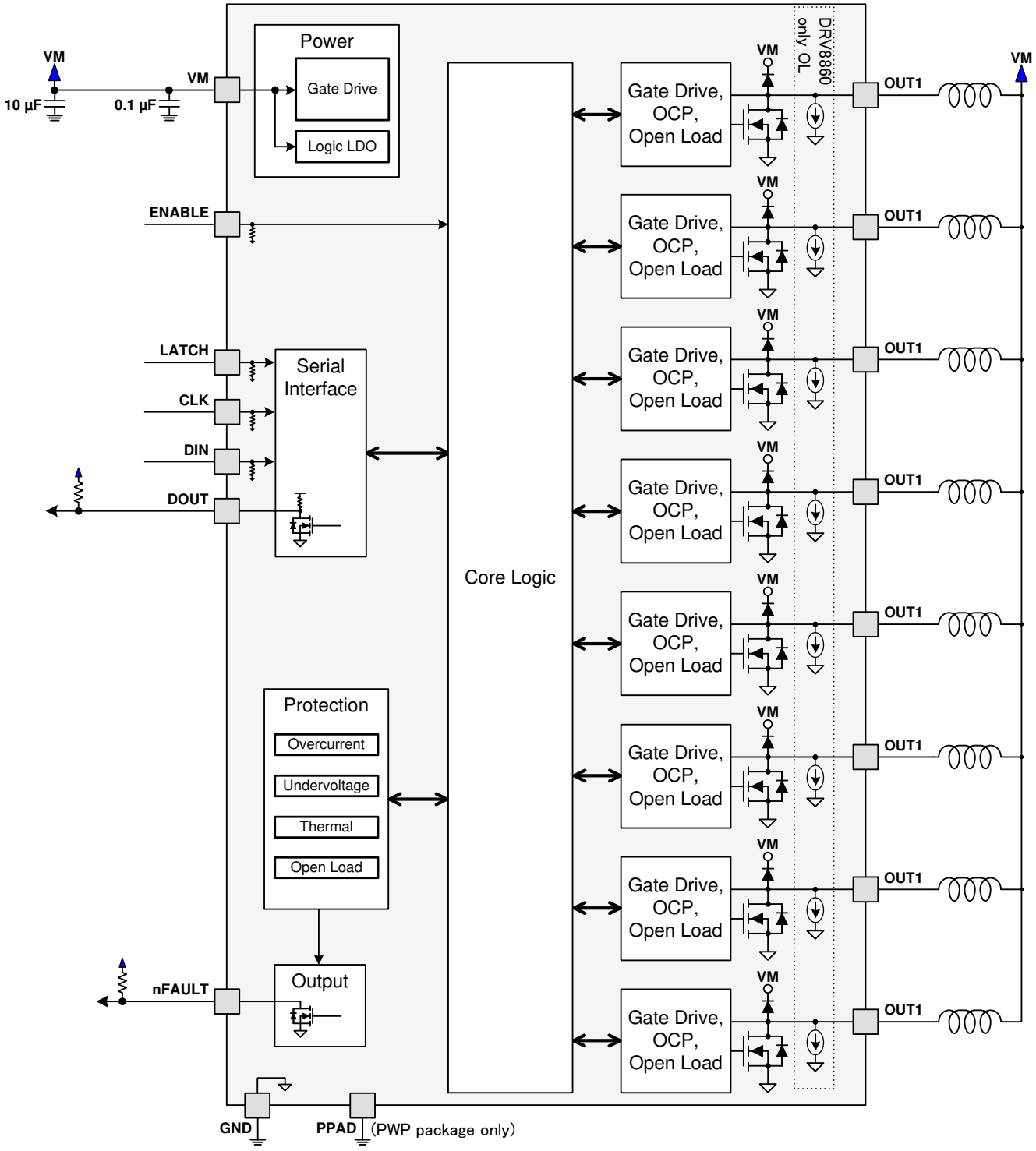
DRV8860 は、最大 200mA x 8 チャネルの連続出力電流を供給できます。PWM デューティ サイクルが低くなると、電流駆動能力が向上します。1 つのチャネルで、最大 560mA の連続出力電流を供給できます。詳細については、電流供給能力の表を参照してください。

DRV8860 出力ドライバの制御、内部レジスタ設定の構成、各チャネルの故障ステータスの読み取りを行うためのシリアル インターフェイスが搭載されています。複数の DRV8860 デバイスをデイジーチェーン接続して、1 つのシリアル インターフェイスを使用できます。通電時間および保持 PWM デューティ サイクルも、シリアル インターフェイスで設定できます。これらの機能により、従来の常時オンのソリューションよりも低温で動作できます。

過電流保護、短絡保護、低電圧誤動作防止、および過熱保護のために、内部シャットダウン機能が搭載されています。DRV8860 は、開放負荷状態を診断できます。DRV8860A には、開放負荷検出機能はありません。各チャネルの故障情報は、シリアル インターフェイスを介して読み取ることができ、外部のフォルト ピンにより通知されます。

Copyright © 2026 Texas Instruments Incorporated

6.2 機能ブロック図



6.3 機能説明

6.3.1 推奨出力電流

DRV8860 の電流供給能力は、システムの周囲温度、最大ケース温度、全体の出力デューティ サイクルなど、いくつかのシステム アプリケーションのパラメータによって変化します。PWP パッケージは、PowerPAD™ によって放熱性能が向上

Copyright © 2026 Texas Instruments Incorporated

しているため、PW パッケージのデバイスと比較して、高い出力電流を供給することや、わずかに低い温度での動作が可能です。

出力電流の推奨値 (PW パッケージ) T_A = 25°C	
構成	**出力電流容量**
1 チャネル出力オン (100% デューティ サイクル)	566mA
2 倍出力オン (100% デューティ サイクル)	1 出力あたり 400mA
4 チャネル出力オン (100% デューティ サイクル)	1 出力あたり 283mA
8 チャネル出力オン (100% デューティ サイクル)	1 出力あたり 200mA

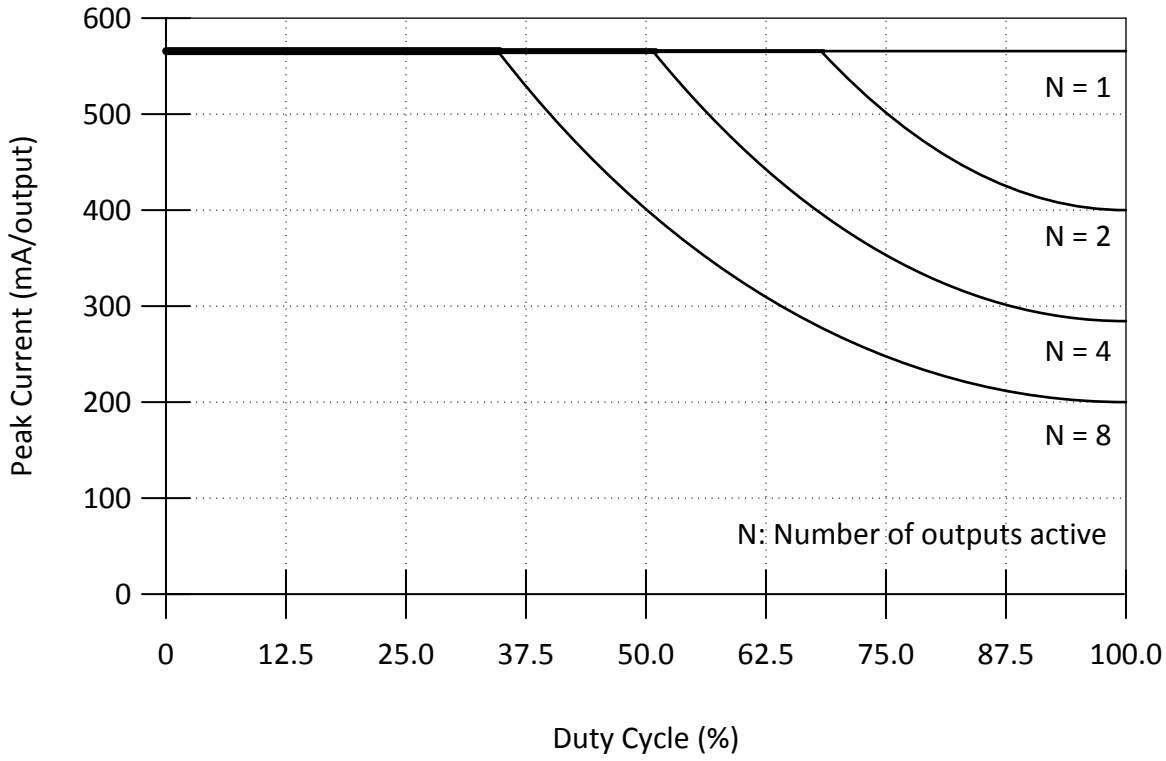


図 6-1. PW パッケージにおける出力電流容量とデューティ サイクルとの関係

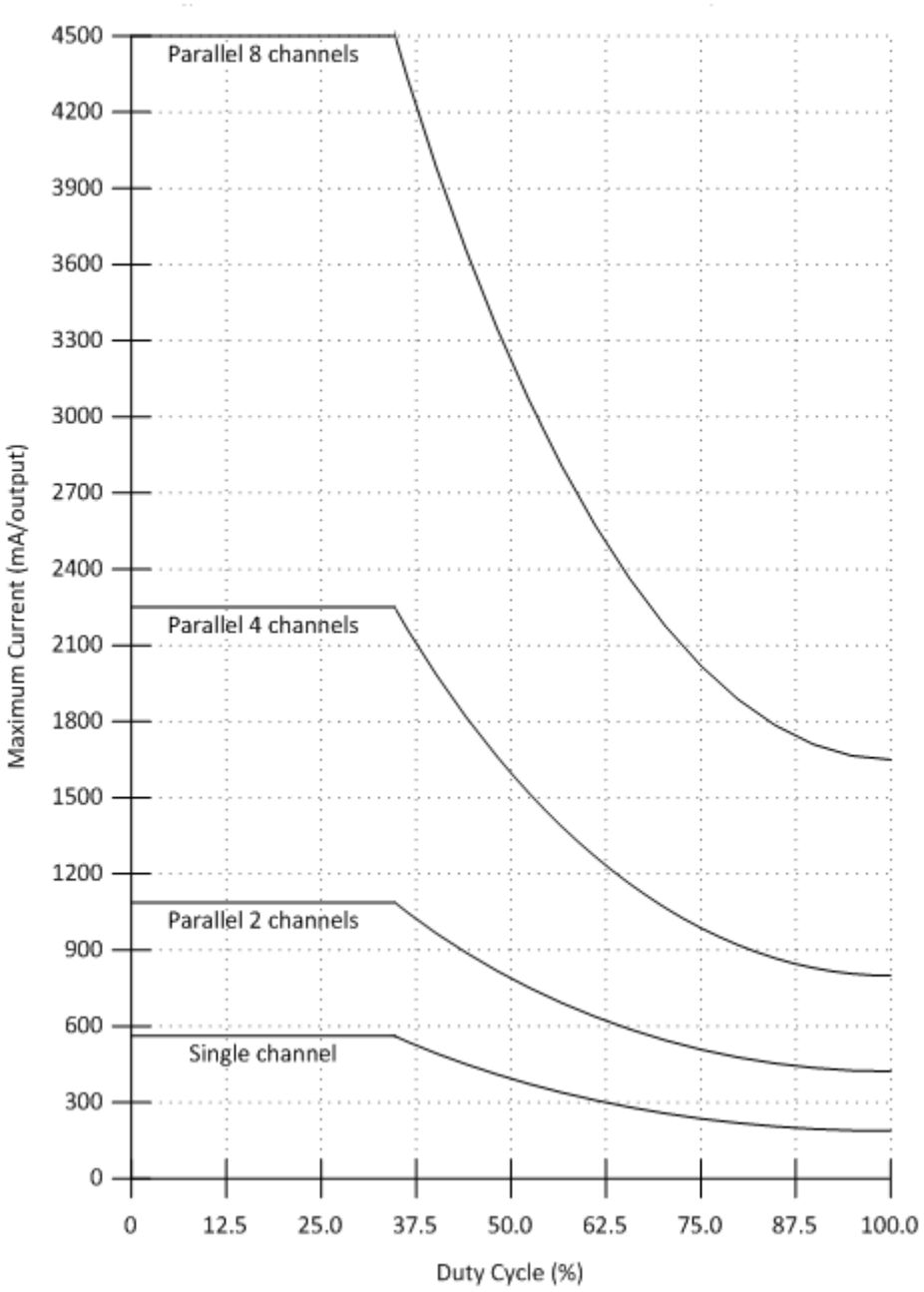


図 6-2. DRV8860PW で出力を並列に配置した場合の最大電流容量とデューティ サイクルとの関係

Copyright © 2026 Texas Instruments Incorporated

6.3.2 デイジーチェーン接続

2 つ以上の DRV8860 デバイスを接続して、1 つのシリアル インターフェイスを使用できます。チェーン内の最初のデバイスの SDATOUT ピンは、次のデバイスの SDATIN ピンに接続されます。SCLK、LATCH、RESET、nFAULT の各ピンは相互に接続されます。

単一のデバイス構成、また 2 つのデバイスをデイジーチェーン接続した構成のタイミング図を、図 6-3 および図 6-4 に示します。

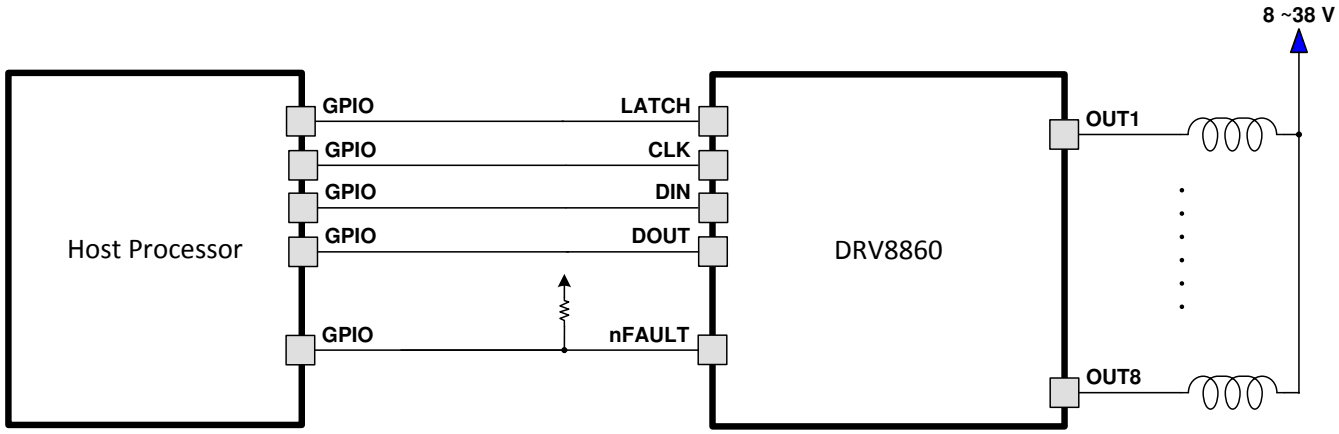


図 6-3. 単一デバイス接続

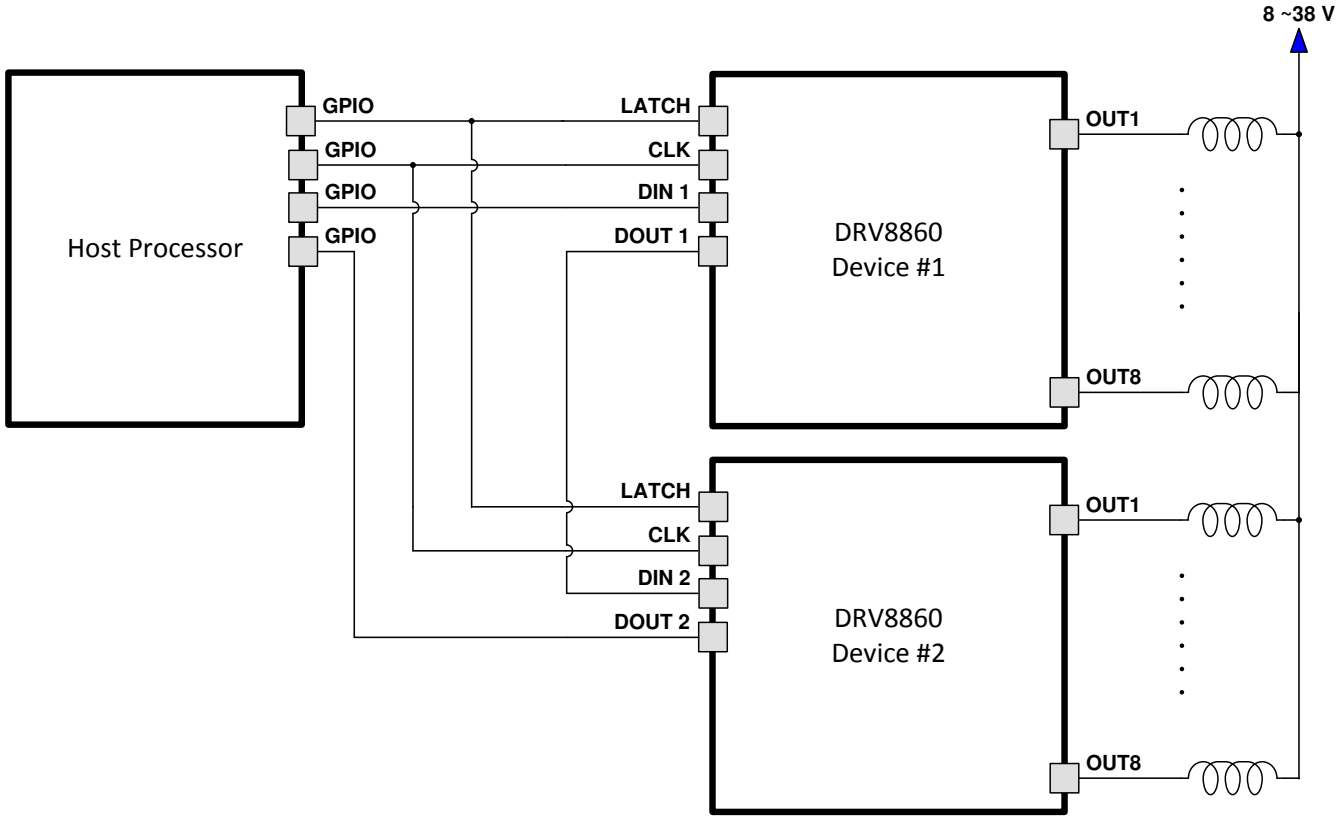


図 6-4. デイジー チェーン接続

Copyright © 2026 Texas Instruments Incorporated

6.3.3

Copyright © 2026 Texas Instruments Incorporated

6.3.4 保護回路

DRV8860 は、低電圧、過電流、過熱状態から完全に保護されています。

6.3.4.1 過電流保護 (OCP)

出力電流が OCP トリガ レベルを超えると、対応するチャネルが自動的にオフになります。nFault ピンは Low に設定され、故障レジスタ内の対応する OCP フラグが 1 にセットされます。

データ レジスタ ビットを「0」にセットし、対応する出力をオフにすると、過電流故障が自動的にクリアされます。または、故障リセット特殊コマンドによっても、この値はクリアできます。どちらの場合も、故障レジスタのすべてのビットがクリアされると、nFAULT は解放されます。

6.3.4.2 開放負荷検出 (OL) – DRV8860 のみ

いずれかの出力がオフ状態の場合 (対応するデータ レジスタ ビットが「0」に設定されている状態)、電流シンクによって約 30µA でノードがプル ダウンされます。ピンの電圧が 1.2V より低いことが検出されると、開放負荷状態が通知されます。nFAULT は Low に駆動され、該当のチャネルに対応する故障レジスタ (F8:F1) の OL ビットがセットされます。

データ レジスタ ビットを「1」に設定し、対応する出力をオンにすると、開放負荷故障は自動的にクリアされます。または、故障リセット特殊コマンドによっても、この値はクリアできます。どちらの場合も、故障レジスタのすべてのビットがクリアされると、nFAULT は解放されます。

6.3.4.3 サーマル シャットダウン (TSD)

ダイ温度が安全限界を上回ると、すべての出力が無効化され、nFAULT ピンが Low に駆動されます。デバイス温度が安全なレベルに低下すると、動作は自動的に再開します。動作が再開した後、nFAULT ピンは解放されます。

6.3.4.4 低電圧誤動作防止 (UVLO)

VM ピンの電圧が低電圧誤動作防止スレッショルドを下回った場合、デバイス内のすべての回路は無効化され、内部ロジックはリセットされます。VM が UVLO スレッショルドを上回ると、動作は再開されます。この状態では、nFAULT はアサートされません。

6.3.4.5 デジタル ノイズ フィルタ

DRV8860 では、すべてのデジタル入力に内部ノイズ フィルタが搭載されています。ノイズの多いシステムでは、ノイズがシリアル デイジーチェーン インターフェイスに悪影響を及ぼす可能性があります。入力フィルタがない場合、このノイズによって予期しない動作や出力状態が発生する可能性があります。デジタル入力フィルタにより、不要なノイズ周波数を除去しながら、シリアル インターフェイスで高速な通信を行えます。

Copyright © 2026 Texas Instruments Incorporated

6.4 デバイスの機能モード

6.4.1 内部レジスタ

DRV8860 は、シンプルなシリアル インターフェイスで制御されます。動作中に使用されるレジスタ バンクは、データ レジスタ、制御レジスタ、故障レジスタの 3 つです。

レジスタ データの移動フローと方向は、特別なコマンドによる影響を受けます。

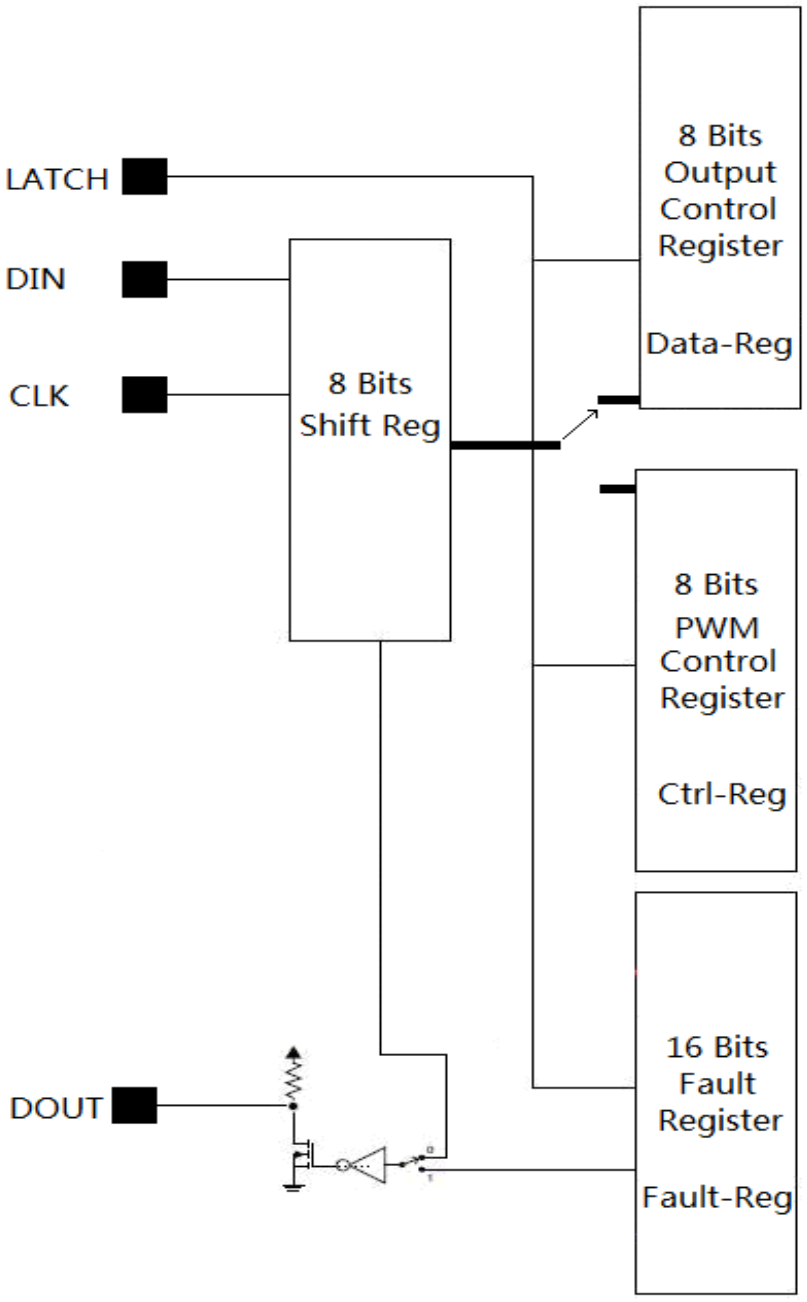


図 6-5. レジスタ データの移動

デフォルト状態では、8 ビット シフト レジスタのデータは出力制御レジスタの DATA-REG に移動します。

Copyright © 2026 Texas Instruments Incorporated

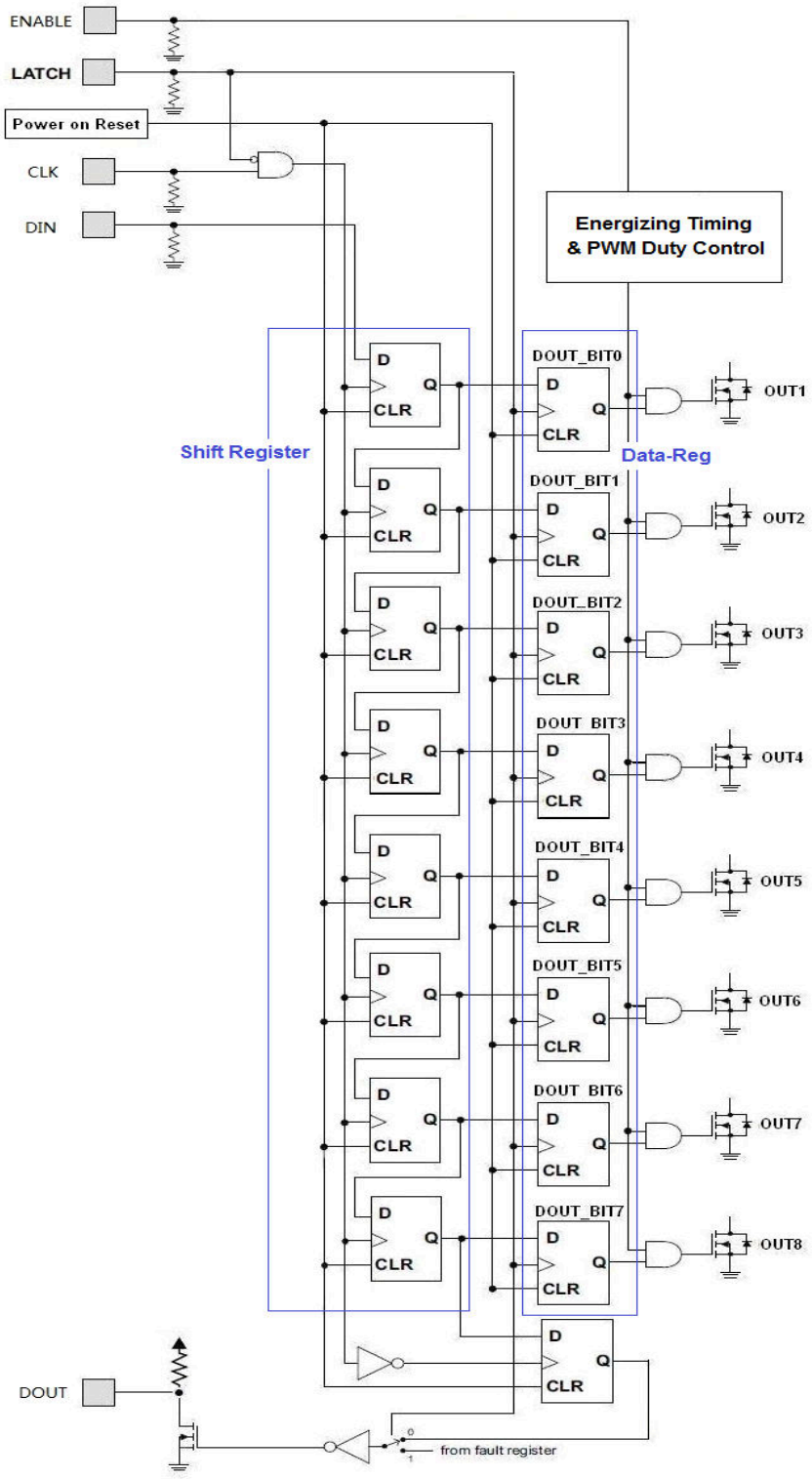


図 6-6. 8 ビット シフト レジスタ データの移動

6.5 プログラミング

6.5.1 シリアル制御インターフェイス

DRV8860 では、デイジーチェーン シリアル インターフェイスを使用しています。データは、LATCH ピンの立ち上がりエッジでレジスタにラッチされます。書き込み時は CLK の立ち上がりエッジでデータがクロック インされ、読み取り時は CLK の立ち下がりエッジでデータがクロック アウトされます。

6.5.1.1 データ書き込み波形

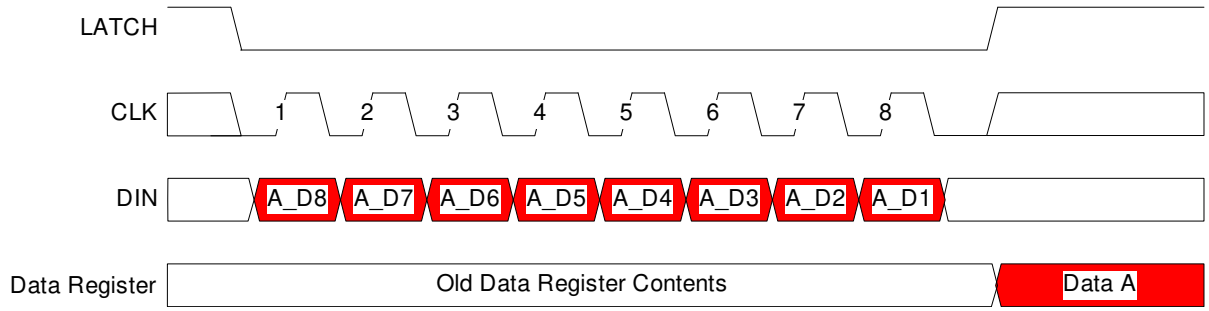


図 6-7. データ レジスタ書き込み – 単一デバイス

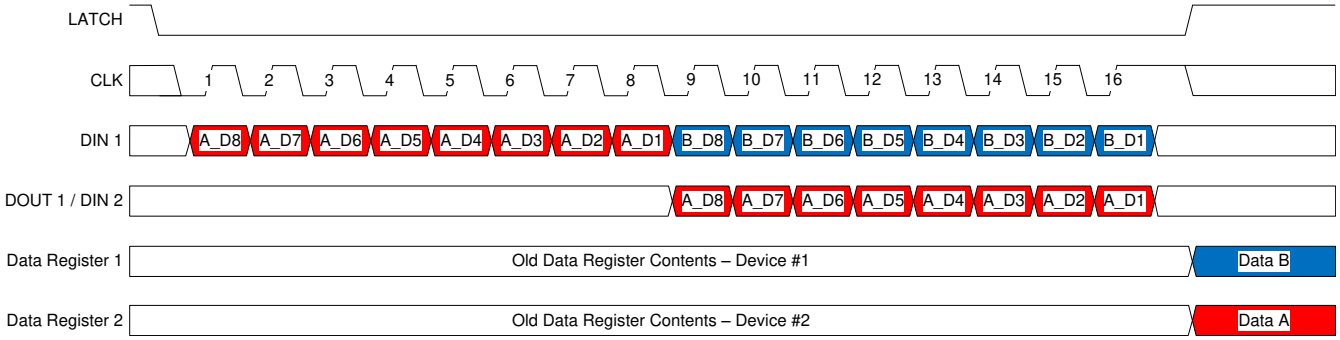


図 6-8. データ レジスタ書き込み – デイジーチェーン

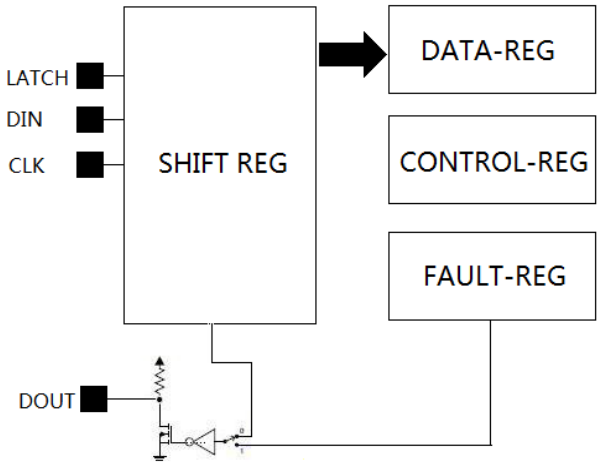


図 6-9. データ レジスタ書き込み – データ フロー

Copyright © 2026 Texas Instruments Incorporated

6.5.1.2 故障レジスタ読み取り波形

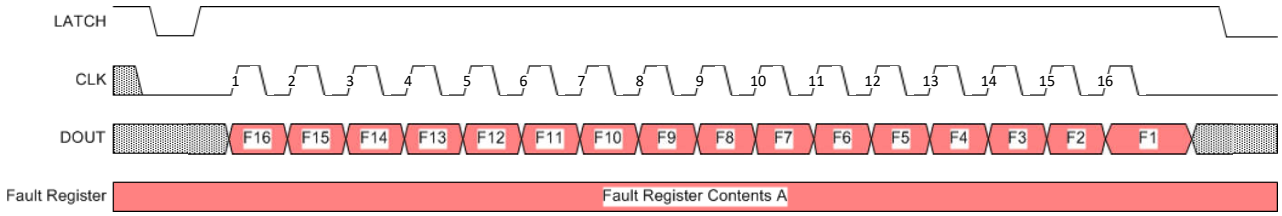


図 6-10. 故障レジスタ読み取り – 単一デバイス

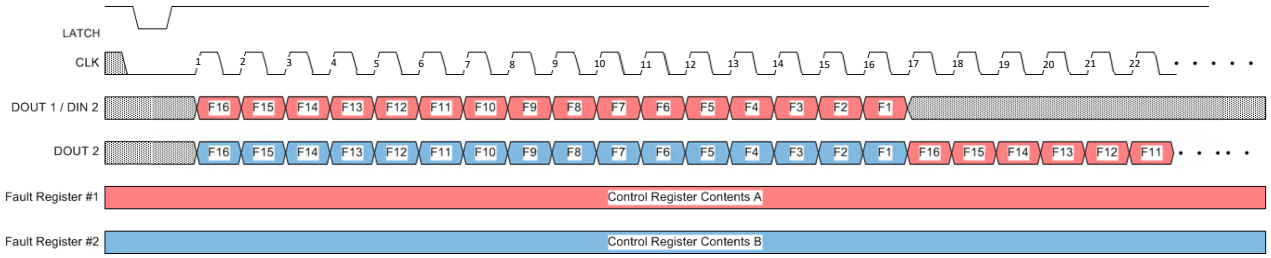


図 6-11. 故障レジスタ読み取り – デイジーチェーン

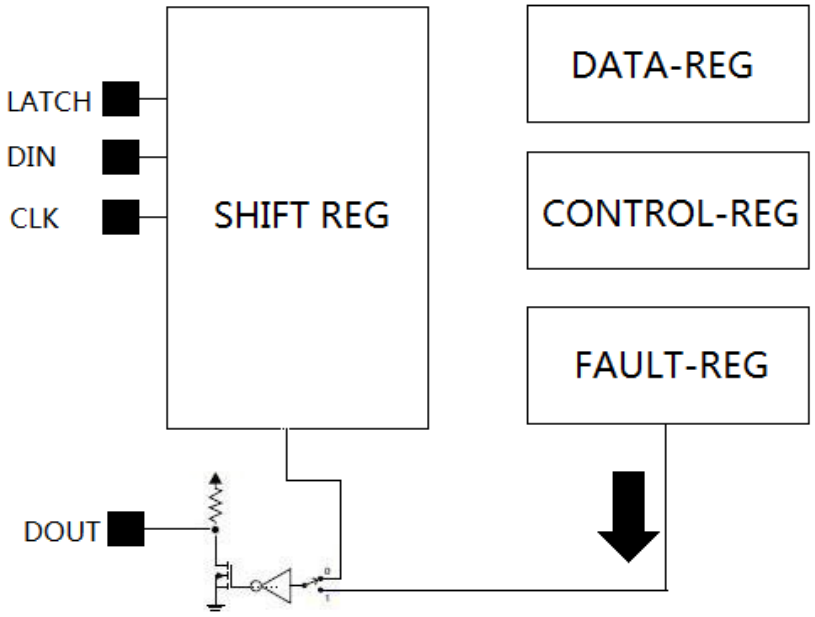


図 6-12. 故障レジスタ読み取り – データ フロー

Copyright © 2026 Texas Instruments Incorporated

6.5.1.3 特殊コマンド

出力オン / オフ制御と故障状態の読み戻しのほかに、DRV8860 はシステムの堅牢性や電力効率を向上させる特別な機能を備えています。これらの機能には、デバイスを起動または内部レジスタを設定するための特殊コマンドが必要です。

次の 5 つの特殊コマンドがあります。

1. 制御レジスタ書き込みコマンド
2. 制御レジスタ読み取りコマンド
3. データ レジスタ読み取りコマンド
4. 故障レジスタ リセット コマンド
5. PWM 開始コマンド

CLK ピンと LATCH ピンの特殊波形パターンにより、以下のような特殊コマンドが発行されます

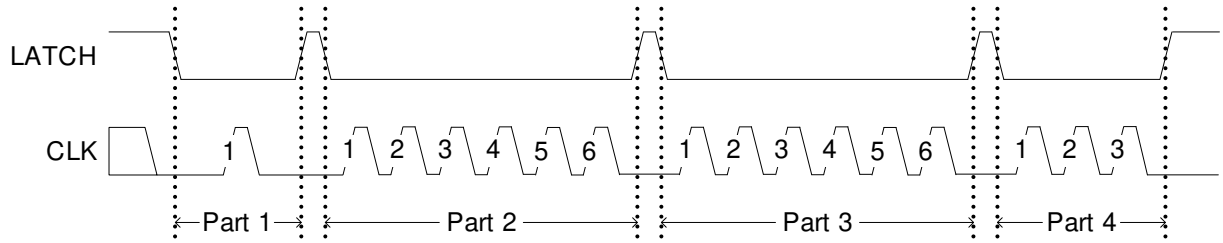


図 6-13. 特殊コマンド

特殊コマンド	各パートにおける CLK サイクル数			
	Part 1	Part 2	Part 3	Part 4
制御レジスタ書き込み	1	2	2	3
制御レジスタ読み取り	1	4	2	3
データ レジスタ読み取り	1	4	4	3
故障レジスタ リセット	1	2	4	3
PWM 開始	1	6	6	3

Copyright © 2026 Texas Instruments Incorporated

6.5.1.3.1 特殊コマンド：制御レジスタ書き込み

制御レジスタ書き込みコマンドが発行されると、後続のシリアル データがタイミングおよびデューティ制御レジスタにラッチされます。

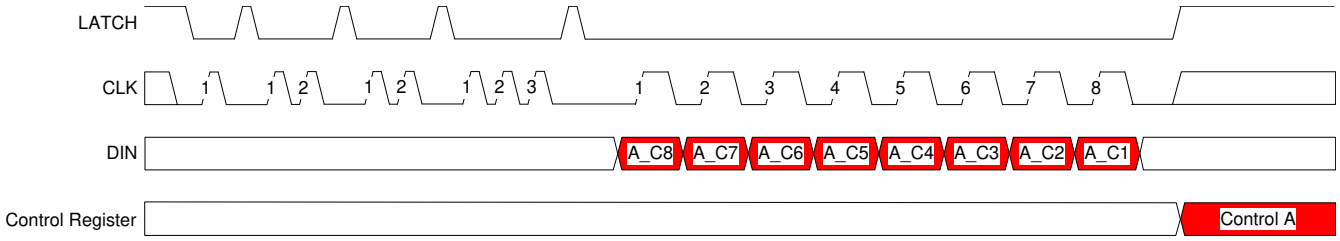


図 6-14. 制御レジスタ書き込み – 単一デバイス

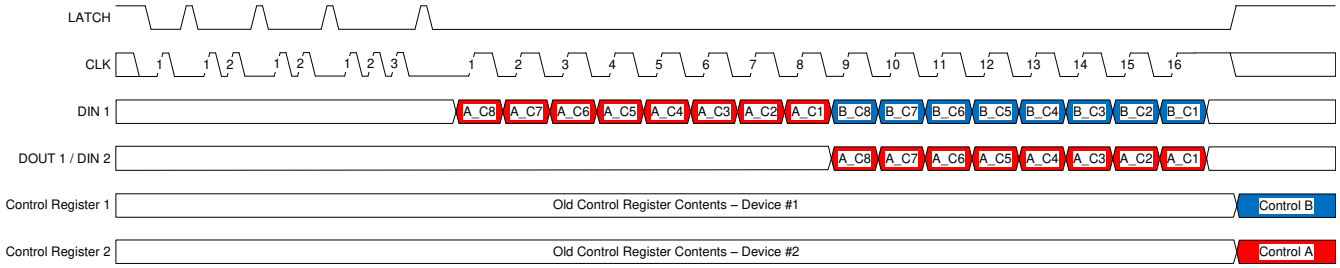


図 6-15. 制御レジスタ書き込み – デイジーチェーン

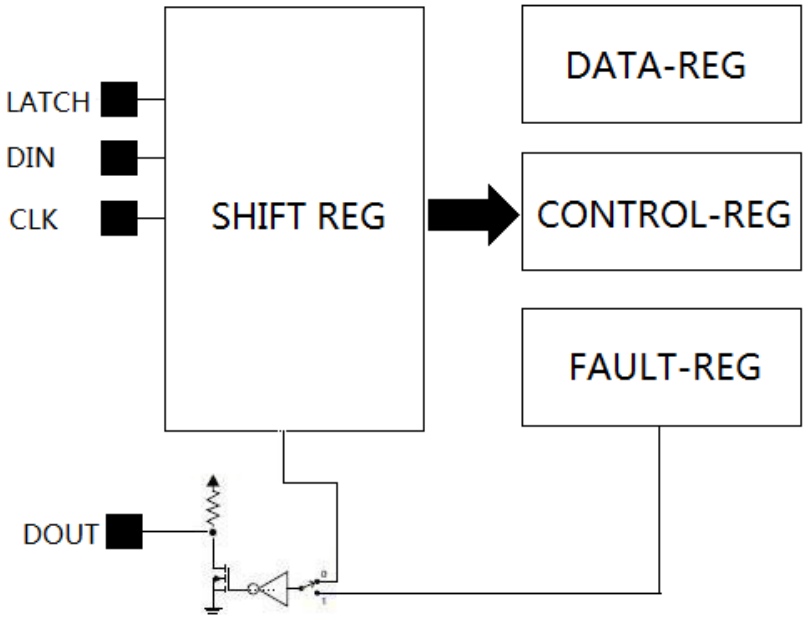


図 6-16. 制御レジスタ書き込み – データ フロー

Copyright © 2026 Texas Instruments Incorporated

6.5.1.3.2 特殊コマンド：制御レジスタ読み取り

制御レジスタ読み取りコマンドが発行されると、制御レジスタの内容が内部シフト レジスタにコピーされ、その後の CLK により、この内容が DOUT ピンからシフト アウトされます。これにより、システムが制御レジスタのプログラムが正しく行われているかを確認するための仕組みが提供されます。

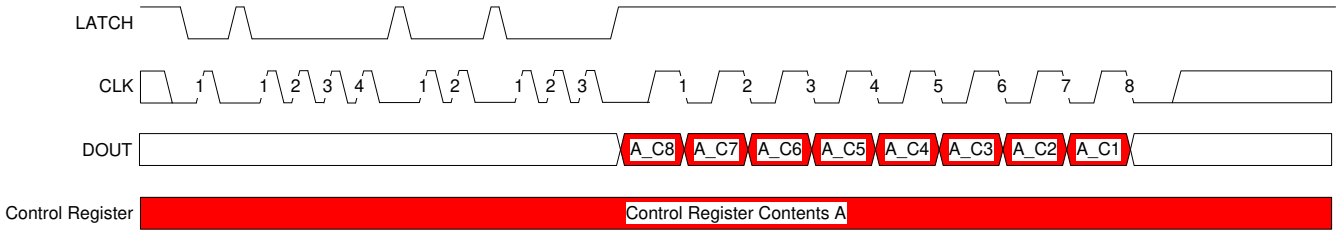


図 6-17. 制御レジスタ読み取り – 単一デバイス

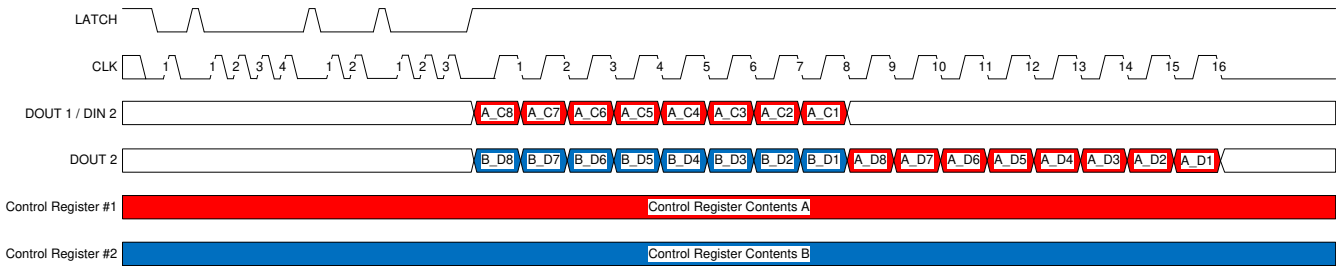


図 6-18. 読み取り制御レジスタ - デイジーチェーン

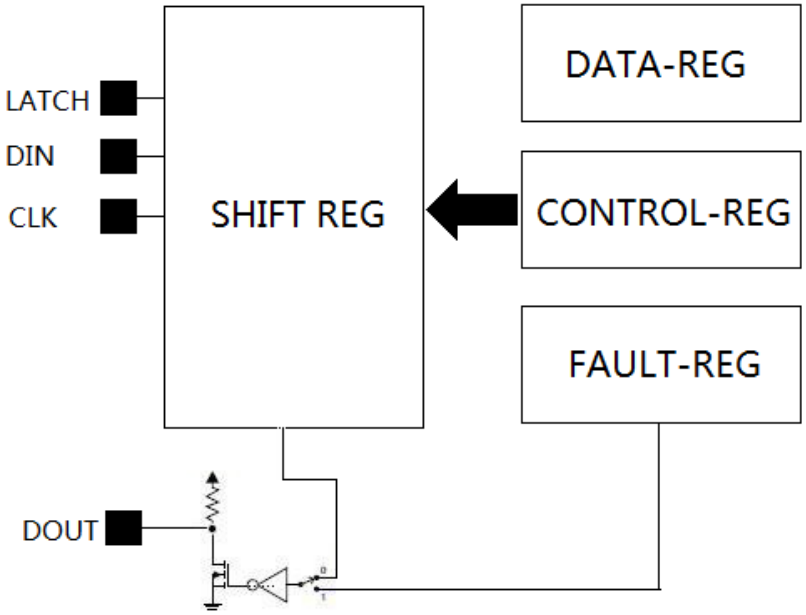


図 6-19. 制御レジスタ読み取り – データ フロー

Copyright © 2026 Texas Instruments Incorporated

6.5.1.3.3 特殊コマンド：データ レジスタ読み取り

データ レジスタ読み取りコマンドが発行されると、内部出力データ レジスタの内容が内部シフト レジスタにコピーされ、その後の CLK により、この内容が DOUT ピンからシフト アウトされます。これにより、システムが出力データのプログラムが正しく行われているかを確認するための仕組みが提供されます。これにより、ノイズの多いシステムでもシステムの堅牢性を高めることができます。

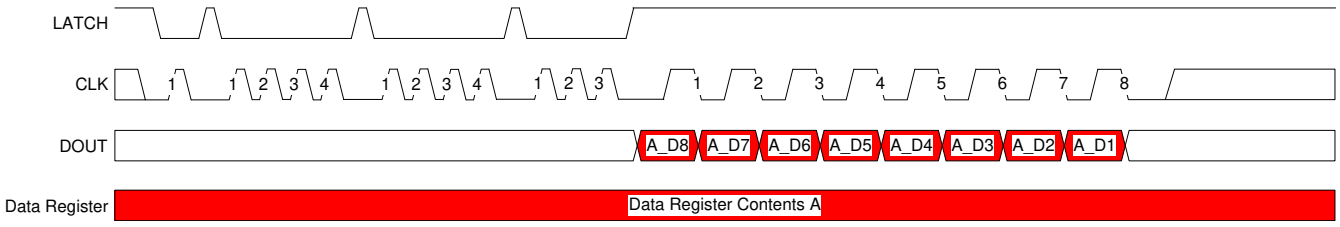


図 6-20. データ レジスタ読み取り – 単一デバイス

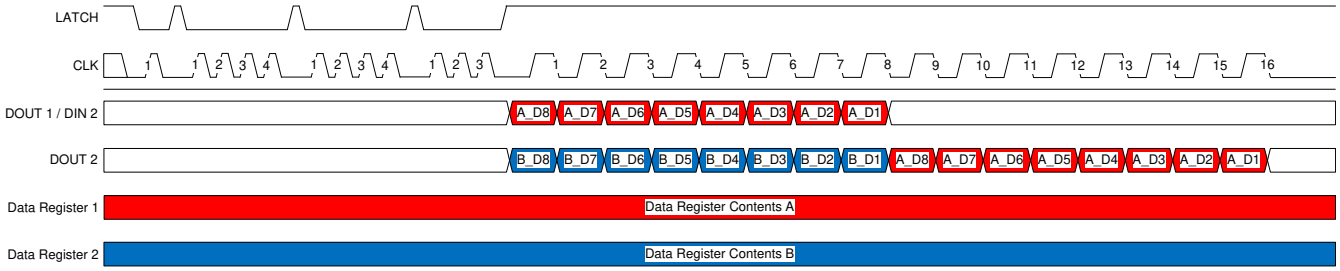


図 6-21. データ レジスタ読み取り – デイジーチェーン

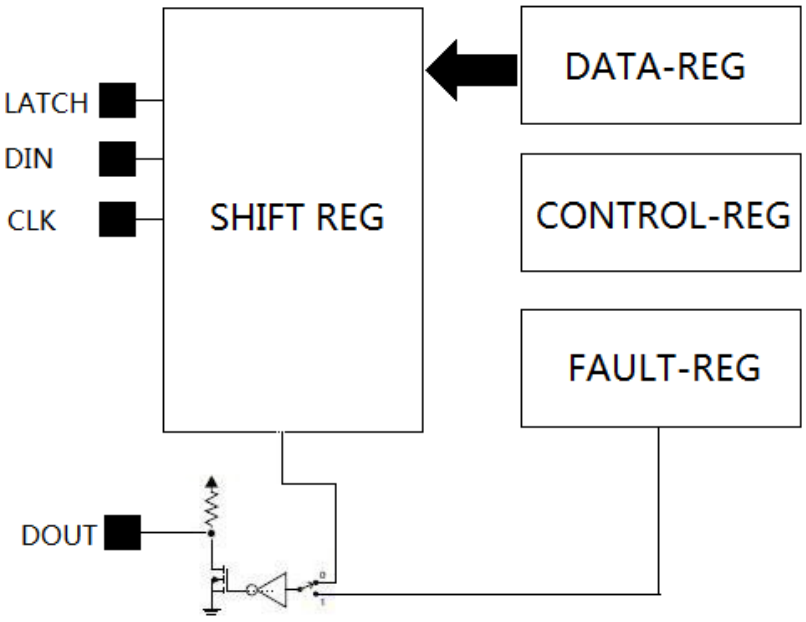


図 6-22. データ レジスタ読み取り – データ フロー

6.5.1.3.4 特殊コマンド：故障レジスタ リセット

故障レジスタ リセット コマンドが発行されると、内部の 16 ビット故障レジスタがクリアされます。システムはこの方法を使用して、チェーン接続されたあらゆるデバイスのすべての故障状態を一度にクリアできます。

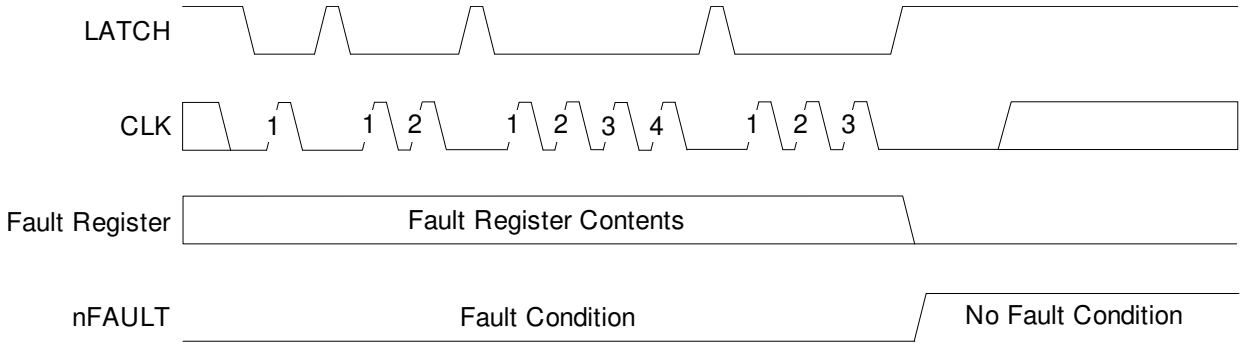


図 6-23. 故障レジスタ リセット

6.5.1.3.5 特殊コマンド：PWM 開始

故障レジスタ リセット コマンドが発行されると、出力チャネルは通電時間を無視し、制御レジスタの設定に従って直接 PWM モードに移行します。

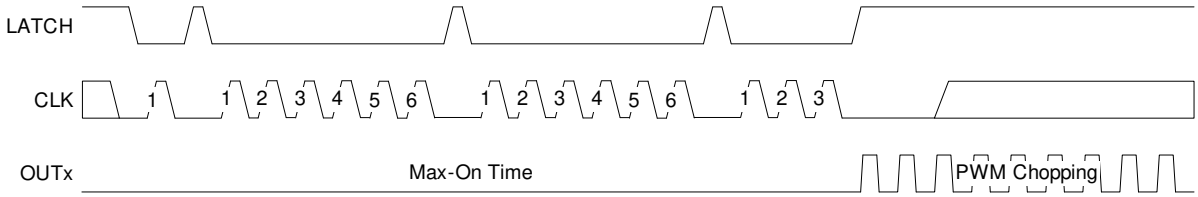


図 6-24. PWM 開始コマンド

Copyright © 2026 Texas Instruments Incorporated

6.5.1.4 出力の通電と PWM 制御

このデバイスの出力は、通電フェーズと PWM フェーズという 2 つの段階で定義されます。

通電フェーズ中は、制御レジスタ ビット C4:C1 で設定された期間、100% のデューティ サイクルでチャネルがオンになります。

PWM チョッピング フェーズにおいては、制御レジスタ ビット C7:C5 で設定された PWM デューティ サイクルでチャネルがオンになります。

表 6-1 に、制御レジスタの各ビットの動作を示します。

表 6-1. 制御レジスタ設定

C8	C7	C6	C5	C4	C3	C2	C1	値	説明	
0	X	X	X	X	X	X	X	該当なし	出力は常に通電モードになっています	
1	X	X	X	0	0	0	0	0ms	通電なし、PWM チョッピングで開始します	
1	X	X	X	0	0	0	1	3ms	PWM フェーズに切り替わるまでの通電時間 (100% デューティ サイクル) を設定します	
1	X	X	X	0	0	1	0	5ms		
1	X	X	X	0	0	1	1	10ms		
1	X	X	X	0	1	0	0	15ms		
1	X	X	X	0	1	0	1	20ms		
1	X	X	X	0	1	1	0	30ms		
1	X	X	X	0	1	1	1	50ms		
1	X	X	X	1	0	0	0	80ms		
1	X	X	X	1	0	0	1	110ms		
1	X	X	X	1	0	1	0	140ms		
1	X	X	X	1	0	1	1	170ms		
1	X	X	X	1	1	0	0	200ms		
1	X	X	X	1	1	0	1	230ms		
1	X	X	X	1	1	1	0	260ms		
1	X	X	X	1	1	1	1	300ms		
1	0	0	0	X	X	X	X	0%	通電フェーズの後、出力はオフになります	
1	0	0	1	X	X	X	X	12.50%	12.5kHz	PWM チョッピング デューティ サイクルを設定します。DC は、ローサイド FET がオンのデューティ サイクルを示します。
1	0	1	0	X	X	X	X	25.00%	25kHz	
1	0	1	1	X	X	X	X	37.50%	50kHz	
1	1	0	0	X	X	X	X	50.00%		
1	1	0	1	X	X	X	X	62.50%		
1	1	1	0	X	X	X	X	75.00%		
1	1	1	1	X	X	X	X	87.50%		

図 6-25 から図 6-29 に示すように、5 つの動作ケースがあります。

出力は 100% デューティ サイクルでオンになります。

Copyright © 2026 Texas Instruments Incorporated

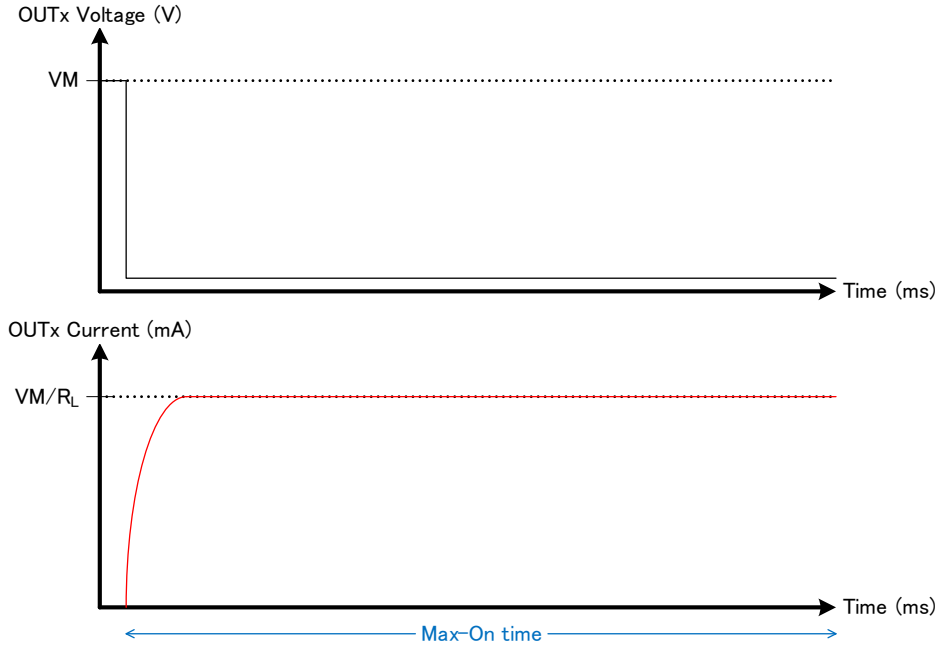


図 6-25. ケース 1：タイマ イネーブル ビット (C8) が 0 (デフォルト値) の場合

PWM チョッピング モードでは、制御レジスタ ビット C7:C5 で設定されたデューティ サイクルで、出力がオンになります。

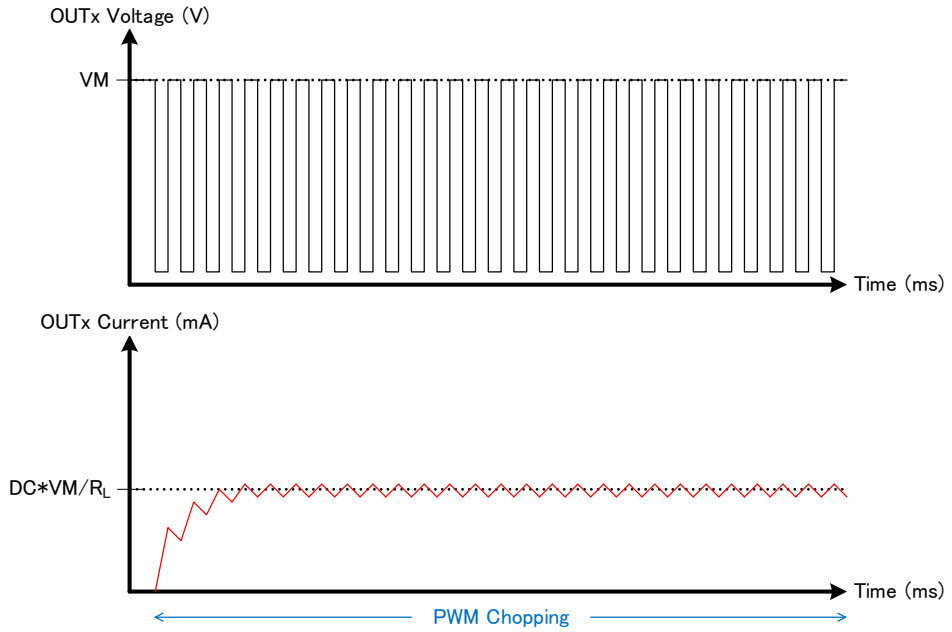


図 6-26. ケース 2：タイマ イネーブル ビット (C8) が 1 で、通電タイミング ビット (C4:C1) が 0000 の場合

Copyright © 2026 Texas Instruments Incorporated

通電モードでは、制御レジスタ ビット C4:C1 で設定された期間、100% デューティ サイクルで出力がオンになります。タイマが満了した後、出力は、制御レジスタ ビット C7:C5 で設定された PWM デューティ サイクルで動作する PWM チョッピング モードに切り替わります。

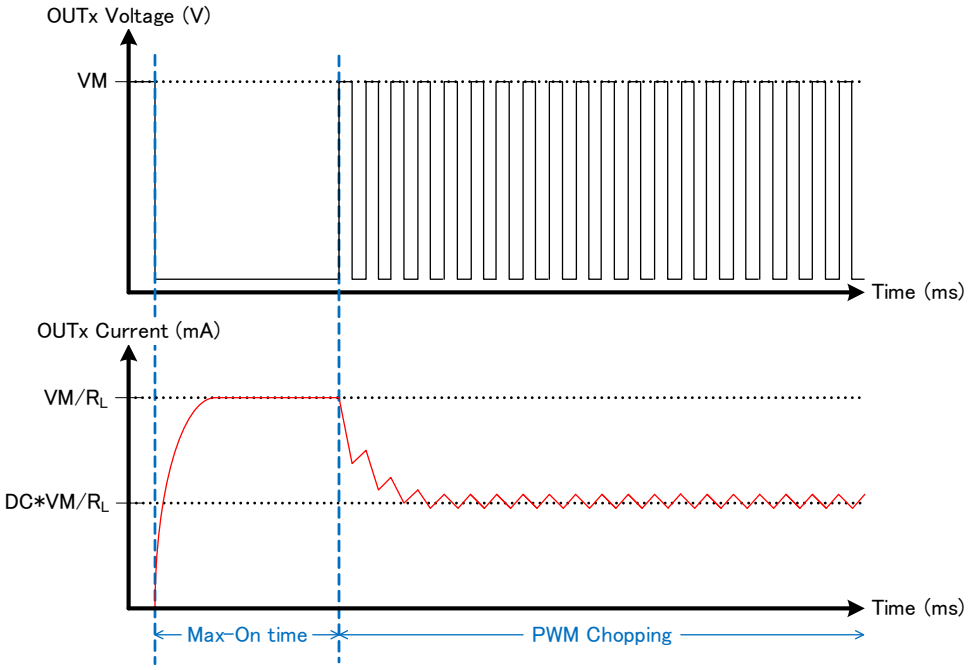


図 6-27. ケース 3：タイマ イネーブル ビット (C8) が 1、通電時間のタイミング ビット (C4:C1) が 0000 ではなく、PWM デューティ ビット (C7:C5) が 000 ではない場合

通電モードでは、制御レジスタ ビット C4:C1 で設定された期間、100% デューティ サイクルで出力がオンになります。タイマが満了すると、出力はオフになります。

Copyright © 2026 Texas Instruments Incorporated

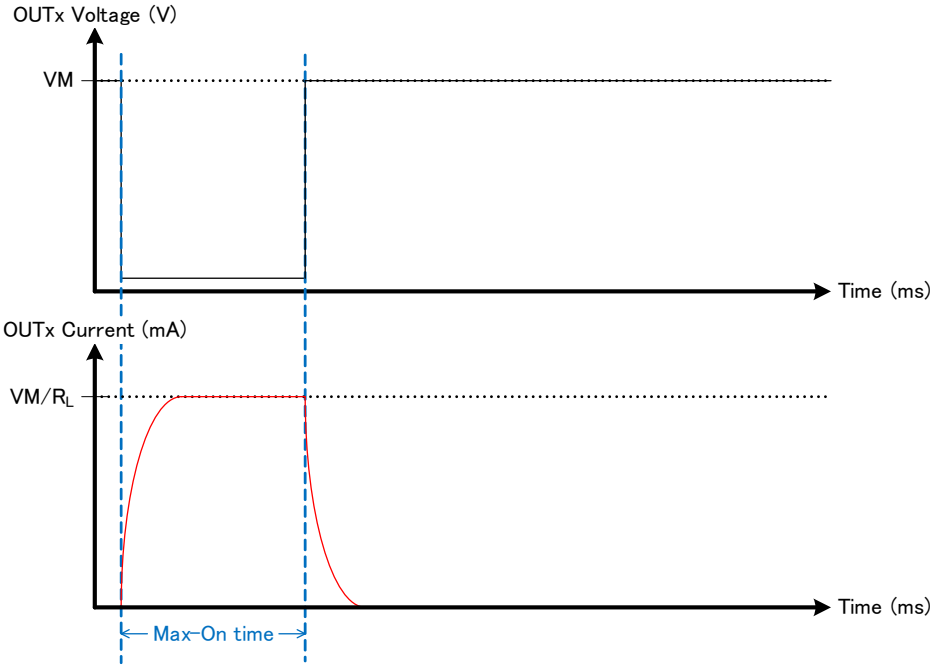


図 6-28. ケース 4：タイマ イネーブル ビット (C8) が 1、通電タイミング ビット (C4:C1) が 0000 ではなく、PWM デューティ ビット (C7:C5) が 00 の場合

6.5.1.4.1 PWM 開始用特殊コマンドの使用

出力は 100% デューティ サイクルの通電モードでオンになり、制御レジスタ ビット C4:C1 で設定された期間でタイマが有効になります。タイマが満了する前に PWM 開始用の特殊コマンドを受信した場合、出力は、制御レジスタ ビット C7:C5 で定義された PWM デューティ サイクルを使用する PWM チョッピング モードに切り替わります。タイマが満了するまでに PWM 開始コマンドを受信しない場合、デバイスは他の PWM 開始コマンドの有無に関わらず通電モードを維持します。

Copyright © 2026 Texas Instruments Incorporated

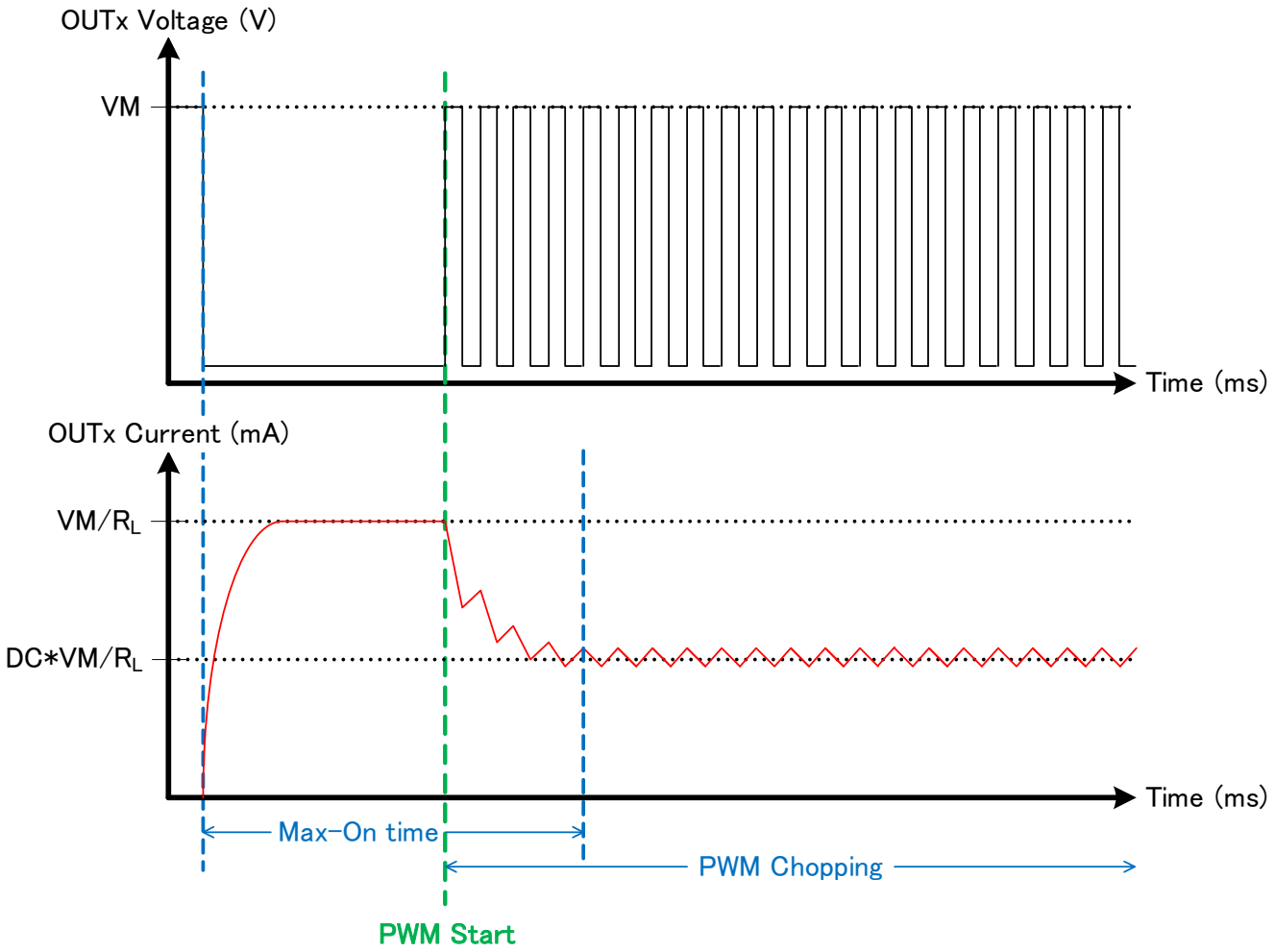


図 6-29. ケース 5：タイマ イネーブル ビット (C8) が 0、通電タイミング ビット (C4:C1) が 0000 ではなく、PWM デューティ ビット (C7:C5) が 000 ではない場合

7 レジスタ マップ

7.1 データ レジスタ

データ レジスタは、次の 8 つの出力のそれぞれのステータスを制御するために使用されます。

図 7-1. データ レジスタ

D8	D7	D6	D5	D4	D3	D2	D1
OUT8	OUT7	OUT6	OUT5	OUT4	OUT3	OUT2	OUT1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

いずれかのビットが「1」のとき、対応する出力がアクティブになります。いずれかのビットが「0」のとき、出力は非アクティブになります。

データ レジスタは、シリアル インターフェイスのデフォルトの書き込み位置です。このレジスタからデータを読み戻すには、データ レジスタ読み取り用の特殊コマンドを使用します。

7.2 故障レジスタ

故障レジスタを読み取ることで、任意のチャネルが故障状態かどうかを判定できます。OCP は過電流故障で、OLD は開放負荷故障です。OLD は DRV8860A には含まれていません

図 7-2. 故障レジスタ

F16	F15	F14	F13	F12	F11	F10	F9
OUT8 OCP	OUT7 OCP	OUT6 OCP	OUT5 OCP	OUT4 OCP	OUT3 OCP	OUT2 OCP	OUT1 OCP
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
F8	F7	F6	F5	F4	F3	F2	F1
OUT8 OL	OUT7 OL	OUT6 OL	OUT5 OL	OUT4 OL	OUT3 OL	OUT2 OL	OUT1 OL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

いずれかの故障が発生すると、nFAULT ピンが Low に駆動され、対応する故障レジスタのビットが「1」に設定されます。OCP は、過電流故障を示すフラグです。ODP は、開放負荷故障を示すフラグです。

故障ビットは、次の 2 つの方法でリセットできます。

1. 特殊コマンド「故障リセット」により、すべての故障ビットがクリアされます。
2. データ レジスタをオンにセットすると、対応する OLD ビットがクリアされます (DRV8860 のみ)。
   データ レジスタをオフにセットすると、対応する OCP ビットがクリアされます。

7.3 制御レジスタ

制御レジスタは、出力の通電時間と PWM デューティ サイクルを調整するために使用されます。

図 7-3. 制御レジスタ

C8	C7	C6	C5	C4	C3	C2	C1
全体イネーブル	PWM デューティ サイクル制御			通電時間制御			
R/W	R/W			R/W			

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

Copyright © 2026 Texas Instruments Incorporated

制御レジスタのプログラムには、特殊コマンド「制御レジスタ書き込み」が使用されます。

制御レジスタの内容を読み戻すには、特殊コマンド「制御レジスタ読み取り」が使用されます。

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

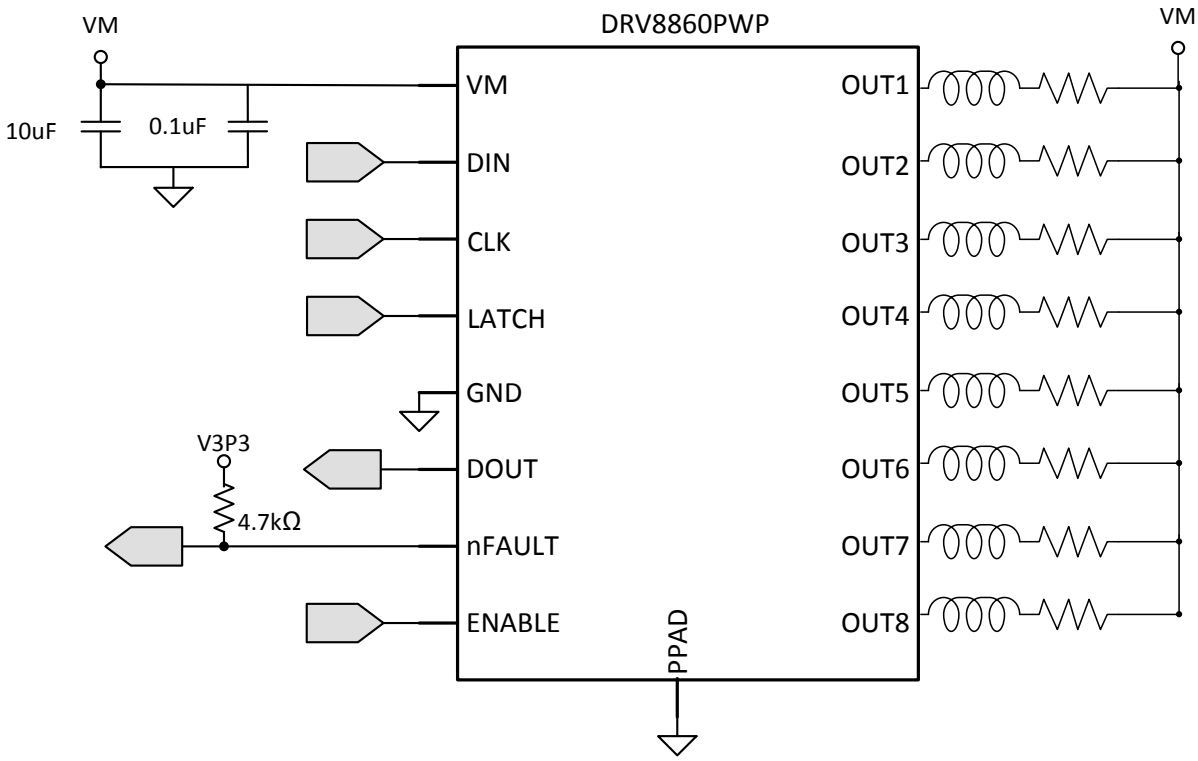
注

以下のアプリケーションに関するセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

DRV8860 は、保護機能を備えた 8 チャネル ローサイド ドライバです。以下の設計は、DRV8860 の一般的なアプリケーションです。

8.2 代表的なアプリケーション



8.2.1 設計要件

表 8-1. 設計パラメータ

パラメータ	値
入力電圧範囲	8V～38V
電流	330mA (チャネルあたり)

Copyright © 2026 Texas Instruments Incorporated

8.2.2 詳細な設計手順

8.2.2.1 駆動電流

電流は VM から負荷を経由してローサイドのシンク ドライバへと流れます。1 つのシンクにおける電力損失 (I^2R 損失) は、式 1 を使用して計算されます。

$$P_D = I^2 \times R_{DS(on)} \quad (1)$$

8.2.3 アプリケーション曲線

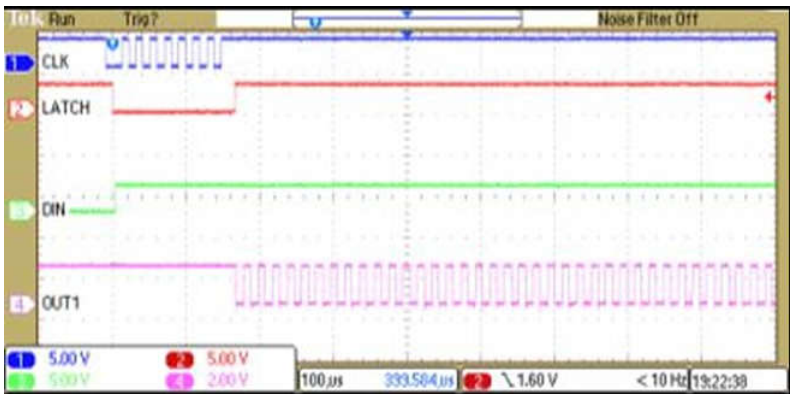


図 8-1. PWM 動作

電源に関する推奨事項

DRV8860 は、8V ～ 38V の入力電圧電源 (VM) の範囲内で動作するように設計されています。VM に対応した定格の 0.1µF セラミック コンデンサを、VM ピンのできるだけ近くに配置する必要があります。ローカル デカップリング コンデンサに加えて、追加のバルク容量が必要であり、アプリケーションの要件に応じて容量を決定する必要があります。

バルク容量のサイズ決定は、モーター駆動システムの設計において重要な要素です。これは、次のようなさまざまな要因に依存します。

- 電源タイプ
- 許容される電源電圧リップル
- 電源配線の寄生インダクタンス
- 負荷のタイプ
- 負荷の起動電流

電源とモーター駆動システムとの間のインダクタンスにより、電源からの電流が変化できる速度は制限されます。ローカル バルク容量が小さすぎる場合、システムはモーターからの過剰な電流要求やダンプによる電圧変動の影響を受けます。ユーザーは、許容される電圧リップル レベルに合うようにバルク容量を決める必要があります。

一般に、データシートには推奨値が記載されていますが、バルク コンデンサの容量が適切かどうかを判断するには、システム レベルでのテストが必要です。

Copyright © 2026 Texas Instruments Incorporated

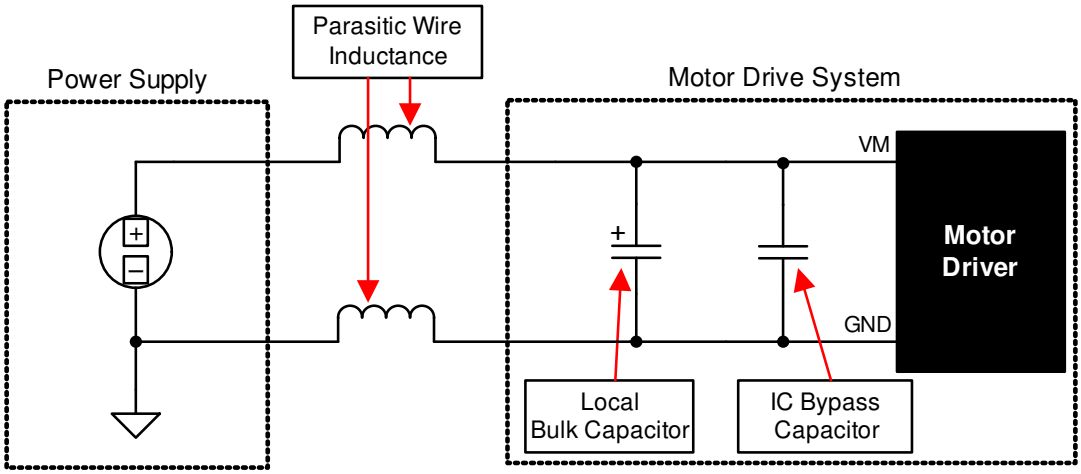


図 8-2. 外部電源を使用したモーター駆動システムのセットアップ例

8.1 電源とロジックのシーケンシング

DRV8860 をパワーアップするための特定のシーケンスはありません。VM が印加される前にデジタル入力信号が存在していても問題ありません。DRV8860 に VM が印加されると、制御ピンのステータスに基づいて動作を開始します。

8.3 レイアウト

8.3.1 レイアウトのガイドライン

- VM に対応した定格を持つ推奨値 0.1µF の低 ESR セラミック バイパス コンデンサを使用して、VM ピンを GND にバイパスする必要があります。
- このコンデンサはデバイスの VM ピンのできるだけ近くに配置し、太いトレースまたはグランド プレーンでデバイスの GND ピンに接続する必要があります。
- VM ピンは、適切なバルク コンデンサを使用してグランドにバイパスする必要があります。このコンデンサは、DRV8860 に近づけて配置する必要があります。

8.3.2 レイアウト例

ここでは、プルアップ電圧 (V3P3) は、デジタル オープンドレイン出力の推奨動作条件範囲内の外部電源です。

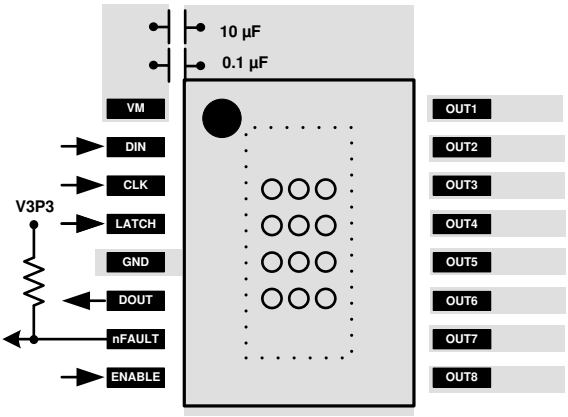


図 8-3. DRV8860 のレイアウト

Copyright © 2026 Texas Instruments Incorporated

8.3.3 熱に関する注意事項

DRV8860 デバイスには、セクション 6.3.4.3 セクションで説明したように、サーマル シャットダウン (TSD) があります。デバイス温度が約 150°C を超えると、温度が安全なレベルに下がるまでデバイスは無効化されます。

何度も TSD が作動する場合は、消費電力が過大、ヒートシンクが不十分、または周囲温度が高すぎることを示します。

8.3.3.1 消費電力

DRV8860 デバイスでの消費電力は、主に出力 FET 抵抗 ($R_{DS(on)}$) で消費される電力が大部分を占めます。負荷を駆動しているときの各出力の平均消費電力の推定値を計算するには、次の式を使用します。

$$P_D = R_{DS(on)} \times I_O^2 \quad (2)$$

ここで

- P_D は 1 つのチャネルの消費電力です
- $R_{DS(on)}$ は各 FET の抵抗です
- I_O は各チャネルに適用される RMS 出力電流です

I_O は、チャネルに流れる平均電流と等しくなります。起動時には、この電流は通常動作時よりもはるかに高くなることに注意してください。これらのピーク電流と持続時間も考慮する必要があります。

デバイス全体の消費電力は、各チャネルで消費される電力の合計です。

デバイスが放散できる電力の最大値は、周囲温度とヒートシンクに依存します。

注

$R_{DS(on)}$ は温度とともに上昇するので、デバイスが発熱すると消費電力が増大します。ヒートシンクのサイズを決定する際には、この事実を考慮する必要があります。

8.3.3.2 ヒートシンク

PowerPAD パッケージでは、露出したパッドを使用してデバイスから熱を除去します。正常に動作できるようにするためには、このパッドを PCB 上の銅領域に熱的に接続して、熱を放散させる必要があります。グランド プレーンのある多層 PCB では、多数のビアを追加して、サーマル パッドをグランド プレーンに接続することにより、この接続を実現できます。

内層のない PCB の場合、PCB のいずれかの面に銅領域を追加することで熱を放散できます。銅領域がデバイスから見て PCB の反対側にある場合は、サーマル ビアを使用して上層と下層の間で熱を伝達します。

PCB 設計の詳細については、TI アプリケーション レポート「PowerPAD™ 熱強化パッケージ (SLMA002)」および TI アプリケーション ブリーフ「PowerPAD Made Easy™ (SLMA004)」を参照してください。www.ti.com で入手可能です。一般に、利用できる銅の面積が大きくなれば、より多くの熱を放散できます。

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 商標

PowerPAD™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (November 2015) to Revision F (October 2026) **Page**

- 図 6-10 および 図 6-11 を更新 19

Changes from Revision D (October 2015) to Revision E (November 2015) **Page**

- タイミング図図 5-1、図 5-2、表 5-1、表 5-2 を追加 6

Changes from Revision C (October 2014) to Revision D (October 2015) **Page**

- $I_{(VM)}$ MAX = 4.5V を追加 6
- DRV8860A の I_{OFF} を追加 6
- t_{OCP} について、MIN = 2.7µs から 2.0µs に変更 6
- 機能ブロック図を更新。 10

Changes from Revision B (July 2014) to Revision C (October 2014) **Page**

- DRV8860A の部品をデータシートに追加。 1
- 図 6-5 にキャプションを追加 16
- 図 6-6 にキャプションを追加 16
- 「シリアル制御インターフェイス」の情報をデータシートの「セクション 6.5」セクションに移動 17
- 「レジスタ マップ」の情報をデータシートのセクション 6 に移動 30
- 図 8-1 の背景を黒から白に変更 33
- 図 8-3 にキャプションを追加 34
- タイトルを「熱に関する情報」から「セクション 8.3.3」に変更 35

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision A (November 2013) to Revision B (July 2014) **Page**

- 「特長」にシリアル インターフェイスを追加....1
- 「特長」一覧の「連続電流駆動能力」に関する内容を変更....1
- 「特長」のプログラマブル電流プロファイルを削除....1
- 「アプリケーション」一覧を更新....1
- 「説明」の文章を変更。変更前:「これらの機能により、従来の常時オンのソリューションと比較して、低い温度での動作が可能になります」変更後:「これらの機能により、従来の常時オンのソリューションよりも低温で動作させることができます。」....1
- 「取り扱い定格」表を追加....5
- 「推奨動作条件」表の VM の最小値を 8.2V から 8V に変更....5
- 「熱に関する情報」表に HTTSSOP (PWP) を追加....5
- V_{IL} MIN =「-」から「0V」、TYP =「0.6V」から「-」に変更....6
- V_{IH} MIN =「2V」から「1.5V」、MAX =「-」から「5.3V」に変更....6
- V_{HYS} MIN =「-」から「100mV」、TYP =「0.45V」から「-」に変更....6
- 「タイミング要件」の表を追加....6
- 「概要」セクションを追加....9
- 「推奨出力電流」セクションの説明を変更....10
- 「出力設定例」セクションを削除。....14
- 「シリアル制御インターフェイス」の説明を変更....18

Changes from Revision * (September 2013) to Revision A (November 2013) **Page**

- 「特長」にプログラマブル電流プロファイルを追加....1
- 「推奨動作条件」表の VM の最小値を 8V から 8.2V に変更....5
- 「出力設定例」セクションを追加。....14

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8860APW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-40 to 85	
DRV8860APWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	8860A
DRV8860APWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	8860A
DRV8860PWPR	Active	Production	HTSSOP (PWP) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	8860PWP
DRV8860PWPR.A	Active	Production	HTSSOP (PWP) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	8860PWP
DRV8860PWPR.B	Active	Production	HTSSOP (PWP) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	8860PWP
DRV8860PWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	8860
DRV8860PWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	8860
DRV8860PWR.B	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	8860
DRV8860PWRG4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	8860
DRV8860PWRG4.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	8860
DRV8860PWRG4.B	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	8860

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

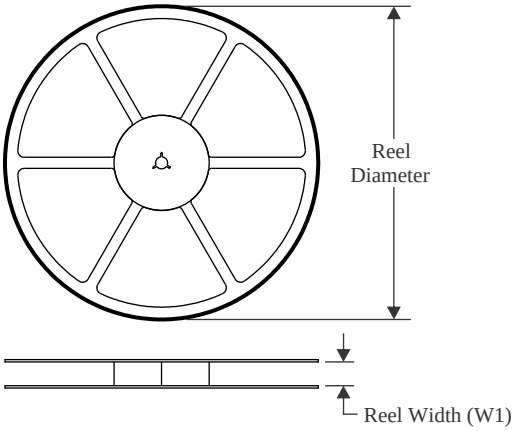
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

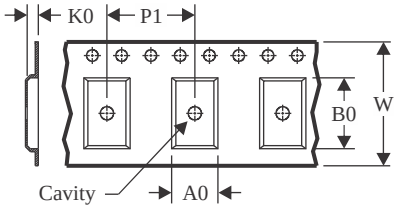
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

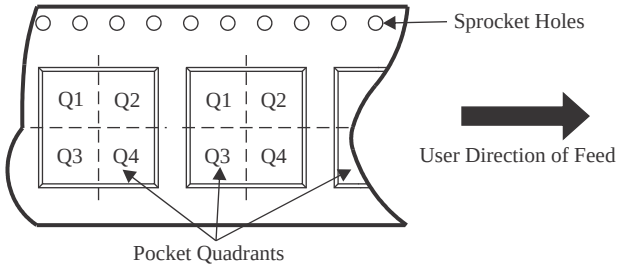


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

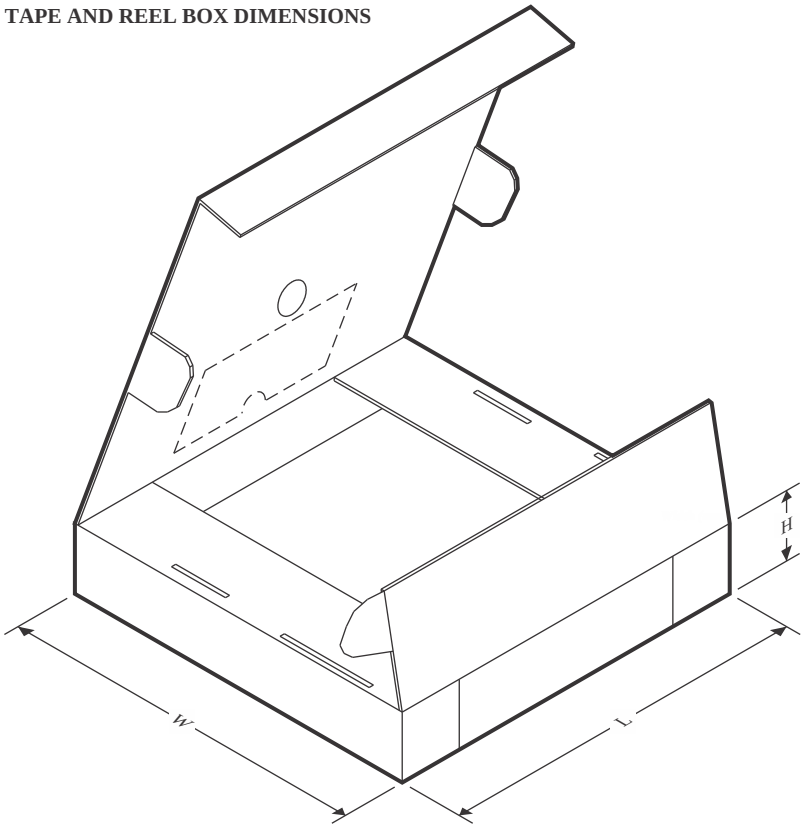
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8860APWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
DRV8860PWPR	HTSSOP	PWP	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
DRV8860PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
DRV8860PWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

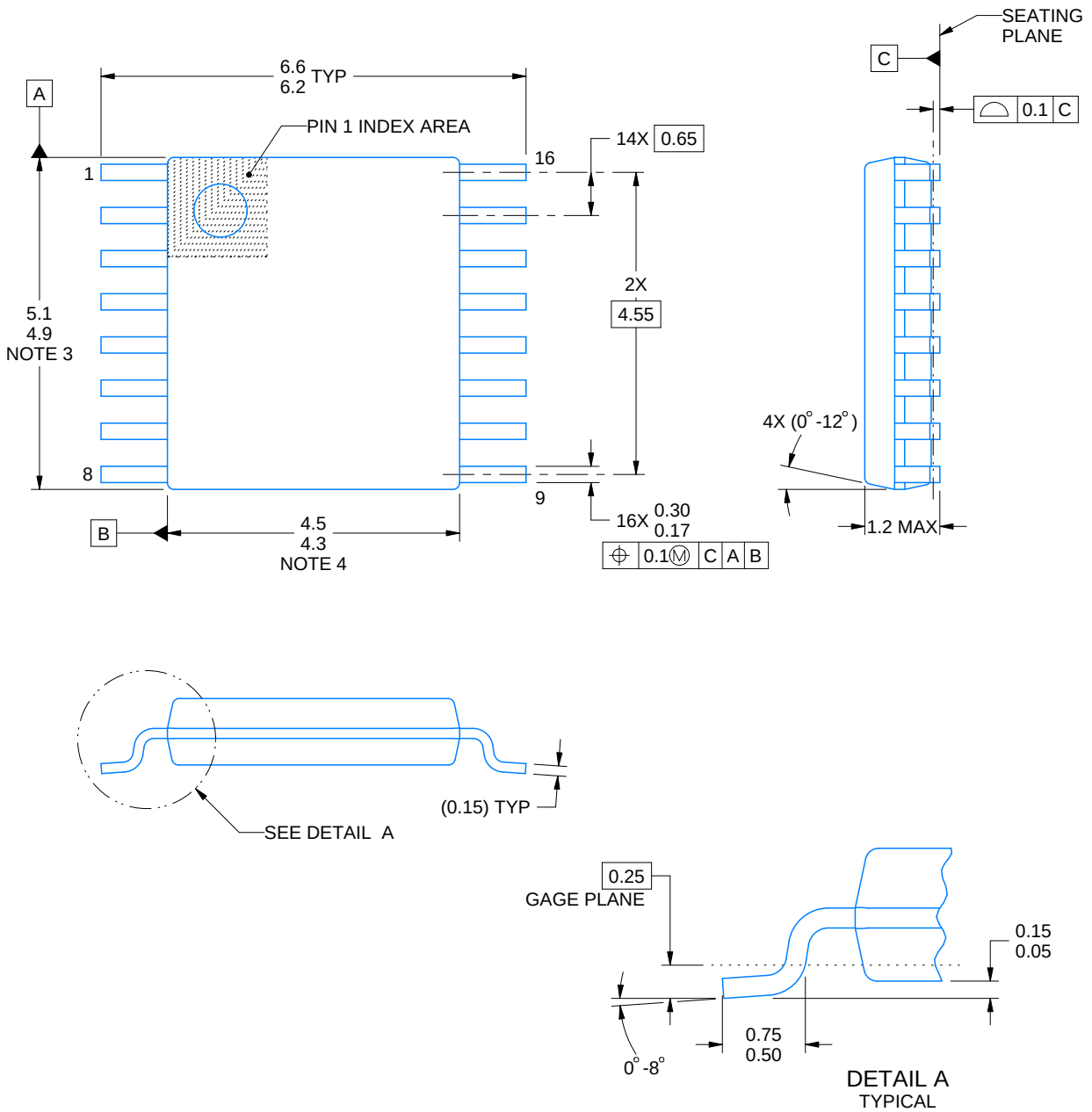
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8860APWR	TSSOP	PW	16	2000	350.0	350.0	43.0
DRV8860PWPR	HTSSOP	PWP	16	2000	350.0	350.0	43.0
DRV8860PWR	TSSOP	PW	16	2000	350.0	350.0	43.0
DRV8860PWRG4	TSSOP	PW	16	2000	350.0	350.0	43.0

PACKAGE OUTLINE

PW0016A

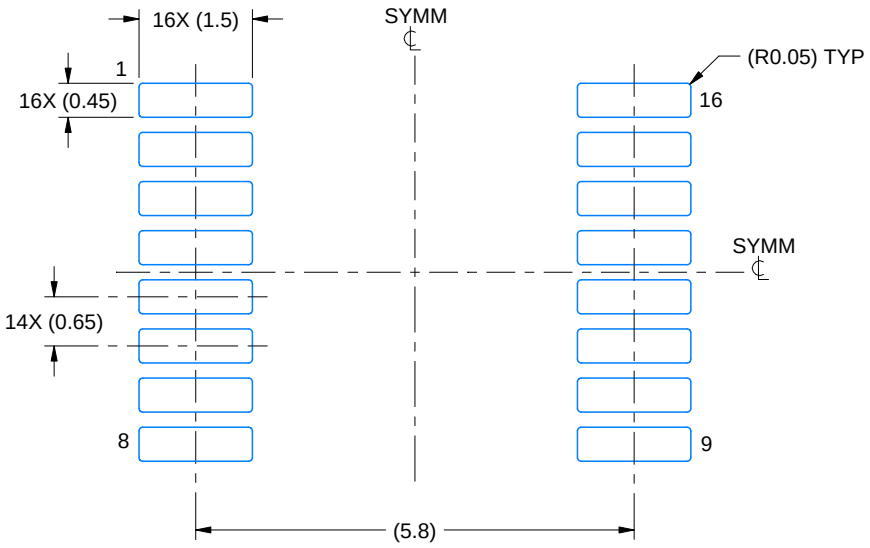
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

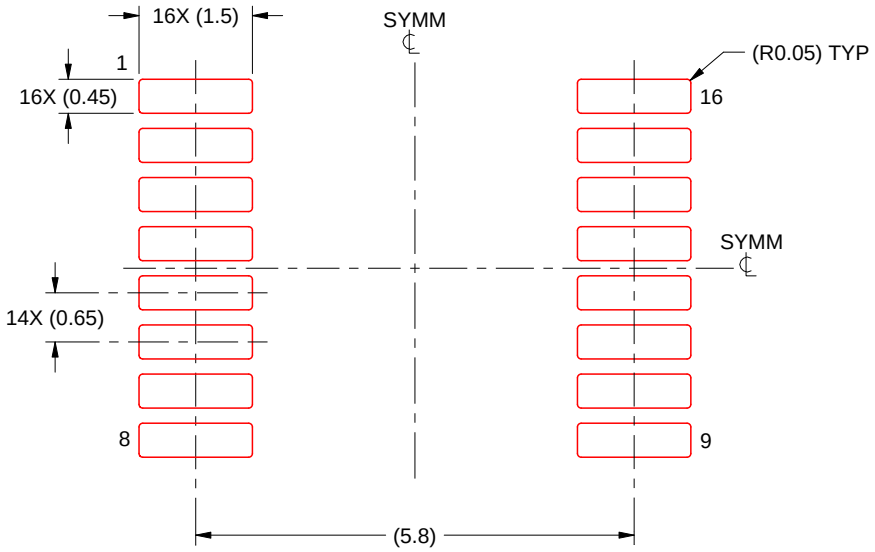


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

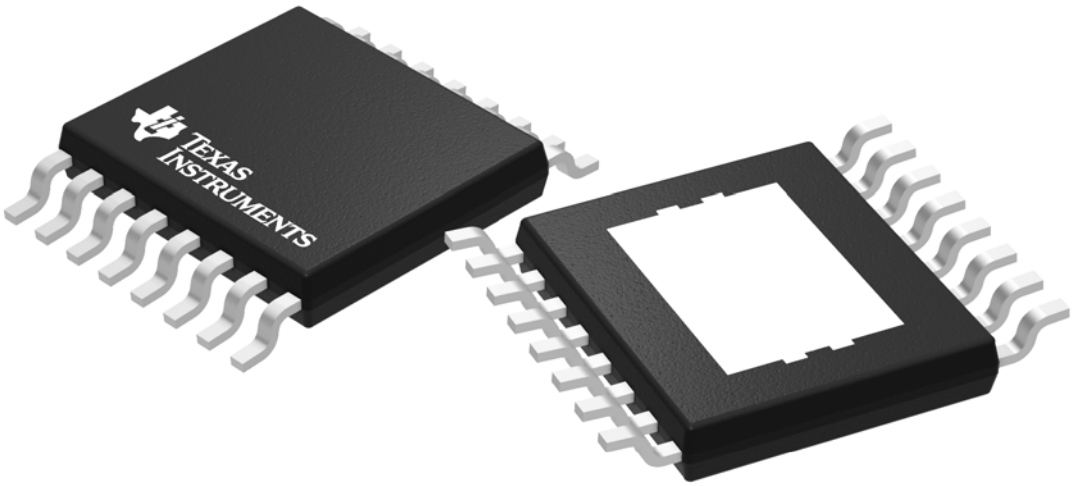
4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PWP 16 PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



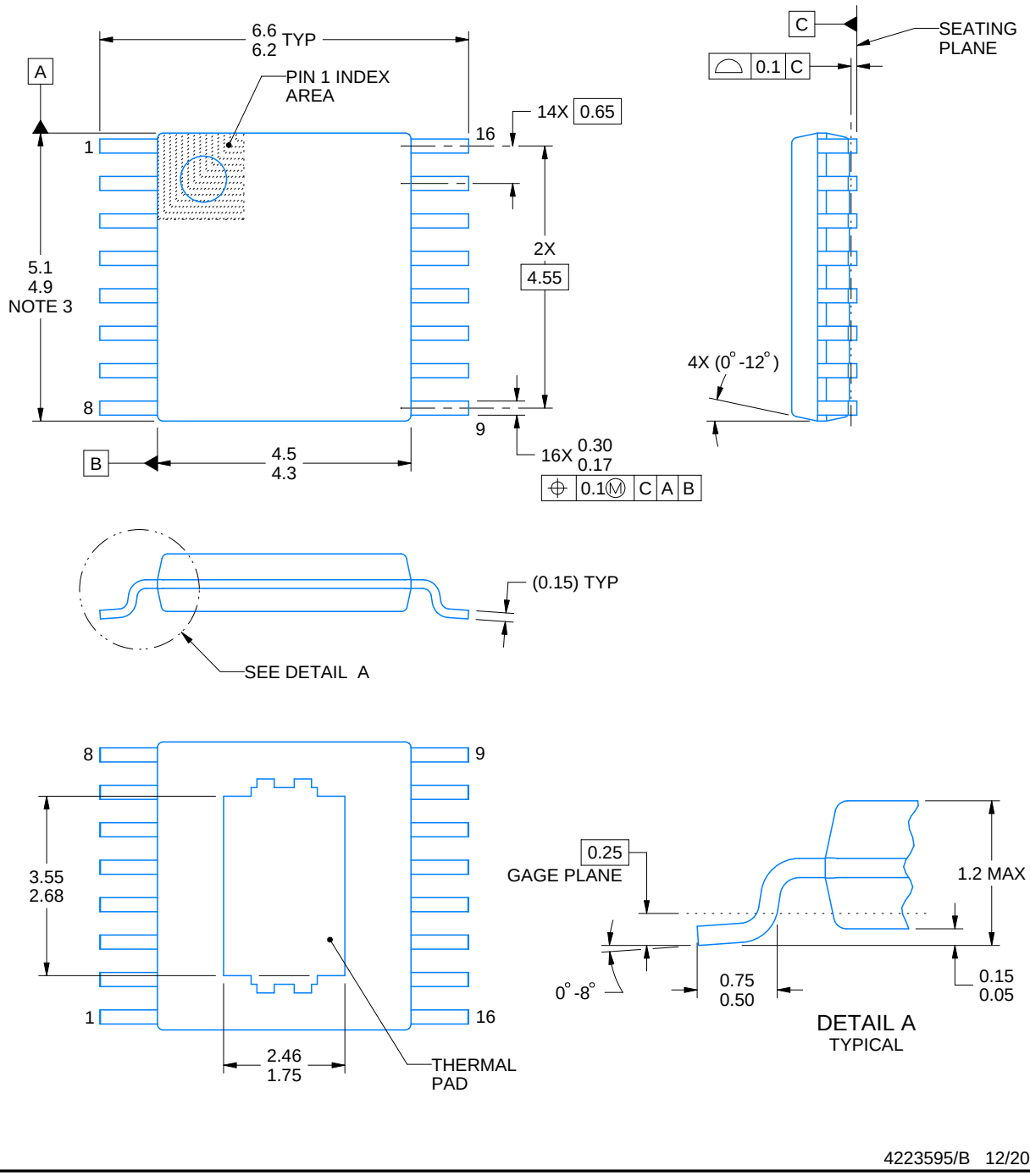
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

PACKAGE OUTLINE

PWP0016J

PowerPAD™ TSSOP - 1.2 mm max height

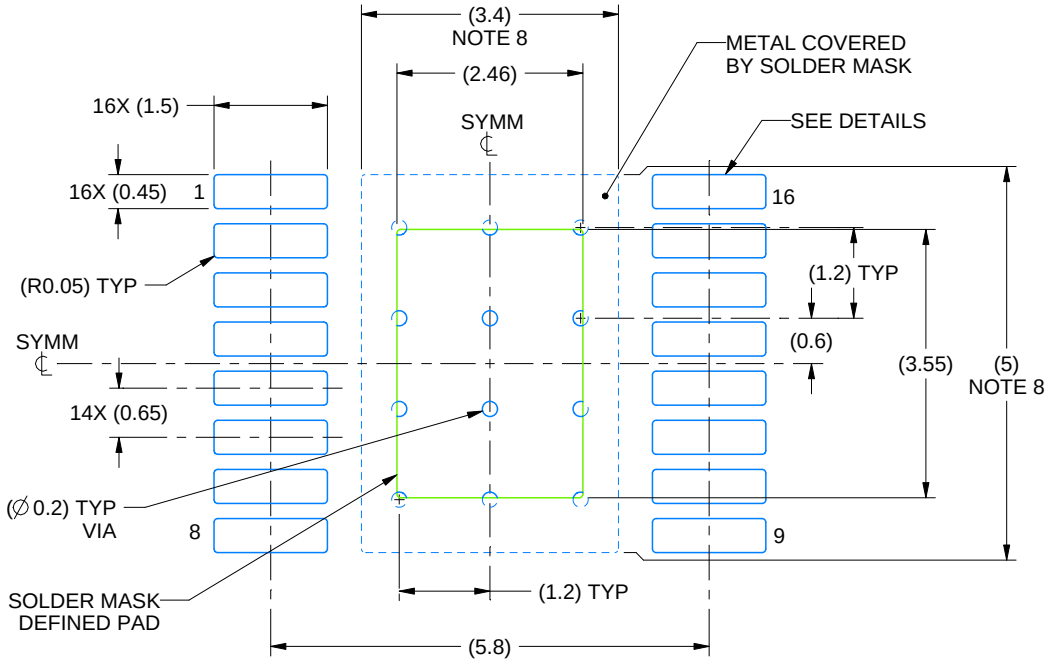
SMALL OUTLINE PACKAGE



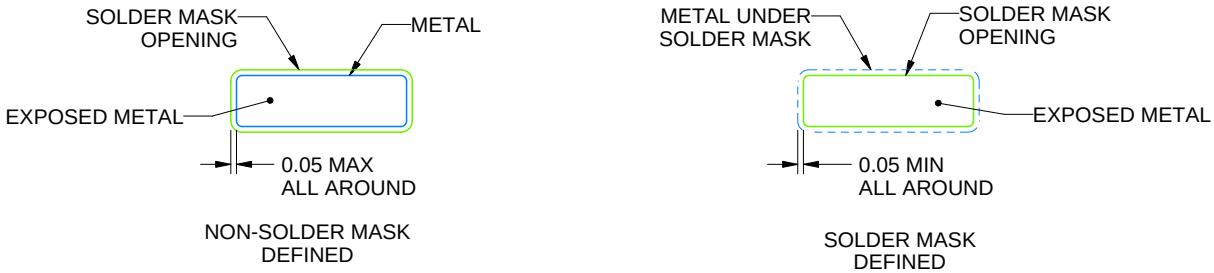
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

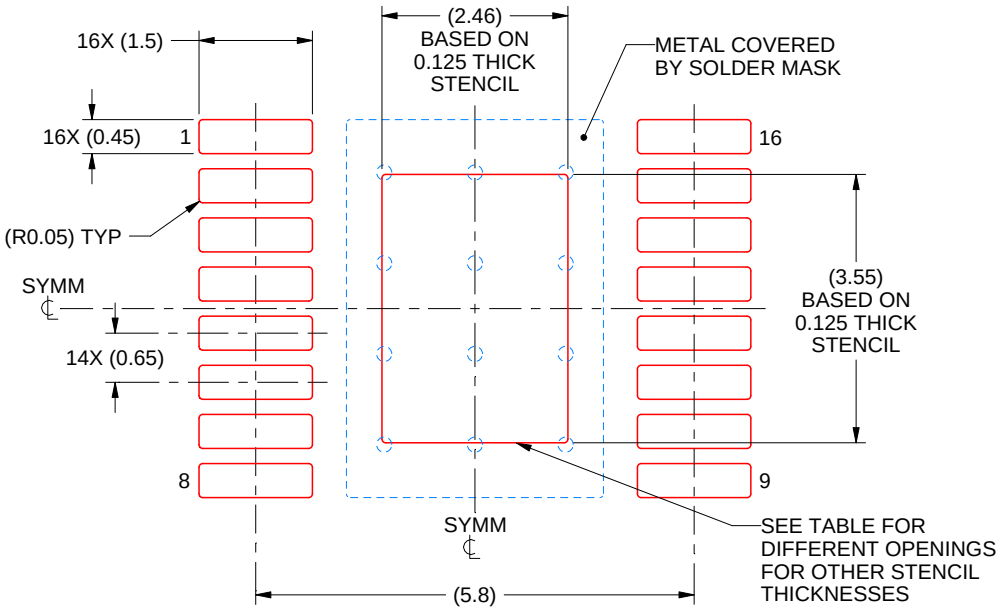


SOLDER MASK DETAILS

4223595/B 12/2023

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
8. Size of metal pad may vary due to creepage requirement.
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.75 X 3.97
0.125	2.46 X 3.55 (SHOWN)
0.15	2.25 X 3.24
0.175	2.08 X 3.00

4223595/B 12/2023

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月