

DS90CR285,DS90CR286

DS90CR285/DS90CR286 +3.3V Rising Edge Data Strobe LVDS 28-Bit Channel

Link-66 MHz



Literature Number: JAJ928

ご注意：この日本語データシートは参考資料として提供しており、内容が最新でない場合があります。製品のご検討およびご採用に際しては、必ず最新の英文データシートをご確認ください。



2000年11月

DS90CR285/DS90CR286

+ 3.3V 立ち上がりエッジ・データ・ストロープ LVDS 28-Bit Channel Link-66MHz

概要

トランスミッタの DS90CR285 は 28 ビットの LVCMOS/LVTTL データを 4 つの LVDS (Low Voltage Differential Signaling) データ・ストリームへ変換します。位相調整されたトランスミット・クロックはデータストリームとともに並列に 5 つ目の LVDS リンクにより転送されます。トランスミット・クロックのサイクル毎に 28 ビットの入力データはサンプリングされ、転送されます。レシーバの DS90CR286 は LVDS データ・ストリームを 28 ビットの LVCMOS/LVTTL データに復元します。トランスミット・クロックの周波数が 66MHz 時には、28 ビットの TTL データは LVDS1 チャンネルあたり 462Mbps のスピードになり、トータルスループットは 1.848Gbps (231Mbyte/s) で転送されます。

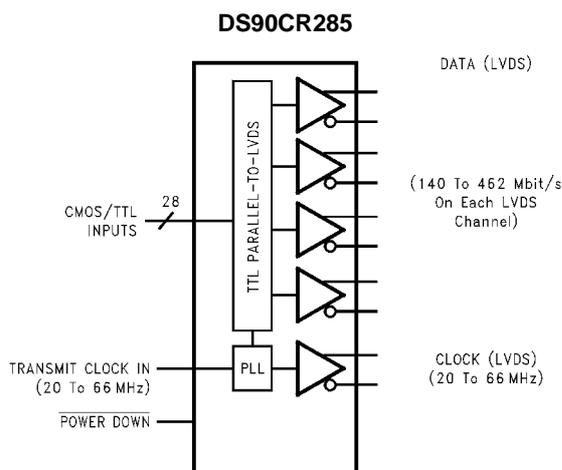
データを多重化する事により、ケーブルの線数を減少させる事ができます。シングルエンドのバスを長距離伝送する場合には、通常 1 信号線に付き 1 本のグラウンド (同時に低ノイズ耐性) を使用しています。すると、28 ビット幅のデータとクロックでは 58 本の線数が必要となります。チャンネルリンク・チップセットではたった 11 本 (4 ペアのデータ、1 ペアのクロック、1 本のグラウンド) でつながります。つまり、必要なケーブルの線数を 80%削減する事ができるわけです。このことは、コネクタのサイズとコスト、ケーブルの狭小化に伴うシールドの減少などシステムコストの低減につながります。

28 LVCMOS/LVTTL 入力は、例えば 7 × 4 ビット・ニブルや 3 × 9 ビット (バイト+パリティ) と 1 制御信号といった、種々の信号の組み合わせに対応します。

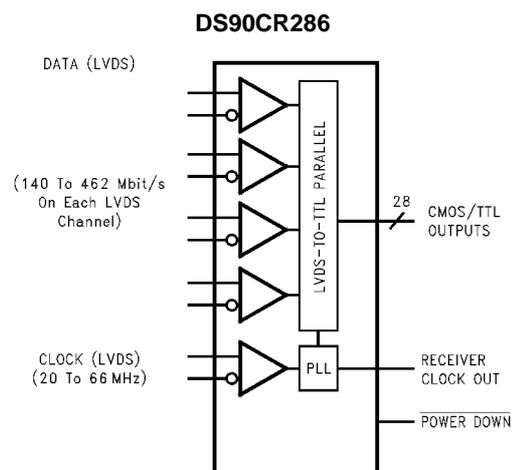
特長

- 単一 + 3.3V 電源
- 250mW 以下のチップセット (Tx + Rx) 消費電力 (typ)
- 消費電力を低減するパワーダウン・モード (< 0.5mW TOTAL)
- 231MByte/S の高速転送
- データスループット 1.848Gbit/s
- バス幅の低減によりケーブル、コネクタを小型化可能
- 低 EMI を実現する 290mV 信号振幅
- + 1V 同相電圧範囲 (約 + 1.2V)
- PLL は外付け部品不要
- 高密度実装を可能にする 56 ピン TSSOP パッケージ
- DS90CR285SLC は 64 ボール、0.8mm ファインピッチ BGA (FBGA) パッケージで供給され、DS90CR286ASLC との組合せに最適
- 立ち上がりエッジ・データ・ストロープ
- TIA/EIA-644 LVDS 標準準拠
- ESD 耐圧 7kV 以上
- 動作温度範囲 - 40 ~ + 85

ブロック図



Order Number DS90CR285MTD or DS90CR285SLC
See NS Package Number MTD56 or SLC64A

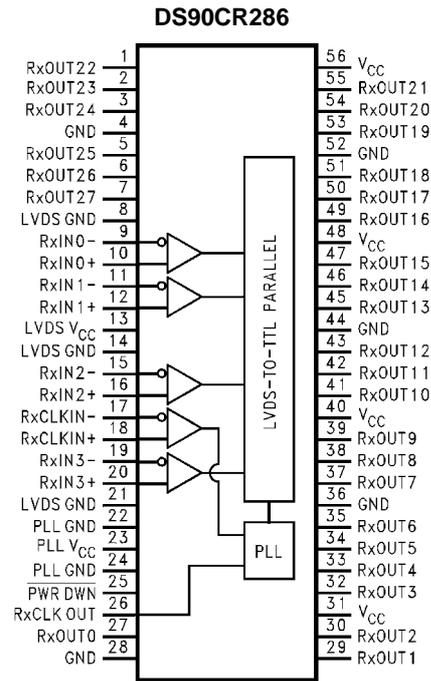
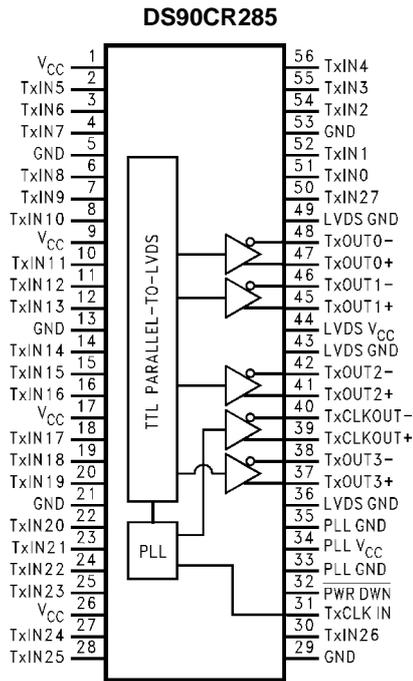


Order Number DS90CR286MTD
See NS Package Number MTD56

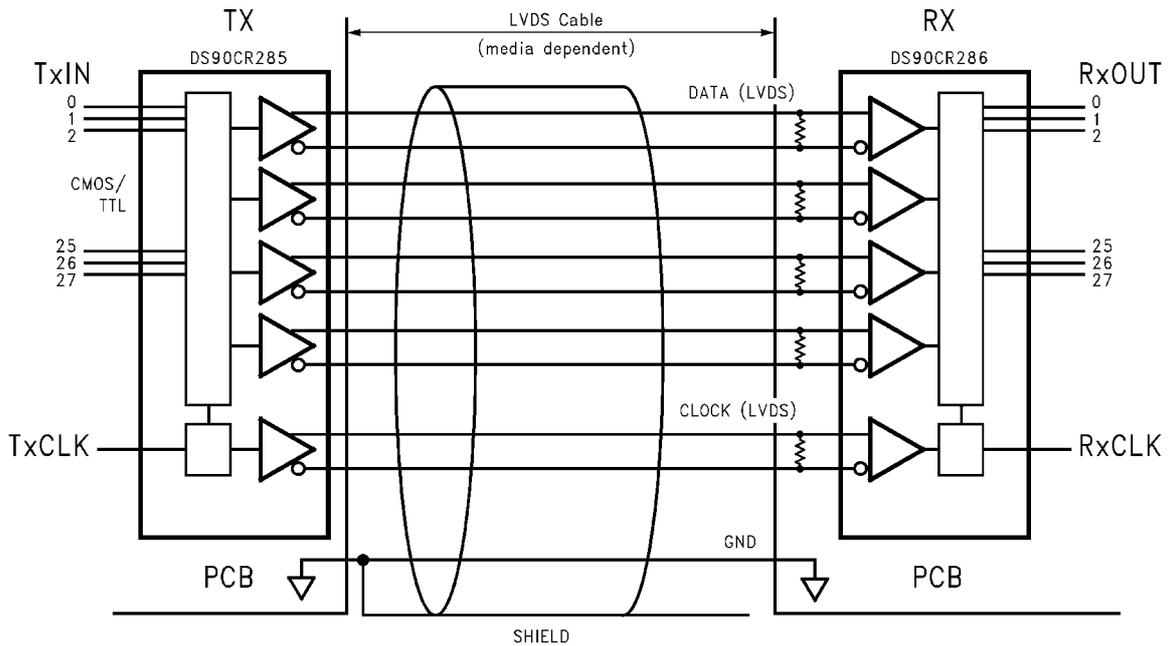
TRI-STATE® はナショナル セミコンダクター社の登録商標です。

DS90CR285/DS90CR286 + 3.3V 立ち上がりエッジ・データ・ストロープ LVDS 28-Bit Channel Link-66MHz

TSSOP パッケージのピン配置図



代表的なアプリケーション



絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照下さい。

電源電圧 (V_{CC})	- 0.3V ~ + 4V
CMOS/TTL 入力電圧	- 0.3V ~ ($V_{CC} + 0.3V$)
CMOS/TTL 出力電圧	- 0.3V ~ ($V_{CC} + 0.3V$)
LVDS レシーバ入力電圧	- 0.3V ~ ($V_{CC} + 0.3V$)
LVDS ドライバ出力電圧	- 0.3V ~ ($V_{CC} + 0.3V$)
LVDS 出力短絡時間	連続
PN 接合温度	+ 150
保存温度範囲	- 65 ~ + 150
許容リード温度 (ハンダ付け 4 秒)	+ 260
ハンダ・リフロー温度 (FBGA で 20 秒)	+ 220
最大パッケージ許容損失 (+ 25 のとき)	
DS90CR285MTD	1.63W
DS90CR285SLC	2.0W

DS90CR286MTD	1.61W
*周囲温度 + 25 を超える場合は、	
DS90CR285MTD	12.5mW/
DS90CR285SLC	10.2mW/
DS90CR286MTD	12.4mW/
を減じてください。	
ESD 耐圧	
(HBM、1.5k、100pF)	> 7 kV

推奨動作条件

	最小値	標準値	最大値	単位
電源電圧 (V_{CC})	3.0	3.3	3.6	V
動作周囲温度 (T_A)	- 40	+ 25	+ 85	
レシーバ入力電圧範囲	0		2.4	V
電源ノイズ電圧			100	mV _{PP}

電気的特性

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
LVCMOS/LVTTL DC SPECIFICATIONS						
V_{IH}	High Level Input Voltage		2.0		V_{CC}	V
V_{IL}	Low Level Input Voltage		GND		0.8	V
V_{OH}	High Level Output Voltage	$I_{OH} = - 0.4 \text{ mA}$	2.7	3.3		V
V_{OL}	Low Level Output Voltage	$I_{OL} = 2 \text{ mA}$		0.06	0.3	V
V_{CL}	Input Clamp Voltage	$I_{CL} = - 18 \text{ mA}$		- 0.79	- 1.5	V
I_{IN}	Input Current	$V_{IN} = V_{CC}, \text{GND}, 2.5V \text{ or } 0.4V$		± 5.1	± 10	μA
I_{OS}	Output Short Circuit Current	$V_{OUT} = 0V$		- 60	- 120	mA
LVDS DRIVER DC SPECIFICATIONS						
V_{OD}	Differential Output Voltage	$R_L = 100$	250	290	450	mV
V_{OD}	Change in V_{OD} between Complimentary Output States				35	mV
V_{OS}	Offset Voltage (Note 4)		1.125	1.25	1.375	V
V_{OS}	Change in V_{OS} between Complimentary Output States				35	mV
I_{OS}	Output Short Circuit Current	$V_{OUT} = 0V, R_L = 100$		- 3.5	- 5	mA
I_{OZ}	Output TRI-STATE [®] Current	$\overline{\text{PWR DWN}} = 0V,$ $V_{OUT} = 0V \text{ or } V_{CC}$		± 1	± 10	μA
LVDS RECEIVER DC SPECIFICATIONS						
V_{TH}	Differential Input High Threshold	$V_{CM} = + 1.2V$			+ 100	mV
V_{TL}	Differential Input Low Threshold		- 100			mV
I_{IN}	Input Current	$V_{IN} = + 2.4V, V_{CC} = 3.6V$			± 10	μA
		$V_{IN} = 0V, V_{CC} = 3.6V$			± 10	μA

電気的特性 (つづき)

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
TRANSMITTER SUPPLY CURRENT							
I _{CCTW}	Transmitter Supply Current Worst Case (with Loads)	R _L = 100 Ω, C _L = 5 pF, Worst Case Pattern (Figure 1, 2), T _A = - 10 to + 70	f = 32.5 MHz		31	45	mA
			f = 37.5 MHz		32	50	mA
			f = 66 MHz		37	55	mA
			R _L = 100 Ω, C _L = 5 pF, Worst Case Pattern (Figure 1, 2), T _A = - 40 to + 85	f = 40 MHz		38	51
		f = 66 MHz		42	55	mA	
I _{CCTZ}	Transmitter Supply Current Power Down	PWR DWN = Low Driver Outputs in TRI-STATE under Powerdown Mode		10	55	μA	

RECEIVER SUPPLY CURRENT

I _{CCRW}	Receiver Supply Current Worst Case	C _L = 8 pF, Worst Case Pattern (Figure 1, 3), T _A = - 10 to + 70	f = 32.5 MHz		49	65	mA
			f = 37.5 MHz		53	70	mA
			f = 66 MHz		78	105	mA
			C _L = 8 pF, Worst Case Pattern (Figure 1, 3), T _A = - 40 to + 85	f = 40 MHz		55	82
		f = 66 MHz		78	105	mA	
I _{CCRZ}	Receiver Supply Current Power Down	PWR DWN = Low Receiver Outputs Stay Low during Powerdown Mode		10	55	μA	

Note 1: 「絶対最大定格」とは、この範囲を超えるとデバイスの安全性が保証されないリミット値をいい、これらのリミット値でデバイスが動作することを意味するものではありません。電気的特性の表にデバイスの実動作条件を記載しています。

Note 2: 代表値 (Typ) は全て V_{CC} = 3.3V、および T_A = + 25 で得られる最も標準的な数値です。

Note 3: デバイス端子に流れ込む電流は正、デバイス端子から流れ出る電流は負と定義されます。V_{OD}と V_{OD}以外、全ての電圧値はグラウンド端子を基準とします。

Note 4: V_{OS} は以前は V_{CM} と表記されていました。

トランスミッタスイッチング特性

特記のない限り、推奨動作電源電圧範囲および - 40 ~ + 85 に対して適用。

Symbol	Parameter	Min	Typ	Max	Units	
LLHT	LVDS Low-to-High Transition Time (Figure 2)		0.5	1.5	ns	
LHLT	LVDS High-to-Low Transition Time (Figure 2)		0.5	1.5	ns	
TCIT	TxCLK IN Transition Time (Figure 4)			5	ns	
TCCS	TxOUT Channel-to-Channel Skew (Figure 5)		250		ps	
TPPos0	Transmitter Output Pulse Position for Bit0 (Note7) (Figure 16)	f = 40 MHz	- 0.4	0	0.4	ns
TPPos1	Transmitter Output Pulse Position for Bit1		3.1	3.3	4.0	ns
TPPos2	Transmitter Output Pulse Position for Bit2		6.5	6.8	7.6	ns
TPPos3	Transmitter Output Pulse Position for Bit3		10.2	10.4	11.0	ns
TPPos4	Transmitter Output Pulse Position for Bit4		13.7	13.9	14.6	ns
TPPos5	Transmitter Output Pulse Position for Bit5		17.3	17.6	18.2	ns
TPPos6	Transmitter Output Pulse Position for Bit6		21.0	21.2	21.8	ns

トランスミッタスイッチング特性 (つづき)

特記のない限り、推奨動作電源電圧範囲および - 40 ~ + 85 に対して適用。

Symbol	Parameter	Min	Typ	Max	Units	
TPPos0	Transmitter Output Pulse Position for Bit0 (Note 6) (Figure 16)	f = 66 MHz	- 0.4	0	0.3	ns
TPPos1	Transmitter Output Pulse Position for Bit1		1.8	2.2	2.5	ns
TPPos2	Transmitter Output Pulse Position for Bit2		4.0	4.4	4.7	ns
TPPos3	Transmitter Output Pulse Position for Bit3		6.2	6.6	6.9	ns
TPPos4	Transmitter Output Pulse Position for Bit4		8.4	8.8	9.1	ns
TPPos5	Transmitter Output Pulse Position for Bit5		10.6	11.0	11.3	ns
TPPos6	Transmitter Output Pulse Position for Bit6		12.8	13.2	13.5	ns
TCIP	TxCLK IN Period (Figure 6)	15	T	50	ns	
TCIH	TxCLK IN High Time (Figure 6)	0.35T	0.5T	0.65T	ns	
TCIL	TxCLK IN Low Time (Figure 6)	0.35T	0.5T	0.65T	ns	
TSTC	TxIN Setup to TxCLK IN (Figure 6)	2.5			ns	
THTC	TxIN Hold to TxCLK IN (Figure 6)	0			ns	
TCCD	TxCLK IN to TxCLK OUT Delay @ 25 °C, V _{CC} = 3.3V (Figure 8)	3	3.7	5.5	ns	
TPLLS	Transmitter Phase Lock Loop Set (Figure 10)			10	ms	
TPDD	Transmitter Powerdown Delay (Figure 14)			100	ns	

レシーバスイッチング特性

特記のない限り、推奨動作電源電圧範囲および - 40 ~ + 85 に対して適用。

Symbol	Parameter	Min	Typ	Max	Units	
CLHT	CMOS/TTL Low-to-High Transition Time (Figure 3)		2.2	5.0	ns	
CHLT	CMOS/TTL High-to-Low Transition Time (Figure 3)		2.2	5.0	ns	
RSPos0	Receiver Input Strobe Position for Bit 0 (Note 7)(Figure 17)	f = 40 MHz	1.0	1.4	2.15	ns
RSPos1	Receiver Input Strobe Position for Bit 1		4.5	5.0	5.8	ns
RSPos2	Receiver Input Strobe Position for Bit 2		8.1	8.5	9.15	ns
RSPos3	Receiver Input Strobe Position for Bit 3		11.6	11.9	12.6	ns
RSPos4	Receiver Input Strobe Position for Bit 4		15.1	15.6	16.3	ns
RSPos5	Receiver Input Strobe Position for Bit 5		18.8	19.2	19.9	ns
RSPos6	Receiver Input Strobe Position for Bit 6		22.5	22.9	23.6	ns
RSPos0	Receiver Input Strobe Position for Bit 0 (Note 6)(Figure 17)	f = 66 MHz	0.7	1.1	1.4	ns
RSPos1	Receiver Input Strobe Position for Bit 1		2.9	3.3	3.6	ns
RSPos2	Receiver Input Strobe Position for Bit 2		5.1	5.5	5.8	ns
RSPos3	Receiver Input Strobe Position for Bit 3		7.3	7.7	8.0	ns
RSPos4	Receiver Input Strobe Position for Bit 4		9.5	9.9	10.2	ns
RSPos5	Receiver Input Strobe Position for Bit 5		11.7	12.1	12.4	ns
RSPos6	Receiver Input Strobe Position for Bit 6		13.9	14.3	14.6	ns
RSKM	RxIN Skew Margin (Note 5) (Figure 18)	f = 40 MHz	490		ps	
		f = 66 MHz	400		ps	
RCOP	RxCLK OUT Period (Figure 7)		15	T	50	ns
RCOH	RxCLK OUT High Time (Figure 7)	f = 40 MHz	6.0	10.0		ns
		f = 66 MHz	4.0	6.1		ns

レシーバスイッチング特性 (つづき)

特記のない限り、推奨動作電源電圧範囲および - 40 ~ + 85 に対して適用。

Symbol	Parameter	Min	Typ	Max	Units	
RCOL	RxCLK OUT Low Time (Figure 7)	f = 40 MHz	10.0	13.0		ns
		f = 66 MHz	6.0	7.8		ns
RSRC	RxOUT Setup to RxCLK OUT (Figure 7)	f = 40 MHz	6.5	14.0		ns
		f = 66 MHz	2.5	8.0		ns
RHRC	RxOUT Hold to RxCLK OUT (Figure 7)	f = 40 MHz	6.0	8.0		ns
		f = 66 MHz	2.5	4.0		ns
RCCD	RxCLK IN to RxCLK OUT Delay (Figure 9)	f = 40 MHz	4.0	6.7	8.0	ns
		f = 66 MHz	5.0	6.6	9.0	ns
RPLLS	Receiver Phase Lock Loop Set (Figure 11)			10	ms	
RPDD	Receiver Powerdown Delay (Figure 15)			1	μs	

Note 5: レシーバ・スキュー・マージンはレシーバ入力でのサンプリングに必要な有効データ範囲と定義されます。このマージンはトランスミッタ・パルス・ポジション (TPPos min と max) とレシーバの入力セットアップ / ホールドタイム (内部データサンプリング長 - RSPos) により導き出されています。このマージンは LVDS 配線スキュー、ケーブル・スキュー (タイプと長さにより異なります。) とクロック・ジッタ (250ps) により減少します。

Note 6: 上限および下限値は、理想的な位置から - 400ps / + 300ps シフトした最悪のビットに基づいています。

Note 7: 上限および下限値は、LVDS データ・ストリーム内にある各 7 ビットの実際のビット位置に基づいています。

AC タイミング図

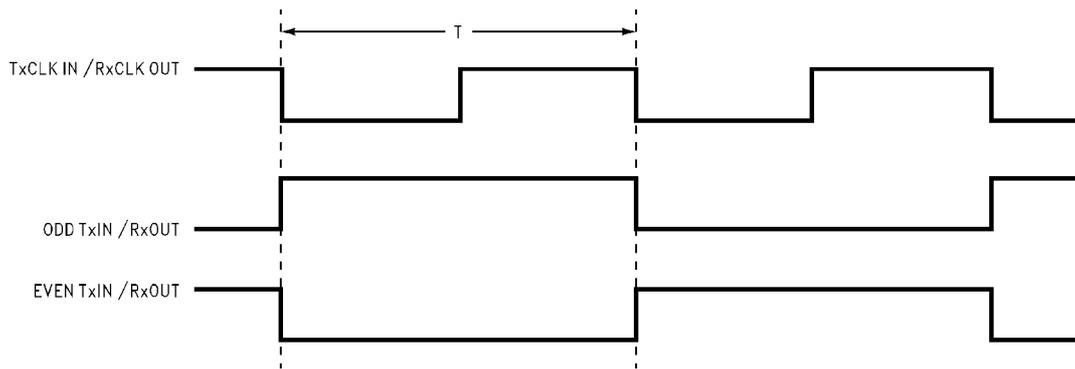


FIGURE 1. "Worst Case" Test Pattern

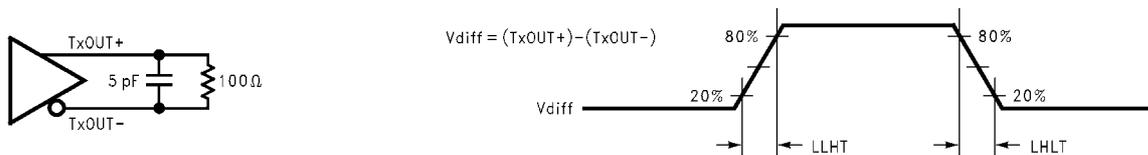


FIGURE 2. DS90CR285 (Transmitter) LVDS Output Load and Transition Times

AC タイミング図 (つづき)

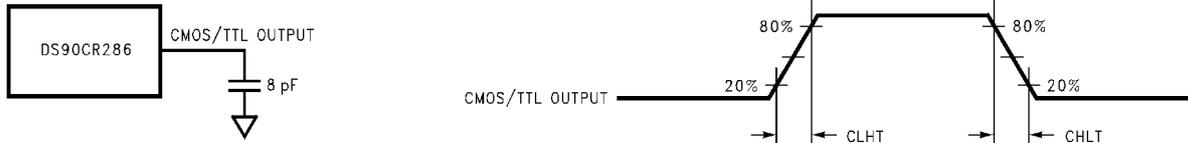


FIGURE 3. DS90CR286 (Receiver) CMOS/TTL Output Load and Transition Times

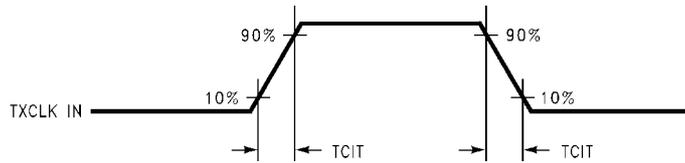
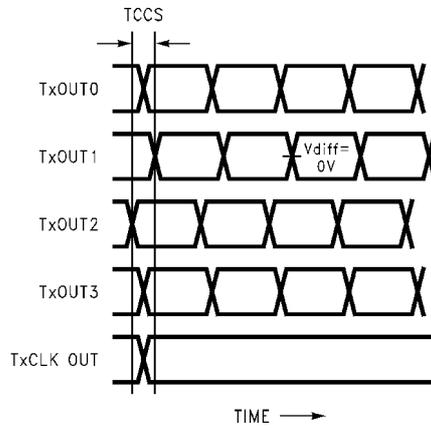


FIGURE 4. DS90CR285 (Transmitter) Input Clock Transition Time



Note 8: $V_{DIFF} = 0V$ で測定。

Note 9: TCCS は最初の LVDS エッジの最も早いエッジと最も遅いエッジで測定されます。

Note 10: TxCLK ディファレンシャル出力のうち Low から High のエッジを測定。

FIGURE 5. DS90CR285 (Transmitter) Channel-to-Channel Skew

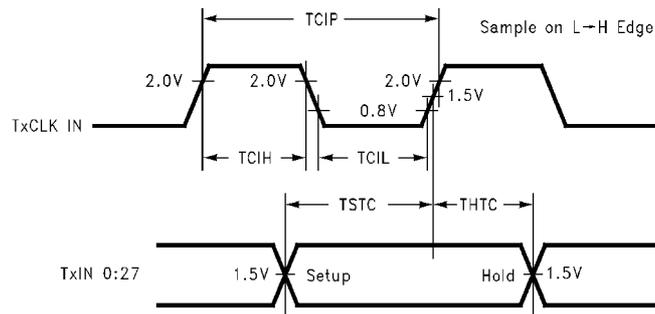


FIGURE 6. DS90CR285 (Transmitter) Setup/Hold and High/Low Times

AC タイミング図 (つづき)

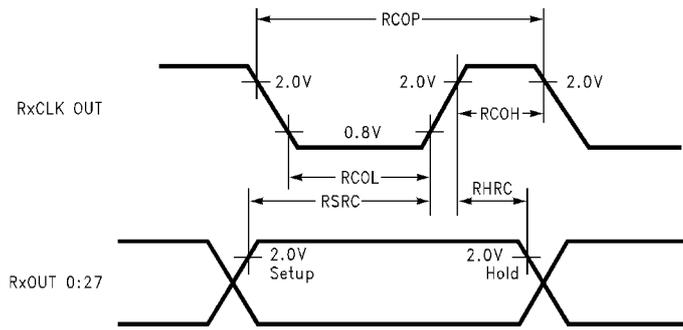


FIGURE 7. DS90CR286 (Receiver) Setup/Hold and High/Low Times

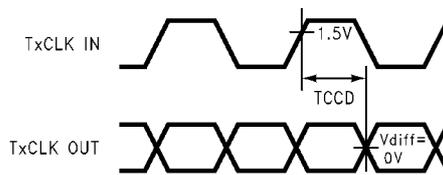


FIGURE 8. DS90CR285 (Transmitter) Clock In to Clock Out Delay

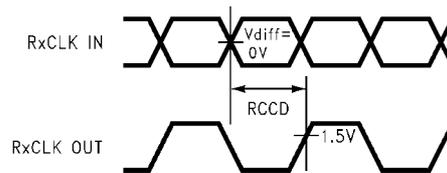


FIGURE 9. DS90CR286 (Receiver) Clock In to Clock Out Delay

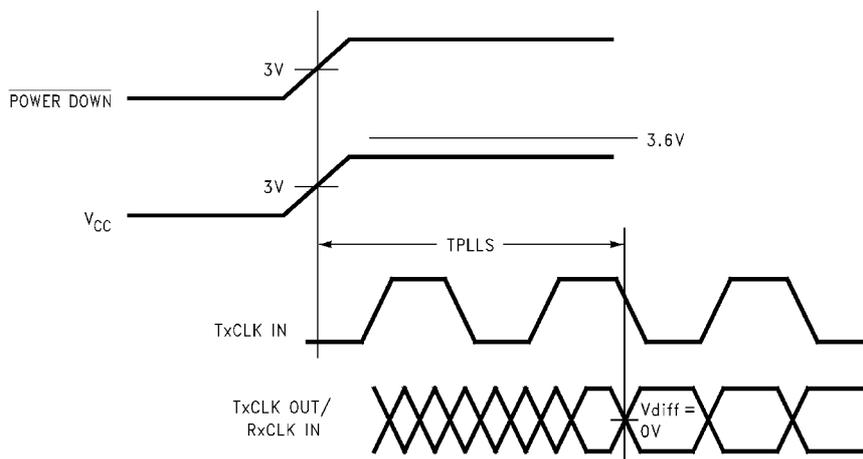


FIGURE 10. DS90CR285 (Transmitter) Phase Lock Loop Set Time

AC タイミング図 (つぎ)

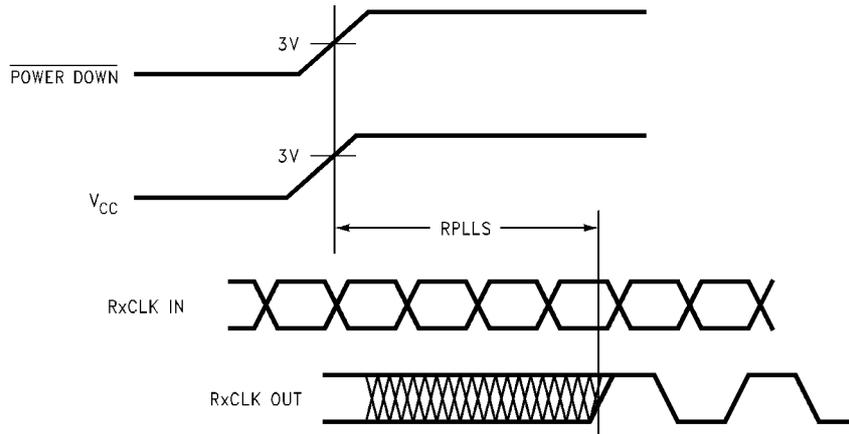


FIGURE 11. DS90CR286 (Receiver) Phase Lock Loop Set Time

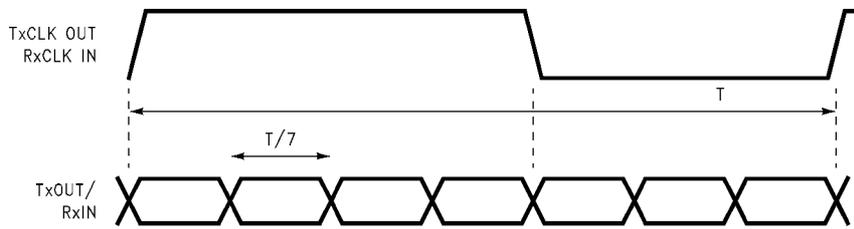


FIGURE 12. Seven Bits of LVDS in Once Clock Cycle

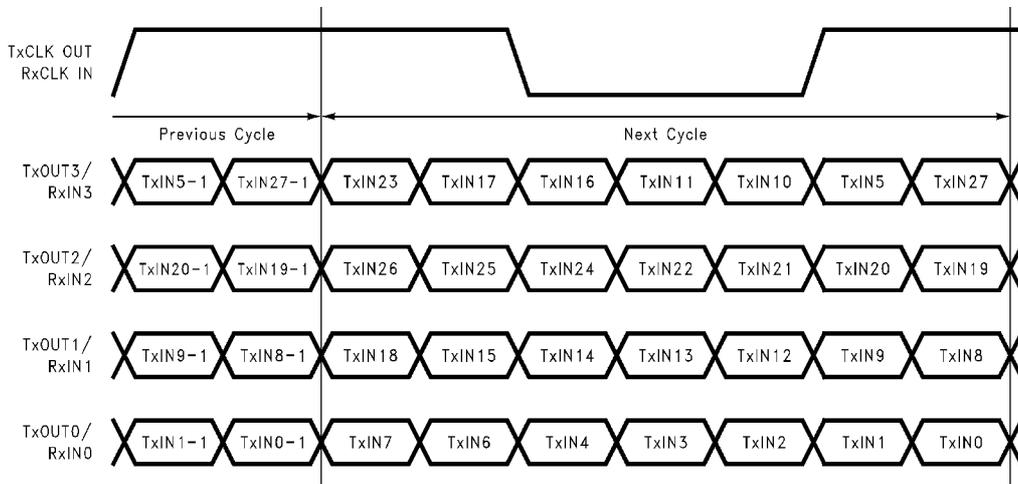


FIGURE 13. 28 Parallel TTL Data Inputs Mapped to LVDS Outputs

AC タイミング図 (つづき)

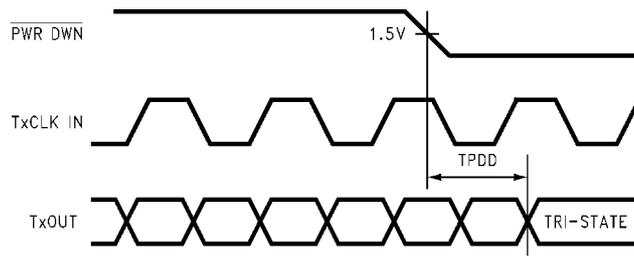


FIGURE 14. Transmitter Powerdown Delay

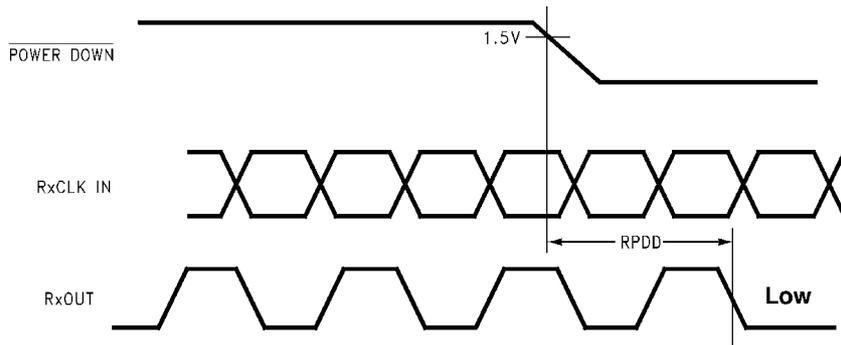


FIGURE 15. Receiver Powerdown Delay

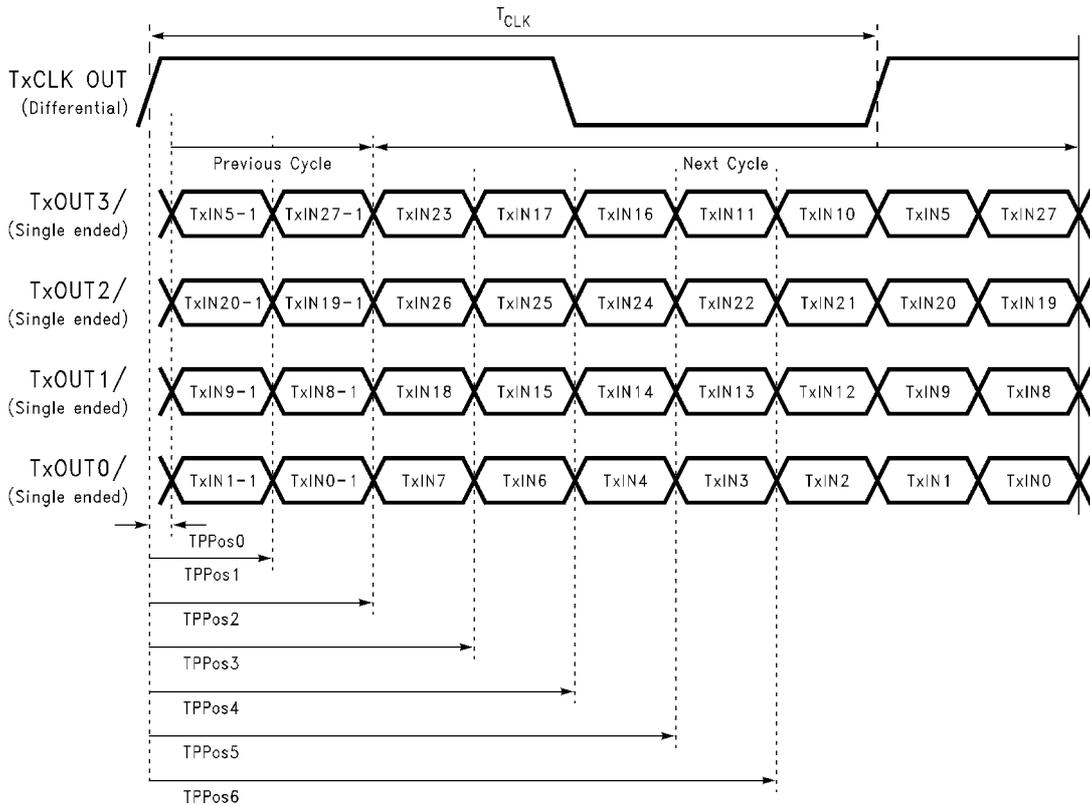


FIGURE 16. Transmitter LVDS Output Pulse Position Measurement

AC タイミング図 (つづき)

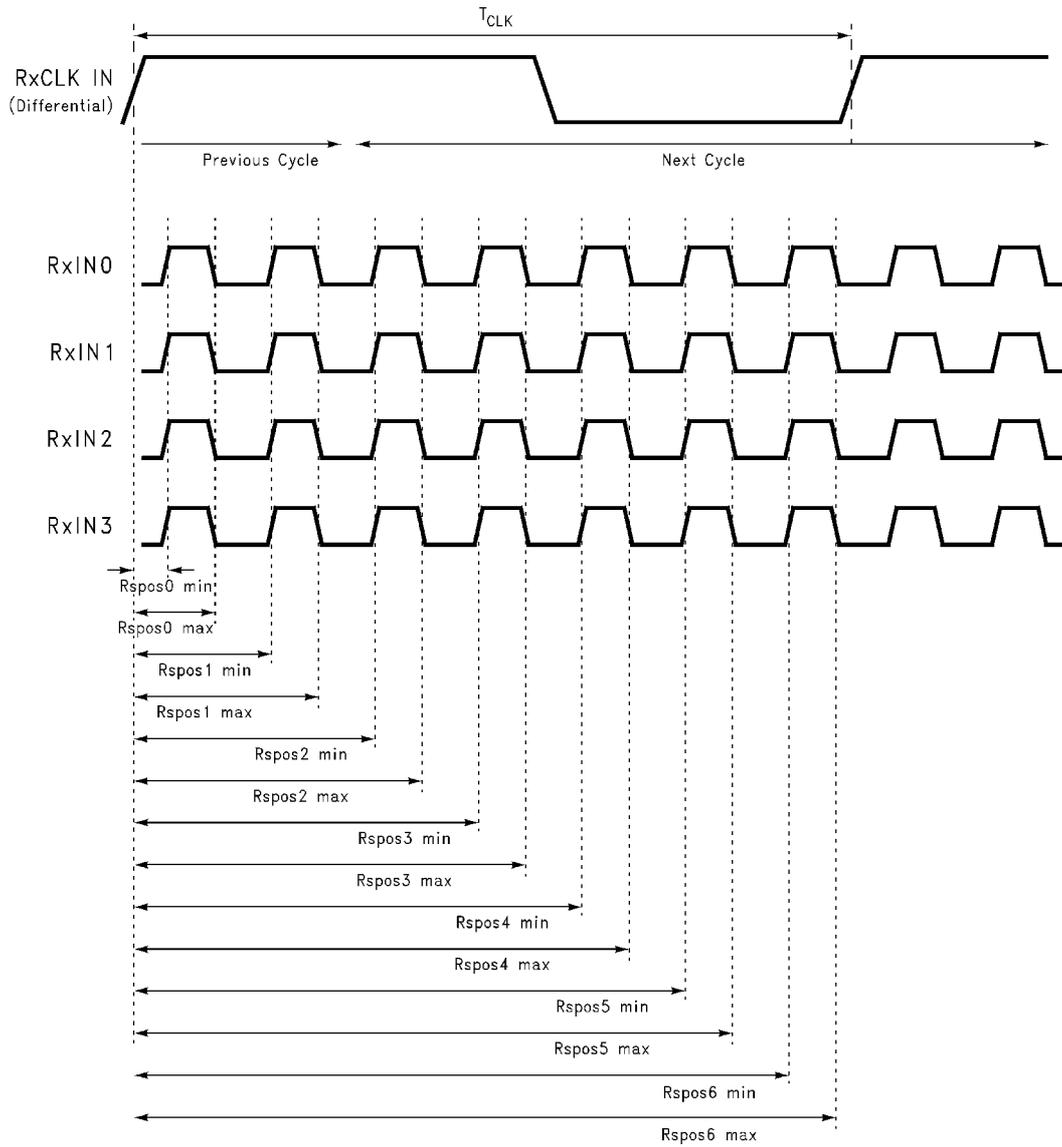
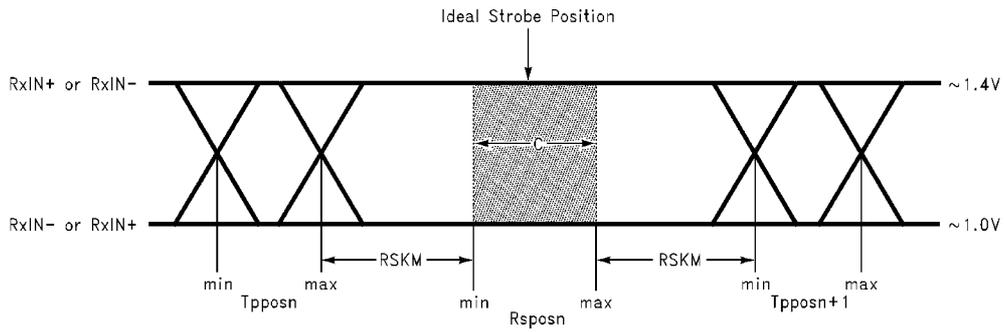


FIGURE 17. Receiver LVDS Input Strobe Position

AC タイミング図 (つづき)



C セットアップ / ホールドタイム (内部データサンプリング長) は Rspesn (レシーバ入力クロック・ポジション) min と max により定義されます。

Tpposn トランスミッタ出力パルス・ポジション (min と max)

RSKM ケーブル・スキュー + ソース・クロック・ジッタ (連続する2クロック間) (Note 11) + ISI (伝送波形干渉) (Note 12)

ケーブル・スキュー - 通常 10 ~ 40ps/300mm、ケーブルにより異なります。

Note 11: ジッタは 250ps 以下にしてください。

Note 12: ISI は内部配線によります。

FIGURE 18. Receiver LVDS Input Skew Margin

端子説明

DS90CR285 MTD56 (TSSOP) パッケージ端子説明 - チャネル・リンク・トランスミッタ

端子名	I/O	No.	説明
TxIN	I	28	TTL レベル入力。
TxOUT +	O	4	正の LVDS 差動データ出力
TxOUT -	O	4	負の LVDS 差動データ出力
TxCLK IN	I	1	TTL レベルのクロック入力。立ち上がりエッジがデータ取り込みに使用されます。端子名は TxCLK IN です。
TxCLK OUT +	O	1	正の LVDS 差動クロック出力
TxCLK OUT -	O	1	負の LVDS 差動クロック出力
PWR DWN	I	1	TTL レベル入力。入力が Low にアサートされると、出力は TRI-STATE になり、パワー・ダウン時に低電流となります。
V _{CC}	I	4	TTL 入力用の電源ピン
GND	I	5	TTL 入力用のグラウンド・ピン
PLL V _{CC}	I	1	PLL 用の電源ピン
PLL GND	I	2	PLL 用のグラウンド・ピン
LVDS V _{CC}	I	1	LVDS 出力用の電源ピン
LVDS GND	I	3	LVDS 出力用のグラウンド・ピン

DS90CR285 SLC64A (FBGA) パッケージ端子要約 チャネル・リンク・トランスミッタ

端子名	I/O	No.	説明
TxIN	I	28	TTL レベル入力。
TxOUT +	O	4	正の LVDS 差動データ出力
TxOUT -	O	4	負の LVDS 差動データ出力
TxCLKIN	I	1	TTL レベルのクロック入力。立ち上がりエッジがデータ取り込みに使用されます。端子名は TxCLK IN です。
TxCLK OUT +	O	1	正の LVDS 差動クロック出力
TxCLK OUT -	O	1	負の LVDS 差動クロック出力
PWR DWN	I	1	TTL レベル入力。入力が Low にアサートされると、出力は TRI-STATE になり、パワー・ダウン時に低電流となります。
V _{CC}	I	4	TTL 入力用の電源ピン

端子説明 (つづき)

DS90CR285 SLC64A (FBGA) パッケージ端子要約 チャンネル・リンク・トランスミッタ (つづき)

端子名	I/O	No.	説明
GND	I	5	TTL 入力用のグラウンド・ピン
PLL V _{CC}	I	1	PLL 用の電源ピン
PLL GND	I	2	PLL 用のグラウンド・ピン
LVDS V _{CC}	I	2	LVDS 出力用の電源ピン
LVDS GND	I	4	LVDS 出力用のグラウンド・ピン
NC		6	未接続

DS90CR285 SLC64A (FBGA) パッケージ端子説明 チャンネル・リンク・トランスミッタ

端子別			端子タイプ別		
端子	端子名	タイプ	端子	端子名	タイプ
A1	TxIN27	I	D3	GND	G
A2	TxOUT0 -	O	E4	GND	G
A3	TxOUT0 +	O	E8	GND	G
A4	LVDS VCC	P	G1	GND	G
A5	LVDS VCC	P	G6	GND	G
A6	TxCLK OUT -	O	B3	LVDS GND	G
A7	TxCLK OUT +	O	B4	LVDS GND	G
A8	TxOUT3 +	O	B7	LVDS GND	G
B1	TxIN1	I	D5	LVDS GND	G
B2	TxIN0	I	C6	PLL GND	G
B3	LVDS GND	G	D6	PLL GND	G
B4	LVDS GND	G	D7	PWR DWN	I
B5	TxOUT2 -	O	C8	TxCLK IN	I
B6	TxOUT3 -	O	B2	TxIN0	I
B7	LVDS GND	G	B1	TxIN1	I
B8	NC		D2	TxIN2	I
C1	TxIN3	I	C1	TxIN3	I
C2	NC		D1	TxIN4	I
C3	NC		F1	TxIN5	I
C4	TxOUT1 -	O	E2	TxIN6	I
C5	TxOUT2 +	O	E3	TxIN7	I
C6	PLL GND	G	G2	TxIN8	I
C7	PLL VCC	P	H1	TxIN9	I
C8	TxCLK IN	I	G3	TxIN10	I
D1	TxIN4	I	H3	TxIN11	I
D2	TxIN2	I	F4	TxIN12	I
D3	GND	G	G4	TxIN13	I
D4	TxOUT1 +	O	H4	TxIN14	I
D5	LVDS GND	G	H5	TxIN15	I
D6	PLL GND	G	E5	TxIN16	I
D7	PWR DWN	I	F5	TxIN17	I
D8	TxIN26	I	H6	TxIN18	I
E1	VCC	P	H7	TxIN19	I
E2	TxIN6	I	H8	TxIN20	I

端子説明 (つづき)

DS90CR285 SLC64A (FBGA) パッケージ端子説明 チャンネル・リンク・トランスミッタ (つづき)

端子別			端子タイプ別		
E3	TxIN7	I	G7	TxIN21	I
E4	GND	G	F7	TxIN22	I
E5	TxIN16	I	G8	TxIN23	I
E6	VCC	P	E7	TxIN24	I
E7	TxIN24	I	F8	TxIN25	I
E8	GND	G	D8	TxIN26	I
F1	TxIN5	I	A1	TxIN27	I
F2	NC		A6	TxCLK OUT -	O
F3	NC		A7	TxCLK OUT +	O
F4	TxIN12	I	A2	TxOUT0 -	O
F5	TxIN17	I	A3	TxOUT0 +	O
F6	NC		C4	TxOUT1 -	O
F7	TxIN22	I	D4	TxOUT1 +	O
F8	TxIN25	I	B5	TxOUT2 -	O
G1	GND	G	C5	TxOUT2 +	O
G2	TxIN8	I	B6	TxOUT3-	O
G3	TxIN10	I	A8	TxOUT3 +	O
G4	TxIN13	I	A4	LVDS VCC	P
G5	VCC	P	A5	LVDS VCC	P
G6	GND	G	C7	PLL VCC	P
G7	TxIN21	I	E1	VCC	P
G8	TxIN23	I	E6	VCC	P
H1	TxIN9	I	G5	VCC	P
H2	VCC	P	H2	VCC	P
H3	TxIN11	I	B8	NC	
H4	TxIN14	I	C2	NC	
H5	TxIN15	I	C3	NC	
H6	TxIN18	I	F2	NC	
H7	TxIN19	I	F3	NC	
H8	TxIN20	I	F6	NC	

G : グラウンド
I : 入力
O : 出力
P : 電源
NC : 未接続

DS90CR286 MTD56 (TSSOP) パッケージ端子説明 - チャンネル・リンク・レシーバ

端子名	I/O	No.	説明
RxIN +	I	4	正の LVDS 差動データ入力
RxIN -	I	4	負の LVDS 差動データ入力
RxOUT	O	28	TTL レベルデータ出力。
RxCLK IN +	I	1	正の LVDS 差動クロック入力
RxCLK IN -	I	1	負の LVDS 差動クロック入力
RxCLK OUT	O	1	TTL レベルのクロック出力。立ち上がりエッジがデータ取り込みに使用されます。端子名は RxCLK OUT です。
PWR DWN	I	1	TTL レベル入力。入力が Low にアサートされると、レシーバ出力は Low になります。

端子説明 (つづき)

DS90CR286 MTD56 (TSSOP) パッケージ端子説明 - チャネル・リンク・レシーバ (つづき)

端子名	I/O	No.	説明
V _{CC}	I	4	TTL 出力用の電源ピン
GND	I	5	TTL 出力用のグラウンド・ピン
PLL V _{CC}	I	1	PLL 用の電源ピン
PLL GND	I	2	PLL 用のグラウンド・ピン
LVDS V _{CC}	I	1	LVDS 入力用の電源ピン
LVDS GND	I	3	LVDS 入力用のグラウンド・ピン

アプリケーション情報

チャネルリンクはいろいろなデータ送受信システムでの使用を目的に開発されました。システムにより接続する部材は異なります。例えば低速でかつケーブル長も短い (2m) 場合には、部材の電気的性能はさほど重要とはなりません。高速かつ長距離のアプリケーションでは部材の性能が重要となります。実際、ケーブルの構成によりスキュー (ペア間における接続点間の電気的な線長差) を低減する事ができます。例えば、TWIN-COAX では 5m で 1.38Gbit/s の伝送実績があります。より詳しい内容については以下のアプリケーション・ノートを参照ください。

AN = #####	Topic
AN-1041	Introduction to Channel Link
AN-1108	Channel Link PCB and Interconnect Design-In Guidelines
AN-806	Transmission Line Theory
AN-905	Transmission Line Calculations and Differential Impedance
AN-916	Cable Information

ケーブル : トランスミッタとレシーバのインタフェースに用いられている差動の LVDS 信号はケーブルにより伝送されます。21 ビット・チャネルリンク・チップセット (DS90CR215/216) では 4 ペアの信号線が、28 ビット・チャネルリンク・チップセット (DS90CR285/286) では 5 ペアの信号線が必要となります。理想的なケーブル / コネクタのインタフェースは伝送路すべてにわたり 100 一定の差動インピーダンスに保つ事です。また、レシーバで十分なデータのサンプル・ウィンドウを確保するために 150ps (66MHz 時) 以下にスキューを抑えてください。

さらに、データとクロックを伝送する 4 または 5 ペアのケーブルに最低 1 本 (または 1 ペア) のグラウンドを用意する事をお勧めします。このグラウンドによりコモン・モードのリターンパスを構成する事ができます。一対一のアプリケーションで一般的に使用されているケーブルにはフラット、フレックス、ツイストペア、TWIN-COAX があります。構成やオプションによらずさまざまなケーブルが用意されています。フラット、フレックス、ツイストペアは短い一対一のアプリケーションには十分です。TWIN-COAX は長短どちらでも高い性能を示します。フラットケーブル使用時には各差動信号間にグラウンド線を入れる事を推奨します。このグラウンドにより、近接するペア間のノイズによる干渉を防ぐ事ができます。TWIN-COAX ケーブルでは各ケーブルペアをシールドする事をお勧めします。一対一で距離を伸ばす場合にはケーブルのタイプによらず全ケーブルペアをシールドしてください。全体をシールドする事で、EMS

や EMI に起因する問題を解決し、長距離化、高速化といった伝送パラメータの向上になります。

いろいろなケーブルタイプで LVDS 信号はすばらしい性能を示しています。しかし、総合的に最高の性能となったのは TWIN-COAX ケーブルを使用したときでした。TWIN-COAX ケーブルはその構造とシールドの二重化により、優れたスキューと EMI 性能をもっています。ここに記載している情報と関連のアプリケーション・ノートには設計者に有用な数多くのガイドラインを載せてあります。設計者は各アプリケーションで安全かつ経済的なケーブルのために様々なトレードオフを査定するよう推奨します。

ボード・レイアウト : LVDS の EMI、ノイズ・マージンを最大限活用するには差動信号のレイアウトに注意を払う必要があります。他の信号からのノイズによる干渉を抑え、差動信号のノイズ・キャンセル性能を有効に利用するために、差動信号ラインは常に近接してなければなりません。また、差動信号線長も等長になるようトレースを調整してください。あらゆる高速設計において、インピーダンスの不整合は避けなければいけません (ヴィアを減らす、90 度に曲がるトレースを避けるなど)。差動信号の一方ラインにインピーダンスの不整合があると他方の信号ラインにも影響が現れます。差動信号のトレースのインピーダンスは選択されたケーブルのインピーダンスと整合してなければいけません (このインピーダンスはレシーバ入力端で差動信号間に入れる終端抵抗とも一致してなければなりません)。最後に、チャネルリンクの TxOUT/RxIN ピンは、PCB 上での余分なトレースを避けるためにボードの端にできるだけ近づけてください。これらはすべて高速性や EMI に影響を与える反射やクロストークを抑制するものです。

未使用入力 : TxIN の未使用入力はすべてグラウンドに接続してください。レシーバの未使用入力はオープンのままかまいません。

入力 : TxIN 端子および制御入力端子は、LVCMOS レベルもしくは LVTTTL レベルに互換です。ただしこれら入力は 5V 耐圧ではありません。

終端 : 電流モードのドライバではレシーバの入力に終端抵抗が必要です。チャネルリンク・チップセットではレシーバ差動入力ペアの + と - ごとに 100 の終端抵抗が必要です。実際の終端抵抗値はケーブルの差動特性インピーダンス (90 ~ 120) と同じになるように選択します。Figure 19 の例を参照ください。PECL のような他の作動信号と異なりプルアップやプルダウンの抵抗も必要ありません。リードのインダクタンスを減らすために面実装タイプの抵抗を推奨します。終端抵抗は差動信号を効果的に終端し、スタブを短くするためにレシーバ入力ピンのできるだけ近くに配置してください。

アプリケーション情報 (つづき)

デカップリング・コンデンサ: 性能を制限するスイッチング・ノイズを低減するために、バイパス・コンデンサを入れてください。各 V_{CC} と GND に 3 個並列にデカップリング・コンデンサ (多層セラミックの面実装タイプ) を挿入される事をお勧めします (Figure 20)。3 個のコンデンサの値は $0.1\mu\text{F}$ 、 $0.01\mu\text{F}$ 、 $0.001\mu\text{F}$ です。電

源とグラウンドはできるだけ幅広のトレースを使用し各コンデンサはそれぞれ個別にグラウンド接続してください。ボード上に十分なスペースがない場合、PLL V_{CC} 、LVDS V_{CC} 、ロジック V_{CC} の順に優先してください。

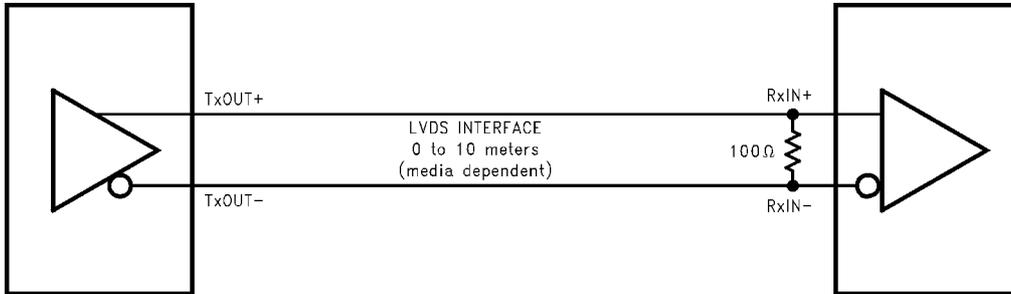


FIGURE 19. LVDS Serialized Link Termination

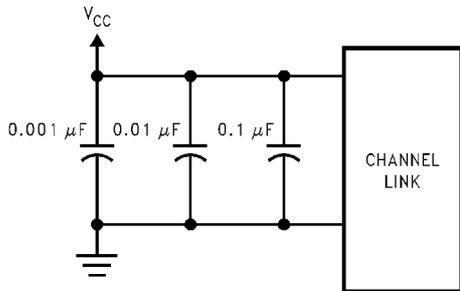


FIGURE 20. CHANNEL LINK Decoupling Configuration

クロック・ジッタ: チャンネルリンクでは PLL により LVDS を介して送られてきたクロックを再生します。LVDS 上のシリアル化されたデータ、1 ビットの幅はクロックの $1/7$ となります。例えば 66MHz クロックでは周期は約 15ns 、1 ビットのデータ幅は 2.16ns となります。差動スキュー (1 差動ペア内の t)、接続スキュー (差動ペア間の t)、クロック・ジッタはシリアル化されたデータをサンプリングするマージンを減少させる要因となります。トランスミッタへ入力するクロックはできるだけきれいなクロックを入力してください。各 V_{CC} ごとのデカップリング・コンデンサにより内部 PLL へ回り込むジッタを低減する事ができ、LVDS クロックのジッタも低減できます。全体のジッタ、スキューのマージンの割り振りにここでの測定が役立ちます。

ノイズ・マージン: 通常、LVDS 信号は $+1.2\text{V}$ を振幅の中心として、信号振幅 300mV です。チャンネルリンク・レシーバは 100mV のスレッショルド範囲を持っているため、 200mV の差動ノイズ・マージンとなります。差動信号によるデータ転送ではコモン・モードの対策がシステムではより重要です。LVDS レシーバの入力範囲はグラウンドから $+2.4\text{V}$ です。つまり、グラウンド・レベルの違いやコモン・モード・ノイズにより振幅の中心が $\pm 1\text{V}$ の変動が許されています。

パワー・シーケンスとパワーダウン・モード: チャンネルリンク・トランスミッタの出力は電源電圧が 2V になるまでトリステストを維持します。クロックとデータ出力は V_{CC} が 3V 、PWR DOWN ピンが 1.5V 以上になってから 10ms 後に動作を開始します。ドライバ、レシーバともに PWR DOWN ピン (Low アクティブ) に Low を入力するだけで、いつでもパワーダウン・モードにする事ができます。この時消費電力は $5\mu\text{W}$ (typ) まで落とすことができます。

チャンネルリンク・チップセットはトランスミッタ、レシーバどちらかの電源が落ちた場合に自身を保護する設計になっています。もしトランスミッタの電源が落ちた場合レシーバのクロック (入力、出力とも) は停止します。データ出力 (RxOUT) はクロックが止まった時点での状態を保持します。レシーバの電源が落ちた場合、レシーバの入力は内部のダイオードを介して V_{CC} に短絡されます。この時流れ込む電流は定電流ドライバのため制限 (入力あたり 5mA) されます。このようにして、ラッチアップを回避しています。

アプリケーション情報 (つづき)

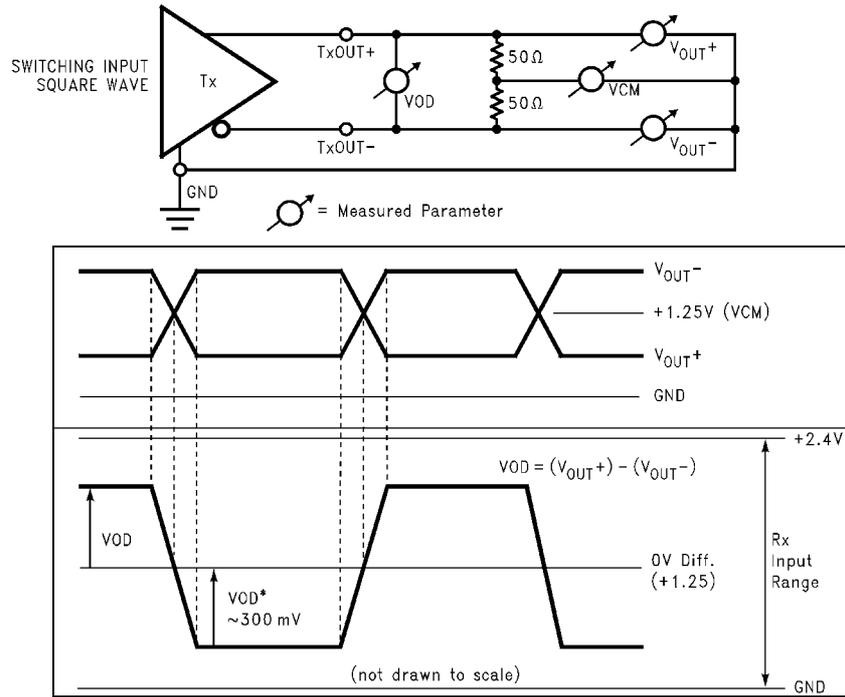
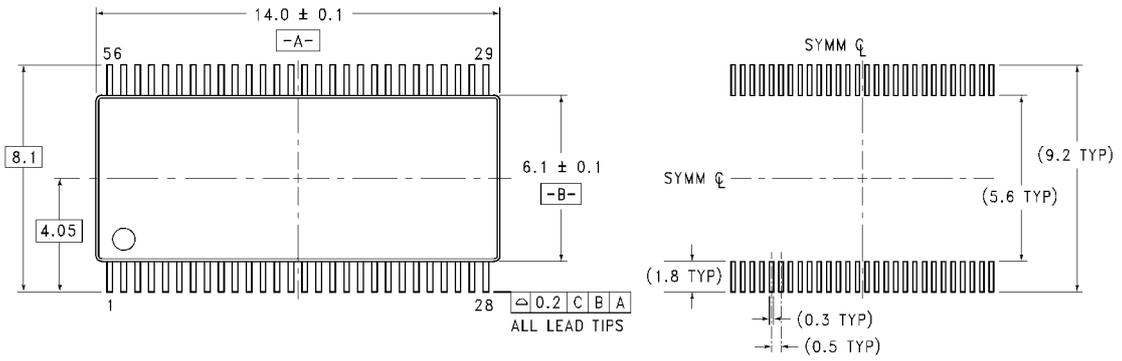
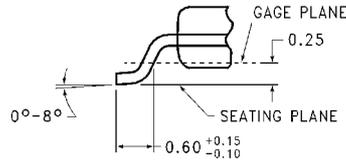
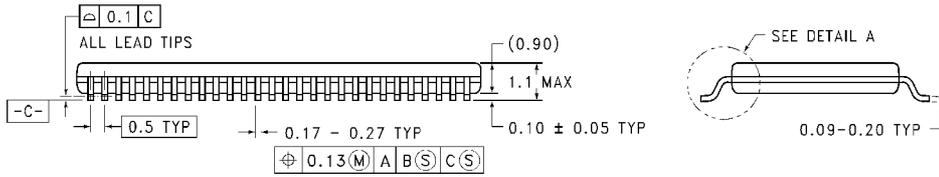


FIGURE 21. Single-Ended and Differential Waveforms

外形寸法図 単位は millimeters



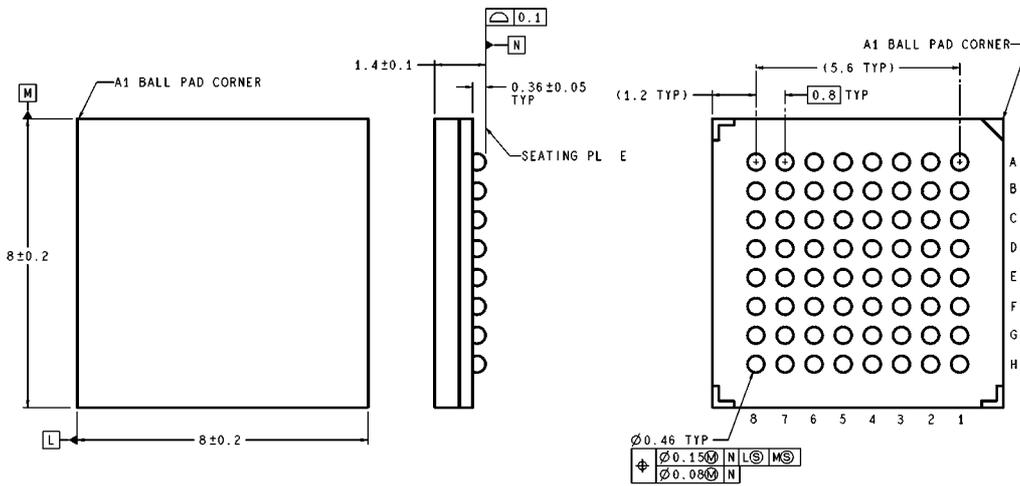
LAND PATTERN RECOMMENDATION



DETAIL A
TYPICAL

MTD56 (REV B)

Order Number DS90CR285MTD or DS90CR286MTD
NS Package Number MTD56



DIMENSIONS ARE IN MILLIMETERS

SLC64A (Rev B)

64 ball, 0.8mm fine pitch ball grid array (FBGA) package
Dimensions shown in millimeters only
Order Number DS90CR285SLC
NS Package Number SLC64A

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料（日本語 / 英語）はホームページより入手可能です。

<http://www.national.com/JPN/>

その他のお問い合わせはフリーダイヤルをご利用下さい。



0120-666-116

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもありません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもありません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上