TEXAS INSTRUMENTS
DS90UH941AS-Q1
JAJSHA5B – MAY 2019 – REVISED JANUARY 2021

DS90UH941AS-Q1 2K DSI から FPD-Link III へのブリッジ・シリアライザ、ビデオ分割機能 / HDCP 機能搭載

1 特長

- 次の結果で車載アプリケーション用に AEC-Q100 認定済み
  - デバイス温度グレード 2:-40℃～+105℃の動作時周囲温度範囲
- 最高 210MHz のピクセル・クロック周波数に対応し、24 ビット色深度で 3K (2880×1620) 30Hz、QXGA (2048×1536)、2K (2880×1080)、WUXGA (1920×1200)、1080p60 (1920×1080) 解像度を実現
- MIPI D-PHY/ディスプレイ・シリアル・インターフェイス (DSI) レシーバにより、ビデオ・プロセッサまたは FPGA と高帯域幅で接続
  - それぞれ最大 4 つのデータ・レーンを備えたデュアル DSI 入力ポート
  - レーンごとに最大 1.5Gbps
  - 対称型および非対称型のパック解除機能を備えたスーパーフレーム
  - ECC および CRC 生成
  - 仮想チャネル機能
- シングルおよびデュアル FPD-Link III 出力
  - シングル・リンク:最高 105MHz のピクセル・クロック
  - デュアル・リンク:最高 210MHz のピクセル・クロック
- 機能安全対応
  - ISO 26262 システムの設計に役立つ資料を利用可能
- 対称型および非対称型のビデオ分割
- HDCP v1.4 暗号エンジンを内蔵し、キーをオンチップに保存

2 アプリケーション

- 車載インフォテインメント
  - IVI ヘッド・ユニットおよび HMI モジュール
  - 集中情報ディスプレイ
  - デジタル計器クラスタ
  - リアシート・エンターテインメント・システム

3 概要

DS90UH941AS-Q1 は、DSI から FPD-Link III へのデュアル・ブリッジ・シリアライザであり、車載用インフォテインメント・アプリケーション用に設計されています。FPD-Link III の DS90UH940N-Q1、DS90UH948-Q1、DS90UH924-Q1、DS90UH926-Q1、DS90UH928-Q1 デシリアライザと組み合わせることで、DS90UH941AS-Q1 は、コスト効率の優れた 50Ω のシングル・エンド同軸ケーブルまたは 100Ω の差動シールド付きツイストペア (STP) およびシールド付きツイスト・クワッド (STQ) ケーブルで 1 または 2 レーンの高速シリアル・ストリームを供給できます。インフォテインメント・システムのディスプレイの数と多様性が増え続けるのに応じて、DS90UH941AS-Q1 は対称型と非対称型の両方の分割に対応できます。

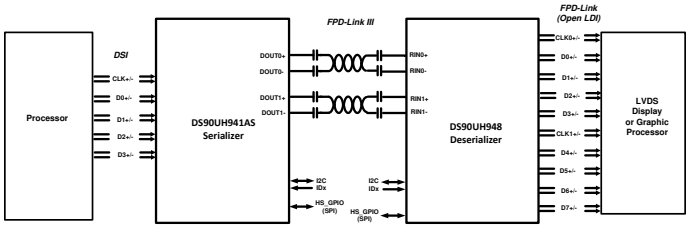
DS90UH941AS-Q1 はビデオ・データを 2 つの差動ペア上に統合できるため、システム設計が簡素化し、アプリケーションの相互接続のサイズと重量が減少します。

FPD-Link III インターフェイスはビデオおよびオーディオ・データの伝送と、I2C 通信を含む全二重制御をサポートし、同じ高速シリアル・リンク上で最大 8 つの I2S オーディオ・チャネルを使用できます。低電圧の差動信号、データのスクランブル処理、およびランダム化を使用することで、EMI が最小限に抑えられます。

製品情報

部品番号(1)	パッケージ	本体サイズ (公称)
DS90UH941AS-Q1	VQFN (64)	9.00mm × 9.00mm

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。



アプリケーション図

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 改訂履歴.....2
5 概要 (続き).....4
6 ピン構成と機能.....4
ピン機能.....4
7 仕様.....9
7.1 絶対最大定格.....9
7.2 ESD 定格.....9
7.3 推奨動作条件.....9
7.4 熱に関する情報.....10
7.5 DC 電気的特性.....11
7.6 AC 電気的特性.....16
7.7 外部クロック基準の推奨タイミング.....18
7.8 シリアル制御バスの推奨タイミング.....19
7.9 タイミング図.....20
8 詳細説明.....22
8.1 概要.....22
8.2 機能ブロック図.....22
8.3 機能説明.....22
8.4 デバイスの機能モード.....40
8.5 プログラミング.....58
8.6 レジスタ・マップ.....61
9 アプリケーションと実装.....148
9.1 アプリケーション情報.....148
9.2 代表的なアプリケーション.....149
10 電源に関する推奨事項.....153
10.1 VDD 電源.....153
10.2 パワーアップと初期化.....153
11 レイアウト.....157
11.1 レイアウトのガイドライン.....157
11.2 レイアウト例.....159
12 デバイスおよびドキュメントのサポート.....160
12.1 ドキュメントのサポート.....160
12.2 サポート・リソース.....160
12.3 商標.....160
12.4 静電気放電に関する注意事項.....160
12.5 用語集.....160
13 メカニカル、パッケージ、および注文情報.....161

4 改訂履歴

Changes from Revision A (October 2020) to Revision B (January 2021)	Page
• RES1 ピンの説明を更新。	4
• 絶対最大定格の FPD-Link III の出力電圧を 1.32V に更新	9
• アナログ電圧を 1.32V に更新	9
• ESD HBM のその他のピンの定格を ±2500V に変更	9
• DSI UI の瞬時値の最大値を 6.67ns に変更	16
• サポートされる DSI ビデオ形式に注を追加。各ビデオ・ラインは、1 つの DSI パケットとして送信されます。	26
• スプリッタ・モードのアプリケーション・レポートへの参照を追加	29
• 内部パターン生成のアプリケーション・ノート名を更新	39
• レジスタの説明に合わせてクロック・モードの説明を変更	40
• 2:2 モードのサンプル・コードを修正	49
• -Q1 を含むようにデバイス名を更新	49
• レプリケート・モードを有効化する方法を明確化	50
• クロッピングによる非対称型分割の図を更新	53
• VC-ID による非対称型分割の図を更新	55
• レジスタ・アドレス形式を修正	62
• レジスタ 0x3[1] の説明を更新	62
• スプリッタ・モードのレジスタ 0x3E[6:5] がレジスタ 0x56 よりも優先度が高いことを明確化	62
• レジスタ 0x56[1:0] のリセット値を 0 に更新	62
• レジスタ 0x56[1:0] はスプリッタ・モードでは使用できないことを明確化	62
• レジスタ 0x5A[2] を予約済みに変更	62
• SLAVE_ID および SLAVE_ALIAS_ID レジスタがポート専用であることを明確化	62
• レジスタ 0x56[1:0] の説明を更新	62
• DSI_ERR_COUNT レジスタ・アドレスを訂正	122
• アナログ間接レジスタのページを追加	137
• 内部 DSI クロック設定の初期化を含むように電源オン・シーケンスを更新	153

Copyright © 2022 Texas Instruments Incorporated

- 941AS デバイス開発ガイドへのリンクを追加 153

Changes from Revision * (May 2019) to Revision A (October 2020) **Page**

- 「特長」の箇条書き項目に「機能安全対応」を追加 1

Copyright © 2022 Texas Instruments Incorporated

5 概要 (続き)

DS90UH941AS-Q1 は MIPI DSI 入力をシリアル化することで、2K、WUXGA および 1080p60 までのビデオ解像度、24 ビット・カラー深度に対応しています。下位互換モードでは、DS90UH941AS-Q1 は、WXGA および 720p までの解像度、24 ビット・カラー深度に 1 つの差動リンクで対応しています。

DS90UH941AS-Q1 は、シリアライザおよびデシリアライザに HDCP 暗号エンジンを持つ HDCP アプリケーションをサポートします。DSI ビデオ・データは、FPD-Link III インターフェイスへの送信前に暗号化され、デシリアライザで復号されます。

6 ピン構成と機能

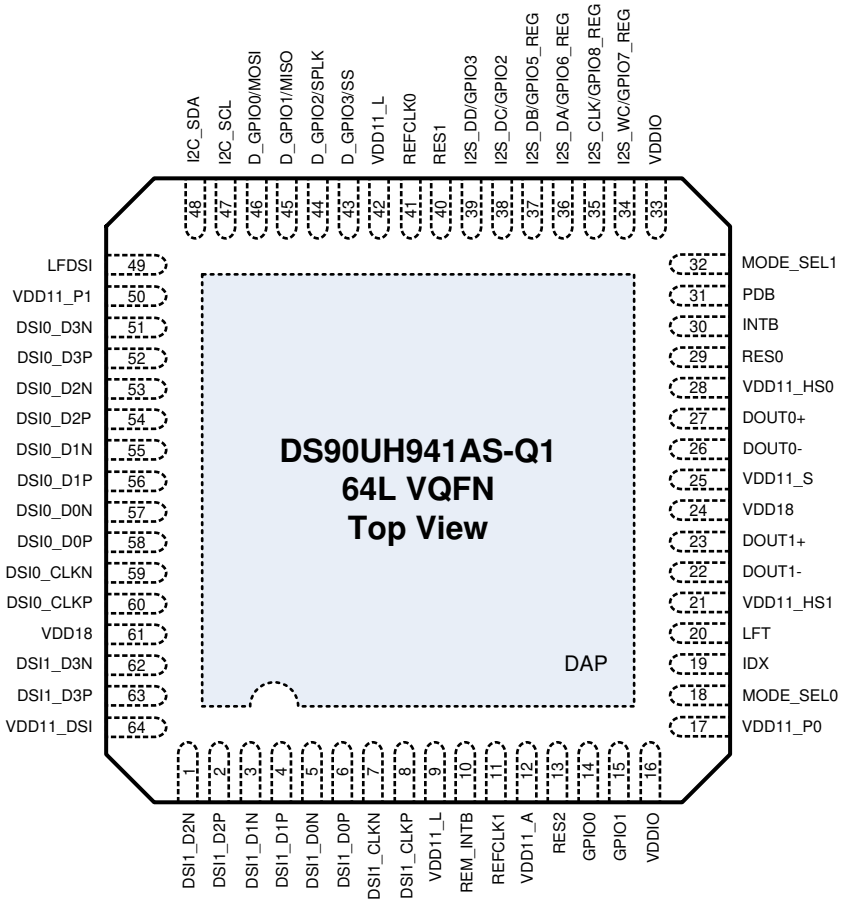


図 6-1. RTD パッケージ 64 ピン VQFN 上面図

ピン機能

ピン		I/O、タイプ	説明
名前	番号		
MIPI DSI 入力ピン			

Copyright © 2022 Texas Instruments Incorporated

ピン		I/O、タイプ	説明
名前	番号		
DSI0_D0P	58	I	DSI RX ポート 0 差動データ入力ピン DEVICE_CFG (0x02h) および BRIDGE_CTL (0x4Fh) レジスタを使って DSI RX を制御します。これらのピンを使用しない場合、グランドに接続するか、未接続ピンにできます。
DSI0_D0N	57	I	
DSI0_D1P	56	I	
DSI0_D1N	55	I	
DSI0_D2P	54	I	
DSI0_D2N	53	I	
DSI0_D3P	52	I	
DSI0_D3N	51	I	
DSI0_CLKP	60	I	DSI RX ポート 0 差動クロック入力ピン DEVICE_CFG (0x02h) および BRIDGE_CTL (0x4Fh) レジスタを使って DSI RX を制御します。これらのピンを使用しない場合、グランドに接続するか、未接続ピンにできます。
DSI0_CLKN	59	I	
DSI1_D0P	6	I	DSI RX ポート 1 差動データ入力ピン DEVICE_CFG (0x02h) および BRIDGE_CTL (0x4Fh) レジスタを使って DSI RX を制御します。これらのピンを使用しない場合、グランドに接続するか、未接続ピンにできます。
DSI1_D0N	5	I	
DSI1_D1P	4	I	
DSI1_D1N	3	I	
DSI1_D2P	2	I	
DSI1_D2N	1	I	
DSI1_D3P	63	I	
DSI1_D3N	62	I	
DSI1_CLKP	8	I	DSI RX ポート 1 差動クロック入力ピン DEVICE_CFG (0x02h) および BRIDGE_CTL (0x4Fh) レジスタを使って DSI RX を制御します。これらのピンを使用しない場合、グランドに接続するか、未接続ピンにできます。
DSI1_CLKN	7	I	
LFDSI	49	D	DSI ループ・フィルタ・ピン このピンとグランドとの間に 10nF のコンデンサを接続します。
FPD-LINK III インターフェイス・ピン			
DOUT0–	26	I/O	FPD-Link III TX ポート 0 ピン このポートは、FPD-Link III 高速フォワード・チャネル・ビデオおよび制御データを送信し、バック・チャネル制御データを受信します。STP または同軸ケーブルを使用して、互換性のある FPD-Link III デシリアライザ RX と接続できます。I/O は、表 9-1 に従って AC 結合する必要があります。ポートを使わない場合、そのピンを未接続にします。
DOUT0+	27	I/O	
DOUT1–	22	I/O	FPD-Link III TX ポート 1 ピン このポートは、FPD-Link III 高速フォワード・チャネル・ビデオおよび制御データを送信し、バック・チャネル制御データを受信します。STP または同軸ケーブルを使用して、互換性のある FPD-Link III デシリアライザ RX と接続できます。I/O は、表 9-1 に従って AC 結合する必要があります。ポートを使わない場合、そのピンを未接続にします。
DOUT1+	23	I/O	
LFT	20	D	FPD-Link III ループ・フィルタ・ピン このピンとグランドとの間に 10nF のコンデンサを接続します。
REFCLK0	41	I、PD	外部基準クロック入力ピン 独立 2:2 または非対称スプリッタ・モード時の FPD-Link III ポート 0 の外部基準クロック入力ピンです。このピンは通常、低ジッタのクロック源に接続します。25kΩ の内部プルダウンを備えています。このピンを使わない場合、未接続にするか、GND に接続します。
REFCLK1	11	I、PD	独立 2:2 または非対称スプリッタ・モード時の FPD-LINK III ポート 1 の外部基準クロック入力ピン このピンは通常、低ジッタのクロック源に接続します。25kΩ の内部プルダウンを備えています。このピンを使わない場合、未接続にするか、GND に接続します。
制御ピン			
I2C_SDA	48	I/O、OD	I2C データ入出力インターフェイス・ピン オープン・ドレイン。2.2kΩ～4.7kΩ で 1.8V または 3.3V にプルアップすることを推奨します。(1)
I2C_SCL	47	I/O、OD	I2C クロック入出力インターフェイス・ピン オープン・ドレイン。2.2kΩ～4.7kΩ で 1.8V または 3.3V にプルアップすることを推奨します。(1)
IDX	19	I、S	I2C シリアル制御バスのデバイス ID アドレス選択設定ピン 表 8-12 に従って分圧器を構成するため、VDD18 への外部プルアップと GND への外部プルダウンを接続します。**オープン (未接続) にしないでください。**
MODE_SEL0	18	I、S	モード選択 0 設定ピン 表 8-8 と に従って分圧器を構成するため、VDD18 への外部プルアップと GND への外部プルダウンを接続します。

Copyright © 2022 Texas Instruments Incorporated

ピン		I/O、タイプ	説明
名前	番号		
MODE_SEL1	32	I、S	モード選択 1 設定ピン 表 8-8 とに従って分圧器を構成するため、VDD18 への外部プルアップと GND への外部プルダウンを接続します。
PDB	31	I、PD	パワーダウン (反転) 入力ピン。 通常、プルダウン付きのプロセッサ GPIO に接続します。PDB 入力を High にすると、本デバイスは有効化され、内部レジスタとステート・マシンがデフォルト値にリセットされます。PDB 信号を Low にアサートすると、本デバイスの電源がオフになり、消費電力が最小化されます。このピンのデフォルトの機能は PDB = Low です。 50kΩ の内部プルダウンが有効化されることでパワーダウンします。電源が印加され、必要な最小限のレベルに達するまで、PDB は Low を維持する必要があります。 PDB = 1、デバイスを有効化 (通常動作) PDB = 0、デバイスをパワーダウン。
INTB	30	O、OD	割り込み出力ピン INTB はアクティブ Low のオープン・ドレインであり、ステータス・レジスタによって制御されます。「*セクション 8.3.8*」を参照してください。 INTB = H、通常動作 INTB = L、割り込み要求 プルアップの推奨値:VDDIO に対して 4.7kΩ。**オープン (未接続) のままにしないでください。**
REM_INTB	10	O	リモート割り込み出力ピン REM_INTB は、リモート・デバイスからの INTB_IN 信号のステータスを直接反映します。このピンのステータスをリセットおよび変更するのに個別のシリアライザ・レジスタを読み出す必要はありません。このピンを使わない場合、未接続にします。
SPI ピン (デュアル FPD-LINK III モード)			
MOSI	46	I/O、PD	SPI マスタ出力スレーブ入力ピン デュアル・リンク・モードでのみ使用できます。D_GPIO0 と共有されます。このピンを使わない場合、かつデフォルト状態 (25kΩ のプルダウン抵抗が有効) の場合、このピンを未接続ピンにできます。
MISO	45	I/O、PD	SPI マスタ入力スレーブ出力ピン デュアル・リンク・モードでのみ使用できます。D_GPIO1 と共有されます。このピンを使わない場合、かつデフォルト状態 (25kΩ のプルダウン抵抗が有効) の場合、このピンを未接続ピンにできます。
SPLK	44	I/O、PD	SPI クロック・ピン デュアル・リンク・モードでのみ使用できます。D_GPIO2 と共有されます。このピンを使わない場合、かつデフォルト状態 (25kΩ のプルダウン抵抗が有効) の場合、このピンを未接続ピンにできます。
SS	43	I/O、PD	SPI スレーブ選択ピン デュアル・リンク・モードでのみ使用できます。D_GPIO3 と共有されます。このピンを使わない場合、かつデフォルト状態 (25kΩ のプルダウン抵抗が有効) の場合、このピンを未接続ピンにできます。
高速 GPIO ピン			
D_GPIO0	46	I/O、PD	高速 GPIO0 ピン デュアル・リンク・モードでのみ使用できます。MOSI と共有されます。このピンを使わない場合、かつデフォルト状態 (25kΩ のプルダウン抵抗が有効) の場合、このピンを未接続ピンにできます。
D_GPIO1	45	I/O、PD	高速 GPIO1 ピン デュアル・リンク・モードでのみ使用できます。MISO と共有されます。このピンを使わない場合、かつデフォルト状態 (25kΩ のプルダウン抵抗が有効) の場合、このピンを未接続ピンにできます。
D_GPIO2	44	I/O、PD	高速 GPIO2 ピン デュアル・リンク・モードでのみ使用できます。SPLK と共有されます。このピンを使わない場合、かつデフォルト状態 (25kΩ のプルダウン抵抗が有効) の場合、このピンを未接続ピンにできます。
D_GPIO3	43	I/O、PD	高速 GPIO3 ピン デュアル・リンク・モードでのみ使用できます。SS と共有されます。このピンを使わない場合、かつデフォルト状態 (25kΩ のプルダウン抵抗が有効) の場合、このピンを未接続ピンにできます。
GPIO ピン			
GPIO0	14	I/O、PD	汎用入出力 0 ピン このピンを使わない場合、かつデフォルト状態 (25kΩ のプルダウン抵抗が有効) の場合、このピンを未接続ピンにできます。
GPIO1	15	I/O、PD	汎用入出力 1 ピン このピンを使わない場合、かつデフォルト状態 (25kΩ のプルダウン抵抗が有効) の場合、このピンを未接続ピンにできます。
GPIO2	38	I/O、PD	汎用入出力 2 ピン I2S_DC と共有されます。このピンを使わない場合、かつデフォルト状態 (25kΩ のプルダウン抵抗が有効) の場合、このピンを未接続ピンにできます。
GPIO3	39	I/O、PD	汎用入出力 3 ピン I2S_DD と共有されます。このピンを使わない場合、かつデフォルト状態 (25kΩ のプルダウン抵抗が有効) の場合、このピンを未接続ピンにできます。
レジスタ専用 GPIO ピン			

Copyright © 2022 Texas Instruments Incorporated

ピン		I/O、タイプ	説明
名前	番号		
GPIO5_REG	37	I/O、PD	汎用入出力 5 ピン ローカル・レジスタ制御専用。I2S_DB と共有されます。このピンを使わない場合、かつデフォルト状態 (25kΩ のプルダウン抵抗が有効) の場合、このピンを未接続ピンにできます。
GPIO6_REG	36	I/O、PD	汎用入出力 6 ピン ローカル・レジスタ制御専用。I2S_DA と共有されます。このピンを使わない場合、かつデフォルト状態 (25kΩ のプルダウン抵抗が有効) の場合、このピンを未接続ピンにできます。
GPIO7_REG	34	I/O、PD	汎用入出力 7 ピン ローカル・レジスタ制御専用。I2S_WC と共有されます。このピンを使わない場合、かつデフォルト状態 (25kΩ のプルダウン抵抗が有効) の場合、このピンを未接続ピンにできます。
GPIO8_REG	35	I/O、PD	汎用入出力 8 ピン ローカル・レジスタ制御専用。I2S_CLK と共有されます。このピンを使わない場合、かつデフォルト状態 (25kΩ のプルダウン抵抗が有効) の場合、このピンを未接続ピンにできます。
スレーブ・モード・ローカル I2S チャネル・ピン			
I2S_WC	34	I/O、PD	スレーブ・モード I2S ワード・クロック入力ピン GPIO7_REG と共有されます。このピンを使わない場合、かつデフォルト状態 (25kΩ のプルダウン抵抗が有効) の場合、このピンを未接続ピンにできます。
I2S_CLK	35	I/O、PD	スレーブ・モード I2S クロック入力ピン GPIO8_REG と共有されます。このピンを使わない場合、かつデフォルト状態 (25kΩ のプルダウン抵抗が有効) の場合、このピンを未接続ピンにできます。
I2S_DA	36	I/O、PD	スレーブ・モード I2S データ入力ピン GPIO6_REG と共有されます。このピンを使わない場合、かつデフォルト状態 (25kΩ のプルダウン抵抗が有効) の場合、このピンを未接続ピンにできます。
I2S_DB	37	I/O、PD	スレーブ・モード I2S データ入力ピン GPIO2_REG と共有されます。このピンを使わない場合、かつデフォルト状態 (25kΩ のプルダウン抵抗が有効) の場合、このピンを未接続ピンにできます。
I2S_DC	38	I/O、PD	スレーブ・モード I2S データ入力ピン GPIO2 と共有されます。このピンを使わない場合、かつデフォルト状態 (25kΩ のプルダウン抵抗が有効) の場合、このピンを未接続ピンにできます。
I2S_DD	39	I/O、PD	スレーブ・モード I2S データ入力ピン GPIO3 と共有されます。このピンを使わない場合、かつデフォルト状態 (25kΩ のプルダウン抵抗が有効) の場合、このピンを未接続ピンにできます。
電源ピンとグランド・ピン			
GND	DAP	G	DAP は、VQFN パッケージの裏側の中央にある大きな金属接触部です。グランド・プレーンに接続します。
VDD18	24 61	P	1.8V (±5%) 電源ピン 各 VDD ピンと GND との間に 0.1µF または 0.01µF のコンデンサを接続する必要があります。ピン・グループに対して 1µF と 10µF のデカップリングを追加することを推奨します。
VDD11_P0	17	P	1.1V (±5%) 電源ピン 各 VDD ピンと GND との間に 0.1µF または 0.01µF のコンデンサを接続する必要があります。ピン・グループに対して 1µF と 10µF のデカップリングを追加することを推奨します。
VDD11_P1	50	P	
VDD11_DSI	64	P	1.1V (±5%) 電源ピン 各 VDD ピンと GND との間に 0.1µF または 0.01µF のコンデンサを接続する必要があります。ピン・グループに対して 1µF と 10µF のデカップリングを追加することを推奨します。
VDD11_A	12	P	
VDD11_HS0	28	P	
VDD11_HS1	21	P	
VDD11_S	25	P	
VDD11_L	9 42	P	1.1V (±5%) 電源ピン 各 VDD ピンと GND との間に 0.1µF または 0.01µF のコンデンサを接続する必要があります。ピン・グループに対して 1µF と 10µF のデカップリングを追加することを推奨します。
VDDIO	16、33	P	1.8V (±5%) または 3.3V (±10%) LVCMOS I/O 電源ピン 各 VDD ピンと GND との間に 0.1µF または 0.01µF のコンデンサを接続する必要があります。ピン・グループに対して 1µF のデカップリングを追加することを推奨します。1.8V VDDIO オプションを選択する場合、VDDIO と VDD18 は同じ電源から供給する必要があります。
その他のピン			
RES0	29	—	予約済み。GND に接続。
RES1	40	—	予約済み。未接続にする必要があります。
RES2	13	—	予約済み。未接続にする必要があります。

(1) 最適なプルアップ抵抗値は、I2C 動作モードによって異なります。『I2C バスのプルアップ抵抗値の計算』(SLVA689) を参照してください。

Copyright © 2022 Texas Instruments Incorporated

以下に、各ピンの I/O セルの機能の定義を示します。タイプ:

- I = 入力
- O = 出力
- I/O = 入出力
- OD = オープン・ドレイン
- PD = 内部プルダウン
- P、G = 電源、グランド
- D = 内部 LDO 出力のデカップリング・ピン
- S = ストラップ入力

Copyright © 2022 Texas Instruments Incorporated

7 仕様

7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1) (2)

		最小値	最大値	単位
電源電圧	VDD11 (VDD11_P0、VDD11_P1、VDD11_DSI、VDD11_A、VDD11_HS0、VDD11_HS1、VDD11_S、VDD11_L)	-0.3	1.32	V
	VDD18	-0.3	2.16	
	VDDIO	-0.3	3.96	
DSI 入力電圧	DSI0_D0P、DSI0_D0N、DSI0_D1P、DSI0_D1N、DSI0_D2P、DSI0_D2N、DSI0_D3P、DSI0_D3N、DSI0_CLKP、DSI0_CLKN、DSI1_D0P、DSI1_D0N、DSI1_D1P、DSI1_D1N、DSI1_D2P、DSI1_D2N、DSI1_D3P、DSI1_D3N、DSI1_CLKP、DSI1_CLKN	-0.3	2.16	V
LVCMOS IO 電圧	PDB、GPIO0、GPIO1、GPIO2、GPIO3、D_GPIO0、D_GPIO1、D_GPIO2、D_GPIO3、GPIO5_REG、GPIO6_REG、GPIO7_REG、GPIO8_REG、MOSI、MISO、SPLK、SS、I2C_WC、I2S_CLK、I2S_DA、I2S_DB、I2S_DC、I2S_DD、REM_INTB、REFCLK0、REFCLK1	-0.3	$V_{(VDDIO)}$ + 0.3	V
構成入力電圧	IDX、MODE_SEL0、MODE_SEL1	-0.3	2.16	V
オープン・ドレイン電圧	I2C_SDA、I2C_SCL、INTB	-0.3	3.96	V
FPD-Link III 出力電圧	DOUT0+、DOU0-、DOUT1+、DOUT1-	-0.3	1.32	V
アナログ電圧	LFDSI、LFT	-0.3	1.32	V
接合部温度、T_J			150	℃
保存温度、T_{stg}		-65	150	℃

(1) *絶対最大定格*を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
(2) 半田付け仕様については、www.ti.com の製品フォルダと『半田付けの絶対最大定格』(SNOA549) を参照してください。

7.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、AEC Q100-002 準拠 (1)	(D_{OUT0+}、D_{OUT0-}、D_{OUT1+}、D_{OUT1-})	±8000	V
			その他のピン	±2500	
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠		±1000	
		(IEC 61000-4-2) R_D = 330Ω、C_S = 150pF	空中放電 (D_{OUT0+}、D_{OUT0-}、D_{OUT1+}、D_{OUT1-})	±15000	
			接触放電 (D_{OUT0+}、D_{OUT0-}、D_{OUT1+}、D_{OUT1-})	±10000	
		(ISO10605) R_D = 330Ω、C_S = 150pF R_D = 2kΩ、C_S = 150pF または 330pF	空中放電 (D_{OUT0+}、D_{OUT0-}、D_{OUT1+}、D_{OUT1-})	±21000	
			接触放電 (D_{OUT0+}、D_{OUT0-}、D_{OUT1+}、D_{OUT1-})	±10000	

(1) AEC Q100–002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS–001 仕様に従って実施しなければならないと規定しています。

7.3 推奨動作条件

		最小値	公称値	最大値	単位
電源電圧	$V_{(VDD11)}$	1.045	1.1	1.155	V
	$V_{(VDD18)}$	1.71	1.8	1.89	
LVCMOS I/O の電源電圧	$V_{(VDDIO)}$ = 1.8V	1.71	1.8	1.89	V
	または $V_{(VDDIO)}$ = 3.3V	3	3.3	3.6	
オープン・ドレイン電圧	INTB = $V_{(INTB)}$、I2C ピン = $V_{(VDDI2C)}$	1.71		3.6	V
自由気流での動作温度、T_A		-40	25	105	℃
MIPI データ・レート (DSI レーンごと)		150		1500	Mbps
MIPI DSI HS クロック周波数		75		750	MHz

Copyright © 2022 Texas Instruments Incorporated

		最小値	公称値	最大値	単位
ローカル I2C 周波数、f_{I2C}				1	MHz
基準クロック周波数、f_{REFCLK}		25		210	MHz
エージングを含む基準クロック周波数の安定性		-100		100	ppm
スペクトラム拡散基準クロック変調のパーセンテージ	REFCLK、センター・スプレッド	-0.25		0.25	%
	REFCLK、アップ・スプレッド	0		0.5	%
	REFCLK、ダウン・スプレッド	-0.5		0	%
電源ノイズ (DC～50MHz)	$V_{(VDD11)}$			25	mVp-p
	$V_{(VDD18)}$			50	
	$V_{(VDDIO)}$ = 1.8V			50	
	$V_{(VDDIO)}$ = 3.3V			50	
	$V_{(VDDI2C)}$ = 1.8V			50	
	$V_{(VDDI2C)}$ = 3.3V			100	

7.4 熱に関する情報

熱評価基準 (1)		DS90UH941AS-Q1 RTD (VQFN) 64 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	24.2	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	11.2	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	0.5	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	7.9	℃/W
Ψ_{JT}	接合部から上面への熱特性パラメータ	0.1	℃/W
Ψ_{JB}	接合部から基板への熱特性パラメータ	7.9	℃/W

(1) 従来および新しい熱特性の詳細については、アプリケーション・レポート『半導体および IC パッケージの熱測定値』、SPRA953 を参照してください。

Copyright © 2022 Texas Instruments Incorporated

7.5 DC 電気的特性

推奨動作電源電圧および温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	ピン / 周波数	最小値	標準値	最大値	単位
消費電力							
P_T	総消費電力、通常動作	シングル、4 レーン、DSI 入力、f_{DSI_CLK} = 630MHz (f_{PCLK} = 210 MHz)、デュアル・リンク FPD-Link III 出力、ライン・レート = 3.675Gbps、格子パターン、R_L = 100Ω	VDD11、VDD18、VDDIO			800	mW
消費電流							
I_{DD}	消費電流、通常モード	シングル、4 レーン、DSI 入力、f_{DSI_CLK} = 630MHz (f_{PCLK} = 210 MHz)、デュアル・リンク FPD-Link III 出力、ライン・レート = 3.675Gbps、格子パターン、RL = 100Ω	VDD11		165	500	mA
			VDD18		25	45	mA
			VDDIO		2	10	mA
I_{DDZ}	消費電流、パワーダウン・モード	PDB = L	VDD11			140	mA
			VDD18			15	mA
			VDDIO			4	mA
1.8V LVCMOS I/O							
V_{IH}	High レベル入力電圧	$V_{(VDDIO)}$ = 1.71V～1.89V	PDB、GPIO0、GPIO1、GPIO2、GPIO3、D_GPIO0、D_GPIO1、D_GPIO2、D_GPIO3、GPIO5_REG、GPIO6_REG、GPIO7_REG、GPIO8_REG、MOSI、MISO、SPLK、SS、I2C_WC、I2S_CLK、I2S_DA、I2S_DB、I2S_DC、I2S_DD、REFCLK0、REFCLK1	0.65 × $V_{(VDDIO)}$			V
V_{IL}	Low レベル入力電圧	$V_{(VDDIO)}$ = 1.71V～1.89V		0		0.35 × $V_{(VDDIO)}$	V
I_{IH}	入力 High 電流	V_{IN} = $V_{(VDDIO)}$ = 1.71V～1.89V、内部プルダウンは有効		0		100	µA
		V_{IN} = $V_{(VDDIO)}$ = 1.71V～1.89V、内部プルダウンは無効	GPIO0、GPIO1、GPIO2、GPIO3、D_GPIO0、D_GPIO1、D_GPIO2、D_GPIO3、GPIO5_REG、GPIO6_REG、GPIO7_REG、GPIO8_REG、MOSI、MISO、SPLK、SS、I2C_WC、I2S_CLK、I2S_DA、I2S_DB、I2S_DC、I2S_DD、REFCLK0、REFCLK1	0		10	µA

Copyright © 2022 Texas Instruments Incorporated

推奨動作電源電圧および温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	ピン / 周波数	最小値	標準値	最大値	単位
I_{IL}	入力 Low 電流	V_{IN} = 0V	PDB、GPIO0、GPIO1、GPIO2、GPIO3、D_GPIO0、D_GPIO1、D_GPIO2、D_GPIO3、GPIO5_REG、GPIO6_REG、GPIO7_REG、GPIO8_REG、MOSI、MISO、SPLK、SS、I2C_WC、I2S_CLK、I2S_DA、I2S_DB、I2S_DC、I2S_DD、REFCLK0、REFCLK1	-20		20	µA
$I_{IN-STRAP}$	ストラップ・ピン入力電流	V_{IN} = 0V または $V_{(VDDIO)}$ = 1.71V～1.89V	IDX、MODE_SEL0、MODE_SEL1	-1		1	µA

Copyright © 2022 Texas Instruments Incorporated

推奨動作電源電圧および温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	ピン / 周波数	最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧	I_{OH} = -2mA、$V_{(VDDIO)}$ = 1.71V～1.89V	GPIO0、GPIO1、GPIO2、GPIO3、D_GPIO0、D_GPIO1、D_GPIO2、D_GPIO3、GPIO5_REG、GPIO6_REG、GPIO7_REG、GPIO8_REG、MOSI、MISO、SPLK、SS、I2C_WC、I2S_CLK、I2S_DA、I2S_DB、I2S_DC、I2S_DD、REM_INTB	$V_{(VDDIO)}$ - 0.45			V
V_{OL}	Low レベル出力電圧	I_{OL} = 2mA、$V_{(VDDIO)}$ = 1.71V～1.89V		0		0.45	V
I_{OS}	出力短絡電流	V_{OUT} = 0V			-35		mA
I_{OZ}	TRI-STATE™ 出力電流	V_{OUT} = 0V または V_{DDIO}、PDB = L		-20		20	µA
3.3V LVCMOS I/O							
V_{IH}	High レベル入力電圧	$V_{(VDDIO)}$ = 3.0V～3.6V	PDB、GPIO0、GPIO1、GPIO2、GPIO3、D_GPIO0、D_GPIO1、D_GPIO2、D_GPIO3、GPIO5_REG、GPIO6_REG、GPIO7_REG、GPIO8_REG、MOSI、MISO、SPLK、SS、I2C_WC、I2S_CLK、I2S_DA、I2S_DB、I2S_DC、I2S_DD、REFCLK0、REFCLK1	2.0		$V_{(VDDIO)}$	V
V_{IL}	Low レベル入力電圧	$V_{(VDDIO)}$ = 3.0V～3.6V		0		0.8	V
I_{IH}	入力 High 電流	V_{IN} = $V_{(VDDIO)}$ = 3.0V～3.6V、内部プルダウンは有効		0		180	µA
		V_{IN} = $V_{(VDDIO)}$ = 3.0V～3.6V、内部プルダウンは無効	GPIO0、GPIO1、GPIO2、GPIO3、D_GPIO0、D_GPIO1、D_GPIO2、D_GPIO3、GPIO5_REG、GPIO6_REG、GPIO7_REG、GPIO8_REG、MOSI、MISO、SPLK、SS、I2C_WC、I2S_CLK、I2S_DA、I2S_DB、I2S_DC、I2S_DD、REFCLK0、REFCLK1			25	µA
I_{IL}	入力 Low 電流	V_{IN} = 0V	PDB、GPIO0、GPIO1、GPIO2、GPIO3、D_GPIO0、D_GPIO1、D_GPIO2、D_GPIO3、GPIO5_REG、GPIO6_REG、GPIO7_REG、GPIO8_REG、MOSI、MISO、SPLK、SS、I2C_WC、I2S_CLK、I2S_DA、I2S_DB、I2S_DC、I2S_DD、REFCLK0、REFCLK1	-20		20	µA

Copyright © 2022 Texas Instruments Incorporated

推奨動作電源電圧および温度範囲内 (特に記述のない限り)

パラメータ		テスト条件		ピン / 周波数	最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧	I_{OH} = -4mA、$V_{(VDDIO)}$ = 3.0V～3.6V		GPIO0、GPIO1、GPIO2、GPIO3、D_GPIO0、D_GPIO1、D_GPIO2、D_GPIO3、GPIO5_REG、GPIO6_REG、GPIO7_REG、GPIO8_REG、MOSI、MISO、SPLK、SS、I2C_WC、I2S_CLK、I2S_DA、I2S_DB、I2S_DC、I2S_DD、REM_INTB	2.4		$V_{(VDDIO)}$	V
V_{OL}	Low レベル出力電圧	I_{OL} = 4mA、$V_{(VDDIO)}$ = 3.0V～3.6V			0		0.4	V
I_{OS}	出力短絡電流	V_{OUT} = 0V				-60		mA
I_{OZ}	TRI-STATE™ 出力電流	V_{OUT} = 0V または $V_{(VDDIO)}$、PDB = L			-20		20	µA
オープン・ドレイン出力								
V_{OL}	出力 Low レベル	$V_{(VDDIO)}$ = 3.0V～3.6V、I_{OL} = 4mA		INTB	0		0.4	V
		$V_{(VDDIO)}$ = 1.71V～1.89V、I_{OL} = 2mA			0		0.45	
I_{OH}	出力リーク電流	$V_{(VDDIO)}$			-20		20	µA
シリアル制御バス I/O								
V_{IH}	入力 High レベル			I2C_SCL、I2C_SDA	0.7 x $V_{(VDDIO)}$		$V_{(VDDIO)}$	V
V_{IL}	入力 Low レベル				0		0.3 x $V_{(VDDIO)}$	V
V_{HYS}	入力ヒステリシス					50		mV
V_{OL1}	出力 Low レベル	$V_{(VDDIO)}$ = 3.0V～3.6V、I_{OL} = 3mA	スタンダード・モード、ファースト・モード		0		0.4	V
		$V_{(VDDIO)}$ = 3.0V～3.6V、I_{OL} = 20mA	ファースト・モード・プラス		0		0.4	V
V_{OL2}	出力 Low レベル	$V_{(VDDIO)}$ = 1.71V～1.89V、I_{OL} = 2mA	ファースト・モード、ファースト・モード・プラス		0		0.2 x $V_{(VDDIO)}$	V
I_{IH}	入力 High 電流	V_{IN} = $V_{(VDDIO)}$			-10		10	µA
I_{IL}	入力 Low 電流	V_{IN} = 0V			-10		10	µA
C_{IN}	入力容量					5		pF
FPD-LINK III トランシーバ								
V_{ODp-p}	差動出力電圧	R_L = 100Ω バック・チャネルは無効		DOUT0+、DOU0-、DOUT1+、DOUT1-	900		1200	mV_{p-p}
V_{OUT}	シングルエンド出力電圧	R_L = 50Ω バック・チャネルは無効			450		600	mV
ΔV_{OD}	出力電圧アンバランス	R_L = 100Ω				1	50	mV
V_{OS}	出力オフセット電圧	R_L = 100Ω				550		mV
ΔV_{OS}	オフセット電圧アンバランス	R_L = 100Ω				1	50	mV
I_{OS}	出力短絡電流	FPD-link III 出力 = 0V				-20		mA
R_T	終端抵抗	差動			80	100	120	Ω
		シングルエンド			40	50	60	Ω
V_{ID-BC}	差動バック・チャネル入力振幅	バック・チャネル・データ・レート = 5、10、20Mbps			170			mV
V_{IN-BC}	シングルエンド・バック・チャネル入力振幅				170			mV

Copyright © 2022 Texas Instruments Incorporated

推奨動作電源電圧および温度範囲内 (特に記述のない限り)

パラメータ		テスト条件		ピン / 周波数	最小値	標準値	最大値	単位
DSI HSRX レシーバ								
$V_{CMRX(DC)}$	同相電圧、HS 受信モード	定常状態	定常状態	DSI0_D0P、DSI0_D0N、DSI0_D1P、DSI0_D1N、DSI0_D2P、DSI0_D2N、DSI0_D3P、DSI0_D3N、DSI0_CLKP、DSI0_CLKN、DSI1_D0P、DSI1_D0N、DSI1_D1P、DSI1_D1N、DSI1_D2P、DSI1_D2N、DSI1_D3P、DSI1_D3N、DSI1_CLKP、DSI1_CLKN	70		330	mV
$V_{CMRX(DC)}$	同相電圧、HS 受信モード	定常状態		DSI0_D0P、DSI0_D0N、DSI0_D1P、DSI0_D1N、DSI0_D2P、DSI0_D2N、DSI0_D3P、DSI0_D3N、DSI0_CLKP、DSI0_CLKN、DSI1_D0P、DSI1_D0N、DSI1_D1P、DSI1_D1N、DSI1_D2P、DSI1_D2N、DSI1_D3P、DSI1_D3N、DSI1_CLKP、DSI1_CLKN	70		330	mV
V_{IDTH}	差動入力 High スレッショルド	データ・レート ≤ 1.5Gbps					70	mV
V_{IDTL}	差動入力 Low スレッショルド				-70			mV
V_{IH-HS}	シングルエンド入力 High 電圧						460	mV
V_{IL-HS}	シングルエンド入力 Low 電圧				-40			mV
$V_{TERM-EN}$	HS 終端有効時のシングルエンド・スレッショルド						450	mV
Z_{ID}	差動入力インピーダンス				80	100	125	Ω
DSI LPRX レシーバ								
V_{IH-LP}	LP ロジック 1 入力電圧	対応データ・レートが 1.5Gbps 以下の場合に適用可能		DSI0_D0P、DSI0_D0N、DSI0_D1P、DSI0_D1N、DSI0_D2P、DSI0_D2N、DSI0_D3P、DSI0_D3N、DSI0_CLKP、DSI0_CLKN、DSI1_D0P、DSI1_D0N、DSI1_D1P、DSI1_D1N、DSI1_D2P、DSI1_D2N、DSI1_D3P、DSI1_D3N、DSI1_CLKP、DSI1_CLKN	880			mV
V_{IL-LP}	LP ロジック 0 入力電圧	ULP 状態を除く					550	mV
V_{HYST}	入力ヒステリシス				25			mV

7.6 AC 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	ピン / 周波数	最小値	標準値	最大値	単位
GPIO のタイミング							
f_{GPIO_FC}	フォワード・チャネル GPIO の最大周波数	シングル FPD-Link III	GPIO0、GPIO1、GPIO2、GPIO3、D_GPIO0、D_GPIO1、D_GPIO2、D_GPIO3		(1/4) × f_{PCLK}		MHz
		デュアル FPD-Link III			(1/8) × f_{PCLK}		MHz
$t_{GPIO_FC_JIT}$	フォワード・チャネル GPIO のジッタ	シングル FPD-Link III			$1/f_{PCLK}$		ns
		デュアル FPD-Link III			$2/f_{PCLK}$		ns
f_{GPIO_BC}	バック・チャネル GPIO の最大周波数	BC レート = 20Mbps、通常 GPIO モード (DES)、4 つの GPIO			133		kHz
f_{GPIO_BC}		BC レート = 20Mbps、高速 GPIO モード、4 つの GPIO			800		kHz
f_{GPIO_BC}		BC レート = 20Mbps、高速 GPIO モード、2 つの GPIO			1.33		MHz
f_{GPIO_BC}		BC レート = 20Mbps、高速 GPIO モード、1 つの GPIO			2		MHz
t_{GPIO_BC}	バック・チャネル GPIO のジッタ	BC レート = 20Mbps、通常 GPIO モード (DES)、4 つの GPIO			1900		ns
t_{GPIO_BC}		BC レート = 20Mbps、高速 GPIO モード、4 つの GPIO			320		ns
t_{GPIO_BC}		BC レート = 20Mbps、高速 GPIO モード、2 つの GPIO			190		ns
t_{GPIO_BC}		BC レート = 20Mbps、高速 GPIO モード、1 つの GPIO			130		ns
t_{GPO_LHT}	GPO の Low から High への遷移時間	C_L = 8pF (集中負荷)、デフォルト・レジスタ			2		ns
t_{GPO_HLT}	GPO の High から Low への遷移時間				2		ns
FPD-Link III のタイミング							
t_{LHT}	低電圧差動の Low から High への遷移時間		DOUT0+、DOU0-、DOUT1+、DOUT1-		80	120	ps
t_{HLT}	低電圧差動の High から Low への遷移時間				80	120	ps
t_{XZD}	出力のアクティブからオフへの遅延	PDB H -> L			100	300	ns
t_{PLD}	ロック時間	PDB L -> H、入力クロックはアクティブ			5		ms
t_{SD}	遅延 - レイテンシ				145 × T		ns
t_{JITR}	出力のランダム・ジッタ	0.3 UI のジッタを印加、CDR BW = f/15、f_{DSI_CLK} = 510MHz (f_{PCLK} = 170MHz、デュアル・リンク FPD-Link IIII、ライン・レート = 2.975Gbps)、R_L = 100Ω			3		ps(rms)
t_{JITD}	出力の確定的ジッタ				43		ps(p-p)
t_{JIT}	出力の総合ジッタ				0.17	0.24	UI_{FPD3} (1)
E_H	アイの高さ			660			mVpp
t_{JITR}	出力のランダム・ジッタ	0.3 UI のジッタを印加、CDR BW = f/15、f_{DSI_CLK} = 630MHz (f_{PCLK} = 210MHz、デュアル・リンク FPD-Link IIII、ライン・レート = 3.675Gbps)、R_L = 100Ω			3		ps(rms)
t_{JITD}	出力の確定的ジッタ				51		ps(p-p)
t_{JIT}	出力の総合ジッタ				0.22	0.31	UI_{FPD3} (1)
E_H	アイの高さ			580			mVpp
λ_{STXBW}	ジッタ伝達関数 (-3dB 帯域幅)				960		kHz
δ_{STX}	ジッタ伝達関数のピーキング				0.1		dB
V_{BCDR}	バック・チャネルのデータ・レート	デフォルト (デシリアライザ)			5		Mbps
		HSCC_MODE (デシリアライザ)			10		
		HSCC_MODE (デシリアライザ)			20		

Copyright © 2022 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	ピン / 周波数	最小値	標準値	最大値	単位
DSI LPRX レシーバ							
e_{SPIKE}	入力パルス除去		DSI0_D0P、DSI0_D0N、DSI0_D1P、DSI0_D1N、DSI0_D2P、DSI0_D2N、DSI0_D3P、DSI0_D3N、DSI0_CLKP、DSI0_CLKN、DSI1_D0P、DSI1_D0N、DSI1_D1P、DSI1_D1N、DSI1_D2P、DSI1_D2N、DSI1_D3P、DSI1_D3N、DSI1_CLKP、DSI1_CLKN			300	V*s
T_{MIN-RX}	最小パルス幅応答			20			ns
V_{INT}	ピーク干渉振幅					200	mV
f_{INT}	干渉周波数			450			MHz
DSI HSRX レシーバ							
Δ $V_{CMRX(HF)}$	同相干渉 HF	450MHz 超のコモン・レベル変動 データ・レート ≤ 1.5Gbps	DSI0_D0P、DSI0_D0N、DSI0_D1P、DSI0_D1N、DSI0_D2P、DSI0_D2N、DSI0_D3P、DSI0_D3N、DSI0_CLKP、DSI0_CLKN、DSI1_D0P、DSI1_D0N、DSI1_D1P、DSI1_D1N、DSI1_D2P、DSI1_D2N、DSI1_D3P、DSI1_D3N、DSI1_CLKP、DSI1_CLKN			100	mV
Δ $V_{CMRX(LF)}$	同相干渉 LF	50～450MHz のコモン・レベル変動 データ・レート ≤ 1.5Gbps		-50		50	mV
C_{CM}	同相終端					60	pF
DSI クロック・タイミング							
$UI_{DSI-INST}$	DSI UI の瞬時値	150Mbps～1.5Gbps	DSI0_CLKP、DSI0_CLKN、DSI1_CLKP、DSI1_CLKN	0.667		6.67	ns
ΔUI_{DSI}	DSI UI の変動	UI_{DSI} ≥ 1ns		-0.1		0.1	UI_{DSI} (2)
		0.667ns < UI_{DSI} < 1ns		-0.05		0.05	UI_{DSI} (2)
t_{DSI_JIT}	DSI クロック・ジッタ	DSI 基準クロック・モード、BRIDGE_CFG2[1:0] = 00b f_{PCLK}/40 < ジッタ周波数 < f_{PCLK}/20、TJ@BER < 1E-10				0.3	UI_{FPD3} (1)

Copyright © 2022 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	ピン / 周波数	最小値	標準値	最大値	単位
DSI データ - クロック・タイミング							
$t_{SETUP(RX)}$	データ - クロック・セットアップ時間	データ・レート ≤ 1Gbps	DSI0_D0P、DSI0_D0N、DSI0_D1P、DSI0_D1N、DSI0_D2P、DSI0_D2N、DSI0_D3P、DSI0_D3N、DSI0_CLKP、DSI0_CLKN、DSI1_D0P、DSI1_D0N、DSI1_D1P、DSI1_D1N、DSI1_D2P、DSI1_D2N、DSI1_D3P、DSI1_D3N、DSI1_CLKP、DSI1_CLKN	-0.15		0.15	UI_{INST} (2)
		データ・レート: 1Gbps～1.5Gbps		-0.2		0.2	
$t_{HOLD(RX)}$	データ - クロック・ホールド時間	データ・レート ≤ 1Gbps		-0.15		0.15	UI_{INST} (2)
		データ・レート: 1Gbps～1.5Gbps		-0.2		0.2	
DSI レシーバ・リターン・ロス							
SDD_{RX}	RX 差動リターン・ロス	f_{LPMAX}	DSI0_D0P、DSI0_D0N、DSI0_D1P、DSI0_D1N、DSI0_D2P、DSI0_D2N、DSI0_D3P、DSI0_D3N、DSI0_CLKP、DSI0_CLKN、DSI1_D0P、DSI1_D0N、DSI1_D1P、DSI1_D1N、DSI1_D2P、DSI1_D2N、DSI1_D3P、DSI1_D3N、DSI1_CLKP、DSI1_CLKN		> -18		dB
		f_H			> -9		dB
		f_{MAX}			> -3		dB
SCC_{RX}	RX 同相リターン・ロス	1/4 $f_{INT, MIN}$			> 0		dB
		$f_{INT, MIN}$			> -6		dB
		f_{MAX}			> -2.5		dB
SDC_{RX}	RX モード変換	> 0～f_{MAX}			> -26		dB

(1) UI_{FPD3} - FPD-Link III のユニット・インターバルはシリアル化データの 1 ビット幅に相当します。シングル・リンク・モードの場合、1 UI_{FPD3} = 1/(35 * f_{PCLK})。デュアル・リンク・モードの場合、1 UI_{FPD3} = 1/(35 * f_{PCLK}/2)。UI_{FPD3} は PCLK 周波数に従って増減します。
(2) UI_{DSI} - DSI のユニット・インターバルは DSI 入力の 1 ビット期間に相当します。1 UI_{DSI} = 1/(2 * f_{DSI_CLK})。

7.7 外部クロック基準の推奨タイミング

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{REFCLK}	基準クロック周波数		25	f_{PCLK}	210	MHz
f_{REFCLK_STBL}	基準クロック周波数の安定性	全動作温度範囲と経年劣化	-100		100	ppm
t_{REFCLK_P}	基準クロック周期	f_{REFCLK} = f_{PCLK} = 25MHz～210MHz	4.76	T	40	ns
t_{REFCLK_H}	基準クロック High 時間		0.4T	0.5T	0.6T	ns
t_{REFCLK_L}	基準クロック Low 時間		0.4T	0.5T	0.6T	ns
t_{REFCLK_JIT}	基準クロックのジッタ	f_{PCLK}/40 < ジッタ周波数 < f_{PCLK}/20、TJ@BER < 1E-10			0.28	UI(1)

(1) UI_{FPD3} - FPD-Link III のユニット・インターバルはシリアル化データの 1 ビット幅に相当します。シングル・リンク・モードの場合、1 UI_{FPD3} = 1/(35 * f_{PCLK})。デュアル・リンク・モードの場合、1 UI_{FPD3} = 1/(35 * f_{PCLK}/2)。UI_{FPD3} は PCLK 周波数に従って増減します。

Copyright © 2022 Texas Instruments Incorporated

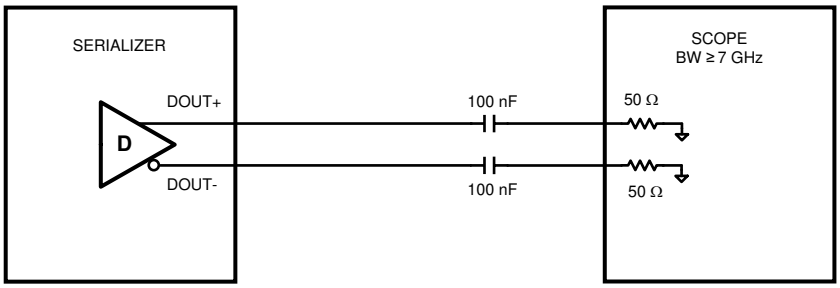
7.8 シリアル制御バスの推奨タイミング

I^2C の電源および温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SCL}	SCL クロック周波数	スタンダード・モード	> 0		100	kHz
		ファースト・モード	> 0		400	kHz
		ファースト・モード・プラス	> 0		1	MHz
t_{LOW}	SCL Low 期間	スタンダード・モード	4.7			µs
		ファースト・モード	1.3			µs
		ファースト・モード・プラス	0.5			µs
t_{HIGH}	SCL High 期間	スタンダード・モード	4			µs
		ファースト・モード	0.6			µs
		ファースト・モード・プラス	0.26			µs
$t_{HD;STA}$	START または REPEAT-START 条件のホールド時間	スタンダード・モード	4			µs
		ファースト・モード	0.6			µs
		ファースト・モード・プラス	0.26			µs
$t_{SU;STA}$	START または REPEAT-START 条件のセットアップ時間	スタンダード・モード	4.7			µs
		ファースト・モード	0.6			µs
		ファースト・モード・プラス	0.26			µs
$t_{HD;DAT}$	データ・ホールド時間	スタンダード・モード	0			µs
		ファースト・モード	0			µs
		ファースト・モード・プラス	0			µs
$t_{SU;DAT}$	データ・セットアップ時間	スタンダード・モード	250			ns
		ファースト・モード	100			ns
		ファースト・モード・プラス	50			ns
$t_{SU;STO}$	STOP 条件のセットアップ時間	スタンダード・モード	4			µs
		ファースト・モード	0.6			µs
		ファースト・モード・プラス	0.26			µs
t_{BUF}	STOP と START との間のバス解放時間	スタンダード・モード	4.7			µs
		ファースト・モード	1.3			µs
		ファースト・モード・プラス	0.5			µs
t_r	SCL および SDA 立ち上がり時間	スタンダード・モード			1000	ns
		ファースト・モード			300	ns
		ファースト・モード・プラス			120	ns
t_f	SCL および SDA 立ち下がり時間	スタンダード・モード			300	ns
		ファースト・モード			300	ns
		ファースト・モード・プラス			120	ns
C_b	SDA と SCL の容量性負荷	スタンダード・モード			400	pF
		ファースト・モード			400	pF
		ファースト・モード・プラス			550	pF
t_{SP}	入力フィルタ	ファースト・モード			50	ns
		ファースト・モード・プラス			50	ns

Copyright © 2022 Texas Instruments Incorporated

7.9 タイミング図



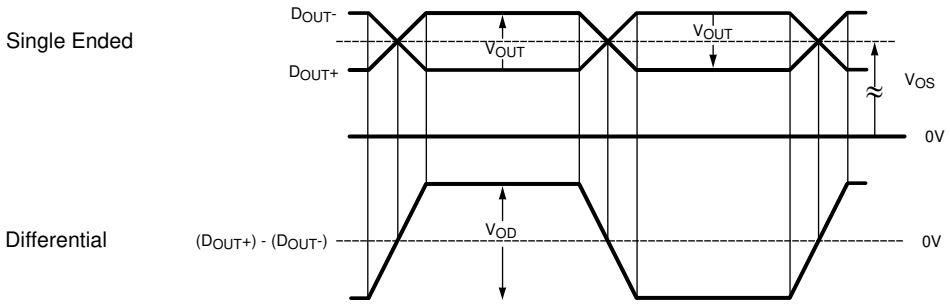


図 7-1. シリアライザ出力 V_{OD}、V_{OUT}

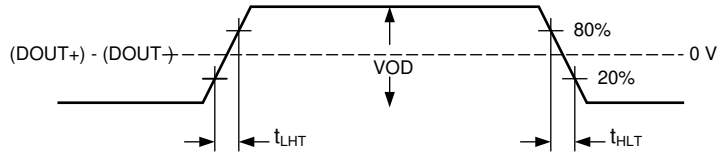


図 7-2. 出力遷移時間

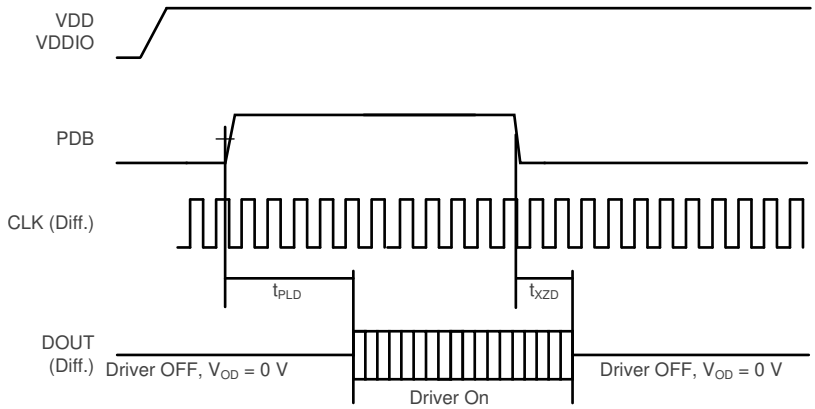


図 7-3. シリアライザのロック時間

Copyright © 2022 Texas Instruments Incorporated

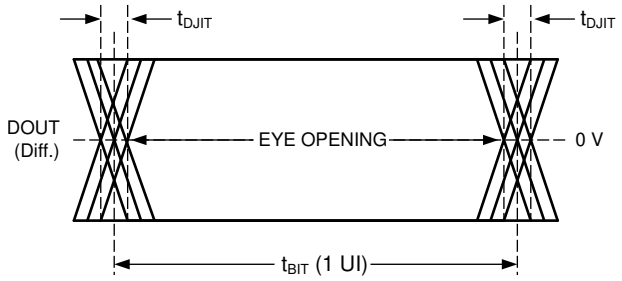


図 7-4. シリアライザの出力ジッタ

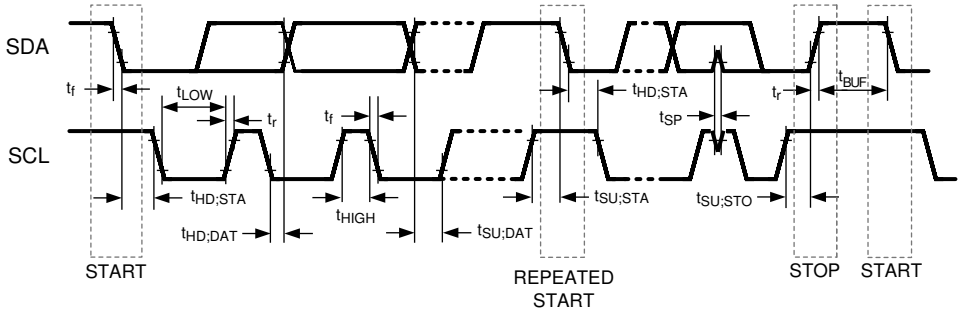


図 7-5. シリアル制御バスのタイミング図

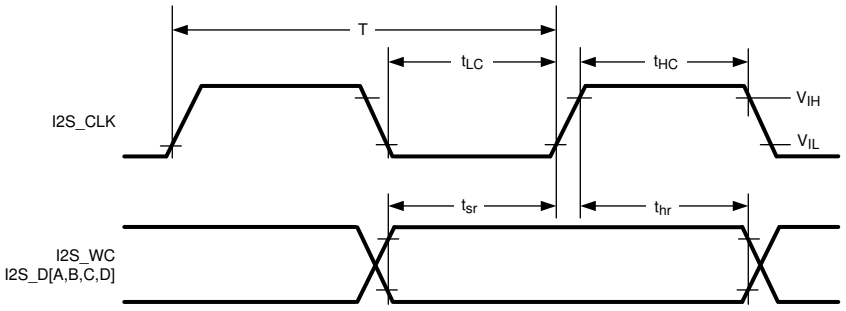


図 7-6. I2S タイミング図

8 詳細説明

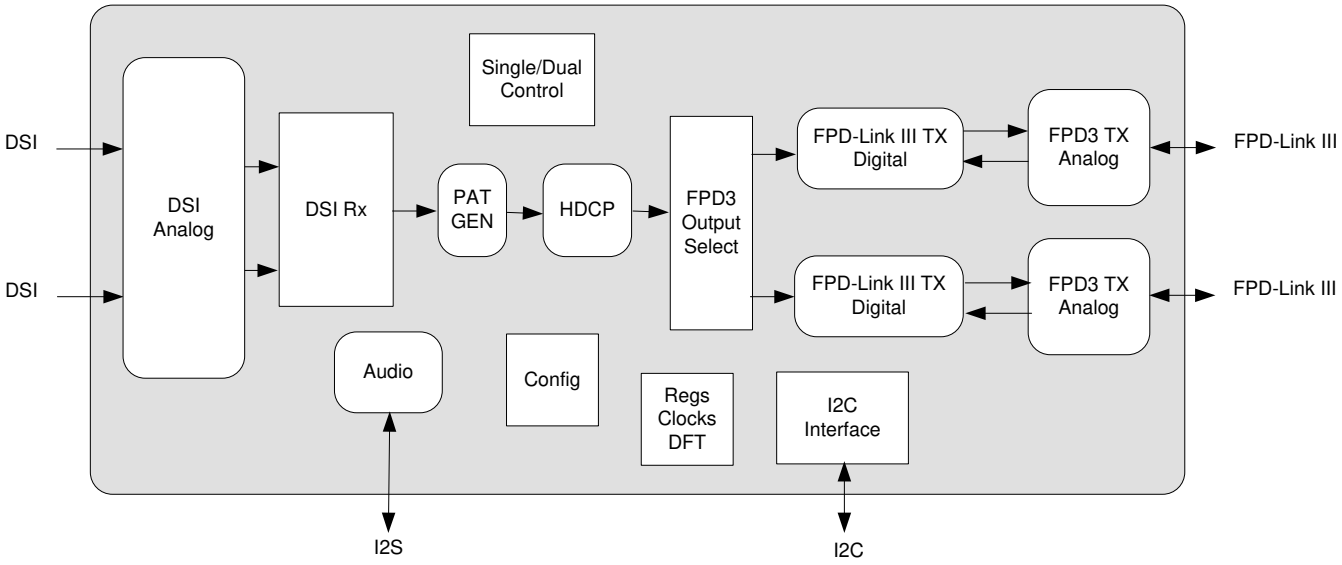
8.1 概要

DS90UH941AS-Q1 は、ディスプレイ・シリアル・インターフェイス (DSI) から FPD-Link III へのブリッジ・デバイスです。本デバイスは、DS90UH94x デシリアライザと組み合わせることで、2 本の低コスト 50Ω 同軸または 2 本のシールド付き 100Ω ツイストペア (STP) ケーブルで高解像度ビデオ、オーディオ、制御情報を伝送します。各デュアル DSI リンクは「4 レーン + 1 クロック」からなります。24 ビットの色深度で最大 2K のビデオ解像度をサポートしており、デュアルペアの高速シリアル化インターフェイスに変換します。シリアル・バス方式の FPD-Link III は、ビデオとオーディオのデータ伝送に加えて、I2C 通信などの全二重制御機能を 2 つの差動リンクでサポートします。ビデオ・データと制御を 2 つの差動ペアに統合することで、相互接続のサイズと重量が減少し、スキューの問題も排除されて、システムの設計が簡素化されます。低電圧の差動信号、データのスクランブル処理、およびランダム化を使用することで、EMI が最小限に抑えられます。下位互換モードでは、DS90UH92x-Q1 デシリアライザへの 1 つの差動リンクで、WXGA および 720p までの解像度、24 ビット・カラー伝送に対応しています。

DS90UH941AS-Q1 は HDCP トランスミッタを実装しています。I2S オーディオおよびビデオ・データは、FPD-Link III インターフェイスへ送出される前に暗号化されます。暗号化用 HDCP キーはオンチップ不揮発性メモリに安全に保存されます。

DS90UH941AS-Q1 は、最大 8 つの I2S オーディオ・チャネルをサポートしています。I2S 入力から受信されたオーディオ・データは暗号化され、FPD-Link III インターフェイスに送られます。そこでこのデータは、最大 8 チャネルの I2S インターフェイスで再生成 (最大サンプル・レート 192kHz) されます。

8.2 機能ブロック図



8.3 機能説明

DS90UH941AS-Q1 は、DSI インターフェイスとデュアル FPD-Link III インターフェイスとの間にブリッジを実装しています。本デバイスは、HDCP 保護コンテンツのオーディオおよびビデオ伝送を行うため、DSI レシーバと FPD-Link III トランスミッタを内蔵しています。

8.3.1 DSI レシーバ

DS90UH941AS-Q1 は、2 つの独立した MIPI D-PHY v1.2/DSI v1.3.1 対応入力ポートを備えています。DSI 入力ポートの選択は、BRIDGE_CTL レジスタの DSI_PORT_SEL ビットを使って行われます。各ポートは 1、2、3、4 レーン動作が可能です。両ポートのレーン数は、BRIDGE_CTL レジスタの DSI_LANES フィールドで制御されます。また、MODE_SEL0 ピンのストラップ・オプションによって電源オン時に設定することもできます。自動レーン検出はサポートしていません。

Copyright © 2022 Texas Instruments Incorporated

DEVICE_CFG レジスタの DSI1_LANE_REVERSE または DSI0_LANE_REVERSE フィールドを使うことで、DSI レーンの順序を以下のように 2 つの DSI ポートごとに内部的かつ独立して反転させることができます。

- DEVICE_CFG:DSI0_LANE_REVERSE = 1:
  - DSI0_D3P/N -> ポート 0 のレーン 0
  - DSI0_D2P/N -> ポート 0 のレーン 1
  - DSI0_D1P/N -> ポート 0 のレーン 2
  - DSI0_D0P/N -> ポート 0 のレーン 3
- DEVICE_CFG:DSI1_LANE_REVERSE = 1:
  - DSI1_D3P/N -> ポート 1 のレーン 0
  - DSI1_D2P/N -> ポート 1 のレーン 1
  - DSI1_D1P/N -> ポート 1 のレーン 2
  - DSI1_D0P/N -> ポート 1 のレーン 3

また、DSI クロックおよびデータ・レーンの極性を以下のように 2 つの D-PHY ポートごとに内部的かつ独立して反転させることができます。

- DEVICE_CFG:DSI0_DATA_PN_SWAP = 1:
  - DSI0_D3P/N -> DSI0_D3N/P
  - DSI0_D2P/N -> DSI0_D2N/P
  - DSI0_D1P/N -> DSI0_D1N/P
  - DSI0_D0P/N -> DSI0_D0N/P
- DEVICE_CFG:DSI0_CLK_PN_SWAP = 1:
  - DSI0_CLKP/N -> DSI0_CLKN/P
- DEVICE_CFG:DSI1_DATA_PN_SWAP = 1:
  - DSI1_D3P/N -> DSI1_D3N/P
  - DSI1_D2P/N -> DSI1_D2N/P
  - DSI1_D1P/N -> DSI1_D1N/P
  - DSI1_D0P/N -> DSI1_D0N/P
- DEVICE_CFG:DSI1_CLK_PN_SWAP = 1:
  - DSI1_CLKP/N -> DSI1_CLKN/P

8.3.1.1 DSI の動作モード

D-PHY レシーバは、高速 (HS) モードまたはエスケープ・モードに設定できます。通常動作中、データ・レーンは高速モードに設定されます。エスケープ・モードでは、D-PHY は低消費電力 (LP) 状態になります。高速モードでは、データはバースト転送され、ストップ状態 (LP-11) で開始および終了します。または、ヌルまたはブランキング・パケットの送信によって HS モードにとどまることができます。通常モードからエスケープ・モードまたは低消費電力状態に D-PHY を移行させるための遷移状態が存在します。

高速モードに移行するためのシーケンスは次のとおりです。LP-11、LP-01、LP-00 (この時点で、ストップ状態 (LP-11) が受信されるまでデータ・レーンは高速モードに維持されます)。

エスケープ・モードに移行するためのシーケンスは次のとおりです。LP-11、LP-10、LP-00、LP-01、LP-00。最後のブリッジ状態 (LP-00) が観測されるとすぐに、レーンはエスケープ・モードに移行します。

8.3.1.1.1 高速モード

高速データ伝送中、HS RX が適切に終了できるようにデジタル D-PHY は終了信号を生成し、LP RX は LP-00 状態を維持する必要があります。DSI のデータ・レーンとクロック・レーンはどちらも同じ方法で動作します。DS90UH941AS-Q1 は、クロック LP RX が LP-00 状態を維持する DSI 連続クロック・レーン・モードをサポートしています。

Copyright © 2022 Texas Instruments Incorporated

8.3.1.1.2

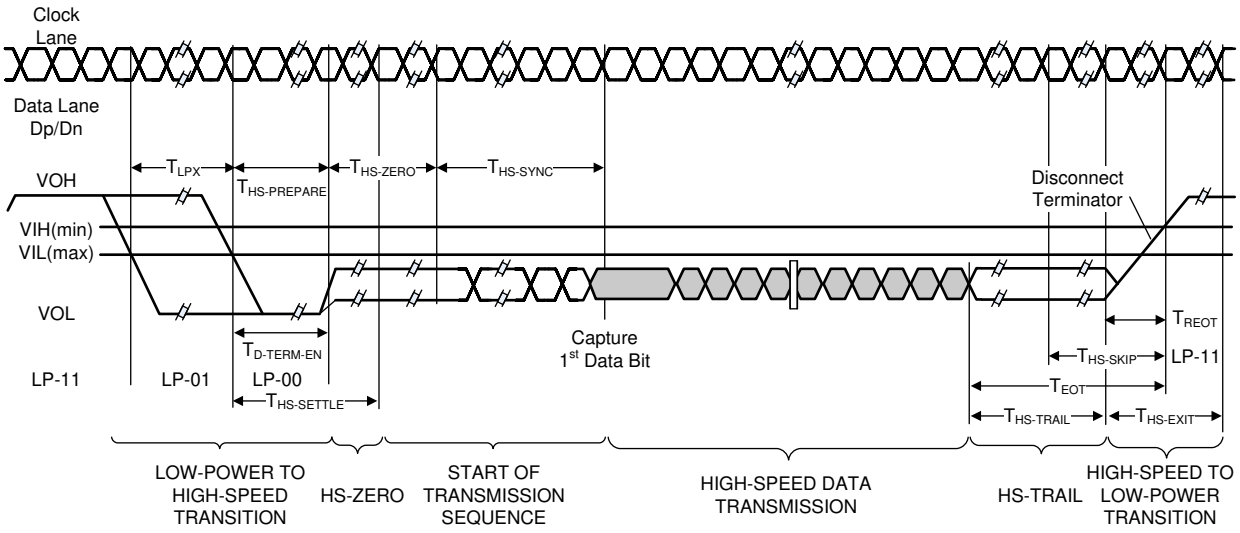


図 8-1. 高速データ・バースト伝送

低消費電力データ伝送および低消費電力エスケープ・モードはサポートしていません。

8.3.1.1.3 グローバル動作タイミング・パラメータ

MIPI D-PHY v1.2 は、D-PHY TX および RX のグローバル動作タイミングを定義しています。DS90UH941AS-Q1 は、以下の RX タイミング・パラメータを実装しています。

- $t_{CLK-MISS}$
- $t_{CLK-SETTLE}$ (プログラマブル)
- $t_{CLK-TERM-EN}$ (プログラマブル)
- $t_{D-TERM-EN}$ (プログラマブル)
- $t_{HS-SETTLE}$ (プログラマブル)
- $t_{HS-SKIP}$ (プログラマブル)
- t_{INIT} スレーブ (プログラマブル)
- t_{EOT} パラメータはサポートしていません。

Copyright © 2022 Texas Instruments Incorporated

8.3.1.2 THS-SKIP の設定

D-PHY データ・レーンは、HS データ転送中に最終データ・ビットを無視する機能を備えています。無視するビット数は、デバイスの間接レジスタの 1 ページの DPHY_SKIP_TIMING レジスタに設定できます。

TSKIP_CNT フィールドは、D-PHY THS-SKIP タイミング要件を満たすように、動作する DSI クロック周波数に基づいて設定する必要があります。TSKIP_CNT の値 (10 進) は式 1 で定義されます。ここで、f_{DSI} は DSI クロック周波数 (単位: GHz) です。表 8-1 に、与えられた DSI クロック周波数 (f_{DSI}) に基づいて得られた 2 つの TSKIP_CNT 値の例を示します。

$$TSKIP_CNT = Round(65 \cdot f_{DSI} - 5) \quad (1)$$

表 8-1. f_{DSI} の関数としての TSKIP_CNT 設定値の例

f_{DSI} [GHz]	TSKIP_CNT (10 進)	DSI 間接レジスタ 0x05[6:1] (2 進)	DSI 間接レジスタ 0x05 設定値 (16 進)
0.225	10	001010	0x14
0.315	15	001111	1x0E

8.3.1.3 DSI エラーおよびステータス

8.3.1.3.1 DSI/DPHY のエラー検出および報告

DS90UH941AS-Q1 は、DPHY_DLANEx_ERR レジスタを介して各レーンの DSI エラーを検出および報告します。

- SoT エラー
- SoT 同期エラー
- EoT 同期エラー
- 誤制御エラー

エスケープ・エントリ・コマンド・エラーと LP 送信同期エラーの条件には対応していません。

8.3.1.3.2 DSI プロトコル・エラー検出

DSI プロトコル・ロジックは、プロトコル・エラーを示す 3 ビットのステータス・ベクトルを提供します。これらの 3 つのビットを以下に示します。

- DSI_RD_WOUT_BTA: バス・ターンアラウンド (BTA) なしの読み出し
- DSI_EOT_ERR: EOT パケットなしの伝送終了
- DSI_CMD_OVER: コマンド FIFO オーバーフロー

DSI プロトコル・エラーは DSI_STATUS レジスタで利用できます。これらのエラー・フラグは、ページ 1 の「間接レジスタ」の DSI_STATUS レジスタを読み出すとクリアされます。

8.3.1.3.3 DSI エラー報告

メイン・レジスタ GENERAL_STS (0x0C) には、DSI エラーに関連する 2 つのステータス・ビットがあります。ビット 6 は DSI_ERROR ステータス・ビットであり、間接レジスタ内のすべての DSI エラー・ビットの論理和を取ったものです。デュアル DSI が有効化されている場合、DSI0 エラー・ビットと DSI1 エラー・ビットの論理和が取られます。しかし、1 つの DSI ポートのみが有効化されている場合、このステータス・ビットは有効化されている DSI ポートのエラー・ビットのみを示します。このビットは、読み出してもクリアされません。DSI 間接レジスタ内のすべてのエラー・ステータス・ビットは、クリアする必要があります。ビット 5 は DPHY_ERROR ステータス・ビットであり、間接レジスタ内のすべての DPHY エラー・ビットの論理和を取ったものです。DPHY_ERROR ビットは、有効化されている DPHY のエラーのみを示し、かつ読み出し時にクリアされないという点で、DSI_ERROR ビットと同様に機能します。

DSI_ERROR_DET ビットがセットされる原因となり得るすべてのエラーを示す 3 つのレジスタが備わっています。このエラー報告は DSI ロジックによって生成され、DSI_ERR_RPT_0、DSI_ERR_RPT_1、DSI_ERR_RPT_2 レジスタに展

開されます。DSI_STS レジスタを読み出すと、これらのエラー報告レジスタはクリアされます。DSI エラーの有無を調べるためにレジスタを読み出す最適な順序は、メイン・レジスタ内の GENERAL_STS ビットを読み出し、エラー報告レジスタのエラーを確認してから、DSI_STS レジスタを読み出してその他のエラーを確認し、エラー報告レジスタをクリアすることです。

8.3.1.3.4 DSI エラー・カウンタ

DSI エラー・カウンタは、DSI プロトコル・ロジックによってエラーが検出されるとインクリメントします。各エラー・タイプは、個別に有効化できます。任意のエラー表示が有効化されている場合、その条件が検出されるとエラー・カウンタがインクリメントします。エラー条件は、ページ 1 の「間接レジスタ」の DSI_ERR_CFG_0 および DSI_ERR_CFG_1 レジスタの制御をセットすることで有効化されます。

8.3.1.3.5 DSI - FPD-Link III バッファのエラー

DSI - FPD-Link III インターフェイスには、DSI プロトコル・ロジックから FPD-Link III 送信ドメインへのデータ転送を行うバッファが含まれます。インターフェイスがバッファのオーバーフローを検出すると、ページ 1 の「間接レジスタ」の DSI_STATUS レジスタの DSI_FPD3_ERR がセットされます。

8.3.1.4 サポートされる DSI ビデオ形式

DS90UH941AS-Q1 は 4 つの DSI RGB ビデオ形式をサポートしています。

- RGB888 (パクト・ピクセル・ストリーム、24 ビット形式、データ・タイプ 0x3E)
- RGB666 (ルーズリ・パクト・ピクセル・ストリーム、3 バイトの 18 ビット形式、データ・タイプ 0x2E)
- RGB666 (パクト・ピクセル・ストリーム、18 ビット形式、データ・タイプ 0x1E)
- RGB565 (パクト・ピクセル・ストリーム、16 ビット形式、データ・タイプ 0x0E)

注

各ビデオ・ラインは、1 つの DSI パケットとして送信されます。1 ラインに対して複数パケットのビデオ形式はサポートしていません。

RGB ビデオ形式は、必要に応じて、FPD-Link III 経由での送信に適した 3 バイト RGB888 に自動的に変換されます。

DS90UH941AS-Q1 は、以下の 4 つの DSI YCbCr ビデオ形式のパススルーもサポートしています。

- パクト・ピクセル・ストリーム、12 ビット YCbCr 4:2:0 形式、データ・タイプ 0x3D
- パクト・ピクセル・ストリーム、16 ビット YCbCr 4:2:2 形式、データ・タイプ 0x2C
- パクト・ピクセル・ストリーム、24 ビット YCbCr 4:2:2 形式、データ・タイプ 0x1C
- ルーズリ・パクト・ピクセル・ストリーム、20 ビット YCbCr 4:2:2 形式、データ・タイプ 0x0C

これらの各形式はピクセルあたり 3 バイトのフォワード・チャネルに合わせて調整されていますが、RGB888 には変換されていません。

DS90UH941AS-Q1 は、FPD-Link III 経由での送信に適したピクセルあたり 3 バイトに調整された圧縮ピクセル・ストリーム・データのパススルーもサポートしています。展開は行われません。

注

通常、RGB ピクセル・データは、1 パケットあたり 1 本の水平ビデオ・ラインに相当するピクセルによって送信されます。水平ビデオ・ラインに相当するアクティブ・ピクセルが 2 つ以上のパケットに分割されるケースはサポートしていません。

8.3.2 高速フォワード・チャネル・データ転送

高速フォワード・チャネルは、シリアライザからデシリアライザに送信される RGB データ、同期信号、HDCP、I2C、GPIO、I2S 音声を含む 35 ビット・データで構成されています。図 8-2 に、クロック・サイクルごとのシリアル・ストリームを示します。このデータ・ペイロードは、AC 結合されたリンク越しに信号を伝送するために最適化されています。データは、ランダム化、バランス化、およびスクランブル化されています。

Copyright © 2022 Texas Instruments Incorporated



図 8-2. FPD-Link III シリアル・ストリーム

本デバイスは、1 レーンで 25MHz～105MHz、2 レーンで 50MHz～210MHz のピクセル・クロックをサポートしています。FPD-Link III のシリアル・ストリーム・レートは、1 レーンあたり最大 3.675Gbps (最小 875Mbps) です。

8.3.3 バック・チャネル・データ転送

バックワード・チャネルは、ディスプレイとホスト・プロセッサとの間の双方向通信を提供します。情報は、デシリアライザからシリアライザにシリアル・フレームとして伝えられます。バックワード・チャネル制御データは、高速フォワード・データ、DC バランス・コーディング、および埋込み型クロック情報と同様に両方のシリアル・リンクを経由して転送されます。このアーキテクチャによって、高速フォワード・チャネルと同じシリアル・リンクを経由するバックワード・パスを実現しています。バック・チャネルには I2C、CRC、4 ビットの標準 GPIO 情報が含まれ、そのライン・レートは 5Mbps、10Mbps、20Mbps のいずれかです (互換デシリアライザによって設定されます)。

8.3.4 FPD-Link III ポート・レジスタ・アクセス

DS90UH941AS-Q1 は 2 つのダウンストリーム・ポートを備えているため、2 つのポートを制御および監視できるように一部のレジスタを二重化する必要がありました。これを容易にするため、PORT_SEL レジスタが 2 組のレジスタへのアクセスを制御します。ポート間で共有される (二重化されていない) レジスタは、PORT_SEL レジスタの設定とは無関係に利用できます。

PORT0_SEL または PORT1_SEL ビットをセットすると、選択されたポートのレジスタを読み出すことができます。両方のビットをセットすると、ポート 1 レジスタが読み出されます。ポートへの書き込みは、選択ビットがセットされているポートで行われ、両方の選択ビットがセットされている場合、両方のポートに同時に書き込まれます。

PORT1_I2C_EN ビットをセットすると、セカンダリ I^2C スレーブ・アドレスが有効化され、セカンダリ I^2C アドレスを使ってセカンダリ・ポートのレジスタにアクセスできます。このビットがセットされている場合、PORT0_SEL および PORT1_SEL ビットは無視されます。

強制シングル FPD-Link III モードでは、PORT1_SEL レジスタ・ビットのセットが禁止されることで、ポート 1 レジスタへのアクセスが無効化されることに注意します。

追加のポート 1 レジスタは、独立 2:2 および / またはスプリッタ・モードでのみ使用できます。これらのモードが有効化されていない場合、これらのレジスタへのすべてのアクセスのアクセス先はポート 0 レジスタになります。

8.3.5 ビデオ制御信号

DSI インターフェイスに組み込まれたビデオ制御信号ビットには、ビデオ・ピクセル・クロック周期 (PCLK) に関連する特定の制約があります。デフォルトでは、DS90UH941AS-Q1 は、誤遷移を防止するため、これらの信号に最小パルス幅フィルタを適用します。

通常モード制御信号 (VS、HS、DE) には、以下の制約があります。

- 水平同期 (HS):制御信号フィルタ (レジスタ・ビット 0x03[4]) が有効化されている場合 (デフォルト)、ビデオ制御信号パルス幅は 3 PCLK 以上である必要があります。制御信号フィルタを無効化すると、この制約はなくなります (最小値は 1 PCLK)。HS は、130 PCLK あたり最大 2 つの遷移を持つことができます。
- 垂直同期 (VS):ビデオ制御信号パルスは、130 PCLK あたり 1 つの遷移に制限されます。そのため、最小パルス幅は 130 PCLK です。
- データ・イネーブル入力 (DE):制御信号フィルタ (レジスタ・ビット 0x03[4]) が有効化されている場合 (デフォルト)、ビデオ制御信号パルス幅は 3 PCLK 以上である必要があります。制御信号フィルタを無効化すると、この制約はなくなります (最小値は 1 PCLK)。DE は、130 PCLK あたり最大 2 つの遷移を持つことができます。

8.3.6 パワーダウン・ピン (PDB)

このシリアライザは、デバイスをイネーブルまたはパワーダウンするために、PDB 入力ピンを備えています。このピンは、外部デバイスまたは V_{DDIO} を使用して制御できます。消費電力を削減するには、ディスプレイが不要なときにリンクをディスエーブルします (PDB = Low)。すべての電源が最終的なレベルに達する前にこのピンが High に駆動されることがないよ

うにします。PDB を Low に駆動する場合、ピンを解放する前またはピンを High に駆動する前に、2ms 以上の間確実にピンを 0V に駆動します。PDB を直接 V_{DDIO} にプルアップする場合、10kΩ 以上のプルアップ抵抗と 10µF を超えるコンデンサをグランドとの間に接続する必要があります (*セクション 10.2* を参照)。

PDB を Low に切り替えると、本デバイスの電源がオフになり、すべての制御レジスタがデフォルトにリセットされます。この際、PDB を再度 High にする前に、2ms 以上にわたって Low に保持する必要があります。

8.3.7 シリアル・リンク・フォルトの検出

DS90UH941AS-Q1 は FPD-Link III 相互接続のフォルト条件を検出できます。フォルト条件が発生した場合、アドレス 0x0C のビット 0 (セクション 8.6) のリンク検出状態は 0 (ケーブルが検出されない) になります。DS90UH941AS-Q1 は、以下の条件のいずれかを検出します。

1. ケーブルの断線
2. 「+」と「-」の短絡
3. 「+」と GND の短絡
4. 「-」と GND の短絡
5. 「+」とバッテリの短絡
6. 「-」とバッテリの短絡
7. ケーブルの誤接続 (DOUT+/DOUT- の接続が逆)

注

本デバイスは上記の条件をすべて検出しますが、具体的にどの条件が発生したかは報告しません。

8.3.8 割り込みサポート

HDCP トランスミッタは、接続されたコントローラに INTB ピンを介して割り込み信号を生成できます。このピンは、認証フローの一部をコントローラが処理する必要性のために、またはリンクのステータスまたは認証のエラーを示すために使用できます。INTB ピンは、その他の割り込み元と共有できるオープン・ドレインのアクティブ Low 信号です。HDCP 割り込み制御レジスタ (HDCP_ICR、アドレス 0xC6) は各種の割り込み条件を有効化するために、また HDCP 割り込みステータス・レジスタ (HDCP_ISR、アドレス 0xC7) は割り込み条件を監視するために使用されます。HDCP_ICR のビット 0 は、アクティブ Low の INTB ピンで割り込みを生成できるようにその他の 1 つ以上の割り込みイネーブルと共にセットする必要があるグローバル割り込みイネーブルです。

割り込みが検出されると、割り込み条件を特定するためにコントローラは HDCP_ISR レジスタを読み出します。HDCP_ISR のビット 0 は割り込みが発生したことを示し、個々のステータス・ビットはどの条件がトリガされたかを示します。また、HDCP_ISR の読み出しによって割り込みはクリアされ、INTB ピンが解放されます。必要に応じて、現在のデバイス・ステータスを確認するため、コントローラは HDCP_STS レジスタを読み出します。使用可能な割り込み条件の詳細については、HDCP_ICR および HDCP_ISR レジスタの定義を参照してください。

レシーバ割り込み (HDCP_ICR と HDCP_ISR のビット 5) は特殊です。この割り込みを使用して、HDCP レシーバの INTB_IN ピンから HDCP トランスミッタ割り込みピン (INTB) に外部割り込みを伝搬します。この割り込みはアクティブ Low であり、その他の割り込み条件と同様に扱われます。割り込み信号の立ち下がりエッジが検出されると、HDCP トランスミッタは割り込み条件をラッチし、HDCP_ISR の IS_RX_INT ビットをセットし、INTB ピンを Low にアサートします。割り込み信号をクリアするには、コントローラは HDCP_ISR を読み出し、INTB ピンを解放し、HDCP_ISR をクリアする必要があります。次に、HDCP レシーバの INTB_IN ピンの現在のステータスを確認するため、コントローラは HDCP_STS:RX_INT ビットをチェックできます。INTB ピンは、INTB_IN 信号の次の立ち下がりエッジまでデアサートされたまま維持されます。

8.3.8.1 割り込みピン (INTB)

INTB ピンは、各種ローカルおよびリモート割り込み条件の割り込みとして機能するアクティブ Low の割り込み出力ピンです (*セクション 8.6* のレジスタ 0xC6 および 0xC7 を参照)。リモート割り込み条件の場合、INTB ピンはデシリアライザの INTB_IN ピンと連動して機能します。この割り込み信号は、設定に応じてデシリアライザからシリアライザに伝搬されます。

1. シリアライザで、レジスタの 0xC6[5] を 1、0xC6[0] を 1 に設定します。

Copyright © 2022 Texas Instruments Incorporated

2. いずれかの下流デバイスの割込みイベントによって、デシリアライザの INTB_IN ピンが Low に設定されます。
3. シリアライザは INTB ピンを Low にプルします。信号がアクティブ Low なので、Low は割り込み状態を示します。
4. 外部コントローラが INTB = Low を検出し、割り込み元を探索するために ISR レジスタを読み出します。
5. ISR の読み出しによってシリアライザでの割り込みがクリアされ、INTB が解放されます。
6. 通常は、外部コントローラがリモート・デバイスにアクセスして下流の割り込み元を決定し、デシリアライザの INTB_IN を駆動している割り込みをクリアする必要があります。このとき、下流デバイスは、デシリアライザの INTB_IN ピンを解放します。これでシステムは、次の INTB_IN の立下りエッジでステップ (2) に戻る準備が整いました。

8.3.8.2 リモート割り込みピン (REM_INTB)

DS90UH941AS-Q1 は専用の REM_INTB (リモート割り込み) ピンを備えています。このピンを使うと、接続された FPD-Link III デシリアライザ (DS90UH948-Q1 等) からの INTB 信号をパススルーできます。リンクが有効である間、デシリアライザの INTB_IN ピンの値は DS90UH941AS-Q1 の REM_INTB ピンに反映されます。

デュアル FPD3 モードでは、REM_INTB ピンは、接続されたデュアル対応デシリアライザの INTB_IN を表示します。その他のモードでは、REM_INTB ピンは、複数のデシリアライザ (接続されている場合) の INTB_IN ピンによる合成された割り込みを表示します。いずれかの接続でリモート割り込みが報告されると、合成された割り込みがアサートされます。

REM_INTB_CTRL レジスタを使用すると、REM_INTB ピン以外のピンにもリモート割り込みを表示できます。また、REM_INTB_MODE フィールドとして 0001 を選択すると、ポート 0 のリモート割り込みを REM_INTB に、ポート 1 のリモート割り込みを INTB ピンに表示できます。INTB ピンの場合、リモート割り込みは HDCP 割り込みレジスタ源と合成されます。HDCP_ICR レジスタを介して有効化されている場合にのみ HDCP 割り込みは有効であることに注意します。

スプリッタ・モードの割り込みのサポートの詳細については、『*DS90Ux941ASQ1 によるスプリッタ・モード動作*』アプリケーション・ノート (SNLA308) を参照してください。

Copyright © 2022 Texas Instruments Incorporated

8.3.9 GPIO サポート

8.3.9.1 GPIO[3:0] の設定

通常動作では、GPIO[3:0] は、フォワード・チャネル (出力) とバック・チャネル (入力) のどちらかのモードの汎用 IO として使用できます。GPIO モードはレジスタで設定できます。GPIO の有効化と設定については、表 8-2 を参照してください。

表 8-2. GPIO の有効化と設定

説明	デバイス	フォワード・チャネル	バック・チャネル
GPIO3	シリアライザ	0x0F[3:0] = 0x3	0x0F[3:0] = 0x5
	デシリアライザ	0x1F[3:0] = 0x5	0x1F[3:0] = 0x3
GPIO2	シリアライザ	0x0E[7:4] = 0x3	0x0E[7:4] = 0x5
	デシリアライザ	0x1E[7:4] = 0x5	0x1E[7:4] = 0x3
GPIO1	シリアライザ	0x0E[3:0] = 0x3	0x0E[3:0] = 0x5
	デシリアライザ	0x1E[3:0] = 0x5	0x1E[3:0] = 0x3
GPIO0	シリアライザ	0x0D[3:0] = 0x3	0x0D[3:0] = 0x5
	デシリアライザ	0x1D[3:0] = 0x5	0x1D[3:0] = 0x3

8.3.9.2 バック・チャネルの設定

D_GPIO[3:0] ピンは、モードとバック・チャネル周波数に応じて各種サンプリング・レートが得られるように設定できます。これらの各種モードは、互換性のあるデシリアライザによって制御されます。バック・チャネル周波数の設定方法の詳細については、適切なデシリアライザのデータシートを参照してください。各種モードの D_GPIO の詳細については、表 8-3 を参照してください。

表 8-3. バック・チャネル D_GPIO の実効周波数

HSCC_MODE (DES 上)	モード	D_GPIO の数	フレームあたりのサンプル数	D_GPIO の実効周波数 (1) (kHz)			使用可能な D_GPIO
				5Mbps BC (2)	10Mbps BC (3)	20Mbps BC (4)	
000	通常	4	1	33	66	133	D_GPIO[3:0]
011	高速	4	6	200	400	800	D_GPIO[3:0]
010	高速	2	10	333	666	1333	D_GPIO[1:0]
001	高速	1	15	500	1000	2000	D_GPIO0

(1) 実効周波数は、ワーストケースのバック・チャネル周波数 (-20%) と 4X サンプリング・レートを想定したものです。
(2) 5Mbps は互換デシリアライザの BC FREQ SELECT = 0 かつ BC_HS_CTL = 0 に対応します。
(3) 10Mbps は互換デシリアライザの BC FREQ SELECT = 1 かつ BC_HS_CTL = 0 に対応します。
(4) 20Mbps は互換デシリアライザの BC FREQ SELECT = X かつ BC_HS_CTL = 1 に対応します。

8.3.9.3 GPIO_REG[8:5] の設定

GPIO_REG[8:5] はレジスタ専用 GPIO であり、ローカル・レジスタ・ビットによってのみ出力として書き込まれ、または入力として読み出されます。該当する場合、これらのビットは I2S ピンと共有され、GPIO_REG モードが有効化されている場合、I^2S 入力に対して優先します。GPIO の有効化と設定については、表 8-4 を参照してください。

注:ローカル GPIO 値は、ローカル・レジスタ・アクセスと、双方向制御チャネルを介したリモート・レジスタ・アクセスのどちらかによって設定および読み出されます。GPIO[3:0] の場合と同様に、これらのピンの設定と状態はシリアライザからデシリアライザに転送されません。

表 8-4. GPIO_REG と GPIO ローカルの有効化と設定

説明	レジスタ設定	機能
GPIO_REG8	0x11[7:4] = 0x01	出力、L
	0x11[7:4] = 0x09	出力、H
	0x11[7:4] = 0x03	入力、読み出し:0x1D[0]

Copyright © 2022 Texas Instruments Incorporated

表 8-4. GPIO_REG と GPIO ローカルの有効化と設定 (continued)

説明	レジスタ設定	機能
GPIO_REG7	0x11[3:0] = 0x1	出力、L
	0x11[3:0] = 0x9	出力、H
	0x11[3:0] = 0x3	入力、読み出し:0x1C[7]
GPIO_REG6	0x10[7:4] = 0x1	出力、L
	0x10[7:4] = 0x9	出力、H
	0x10[7:4] = 0x3	入力、読み出し:0x1C[6]
GPIO_REG5	0x10[3:0] = 0x1	出力、L
	0x10[3:0] = 0x9	出力、H
	0x10[3:0] = 0x3	入力、読み出し:0x1C[5]
GPIO3	0x0F[3:0] = 0x1	出力、L
	0x0F[3:0] = 0x9	出力、H
	0x0F[3:0] = 0x3	入力、読み出し:0x1C[3]
GPIO2	0x0E[7:4] = 0x1	出力、L
	0x0E[7:4] = 0x9	出力、H
	4x0E[7:0] = 0x3	入力、読み出し:0x1C[2]
GPIO1	0x0E[3:0] = 0x1	出力、L
	0x0E[3:0] = 0x9	出力、H
	0x0E[3:0] = 0x3	入力、読み出し:0x1C[1]
GPIO0	0x0D[3:0] = 0x1	出力、L
	0x0D[3:0] = 0x9	出力、H
	0x0D[3:0] = 0x3	入力、読み出し:0x1C[0]

8.3.10 SPI 通信

SPI 制御チャネルは、2 レーン FPD-Link III 実装でセカンダリ・リンクを使用します。フォワード・チャネルとリバース・チャネルの 2 つのモードが使用できます。フォワード・チャネル・モードでは、SPI データの送信方向がビデオ・データと同じ方向になるように、SPI マスタはシリアライザに配置されます。リバース・チャネル・モードでは、SPI データの送信方向がビデオ・データと逆方向になるように、SPI マスタはデシリアライザに配置されます。

SPI 制御チャネルは、データの書き込み時はファースト・モードで動作できますが、データの読み出し時はより低い周波数で動作する必要があります。SPI の読み出し中、SPI クロックの立ち下がりエッジでスレーブからマスタにデータが送出されます。したがって SPI 読み出しは、往復のデータ待ち時間よりも長いクロック周期で動作する必要があります。一方、SPI 書き込みでは、マスタが MISO ピンを無視できるようなはるかに高い周波数でデータを送信できます。

SPI データ・レートは、2 つの動作モードに対して非対称です。フォワード・チャネルを経由するデータは、リバース・チャネルを経由するデータよりもはるかに速く送信されます。

注

SPI は、シリアライザ / デシリアライザ・レジスタにアクセスする目的では使えません。

8.3.10.1 SPI モードの設定

SPI は、互換性のあるデシリアライザ (DS90UH948-Q1 or DS90UH940N-Q1) の高速制御チャネル設定 (HSCC_CONTROL) レジスタ 0x43 を使用して I^2C 経由で設定されます。HSCC_MODE (0x43[2:0]) は、高速フォワード・チャネル SPI モード (110) と高速リバース・チャネル SPI モード (111) のどちらかに設定する必要があります。

8.3.10.2 フォワード・チャネル SPI の動作

フォワード・チャネル SPI 動作では、シリアライザに配置された SPI マスタが SPI クロック (SPLK)、マスタ出力 / スレーブ入力データ (MOSI)、アクティブ Low のスレーブ選択 (SS) を生成します。シリアライザは、ビデオ・ピクセル・クロックを使って SPI 信号を直接オーバーサンプリングします。SPLK、MOSI、SS としてサンプリングされた 3 つの値は、それぞれフォワード・チャネル・フレームのデータ・ビットで送信されます。デシリアライザでは、ピクセル・クロックを使って SPI 信号が再生成されます。セットアップおよびホールド時間を確保するため、SPLK 信号が High の間、デシリアライザは MOSI データを保持します。またデシリアライザは、SPLK を MOSI データに対して 1 ピクセル・クロック遅延させ、セットアップ時間を 1 ピクセル・クロック増やします。

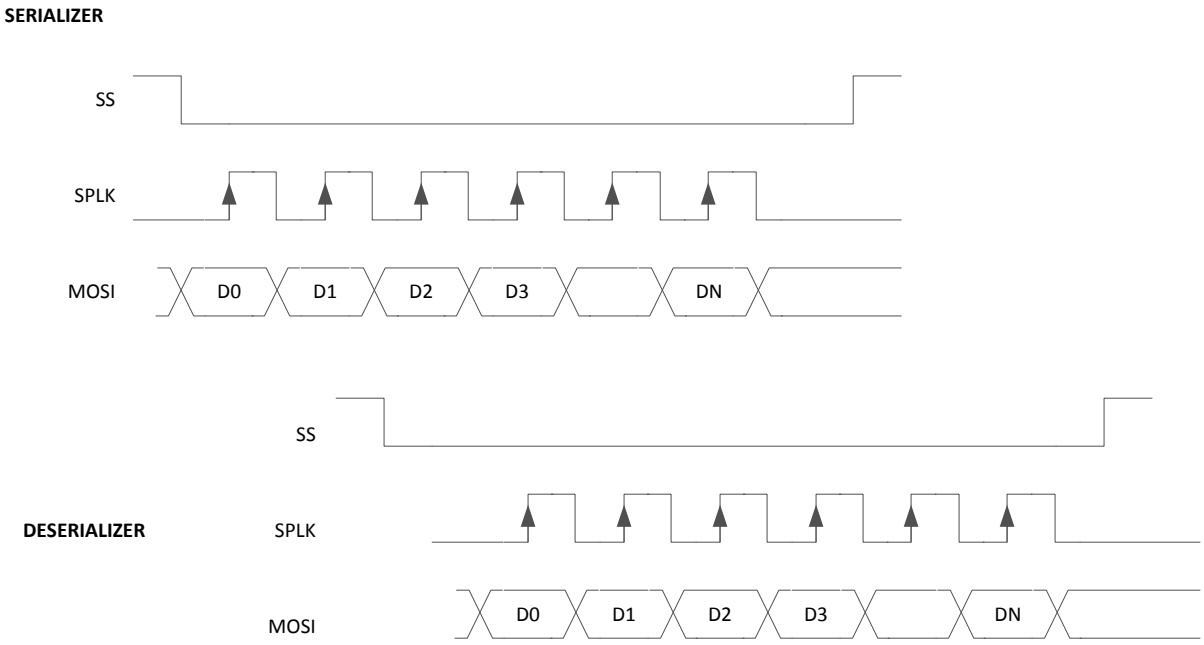


図 8-3. フォワード・チャネル SPI 書き込み

Copyright © 2022 Texas Instruments Incorporated

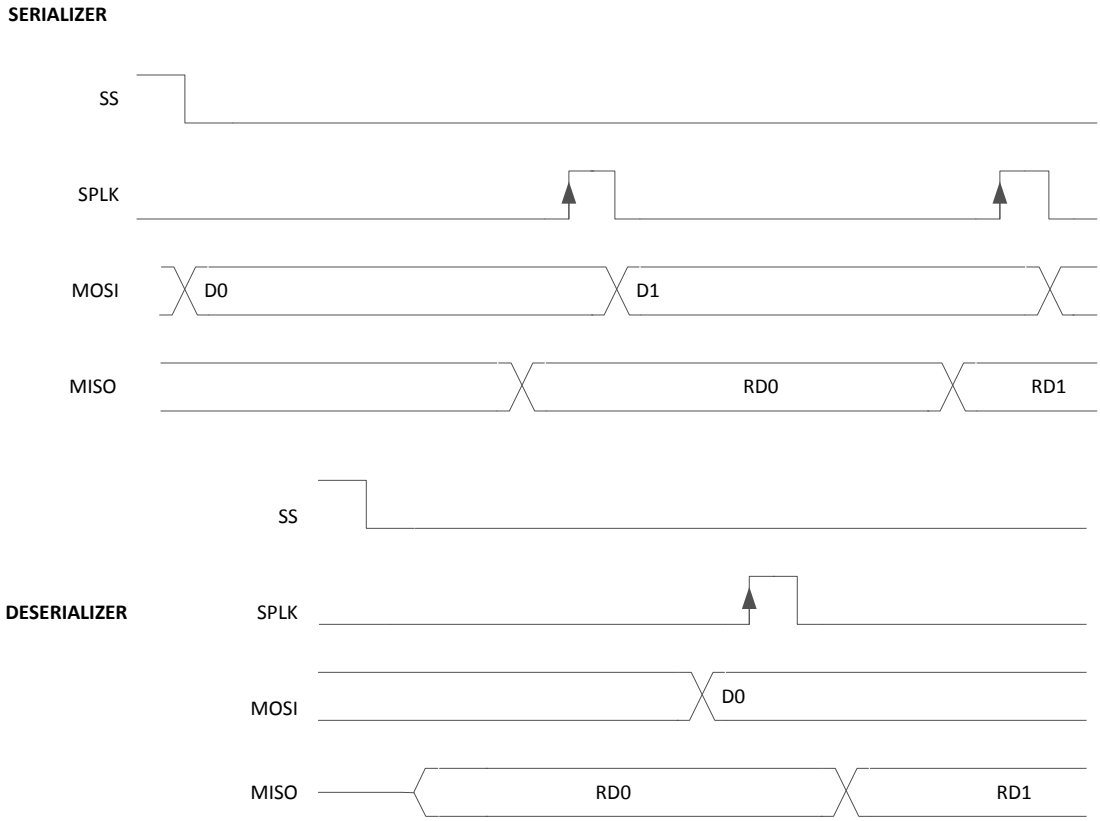


図 8-4. フォワード・チャネル SPI 読み出し

8.3.10.3 リバース・チャネル SPI の動作

リバース・チャネル SPI 動作では、デシリアライザはスレーブ選択 (SS) をサンプリングし、SPI クロック (SCLK) を内部発振器クロック・ドメインにサンプリングします。また、有効な SPI クロック・エッジを検出すると、デシリアライザは SPI データ (MOSI) をサンプリングします。SPI データのサンプルは、バック・チャネルを通じてシリアライザに渡すためにバッファに格納されます。デシリアライザは、バック・チャネル・フレームの SPI 情報をシリアライザに送信します。各バック・チャネル・フレームで、デシリアライザはスレーブ選択値を表すデータを送信します。シリアライザに確実に伝搬させるため、少なくとも 1 バック・チャネル・フレーム周期の間、スレーブ選択を非アクティブ (High) にする必要があります。

データは個別のバック・チャネル・フレームで送信およびバッファされるため、そのデータをバースト形式で再生成できます。図 8-5 に、データが 3 つのバック・チャネル・フレームで到達した場合の SPI データの再生成の例を示します。第 1 のフレームは SS アクティブ表示を、第 2 のフレームは最初の 3 データ・ビットを、第 3 のフレームはその他のデータ・ビットを提供します。

Copyright © 2022 Texas Instruments Incorporated

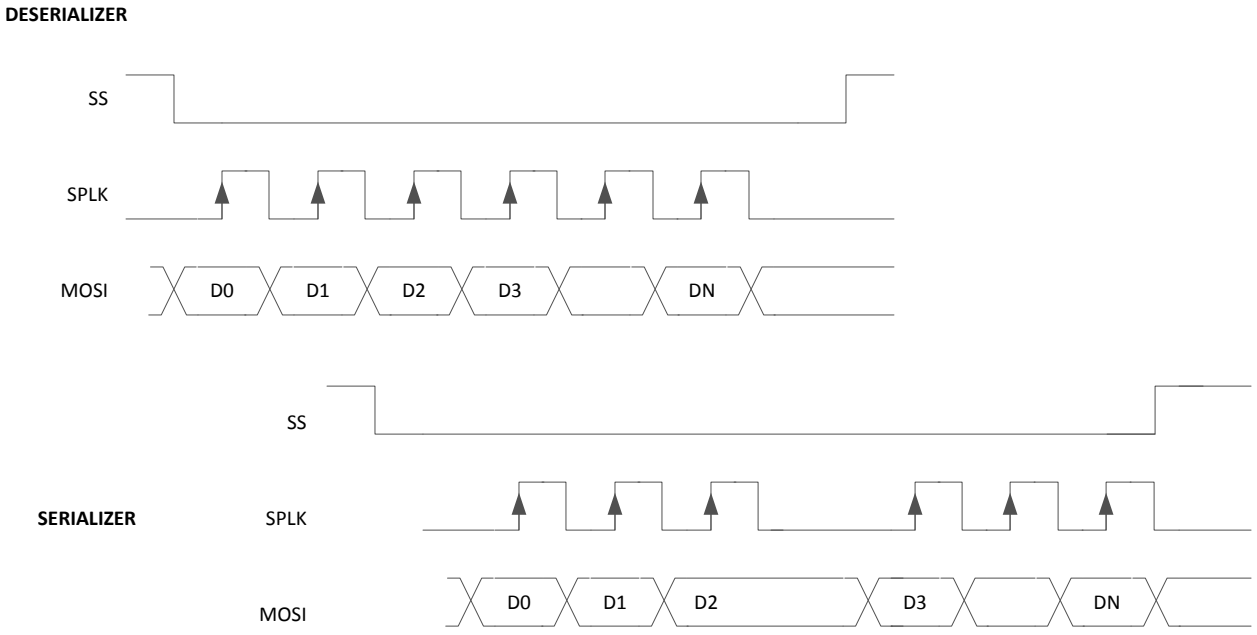


図 8-5. リバース・チャネル SPI 書き込み

リバース・チャネル SPI 読み出しの場合、SPI マスタは SPI クロックのサンプリング・エッジを生成する前に、往復応答を待機する必要があります。これはフォワード・チャネル・モードでの動作に似ています。1 バック・チャネル・フレームごとに最大 1 データ / クロック・サンプルが送信されることに注意します。

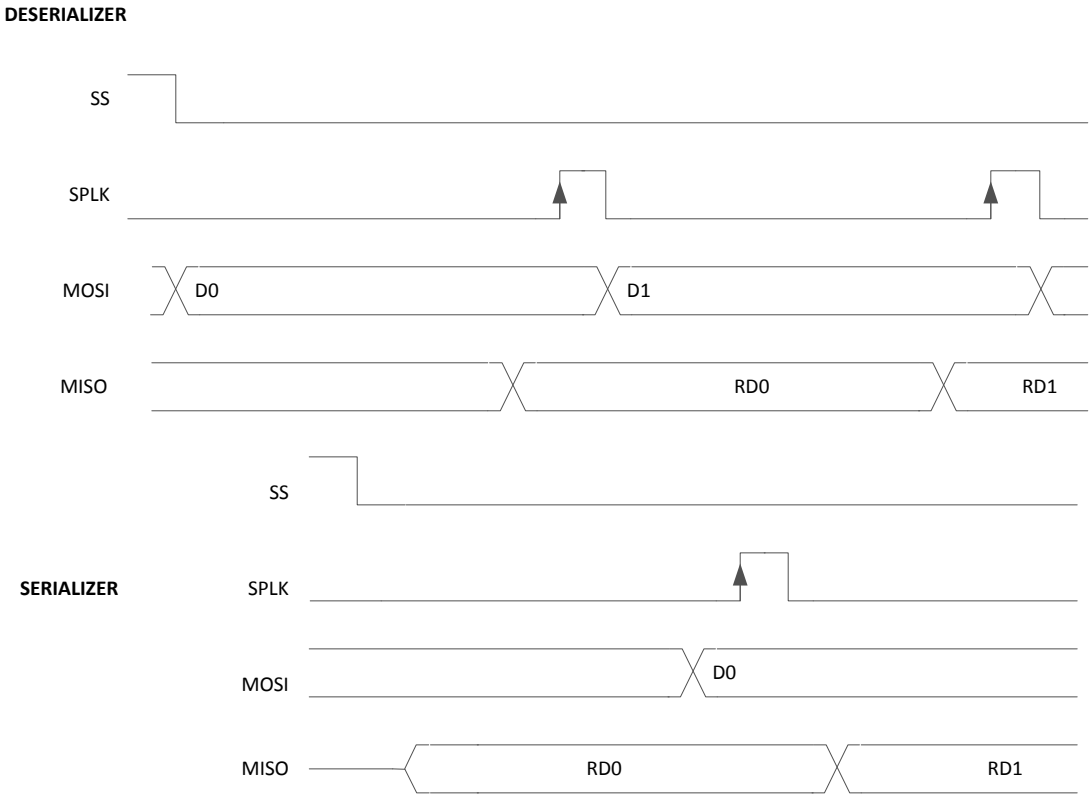


図 8-6. リバース・チャネル SPI 読み出し

リバース・チャネル SPI の書き込みと読み出しのどちらの場合も、少なくとも 1 バック・チャネル・フレーム周期の間、SPI_SS 信号をデアサートする必要があります。

Copyright © 2022 Texas Instruments Incorporated

表 8-5. SPI SS のデアサート要件

バック・チャネル周波数	デアサート要件
5Mbps	7.5µs
10Mbps	3.75µs
20Mbps	1.875µs

8.3.11 オーディオ・モード

8.3.11.1 I2S オーディオ・インターフェイス

DS90UH941AS-Q1 シリアライザは 6 本の I^2S 入力ピンを備えており、互換性のあるデシリアライザと組み合わせることで 7.1 HD (High-Definition) サラウンド・サウンド・オーディオ・アプリケーションをサポートできます。そのビット・クロック (I2S_CLK) は、1MHz と、CLK/2 と 13MHz の低い方との間の周波数をサポートしています。4 つの I^2S データ入力は、2 チャネルの I^2S 形式デジタル・オーディオをそれぞれ転送し、各チャネルはワード選択 (I2S_WC) 入力で指定されます。I2S の接続図とタイミング情報については、図 8-7 と図 8-8 を参照してください。

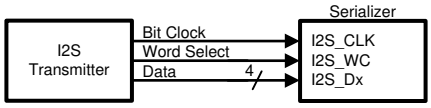


図 8-7. I^2S 接続図

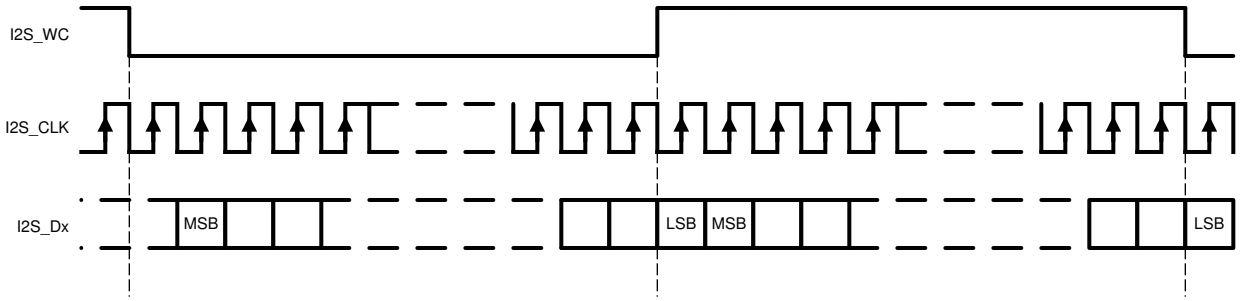


図 8-8. I2S フレームのタイミング図

表 8-6 に、代表的な I^2S サンプル・レートを示します。

表 8-6. オーディオ・インターフェイス周波数

サンプル・レート (kHz)	I^2S データ・ワード・サイズ (ビット)	I^2S CLK (MHz)
32	16	1.024
44.1	16	1.411
48	16	1.536
96	16	3.072
192	16	6.144
32	24	1.536
44.1	24	2.117
48	24	2.304
96	24	4.608
192	24	9.216
32	32	2.048
44.1	32	2.822
48	32	3.072
96	32	6.144
192	32	12.288

Copyright © 2022 Texas Instruments Incorporated

8.3.11.1.1 I2S 伝送モード

デフォルトでは、オーディオはパケット化され、ビデオ・ブランキング期間中に専用データ・アイランド伝送フレームで送信されます。I²S データのフォワード・チャネル・フレーム伝送が必要な場合、制御レジスタを使ってデータ・アイランド・フレームを無効化できます。このモードでは、I2S_DA のみが DS90UH928-Q1、DS90UH948-Q1、DS90UH940N-Q1 デシリアライザに送信されます。DS90UH926-Q1 デシリアライザに接続されている場合、I2S_DA と I2S_DB が送信されます。4 つの I²S データ入力 (I2S_D[A..D]) をすべて送信するサラウンド・サウンド・モードは、データ・アイランド伝送モードでのみ動作できます。このモードは、DS90UH928-Q1、DS90UH948-Q1、DS90UH940N-Q1 デシリアライザに接続されている場合にのみ使用できます。

8.3.11.1.2 I2S リピータ

I²S オーディオはリピータ・アプリケーションで中継および伝搬される場合があります。デフォルトでは、ビデオ・ブランキング期間中にデータ・アイランド伝送によってデータが伝搬されます。フレーム伝送が必要な場合、I²S ピンをデシリアライザからすべてのシリアライザに接続する必要があります。最上位のデシリアライザでサラウンド・サウンドを有効にすると、データ・アイランド伝送によって、下流のシリアライザとデシリアライザが自動的にサラウンド・サウンド伝送用に設定されます。I2S_DA と I2S_DB のみを使った 4 チャネル動作が必要な場合、リピータ・ツリー全体を通して、各シリアライザおよびデシリアライザ制御レジスタでこのモードを明示的に設定する必要があります。

8.3.11.1.3 スプリッタおよびレプリケート・モードでのオーディオ

スプリッタまたはレプリケート・モード中、ダウンストリーム・リンクごとに異なるオーディオを送信できます。動作は、AUDIO_CFG レジスタの SPLIT_AUDIO 制御によって制御されます。

SPLIT_AUDIO が 0 に設定されている場合、各ポートに同じオーディオが送信されます。送信されるチャネル数は DATAPATH_CTL レジスタの設定で決まります。両方のポートは同じに設定されます。

SPLIT_AUDIO が 1 に設定されている場合、ポート 1 では上下のチャネルが交換されます。これは、I2S_A/B の I2S 信号を I2S_C/D と交換することで行われます。このためステレオ・モードの場合、ポート 1 ではチャネル C の I2S データが送信されることになります。

表 8-7 に、その対応表を示します。

DS90UH941AS-Q1 を FPD3 スプリッタ・モードにストラップして起動すると、AUDIO_SPLIT 制御も 1 に設定されます。それ以外の場合、AUDIO_SPLIT 制御はデフォルトで 0 に設定されます。AUDIO_SPLIT レジスタ・ビットは、AUDIO_CFG レジスタに書き込むことでも制御できます。

表 8-7. スプリッタ・オーディオ・チャネルの対応表

SPLIT_AUDIO		ポート 0	ポート 1
0	A	I2S_DA	I2S_DA
	B	I2S_DB	I2S_DB
	C	I2S_DC	I2S_DC
	D	I2S_DD	I2S_DD
1	A	I2S_DA	I2S_DC
	B	I2S_DB	I2S_DD
	C	I2S_DC	I2S_DA
	D	I2S_DD	I2S_DB

8.3.11.2 TDM オーディオ・インターフェイス

I²S オーディオ・インターフェイスに加えて、DS90UH941AS-Q1 シリアライザは TDM 形式もサポートしています。TDM 形式の多くの仕様が一般的に使われており、DS90UH941AS-Q1 はワード長、ビット・クロック、多重化可能なチャネル数を柔軟にサポートしています。たとえば、ワード・クロック信号 (I2S_WC) 周期 = 256 × ビット・クロック (I2S_CLK) 周期であると仮定します。この場合、DS90UH941AS-Q1 は、それぞれ 64 ビットの最大ワード長で 4 チャネル、またはそれぞれ 32 ビットの最大ワード長で 8 チャネルを多重化できます。図 8-9 に、I2S に似た形式で 24 ビットのワード長を持つ 8 チャネルの多重化を示します。

Copyright © 2022 Texas Instruments Incorporated

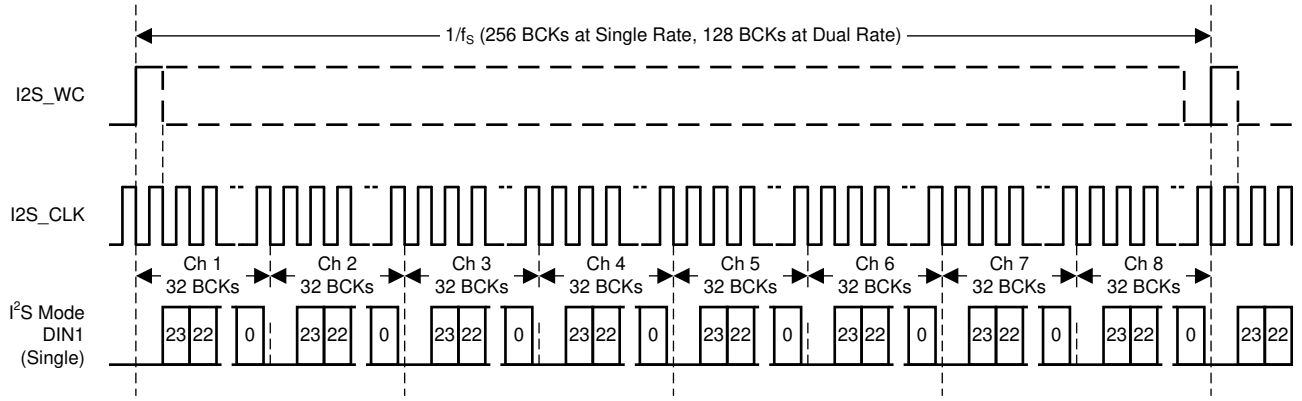


図 8-9. TDM 形式

8.3.12 HDCP

このシリアライザには、HDCP v1.4 仕様に従う HDCP 暗号機能が実装されています。DS90UH941AS-Q1 は、HDCP ビデオ・ソースに接続すると、オーディオビジュアル・コンテンツの HDCP 暗号化を行います。HDCP 制御チャネルを使用して、HDCP 認証と共有キー生成が実行されます。HDCP 制御チャネルは、シリアル・リンクのフォワード・チャネルとバックワード・チャネルに埋め込まれています。HDCP キーの格納には、内蔵不揮発性メモリ (NVM) が使用されます。秘密の HDCP キーは、テキサス・インスツルメンツで製造されるときに読み込まれ、デバイスの外部からアクセスすることはできません。詳細については、HDCP アプリケーション・ノート『FPD-Link III DS90UH94x および外部コントローラによる HDCP リピータ』を参照してください。

8.3.12.1 HDCP I²S オーディオ暗号化

オーディオビジュアル・ソースの品質と仕様によっては、デジタル・オーディオの HDCP 暗号化が必要な場合があります。HDCP が有効化されている場合、パケット化されたデータ・アイランド伝送オーディオも、ビデオ・データと共に HDCP v1.4 によって暗号化されます。フォワード・チャネル・フレーム伝送モードで送信される I²S オーディオは暗号化されません。システム設計者は、特定のアプリケーションのオーディオビジュアル・ソースでデジタル・オーディオ暗号化が必要かどうかを判断するために、特定の HDCP 仕様を参照する必要があります。

8.3.13 組み込みセルフ・テスト (BIST)

オプションの高速組み込みセルフ・テスト (BIST) 機能を使うと、外部データ接続を使わずに高速シリアル・リンクとバック・チャネルをテストできます。この機能は、試作段階、デバイスの量産時、インシステム・テスト、システムの診断に役立ちます。

BIST モードでは、バック・チャネルの CRC ステータスが MCLK ピンと REM_INTB ピンのどちらかに出力されます。スプリッタ・モードまたは独立 2:2 モードでは REM_INTB が使用され、それ以外の場合は MCLK が使用されます。セカンダリ・バック・チャネルの CRC ステータスは SCLK ピンに出力されます。

スプリッタ・モードまたは独立 2:2 モードでは、各ポートに対して BIST 機能が独立して有効化されます。

8.3.13.1 BIST の構成と状態

BIST モードは、ピン (BISTEN) または BIST 構成レジスタによってデシリアライザで起動されます。このテストでは、外部ピクセル・クロックと内部発振器クロック (OSC) のどちらかの周波数を選択できます。外部ピクセル・クロックを使わない場合、BISTC ピンまたは BIST 構成レジスタを使用してデシリアライザの内部 OSC 周波数を選択できます。

デシリアライザで BIST が開始されると、BIST イネーブル信号がバック・チャネル経由でシリアライザに送信されます。シリアライザは、テスト・パターンを出力してリンクを高速に駆動します。デシリアライザは、テスト・パターンを検出し、そのエラーを監視します。デシリアライザの PASS 出力ピンは、1 つ以上のエラーを含む各受信フレームにフラグを立てるためにトグルします。シリアライザは、各バック・チャネル・フレームの CRC フィールドによって示されたエラーも追跡します。

BIST ステータスは、デシリアライザの PASS ピンでリアルタイムに監視できます (エラーが検出されるたびに 1/2 ピクセル・クロック周期で Low に切り替わります)。BIST の実行が終了した後、最後のテスト結果は、リセット (新規の BIST テス

トまたはパワーダウン) されるまで PASS 出力に保持されます。PASS の High は、エラーが検出されなかったことを示します。PASS の Low は、1 つ以上のエラーが検出されたことを示します。テスト期間は、デシリアライザの BISTEN ピンに印加されるパルス幅によって制御されます。BIST の継続期間全体にわたってロックは有効です。

BIST モードのフロー図については、図 8-10 を参照してください。

ステップ 1: シリアライザは FPD-Link III デシリアライザと対をなします。BIST モードは、BISTEN ピンによって、またはデシリアライザのレジスタ 0x24[0] またはシリアライザのレジスタ 0x14[0] によって開始されます。BIST が開始するとすぐに、BIST シーケンスの一部では、シリアライザでローカルにビット 0x04[5] をトグルする (0x04[5] = 1 に設定した後 0x04[5] = 0 に設定する) 必要があります。目的のクロック源は、デシリアライザの BISTC ピンによって、またはデシリアライザのレジスタによって選択されます。

ステップ 2: オール・ゼロ・パターンがバランス化、スクランブル化、ランダム化され、FPD-Link III インターフェイス経由でデシリアライザに送信されます。シリアライザとデシリアライザが BIST モードにあるときに、デシリアライザがロックすると、デシリアライザの PASS ピンが High を出力し、BIST がデータ・ストリームのチェックを開始します。ペイロード (1～35) にエラーが検出された場合、クロック周期の 1/2 の間、PASS ピンが Low に切り替わります。BIST テスト中、PASS 出力を監視およびカウントすることでペイロード誤り率を求めることができます。

ステップ 3: BIST モードを停止するには、デシリアライザの BISTEN を Low に設定します。デシリアライザがデータのチェックを停止します。最終的なテスト結果は PASS ピンに保持されます。テストでエラーが検出されなかった場合、PASS 出力は High を維持します。1 つ以上のエラーが検出された場合、PASS 出力は定常的に Low を出力します。PASS 出力ステートは、新しい BIST を実行するか、デバイスをリセットまたはパワーダウンするまで保持されます。BIST の期間は、BISTEN 信号の期間によってユーザー制御されます。

ステップ 4: デシリアライザの BISTEN ピンを Low にすると、リンクは通常動作に戻ります。図 8-11 に、2 つのケースについて、標準的な BIST テストの波形図を示します。ケース 1 にエラーはなく、ケース 2 には複数のエラーがあります。リンクが堅牢 (差動データ転送など) であるため、ほとんどの場合、エラーを発生させるのは困難です。エラーを故意に発生させるには、ケーブルを大幅に延長し、相互接続メディアに障害を引き起こす等の工夫が必要でしょう。

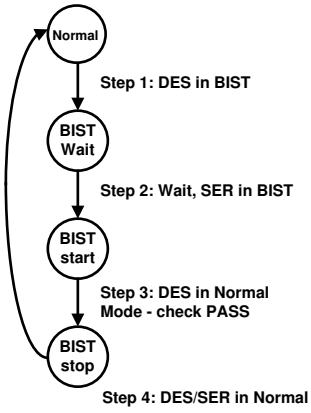


図 8-10. BIST モードのフロー図

8.3.13.2 フォワード・チャネルおよびバックワード・チャネルのエラー・チェック

シリアライザは、BIST モードにある間、DSI 入力ピンのサンプリングを停止し、内部のオール・ゼロ・パターンに切り替えます。内部のオール・ゼロ・パターンは、スクランブラ、DC バランス化回路等を通り、シリアル・リンクを経由してデシリアライザに送信されます。デシリアライザは、シリアル・ストリームにロックすると、回復したシリアル・ストリームをオール・ゼロと比較し、エラーがあればステータス・レジスタに記録します。エラーは、デシリアライザの PASS ピンでも動的に報告されます。

シリアライザがバック・チャネルのシリアル・ストリームにロックすると、バック・チャネル・データの CRC エラーがチェックされます。リンク検出状態はレジスタ・ビット (0x0C[0] - *セクション 8.6.1*) に示されます。CRC エラーは、デシリアライザの 8 ビット・レジスタに記録されます。このレジスタは、シリアライザが BIST モードに入るときにクリアされます。シリアライザが BIST モードを入るとすぐに、機能モード CRC レジスタがすべてのバック・チャネル CRC エラーの記録を開始します。

Copyright © 2022 Texas Instruments Incorporated

BIST モード CRC エラー・レジスタは、BIST モードでのみアクティブであり、クリアされるか、シリアライザが BIST モードに再び入るまで、最後の BIST 実行結果を保持します。

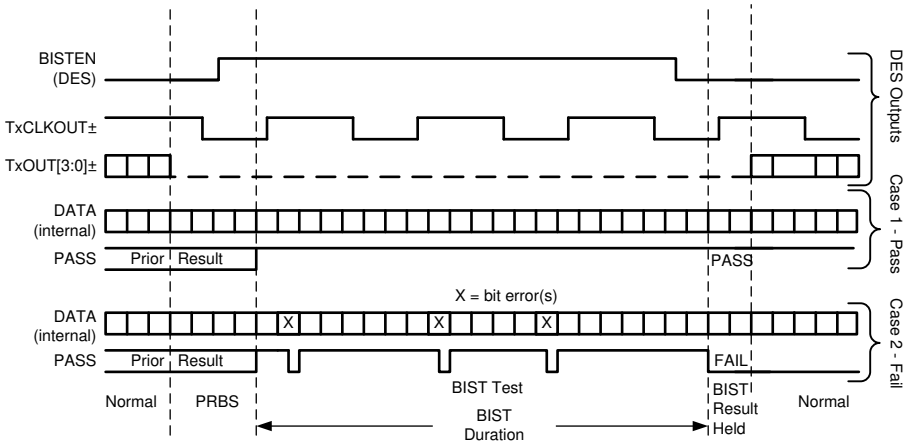


図 8-11. BIST 波形とデシリアライザ信号の関係

8.3.14 内部パターン生成

DS90UH941AS-Q1 シリアライザは内部パターン生成機能を備えています。そのため、統合型パネルの基本的なテストとデバッグが可能です。テスト・パターンは単純な繰り返しパターンであるため、パネルの動作を素早く視覚的に検証できます。信号を入力しなくても、本デバイスがパワーダウン・モードでない限り、テスト・パターンが表示されます。クロックが受信されない場合、設定された内蔵発振器周波数を使用するようにテスト・パターンを構成できます。詳細については、『FPDLink III/VI デバイスの内部テスト・パターン生成機能の解説』アプリケーション・ノート (SNLA132) を参照してください。

パターン・ジェネレータ BIST モードでは、MCLK ピンと REM_INTB ピンのどちらかにバック・チャネルの CRC ステータスが出力されます。スプリッタ・モードまたは独立 2:2 モードでは REM_INTB が使用され、それ以外の場合は MCLK が使用されます。セカンダリ・バック・チャネルの CRC ステータスが SCLK ピンに出力されます。

8.3.14.1 パターンの選択肢

DS90UH941AS-Q1 シリアライザのパターン・ジェネレータは、パネルの基本的なテストおよびデバッグに使う 17 のデフォルト・パターンを生成できます。PATGEN_INV 0x65[1] レジスタ・ビットを使うことで、それぞれのパターンを反転できます (*セクション 8.6.1* を参照)。各種パターンを以下に示します。

1. 白 / 黒 (デフォルト / 反転)
2. 黒 / 白
3. 赤 / シアン
4. 緑 / マゼンタ
5. 青 / 黄
6. 水平方向にスケーリング (黒から白 / 白から黒)
7. 水平方向にスケーリング (黒から赤 / シアンから白)
8. 水平方向にスケーリング (黒から緑 / マゼンタから白)
9. 水平方向にスケーリング (黒から青 / 黄から白)
10. 垂直方向にスケーリング (黒から白 / 白から黒)
11. 垂直方向にスケーリング (黒から赤 / シアンから白)
12. 垂直方向にスケーリング (黒から緑 / マゼンタから白)
13. 垂直方向にスケーリング (黒から青 / 黄から白)
14. PGRS で設定されたカスタム色 (またはその反転)
15. 黒 - 白 / 白 - 黒の格子パターン (またはカスタム格子パターン色、PGCTL で設定)
16. YCBR/RBCY VCOM パターン、方向は PGCTL で設定できます。
17. カラー・バー (白、黄、シアン、緑、マゼンタ、赤、青、黒) – 注: 自動スクロール機能には含まれません。

Copyright © 2022 Texas Instruments Incorporated

また、パターン・ジェネレータには、PGRS、PGGS、PGBS レジスタで 24 ビット・カラー制御された 1 つのユーザー設定可能フルスクリーンが組み込まれています。これはパターン #14 です。自動スクロールが無効化されている場合、パターンの選択肢の 1 つが PGCTL レジスタで静的に選択されます。自動スクロールが有効化されている場合、PGTSC および PGTSO1-8 レジスタはパターンの選択と順序を制御します。

8.3.14.2 カラー・モード

デフォルトでは、パターン・ジェネレータは 24 ビット・カラー・モードで動作し、赤、緑、青出力のすべてのビットが有効です。18 ビット・カラー・モードは、構成レジスタを使って有効化できます (*セクション 8.6.1*)。18 ビット・モードでは、赤、緑、青出力の上位 6 ビット (ビット 7～2) が有効です。下位 2 ビットは 0 になります。

8.3.14.3 ビデオ・タイミング・モード

パターン・ジェネレータは 2 つのビデオ・タイミング・モード (外部、内部) を備えています。外部タイミング・モードにある場合、パターン・ジェネレータは、DE および VS 入力に存在するビデオ・フレーム・タイミングを検出します。VS に垂直同期信号伝達が存在しない場合、パターン・ジェネレータは、非アクティブ (DE = 0) なピクセル・クロックの数が、検出されたアクティブ・ライン長の 2 倍を超えたことを検出することで垂直ブランクを決定します。内部タイミング・モードにある場合、パターン・ジェネレータは、制御レジスタで設定されたカスタム・ビデオ・タイミングを使用します。内部タイミング生成は、外部クロックによる駆動によっても行われます。デフォルトでは、外部タイミング・モードが有効化されています。内部タイミング、または外部クロックで駆動される内部タイミングは、制御レジスタによって有効化されます (*セクション 8.6.1*)。

8.3.14.4 外部タイミング

外部タイミング・モードでは、パターン・ジェネレータは、入力された DE、HS、VS 信号に変更を加えずに、2 ピクセル・クロックの遅延の後、ビデオ制御出力に転送します。パターン・ジェネレータは、輝度パターンを適切にスケーリングするため、入力信号から有効なフレーム寸法を抽出します。入力ビデオ・ストリームが VS 信号を使用していない場合、パターン・ジェネレータは、DE がアサートされていない長い期間のピクセル・クロックを検出することで垂直ブランク時間を決定します。

8.3.14.5 パターン反転

パターン・ジェネレータは、グローバル反転制御も備えています。グローバル反転制御は PGCFG レジスタ内にあり、出力パターンをビット単位で反転させます。たとえば、フルスクリーンの赤パターンはフルスクリーンのシアンになり、垂直方向に黒から緑にスケーリングされたパターンは、垂直方向に白からマゼンタにスケーリングされます。

8.3.14.6 自動スクロール

パターン・ジェネレータは、自動スクロール・モードをサポートしています。このモードでは、有効なパターン・タイプのリストに従ってパターンが繰り返し出力されます。最大 16 パターンのシーケンスをレジスタに定義できます。これらのパターンは、シーケンス内に任意の順序で出現させることができ、複数回出現させることもできます。

8.3.14.7 追加機能

パターン・ジェネレータの追加機能は、パターン・ジェネレータ間接レジスタ経由で利用できます (表 8-187 を参照)。

8.3.15 EMI 低減機能

8.3.15.1 SSC の許容入力範囲

DS90UH941AS-Q1 シリアライザは、最大 ±0.25% の振幅偏差 (センター・スプレッド) または最大 0.5% の振幅偏差 (アップ / ダウン・スプレッド)、最大 33kHz の変調幅の三角波入力スペクトラム拡散クロック (SSC) プロファイルをトラッキングできます (ホスト基準クロック源 = 25MHz～210MHz の場合)。

8.4 デバイスの機能モード

8.4.1 モード選択設定 (MODE_SEL[1:0])

デバイスの動作モード設定は、MODE_SEL[1:0] 入力ピンまたは構成レジスタ・ビットを使用して行うことができます。MODE_SEL[1:0] 入力の電圧比を設定するために、推奨値のプルアップ抵抗とプルダウン抵抗を使用できます。「表 8-8」を参照してください。パワーアップ中、これらの値はレジスタ位置にラッチされます。

Copyright © 2022 Texas Instruments Incorporated

表 8-8. MODE_SEL[1:0] の設定

モード	設定	機能
DSI レーン	00	1 レーン
	01	2 レーン
	10	3 レーン
	11	4 レーン
スプリッタ・モード	0	通常動作
	1	各 FPD-Link III 出力ポートにビデオ (奇数 / 偶数) を分割
DSI の無効化	0	DSI 入力を有効化。
	1	DSI 入力を無効化。DSI 入力のすべての設定は、入力が無効化されている間にを行う必要があるため、このストラップ・オプションを推奨します。
同軸モード	0	ツイストペア・ケーブル用に FPD-Link III を有効化します。
	1	同軸ケーブル用に FPD-Link III を有効化します。
クロック・モード	0	FPD-Link III は、REFCLK ピンに供給された外部発振器から生成されます。DSI クロックは連続モードでも不連続モードでも構いません。
	1	FPD-Link III は DSI クロックから生成されます。DSI クロックは連続モードである必要があります。

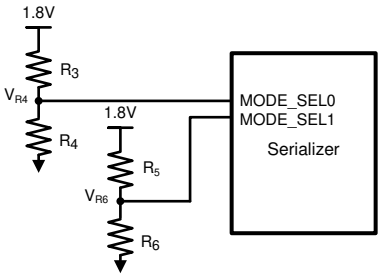


図 8-12. MODE_SEL[1:0] の接続図

表 8-9. ストラップ設定 MODE_SEL0

モード番号	V_{R4} の電圧			V_{R4} の目標電圧	ストラップ抵抗の推奨値 (許容誤差 1%)		スプリッタ	DSI レーン
	V_{MIN}	V_{TYP}	V_{MAX}	$V_{(VDD18)}$ = 1.8V	R_3 (kΩ)	R_4 (kΩ)		
0	0	0	0.126 × $V_{(VDD18)}$	0	オープン	10.0	0	1
1	0.179 × $V_{(VDD18)}$	0.211 × $V_{(VDD18)}$	0.244 × $V_{(VDD18)}$	0.38	73.2	20.0	0	2
2	0.286 × $V_{(VDD18)}$	0.325 × $V_{(VDD18)}$	0.364 × $V_{(VDD18)}$	0.585	60.4	30.1	0	3
3	0.404 × $V_{(VDD18)}$	0.441 × $V_{(VDD18)}$	0.472 × $V_{(VDD18)}$	0.794	51.1	40.2	0	4
4	0.526 × $V_{(VDD18)}$	0.556 × $V_{(VDD18)}$	0.590 × $V_{(VDD18)}$	1.001	40.2	51.1	1	1
5	0.643 × $V_{(VDD18)}$	0.673 × $V_{(VDD18)}$	0.708 × $V_{(VDD18)}$	1.211	30.1	61.9	1	2
6	0.763 × $V_{(VDD18)}$	0.790 × $V_{(VDD18)}$	0.825 × $V_{(VDD18)}$	1.421	18.7	71.5	1	3
7	0.880 × $V_{(VDD18)}$	$V_{(VDD18)}$	$V_{(VDD18)}$	1.8	10.0	オープン	1	4

Copyright © 2022 Texas Instruments Incorporated

表 8-10. ストラップ設定 MODE_SEL1

モード番号	V_{R6} の電圧			V_{R6} の目標電圧	ストラップ抵抗の推奨値 (許容誤差 1%)		クロック	同軸	DSI の無効化
	V_{MIN}	V_{TYP}	V_{MAX}	$V_{(VDD18)}$ = 1.8V	R_5 (kΩ)	R_6 (kΩ)			
0	0	0	0.126 × $V_{(VDD18)}$	0	オープン	10.0	1	0	0
1	0.179 × $V_{(VDD18)}$	0.211 × $V_{(VDD18)}$	0.244 × $V_{(VDD18)}$	0.380	73.2	20.0	1	0	1
2	0.286 × $V_{(VDD18)}$	0.325 × $V_{(VDD18)}$	0.364 × $V_{(VDD18)}$	0.585	60.4	30.1	1	1	0
3	0.404 × $V_{(VDD18)}$	0.441 × $V_{(VDD18)}$	0.472 × $V_{(VDD18)}$	0.794	51.1	40.2	1	1	1
4	0.526 × $V_{(VDD18)}$	0.556 × $V_{(VDD18)}$	0.590 × $V_{(VDD18)}$	1.001	40.2	51.1	0	0	0
5	0.643 × $V_{(VDD18)}$	0.673 × $V_{(VDD18)}$	0.708 × $V_{(VDD18)}$	1.211	30.1	61.9	0	0	1
6	0.763 × $V_{(VDD18)}$	0.790 × $V_{(VDD18)}$	0.825 × $V_{(VDD18)}$	1.421	18.7	71.5	0	1	0
7	0.880 × $V_{(VDD18)}$	$V_{(VDD18)}$	$V_{(VDD18)}$	1.8	10.0	オープン	0	1	1

表 8-11. モード選択 [1.0] レジスタ

ストラップ値	レジスタ名	ビット・フィールド	説明
MODESEL0 - スプリッタ	DUAL_CTL1、AUDIO_CFG	[2:0]、[4]	FPD3_TX_MODE、SPLIT_AUDIO
MODESEL0 - DSI レーン	BRIDGE_CTL	[3:2]	DSI_LANES
MODESEL1 - クロック	BRIDGE_CTL	[7]、[1:0]	DSI_CONTINUOUS_CLK
MODESEL1 - 同軸	DUAL_CTL1	[7]	FPD3_COAX_MODE
MODESEL1 - DSI の無効化	RESET_CTL	[3]	DISABLE_DSI

8.4.2 クロック・モード

8.4.2.1 DSI クロック・モード

DS90UH941AS-Q1 は、DSI インターフェイスの連続クロックと不連続クロックの両方をサポートしています。クロック・モードは、MODE_SEL1 ピンに接続した抵抗を適切な値に選択することで、または BRIDGE_CTL レジスタのビット 7 によって設定できます。注：FPD3 のクロック選択 (DSI クロック、外部クロック) は、各 Tx FPD3 ポートの I2C レジスタ書き込みによって行われます。

- 0：不連続 DSI クロック・モード：不連続 DSI クロックで動作させるには、に従って MODEL_SEL1 ピンをモード 4、5、6、7 に設定します。または BRIDGE_CTL[7] = 0 に設定します。
- 1：連続 DSI クロック・モード：連続 DSI クロックで動作させるには、に従って MODEL_SEL1 ピンをモード 0、1、2、3 に設定します。または BRIDGE_CTL[7] = 1 に設定します。

8.4.2.2 ピクセル・クロック・モード

DS90UH941AS-Q1 は 4 つのピクセル・クロック・モードをサポートしています。これらのモードにより、FPD-Link III インターフェイスの基準クロックが決まります。このモードは、BRIDGE_CFG2[1:0] レジスタ・ビットで設定できます。

- 00：DSI 基準クロック・モード
- 01：外部基準クロック・モード
- 10：内部基準クロック・モード
- 11：独立 2：2 モード用外部基準クロック

Copyright © 2022 Texas Instruments Incorporated

8.4.2.2.1 DSI 基準クロック・モード

このモードでは、DSI クロックは FPD-Link III インターフェイスの基準クロックとして機能します。DSI クロックは連続モードである (BRIDGE_CTL[7] レジスタ・ビットをセットする) 必要があります。DSI クロックは、必要なジッタ要件を満たす必要があります。このモードでは、FPD-Link III トランスミッタは DSI クロックと同期します。ピクセル・クロック周波数は、式 2 のとおり DSI クロック周波数に関連しています。

$$f_{PCLK} = \frac{f_{DSI} \cdot N_{DSI_Lanes}}{12} \quad (2)$$

同期パルス: 代表的な DSI 基準クロック・モード動作では、垂直同期 (VS) および水平同期 (HS) 信号が、DSI インターフェイスでの元のタイミングを使用して FPD-Link III 上に再生成されます。これらの同期パルスと共に以下の DSI パケットが使用されます。

- 0x01 : VSYNC_START (VSS)、HSS も含みます。
- 0x11 : VSYNC_END (VSE)、HSS も含みます。
- 0x21 : HSYNC_START (HSS)
- 0x31 : HSYNC_END (HSE)

FPD-Link III の VS パルス幅 (単位 : ライン) は、VSS パケットと VSE パケットとの間の総ライン数 (つまり、VSS パケットを含む HSS パケットの総数) に等しくなります。正確なビデオ・タイミングを再構成する場合、VS パルス幅はピクセル・クロックの整数倍とする必要があります。

FPD-Link III の HS パルス幅 (単位 : ピクセル・クロック) は、HSS パケット終端と HSE パケット終端との間のピクセル・クロック数に等しくなります。正確なビデオ・タイミングを再構成する場合、HS パルス幅はピクセル・クロックの整数倍とする必要があります。

同期イベント: DSI 信号源が同期イベントのみを送信するように設定されている場合、DS90UH941AS-Q1 は、レジスタの設定に従って、FPD-Link III に VS および HS パルスを生成します。これらの同期イベントと共に以下の DSI パケットが使用されます。

- 0x01 : VSYNC_START (VSS)、HSS も含みます。
- 0x21 : HSYNC_START (HSS)

同期イベントの設定: 同期イベントのサポートの有効化は、DSI 間接レジスタ DSI_CONFIG_0 (0x20) で行われます。HS および VS パルス幅は DSI 間接レジスタ (DSI_HSW_CFG、DSI_VSW_CFG) で個別に設定できます。

8.4.2.2.2 外部基準クロック・モード

このモードでは、REFCLK0 ピンに入力される外部基準クロックが FPD-Link III インターフェイスの基準クロックになります。この外部クロックは、必要なジッタ要件を満たす必要があります。このモードでは、DSI クロックは連続モードでも不連続モードでも構いません。

8.4.2.2.3 内部基準クロック

このモードでは、FPD-Link III インターフェイスの基準クロックは、内部の常時オン・クロックから生成されます。このモードでは、DSI クロックは連続モードでも不連続モードでも構いません。通常、内部基準クロックは必要なジッタ要件を満たしていないため、このモードはデバッグ目的で使用されます。

8.4.2.2.4 独立 2 : 2 モード用外部基準クロック

このモードは、独立 2:2 モードで両方のチャネルに外部基準クロックが必要な場合に使用します。このモードでは、REFCLK0 ピンに入力される外部基準クロックが FPD-Link III ポート 0 インターフェイスの基準クロックになり、REFCLK1 ピンに入力される外部基準クロックが FPD-Link III ポート 1 インターフェイスの基準クロックになります。どちらの外部クロックも、必要なジッタ要件を満たす必要があります。このモードでは、DSI クロックは連続モードでも不連続モードでも構いません。

Copyright © 2022 Texas Instruments Incorporated

8.4.3 デュアル DSI 入力モード

デュアル DSI 入力モードでは、両方の DSI 入力ポートが機能して、DS90UH941AS-Q1 に 1 つのビデオ・ストリームを供給します。DS90UH941AS-Q1 は、入力されたビデオを 1 つの画像に統合します。この動作では、次の 2 つの基本的なタイプの入力ビデオをサポートしています。

- シングル・イメージ、交互ピクセル。最初のピクセルは DSI ポート 0、2 番目のピクセルは DSI ポート 1 に出力されます。
- デュアル・イメージ (例：3D イメージ)。左の画像は DSI ポート 0、右の画像は DSI ポート 1 に出力されます。

これらの両方の条件に対する処理は同じです。入力は、交互のピクセル形式、シングル・ポート DSI ピクセル・クロック周波数の 2 倍の周波数のピクセル・クロック周期で 1 つのビデオ画像に統合されます (図 8-13 を参照)。

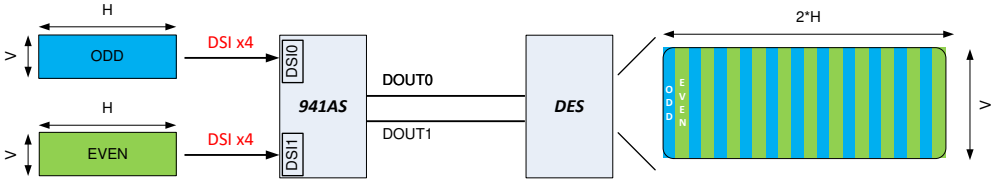


図 8-13. デュアル DSI 入力を交互ピクセル形式に統合

第 3 の方法は、デュアル・イメージを、交互ピクセル形式ではなく、左 / 右形式に統合することです (図 8-14 を参照)。この方法を選択すると、FPD-Link III デバイスでは簡単には分割できない画像が生成されます。この画像は、この形式を必要とする下流のパネルまたはプロセッサに統合された画像を転送するために使用できます。

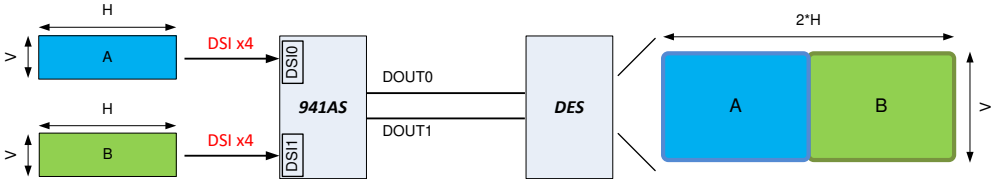


図 8-14. デュアル DSI 入力を左 / 右形式に統合

8.4.3.1 デュアル DSI 動作要件

デュアル DSI 入力モードを適切に動作させるための要件を以下に示します。

- DSI 入力は同じフレーム構成のビデオを送信する必要があります。
- DSI ポート間のスキューは 2 ピクセル・クロック周期 (シングル DSI のピクセル・クロック周波数) よりも小さい必要があります。
- FPD-Link III トランスミッタはデュアル FPD-Link III モードで動作する必要があります。
- DSI 入力は連続 DSI クロック・モードで動作する必要があります。

8.4.3.2 デュアル DSI 動作の有効化

デュアル DSI モードは、BRIDGE_CTL レジスタの DUAL_DSI_EN を 1 に設定することで有効化されます。DSI レシーバを有効化する前に、このモードを有効化します。

左 / 右統合オプションは、BRIDGE_CFG2 レジスタの DUAL_DSI_LR_EN ビットをセットすることで有効化されます。また、左 / 右統合のためには、ライン長および遅延パラメータを IMG_LINE_SIZE および IMG_DELAY レジスタに設定する必要があります。IMG_LINE_SIZE は、2D 画像のライン長に設定します。IMG_DELAY 値は通常、デフォルト設定値の 12 ピクセルに設定します。

デュアル DSI モードの場合、BRIDGE_CTL レジスタの DSI_PORT_SEL ビットを 0 に設定する必要があります。

Copyright © 2022 Texas Instruments Incorporated

8.4.3.3 デュアル DSI 制御およびステータス

DUAL_DSI_CTL_STS レジスタには、DSI 入力ポート間のスキューのステータスが含まれます。スキューが 3 ピクセル以下の場合、このレジスタに報告されます。このレジスタのステータスは現在のステータスのみであるため、あるビデオ・ラインから次のビデオ・ラインでスキューが変化している場合、過渡状態が常に報告されるとは限りません。

DUAL_DSI_CTL_STS レジスタは、入力経路のスキュー制御も行います。各入力ポートは、最大 3 ピクセル遅延させることができます。これにより、スキュー許容誤差とスキュー検出の診断チェックが可能です。また、入力ストリームに既知のスキューがある場合、スキュー制御を使用して、チャネル間のスキューを最大 3 ピクセル補償できます。

8.4.4 3D 形式のサポート (シングル DSI 入力)

DS90UH941AS-Q1 は、1 つの DSI 入力からビデオを受信するための 3 つの 3D 形式をサポートしています。

- 左 / 右 3D 形式
- 交互ライン 3D 形式
- 交互ピクセル 3D 形式

始めの 2 つの形式の場合、DS90UH941AS-Q1 は、DS90UH941AS-Q1 の出力または下流の DS90UH948-Q1 で簡単に分割できるように、交互ピクセル形式に画像を再構成します。交互ピクセル形式の場合、画像はすでに分割に適した形式になっています。

動作モードを適切に遷移させるため、3D モードの有効化は、DSI 入力が無効化されているときに行う必要があります。

独立 2:2 モードが有効化されている場合、左 / 右または交互ライン処理はプライマリ DSI から FPD-Link III への経路でのみ可能です。

8.4.4.1 左 / 右 3D 形式のサポート

DS90UH941AS-Q1 は、HDMI 1.4b 仕様で規定されたサイドバイサイド 3D 形式に適合したデュアル・イメージ・ビデオ入力 (2 つの画像をサイドバイサイド (左 / 右) 画像として提供) の受信をサポートしています。DS90UH941AS-Q1 は、左 / 右形式のビデオを、ピクセルが交互に並んだ 1 つの画像に統合するように設定できます。結果として得られる画像は、同じサイズで同じライン数ですが、ピクセルは並べ替えられます。この画像は DS90UH941AS-Q1 によって分割され、2 つの独立したデシリアライザに送られます (スプリッタ・モードを使用)。または、下流の DS90UH948-Q1 に送り、これらのデシリアライザで 2 つの画像に分割することもできます。

適切に動作させるための要件は以下のとおりです。

- 2 つの画像は同じビデオ形式 (ライン、ピクセル、ブランキング間隔) である必要があります。
- 使用するピクセル・クロックは、シングル・イメージを送信するために必要な周波数の 2 倍である必要があります。
- 水平ブランキングの構成要素 (フロント・ポーチ、同期期間、バック・ポーチ) は、シングル・イメージで必要とされるピクセル数の 2 倍である必要があります。
- 垂直ブランキング期間は、シングル・イメージで必要とされる数値と同じである必要があります。
- 統合された画像の最大ライン・サイズは 8192 ピクセル (24 ビット) です。

左 / 右入力モードは、RIDGE_CFG2 レジスタ (レジスタ 0x56[7]) の LEFT_RIGHT_3D レジスタ・ビットをセットすることで有効化されます。ソフトウェアは 2D 画像のライン・サイズ (IMG_LINE_SIZE) (レジスタ 0x32 および 0x33) と IMG_DELAY 制御 (レジスタ 0x34 および 0x35) も設定する必要があります。IMG_DELAY は、画像の再生成を適切に遅延させるために使用され、通常は小さな値 (例:12 クロック) に設定する必要があります。IMG_LINE_SIZE のデフォルト設定値は、デフォルトの 720p60 タイミング (1280 x 720、60fps) に基づいており、ライン・サイズは 1280 です。スプリッタ・モードが有効化されている場合、IMG_DELAY はポートごとに個別に設定できます。

左 / 右ビデオ処理のステータスは、VIDEO_3D_STS レジスタ (レジスタ 0x58) で監視できます。

この画像は DS90UH941AS-Q1 またはダウンストリーム・デシリアライザ (例:DS90UH948-Q1) で分割できます。図 8-15 と図 8-16 に、分割の例を示します。

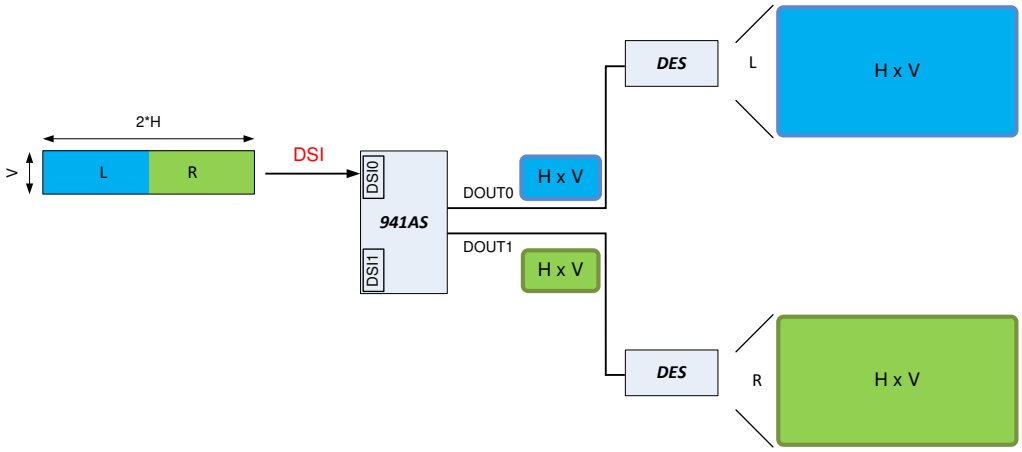


図 8-15. シリアライザで分割する方法

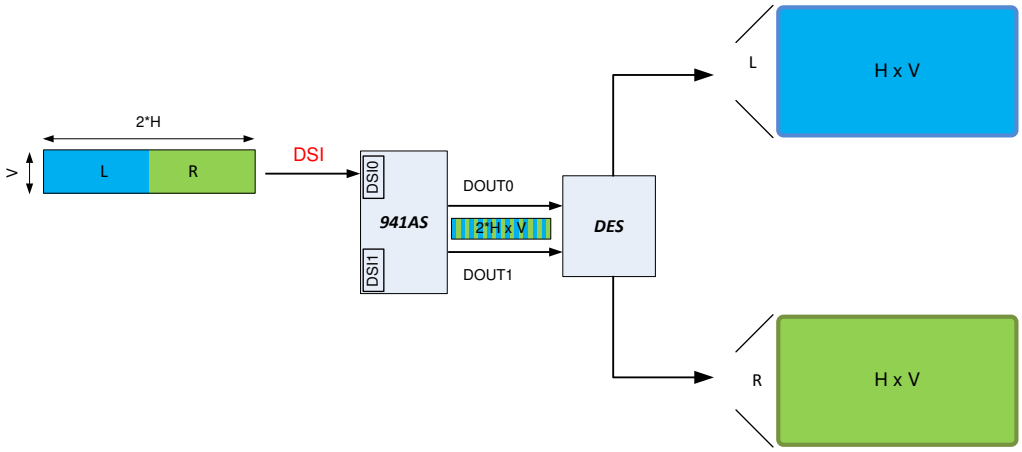


図 8-16. デシリアライザで分割する方法

8.4.4.2 交互ライン 3D 形式のサポート

DS90UH941AS-Q1 は、HDMI 1.4b 仕様で規定された交互ライン 3D 形式に適合したデュアル・イメージ・ビデオ入力 (2 つの画像を交互ライン・ビデオ・データとして供給) の受信をサポートしています。DS90UH941AS-Q1 は、交互ライン形式のビデオを、ピクセルが交互に並んだ 1 つの画像に統合するように設定できます。結果として得られる画像のビデオ・ライン数は 1/2 になり、そのビデオ・ラインの長さは 2 倍になります。この画像は、DS90UH941AS-Q1 によって FPD-Link III 出力で分割され、2 つの独立したデシリアライザに送られます (スプリッタ・モードを使用)。または下流の DS90UH948-Q1 に送り、これらのデシリアライザで 2 つの画像に分割することもできます。

適切に動作させるための要件は以下のとおりです。

- 2 つの画像は同じビデオ形式 (ライン、ピクセル、ブランキング間隔) である必要があります。
- 使用するピクセル・クロックは、シングル・イメージを送信するために必要な周波数の 2 倍である必要があります。
- 垂直ブランキングの構成要素 (フロント・ポーチ、同期期間、バック・ポーチ) は、シングル・イメージで必要とされるビデオ・ライン期間の数値の 2 倍である必要があります。
- 水平ブランキング期間は、シングル・イメージで必要とされるピクセル数と同じである必要があります。デュアル・イメージのブランキング期間は、シングル・イメージのブランキング期間の 2 倍であることに注意します。
- 最大ライン・サイズは 4095 ピクセル (24 ビット) です。

交互ライン・モードは、BRIDGE_CTL レジスタ (レジスタ 0x4F[4]) の ALT_LINES_3D レジスタ・ビットをセットすることで有効化されます。

交互ライン・ビデオ処理のステータスは ALT_LINE_STS レジスタ (レジスタ 0x58) で監視できます。

Copyright © 2022 Texas Instruments Incorporated

8.4.4.3 交互ピクセル 3D 形式のサポート

DS90UH941AS-Q1 は、2 つの画像が交互ピクセルとして送られるデュアル・イメージ・ビデオ入力の受信をサポートしています。この画像形式では、DS90UH941AS-Q1 は特別な処理を行う必要はありません。この画像は DS90UH941AS-Q1 によって分割され、2 つの独立したデシリアライザに送られます (スプリッタ・モードを使用)。または、下流の DS90UH948-Q1 に送り、これらのデシリアライザで 2 つの画像に分割することもできます。

適切に動作させるための要件は以下のとおりです。

- 画像は同じビデオ形式 (ライン、ピクセル、ブランキング間隔) である必要があります。
- 使用するピクセル・クロックは、シングル・イメージを送信するために必要な周波数の 2 倍である必要があります。
- 水平ブランキングの構成要素 (フロント・ポーチ、同期期間、バック・ポーチ) は、シングル・イメージで必要とされるピクセル数の 2 倍である必要があります。
- 垂直ブランキング期間は、シングル・イメージで必要とされる数値と同じである必要があります。
- 最大ライン・サイズは 4095 ピクセル (24 ビット) です。

交互ピクセル・モードは DS90UH941AS-Q1 のデフォルトの動作モードです。

スプリッタ・モードを有効化して水平同期タイミングを適切に再生成する場合、2 つの選択肢があります。望ましい選択肢は、IMG_DELAY のデフォルト設定値を使い、かつ IMG_HSYNC_CTLx レジスタを使って各ポートの水平同期および水平バック・ポーチ期間のレジスタ・オーバーライドを有効化することです。第 2 の選択肢は、水平同期タイミングの自動生成を有効化し、かつ 3D 画像の水平同期期間と水平バック・ポーチ期間の合計を上回るように IMG_DELAY の値 (単位: ピクセル) を設定することです。

8.4.5 独立 2：2 モード

独立 2:2 モードでは、DS90UH941AS-Q1 DSI レシーバは 2 つの独立した DSI 入力 (2 つのストリーム) を受信し、2 つの独立したデシリアライザ・リンクに出力します。1 つのビデオ・ストリームが DSI0 に入力され、DOUT0 のシングル・リンクを介して出力されます。もう 1 つのビデオ・ストリームは DSI1 に入力され、DOUT1 のシングル・リンクを介して出力されます。このモードでは、有効化された DSI データ・レーン数、DSI クロック周波数、各 DSI のビデオ形式に関して、DSI0 と DSI1 はそれぞれ異なる設定を持つことができます。

DSI 入力は、BRIDGE_CTL レジスタの DSI_PORT_SEL ビットを設定することで、DSI0 を DOUT1 に、DSI1 を DOUT0 に割り当てるように交換することもできます。

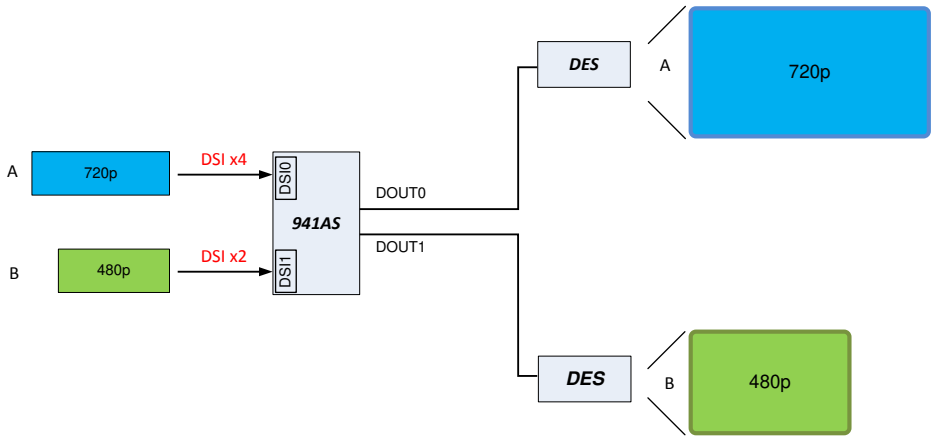


図 8-17. DSI 基準クロックによる独立 2：2 モード

連続 DSI 基準クロック・モード (図 8-17) の場合、各 DSI クロックを使用して各 FPD-Link III レーンのクロック・レートを決定します。外部基準クロック・モードの場合、各外部クロックを使用して各 FPD-Link III レーンのクロック・レートを決定します。このモードでは、ポート 0 のクロックは REFCLK0 ピンに、ポート 1 のクロックは REFCLK1 ピンに入力されます (図 8-18 を参照)。

Copyright © 2022 Texas Instruments Incorporated

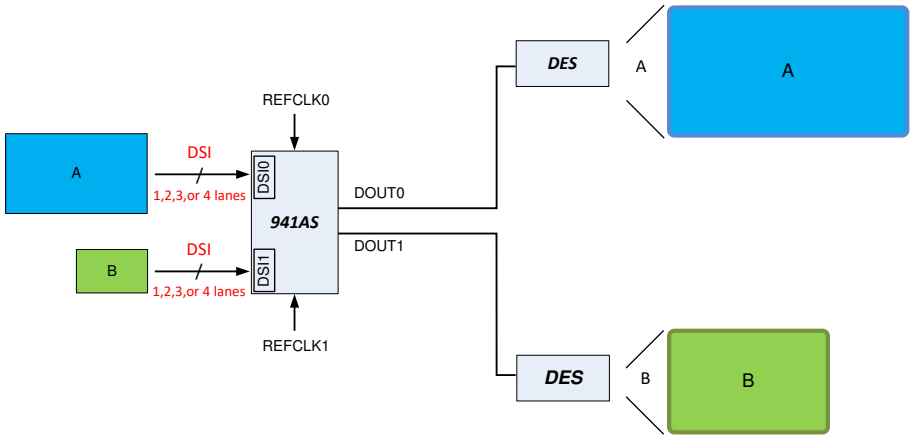


図 8-18. 外部基準クロックによる独立 2 : 2 モード

また、独立 2:2 モードで動作させる場合、本デバイスは内部の常時オン・クロックから生成された内部基準クロックを使用できます。各ポートは、800MHz の内部基準信号を分周する M/N クロック・デバイダを使った独立したタイミングで動作できます。

8.4.5.1 独立 2 : 2 モードの設定

独立 2:2 モードは、DSI 入力が無効化されている間に有効化する必要があります。こうすることで、本デバイスは正常に起動できます。本デバイスが最初に DSI 無効状態にストラップされた状態から、レジスタ DUAL_CTL1 (0x5B) の FPD3_TX_MODE[2:0] ビットを 101 に設定することで独立 2:2 モードに設定した後、RESET_CTL レジスタの DISABLE_DSI ビットを 0 に設定して DSI を有効化する必要があります。本デバイスが独立 2:2 モードに設定されていない限り、本デバイスのポート 1 レジスタへの書き込みは許可されません。したがって独立 2:2 モードは、ポート 1 レジスタを設定する前に有効化する必要があります。

各ポートに以下のオプションを設定できます。

- DSI_CONTINUOUS_CLK – レジスタ 0x4F[7]
- DSI_LANES – レジスタ 0x4F[3:2]
- DSI_BYTES_PER_PIXEL – レジスタ 0x54[5:4]
- BRIDGE_CLK_MODE – レジスタ 0x56[1:0]
- FREQ_STBL_THR – レジスタ 0x5C[4:3]
- FREQ_HYST – レジスタ 0x5C[2:0]
- PatternGen 直接および間接レジスタ – 0x64-0x69
- DSI 間接レジスタ・ページによる DPHY と DSI の設定

各ポートに対して以下のステータスが提供されます。

- FPD3_LINK_RDY – レジスタ 0x5A[7]
- FPD3_TX_STS – レジスタ 0x5A[6]
- DSI_CLK_DET – レジスタ 0x5A[3]
- NO_DSI_CLK – レジスタ 0x5A[1]
- FREQ_STABLE – レジスタ 0x5A[0]
- DSI 間接レジスタ・ページによる DPHY と DSI のステータス

8.4.5.2 独立 2 : 2 モードに設定するためのサンプル・コード

このサンプル・コードでは、FPD-Link ポート 0 に接続されたリモート・ディスプレイに 4 レーン DSI 信号源から 1080p ビデオ・データを送信し、FPD-Link ポート 1 に接続された別のリモート・ディスプレイに別の 4 レーン DSI 信号源から 720p ビデオ・データを送信するようにデバイスを設定しています。

Copyright © 2022 Texas Instruments Incorporated

8.4.5.3

```
WriteI2C (0x01,0x08)    //Disable DSI
WriteI2C (0x1E,0x01)    //Select FPD-Link III Port 0
WriteI2C (0x1E,0x04)    //Use I2D ID+1 for FPD-Link III Port 1 register access
WriteI2C (0x1E,0x01)    //Select FPD-Link III Port 0
WriteI2C (0x03,0x9A)    //Enable I2C_PASSTHROUGH, FPD-Link III Port 0
WriteI2C (0x1E,0x02)    //Select FPD-Link III Port 1
WriteI2C (0x03,0x9A)    //Enable I2C_PASSTHROUGH, FPD-Link III Port 1
WriteI2C (0x1E,0x01)    //Select FPD-Link III Port 0
WriteI2C (0x40,0x05)    //Select DSI Port 0 digital registers
WriteI2C (0x41,0x21)    //Select DSI_CONFIG_1 register
WriteI2C (0x42,0x60)    //Set DSI_VS_POLARITY=DSI_HS_POLARITY=1
WriteI2C (0x1E,0x02)    //Select FPD-Link III Port 1
WriteI2C (0x40,0x09)    //Select DSI Port 1 digital registers
WriteI2C (0x41,0x21)    //Select DSI_CONFIG_1 register
WriteI2C (0x42,0x60)    //Set DSI_VS_POLARITY=DSI_HS_POLARITY=1
WriteI2C (0x1E,0x01)    //Select FPD-Link III Port 0
WriteI2C (0x5B,0x05)    //Force Independent 2:2 mode
WriteI2C (0x4F,0x8C)    //Set DSI_CONTINUOUS_CLOCK, 4 lanes, DSI Port 0
WriteI2C (0x1E,0x01)    //Select FPD-Link III Port 0
WriteI2C (0x40,0x04)    //Select DSI Port 0 digital registers
WriteI2C (0x41,0x05)    //Select DPHY_SKIP_TIMING register
WriteI2C (0x42,0x1E)    //Write TSKIP_CNT value for 315 MHz DSI clock (1080p, PCLK = 105 MHz)
WriteI2C (0x1E,0x02)    //Select FPD-Link III Port 1
WriteI2C (0x4F,0x8C)    //Set DSI_CONTINUOUS_CLOCK, 4 lanes, DSI Port 1
WriteI2C (0x1E,0x01)    //Select FPD-Link III Port 0
WriteI2C (0x40,0x08)    //Select DSI Port 1 digital registers
WriteI2C (0x41,0x05)    //Select DPHY_SKIP_TIMING register
WriteI2C (0x42,0x14)    //Write TSKIP_CNT value for 225 MHz DSI clock (720p, PCLK = 75 MHz)
WriteI2C (0x01,0x00)    //Enable DSI
```

8.4.6 FPD-Link III の動作モード

FPD-Link III の送信ロジックは、送信されるビデオだけでなくダウンストリーム・レシーバに応じて、複数の動作モードに対応します。以下のモードをサポートしています。

8.4.6.1 シングル・リンク・モード

シングル・リンク・モードは、1 つの FPD-Link III を使って 1 つのレシーバにビデオを送信します。シングル・リンク・モードは、24 ビット・ビデオのために最大 105MHz の周波数をサポートしています。このモードは、85MHz 以下で動作させる場合、DS90UH926-Q1，DS90UH928-Q1 と互換性があります。このモードは、96MHz 以下で動作させる場合、DS90UH948-Q1 と互換性があります。

ダウンストリーム・デバイスが対応している場合、高速制御のためにセカンダリ FPD-Link III を使用できます。

強制シングル・リンク・モード (DUAL_CTL1 レジスタにより設定) では、セカンダリ TX PHY およびバック・チャネルが無効化されます。また、ポート 1 レジスタへのアクセスは禁止されます。

Copyright © 2022 Texas Instruments Incorporated

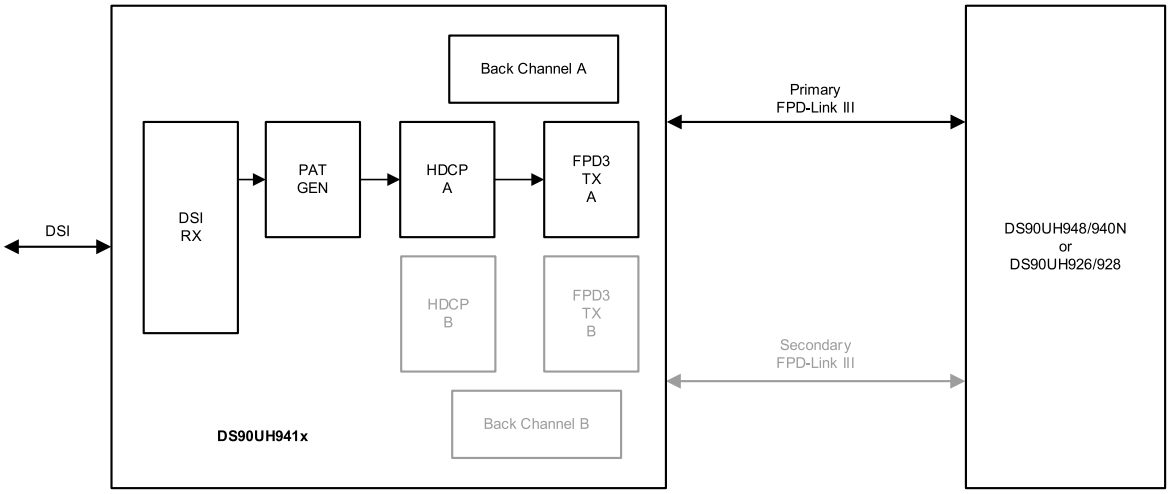


図 8-19. シングル・リンク、1：1 モード

8.4.6.2 デュアル・リンク・モード

デュアル・リンク・モードでは、FPD-Link III の TX は 1 つのビデオ・ストリームを分割し、2 つのダウンストリーム・リンクに交互ピクセルを送信します。HDCP が有効化されている場合、2 つのリンクで送信されるビデオに対して 1 つの HDCP 接続が生成されます。レシーバとして、デュアル・ストリーム・ビデオを受信できる DS90UH948-Q1、DS90UH940-Q1、DS90UH940N-Q1 のいずれか (最大 170MHz のピクセル・クロック) を使う必要があります。デュアル・リンク・モードは最大 210MHz のピクセル・クロック周波数をサポートできます (各 FPD-Link III TX ポートはその半分の周波数で動作します)。セカンダリ FPD-Link III は、高速制御に使用できます。

ビデオが最小周波数要件を満たしている場合、DS90UH948-Q1、DS90UH940-Q1、DS90UH940N-Q1 のいずれかに接続すると、デュアル・リンク・モードが自動的に設定されます。DUAL_CTL1 レジスタを使用しても、デュアル・リンク・モードが強制的に設定されます。

デュアル・リンク・モードでは、双方向制御チャネル動作はプライマリ・リンクでのみ可能です。

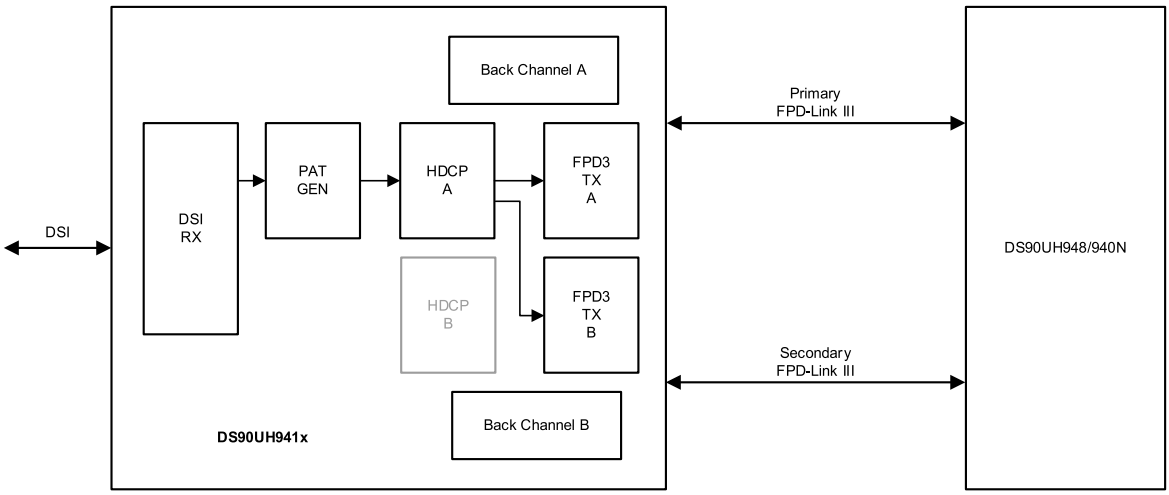


図 8-20. デュアル・リンク、1：2 モード

8.4.6.3 レプリケート・モード

このモードでは、同じビデオが各レシーバに供給されます。FPD-Link III TX は 1:2 HDCP リピータとして動作します。独立した HDCP 対応レシーバに対する HDCP 認証および暗号化をサポートするため、第 2 の HDCP コアが実装されています。同じビデオ (最大 105MHz、24 ビット・カラー) が各レシーバに供給されます。

Copyright © 2022 Texas Instruments Incorporated

本デバイスがスプリッタ・モード以外 (MODE_SEL0 の表を参照) にストラップされ、かつ 2 つの独立したデシリアライザに接続されている場合、レプリケート・モードが自動的に設定されます。

レプリケート・モード中、双方向制御チャネル動作は両方のリンクで独立して利用できます。

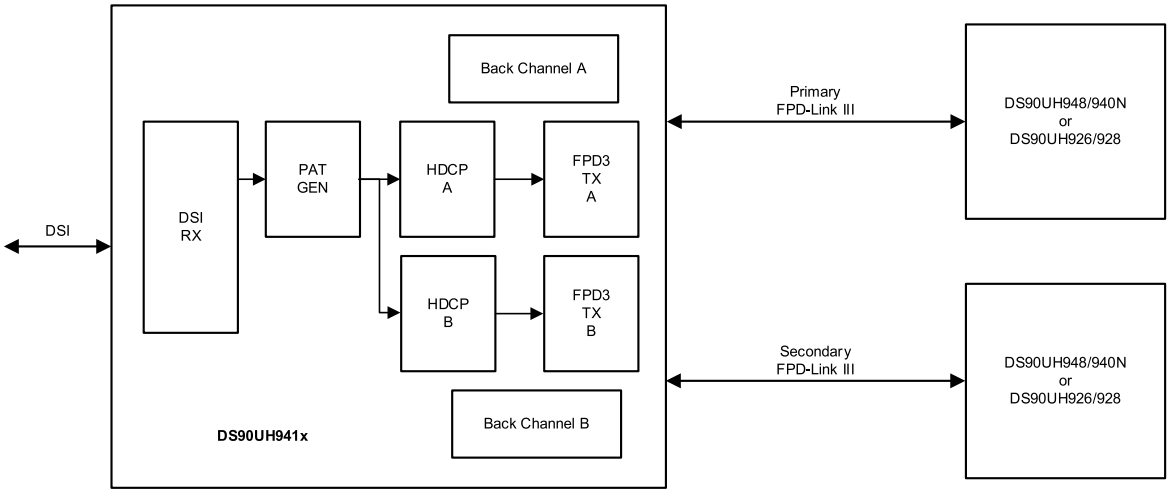


図 8-21. レプリケート・モード

8.4.6.4 スプリッタ・モード

スプリッタ・モードでは、FPD-Link III の TX は 1 つのビデオ・ストリームを分割し、2 つの独立したデシリアライザへの 2 つのダウンストリーム・リンクに交互ピクセルを送信します。HDCP が有効化されている場合、2 つのデシリアライザへの接続のために個別の HDCP 接続が必要です。各経路には、その FPD-Link III 出力のためにビデオ・ストリームを生成するためのパターン・ジェネレータが備わっています。スプリッタ・モードは、自動検出機能と組み合わせて使うことはできません。代わりに、レジスタと電源オン時ストラップ・オプションのどちらかを使って、本デバイスをスプリッタ・モードにプログラムする必要があります。

注:テキサス・インスツルメンツの Web サイトにある DS90Ux941AS-Q1 スーパーフレーム設計カリキュレータを使用すると、スプリッタおよびクロッピング・レジスタ・プログラミングを簡単に設定できます。

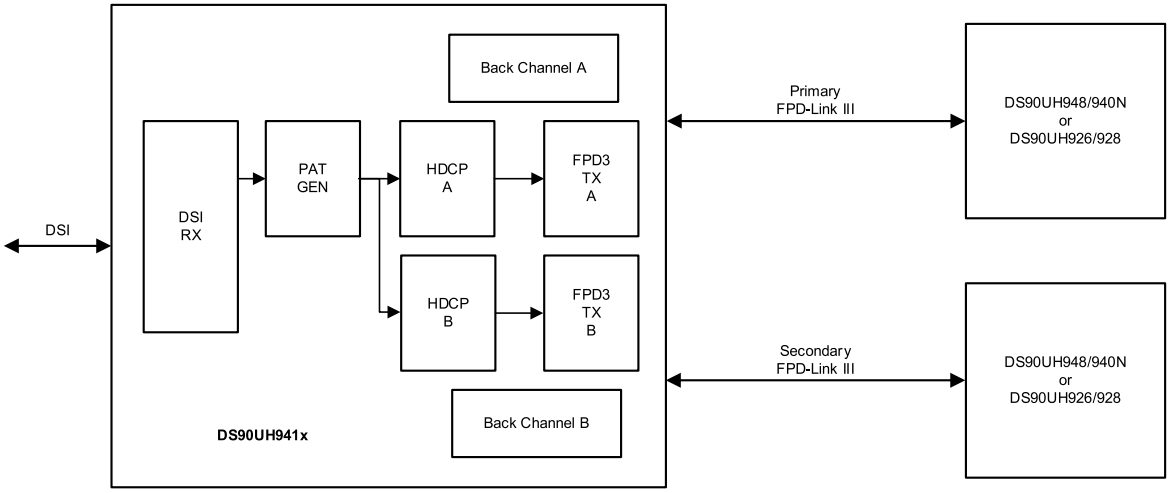


図 8-22. スプリッタ・モード

スプリッタ・モードは、デュアル DSI 入力では動作しません。複数のビデオ・フレームを送信する場合、ソースは代わりに独立 2:2 モードを使用する必要があります。

スプリッタ・モードでは、両方のリンクで独立した双方向制御チャネル動作が可能です。

Copyright © 2022 Texas Instruments Incorporated

8.4.6.4.1 DSI 対称型分割

DS90UH941AS-Q1 の DSI レシーバは非対称ビデオ・フレームをサポートしており、コンテンツを個別のビデオ・ストリームに分割します。このモードでは、ストリーム A は DOUT0 に出力され、ストリーム B は DOUT1 に出力されます。以下のサブセクションで、可能な実装について説明します。

8.4.6.4.1.1 対称型分割 – 左 / 右

DSI0 または DSI1 の 1 つの入力 (サイドバイサイド) に対して、左ピクセルは DOUT0 で受信され、右ピクセルは DOUT1 で受信されます。要件は以下のとおりです。

- DSI 入力の水平総ピクセル数は、左または右のピクセル数の 2 倍です。
- 左右に分割されたビデオは互いに同じビデオ形式およびパラメータを持つ必要があります。
- Hactive(A) = Hactive(B)、Vactive(A) = Vactive(B)

  デュアル・イメージ・ビデオ入力は、HDMI 1.4b 仕様に規定されたサイドバイサイド 3D 形式に基づいて充填された横並び (左 / 右) 画像として配置されます。

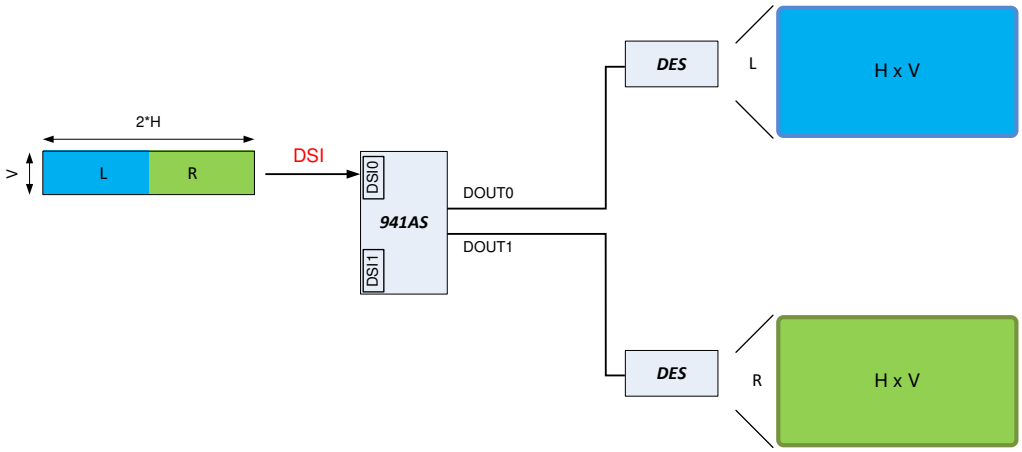


図 8-23. シングル DSI 入力から左 / 右 (サイドバイサイド) への分割

8.4.6.4.1.2 対称型分割 – 交互ピクセル分割

DSI0 または DSI1 の 1 つの交互ピクセル入力が、A+B のビデオ・ストリームを伝送します。A ピクセルは DOUT0 に出力され、B ピクセルは DOUT1 に出力されます。DSI0 と DSI1 は同じデータ・レーン数とビデオ形式を持つ必要があります。要件は以下のとおりです。

- DSI 入力の水平ピクセルの総数は、左または右のピクセル数の 2 倍です。
- A と B に分割されたビデオは互いに同じビデオ形式およびパラメータを持つ必要があります。
- Hactive(A) = Hactive(B)、Vactive(A) = Vactive(B)

Copyright © 2022 Texas Instruments Incorporated

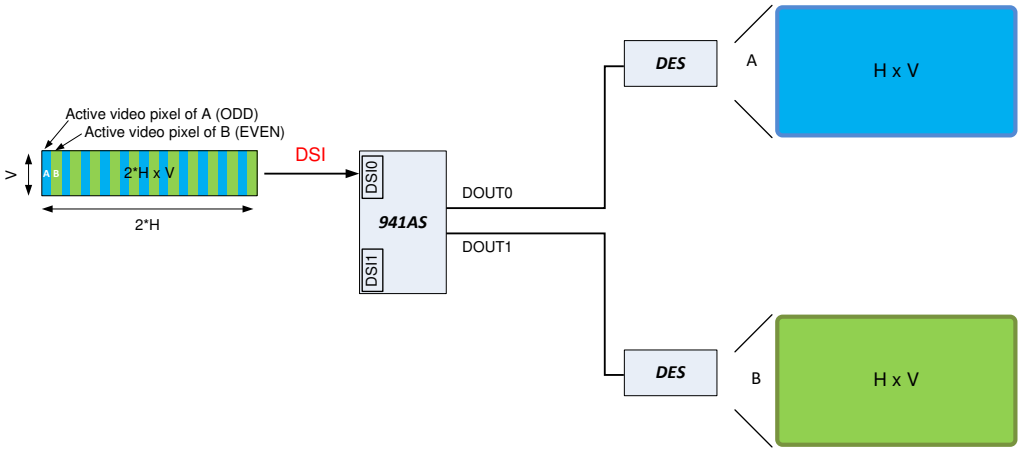


図 8-24. 交互ピクセル分割

8.4.6.4.1.3 対称型分割 – 交互ライン分割

DSI0 または DSI1 の 1 つの交互ライン入力が、A+B のビデオ・ストリームを伝送します。A ラインは DOUT0 に出力され、B ラインは DOUT1 に出力されます。DSI0 と DSI1 は同じデータ・レーン数とビデオ形式を持つ必要があります。要件は以下のとおりです。

8.4.6.4.1.4

- DSI 入力の垂直ラインの総数は、A または B の垂直ライン数の 2 倍です。
- A と B に分割されたビデオは互いに同じビデオ形式およびパラメータを持つ必要があります。
- Hactive(A) = Hactive(B)、Vactive(A) = Vactive(B)

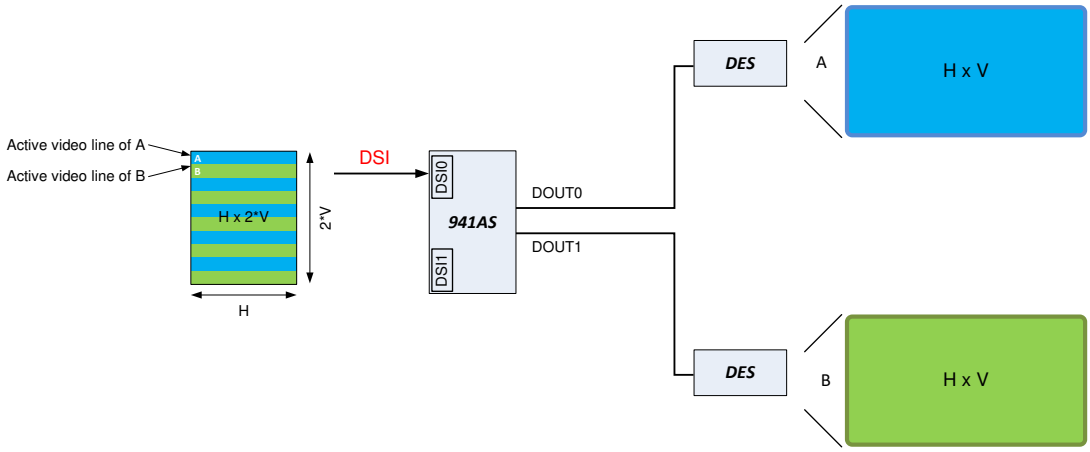


図 8-25. 交互ライン分割

8.4.6.4.2 DSI 非対称型分割

DS90UH941AS-Q1 DSI レシーバは非対称型ビデオ・フレームをサポートしており、コンテンツを個別のビデオ・ストリームに分割します。このモードでは、ストリーム A は DOUT0 に出力され、ストリーム B は DOUT1 に出力されます。以下のサブセクションで、可能な実装について説明します。

8.4.6.4.2.1 クロッピングによる非対称型分割

図 8-26 に、DSI0 (DSI1 も可能) 上の 1 つの DSI 非対称ビデオ・ストリーム入力が、異なるビデオ解像度を持つ 2 つのビデオに分割される様子を示します。

このモードでは、1 つの DSI ビデオ入力に、異なる形式とパラメータを持つ 2 組のビデオ・データを含めることができます。出力でクロッピングされた (切り取られた) 画像のサイズは小さくなりますが、ラインのタイミングは維持されるため、垂直ブランキングが増えます。

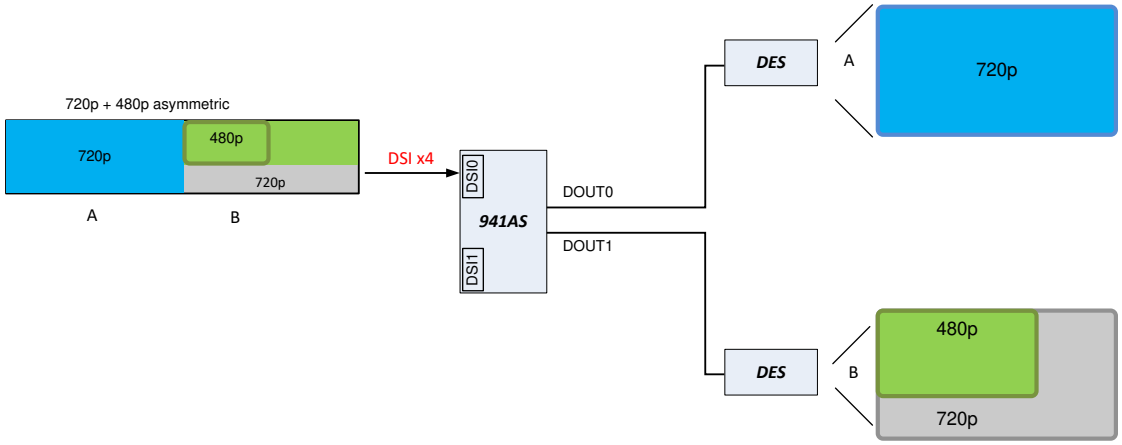


図 8-26. クロッピングによる非対称型分割

結果の出力画像をクロッピングする (切り取る) ことで、フレームの非対称型分割を実現できます。入力ビデオの要件は、対称型分割の場合と同じです。スーパーフレームには、同サイズの 2 つの画像が含まれる必要があります。それらの画像は、水平寸法と垂直寸法の両方に対してクロッピングされ、サイズが小さい画像が生成されます。クロック周波数は、スーパーフレームの周波数の 1/2 に維持されることに注意します。また、水平および垂直ブランキング間隔はクロッピングの大きさに応じて増加します。

非対称型分割の設定は、各画像の画像クロッピングを有効化することで行われます。画像をクロッピングするたびに、水平および垂直寸法を設定する必要があります。

クロッピングは、各ポートの CROP_START_X/Y および CROP_STOP_X/Y レジスタで制御されます。各ポートの CROP_ENABLE は、CROP_START_X1 レジスタのビット 7 です。

Copyright © 2022 Texas Instruments Incorporated

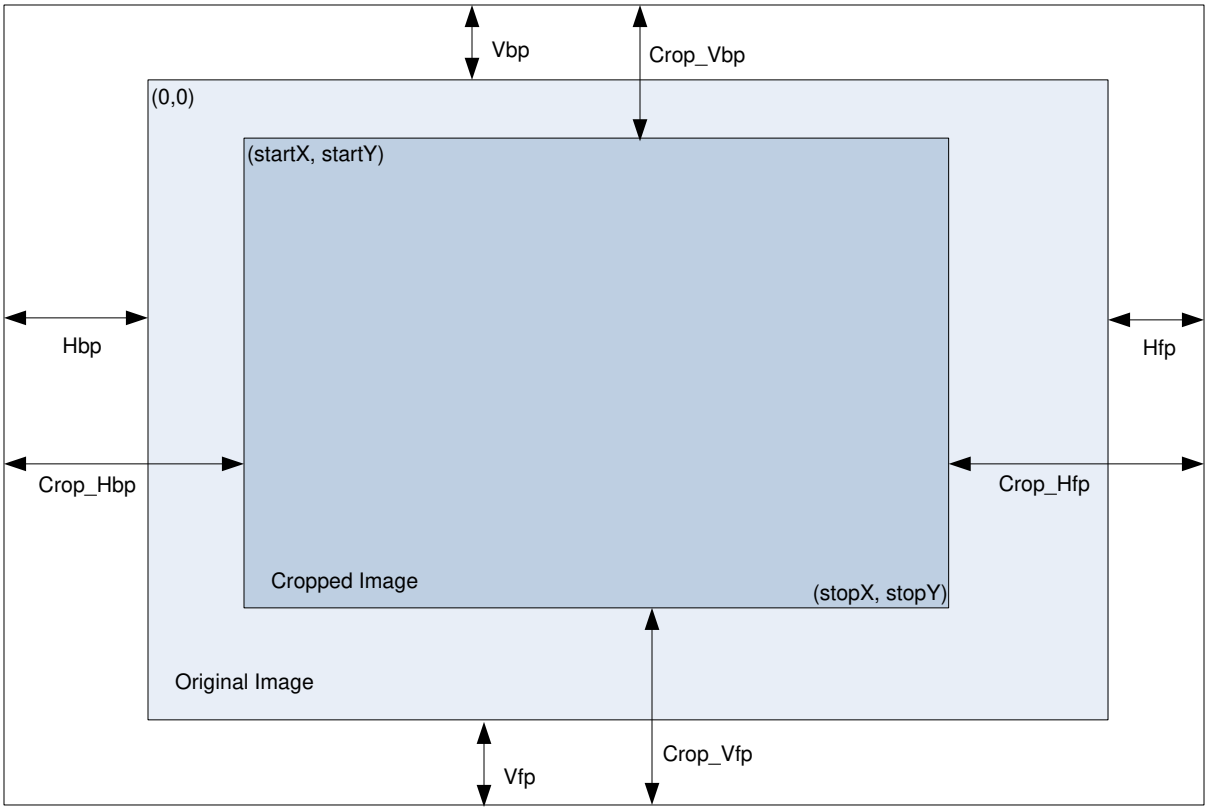


図 8-27. クロッピングの例

クロッピング機能に加えて、水平同期幅と水平バック・ポーチ期間も変更できます。通常、これらの値は入力ビデオに基づいて自動的に生成 (デュアル・イメージの値の 1/2) されますが、IMG_HSYNC_CTL レジスタを設定することでこれらの値をオーバーライドできます。水平同期期間と水平バック・ポーチは、HSYNC_OV_EN または HBACK_OV_EN 制御と IMG_HSYNC および IMG_HBACK パラメータを設定することで、個別にオーバーライドできます。

デフォルトでは、非対称型分割はスーパーフレーム画像の 1/2 の周波数で各結果画像を生成します。外部から供給された基準クロックの周波数、または DPHY レーン・クロックの 1/N 分周の周波数で各結果画像を生成することもできます。

8.4.6.4.2.2 DSI の VC-ID による非対称型分割

DS90UH941AS-Q1 は、DSI 仮想チャネル ID に基づいて画像を分割できます。このモードでは、DSI 入力 (デュアル DSI ではなくシングル DSI のみ) に、仮想チャネル ID によって指定された 2 つの画像を含めることができます。これらの仮想チャネル画像にはそれぞれ、独立したビデオ・データだけでなく、適切な垂直 / 水平同期パルスが含まれている必要があります。統合された画像が依然として正確なタイミング情報を保持できるように、2 つの画像のライン・レートを同じにすることを推奨します。DS90UH941AS-Q1 は、VC-ID に基づいて 2 つの画像を別個の FPD-Link III 出力に分割します。

2 つの画像に共通の VSYNC を使うこともできます。2 つの画像に対して、常に独立して HSYNC 制御を行う必要があります。

Copyright © 2022 Texas Instruments Incorporated

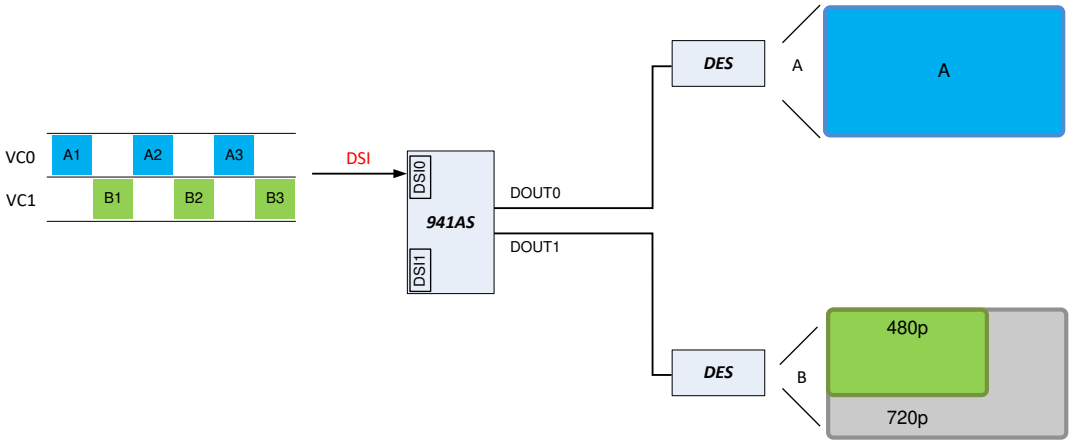


図 8-28. VC ID による非対称型分割

VC-ID 分割は、各ポートで受信された HSYNC タイミングに基づいてビデオ・タイミングを再現します。デフォルトでは、各ポートは立ち上がり HSYNC エッジから遅れて転送を開始します。受信した値に基づいて、HSYNC 幅とバック・ポーチを再生成します。水平同期タイミングを適切に再生成するには、2 つの選択肢があります。望ましい選択肢は、IMG_DELAY のデフォルト設定値を使い、かつ IMG_HSYNC_CTLx レジスタを使って各ポートの水平同期および水平バック・ポーチ期間のレジスタ・オーバーライドを有効にすることです。第 2 の選択肢は、水平同期タイミングの自動生成を有効にし、かつ水平同期期間と 3D 画像の水平バック・ポーチ期間の和よりも大きい値に IMG_DELAY の値 (単位:ピクセル) を設定することです。

適切なビデオ・タイミングを維持するため、以下のような一貫したパケット順序で 2 つの画像を DSI 経由で送信することを推奨します (DSI 仕様の同期イベント命名規則を使っています)。

VSS_VCID0 – 垂直同期開始

VSS_VCID1 HSS_VCID0 – 垂直ブランキング

HSS_VCID1
HSS_VCID0
HBP_VCID0

RGB_VCID0 -- VCID0 のビデオ・ライン

HSS_VCID1
HBP_VCID1

RGB_VCID1 – VCID1 のビデオ・ライン

….

いずれの場合も、各ビデオ・ラインは 1 つのパケットとして送信される必要があります。仮想チャネルによるビデオ・ストリーム出力の垂直ブランキングはスーパーフレーム実装と同じであるため、ビデオ・ストリームが小さいほど垂直ブランキングは大きくなります。

8.4.6.4.3 スプリッタ動作の設定

スプリッタの動作は、DSI 入力を有効化する前に設定する必要があります。これにより、ビデオを転送する前に本デバイスは適切なモードに確実に移行できます。

スプリッタ・モードは、DUAL_CTL1 レジスタの FPD3_TX_MODE 制御で強制スプリッタ・モードを選択することで有効化されます。

以下に説明するように、デュアル・イメージ・プロセス・モードに応じて適切にスプリッタ動作を行うように本デバイスを設定する必要があります。本デバイスがスプリッタ・モードに設定されていない限り、本デバイスのポート 1 レジスタへの書き込みは許可されません。したがってスプリッタ・モードは、ポート 1 レジスタを設定する前に有効化する必要があります。

Copyright © 2022 Texas Instruments Incorporated

スプリッタ・モードの場合、ビデオを適切にバッファリングできるように IMG_DELAY 値を設定する必要があります。左 / 右画像処理または交互ライン画像処理の場合、デフォルト設定値の 12 ピクセルで十分ですが、出力ビデオをクロッピングする場合、有効なデータが利用可能になる前に送信されないように、より大きな値を設定する必要があります。交互ピクセル形式または VC-ID に基づく分割の場合、3D 画像の水平同期期間と水平バック・ポーチ期間の合計を上回るように IMG_DELAY フィールド (単位:ピクセル) を設定する必要があります。IMG_DELAY は、ポートごとに設定できます。

左 / 右画像処理または交互ライン画像処理の場合、本書の「3D 形式」セクションに記載されている画像処理要件に従う必要があります。

VC-ID に基づく分割の場合、VCID_SPLIT_CTL レジスタの VCID_SPLIT_EN 制御をセットし、また VCID_SEL_P0 および VCID_SEL_P1 フィールドを使用して各ポートの VC-ID 値も設定します。これらの設定は、FPD3_TX_MODE 制御レジスタで強制スプリッタ・モードを有効化する前に行う必要があります。

HSYNC アクティブ幅とバック・ポーチ幅の再生成は、IMG_HSYNC_CTLx レジスタによってオーバーライドできます。

スプリッタ・クロックの生成は SPLIT_CLK_CTLx レジスタによって制御されます。

Copyright © 2022 Texas Instruments Incorporated

8.5 プログラミング

8.5.1 シリアル制御バス

このシリアライザは、I2C 互換シリアル制御バスを使って設定することもできます。複数のデバイスがシリアル制御バスを共有することもできます (最大 8 つのデバイス・アドレスをサポート)。デバイス・アドレスは、IDX ピンに接続された抵抗分圧器 (R1 と R2 — 図 8-29 を参照) によって設定されます。

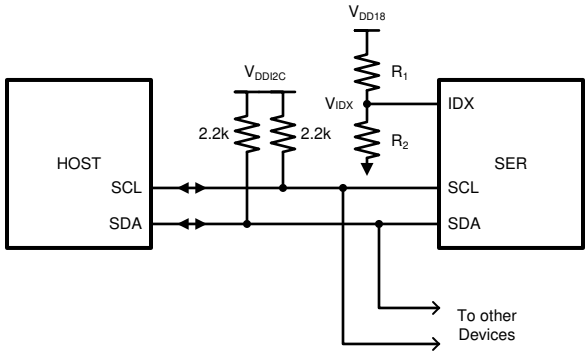


図 8-29. シリアル制御バスの接続

シリアル制御バスは、SCL と SDA という 2 つの信号で構成されます。SCL は、シリアル・バス・クロック入力です。SDA は、シリアル・バス・データ入出力信号です。SCL 信号と SDA 信号はどちらも、V_{DD18} または V_{DD33} への外付けプルアップ抵抗を必要とします。ほとんどのアプリケーションでは、2.2kΩ のプルアップ抵抗が推奨されます。しかしこのプルアップ抵抗値は、容量性負荷とデータ・レートの要件に応じて調整できます。*『I2C バスのプルアップ抵抗値の計算』*を参照してください。これらの信号は、High に引き上げられるか、Low に駆動されます。

IDX ピンは、制御インターフェイスを 8 つの可能なデバイス・アドレスのいずれかに設定します。プルアップ抵抗とプルダウン抵抗は、適切な IDX 入力ピン電圧を設定するために使われます。「表 8-12」を参照してください。

表 8-12. IDX のシリアル制御バス・アドレス

NO.	V_{IDX} の電圧範囲			V_{IDX} の目標電圧	ストラップ抵抗の推奨値 (許容誤差 1%)		割り当てられた I2C アドレス	
	V_{MIN}	V_{TYP}	V_{MAX}	$V_{(VDD18)}$ = 1.8V	R_1 (kΩ)	R_2 (kΩ)	7 ビット	8 ビット
0	0	0	0.135 × $V_{(VDD18)}$	0	オープン	10.0	0x0C	0x18
1	0.176 × $V_{(VDD18)}$	0.213 × $V_{(VDD18)}$	0.247 × $V_{(VDD18)}$	0.384	73.2	20.0	0x0E	0x1C
2	0.289 × $V_{(VDD18)}$	0.327 × $V_{(VDD18)}$	0.363 × $V_{(VDD18)}$	0.589	60.4	30.1	0x10	0x20
3	0.407 × $V_{(VDD18)}$	0.441 × $V_{(VDD18)}$	0.467 × $V_{(VDD18)}$	0.793	51.1	40.2	0x12	0x24
4	0.526 × $V_{(VDD18)}$	0.555 × $V_{(VDD18)}$	0.584 × $V_{(VDD18)}$	0.999	40.2	51.1	0x14	0x28
5	0.640 × $V_{(VDD18)}$	0.671 × $V_{(VDD18)}$	0.701 × $V_{(VDD18)}$	1.208	30.1	61.9	0x16	0x2C
6	0.757 × $V_{(VDD18)}$	0.787 × $V_{(VDD18)}$	0.814 × $V_{(VDD18)}$	1.417	18.7	71.5	0x18	0x30
7	0.877 × $V_{(VDD18)}$	$V_{(VDD18)}$	$V_{(VDD18)}$	1.8	10	オープン	1x0A	0x34

シリアル・バス・プロトコルは、START、REPEAT-START、STOP によって制御されます。START は、SCL が High である間に SDA が Low に遷移したときに発生します。STOP は、SDA が High に遷移したときに SCL も High である場合に発生します。図 8-30 を参照

Copyright © 2022 Texas Instruments Incorporated

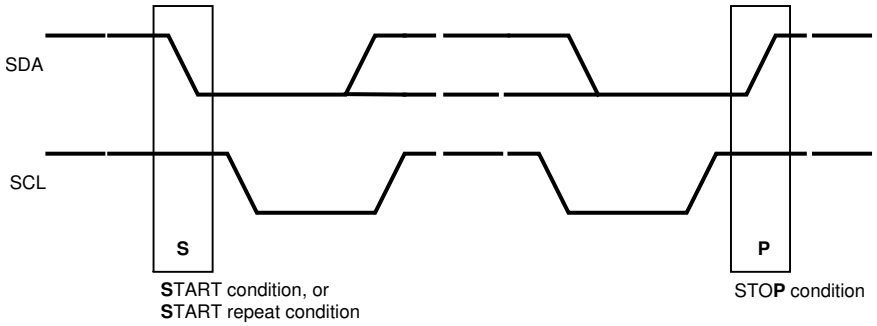


図 8-30. START 条件と STOP 条件

I²C スレーブと通信するには、ホスト・コントローラ (マスタ) はスレーブ・アドレスを送信し、スレーブからの応答を待ち受けます。この応答は、アクノリッジ (ACK) ビットと呼ばれます。バス上のスレーブにアドレスが正しく設定されている場合、SDA バスを Low に駆動することによって、ACK がマスタに返されます。アドレスがデバイスのスレーブ・アドレスと一致しない場合、SDA を High に引き上げることによって、ノット・アクノリッジ (NACK) がマスタに返されます。ACK は、データの送信中にもバス上に発生します。マスタがデータを書き込んでいる場合、スレーブは、データ・バイトを正常に受信する毎に ACK を返します。マスタは、データを読み出している場合、データ・バイトを受信する毎に、ACK をスレーブに返すことによって、別のデータ・バイトの送信を要求します。マスタは、読み出しを停止する場合、最後のデータ・バイトの読み出し後に NACK を送信し、バス上に STOP を送信します。バス上のすべての通信は、START または REPEAT-START によって開始されます。バス上のすべての通信は、STOP によって終了します。図 8-31 に読み出しを示し、図 8-32 に書き込みを示します。

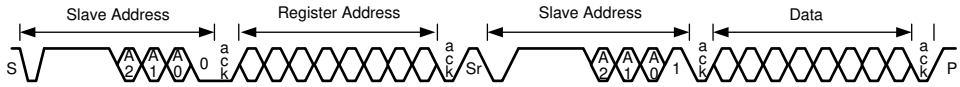


図 8-31. シリアル制御バス - 読み出し

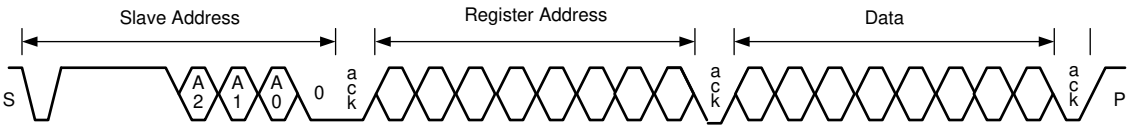


図 8-32. シリアル制御バス - 書き込み

シリアライザに配置された I²C マスタは、I²C クロック・ストレッチングをサポートする必要があります。I²C インターフェイスの要件とスループットに関する考慮事項の詳細については、『双方向制御チャネルによる FPD-Link III 上の I2C 通信』アプリケーション・ノート (SNLA131) を参照してください。

8.5.2 マルチマスタ調停のサポート

FPD-Link III デバイスの双方向制御チャネルは、プロキシ I²C マスタ実装に I²C 互換バス調停を実装しています。データ・ビットを送信する際、各 I²C マスタは SDA ラインの値を検出します。マスタがロジック 1 を送信しているにもかかわらず、ロジック 0 を検出した場合、そのマスタは調停に負けています。そのマスタは SDA の駆動を停止し、バスがアイドルになったときにトランザクションを再試行します。このようにして、複数の I²C マスタをシステムに実装できます。

バス上のすべての I²C マスタがマルチマスタ調停をサポートしている必要があります。

I²C バス上のすべてのデバイスに対して、1 ビット以上を 1 に設定した I²C アドレスを割り当てます。0x6A、0x7B、0x37 は I²C アドレスとして適切なアドレスの例です。0x40 と 0x20 は I²C アドレスとして不適切なアドレスの例です。

システムが BCC の両方向でマスタ / スレーブ動作を必要とする場合、常に一方向の動作のみが確実に行われるように何らかの通信方法を使う必要があります。その通信方法には、マスタが互いに通信して 2 つのマスタ間で制御を渡すことができるように、デシリアライザの利用可能な読み出し / 書き込みレジスタを使うことが含まれます。一例として、デシリアライザのレジスタ 0x18 または 0x19 をメールボックス・レジスタとして使い、あるマスタから別のマスタにチャネルの制御を渡すことができます。

Copyright © 2022 Texas Instruments Incorporated

8.5.3 マルチマスタ動作に関する I2C の制約

I²C 仕様では、特定の条件ではマスタ間の調停が行われません。システムは、I²C バスでの未定義状態を防止するため、以下の条件が決して発生しないようにする必要があります。

- 1 つのマスタがデータ・ビットを送信している間に、別のマスタが REPEAT-START を生成する。
- 1 つのマスタがデータ・ビットを送信している間に、別のマスタが STOP を生成する。
- 1 つのマスタが STOP を送信する間に、別のマスタが REPEAT-START を生成する。

これらの制約は主に、特定の I²C スレーブ内の同じレジスタ・オフセットにアクセスする際に当てはまることに注意します。

8.5.4 新世代の FPD-Link III デバイスのためのデバイス・レジスタへのマルチマスタ・アクセス

DS90UH941AS-Q1 などの最新世代の FPD-Link III デバイスを使用する場合、ローカルとリモートの両方の I²C マスタから同時にレジスタにアクセスできます。これらのデバイスは、ソース間を適切に調停するための内部ロジックを備えており、データ破損の心配がない適切な読み出し / 書き込みアクセスが可能です。

リモート I²C スレーブへのアクセスは、依然として同時に 1 方向のみで許可されます。

8.5.5 旧世代の FPD-Link III デバイスのデバイス・レジスタへのマルチマスタ・アクセス

旧世代の FPD-Link III デバイスを使用する場合、ローカルとリモートの両方の I²C マスタから同時にシリアライザまたはデシリアライザのレジスタにアクセスすると、誤動作を起こす可能性があるため、シリアライザとデシリアライザのレジスタへのアクセスに制限を加える必要があります。エラーが発生する可能性は比較的小さいですが、読み出しと書き込みの衝突が発生する可能性があります。これは、読み出しまたは書き込みエラーの発生につながります。

2 つの基本的な方法を推奨します。第 1 の方法は、1 つのコントローラからのデバイス・レジスタ・アクセスのみを許可することです。この場合、ホスト・コントローラのみがシリアライザのレジスタ (ローカル) とデシリアライザのレジスタ (リモート) にアクセスできます。デシリアライザのコントローラは、デシリアライザのレジスタにもシリアライザのレジスタにもアクセスできません。

第 2 の基本的な方法は、ローカル・レジスタへのアクセスのみを許可することです。リモート・シリアライザ・レジスタへのアクセスもリモート・デシリアライザ・レジスタへのアクセスも許可されません。デシリアライザのコントローラはデシリアライザのレジスタのみにアクセスできるのに対して、ホスト・コントローラはシリアライザのレジスタにアクセスできます。リモート I²C スレーブへのアクセスは、引き続き一方向で許可されます。

非常に限られた場合、デシリアライザ・レジスタへのリモート・アクセスとローカル・アクセスを同時に許可することもできます。ローカル・マスタとリモート・マスタの両方が同じデシリアライザ・レジスタにアクセスしている場合、レジスタ・アクセスは正常に機能します。これにより、1 つのマスタから別のマスタへの双方向制御チャネルの転送制御を単純化できます。

8.5.6 マルチマスタ動作の制御チャネル方向の制約

双方向制御チャネルでは、常に一方向のみが有効化されます。両方の方向が必要とされる場合、I²C マスタ間で制御を移す何らかの方法を実装する必要があります。

Copyright © 2022 Texas Instruments Incorporated

8.6 レジスタ・マップ

DS90UH941AS-Q1 は、I2C からも双方向制御チャネルからもアクセス可能な以下のレジスタ・ブロックを実装しています。

- メイン・レジスタ、表 8-13 を参照
- DSI 間接レジスタ (2 つの DSI ポートごとに個別のレジスタ・ブロック)、表 8-145 を参照
- パターン・ジェネレータの間接レジスタ (2 つの FPD-Link III ポートごとに個別のレジスタ・ブロック)、表 8-187 を参照

Copyright © 2022 Texas Instruments Incorporated

8.6.1 メイン・レジスタ

表 8-13 に、DS90UH941AS-Q1 のメモリマップト・レジスタを示します。これらのレジスタには、シリアル制御インターフェイス (I2C) からも双方向制御チャネルからもアクセスできます。表 8-13 にないレジスタ・オフセット・アドレスはすべて予約済みと見なすべきであり、レジスタ内容は変更しないでください。

表 8-13. メイン・レジスタの概要

アドレス	略称	レジスタ名	セクション
0x0	I2C_DEVICE_ID		表示
0x1	RESET_CTL		表示
0x2	DEVICE_CFG		表示
0x3	GENERAL_CFG		表示
0x4	GENERAL_CFG2		表示
0x5	I2C_MASTER_CFG		表示
0x6	DES_ID_DES_ID_1		表示
0x7	SlaveID_0		表示
0x8	SlaveAlias_0		表示
0x9	SDA_SETUP		表示
0xA	CRC_ERROR0		表示
0xB	CRC_ERROR1		表示
0xC	GENERAL_STS		表示
0xD	GPIO_0_Config		表示
0xE	GPIO_1_and_GPIO_2_Config		表示
0xF	GPIO_3_Config		表示
0x10	GPIO_5_and_GPIO_6_Config		表示
0x11	GPIO_7_and_GPIO_8_Config		表示
0x12	DATAPATH_CTL		表示
0x13	TX_MODE_STS		表示
0x14	TX_BIST_CTL		表示
0x16	BCC_WDOG_CTL		表示
0x17	I2C_CONTROL		表示
0x18	SCL_HIGH_TIME		表示
0x19	SCL_LOW_TIME		表示
1x0A	DATAPATH_CTL2		表示
0x1B	BIST_BC_ERRORS		表示
0x1C	GPI_PIN_STS1		表示
0x1D	GPI_PIN_STS2		表示
1x0E	TX_PORT_SEL		表示
0x1F	FREQ_COUNTER		表示
0x20	DES_CAP1		表示
0x21	DES_CAP2		表示
0x26	LINK_DET_CTL		表示
0x2E	MAILBOX_2E		表示
0x2F	MAILBOX_2F		表示
0x30	REM_INTB_CTRL		表示
0x32	IMG_LINE_SIZE0		表示
0x33	IMG_LINE_SIZE1		表示
0x34	IMG_DELAY0_IMG_DELAY0_P1		表示
0x35	IMG_DELAY1_IMG_DELAY_P1		表示

Copyright © 2022 Texas Instruments Incorporated

表 8-13. メイン・レジスタの概要 (continued)

アドレス	略称	レジスタ名	セクション
0x36	CROP_START_X0_CROP_START_X0_P1		表示
0x37	CROP_START_X1_CROP_START_X1_P1		表示
0x38	CROP_STOP_X0_CROP_STOP_X0_P1		表示
0x39	CROP_STOP_X1_CROP_STOP_X1_P1		表示
0x3A	CROP_START_Y0_CROP_START_Y0_P1		表示
0x3B	CROP_START_Y1_CROP_START_Y1_P1		表示
0x3C	CROP_STOP_Y0_CROP_STOP_Y0_P1		表示
0x3D	CROP_STOP_Y1_CROP_STOP_Y1_P1		表示
0x3E	SPLIT_CLK_CTL0_SPLIT_CLK_CTL0_P1		表示
0x3F	SPLIT_CLK_CTL1_SPLIT_CLK_CTL1_P1		表示
0x40	IND_ACC_CTL		表示
0x41	IND_ACC_ADDR		表示
0x42	IND_ACC_DATA		表示
0x4F	BRIDGE_CTL		表示
0x50	BRIDGE_STS		表示
0x54	BRIDGE_CFG		表示
0x55	AUDIO_CFG		表示
0x56	BRIDGE_CFG2		表示
0x57	TDM_CONFIG		表示
0x58	VIDEO_3D_STS		表示
0x59	DUAL_DSI_CTL_STS		表示
5x0A	DUAL_STS_DUAL_STS_P1		表示
0x5B	DUAL_CTL1		表示
0x5C	DUAL_CTL2		表示
5x0D	FREQ_LOW		表示
0x5E	FREQ_HIGH		表示
0x5F	DSI_FREQ_DSI_FREQ_P1		表示
0x60	SPI_TIMING1		表示
0x61	SPI_TIMING2		表示
0x62	SPI_CONFIG		表示
0x63	VCID_SPLIT_CTL		表示
0x64	PGCTL_PGCTL_P1		表示
0x65	PGCFG_PGCFG_P1		表示
0x66	PGIA_PGIA_P1		表示
0x67	PGID_PGID_P1		表示
0x6A	IMG_HSYNC_CTL0_IMG_HSYNC_CTL0_P1		表示
0x6B	IMG_HSYNC_CTL1_IMG_HSYNC_CTL1_P1		表示

Copyright © 2022 Texas Instruments Incorporated

表 8-13. メイン・レジスタの概要 (continued)

アドレス	略称	レジスタ名	セクション
0x6C	IMG_HSYNC_CTL2_IMG_HSYNC_CTL2_P1		表示
0x6D	BCC_STATUS		表示
0x6E	BCC_CONFIG		表示
0x6F	FC_BCC_TEST		表示
0x70	SlaveID_1		表示
0x71	SlaveID_2		表示
0x72	SlaveID_3		表示
0x73	SlaveID_4		表示
0x74	SlaveID_5		表示
0x75	SlaveID_6		表示
0x76	SlaveID_7		表示
0x77	SlaveAlias_1		表示
0x78	SlaveAlias_2		表示
0x79	SlaveAlias_3		表示
0x7A	SlaveAlias_4		表示
0x7B	SlaveAlias_5		表示
0x7C	SlaveAlias_6		表示
0x7D	SlaveAlias_7		表示
0x80	RX_BKSV0		表示
0x81	RX_BKSV1		表示
0x82	RX_BKSV2		表示
0x83	RX_BKSV3		表示
0x84	RX_BKSV4		表示
0x90	TX_KSV0		表示
0x91	TX_KSV1		表示
0x92	TX_KSV2		表示
0x93	TX_KSV3		表示
0x94	TX_KSV4		表示
0xA0	RX_BCAPS		表示
0xA1	RX_BSTATUS0		表示
0xA2	RX_BSTATUS1		表示
0xC0	HDCP_DBG		表示
0xC2	HDCP_CFG		表示
0xC3	HDCP_CTL		表示
0xC4	HDCP_STS		表示
0xC6	HDCP_ICR		表示
0xC7	HDCP_ISR		表示
0xC8	NVM_CTL		表示
0xCD	HDCP_CFG2		表示
0xCE	BLUE_SCREEN		表示
0xE0	HDCP_DBG_ALIAS		表示
0xE2	HDCP_CFG_ALIAS		表示
0xE3	HDCP_CTL_ALIAS		表示
0xE4	HDCP_STS_ALIAS		表示
0xE6	HDCP_ICR_ALIAS		表示

Copyright © 2022 Texas Instruments Incorporated

表 8-13. メイン・レジスタの概要 (continued)

アドレス	略称	レジスタ名	セクション
0xE7	HDCP_ISR_ALIAS		表示
0xF0	HDCP_TX_ID0		表示
0xF1	HDCP_TX_ID1		表示
0xF2	HDCP_TX_ID2		表示
0xF3	HDCP_TX_ID3		表示
0xF4	HDCP_TX_ID4		表示
0xF5	HDCP_TX_ID5		表示

表 8-14 に、このセクションでアクセス・タイプに使用しているコードを示します。

表 8-14. レジスタ・アクセス・タイプ・コード

アクセス・タイプ	コード	説明
R	R	読み出し専用アクセス
R/S	R/S	読み出し専用アクセス / 起動時のストラップ・ピン設定に基づいて設定
R/W	R/W	読み出し / 書き込みアクセス
R/COR	R/COR	読み出すことでクリア / 次にステータスを読み出し
R/W/RC	R/W/RC	読み出し / 書き込みアクセス / 読み出すことでクリア
R/W/S	R/W/S	読み出し / 書き込みアクセス / 起動時のストラップ・ピン設定に基づいて設定

8.6.1.1 I2C_DEVICE_ID レジスタ (アドレス = 0x0) [リセット = ストラップ]

表 8-15 に、I2C_DEVICE_ID を示します。

概略表に戻ります。

表 8-15. I2C_DEVICE_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	DEVICE_ID DEVICE_ID_P1	R/W/S	ストラップ	シリアライザの 7 ビット・アドレス: デフォルトは、IDx ストラップ・ピンによって設定されたアドレスです。 PORT1_I2C_EN がセットされている場合、この値はポート 1 用にデフォルトの「IDx ストラップ値 + 1」に設定されます。 この値を書き込む場合、セカンダリ・ポートの I2C アドレスを適切に設定できるように、DEVICE_ID 値の最下位ビットを 0 に設定する必要があります。
0	SER_ID	R/W	0h	0:デバイス ID は IDX ピンで設定されます (デフォルト)。 1:デバイス ID は 0x00[7:1] で設定されます。

8.6.1.2 RESET_CTL レジスタ (アドレス = 0x1) [リセット = ストラップ]

表 8-16 に、RESET_CTL を示します。

概略表に戻ります。

このレジスタは読み出し専用です。

表 8-16. RESET_CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	RESERVED	R	0h	予約済み
3	DISABLE_DSI	R/W/S	ストラップ	DSI リセット: アナログ DSI とデジタル DSI をリセットします。このビットは自動ではクリアされません。このビットは MODE_SEL1 ピンのストラップ・オプションです。 1:リセット 0:通常動作
2	DSI_RESET	R/W	0h	DSI リセット: 短いパルスでアナログ DSI とデジタル DSI をリセットします。このビットは自動でクリアされます。 1:リセット 0:通常動作
1	DIGITAL_RESET1	R/W	0h	デジタル・リセット: レジスタを含むデジタル・ブロック全体をリセットします。このビットは自動でクリアされます。 1:リセット 0:通常動作
0	DIGITAL_RESET0	R/W	0h	デジタル・リセット: レジスタを除くデジタル・ブロック全体をリセットします。このビットは自動でクリアされます。 1:リセット 0:通常動作 このビットをセットすると、ピン・ストラップによって書き込まれるレジスタが、元のストラップ値に復元されます。この表では、これらのレジスタにはデフォルト値として「ストラップ」と表示されています。

8.6.1.3 DEVICE_CFG レジスタ (アドレス = 0x2) [リセット = 0h]

表 8-17 に、DEVICE_CFG を示します。

概略表に戻ります。

表 8-17. DEVICE_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み
6	DSI1_CLK_PN_SWAP	R/W	0h	DSI ポート 1 のクロック・レーンの P/N ピンの順序を反転: 0:DSI ポート 1 のクロック・レーンの P 入力を P に、N 入力を N に割り当てます。 1:DSI ポート 1 のクロック・レーンの P 入力を N に、N 入力を P に割り当てます。
5	DSI1_DATA_PN_SWAP	R/W	0h	DSI ポート 1 のデータ・レーンの P/N ピンの順序を反転: 0:DSI ポート 1 のデータ・レーンの P 入力を P に、N 入力を N に割り当てます。 :DSI ポート 1 のデータ・レーンの P 入力を N に、N 入力を P に割り当てます。
4	DSI1_LANE_REVERSE	R/W	0h	DSI ポート 1 のレーンの順序を反転: 0:DSI ポート 1 のレーン 3、2、1、0 の入力をレーン 3、2、1、0 に割り当てます。 1:DSI ポート 1 のレーン 3、2、1、0 の入力をレーン 0、1、2、3 に割り当てます。
3	RESERVED	R	0h	予約済み
2	DSI0_CLK_PN_SWAP	R/W	0h	DSI ポート 0 のクロック・レーンの P/N ピンの順序を反転: 0:DSI ポート 0 のクロック・レーンの P 入力を P に、N 入力を N に割り当てます。 1:DSI ポート 0 のクロック・レーンの P 入力を N に、N 入力を P に割り当てます。

Copyright © 2022 Texas Instruments Incorporated

表 8-17. DEVICE_CFG レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
1	DSI0_DATA_PN_SWAP	R/W	0h	DSI ポート 0 のデータ・レーンの P/N ピンの順序を反転: 0:DSI ポート 0 のデータ・レーンの P 入力を P に、N 入力を N に割り当てます。 1:DSI ポート 0 のデータ・レーンの P 入力を N に、N 入力を P に割り当てます。
0	DSI0_LANE_REVERSE	R/W	0h	DSI ポート 0 のレーンの順序を反転: 0:DSI ポート 0 のレーン 3、2、1、0 の入力をレーン 3、2、1、0 に割り当てます。 1:DSI ポート 0 のレーン 3、2、1、0 の入力をレーン 0、1、2、3 に割り当てます。

8.6.1.4 GENERAL_CFG レジスタ (アドレス = 0x3) [リセット = 92h]

表 8-18 に、GENERAL_CFG を示します。

概略表に戻ります。

表 8-18. GENERAL_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RX_CRC_CHECKER_ENABLE	R/W	1h	CRC チェッカの有効化 0:無効 1:有効
6	IO_PULLDOWN_DIS	R/W	0h	I/O プルダウンの無効化 セットすると、以下のデジタル I/O ピンの内部プルダウン抵抗が無効化されます。 GPIO0、GPIO1、D_GPIO0、D_GPIO1、D_GPIO2、D_GPIO3、I2S_CLK、I2S_WC、I2S_DA、I2S_DB、I2S_DC、I2S_DD
5	TX_AUTO_ACK TX_AUTO_ACK_P1	R/W	0h	I2C リモート書き込みを自動的にアクノリッジ 有効化すると、デシリアライザ (またはリモート I2C スレーブ (I2C PASS ALL が有効化されている場合)) への I2C 書き込みに対して、デシリアライザが書き込みをアクノリッジするのを待たずに即座にアクノリッジが返されます。これにより、I2C バスのスループットが向上します。 1:有効化 0:無効化 PORT1_SEL がセットされている場合、このレジスタはポート 1 の動作を制御します。
4	FILTER_ENABLE	R/W	1h	HS、VS、DE の 2 クロック・フィルタ 有効化すると、DE、HS、VS 上の 2 PCLK サイクル未満のパルスは除去されます。 1:フィルタ処理を有効化 0:フィルタ処理を無効化
3	I2C_PASS_THROUGH I2C_PASS_THROUGH_P1	R/W	0h	I2C パススルー・モード 0:パススルーを無効化 1:パススルーを有効化 PORT1_SEL がセットされている場合、このレジスタはポート 1 の動作を制御します。
2	RESERVED	R	0h	予約済み
1	PCLK_AUTO	R/W	1h	DSI クロックまたは外部 REFCLK に切り替え 1:自動切り替えを有効化 0:自動切り替えを無効化
0	RESERVED	R	0h	予約済み

8.6.1.5 GENERAL_CFG2 レジスタ (アドレス = 0x4) [リセット = 0h]

表 8-19 に、GENERAL_CFG2 を示します。

Copyright © 2022 Texas Instruments Incorporated

概略表に戻ります。

表 8-19. GENERAL_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	RESERVED	R	0h	予約済み
5	CRC_ERROR_RESET	R/W	0h	CRC エラー・カウンタをクリアします。このビットは自動ではクリアされません。 1:カウンタをクリア 0:通常動作
4	RESERVED	R/W	0h	予約済み
3-2	RESERVED	R	0h	予約済み
1	FC_BCC_CRC6_OV FC_BCC_CRC6_OV_P1	R/W	0h	拡張フォワード・チャネル CRC およびスタート・シーケンスのオーバーライド・イネーブル 1:拡張フォワード・チャネル CRC およびスタート・シーケンスのサポートを有効化または無効化するために FC_BCC_CRC6_OV_VAL の値を使用 0:拡張フォワード・チャネル CRC およびスタート・シーケンスのサポートを有効化または無効化するためにデシリアライザ機能リストを使用 PORT1_SEL がセットされている場合、このレジスタはポート 1 の動作を制御します。
0	FC_BCC_CRC6_OV_VAL FC_BCC_CRC6_OV_VAL_P1	R/W	0h	拡張フォワード・チャネル CRC およびスタート・シーケンスの有効化 FC_BCC_CRC6_OV が 1 の場合、この値を使用して拡張フォワード・チャネル CRC およびスタート・シーケンスのサポートを制御します。 1:拡張フォワード・チャネル CRC およびスタート・シーケンスを有効化 0:拡張フォワード・チャネル CRC およびスタート・シーケンスを無効化 PORT1_SEL がセットされている場合、このレジスタはポート 1 の動作を制御します。

8.6.1.6 I2C_MASTER_CFG レジスタ (アドレス = 0x5) [リセット = 0h]

表 8-20 に、I2C_MASTER_CFG を示します。

概略表に戻ります。

表 8-20. I2C_MASTER_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	RESERVED	R	0h	予約済み
4-3	SDA_OUT_DELAY	R/W	0h	SDA 出力遅延 このフィールドは SDA 出力の出力遅延を設定します。この値を設定すると、出力遅延が 40ns 単位で増えます。SCL から SDA までの出力遅延の公称値は以下の通りです。 00:200ns 01:240ns 10:280ns 11:320ns 実際の遅延は、システムの容量と信号の立ち上がり / 立ち下がり時間に応じてより大きくなる場合があります。
2	LOCAL_WRITE_DIS	R/W	0h	ローカルのレジスタへのリモート書き込みの無効化 このビットを 1 に設定すると、制御チャネル全体からのローカル・デバイスのレジスタへのリモート書き込みが禁止されます。これにより、デシリアライザに接続された I2C マスタからのシリアライザのレジスタへの書き込みが禁止されます。このビットをセットしても、シリアライザの I2C スレーブへのリモート・アクセスには影響しません。
1	I2C_BUS_TIMER_SPEEDUP	R/W	0h	I2C バスのウォッチドッグ・タイマを短縮 1:ウォッチドッグ・タイマは約 50µs 後に満了 0:ウォッチドッグ・タイマは約 1 秒後に満了

Copyright © 2022 Texas Instruments Incorporated

表 8-20. I2C_MASTER_CFG レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
0	I2C_BUS_TIMER _DISABLE	R/W	0h	I2C バスのウォッチドッグ・タイマを無効化 I2C ウォッチドッグ・タイマを使って I2C バスがフリーであること、またはトランザクションの異常終了の後でハングアップしていることを検出できます。SDA が High でありかつ約 1 秒間信号伝達が見られない場合、I2C バスはフリーであるとみなされます。SDA が Low でありかつ信号伝達が見られない場合、本デバイスは SCL で 9 クロックを駆動することでバスをクリアすることを試みます。

8.6.1.7 DES_ID_DES_ID_1 レジスタ (アドレス = 0x6) [リセット = 0h]

表 8-21 に、DES_ID_DES_ID_1 を示します。

FPD-Link III TX ポート専用のレジスタです。FPD-Link III ポート選択レジスタ 0x1E を使うと、I2C の読み出し / 書き込みコマンドでアクセスできる専用の TX ポート・レジスタを選択できます。

概略表に戻ります。

表 8-21. DES_ID_DES_ID_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	DES_DEV_ID DES_DEV_ID_P1	R/W	0h	7 ビットのデシリアライザ・デバイス ID リモート・デシリアライザの I2C スレーブ ID を設定します。このフィールドの値を 0 にすると、リモート・デシリアライザへの I2C アクセスが無効化されます。このフィールドは、RX のロックが検出されるとすぐに双方向制御チャネルによって自動的に設定されます。 ソフトウェアはこの値を上書きできますが、FREEZE DEVICE ID ビットもアサートして双方向制御チャネルによる書き込みを禁止する必要があります。 PORT1_SEL がセットされている場合、このレジスタは、ポート 1 に接続されたデシリアライザのデシリアライザ・デバイス ID を示します。
0	FREEZE_DEVICE_ID FREEZE_DEVICE_ID_P1	R/W	0h	デシリアライザ・デバイス ID の固定 双方向制御チャネルによるデシリアライザ・デバイス ID の自動書き込みを禁止します。ID は、すでに書き込まれた値に固定されます。 PORT1_SEL がセットされている場合、このビットは DES_DEV_ID_P1 を制御します。

8.6.1.8 SlaveID_0 レジスタ (アドレス = 0x7) [リセット = 0h]

表 8-22 に、SlaveID_0 を示します。

FPD-Link III TX ポート専用のレジスタです。FPD-Link III ポート選択レジスタ 0x1E を使うと、I2C の読み出し / 書き込みコマンドでアクセスできる専用の TX ポート・レジスタを選択できます。

概略表に戻ります。

表 8-22. SlaveID_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	SLAVE_ID0 SLAVE_ID0_P1	R/W	0h	PORT1_SEL がセットされている場合、このレジスタはポート 1 の SLAVE_ID0 を制御します。7 ビットのリモート・スレーブ・デバイス ID 0 リモート・デシリアライザに接続されたリモート I2C スレーブ・デバイスの I2C 物理アドレスを設定します。I2C トランザクションがスレーブ・エイリアス ID0 にアドレス指定された場合、そのトランザクションが双方向制御チャネルでデシリアライザに転送される前に、そのトランザクションはこのアドレスに再割り当てされます。
0	RESERVED	R/W	0h	予約済み。

Copyright © 2022 Texas Instruments Incorporated

8.6.1.9 SlaveAlias_0 レジスタ (アドレス = 0x8) [リセット = 0h]

表 8-23 に、SlaveAlias_0 を示します。

FPD-Link III TX ポート専用のレジスタです。FPD-Link III ポート選択レジスタ 0x1E を使うと、I2C の読み出し / 書き込みコマンドでアクセスできる専用の TX ポート・レジスタを選択できます。

概略表に戻ります。

表 8-23. SlaveAlias_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	SLAVE_ALIAS_ID0 SLAVE_ALIAS_ID0_P1	R/W	0h	PORT1_SEL がセットされている場合、このレジスタはポート 1 の SLAVE_ALIAS_ID0 を制御します。7 ビットのリモート・スレーブ・デバイス・エイリアス ID 0 リモート・デシリアライザに接続された I2C スレーブ・デバイスを指定したトランザクションを検出するためのデコーダを設定します。このトランザクションは、スレーブ ID0 レジスタで指定されたアドレスに再割り当てされます。このフィールドの値を 0 にすると、リモート I2C スレーブへのアクセスが無効化されます。
0	RESERVED	R	0h	予約済み

8.6.1.10 SDA_SETUP レジスタ (アドレス = 0x9) [リセット = 1h]

表 8-24 に、SDA_SETUP を示します。

概略表に戻ります。

表 8-24. SDA_SETUP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	RESERVED	R	0h	予約済み
3-0	TX_SDA_SETUP	R/W	1h	リモートの Ack の SDA 出力セットアップ 制御チャネル (リモート) アクセスがアクティブな場合、このフィールドは、ACK サイクル中の SCL の立ち上がりエッジに対する SDA 出力からのセットアップ時間を設定します。この値を設定すると、セットアップ時間が 640ns 単位で増加します。このフィールドが 0 のときの SDA から SCL への出力セットアップ時間の公称値は 80ns です。

8.6.1.11 CRC_ERROR0 レジスタ (アドレス = 0xA) [リセット = 0h]

表 8-25 に、CRC_ERROR0 を示します。

FPD-Link III TX ポート専用のレジスタです。FPD-Link III ポート選択レジスタ 0x1E を使うと、I2C の読み出し / 書き込みコマンドでアクセスできる専用の TX ポート・レジスタを選択できます。

概略表に戻ります。

表 8-25. CRC_ERROR0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CRC_ERROR_7:0 _CRC_ERROR_P1_7:0	R	0h	バック・チャネル CRC エラー・カウンタ PORT1_SEL がセットされている場合、このレジスタはポート 1 のステータスを示します。 バック・チャネル CRC エラー数 (下位 8 ビット)。このレジスタは、レジスタ 0x04 の CRC ERROR RESET を使ってクリアされます。

8.6.1.12 CRC_ERROR1 レジスタ (アドレス = 0xB) [リセット = 0h]

表 8-26 に、CRC_ERROR1 を示します。

Copyright © 2022 Texas Instruments Incorporated

FPD-Link III TX ポート専用のレジスタです。FPD-Link III ポート選択レジスタ 0x1E を使うと、I2C の読み出し / 書き込みコマンドでアクセスできる専用の TX ポート・レジスタを選択できます。

概略表に戻ります。

表 8-26. CRC_ERROR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CRC_ERROR_15:8 _CRC_ERROR_P1_15:8	R	0h	バック・チャネル CRC エラー・カウンタ PORT1_SEL がセットされている場合、このレジスタは、バック・チャネル CRC エラーのポート 1 ステータス番号 (上位 8 ビット) を示します。このレジスタは、レジスタ 0x04 の CRC ERROR RESET を使ってクリアされます。

8.6.1.13 GENERAL_STS レジスタ (アドレス = 0xC) [リセット = 0h]

表 8-27 に、GENERAL_STS を示します。

このレジスタの一部のビットは FPD-Link III TX ポート専用です。FPD-Link III ポート選択レジスタ 0x1E を使うと、I2C の読み出し / 書き込みコマンドでアクセスできる専用の TX ポート・レジスタを選択できます。

概略表に戻ります。

表 8-27. GENERAL_STS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	汎用ステータス・レジスタ PORT1_SEL がセットされている場合、このレジスタはポート 1 のステータスを示します。 予約済み
6	DSI_ERROR	R	0h	DSI 間接レジスタの DSI_FPD3_ERR、DSI_CMD_OVER、DSI_EOT_ERR、DSI_READ_WOUT_BTA、DSI_ERROR_DET の論理和です。読み出してもクリアされません。 デュアル DSI または独立 DSI - FPD-Link III モードでは、このビットは、どちらかの DSI 入力でエラーが検出されたことを示します。
5	DPHY_ERROR	R	0h	DSI 間接レジスタの LANE_SYNC_ERROR と DPHY_LANE_ERROR の論理和です。読み出してもクリアされません。 デュアル DSI モードまたは独立 2:2 モードでは、このビットは、どちらかの DPHY 入力でエラーが検出されたことを示します。
4	LINK_LOST LINK_LOST_P1	R	0h	選択されたポートのリンク喪失フラグ: このビットは、リンクの喪失が検出されたことを示します。レジスタ 0x04 の CRC ERROR RESET を使ってクリアされるまで、このレジスタ・ビットは High に維持されます。 PORT1_SEL がセットされている場合、このレジスタはポート 1 のステータスを示します。
3	BIST_CRC_ERROR BIST_CRC_ERROR_P1	R	0h	デシリアライザとの BIST 通信中の CRC エラー。このビットは BIST の再開またはレジスタ 0x04 の CRC ERROR RESET のアサートでクリアされます。 PORT1_SEL がセットされている場合、このレジスタはポート 1 のステータスを示します。
2	PCLK_DETECT PCLK_DETECT_P1	R	0h	ピクセル・クロック検出: 周波数検出回路が、FREQ_LOW レジスタの周波数要件を満たす有効なピクセル・クロックを検出したことを示します。 1:有効なピクセル・クロックを検出 0:有効なピクセル・クロックを未検出 スプリッタ・モードまたは独立 2:2 モードでは、選択されたポートのステータスを示します。 PORT1_SEL がセットされている場合、このレジスタはポート 1 のステータスを示します。

Copyright © 2022 Texas Instruments Incorporated

表 8-27. GENERAL_STS レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
1	DES_ERROR DES_ERROR_P1	R	0h	選択されたポートのデシリアライザ・エラー検出: デシリアライザとの通信中の CRC エラー。このビットは、リンクの喪失またはレジスタ 0x04 の CRC ERROR RESET のアサートでクリアされます。
0	LINK_DETECT LINK_DETECT_P1	R	0h	選択されたポートのリンク検出ステータス: 1:ケーブル・リンクを検出 0:ケーブル・リンクを未検出

8.6.1.14 GPIO_0_Config レジスタ (アドレス = 0xD) [リセット = 20h]

表 8-28 に、GPIO_0_Config を示します。

概略表に戻ります。

表 8-28. GPIO_0_Config レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	REV_ID	R	2h	GPIO0 と D_GPIO0 の設定 PORT1_SEL がセットされている場合、このレジスタは D_GPIO0 ピンを制御します。 リビジョン ID 0010:DS90Ux941AS-Q1
3	GPIO0_OUTPUT_VALUE D_GPIO0_OUTPUT_VALUE	R/W	0h	ローカル GPIO 出力値 GPIO 機能が有効化されており、かつローカル GPIO の方向が出力であり、リモート GPIO 制御が無効化されている場合、この値は GPIO ピンに出力されます。リンクが失われた場合、リモート・デフォルト・モードの GPIO ピンにもこの値は出力されます。
2-0	GPIO0_MODE D_GPIO0_MODE	R/W	0h	GPIO 0 モード GPIO ピンの動作モードを決定します。 x00:機能入力モード、GPIO0 入力 x10:トライステート 001:GPIO モード、出力 011:GPIO モード、入力 101:リモート・ホールド - 出力リモート・データ、リンク喪失時にデータを保持 111:リモート・デフォルト - 出力リモート・データ、リンク喪失時にデフォルト・データ (OUTPUT VALUE) を駆動

8.6.1.15 GPIO_1_and_GPIO_2_Config レジスタ (アドレス = 0xE) [リセット = 0h]

表 8-29 に、GPIO_1_and_GPIO_2_Config を示します。

概略表に戻ります。

表 8-29. GPIO_1_and_GPIO_2_Config レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GPIO2_OUTPUT_VALUE D_GPIO2_OUTPUT_VALUE	R/W	0h	GPIO1/GPIO2 と D_GPIO1/D_GPIO2 の設定 PORT1_SEL がセットされている場合、このレジスタは D_GPIO1 および D_GPIO2 ピンを制御します。 ローカル GPIO 出力値 GPIO 機能が有効化されており、かつローカル GPIO の方向が出力であり、リモート GPIO 制御が無効化されている場合、この値は GPIO ピンに出力されます。リンクが失われた場合、リモート・デフォルト・モードの GPIO ピンにもこの値は出力されます。

Copyright © 2022 Texas Instruments Incorporated

表 8-29. GPIO_1_and_GPIO_2_Config レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
6-4	GPIO2_MODE D_GPIO2_MODE	R/W	0h	GPIO 2 モード GPIO ピンの動作モードを決定します。 x00:機能入力モード、I2S_DC 入力 x10:トライステート 001:GPIO モード、出力 011:GPIO モード、入力 101:リモート・ホールド - 出力リモート・データ、リンク喪失時にデータを保持 111:リモート・デフォルト - 出力リモート・データ、リンク喪失時にデフォルト・データ (OUTPUT VALUE) を駆動
3	GPIO1_OUTPUT_VALUE D_GPIO1_OUTPUT_VALUE	R/W	0h	ローカル GPIO 出力値 GPIO 機能が有効化されており、かつローカル GPIO の方向が出力であり、リモート GPIO 制御が無効化されている場合、この値は GPIO ピンに出力されます。リンクが失われた場合、リモート・デフォルト・モードの GPIO ピンにもこの値は出力されます。
2-0	GPIO1_MODE D_GPIO1_MODE	R/W	0h	GPIO 1 モード GPIO ピンの動作モードを決定します。 x00:機能入力モード、GPIO1 入力 x10:トライステート 001:GPIO モード、出力 011:GPIO モード、入力 101:リモート・ホールド - 出力リモート・データ、リンク喪失時にデータを保持 111:リモート・デフォルト - 出力リモート・データ、リンク喪失時にデフォルト・データ (OUTPUT VALUE) を駆動

8.6.1.16 GPIO_3_Config レジスタ (アドレス = 0xF) [リセット = 0h]

表 8-30 に、GPIO_3_Config を示します。

概略表に戻ります。

表 8-30. GPIO_3_Config レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	RESERVED	R/W	0h	GPIO3 と D_GPIO3 の設定 PORT1_SEL がセットされている場合、このレジスタは D_GPIO3 ピンを制御します。 予約済み。
3	GPIO3_OUTPUT_VALUE D_GPIO3_OUTPUT_VALUE	R/W	0h	ローカル GPIO 出力値 GPIO 機能が有効化されており、かつローカル GPIO の方向が出力であり、リモート GPIO 制御が無効化されている場合、この値は GPIO ピンに出力されます。リンクが失われた場合、リモート・デフォルト・モードの GPIO ピンにもこの値は出力されます。
2-0	GPIO3_MODE D_GPIO3_MODE	R/W	0h	GPIO 3 モード GPIO ピンの動作モードを決定します。 x00:機能入力モード、I2S_DD 入力 x10:トライステート 001:GPIO モード、出力 011:GPIO モード、入力 101:リモート・ホールド - 出力リモート・データ、リンク喪失時にデータを保持 111:リモート・デフォルト - 出力リモート・データ、リンク喪失時にデフォルト・データ (OUTPUT VALUE) を駆動

Copyright © 2022 Texas Instruments Incorporated

8.6.1.17 GPIO_5_and_GPIO_6_Config レジスタ (アドレス = 0x10) [リセット = 0h]

表 8-31 に、GPIO_5_and_GPIO_6_Config を示します。

概略表に戻ります。

表 8-31. GPIO_5_and_GPIO_6_Config レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GPIO6_OUTPUT_VALUE	R/W	0h	ローカル GPIO 出力値 GPIO 機能が有効化されており、ローカル GPIO の方向が出力である場合、この値は GPIO ピンに出力されます。
6	RESERVED	R	0h	予約済み
5-4	GPIO6_DIR	R/W	0h	GPIO 6 モードは、機能モードまたは GPIO モードの入力方向または出力方向にパッドを設定します。 {GPIO DIR、GPIO EN} 00:機能モード入力 10:トライステート 01:GPIO モード出力 11:GPIO モード入力
3	GPIO5_OUTPUT_VALUE	R/W	0h	ローカル GPIO 出力値 GPIO 機能が有効化されており、ローカル GPIO の方向が出力である場合、この値は GPIO ピンに出力されます。
2	RESERVED	R	0h	予約済み
1-0	GPIO5_MODE	R/W	0h	GPIO 5 モードは、機能モードまたは GPIO モードの入力方向または出力方向にパッドを設定します。 {GPIO DIR、GPIO EN} 00:機能モード入力 10:トライステート 01:GPIO モード出力 11:GPIO モード入力

8.6.1.18 GPIO_7_and_GPIO_8_Config レジスタ (アドレス = 0x11) [リセット = 0h]

表 8-32 に、GPIO_7_and_GPIO_8_Config を示します。

概略表に戻ります。

表 8-32. GPIO_7_and_GPIO_8_Config レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GPIO8_OUTPUT_VALUE	R/W	0h	ローカル GPIO 出力値 GPIO 機能が有効化されており、ローカル GPIO の方向が出力である場合、この値は GPIO ピンに出力されます。
6	RESERVED	R	0h	予約済み
5-4	GPIO8_MODE	R/W	0h	GPIO 8 モードは、機能モードまたは GPIO モードの入力方向または出力方向にパッドを設定します。 {GPIO DIR、GPIO EN} 00:機能モード入力 10:トライステート 01:GPIO モード出力 11:GPIO モード入力
3	GPIO7_OUTPUT_VALUE	R/W	0h	ローカル GPIO 出力値 GPIO 機能が有効化されており、ローカル GPIO の方向が出力である場合、この値は GPIO ピンに出力されます。
2	RESERVED	R	0h	予約済み

Copyright © 2022 Texas Instruments Incorporated

表 8-32. GPIO_7_and_GPIO_8_Config レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
1-0	GPIO7_MODE	R/W	0h	GPIO 7 モードは、機能モードまたは GPIO モードの入力方向または出力方向にパッドを設定します。 {GPIO DIR、GPIO EN} 00:機能モード入力 10:トライステート 01:GPIO モード出力 11:GPIO モード入力

8.6.1.19 DATAPATH_CTL レジスタ (アドレス = 0x12) [リセット = 0h]

表 8-33 に、DATAPATH_CTL を示します。

概略表に戻ります。

表 8-33. DATAPATH_CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み
6	PASS_RGB	R/W	0h	このビットをセットすると、DS90UH941x-Q1 の DE と無関係に RGB データが転送されます。このビットをセットすると、DS90UB926-Q1、DS90UB928-Q1、DS90UB940-Q1、DS90UB948-Q1 と組み合わせた動作が可能です。しかし、このビットをセットすると、HDCP 動作が禁止され、パケット化されたオーディオが阻止されることに注意します。 1:DE と無関係に RGB を転送 0:通常動作
5	DE_POLARITY	R/W	0h	このビットは DE (データ・イネーブル) 信号の極性を示します。 1:DE は反転 (アクティブ Low、アイドル High) 0:DE は非反転 (アクティブ High、アイドル Low)
4	I2S_RPTR_REGEN	R/W	0h	1:リピータは I2S ピンから I2S を再生成 0:リピータはビデオ・ピンから I2S をパススルー
3	I2S_B_OVERRIDE	R/W	0h	I2S チャネル B オーバーライド 1:Reg_12[0] の I2S チャネル B イネーブルをセット 0:I2S チャネル B を無効化
2	VIDEO_18B_EN	R/W	0h	18 ビット・ビデオ選択 1:18 ビット・ビデオ・モードを選択 0:24 ビット・ビデオ・モードを選択
1	I2S_TRANSPORT_SEL	R/W	0h	1:I2S データ・フォワード・チャネル・フレーム伝送を有効化 0:I2S データ・アイランド伝送を有効化
0	I2S_B_EN	R/W	0h	I2S チャネル B イネーブル 1:I2S チャネル B を有効化 (B1 入力) 0:I2S チャネル B を無効化 リピータの場合、帯域内 I2S モード検出がこのビットに優先し得ることに注意します。

8.6.1.20 TX_MODE_STS レジスタ (アドレス = 0x13) [リセット = ストラップ]

表 8-34 に、TX_MODE_STS を示します。

概略表に戻ります。

表 8-34. TX_MODE_STS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	MODE_SEL1_DONE	R	1h	MODE_SEL1 の値が定常状態に達し、ラッチされていることを示します。
6-4	MODE_SEL1_DECODE	R/S	ストラップ	MODE_SEL1 ピンの 3 ビット・デコードを返します。
3	MODE_SEL0_DONE	R	1h	MODE_SEL0 の値が定常状態に達し、ラッチされていることを示します。

Copyright © 2022 Texas Instruments Incorporated

表 8-34. TX_MODE_STS レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
2-0	MODE_SEL0_DECODE	R/S	ストラップ	MODE_SEL0 ピンの 3 ビット・デコードを返します。

8.6.1.21 TX_BIST_CTL レジスタ (アドレス = 0x14) [リセット = 0h]

表 8-35 に、TX_BIST_CTL を示します。

概略表に戻ります。

表 8-35. TX_BIST_CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	RESERVED	R	0h	予約済み
4	DOPL_MODE	R/W	0h	DOPL モード・イネーブル 1:有効化 0:無効化 このビットは、双方向制御チャネルを介してリモートで書き込むことはできません。
3	RESERVED	R	0h	予約済み
2-1	CLOCK_SOURCE CLOCK_SOURCE_P1	R/W	0h	BIST モードのクロック源 (0x14[0]=1 の場合) 00:外部ピクセル・クロック 01:33MHz 発振器 1x:100MHz 発振器 スプリッタ・モードまたは独立 2:2 モードでは、このフィールドは選択されたポートを制御します。
0	BIST_EN BIST_EN_P1	R/W	0h	BIST 制御 1:有効化 0:無効化 スプリッタ・モードまたは独立 2:2 モードでは、このフィールドは選択されたポートを制御します。

8.6.1.22 BCC_WDOG_CTL レジスタ (アドレス = 0x16) [リセット = FEh]

表 8-36 に、BCC_WDOG_CTL を示します。

概略表に戻ります。

表 8-36. BCC_WDOG_CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	BCC_WATCHDOG _TIMER	R/W	7Fh	ウォッチドッグ・タイマを使うと、設定された時間内に制御チャネル・トランザクションが完了しなかった場合に制御チャネル・トランザクションを終了させることができます。このフィールドは双方向制御チャネルのウォッチドッグ・タイムアウト値を 2ms 単位で設定します。このフィールドは 0 には設定できません。このフィールドを 0x01 に設定することを推奨します。
0	BCC_WDOG_DIS	R/W	0h	双方向制御チャネル・ウォッチドッグ・タイマの無効化 1:BCC ウォッチドッグ・タイマ動作を無効化 0:BCC ウォッチドッグ・タイマ動作を有効化

8.6.1.23 I2C_CONTROL レジスタ (アドレス = 0x17) [リセット = 1Eh]

表 8-37 に、I2C_CONTROL を示します。

このレジスタの一部のビットは FPD-Link III TX ポート専用です。FPD-Link III ポート選択レジスタ 0x1E を使うと、I2C の読み出し / 書き込みコマンドでアクセスできる専用の TX ポート・レジスタを選択できます。

概略表に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-37. I2C_CONTROL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	I2C_PASS_ALL I2C_PASS_ALL_P1	R/W	0h	1:シリアライザの I2C スレーブ ID と一致しない I2C スレーブ ID へのすべての I2C アクセスのフォワード制御チャネル・パススルーを有効化 0:リモート・デシリアライザ・スレーブ ID とリモート・スレーブ ID のどちらかと一致する I2C スレーブ ID への I2C アクセスのみのフォワード制御チャネル・パススルーを有効化 PORT1_SEL がセットされている場合、このビットは I2C PASS ALL P1 を制御します。
6-4	SDA_HOLD_TIME	R/W	1h	内部 SDA ホールド時間 このフィールドは、SDA 入力のために確保される、SCL 入力に対する内部ホールド時間を設定します。単位は 40ns です。
3-0	I2C_FILTER_DEPTH	R/W	Eh	I2C グリッチ・フィルタ深度 このフィールドは、SCL および SDA 入力で除去されるグリッチ・パルスの最大幅を設定します。単位は 5ns です。

8.6.1.24 SCL_HIGH_TIME レジスタ (アドレス = 0x18) [リセット = 7Fh]

表 8-38 に、SCL_HIGH_TIME を示します。

概略表に戻ります。

表 8-38. SCL_HIGH_TIME レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	TX_SCL_HIGH	R/W	7Fh	I2C マスタの SCL High 時間 このフィールドは、シリアライザがローカル I2C バスのマスタである場合の SCL 出力の High パルス幅を設定します。単位は 40ns です (発振器クロック周波数が公称値である場合)。そのデフォルト値は、公称値である 25MHz ではなく 26.25MHz の内部発振器クロック周波数を使って 5µs 以上の SCL High 時間を確保するように設定されています。遅延には、発振器クロック周期の 5 倍の追加遅延時間が含まれます。 Min_delay = 38.0952ns × (TX_SCL_HIGH + 5)

8.6.1.25 SCL_LOW_TIME レジスタ (アドレス = 0x19) [リセット = 7Fh]

表 8-39 に、SCL_LOW_TIME を示します。

概略表に戻ります。

表 8-39. SCL_LOW_TIME レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	TX_SCL_LOW	R/W	7Fh	I2C SCL Low 時間 このフィールドは、シリアライザがローカル I2C バスのマスタである場合の SCL 出力の Low パルス幅を設定します。双方向制御チャネルによるアクセス中、SCL を解放する前にデータを提供するため、I2C スレーブはこの値を SDA セットアップ時間としても使います。単位は 40ns です (発振器クロック周波数が公称値である場合)。そのデフォルト値は、公称値である 25MHz ではなく 26.25MHz の内部発振器クロック周波数を使って 5µs 以上の SCL Low 時間を確保するように設定されています。遅延には、クロック周期の 5 倍の追加遅延時間が含まれます。 Min_delay = 38.0952ns × (TX_SCL_LOW + 5)

8.6.1.26 DATAPATH_CTL2 レジスタ (アドレス = 0x1A) [リセット = 1h]

表 8-40 に、DATAPATH_CTL2 を示します。

概略表に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-40. DATAPATH_CTL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BLOCK_REPEATER_I2S_MODE	R/W	0h	リピータの I2S モード自動設定を阻止 0:I2S モード (2 チャネル、4 チャネル、サラウンド) はリピータの帯域内オーディオ信号伝達から検出されます。 1:I2S モードの自動検出を無効にします。
6-4	RESERVED	R	0h	予約済み
3	SECONDARY_AUDIO	R	0h	セカンダリ・オーディオ有効 このレジスタは、AUX オーディオ・チャネルが有効化されていることを示します。この機能は、BRIDGE_CFG レジスタ (レジスタ・オフセット 0x54) の AUX_AUDIO_EN ビットでの制御されます。
2-1	RESERVED	R	0h	予約済み
0	I2S_SURROUND	R/W	1h	5.1 または 7.1 チャネル I2S オーディオ伝送の有効化 0:レジスタ 0x12 のビット 3 および 0 の設定に従って 2 チャネルまたは 4 チャネル I2S オーディオを有効化 1:5.1 または 7.1 チャネル・オーディオを有効化 I2S データ・アイランド伝送がサラウンド・オーディオのための唯一の選択肢であることに注意します。リピータの場合、帯域内 I2S モード検出がこのビットに優先し得ることにも注意します。

8.6.1.27 BIST_BC_ERRORS レジスタ (アドレス = 0x1B) [リセット = 0h]

表 8-41 に、BIST_BC_ERRORS を示します。

FPD-Link III TX ポート専用のレジスタです。FPD-Link III ポート選択レジスタ 0x1E を使うと、I2C の読み出し / 書き込みコマンドでアクセスできる専用の TX ポート・レジスタを選択できます。

概略表に戻ります。

表 8-41. BIST_BC_ERRORS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	BIST_BC_ERROR_COUNT BIST_BC_ERROR_COUNT_P1	R	0h	BIST バック・チャネル CRC エラー・カウンタ このレジスタはリンクの喪失、BIST の再開、レジスタ 0x04 の CRC ERROR RESET のアサートでクリアされます。 PORT1_SEL がセットされている場合、このレジスタはポート 1 のステータスを示します。

8.6.1.28 GPIO_PIN_STS1 レジスタ (アドレス = 0x1C) [リセット = 0h]

表 8-42 に、GPIO_PIN_STS1 を示します。

概略表に戻ります。

表 8-42. GPIO_PIN_STS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GPIO7_PIN_STS	R	0h	GPIO7/I2S_WC ピンのステータス PORT1_SEL がセットされている場合、このレジスタは 0 として読み出されます。
6	GPIO6_PIN_STS	R	0h	GPIO6/I2S_DA ピンのステータス PORT1_SEL がセットされている場合、このレジスタは 0 として読み出されます。
5	GPIO5_PIN_STS	R	0h	GPIO5/I2S_DB ピンのステータス PORT1_SEL がセットされている場合、このレジスタは 0 として読み出されます。
4	RESERVED	R	0h	予約済み

Copyright © 2022 Texas Instruments Incorporated

表 8-42. GPIO_PIN_STS1 レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
3	GPIO3_PIN_STS D_GPIO3_PIN_STS	R	0h	GPIO3/I2S_DD ピンのステータス PORT1_SEL がセットされている場合、このレジスタは D_GPIO3 ピンのステータスを示します。
2	GPIO2_PIN_STS D_GPIO2_PIN_STS	R	0h	GPIO2/I2S_DC ピンのステータス PORT1_SEL がセットされている場合、このレジスタは D_GPIO2 ピンのステータスを示します。
1	GPIO1_PIN_STS D_GPIO1_PIN_STS	R	0h	GPIO1 ピンのステータス PORT1_SEL がセットされている場合、このレジスタは D_GPIO1 ピンのステータスを示します。
0	_PIN_STS D_GPIO0_PIN_STS	R	0h	GPIO0 ピンのステータス PORT1_SEL がセットされている場合、このレジスタは D_GPIO0 ピンのステータスを示します。

8.6.1.29 GPIO_PIN_STS2 レジスタ (アドレス = 0x1D) [リセット = 0h]

表 8-43 に、GPIO_PIN_STS2 を示します。

概略表に戻ります。

表 8-43. GPIO_PIN_STS2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	RESERVED	R	0h	予約済み
0	GPIO8_PIN_STS	R	0h	GPIO8/I2S_CLK ピンのステータス

8.6.1.30 TX_PORT_SEL レジスタ (アドレス = 0x1E) [リセット = 1h]

表 8-44 に、TX_PORT_SEL を示します。

概略表に戻ります。

表 8-44. TX_PORT_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	RESERVED	R	0h	予約済み
2	PORT1_I2C_EN	R/W	0h	ポート 1 I2C の有効化: セカンダリ I2C アドレスを有効化します。セカンダリ I2C アドレスを使うと、ポート 1 のレジスタと、ポート 0 とポート 1 との間で共有されているレジスタにアクセスできます。セカンダリ I2C アドレス値は DeviceID + 1 (7 ビット形式) に設定されます。本デバイスがレプリケート・モードにある場合、セカンダリ・リンクを介してリモート・デバイスにアクセスするには、PORT1_I2C_EN ビットもセットされている必要があります。
1	PORT1_SEL	R/W	0h	プライマリ I2C アドレスからのレジスタ・アクセスのためにポート 1 を選択 書き込みの場合、ポート 1 レジスタと共有レジスタの両方が書き込まれます。 読み出しの場合、ポート 1 のレジスタと共有レジスタが読み出されます。ポート 0 レジスタを読み出すには、このビットをクリアする必要があります。 PORT1_I2C_EN がセットされている場合、このビットは無視されます。
0	PORT0_SEL	R/W	1h	プライマリ I2C アドレスからのレジスタ・アクセスのためにポート 0 を選択 書き込みの場合、ポート 0 レジスタと共有レジスタの両方が書き込まれます。 読み出しの場合、ポート 0 のレジスタと共有レジスタが読み出されます。 PORT1_SEL もセットされている場合、ポート 1 レジスタが読み出されることに注意します。 PORT1_I2C_EN がセットされている場合、このビットは無視されます。

Copyright © 2022 Texas Instruments Incorporated

8.6.1.31 FREQ_COUNTER レジスタ (アドレス = 0x1F) [リセット = 0h]

表 8-45 に、FREQ_COUNTER を示します。

概略表に戻ります。

表 8-45. FREQ_COUNTER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FREQ_COUNT	R/W	0h	周波数カウンタ制御 このレジスタに書き込むと、指定された時間間隔内のピクセル・クロック数を数えるための周波数カウンタが有効化されます。この時間間隔は、書き込まれた値に発振器のクロック周期 (公称 40ns) を掛けた値に等しい値です。レジスタを読み出すと、有効化された期間に観測されたピクセル・クロック・エッジ数が返されます。周波数カウンタは、最大値に達すると、0xff で止まります。周波数カウンタは、ピクセル・クロック周期の概算値を提供します。ピクセル・クロック周波数が既知である場合、周波数カウンタを使用して実際の発振器クロック周波数を求めることができます。

8.6.1.32 DES_CAP1 レジスタ (アドレス = 0x20) [リセット = 0h]

表 8-46 に、DES_CAP1 を示します。

FPD-Link III TX ポート専用のレジスタです。FPD-Link III ポート選択レジスタ 0x1E を使うと、I2C の読み出し / 書き込みコマンドでアクセスできる専用の TX ポート・レジスタを選択できます。

概略表に戻ります。

表 8-46. DES_CAP1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FREEZE_DES_CAP FREEZE_DES_CAP_P1	R/W	0h	PORT1_SEL がセットされている場合、このレジスタはポート 1 の機能を示します。 デシリアライザ機能の固定 双方向制御チャネルによるデシリアライザ機能の自動読み込みを禁止します。レジスタ 0x20 および 0x21 に書き込まれた値でこの機能は固定されます。
6	HSCC_MODE_0 _HSCC_MODE_P1_0	R/W	0h	高速制御チャネルのビット 0 3 ビット HSCC 表示の最下位ビットです。その他の 2 ビットはデシリアライザ機能 2 に含まれています。このフィールドは、RX のロックが検出されるとすぐに双方向制御チャネルによって自動的に設定されます。ソフトウェアはこの値を上書きできますが、双方向制御チャネルによる上書きを禁止するため、FREEZE DES CAP ビットもセットする必要があります。
5	RESERVED	R	0h	予約済み
4	RESERVED	R	0h	予約済み
3	DUAL_LINK_CAP DUAL_LINK_CAP_P1	R/W	0h	デュアル・リンク機能 デシリアライザがデュアル・リンク動作に対応しているかどうかを示します。このフィールドは、RX のロックが検出されるとすぐに双方向制御チャネルによって自動的に設定されます。ソフトウェアはこの値を上書きできますが、双方向制御チャネルによる上書きを禁止するため、FREEZE DES CAP ビットもセットする必要があります。
2	DUAL_CHANNEL DUAL_CHANNEL_P1	R/W	0h	デュアル・チャネル 0/1 の表示 デュアル・リンク対応デバイスでは、これがプライマリ・チャネルであるかセカンダリ・チャネルであるかを示します。 0: プライマリ・チャネル (チャネル 0) 1:セカンダリ・チャネル (チャネル 1) このフィールドは、RX のロックが検出されるとすぐに双方向制御チャネルによって自動的に設定されます。ソフトウェアはこの値を上書きできますが、双方向制御チャネルによる上書きを禁止するため、FREEZE DES CAP ビットもセットする必要があります。

Copyright © 2022 Texas Instruments Incorporated

表 8-46. DES_CAP1 レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
1	VID_24B_HD_AUD VID_24B_HD_AUD_P1	R/W	0h	デシリアライザは 24 ビット・ビデオを HD オーディオと同時にサポート このフィールドは、RX のロックが検出されるとすぐに双方向制御チャネルによって自動的に設定されます。ソフトウェアはこの値を上書きできますが、双方向制御チャネルによる上書きを禁止するため、FREEZE DES CAP ビットもセットする必要があります。
0	DES_CAP_FC_GPIO DES_CAP_FC_GPIO_P1	R/W	0h	デシリアライザはフォワード・チャネル・フレームで GPIO をサポート このフィールドは、RX のロックが検出されるとすぐに双方向制御チャネルによって自動的に設定されます。ソフトウェアはこの値を上書きできますが、双方向制御チャネルによる上書きを禁止するため、FREEZE DES CAP ビットもセットする必要があります。

8.6.1.33 DES_CAP2 レジスタ (アドレス = 0x21) [リセット = 0h]

表 8-47 に、DES_CAP2 を示します。

FPD-Link III TX ポート専用のレジスタです。FPD-Link III ポート選択レジスタ 0x1E を使うと、I2C の読み出し / 書き込みコマンドでアクセスできる専用の TX ポート・レジスタを選択できます。

概略表に戻ります。

表 8-47. DES_CAP2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	RESERVED	R	0h	予約済み
3	FC_BCC_CRC6	R/W	0h	拡張 CRC とスタート・シーケンスを有効化
2	RGB_CHKSUM_ERR	R	0h	RGB チェックサム・エラーの検出: HDCP トランスミッタの HDCP_DBG レジスタによって RGB チェックサムが有効化されている場合、このビットはチェックサム・エラーが検出されたかどうかを示します。
1-0	HSCC_MODE_2:1 HSCC_MODE_P1_2:1	R/W	0h	高速制御チャネルのビット 0 3 ビット HSCC 表示の最上位ビットです。最下位ビットはデシリアライザ機能 1 に含まれています。 000: 通常バック・チャネル・フレーム、GPIO モード 001: 高速 GPIO モード、1 GPIO 010: 高速 GPIO モード、2 GPIO 011: 高速 GPIO モード 4 GPIO 100: 予約済み 101: 予約済み 110: 高速、フォワード・チャネル SPI モード 111: 高速、リバース・チャネル SPI モード シングル・リンク・デバイスでは、通常バック・チャネル・フレーム・モードのみをサポートしています。

8.6.1.34 LINK_DET_CTL レジスタ (アドレス = 0x26) [リセット = 0h]

表 8-48 に、LINK_DET_CTL を示します。

概略表に戻ります。

表 8-48. LINK_DET_CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	RESERVED	R	0h	予約済み

Copyright © 2022 Texas Instruments Incorporated

表 8-48. LINK_DET_CTL レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
2-0	LINK_DETECT_TIMER	R/W	0h	双方向制御チャネル・リンク検出タイマ このフィールドは、リンク検出のタイムアウト期間を設定します。リーバース・チャネルで有効な通信が行われずにタイマが満了すると、リンク検出がデアサートされます。 000 : 162ms 001 : 325ms 010 : 650ms 011 : 1.3ms 100 : 10.25µs 101 : 20.5µs 110 : 41µs 111 : 82µs

8.6.1.35 MAILBOX_2E レジスタ (アドレス = 0x2E) [リセット = A5h]

表 8-49 に、MAILBOX_2E を示します。

概略表に戻ります。

表 8-49. MAILBOX_2E レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	MAILBOX_2E	R/W	A5h	メールボックス・レジスタ このレジスタは、任意の目的に使える未使用の読み出し / 書き込みレジスタです。

8.6.1.36 MAILBOX_2F レジスタ (アドレス = 0x2F) [リセット = 5Ah]

表 8-50 に、MAILBOX_2F を示します。

概略表に戻ります。

表 8-50. MAILBOX_2F レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	MAILBOX_2F	R/W	5Ah	メールボックス・レジスタ このレジスタは、任意の目的に使える未使用の読み出し / 書き込みレジスタです。

8.6.1.37 REM_INTB_CTRL レジスタ (アドレス = 0x30) [リセット = 0h]

表 8-51 に、REM_INTB_CTRL を示します。

概略表に戻ります。

表 8-51. REM_INTB_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	RESERVED	R	0h	予約済み

Copyright © 2022 Texas Instruments Incorporated

表 8-51. REM_INTB_CTRL レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
3-0	REM_INTB_MODE	R/W	0h	リモート割り込みを出力するために、各種のピンを選択できます。複数のリンクが利用可能な場合 (デュアル FPD-Link III 動作以外)、REM_INTB は通常、両方のポートからの合成された割り込みです。両方のポートからの独立したリモート割り込みが可能な例外については、以下の選択肢 0001 を参照してください。 リモート割り込みが出力されるピンを以下のように決定します。 0000:無効 0001:REM_INTB はポート 0 のリモート割り込みを示し、INTB はポート 1 のリモート割り込みを示します。 001x、01xx は予約済み 1000:GPIO0 1001:GPIO1 1010:GPIO2 1011:GPIO3 1100:D_GPIO0 1101:D_GPIO1 1110:D_GPIO2 1111:D_GPIO3

8.6.1.38 IMG_LINE_SIZE0 レジスタ (アドレス = 0x32) [リセット = 0h]

表 8-52 に、IMG_LINE_SIZE0 を示します。

概略表に戻ります。

表 8-52. IMG_LINE_SIZE0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	IMG_LINE_SIZE_7:0	R/W	0h	デュアル・イメージ・ライン・サイズ・レジスタ 0 デュアル・イメージ・ライン・サイズ (ビット 7:0) 左 / 右ピクセル形式画像の処理または交互ピクセル 3D ピクセル形式画像の分割の場合、このパラメータは、等価な 2D 画像のライン・サイズ (単位:ピクセル) を表します。デフォルト設定では、2D 画像のライン・サイズは 1280 ピクセルであり、統合された左 / 右形式画像のライン・サイズは 2560 ピクセルです。デフォルトは 1280 ピクセル (0x500) に設定されています。デュアル DSI 左 / 右モードでは、このパラメータは 2D 画像のライン・サイズ (単位:ピクセル) としても使用されます。デュアル・イメージのライン・サイズは最大値 (4096 ピクセル) に設定する必要があります。

8.6.1.39 IMG_LINE_SIZE1 レジスタ (アドレス = 0x33) [リセット = 5h]

表 8-53 に、IMG_LINE_SIZE1 を示します。

概略表に戻ります。

表 8-53. IMG_LINE_SIZE1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	RESERVED	R	0h	予約済み

Copyright © 2022 Texas Instruments Incorporated

表 8-53. IMG_LINE_SIZE1 レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
4-0	IMG_LINE_SIZE_12:8	R/W	5h	デュアル・イメージのライン・サイズ (ビット 12:8) 左 / 右ピクセル形式画像の処理または交互ピクセル 3D ピクセル形式画像の分割の場合、このパラメータは、等価な 2D 画像のライン・サイズ (単位:ピクセル) を表します。デフォルト設定では、2D 画像のライン・サイズは 1280 ピクセルであり、統合された左 / 右形式画像のライン・サイズは 2560 ピクセルです。デフォルトは 1280 ピクセル (0x500) に設定されています。 デュアル DSI 左 / 右モードでは、このパラメータは 2D 画像のライン・サイズ (単位:ピクセル) としても使用されます。 デュアル・イメージのライン・サイズは最大値 (4096 ピクセル) に設定する必要があります。

Copyright © 2022 Texas Instruments Incorporated

8.6.1.40 IMG_DELAY0_IMG_DELAY0_P1 レジスタ (アドレス = 0x34) [リセット = Ch]

表 8-54 に、IMG_DELAY0_IMG_DELAY0_P1 を示します。

概略表に戻ります。

表 8-54. IMG_DELAY0_IMG_DELAY0_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	IMG_DELAY_7:0 IMG_DELAY_P1_7:0	R/W	Ch	デュアル・イメージ遅延レジスタ 0 スプリッタ・モードまたは独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。 デュアル・イメージ遅延 (ビット 7:0) 左 / 右ピクセル形式画像の処理または交互ピクセル 3D ピクセル形式画像の分割の場合、このパラメータは、交互ピクセル形式で 2D 画像データを生成する前にデータをバッファリングするための遅延または交互ピクセル 3D ピクセル形式の画像を分割するための遅延を表します。 左 / 右 3D 画像の場合、このパラメータは通常 12 ピクセル (0x00C) の値に設定されます。 IMG_HSYNC_CTL レジスタを使って HSYNC タイミングを設定する場合、交互ピクセル 3D 形式の画像を分割するには、このパラメータは通常 12 ピクセル (0x00C) の値に設定されます。HSYNC タイミングの設定に IMG_HSYNC_CTL レジスタを使わない場合、この値は、水平同期期間と水平バック・ポーチ期間の和 (単位:ピクセル) に設定する必要があります。クロッピング・オプションによっては、適切に動作させるため、この値を変更することも場合によっては必要です。 デュアル・イメージ遅延は最大値 (4096 ピクセル) に設定する必要があります。

8.6.1.41 IMG_DELAY1_IMG_DELAY_P1 レジスタ (アドレス = 0x35) [リセット = 0h]

表 8-55 に、IMG_DELAY1_IMG_DELAY_P1 を示します。

概略表に戻ります。

表 8-55. IMG_DELAY1_IMG_DELAY_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	RESERVED	R	0h	予約済み
4-0	IMG_DELAY_12:8 IMG_DELAY_P1_12:8	R/W	0h	デュアル・イメージ遅延 (ビット 12:8) 左 / 右ピクセル形式画像の処理または交互ピクセル 3D ピクセル形式画像の分割の場合、このパラメータは、交互ピクセル形式で左 / 右データを生成する前にデータをバッファリングするための遅延または交互ピクセル 3D ピクセル形式の画像を分割するための遅延を表します。左 / 右 3D 画像の場合、このパラメータは通常 12 ピクセル (0x00C) の値に設定されます。 IMG_HSYNC_CTL レジスタを使って HSYNC タイミングを設定する場合、交互ピクセル 3D 形式の画像を分割するには、このパラメータは通常 12 ピクセル (0x00C) の値に設定されます。HSYNC タイミングの設定に IMG_HSYNC_CTL レジスタを使わない場合、この値は、水平同期期間と水平バック・ポーチ期間の和 (単位:ピクセル) に設定する必要があります。クロッピング・オプションによっては、適切に動作させるため、この値を変更することも場合によっては必要です。 デュアル・イメージ遅延は最大値 (4096 ピクセル) に設定する必要があります。

8.6.1.42 CROP_START_X0_CROP_START_X0_P1 レジスタ (アドレス = 0x36) [リセット = 0h]

表 8-56 に、CROP_START_X0_CROP_START_X0_P1 を示します。

概略表に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-56. CROP_START_X0_CROP_START_X0_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CROP_START_X_7:0 CROP_START_X_P1_7:0	R/W	0h	クロッピング開始 X0 レジスタ スプリッタ・モードまたは独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。 イメージ・クロッピング開始 X 位置 (ビット 7:0) イメージ・クロッピング開始 X 位置は、ビデオ・ラインの転送すべき部分の水平開始位置を示します。開始 X 位置より前のピクセルは転送されず、空白に置き換えられます (DE はデアサートされます)。ピクセル位置は 0～N-1 の範囲です (ここで、N はライン長 (単位:ピクセル) です)。

8.6.1.43 CROP_START_X1_CROP_START_X1_P1 レジスタ (アドレス = 0x37) [リセット = 0h]

表 8-57 に、CROP_START_X1_CROP_START_X1_P1 を示します。

概略表に戻ります。

表 8-57. CROP_START_X1_CROP_START_X1_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CROP_ENABLE CROP_ENABLE_P1	R/W	0h	クロッピング開始 X1 レジスタ スプリッタ・モードまたは独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。 ビデオ・クロッピングを有効化: このビットを 1 に設定すると、選択されたポートのビデオのクロッピングが有効化されます。クロッピングは、CROP_START_X/Y および CROP_STOP_X/Y レジスタを使用して、X、Y 開始および終了位置を設定することで制御されます。
6-5	RESERVED	R	0h	予約済み
4-0	CROP_START_X_12:8 CROP_START_X_P1_12:8	R/W	0h	イメージ・クロッピング開始 X 位置 (ビット 12:8) スプリッタ・モードまたは独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。 イメージ・クロッピング開始 X 位置は、ビデオ・ラインの転送すべき部分の水平開始位置を示します。開始 X 位置より前のピクセルは転送されず、空白に置き換えられます (DE はデアサートされます)。ピクセル位置は 0～N-1 の範囲です (ここで、N はライン長 (単位:ピクセル) です)。

8.6.1.44 CROP_STOP_X0_CROP_STOP_X0_P1 レジスタ (アドレス = 0x38) [リセット = 0h]

表 8-58 に、CROP_STOP_X0_CROP_STOP_X0_P1 を示します。

概略表に戻ります。

表 8-58. CROP_STOP_X0_CROP_STOP_X0_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CROP_STOP_X_7:0 CROP_STOP_X_P1_7:0	R/W	0h	イメージ・クロッピング終了 X 位置 (ビット 7:0) スプリッタ・モードまたは独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。 イメージ・クロッピング終了 X 位置は、クロッピングが有効化されている際に転送される最後のピクセルの位置を示します。終了 X 位置より後のピクセルは転送されず、空白に置き換えられます (DE はデアサートされます)。ピクセル位置は 0～N-1 の範囲です (ここで、N はライン長 (単位:ピクセル) です)。

8.6.1.45 CROP_STOP_X1_CROP_STOP_X1_P1 レジスタ (アドレス = 0x39) [リセット = 0h]

表 8-59 に、CROP_STOP_X1_CROP_STOP_X1_P1 を示します。

概略表に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-59. CROP_STOP_X1_CROP_STOP_X1_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	RESERVED	R	0h	予約済み
4-0	CROP_STOP_X_12:8 CROP_STOP_X_P1_12:8	R/W	0h	イメージ・クロッピング終了 X 位置 (ビット 12:8) スプリッタ・モードまたは独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。 イメージ・クロッピング終了 X 位置は、クロッピングが有効化されている際に転送される最後のピクセルの位置を示します。終了 X 位置より後のピクセルは転送されず、空白に置き換えられます (DE はデアサートされます)。ピクセル位置は 0～N-1 の範囲です (ここで、N はライン長 (単位:ピクセル) です)。

8.6.1.46 CROP_START_Y0_CROP_START_Y0_P1 レジスタ (アドレス = 0x3A) [リセット = 0h]

表 8-60 に、CROP_START_Y0_CROP_START_Y0_P1 を示します。

概略表に戻ります。

表 8-60. CROP_START_Y0_CROP_START_Y0_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CROP_START_Y_7:0 CROP_START_Y_P1_7:0	R/W	0h	クロッピング開始 Y0 レジスタ スプリッタ・モードまたは独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。 イメージ・クロッピング開始 Y 位置 (ビット 7:0) イメージ・クロッピング開始 Y 位置は、クロッピングが有効化されている際に転送される最初のビデオ・ラインを示します。開始 Y 位置より前のピクセルは転送されず、空白ラインに置き換えられます (DE はデアサートされます)。ライン位置は 0～N-1 の範囲です (ここで、N はフレーム内のライン数です)。スプリッタ・モードまたは独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。

8.6.1.47 CROP_START_Y1_CROP_START_Y1_P1 レジスタ (アドレス = 0x3B) [リセット = 0h]

表 8-61 に、CROP_START_Y1_CROP_START_Y1_P1 を示します。

概略表に戻ります。

表 8-61. CROP_START_Y1_CROP_START_Y1_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	RESERVED	R	0h	予約済み
4-0	CROP_START_Y_12:8 CROP_START_Y_P1_12:8	R/W	0h	イメージ・クロッピング開始 Y 位置 (ビット 12:8) スプリッタ・モードまたは独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。 イメージ・クロッピング開始 Y 位置は、クロッピングが有効化されている際に転送される最初のビデオ・ラインを示します。開始 Y 位置より後のピクセルは転送されず、空白ラインに置き換えられます (DE はデアサートされます)。ライン位置は 0～N-1 の範囲です (ここで、N はフレーム内のライン数です)。

8.6.1.48 CROP_STOP_Y0_CROP_STOP_Y0_P1 レジスタ (アドレス = 0x3C) [リセット = 0h]

表 8-62 に、CROP_STOP_Y0_CROP_STOP_Y0_P1 を示します。

概略表に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-62. CROP_STOP_Y0_CROP_STOP_Y0_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CROP_STOP_Y_7:0 CROP_STOP_Y_P1_7:0	R/W	0h	クロッピング終了 Y0 レジスタ スプリッタ・モードまたは独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。 イメージ・クロッピング終了 Y 位置 (ビット 7:0) イメージ・クロッピング終了 Y 位置は、クロッピングが有効化されている際に転送される最後のビデオ・ラインを示します。終了 Y 位置より後のビデオ・ラインは転送されず、空白ラインに置き換えられます (DE はデアサートされます)。ライン位置は 0～N-1 の範囲です (ここで、N はフレーム内のライン数です)。

8.6.1.49 CROP_STOP_Y1_CROP_STOP_Y1_P1 レジスタ (アドレス = 0x3D) [リセット = 0h]

表 8-63 に、CROP_STOP_Y1_CROP_STOP_Y1_P1 を示します。

概略表に戻ります。

表 8-63. CROP_STOP_Y1_CROP_STOP_Y1_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	RESERVED	R	0h	予約済み
4-0	CROP_STOP_Y_12:8 CROP_STOP_Y_P1_12:8	R/W	0h	イメージ・クロッピング終了 Y 位置 (ビット 12:8) スプリッタ・モードまたは独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。 イメージ・クロッピング終了 Y 位置は、クロッピングが有効化されている際に転送される最後のビデオ・ラインを示します。終了 Y 位置より後のビデオ・ラインは転送されず、空白ラインに置き換えられます (DE はデアサートされます)。ライン位置は 0～N-1 の範囲です (ここで、N はフレーム内のライン数です)。

8.6.1.50 SPLIT_CLK_CTL0_SPLIT_CLK_CTL0_P1 レジスタ (アドレス = 0x3E) [リセット = 81h]

表 8-64 に、SPLIT_CLK_CTL0_SPLIT_CLK_CTL0_P1 を示します。

概略表に戻ります。

表 8-64. SPLIT_CLK_CTL0_SPLIT_CLK_CTL0_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SPLIT_CLK_DIV_EN SPLIT_CLK_DIV_EN_P1	R/W	1h	スプリッタ・モード・クロック制御レジスタ 0 選択された FPD-Link III ポートを制御します。 スプリッタ・モード・クロック・デバイダの有効化 このレジスタは、スプリッタ・モード・クロック・デバイダを有効化します。スプリッタ・モードでは、このレジスタが 0 に設定されている場合、スプリッタ動作のピクセル・クロックは無効化されます。このデバイダは、スプリッタ・デバイダ設定 (SPLIT_CLK_SEL、SPLIT_CLK_DIV_M、SPLIT_CLK_DIV_N) を変更する前に無効化する必要があります。また、適切なモード遷移が確実に行われるように、デバイダ設定に対する変更は、DSI 入力が無効化されているときにのみ行う必要があります。 スプリッタ・モードが無効化されている場合、これらの値は無視されます。これは、選択された FPD-Link III ポートを制御します。
6-5	SPLIT_CLK_SEL	R/W	0h	スプリッタ・モード・クロックの選択 このレジスタは、選択されたポートのスプリッタ動作の FPD-Link III 送信側のクロック源を選択します。 00:2 分周された入力ピクセル・クロック (デフォルト) 01:DPHY 入力クロックの M/N 分周 10:REFCLK0 ピンに印加された外部クロックの M/N 分周 11:REFCLK1 ピンに印加された外部クロックの M/N 分周 スプリッタ・モードの場合、このレジスタは 0x56 よりも優先されます。

Copyright © 2022 Texas Instruments Incorporated

表 8-64. SPLIT_CLK_CTL0_SPLIT_CLK_CTL0_P1 レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
4-0	SPLIT_CLK_DIV_M SPLIT_CLK_DIV_M_P1	R/W	1h	スプリッタ・モード・クロック・デバイダの M 値 このレジスタは、選択された入力クロックからスプリッタ・モード・ピクセル・クロックを生成するために使用される M/N デバイダの M 設定値を制御します。M/N のデフォルト設定値では、ビデオの対称型分割に通常必要とされる 1/2 クロック周波数が生成されます。 スプリッタ・モードが無効化されている場合、これらの値は無視されます。これは、選択された FPD-Link III ポートを制御します。

8.6.1.51 SPLIT_CLK_CTL1_SPLIT_CLK_CTL1_P1 レジスタ (アドレス = 0x3F) [リセット = 2h]

表 8-65 に、SPLIT_CLK_CTL1_SPLIT_CLK_CTL1_P1 を示します。

概略表に戻ります。

表 8-65. SPLIT_CLK_CTL1_SPLIT_CLK_CTL1_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	SPLIT_CLK_DIV_N SPLIT_CLK_DIV_N_P1	R/W	2h	スプリッタ・モード・クロック制御レジスタ 1 選択された FPD-Link III ポートを制御します。 スプリッタ・モード・クロック・デバイダの N 値 このレジスタは、選択された入力クロックからスプリッタ・モード・ピクセル・クロックを生成するために使用される M/N デバイダの N 設定値を制御します。M/N のデフォルト設定値では、ビデオの対称型分割に通常必要とされる 1/2 クロック周波数が生成されます。 スプリッタ・モードが無効化されている場合、これらの値は無視されます。これは、選択された FPD-Link III ポートを制御します。

8.6.1.52 IND_ACC_CTL レジスタ (アドレス = 0x40) [リセット = 0h]

表 8-66 に、IND_ACC_CTL を示します。

概略表に戻ります。

表 8-66. IND_ACC_CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	RESERVED	R	0h	予約済み
4-2	IND_ACC_SEL	R/W	0h	間接アクセス・レジスタの選択: レジスタ・アクセスの目的のページを選択 000:無効化 001:DSI/D-PHY ポート 0 デジタル・レジスタ 010:DSI/D-PHY ポート 1 デジタル・レジスタ 011:予約済み 100:予約済み 101:予約済み 110:予約済み 111:予約済み
1	IND_ACC_AUTO_INC	R/W	0h	間接アクセスの自動インクリメント: 自動インクリメント・モードを有効化します。読み出しまたは書き込みが完了すると、レジスタ・アドレスが自動的に 1 ずつ増えます。読み出し時に自動インクリメントを行うには、IND_ACC_READ ビットもセットする必要があります。

Copyright © 2022 Texas Instruments Incorporated

表 8-66. IND_ACC_CTL レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
0	IND_ACC_READ	R/W	0h	間接アクセス・レジスタの読み出し: 間接アクセス・レジスタを読み出す場合、通常このビットを 1 に設定する必要があります。間接アクセス・レジスタに書き込む場合、このビットを 0 に設定する必要があります。 ページ 1 のレジスタ (DSI/D-PHY デジタル・レジスタ) にアクセスする場合、このビットをセットしておくと、ステータス・レジスタは読み出すとクリアされます。このビットが 0 に設定されている場合、ステータス・レジスタは読み出せますが、読み出してもクリアされません。 プリフェッチを必要とするアナログ・レジスタにアクセスする場合、このビットをセットしておくと、IND_ACC_ADDR レジスタのセット時に、アナログ・ブロックへの読み出しストローブを生成できます。自動インクリメント・モードでは、IND_ACC_DATA レジスタを読み出した後にも、読み出しストローブがアサートされます。

8.6.1.53 IND_ACC_ADDR レジスタ (アドレス = 0x41) [リセット = 0h]

表 8-67 に、IND_ACC_ADDR を示します。

概略表に戻ります。

表 8-67. IND_ACC_ADDR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	IND_ACC_ADDR	R/W	0h	間接アクセス・レジスタのオフセット: このレジスタには、間接アクセス用の 8 ビット・レジスタ・オフセットが含まれます。

8.6.1.54 IND_ACC_DATA レジスタ (アドレス = 0x42) [リセット = 0h]

表 8-68 に、IND_ACC_DATA を示します。

概略表に戻ります。

表 8-68. IND_ACC_DATA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	IND_ACC_DATA	R/W	0h	間接アクセス・レジスタのデータ: このレジスタを書き込むと、選択されたアナログ・ブロック・レジスタへの IND_ACC_DATA 値の間接書き込みが行われます。 このレジスタを読み出すと、選択されたアナログ・ブロック・レジスタの値が返されます。

8.6.1.55 BRIDGE_CTL レジスタ (アドレス = 0x4F) [リセット = ストラップ]

表 8-69 に、BRIDGE_CTL を示します。

概略表に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-69. BRIDGE_CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DSI_CONTINUOUS_CLK DSI_CONTINUOUS_CLK_P1	R/W	ストラップ	DSI 連続クロック・モード このビットは DSI クロック・レーンの処理を制御します。連続クロック・モードに入っている場合、DSI ロジックは、クロック入力が常に HS モードにあると見なし、クロック・レーンの初期化要件を無視します。 独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。 DSI_CONTINUOUS_CLK は、MODE_SEL1 のストラップ・オプションから最初に読み込まれます。 0:不連続 DSI クロック・モード 1:連続 DSI クロック・モード
6	DUAL_DSI_EN	R/W	0h	デュアル DSI 入力モード: デュアル DSI 受信インターフェイスの動作モードの決定 1:デュアル DSI モード 0:シングル DSI モード 独立 2:2 モードの場合、このビットを 0 に設定する必要があります。
5	DSI_PORT_SEL	R/W	0h	DSI 受信入力選択 シングル DSI モードでは、この制御により、有効な入力 DSI ポートが選択されます。 0:DSI 入力ポート 0 を選択 1:DSI 入力ポート 1 を選択 独立 2:2 モードでは、このビットを 1 に設定すると、DSI ポート 0 が FPD-Link III ポート 1 に割り当てられ、DSI ポート 1 が FPD-Link III ポート 0 に割り当てられるように、DSI ポートが交換されます。 DUAL_DSI_EN を 1 に設定する場合、DSI_PORT_SEL を 0 に設定する必要があります。
4	ALT_LINES_3D	R/W	0h	交互ライン 3D モードの有効化 1 に設定すると、ビデオ入力は、交互ライン形式に基づいて 2 つの画像として処理されます。このデバイスは、交互ピクセル形式を使って 2 つ画像を 1 つの画像に統合します。その後これらの画像は、FPD-Link III 送信出力または下流のデバイスで 2 つの画像に分割できます。FPD-Link III 送信ポートでこの画像を分割するには、DUAL_CTL1 レジスタの FPD3_TX_MODE を強制スプリッタ・モードに設定する必要があります。
3-2	DSI_LANES DSI_LANES_P1	R/W/S	ストラップ	DSI レーンの選択 有効な DSI レーンの数を示します。 00:1 レーン (DSI レーン 0) 01:2 レーン 10:3 レーン 11:4 レーン DSI_LANES は、MODE_SEL0 ピンのストラップ・オプションから最初に読み込まれます。 ビデオ・エラーを防止するため、DSI 入力が有効化されている間は DSI_LANES フィールドを変更しないようにします。 独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。
1	CFG_INIT	R/W	0h	不揮発性メモリから構成を初期化: 不揮発性メモリから構成データを再読み込みします。また、ストラップ・オプションは、初期ストラップ値に復元されます。初期化が完了すると、このビットはクリアされます。
0	RESERVED	R	0h	予約済み

8.6.1.56 BRIDGE_STS レジスタ (アドレス = 0x50) [リセット = 2h]

表 8-70 に、BRIDGE_STS を示します。

概略表に戻ります。

表 8-70. BRIDGE_STS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み

Copyright © 2022 Texas Instruments Incorporated

表 8-70. BRIDGE_STS レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
6	RESERVED	R	0h	予約済み
5	HDCP_INT	R	0h	HDCP 割り込みステータス: HDCP 送信割り込みが保留中であることを示します。HDCP 送信割り込みは、HDCP 割り込み制御およびステータス・レジスタによって処理されます。
4	INIT_DONE	R	0h	初期化完了: 初期化シーケンスが完了したことを示します。このステップは、構成完了 (CFG_DONE) の後に完了します。
3	RESERVED	R	0h	予約済み
2	CFG_DONE	R	0h	構成完了: 自動構成が完了したことを示します。このステップは、初期化完了 (INIT_DONE) の前に完了します。
1	CFG_CKSUM	R	1h	構成チェックサム・ステータス: 初期化中の構成チェックサムの結果を示します。本デバイスは、NVM の最後の 128 バイトの 2 の補数のチェックサムを検証します。1 の値は、チェックサムが合格したことを示します。
0	RESERVED	R	0h	予約済み

8.6.1.57 BRIDGE_CFG レジスタ (アドレス = 0x54) [リセット = 2h]

表 8-71 に、BRIDGE_CFG を示します。

概略表に戻ります。

表 8-71. BRIDGE_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	RESERVED	R	0h	予約済み
5-4	DSI_B_PER_Pixel DSI_BYTES_PER_PIXEL_P1	R/W	0h	1 ピクセルあたりの DSI バイト数: 連続クロック・モードの場合、目的の DSI データ・タイプの 1 ピクセルあたりの DSI バイト数を選択します。 00:3 バイト/ピクセル (RGB888、RGB666 ルーズリ・パックト、20b YCbCr 4:2:2、24b YCbCr 4:2:2、12b YCbCr 4:2:0、圧縮 01:2.25 バイト/ピクセル (RGB666 パックト) 10:2 バイト/ピクセル (RGB565、16b YCbCr 4:2:2) 11:予約済み 注:すべての RGB 形式は RGB888 に変換されます。YCbCr および圧縮形式は未変換でパススルーされます。 独立 2:2 モードでは、選択されたポートを制御します。
3	RESERVED	R	0h	予約済み
2	AUDIO_TDM	R/W	0h	TDM オーディオの有効化: このビットを 1 に設定すると、I2S オーディオの TDM オーディオが有効化されます。I2S ピンのパラレル I2S データは、シリアル・リンク経由で送信するために 1 つの I2S_DA 信号にシリアル化されます。
1	AUDIO_MODE	R/W	1h	オーディオ・モード: FPD-Link III ダウンストリーム・リンク経由で送信するオーディオ源を選択します。 0:無効化 1:I2S ピンからの I2S オーディオ
0	AUX_AUDIO_EN	R/W	0h	AUX オーディオ・チャネルの有効化: このビットを 1 に設定すると、AUX オーディオ・チャネルが有効化されます。これにより、I2S オーディオに加えて、追加の 2 チャネルのオーディオを送信できます。

Copyright © 2022 Texas Instruments Incorporated

8.6.1.58 AUDIO_CFG レジスタ (アドレス = 0x55) [リセット = ストラップ]

表 8-72 に、AUDIO_CFG を示します。

概略表に戻ります。

表 8-72. AUDIO_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	TDM_2_PARALLEL	R/W	0h	TDM からパラレル I2S へのオーディオ変換を有効化します。 このビットをセットすると、TDM からパラレル I2S への変換が有効化されます。I2S_DA ピンに入力された TDM オーディオ・データは、4 つの I2S データ信号に分割されます。
6	RESERVED	R	0h	予約済み
5	SWC_EDGE	R/W	0h	セカンダリ WC エッジ・サンプリング: このビットを 1 に設定すると、セカンダリ WC のサンプリング・エッジが I2S_CLK の立ち上がりエッジから立ち下がりエッジに変更されます。 1:I2S CLK の立ち下がりエッジでワード・クロックをサンプリング 0:I2S CLK の立ち上がりエッジでワード・クロックをサンプリング
4	SPLIT_AUDIO	R/W/S	ストラップ	ポートにオーディオを分割 FPD-Link III 送信がレプリケート・モードまたはスプリッタ・モードの場合、このビットをセットすると、I2S オーディオが 2 つのポートに分割されます。シングルまたはデュアル FPD-Link III 送信モードでは、このビットは無効です。 0:オーディオ信号は両方のポートに割り当てられます (最大 8 チャネル・オーディオ) 1:オーディオを分割:ポート 0 には I2S_DA/I2S_DB が割り当てられ、ポート 1 には I2S_DC/I2S_DD 信号が割り当てられます。 電源オン時に、SPLIT_AUDIO 制御は MODE_SEL0 ピンからストラップされます。スプリッタ・モードがストラップされている場合、SPLIT_AUDIO は 1 に設定されます。
3-0	RESERVED	R	0h	予約済み

8.6.1.59 BRIDGE_CFG2 レジスタ (アドレス = 0x56) [リセット = 0]

表 8-73 に、BRIDGE_CFG2 を示します。

概略表に戻ります。

表 8-73. BRIDGE_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	LEFT_RIGHT_3D	R/W	0h	左 / 右 3D 処理の有効化: このビットを 1 に設定すると、左 / 右 (サイドバイサイド) 3D 画像から交互ピクセル画像への変換が有効化されます。この変換により、シリアライザの FPD-Link III 出力または下流のデシリアライザでの 3D 画像の分割が可能になります。このビットをセットするのに加えて、ソフトウェアは IMG_LINE_SIZE および IMG_DELAY パラメータも設定する必要があります。
6	DUAL_DSI_LR_EN	R/W	0h	デュアル DSI 左 / 右形式の有効化: このビットを 1 に設定すると、シリアライザはデュアル DSI 入力を左 / 右 (サイドバイサイド) 形式の 1 つのフレームに配置できます。左の画像は DSI ポート 0 で受信され、右の画像は DSI ポート 1 で受信されます。 このモードでは、BRIDGE_CTL レジスタの DUAL_DSI_EN 制御もセットする必要があります。
5-2	RESERVED	R	0h	予約済み

Copyright © 2022 Texas Instruments Incorporated

表 8-73. BRIDGE_CFG2 レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
1-0	BRIDGE_CLK_MODE	R/W	0h	ブリッジ・クロッキング・モード 00:DSI 基準クロック・モード。FPD-Link III トランスミッタは DSI クロックに同期されます。このモードでは、DSI クロックが連続モードである (BRIDGE_CTL:DSI_CONTINUOUS_CLK をセットする) 必要があります。 01:外部基準クロック・モード。FPD-Link III トランスミッタには、REFCLK0 ピンに入力された外部ピクセル・クロックが供給されます。DSI クロックは連続モードでも不連続モードでも構いません。 10:内部基準クロック・モード。FPD-Link III トランスミッタには、常時オン・クロックから生成された内部ピクセル・クロックが供給されます。DSI クロックは連続モードでも不連続モードでも構いません。 11:独立 2:2 モード用外部基準クロック・モード。FPD-Link III ポート 0 トランスミッタには、REFCLK0 ピンに入力された外部ピクセル・クロックが供給され、ポート 1 トランスミッタには、REFCLK1 ピンに入力された外部ピクセル・クロックが供給されます。DSI クロックは連続モードでも不連続モードでも構いません。このオプションは、独立 2:2 モードでのみ使用できます。独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。このレジスタは、スプリッタ・モードでは使えません。

8.6.1.60 TDM_CONFIG レジスタ (アドレス = 0x57) [リセット = Ah]

表 8-74 に、TDM_CONFIG を示します。

概略表に戻ります。

表 8-74. TDM_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	RESERVED	R	0h	予約済み
3	TDM_FS_MODE	R/W	1h	TDM フレーム同期モード: TDM オーディオのフレーム同期のアクティブ・レベルを設定します。フレーム同期信号は、TDM データ信号の最初のサンプル・データを示すアクティブ・パルスを提供します。 0:アクティブ High のフレーム同期 1:アクティブ Low のフレーム同期 (I2S ワード選択と同様) このビットは、I2S から TDM への変換の出力と、TDM から I2S への変換の入力の両方に使用されます。
2	TDM_DELAY	R/W	0h	TDM データ遅延: アクティブ・フレーム同期エッジからの TDM オーディオ・サンプルのデータ遅延を制御します。 0:データはフレーム同期から遅延されない (データは左詰め) 1:データはフレーム同期から 1 ビット遅延 このビットは、I2S から TDM への変換の出力と、TDM から I2S への変換の入力の両方に使用されます。
1-0	TDM_FS_WIDTH	R/W	2h	TDM フレーム同期幅: I2S から TDM への変換における TDM フレーム同期 (FS) パルス幅を示します。 00:FS は 50/50 デューティ・サイクル 01:FS は 1 スロット/チャネル幅 1x:FS は 1 クロック・パルス幅

8.6.1.61 VIDEO_3D_STS レジスタ (アドレス = 0x58) [リセット = 0h]

表 8-75 に、VIDEO_3D_STS を示します。

概略表に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-75. VIDEO_3D_STS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	RESERVED	R	0h	予約済み
2	LINE_OV_ERR	R/COR	0h	ライン・バッファ・オーバーフロー: 1 に設定されている場合、バッファに対して長すぎるビデオ・ラインが受信されたために 3D ビデオ・ライン・バッファでエラーが検出されたことを示します。 交互ライン 3D モードの場合、ビデオ・ラインに 4096 以上のピクセルが含まれていると、このフラグがセットされます。 左 / 右 3D モードまたは交互ピクセル 3D モードの場合、ビデオ・ラインに 8192 以上のピクセルが含まれていると、このフラグがセットされます。 このフラグは、読み出すとクリアされます。
1	LINE_VID_ERR	R/COR	0h	ライン・ビデオ・エラー: 1 に設定されている場合、無効なライン長またはブランキング間隔におそらく起因して 3D ビデオ処理エラーが検出されたことを示します。このフラグは、読み出すとクリアされます。
0	LINE_MISMATCH	R/COR	0h	ライン・ミスマッチ・エラー 交互ライン 3D モード: 1 に設定されている場合、奇数 / 偶数ビデオ・ライン長の不一致が検出されたことを示します。これは、奇数のビデオ・ラインと偶数のビデオ・ラインの長さが異なる場合に発生します。このフラグは、読み出すとクリアされます。 左 / 右 3D モード: 1 に設定されている場合、ライン長エラーが検出されたことを示します。これは、受信されたビデオ・ラインが IMG_LINE_SIZE 値の 2 倍ではない場合に発生します。受信されたライン長が IMG_LINE_SIZE よりも短い場合、エラーが検出されない可能性があります。このフラグは、読み出すとクリアされます。画像が横方向でクロッピングされている場合、このエラー・フラグは不正確である可能性があります。

8.6.1.62 DUAL_DSI_CTL_STS レジスタ (アドレス = 0x59) [リセット = 0h]

表 8-76 に、DUAL_DSI_CTL_STS を示します。

概略表に戻ります。

表 8-76. DUAL_DSI_CTL_STS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	DSI1_DELAY	R/W	0h	DSI ポート 1 の入力遅延 DSI ポート 1 の入力は、デュアル DSI ビデオ・データを結合する前に、最大 3 ピクセル・クロック遅延させることができます。これは、診断のために、または DSI ポート間の既知のスキューを補償するために行うことができます。
5-4	DSI0_DELAY	R/W	0h	DSI ポート 0 の入力遅延 DSI ポート 0 の入力は、デュアル DSI ビデオ・データを結合する前に、最大 3 ピクセル・クロック遅延させることができます。これは、診断のために、または DSI ポート間の既知のスキューを補償するために行うことができます。
3	DUAL_DSI_OK	R	0h	デュアル DSI ステータス このレジスタは、両方の DSI レーンがアクティブであり、かつスキューが測定可能な範囲内であるかどうかを示します。
2	DSI_SKEW_NEG	R	0h	デュアル・スキュー負表示 デュアル DSI モードの場合、DSI ポート間のスキューが正であるか負であるかを示します。 0:DSI ポート 0 が DSI ポート 1 より先 (またはスキューが 0) 1:DSI ポート 1 が DSI ポート 0 より先

Copyright © 2022 Texas Instruments Incorporated

表 8-76. DUAL_DSI_CTL_STS レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
1-0	DSI_SKEW_MAG	R	0h	デュアル DSI のスキューの大きさ このレジスタは、DSI ポート間で検出されたスキューの大きさ (単位:ピクセル・クロック) を示します。

8.6.1.63 DUAL_STS_DUAL_STS_P1 レジスタ (アドレス = 0x5A) [リセット = 0h]

表 8-77 に、DUAL_STS_DUAL_STS_P1 を示します。

概略表に戻ります。

表 8-77. DUAL_STS_DUAL_STS_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FPD3_LINK_RDY FPD3_LINK_RDY_P1	R	0h	選択されたポートの FPD-Link III リンク・レディ・ステータス: このビットは、FPD-Link III リンクが有効なダウンストリーム接続を検出し、ダウンストリーム・リンクの機能を判定したことを示します。 独立 2:2 モードでは、選択された FPD-Link III ポートのステータスを示します。
6	FPD3_TX_STS FPD3_TX_STS_P1	R	0h	選択されたポートの FPD-Link III 送信ステータス: このビットは、FPD-Link III トランスミッタがアクティブであり、かつレシーバが送信クロックにロックしていることを示します。このビットは、有効な入力が検出され、かつ FPD-Link III 送信接続が正しいモード (シングル・モードまたはデュアル・モード) に移行した後にのみアサートされます。 独立 2:2 モードでは、選択された FPD-Link III ポートのステータスを示します。
5-4	FPD3_PORT_STS	R	0h	選択されたポートの FPD-Link III ポート・ステータス: FPD3_TX_STS が 1 に設定されている場合、このフィールドは以下のポート・モード・ステータスを示します。 00:デュアル FPD-Link III トランスミッタ・モード 01:ポート 0 でのシングル FPD-Link III 送信 10:ポート 1 でのシングル FPD-Link III 送信 11:両方のポートでの FPD-Link III 送信 (独立 2:2、レプリケート、スプリッタ・モード)
3	DSI_CLK_DET DSI_CLK_DET_P1	R	0h	選択されたポートの DSI クロック検出: DSI PLL コントローラからの DSI クロック検出表示。 独立 2:2 モードでは、選択された FPD-Link III ポートのステータスを示します。
2	予約済み	R	0h	予約済み
1	NO_DSI_CLK NO_DSI_CLK_P1	R	0h	選択されたポートの DSI クロックが検出されない: このビットは、FREQ_LOW レジスタで指定された値より高い周波数の DSI クロックを周波数検出回路が検出しなかったことを示します。 独立 2:2 モードでは、選択された FPD-Link III ポートのステータスを示します。
0	FREQ_STABLE FREQ_STABLE_P1	R	0h	DSI 周波数は安定: 周波数検出回路が、安定な DSI クロック周波数を検出したことを示します。 独立 2:2 モードでは、選択された FPD-Link III ポートのステータスを示します。

8.6.1.64 DUAL_CTL1 レジスタ (アドレス = 0x5B) [リセット = ストラップ]

表 8-78 に、DUAL_CTL1 を示します。

概略表に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-78. DUAL_CTL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FPD3_COAX_MODE	R/W	ストラップ	FPD-Link III 同軸モード: FPD-Link III インターフェイスのケーブル・タイプを設定できます。 0:ツイストペア 1:同軸 このビットは、電源オン時に MODE_SEL1 ピンから読み込まれます。
6	DUAL_SWAP	R/W	0h	デュアル・スワップ制御: デュアル・スワップ制御の現在のステータスを示します。 DISABLE_DUAL_SWAP 制御によってデュアル・スワップの自動補正が無効化されている場合、このビットはソフトウェアで変更できます。
5	RST_PLL_FREQ	R/W	0h	周波数変更時に FPD-Link III PLL をリセット: 1 に設定されている場合、周波数検出回路によって周波数の変化が検出されると、FPD-Link III PLL がリセットされます。
4	FREQ_DET_PLL	R/W	0h	周波数検出の PLL クロックの選択: 周波数検出回路のクロック源を決定します。 0:DSI クロック (PLL より前) 1:DSI PLL クロック
3	DUAL_ALIGN_DE	R/W	0h	DE によるデュアル・アライン: デュアル・リンク・モードでは、このビットが 1 に設定されている場合、DE のアサートに基づいて、奇数 / 偶数データがそれぞれプライマリ / セカンダリ・リンクで送信されます。このビットが 0 に設定されている場合、奇数 / 偶数ピクセル位置に関係なく、データは 2 つのリンクに交互に送信されます。
2-0	FPD3_TX_MODE	R/W/S	ストラップ	FPD-Link III TX モード: このレジスタは、FPD-Link III 送信機能の動作モードを制御します。デフォルトでは、FPD-Link III トランスミッタは、接続されているデバイスに基づいて最適な動作モードを自動検出します。FPD-Link III 送信は、特定の動作に強制的に設定することもできます。 000:FPD-Link III モード (シングル、デュアル、レプリケート) を自動検出 001:強制シングル FPD-Link III トランスミッタ・モード (ポート 1 を無効化) 010:予約済み 011:強制デュアル FPD-Link III トランスミッタ・モード 100:FPD-Link III 自動検出モード (シングルまたはレプリケートのみ、デュアルを無効化) 101:強制独立 2:2 モード 110:予約済み 111:強制スプリッタ・モード (各ポートのビデオ・ストリームの半分) このフィールドは、電源オン時に MODE_SEL0 ピンから読み込まれます。電源オン時の設定は 000 と 111 のどちらかです。注:独立 2:2 モードを有効化する必要があるのは、RESET_CTL レジスタの DISABLE_DSI 制御により DSI 入力が無効化されている間のみです。

8.6.1.65 DUAL_CTL2 レジスタ (アドレス = 0x5C) [リセット = 7h]

表 8-79 に、DUAL_CTL2 を示します。

概略表に戻ります。

表 8-79. DUAL_CTL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DISABLE_DUAL_SWAP	R/W	0h	デュアル・スワップを無効化: 入れ替わったデュアル・リンク接続の自動訂正を禁止します。このビットをセットすると、DUAL_CTL1 レジスタの DUAL_SWAP 制御への書き込みが可能になります。

Copyright © 2022 Texas Instruments Incorporated

表 8-79. DUAL_CTL2 レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
6	FORCE_LINK_RDY FORCE_LINK_RDY_P1	R/W	0h	リンク・レディを強制: バック・チャネル・リンク検出を無視して、リンク・レディを強制的に表示します。目的の動作を有効化するには、各ポートのデシリアライザ機能レジスタ (DES_CAP1、DES_CAP2) を強制的に設定する必要がある場合があります。 独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。
5	FORCE_CLK_DET FORCE_CLK_DET_P1	R/W	0h	クロック検出を強制: 有効な入力クロックの存在を DSI クロック検出回路が示すように強制します。これにより、クロック検出回路が無視され、周波数または安定性の要件を満たしていない入力クロックでも動作できます。 独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。
4-3	FREQ_STBL_THR FREQ_STBL_THR_P1	R/W	0h	周波数安定性スレッショルド: 周波数検出回路を使用して、安定したクロック周波数を検出できます。安定性スレッショルドは、クロック周波数が FREQ_HYST の範囲内にとどまり、安定したと見なされるために必要な時間を決定します。 00:40us 01:80us 10:320us 11:1.28ms 独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。
2-0	FREQ_HYST FREQ_HYST_P1	R/W	7h	周波数検出ヒステリシス: 周波数検出ヒステリシスの設定値を使用すると、周波数のわずかな変動を無視できます。新しい周波数測定値が取り込まれるのは、測定された周波数と現在の測定周波数との差が FREQ_HYST 設定値よりも大きい場合のみです。FREQ_HYST 設定値は MHz 単位です。 独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。

8.6.1.66 FREQ_LOW レジスタ (アドレス = 0x5D) [リセット = 6h]

表 8-80 に、FREQ_LOW を示します。

概略表に戻ります。

表 8-80. FREQ_LOW レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FREQ_HYST_MODE	R/W	0h	周波数検出ヒステリシス・モード: 0:周波数が安定していない場合、前の周波数測定値との差がヒステリシスの範囲内である限り、保存される周波数は更新されます。 1:従来型の動作。周波数が安定していない場合、最初の周波数測定値との差がヒステリシスの範囲内である限り、最初の周波数測定値が維持されます。
6	DSI_RST_MODE	R/W	0h	DSI PHY リセット・モード: 0:モードまたは周波数が変化すると DSI PHY をリセット 1:モードまたは周波数が変化しても DSI PHY をリセットしない。
5-0	FREQ_LO_THR	R/W	6h	周波数下限スレッショルド: DSI クロック周波数検出回路の下限スレッショルド (単位:MHz) を設定します。この値を使用して、DSI クロック周波数が低すぎて正常に動作できないのかどうかを判定します。

8.6.1.67 FREQ_HIGH レジスタ (アドレス = 0x5E) [リセット = 2Ch]

表 8-81 に、FREQ_HIGH を示します。

概略表に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-81. FREQ_HIGH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み
6-0	FREQ_HI_THR	R/W	2Ch	周波数上限スレッショルド: DSI クロック周波数検出回路の上限スレッショルド (単位:MHz) を設定します。

8.6.1.68 DSI_FREQ_DSI_FREQ_P1 レジスタ (アドレス = 0x5F) [リセット = 0h]

表 8-82 に、DSI_FREQ_DSI_FREQ_P1 を示します。

概略表に戻ります。

表 8-82. DSI_FREQ_DSI_FREQ_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DSI_FREQ	R	0h	DSI ピクセル周波数: 選択されたポートのビデオ・データの DSI ピクセル周波数の値 (単位:MHz) を返します。このレジスタは、受信データのピクセル・レートを示します (ピクセル・サイズは 24 ビット)。DSI レーン周波数 (Mbps) は、レーン数に基づいて次の式で求めることができます。 1 レーン:DSI レーン周波数 = DSI ピクセル周波数 * 24 2 レーン:DSI レーン周波数 = DSI ピクセル周波数 * 12 3 レーン:DSI レーン周波数 = DSI ピクセル周波数 * 8 4 レーン:DSI レーン周波数 = DSI ピクセル周波数 * 6 0 の値は、DSI レシーバが有効な信号を検出していないことを示します。 外部または内部基準クロック・モードでは、本レジスタは、DSI ピクセル・クロックではなく、ビデオ転送に使用されるピクセル・クロック周波数を報告します。 デュアル DSI モードでは、DSI ピクセル周波数は、統合された 2 つのポートの周波数 (シングル DSI ポートの 2 倍の周波数) です。この場合、DSI レーン周波数は上記で計算した値の 1/2 です。 スプリッタ・モードでは、このレジスタは、DSI 入力周波数ではなく、選択されたポートの FPD-Link III ピクセル・クロック周波数を報告します。

8.6.1.69 SPI_TIMING1 レジスタ (アドレス = 0x60) [リセット = 22h]

表 8-83 に、SPI_TIMING1 を示します。

概略表に戻ります。

表 8-83. SPI_TIMING1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	SPI_HOLD	R/W	2h	SPI クロックからの SPI データ・ホールド: これらのビットは、SPI クロックのサンプリング・エッジからの SPI データの最小ホールド時間を設定します。また、このホールド時間により、SPI 出力クロックの最小アクティブ・パルス幅も設定されます。 ホールド = (SPI_HOLD + 1) * 40ns たとえば、デフォルト設定値の 2 から 120ns のデータ・ホールド時間が導かれます。
3-0	SPI_SETUP	R/W	2h	SPI クロックまでの SPI データ・セットアップ: これらのビットは、SPI クロックのアクティブ・エッジまでの SPI データの最小セットアップ時間を設定します。また、このセットアップ時間により、SPI 出力クロックの最小非アクティブ幅も設定されます。 セットアップ = (SPI_SETUP + 1) * 40ns たとえば、デフォルト設定値の 2 から 120ns のデータ・セットアップ時間が導かれます。

Copyright © 2022 Texas Instruments Incorporated

8.6.1.70 SPI_TIMING2 レジスタ (アドレス = 0x61) [リセット = 2h]

表 8-84 に、SPI_TIMING2 を示します。

概略表に戻ります。

表 8-84. SPI_TIMING2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	RESERVED	R	0h	予約済み
3-0	SPI_SS_SETUP	R/W	2h	SPI スレーブ選択セットアップ: このフィールドは、スレーブ選択 Low のアサートから最初のデータ・タイミングまでの遅延を制御します。遅延は 40ns 単位です。 遅延 = (SPI_SS_SETUP + 1) * 40ns

8.6.1.71 SPI_CONFIG レジスタ (アドレス = 0x62) [リセット = 0h]

表 8-85 に、SPI_CONFIG を示します。

概略表に戻ります。

表 8-85. SPI_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SPI_MSTR_OVER	R	0h	SPI マスタ・オーバーフロー検出: このフラグは、SPI マスタがオーバーフロー状態を検出するとセットされます。この条件は、SPI マスタがリモート・デシリアライザから到着したデータに追従するのに十分な速度でリモート SPI データを再生成することが不可能な場合に発生します。この条件が発生した場合、SPI_SETUP および SPI_HOLD 時間をより小さい値に設定する必要があります。このフラグは、このレジスタの SPI_CLR_OVER ビットをセットすることでクリアされます。
6-3	RESERVED	R	0h	予約済み
2	SPI_CLR_OVER	R/W	0h	SPI マスタ・オーバーフロー・フラグのクリア: このビットを 1 に設定すると、SPI マスタ・オーバーフロー検出フラグ (SPI_MSTR_OVER) がクリアされます。このビットは自動でクリアされないため、0 に戻す必要があります。
1	SPI_CPHA	R	0h	SPI クロック位相の設定: データのサンプリングに使用する SPI クロックの位相を決定します。 0:クロックの立ち上がり (最初のエッジ) でサンプリングされたデータ 1:クロックの立ち下がり (2 番目のエッジ) でサンプリングされたデータ このビットは読み出し専用であり、値は 0 です。DS90UH949 は CPHA = 1 をサポートしていません。
0	SPI_CPOL	R/W	0h	SPI クロック極性の設定: SPI クロックのベース (非アクティブ) 値を決定します。 0:クロックのベース値は 0 1:クロックのベース値は 1 このビットは、SPI 信号のキャプチャと伝搬の両方に影響します。

8.6.1.72 VCID_SPLIT_CTL レジスタ (アドレス = 0x63) [リセット = 0h]

表 8-86 に、VCID_SPLIT_CTL を示します。

概略表に戻ります。

表 8-86. VCID_SPLIT_CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	RESERVED	R	0h	予約済み

Copyright © 2022 Texas Instruments Incorporated

表 8-86. VCID_SPLIT_CTL レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
5	VCID_SHARE_VS	R/W	0h	VC-ID スプリッタ・モード、共有 VS: VC-ID スプリッタ・モード中、このビットをセットすると、両方のポートに共通の VSYNC 信号を使用できます。DSI 入力の VSYNC 検出では、VC-ID は無視されます。
4-3	VCID_SEL_P1	R/W	0h	VC-ID 分割モード時の VC-ID 選択: これらのフィールドを使って、VC-ID 分割モード時のポート 0 の VC-ID を選択できます。
2-1	VCID_SEL_P0	R/W	0h	VC-ID 分割モード時の VC-ID 選択: これらのフィールドを使って、VC-ID 分割モード時のポート 1 の VC-ID を選択できます。
0	VCID_SPLIT_EN	R/W	0h	VC-ID 分割の有効化: このビットを 1 に設定すると、DS90UH941AS-Q1 は、各ビデオ・ラインの仮想チャネル ID (VC-ID) に基づいて 3D 画像を分割できます。

8.6.1.73 PGCTL_PGCTL_P1 レジスタ (アドレス = 0x64) [リセット = 10h]

表 8-87 に、PGCTL_PGCTL_P1 を示します。

概略表に戻ります。

表 8-87. PGCTL_PGCTL_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	PATGEN_SEL	R/W	1h	内部固定パターンの選択: このフィールドは、内部固定パターン・モードの際に出力するパターンを選択します。スケーリングされたパターンは、水平または垂直有効領域にわたって均等に配置されます。自動スクロール・モードが有効化されている場合、このフィールドは無視されます。以下の表に、非反転モードと反転モードの色選択を示します。 0000:格子パターン 0001:白 / 黒 0010:黒 / 白 0011:赤 / シアン 0100:緑 / マゼンタ 0101:青 / 黄 0110:黒から白 / 白から黒に水平方向にスケーリング 0111:黒から赤 / 白からシアンに水平方向にスケーリング 1000:黒から緑 / 白からマゼンタに水平方向にスケーリング 1001:黒から青 / 白から黄に水平方向にスケーリング 1010:黒から白 / 白から黒に垂直方向にスケーリング 1011:黒から赤 / 白からシアンに垂直方向にスケーリング 1100:黒から緑 / 白からマゼンタに垂直方向にスケーリング 1101:黒から青 / 白から黄に垂直方向にスケーリング 1110:PGRS、PGGS、PGBS レジスタで設定されたカスタム色 (またはその反転) 1111:VCOM 独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。
3	RESERVED	R	0h	予約済み
2	PATGEN_COLOR_BARS	R/W	0h	カラー・バーの有効化 0:カラー・バーを無効化 1:カラー・バーを有効化 (白、黄、シアン、緑、マゼンタ、赤、青、黒)
1	RESERVED	R	0h	予約済み
0	PATGEN_EN	R/W	0h	パターン・ジェネレータの有効化: 1:パターン・ジェネレータを有効化 0:パターン・ジェネレータを無効化

Copyright © 2022 Texas Instruments Incorporated

8.6.1.74 PGCFG_PGCFG_P1 レジスタ (アドレス = 0x65) [リセット = 0h]

表 8-88 に、PGCFG_PGCFG_P1 を示します。

概略表に戻ります。

表 8-88. PGCFG_PGCFG_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R/W	0h	予約済み
6	PATGEN_SCALE_CHKR	R/W	0h	格子パターンを拡大: 1:格子パターン (VCOM と格子パターン) を 8 倍に拡大 (各正方形は 8×8 ピクセル) 0:通常動作 (各正方形は 1x1 ピクセル) このビットをセットすると、格子パターンが見やすくなります。 独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。
5	PATGEN_CUST_CHKR	R/W	0h	カスタム格子パターン色を使用 1:格子パターンにカスタム色 (パターン・タイプ 14) と黒を使用 0:格子パターンに白と黒を使用 独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。
4	PATGEN_18B	R/W	0h	18 ビット・モード選択: 1:18 ビット色パターン生成を有効化します。スケーリングされたパターンは 64 諧調の輝度を持ち、R、G、B 出力は色ビットの上位 6 ビットを使います。 0:24 ビット色パターン生成を有効化します。スケーリングされたパターンは 256 諧調の輝度を持ちます。 独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。
3	PATGEN_EXTCLK	R/W	0h	外部クロック源を選択: 1:内部タイミングを使用する際に外部ピクセル・クロックを選択します。 0:内部タイミングを使用する際に内部で分周されたクロックを選択します。 このビットは外部タイミング・モード (PATGEN_TSEL = 0) に影響しません。 独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。
2	PATGEN_TSEL	R/W	0h	タイミング選択制御: 1:パターン・ジェネレータは、パターン・ジェネレータの各種レジスタ (総フレーム・サイズ、有効フレーム・サイズ、水平同期幅、垂直同期幅、水平バック・ポーチ、垂直バック・ポーチ、同期構成) の設定に従って独自のビデオ・タイミングを生成します。 0:パターン・ジェネレータは、各種信号 (ピクセル・クロック、データ・イネーブル、水平同期、垂直同期) からの外部ビデオ・タイミングを使います。 独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。
1	PATGEN_INV	R/W	0h	色パターンの反転の有効化: 1:色出力を反転します。 0:色出力を反転しません。 独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。
0	PATGEN_ASCRL	R/W	0h	自動スクロールの有効化: 1:パターン・ジェネレータは、パターン・ジェネレータ・フレーム時間 (PGFT) レジスタで指定されたフレーム数の後、次の有効なパターンに自動的に移動します。 0:パターン・ジェネレータは現在のパターンを保持します。 独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。

8.6.1.75 PGIA_PGIA_P1 レジスタ (アドレス = 0x66) [リセット = 0h]

表 8-89 に、PGIA_PGIA_P1 を示します。

概略表に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-89. PGIA_PGIA_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PATGEN_IA	R/W	0h	間接アドレス: この 8 ビット・フィールドは、間接的に割り当てられたレジスタにアクセスするための間接アドレスを設定します。このフィールドは、パターン・ジェネレータ間接データ・レジスタを読み書きする前に書き込む必要があります。 独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。

8.6.1.76 PGID_PGID_P1 レジスタ (アドレス = 0x67) [リセット = 0h]

表 8-90 に、PGID_PGID_P1 を示します。

概略表に戻ります。

表 8-90. PGID_PGID_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PATGEN_ID	R/W	0h	間接データ: 間接レジスタに書き込む際、このレジスタは書き込まれるデータを格納します。間接レジスタから読み出す際、このレジスタはリードバック (復唱) 値を格納します。 独立 2:2 モードでは、選択された FPD-Link III ポートを制御します。

8.6.1.77 IMG_HSYNC_CTL0_IMG_HSYNC_CTL0_P1 レジスタ (アドレス = 0x6A) [リセット = 0h]

表 8-91 に、IMG_HSYNC_CTL0_IMG_HSYNC_CTL0_P1 を示します。

概略表に戻ります。

表 8-91. IMG_HSYNC_CTL0_IMG_HSYNC_CTL0_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	HBACK_OV_EN HBACK_OV_EN_P1	R/W	0h	デュアル・イメージ HSync 制御レジスタ 0 スプリッタ・モードを含むデュアル・イメージ動作の HSync 生成を制御します。独立 2:2 モードまたはスプリッタ・モードでは、このレジスタは選択された FPD-Link III ポートを制御します。 HBACK オーバーライドの有効化 デュアル・イメージ処理 (3D イメージまたはスプリッタ動作) 中、本デバイスは入力データから水平同期バック・ポーチを再生成します。このビットを 1 に設定すると、測定値の代わりに IMG_HBACK 値が使用されます。独立 2:2 モードまたはスプリッタ・モードでは、このレジスタは選択された FPD-Link III ポートを制御します。
6	RESERVED	R	0h	予約済み
5-4	IMG_HBACK_9:8 IMG_HBACK_P1_9:8	R/W	0h	HBACK オーバーライド値 (ビット 9:8) デュアル・イメージ処理 (3D イメージまたはスプリッタ動作) 中、本デバイスは入力データから水平同期バック・ポーチを再生成します。 HBACK_OV_EN 制御を 1 に設定すると、測定値の代わりに IMG_HBACK 値が使用されます。IMG_HBACK 値は、3D 画像の水平バック・ポーチの値または 2D 画像の水平バック・ポーチの 2 倍の値に設定する必要があります。独立 2:2 モードまたはスプリッタ・モードでは、このレジスタは選択された FPD-Link III ポートを制御します。
3	HSYNC_OV_EN HSYNC_OV_EN_P1	R/W	0h	HSYNC オーバーライドの有効化 デュアル・イメージ処理 (3D イメージまたはスプリッタ動作) 中、本デバイスは入力データから水平同期パルス幅を再生成します。このビットを 1 に設定すると、測定値の代わりに IMG_HSYNC 値が使用されます。独立 2:2 モードまたはスプリッタ・モードでは、このレジスタは選択された FPD-Link III ポートを制御します。
2	RESERVED	R	0h	予約済み

Copyright © 2022 Texas Instruments Incorporated

表 8-91. IMG_HSYNC_CTL0_IMG_HSYNC_CTL0_P1 レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
1-0	IMG_HSYNC_9:8 IMG_HSYNC_P1_9:8	R/W	0h	HSYNC オーバーライド値 (ビット 9:8) デュアル・イメージ処理 (3D イメージまたはスプリッタ動作) 中、本デバイスは入力データから水平同期パルス幅を再生成します。HSYNC_OV_EN 制御を 1 に設定すると、測定値の代わりに IMG_HSYNC 値が使用されます。IMG_HBACK 値は、3D 画像の水平バック・ポーチの値または 2D 画像の水平バック・ポーチの 2 倍の値に設定する必要があります。独立 2:2 モードまたはスプリッタ・モードでは、このレジスタは選択された FPD-Link III ポートを制御します。

8.6.1.78 IMG_HSYNC_CTL1_IMG_HSYNC_CTL1_P1 レジスタ (アドレス = 0x6B) [リセット = 0h]

表 8-92 に、IMG_HSYNC_CTL1_IMG_HSYNC_CTL1_P1 を示します。

概略表に戻ります。

表 8-92. IMG_HSYNC_CTL1_IMG_HSYNC_CTL1_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	IMG_HSYNC_7:0 IMG_HSYNC_P1_7:0	R/W	0h	デュアル・イメージ HSync 制御レジスタ 1 スプリッタ・モードを含むデュアル・イメージ動作の Hsync 生成を制御します。 HSYNC オーバーライド値 (ビット 7:0) デュアル・イメージ処理 (3D イメージまたはスプリッタ動作) 中、本デバイスは入力データから水平同期パルス幅を再生成します。HSYNC_OV_EN 制御を 1 に設定すると、測定値の代わりに IMG_HSYNC 値が使用されます。IMG_HBACK 値は、3D 画像の水平バック・ポーチの値または 2D 画像の水平バック・ポーチの 2 倍の値に設定する必要があります。 独立 2:2 モードまたはスプリッタ・モードでは、このレジスタは選択された FPD-Link III ポートを制御します。

8.6.1.79 IMG_HSYNC_CTL2_IMG_HSYNC_CTL2_P1 レジスタ (アドレス = 0x6C) [リセット = 0h]

表 8-93 に、IMG_HSYNC_CTL2_IMG_HSYNC_CTL2_P1 を示します。

概略表に戻ります。

表 8-93. IMG_HSYNC_CTL2_IMG_HSYNC_CTL2_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	IMG_HBACK_7:0 IMG_HBACK_P1_7:0	R/W	0h	デュアル・イメージ HSync 制御レジスタ 2 スプリッタ・モードを含むデュアル・イメージ動作の HSync バック・ポーチ生成を制御します。 HBACK オーバーライド値 (ビット 7:0) デュアル・イメージ処理 (3D イメージまたはスプリッタ動作) 中、本デバイスは入力データから水平同期バック・ポーチを再生成します。 HBACK_OV_EN 制御を 1 に設定すると、測定値の代わりに IMG_HBACK 値が使用されます。IMG_HBACK 値は、3D 画像の水平バック・ポーチの値または 2D 画像の水平バック・ポーチの 2 倍の値に設定する必要があります。 独立 2:2 モードまたはスプリッタ・モードでは、このレジスタは選択された FPD-Link III ポートを制御します。

8.6.1.80 BCC_STATUS レジスタ (アドレス = 0x6D) [リセット = 0h]

表 8-94 に、BCC_STATUS を示します。

概略表に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-94. BCC_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	RESERVED	R/W	0h	BCC ステータス・レジスタこのレジスタは、双方向制御チャネルのエラー・ステータスを提供します。 予約済み
4	BCC_MASTER_ERR	R/COR	0h	BCC マスタ・エラー このフラグは、BCC I2C マスタがアクティブであり、かつデシリアライザからの応答を待っている間に、バック・チャネル CRC エラーまたはバック・チャネル・ロック喪失が発生したことを示します。このフラグは、このレジスタを読み出すことでクリアされます。
3	BCC_MASTER_TO	R/COR	0h	BCC スレーブ・タイムアウト・エラー BCC ウォッチドッグ・タイマが満了すると、このビットはセットされます。BCC I2C マスタがアクティブな間、デシリアライザからの応答を待ちます。このフラグは、このレジスタを読み出すことでクリアされます。
2	BCC_SLAVE_ERR	R/COR	0h	BCC スレーブ・エラー このフラグは、BCC I2C スレーブがアクティブであり、かつデシリアライザからの応答を待っている間に、バック・チャネル CRC エラーまたはバック・チャネル・ロック喪失が発生したことを示します。このフラグは、このレジスタを読み出すことでクリアされます。
1	BCC_SLAVE_TO	R/COR	0h	BCC スレーブ・タイムアウト・エラー BCC I2C スレーブがアクティブであり、かつデシリアライザからの応答を待っている間に、BCC ウォッチドッグ・タイマが満了すると、このビットはセットされます。このフラグは、このレジスタを読み出すことでクリアされます。
0	BCC_RESP_ERR	R/COR	0h	このフラグは、双方向制御チャネル上のコマンドに応えてエラーが検出されたことを示します。シリアライザが制御チャネル・フレームを送信すると、デシリアライザは次の応答で 8 ビットのデータ・フィールドを返すはずです。シリアライザは、戻りデータにエラーがないかを確認し、エラーが検出されるとこのフラグをセットします。このフラグは、このレジスタを読み出すことでクリアされます。

8.6.1.81 BCC_CONFIG レジスタ (アドレス = 0x6E) [リセット = 20h]

表 8-95 に、BCC_CONFIG を示します。

概略表に戻ります。

表 8-95. BCC_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み
6	RESERVED	R	0h	予約済み
5	I2C_Master_Disable	R/W	1h	このビットは、I2C マスタからのリモート読み出しおよび書き込みを無効化します。ローカル・レジスタへの I2C マスタの書き込みと読み出しは引き続き機能しますが、リモート書き込みおよび読み出しは機能しません。 1：I2C マスタによるリモート読み出し / 書き込みを無効化 0：I2C マスタによるリモート読み出し / 書き込みを有効化
4	BCC_TERM_ON_ERR	R/RC	0h	CRC エラー検出に関する制御チャネル・トランザクションを終了 制御チャネルの動作中に CRC エラーが発生したとしても、それが制御チャネルの動作に影響することはあまりありません。このビットをセットすると、より保守的な動作が可能です。つまり、バック・チャネルでエラーが検出された場合、すべてのアクティブな制御チャネル動作を終了します。 0：CRC エラーが発生しても BCC トランザクションを終了しません。 1：CRC エラーと同時に BCC トランザクションを終了します。 拡張エラー・チェックが無効化されている場合 (BCC_EN_ENH_ERROR が 0 に設定されている場合)、このビットは無効です。
3	RESERVED	R/W	0h	予約済み

Copyright © 2022 Texas Instruments Incorporated

表 8-95. BCC_CONFIG レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
2	BCC_ACK_REMOTE_READ	R/RC	0h	リモート読み出しの開始に対してアクノリッジを返すための制御チャネルの有効化 双方向制御チャネルの拡張エラー・チェックをサポートするリンク・パートナーと連携して動作している場合、このビットをセットすると、シリアライザはリモート I2C スレーブ読み出しの開始に対して内部アクノリッジを生成できます。これにより、デシリアライザでの追加のエラー検出が可能になります。拡張エラー・チェックをサポートしていないデシリアライザと連携して動作している場合、このビットをセットしないでください。 0:無効 1:有効
1	BCC_EN_DATA_CHK	R/RC	0h	戻りデータのチェックの有効化 拡張エラー・チェック機能を使うと、双方向制御チャネル経由でリモート・デバイスに送信されたデータのアクノリッジ・サイクル中の戻りデータにエラーがあるかどうかを確認できます。また、エラーが検出された場合、このレジスタ制御により、ローカル I2C インターフェイス上のデータ・エラーを示すためにリモートの Ack を Nack に変更できます。拡張エラー・チェックをサポートしていないデシリアライザと連携して動作している場合、このビットをセットしないでください。Ack 中、これらのデシリアライザが正しいデータを返すとは限らないためです。 0:戻りデータのエラー検出を無効化 1:戻りデータのエラー検出を有効化
0	BCC_EN_ENH_ERROR	R/RC	0h	双方向制御チャネルの拡張エラー・チェックの有効化 双方向制御チャネルは、特定のエラー条件を検出し、エラーが検出された場合にトランザクションを終了できます。このビットを 0 に設定することで、この機能を無効化できます。 0:拡張エラー・チェックを無効化 1:拡張エラー・チェックを有効化

8.6.1.82 FC_BCC_TEST レジスタ (アドレス = 0x6h) [リセット = 0h]

表 8-96 に、FC_BCC_TEST を示します。

概略表に戻ります。

表 8-96. FC_BCC_TEST レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み
6	FORCE_BCC_ERROR	SC	0h	フォワード・チャネル BCC フレームのエラーの強制 FORCE_BCC_ERROR ビットをセットすると、フォワード・チャネル BCC フレームでエラーが強制的に生成されます。このレジスタの BCC_ERROR_SEL および BCC_FRAME_SEL フィールドは、強制的に生成されるエラーのタイプと、エラーが含まれるフレームを決定します。このビットは自動でクリアされ、常に 0 を返します。
5-3	BCC_ERROR_SEL	R/W	0h	BCC エラー選択 BCC エラー選択は、フォワード・チャネル BCC フレームで強制的に生成されるエラーのタイプを決定します。 000:エラーなし 001:CRC エラーを強制的に生成 010:シーケンス・エラーを強制的に生成 (シーケンス番号を 1 つ飛ばす) 011:BCC フレームをドロップ (デシリアライザでのシーケンス・エラーを生成) 100:データ・フィールドのエラーを強制的に生成 (ビット 1～7 でランダム) 101:データ・フィールドのエラーを強制的に生成、ビット 0 (スタート・コマンド中の場合、RW ビット) 110-111:予約済み

Copyright © 2022 Texas Instruments Incorporated

表 8-96. FC_BCC_TEST レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
2-0	BCC_FRAME_SEL	R/W	0h	BCC フレーム選択 BCC フレーム選択を使うと、このレジスタの強制制御ビットで選択されたエラー条件を含むフォワード・チャネル BCC フレームを選択できます。各転送ブロックに対して、BCC 転送はバイト単位で送信されます。BCC フォワード・チャネルで送信される始めの 8 バイトのいずれかでエラーを強制的に生成させるため、この値を 0～7 の範囲に設定できます。

8.6.1.83 SlaveID_1 レジスタ (アドレス = 0x70) [リセット = 0h]

表 8-97 に、SlaveID_1 を示します。

概略表に戻ります。

表 8-97. SlaveID_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	SLAVE_ID1 SLAVE_ID1_P1	R/W	0h	7 ビットのリモート・スレーブ・デバイス ID 1 リモート・デシリアライザに接続されたリモート I2C スレーブ・デバイスの I2C 物理アドレスを設定します。I2C トランザクションがスレーブ・エイリアス ID1 にアドレス指定された場合、そのトランザクションが双方向制御チャネルでデシリアライザに転送される前に、そのトランザクションはこのアドレスに再割り当てされます。
0	RESERVED	R	0h	予約済み

8.6.1.84 SlaveID_2 レジスタ (アドレス = 0x71) [リセット = 0h]

表 8-98 に、SlaveID_2 を示します。

概略表に戻ります。

表 8-98. SlaveID_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	SLAVE_ID2 SLAVE_ID2_P1	R/W	0h	7 ビットのリモート・スレーブ・デバイス ID 2 リモート・デシリアライザに接続されたリモート I2C スレーブ・デバイスの I2C 物理アドレスを設定します。I2C トランザクションがスレーブ・エイリアス ID2 にアドレス指定された場合、そのトランザクションが双方向制御チャネルでデシリアライザに転送される前に、そのトランザクションはこのアドレスに再割り当てされます。
0	RESERVED	R	0h	予約済み

8.6.1.85 SlaveID_3 レジスタ (アドレス = 0x72) [リセット = 0h]

表 8-99 に、SlaveID_3 を示します。

概略表に戻ります。

表 8-99. SlaveID_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	SLAVE_ID3 SLAVE_ID3_P1	R/W	0h	7 ビットのリモート・スレーブ・デバイス ID 3 リモート・デシリアライザに接続されたリモート I2C スレーブ・デバイスの I2C 物理アドレスを設定します。I2C トランザクションがスレーブ・エイリアス ID3 にアドレス指定された場合、そのトランザクションが双方向制御チャネルでデシリアライザに転送される前に、そのトランザクションはこのアドレスに再割り当てされます。
0	RESERVED	R	0h	予約済み

Copyright © 2022 Texas Instruments Incorporated

8.6.1.86 SlaveID_4 レジスタ (アドレス = 0x73) [リセット = 0h]

表 8-100 に、SlaveID_4 を示します。

概略表に戻ります。

表 8-100. SlaveID_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	SLAVE_ID4 SLAVE_ID4_P1	R/W	0h	7 ビットのリモート・スレーブ・デバイス ID 4 リモート・デシリアライザに接続されたリモート I2C スレーブ・デバイスの I2C 物理アドレスを設定します。I2C トランザクションがスレーブ・エイリアス ID4 にアドレス指定された場合、そのトランザクションが双方向制御チャネルでデシリアライザに転送される前に、そのトランザクションはこのアドレスに再割り当てされます。
0	RESERVED	R	0h	予約済み

8.6.1.87 SlaveID_5 レジスタ (アドレス = 0x74) [リセット = 0h]

表 8-101 に、SlaveID_5 を示します。

概略表に戻ります。

表 8-101. SlaveID_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	SLAVE_ID5 SLAVE_ID5_P1	R/W	0h	7 ビットのリモート・スレーブ・デバイス ID 5 リモート・デシリアライザに接続されたリモート I2C スレーブ・デバイスの I2C 物理アドレスを設定します。I2C トランザクションがスレーブ・エイリアス ID5 にアドレス指定された場合、そのトランザクションが双方向制御チャネルでデシリアライザに転送される前に、そのトランザクションはこのアドレスに再割り当てされます。
0	RESERVED	R	0h	予約済み

8.6.1.88 SlaveID_6 レジスタ (アドレス = 0x75) [リセット = 0h]

表 8-102 に、SlaveID_6 を示します。

概略表に戻ります。

表 8-102. SlaveID_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	SLAVE_ID6 SLAVE_ID6_P1	R/W	0h	7 ビットのリモート・スレーブ・デバイス ID 6 リモート・デシリアライザに接続されたリモート I2C スレーブ・デバイスの I2C 物理アドレスを設定します。I2C トランザクションがスレーブ・エイリアス ID6 にアドレス指定された場合、そのトランザクションが双方向制御チャネルでデシリアライザに転送される前に、そのトランザクションはこのアドレスに再割り当てされます。
0	RESERVED	R	0h	予約済み

8.6.1.89 SlaveID_7 レジスタ (アドレス = 0x76) [リセット = 0h]

表 8-103 に、SlaveID_7 を示します。

概略表に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-103. SlaveID_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	SLAVE_ID7 SLAVE_ID7_P1	R/W	0h	7 ビットのリモート・スレーブ・デバイス ID 7 リモート・デシリアライザに接続されたリモート I2C スレーブ・デバイスの I2C 物理アドレスを設定します。I2C トランザクションがスレーブ・エイリアス ID7 にアドレス指定された場合、そのトランザクションが双方向制御チャネルでデシリアライザに転送される前に、そのトランザクションはこのアドレスに再割り当てされます。
0	RESERVED	R	0h	予約済み

8.6.1.90 SlaveAlias_1 レジスタ (アドレス = 0x77) [リセット = 0h]

表 8-104 に、SlaveAlias_1 を示します。

概略表に戻ります。

表 8-104. SlaveAlias_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	SLAVE_ALIAS_ID1 SLAVE_ALIAS_ID1_P1	R/W	0h	7 ビットのリモート・スレーブ・デバイス・エイリアス ID 1 リモート・デシリアライザに接続された I2C スレーブ・デバイスを指定したトランザクションを検出するためのデコーダを設定します。このトランザクションは、スレーブ ID1 レジスタで指定されたアドレスに再割り当てされます。このフィールドの値を 0 にすると、リモート I2C スレーブへのアクセスが無効化されます。
0	RESERVED	R	0h	予約済み

8.6.1.91 SlaveAlias_2 レジスタ (アドレス = 0x78) [リセット = 0h]

表 8-105 に、SlaveAlias_2 を示します。

概略表に戻ります。

表 8-105. SlaveAlias_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	SLAVE_ALIAS_ID2 SLAVE_ALIAS_ID2_P1	R/W	0h	7 ビットのリモート・スレーブ・デバイス・エイリアス ID 2 リモート・デシリアライザに接続された I2C スレーブ・デバイスを指定したトランザクションを検出するためのデコーダを設定します。このトランザクションは、スレーブ ID2 レジスタで指定されたアドレスに再割り当てされます。このフィールドの値を 0 にすると、リモート I2C スレーブへのアクセスが無効化されます。
0	RESERVED	R	0h	予約済み

8.6.1.92 SlaveAlias_3 レジスタ (アドレス = 0x79) [リセット = 0h]

表 8-106 に、SlaveAlias_3 を示します。

概略表に戻ります。

表 8-106. SlaveAlias_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	SLAVE_ALIAS_ID3 SLAVE_ALIAS_ID3_P1	R/W	0h	7 ビットのリモート・スレーブ・デバイス・エイリアス ID 3 リモート・デシリアライザに接続された I2C スレーブ・デバイスを指定したトランザクションを検出するためのデコーダを設定します。このトランザクションは、スレーブ ID3 レジスタで指定されたアドレスに再割り当てされます。このフィールドの値を 0 にすると、リモート I2C スレーブへのアクセスが無効化されます。
0	RESERVED	R	0h	予約済み

Copyright © 2022 Texas Instruments Incorporated

8.6.1.93 SlaveAlias_4 レジスタ (アドレス = 0x7A) [リセット = 0h]

表 8-107 に、SlaveAlias_4 を示します。

概略表に戻ります。

表 8-107. SlaveAlias_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	SLAVE_ALIAS_ID4 SLAVE_ALIAS_ID4_P1	R/W	0h	7 ビットのリモート・スレーブ・デバイス・エイリアス ID 4 リモート・デシリアライザに接続された I2C スレーブ・デバイスを指定したトランザクションを検出するためのデコーダを設定します。このトランザクションは、スレーブ ID4 レジスタで指定されたアドレスに再割り当てされます。このフィールドの値を 0 にすると、リモート I2C スレーブへのアクセスが無効化されます。
0	RESERVED	R	0h	予約済み

8.6.1.94 SlaveAlias_5 レジスタ (アドレス = 0x7B) [リセット = 0h]

表 8-108 に、SlaveAlias_5 を示します。

概略表に戻ります。

表 8-108. SlaveAlias_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	SLAVE_ALIAS_ID5 SLAVE_ALIAS_ID5_P1	R/W	0h	7 ビットのリモート・スレーブ・デバイス・エイリアス ID 5 リモート・デシリアライザに接続された I2C スレーブ・デバイスを指定したトランザクションを検出するためのデコーダを設定します。このトランザクションは、スレーブ ID5 レジスタで指定されたアドレスに再割り当てされます。このフィールドの値を 0 にすると、リモート I2C スレーブへのアクセスが無効化されます。
0	RESERVED	R	0h	予約済み

8.6.1.95 SlaveAlias_6 レジスタ (アドレス = 0x7C) [リセット = 0h]

表 8-109 に、SlaveAlias_6 を示します。

概略表に戻ります。

表 8-109. SlaveAlias_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	SLAVE_ALIAS_ID6 SLAVE_ALIAS_ID6_P1	R/W	0h	7 ビットのリモート・スレーブ・デバイス・エイリアス ID 6 リモート・デシリアライザに接続された I2C スレーブ・デバイスを指定したトランザクションを検出するためのデコーダを設定します。このトランザクションは、スレーブ ID6 レジスタで指定されたアドレスに再割り当てされます。このフィールドの値を 0 にすると、リモート I2C スレーブへのアクセスが無効化されます。
0	RESERVED	R	0h	予約済み

8.6.1.96 SlaveAlias_7 レジスタ (アドレス = 0x7D) [リセット = 0h]

表 8-110 に、SlaveAlias_7 を示します。

概略表に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-110. SlaveAlias_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	SLAVE_ALIAS_ID7 SLAVE_ALIAS_ID7_P1	R/W	0h	7 ビットのリモート・スレーブ・デバイス・エイリアス ID 7 リモート・デシリアライザに接続された I2C スレーブ・デバイスを指定したトランザクションを検出するためのデコーダを設定します。このトランザクションは、スレーブ ID7 レジスタで指定されたアドレスに再割り当てされます。このフィールドの値を 0 にすると、リモート I2C スレーブへのアクセスが無効化されます。
0	RESERVED	R	0h	予約済み

8.6.1.97 RX_BKSV0 レジスタ (アドレス = 0x80) [リセット = 0h]

表 8-111 に、RX_BKSV0 を示します。

概略表に戻ります。

表 8-111. RX_BKSV0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	BKSV0	R	0h	BKSV0:レシーバ KSV のバイト 0 の値

8.6.1.98 RX_BKSV1 レジスタ (アドレス = 0x81) [リセット = 0h]

表 8-112 に、RX_BKSV1 を示します。

概略表に戻ります。

表 8-112. RX_BKSV1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	BKSV1	R	0h	BKSV1:レシーバ KSV のバイト 1 の値

8.6.1.99 RX_BKSV2 レジスタ (アドレス = 0x82) [リセット = 0h]

表 8-113 に、RX_BKSV2 を示します。

概略表に戻ります。

表 8-113. RX_BKSV2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	BKSV2	R	0h	BKSV2:レシーバ KSV のバイト 2 の値

8.6.1.100 RX_BKSV3 レジスタ (アドレス = 0x83) [リセット = 0h]

表 8-114 に、RX_BKSV3 を示します。

概略表に戻ります。

表 8-114. RX_BKSV3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	BKSV3	R	0h	BKSV3:レシーバ KSV のバイト 3 の値

8.6.1.101 RX_BKSV4 レジスタ (アドレス = 0x84) [リセット = 0h]

表 8-115 に、RX_BKSV4 を示します。

Copyright © 2022 Texas Instruments Incorporated

概略表に戻ります。

表 8-115. RX_BKSV4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	BKSV4	R	0h	BKSV4:レシーバ KSV のバイト 4 の値

8.6.1.102 TX_KSV0 レジスタ (アドレス = 0x90) [リセット = 0h]

表 8-116 に、TX_KSV0 を示します。

概略表に戻ります。

表 8-116. TX_KSV0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	TX_KSV0	R	0h	TX_KSV0:トランスミッタ KSV のバイト 0 の値

8.6.1.103 TX_KSV1 レジスタ (アドレス = 0x91) [リセット = 0h]

表 8-117 に、TX_KSV1 を示します。

概略表に戻ります。

表 8-117. TX_KSV1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	TX_KSV1	R	0h	TX_KSV1:トランスミッタ KSV のバイト 1 の値

8.6.1.104 TX_KSV2 レジスタ (アドレス = 0x92) [リセット = 0h]

表 8-118 に、TX_KSV2 を示します。

概略表に戻ります。

表 8-118. TX_KSV2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	TX_KSV2	R	0h	TX_KSV2:トランスミッタ KSV のバイト 2 の値

8.6.1.105 TX_KSV3 レジスタ (アドレス = 0x93) [リセット = 0h]

表 8-119 に、TX_KSV3 を示します。

概略表に戻ります。

表 8-119. TX_KSV3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	TX_KSV3	R	0h	TX_KSV3:トランスミッタ KSV のバイト 3 の値

8.6.1.106 TX_KSV4 レジスタ (アドレス = 0x94) [リセット = 0h]

表 8-120 に、TX_KSV4 を示します。

概略表に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-120. TX_KSV4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	TX_KSV4	R	0h	TX_KSV4:トランスミッタ KSV のバイト 4 の値

8.6.1.107 RX_BCAPS レジスタ (アドレス = 0xA0) [リセット = 13h]

表 8-121 に、RX_BCAPS を示します。

概略表に戻ります。

表 8-121. RX_BCAPS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み:0 として書き込み、0 として読み出します。
6	REPEATER	R	0h	リピータ: 接続されたレシーバがダウンストリーム接続をサポートしているかどうかを示します。HDCP の BKSV_RDY ビットで示されるように Bksv の準備が整った時点でこのビットは有効になります。
5	KSV_FIFO_RDY	R	0h	KSV FIFO レディ: 接続された KSV のリストの作成と、検証値「V」の計算をレシーバが完了したことを示します。
4	FAST_I2C	R	1h	ファースト I2C: HDCP レシーバはファースト I2C をサポートしています。I2C はシリアル・データに組み込まれているため、このビットは重要ではありません。
3-2	RESERVED	R	0h	予約済み
1	FEATURES_1_1	R	1h	1.1_Features: HDCP レシーバは拡張暗号化状態信号伝達 (EESS)、事前暗号、拡張リンク検証機能を備えています。
0	FAST_REAUTH	R	1h	高速再認証: セッション再認証中、HDCP レシーバは、(暗号化されていない) ビデオ信号を受信できます。

8.6.1.108 RX_BSTATUS0 レジスタ (アドレス = 0xA1) [リセット = 0h]

表 8-122 に、RX_BSTATUS0 を示します。

概略表に戻ります。

表 8-122. RX_BSTATUS0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	MAX_DEVS_EXCEEDED	R	0h	最大デバイス数の超過: トポロジ・エラーが検出されたことを示します。ダウンストリーム・デバイスの数がリピータの KSV FIFO の深さを上回ったことを示します。
6-0	DEVICE_COUNT	R	0h	デバイス数: 接続されたダウンストリーム・デバイスの総数。リピータの場合、これはダウンストリーム・デバイスの数を示します (そのリピータ自身は含まれません)。リピータではない HDCP レシーバの場合、このフィールドは 0 です。

8.6.1.109 RX_BSTATUS1 レジスタ (アドレス = 0xA2) [リセット = 0h]

表 8-123 に、RX_BSTATUS1 を示します。

概略表に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-123. RX_BSTATUS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	RESERVED	R	0h	予約済み
3	MAX_CASC_EXCEEDED	R	0h	最大カスケードの超過: トポロジ・エラーが検出されたことを示します。7 段を超えるリピータがカスケード接続されていることを示します。
2-0	CASC_DEPTH	R	0h	カスケード深さ: リピータのデバイス接続レベル数を示します。

8.6.1.110 HDCP_DBG レジスタ (アドレス = 0xC0) [リセット = 0h]

表 8-124 に、HDCP_DBG を示します。

概略表に戻ります。

表 8-124. HDCP_DBG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R/W	0h	予約済み
6	HDCP_I2C_TO_DIS	R/W	0h	HDCP I2C タイムアウトの無効化: このビットを 1 に設定すると、HDCP I2C マスタのバス・タイムアウト機能が無効化されます。バス・タイムアウト機能を有効化すると、1 秒以上の間信号伝達が発生しない場合、バスが空いていると I2C マスタは見なします。
5	FORCE_RI_ERR	R/W	0h	Ri 同期エラーを強制的に生成: HDCP トランスミッタがフレームをカウントしないようにすることで、Ri 同期エラーを強制的に生成させます。これにより、Ri 同期プロセスをチェックできます。このビットは自動でクリアされます。
4	DIS_RI_SYNC	R/W	0h	Ri 同期チェックを無効化: Ri は通常、フレーム 128 の開始の前と後の両方でチェックされます。フレーム 127 でのチェックにより、2 つの間の同期が保証されます。このビットを 1 に設定すると、フレーム 127 でのチェックが無効化されます。
3	RGB_CHKSUM_EN	R/W	0h	RBG ビデオ・ライン・チェックサムを有効化: 各ビデオ・データ・ラインの終端に続く各 8 ビット RBG データ・チャネルの 1 の補数のチェックサムの送信を有効化します。
2	FC_TESTMODE	R/W	0h	フレーム・カウンタ・テスト・モード: Pj および Ri 検証に使用されるフレーム・カウンタを高速化します。1 に設定すると、Pj は 2 フレームおきに数えられ、Ri は 16 フレームおきに数えられます。0 に設定すると、Pj は 16 フレームおきに数えられ、Ri は 128 フレームおきに数えられます。
1	TMR_SPEEDUP	R/W	0h	タイマの高速化: HDCP 認証タイマを高速化します。
0	HDCP_I2C_FAST	R/W	0h	HDCP I2C ファースト・モードの有効化 このビットを 1 に設定すると、HDCP レシーバの HDCP I2C マスタはファースト・モードのタイミングで動作できます。0 に設定すると、I2C マスタはスタンダード・モードのタイミングで動作します。このビットは IND_STS レジスタに反映されます。

8.6.1.111 HDCP_CFG レジスタ (アドレス = 0xC2) [リセット = 82h]

表 8-125 に、HDCP_CFG を示します。

概略表に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-125. HDCP_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ENH_LV	R/W	1h	拡張リンク検証の有効化: 拡張リンク検証を有効化します。これにより、16 フレームごとに暗号化 Pj 値をチェックできます。 1 = 拡張リンク検証を有効化 0 = 拡張リンク検証を無効化
6	HDCP_EESS	R/W	0h	拡張暗号化ステータス信号伝達の有効化: オリジナル暗号化ステータス信号伝達 (OESS) の代わりに拡張暗号化ステータス信号伝達 (EESS) を有効化します。 1 = EESS モードを有効化 0 = OESS モードを無効化
5	TX_RPTR	R/W	0h	送信リピータの有効化: トランスミッタがリピータとして動作できるようにします。このモードでは、HDCP トランスミッタは、HDCP リピータに求められる追加の認証手順を実行します。 1 = 送信リピータ・モードを有効化 0 = 送信リピータ・モードを無効化
4-3	ENC_MODE	R/W	0h	暗号化制御モード: ビデオ・フレームに暗号化が必要かどうかを制御するためのモードを決定します。 00 = Enc_Authenticated 01 = Enc_Reg_Control 10 = Enc_Always 11 = Enc_InBand_Control (フレームごと)
2	WAIT_100MS	R/W	0h	100ms 待機の有効化: HDCP 1.3 仕様は、HDCP レシーバが最初の暗号値を計算できるように、100ms の待機を許容しています。FPD-LinkIII 実装は、HDCP トランスミッタがデータを読み込む前にレシーバが計算を完了することを保証しています。そのため、タイマは不要です。100ms タイマを有効化するには、このビットを 1 に設定します。
1	RX_DET_SEL	R/W	1h	RX 検出選択: レシーバ検出割り込みのアサートを制御します。0 に設定されている場合、FPD-Link III レシーバが検出されるとレシーバ検出割り込みがアサートされます。1 に設定されている場合、レシーバ検出割り込みは、レシーバからの受信ロック表示も必要とします。
0	HDCP_AVMUTE	R/W	0h	AVMUTE の有効化: このビットを 1 に設定すると、AVMUTE 動作が開始されます。この状態にある間、トランスミッタは暗号化ステータス制御を無視します。このビットを 0 に設定すると、通常動作が再開します。HDCP_EESS ビットもセットされている場合のみ、このビットをセットできます。

8.6.1.112 HDCP_CTL レジスタ (アドレス = 0xC3) [リセット = 0h]

表 8-126 に、HDCP_CTL を示します。

概略表に戻ります。

表 8-126. HDCP_CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	HDCP_RST	R/W	0h	HDCP リセット: このビットをセットすると、HDCP トランスミッタがリセットされ、HDCP 認証が無効化されます。このビットは自動でクリアされます。
6	RESERVED	R	0h	予約済み
5	KSV_LIST_VALID	R/W	0h	KSV リスト有効: コントローラは、鍵失効リストに対してリピータの KSV リストを検証した後、このビットをセットします。これにより、認証プロセスを完了できます。このビットは自動でクリアされます。

Copyright © 2022 Texas Instruments Incorporated

表 8-126. HDCP_CTL レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
4	KSV_VALID	R/W	0h	KSV 有効: コントローラは、鍵失効リストに対してレシーバの KSV を検証した後、このビットをセットします。これにより、認証プロセスを継続できます。 HDCP_STS レジスタの KSV_RDY フラグのアサートでこのビットはクリアされます。このビットを 0 に設定しても、影響はありません。
3	HDCP_ENC_DIS	R/W	0h	HDCP 暗号化の無効化: HDCP 暗号化を無効化します。このビットを 1 に設定すると、ビデオ・データは暗号化されずに送信されます。認証ステータスは維持されます。このビットは自動でクリアされます。
2	HDCP_ENC_EN	R/W	0h	HDCP 暗号化の有効化: HDCP 暗号化を有効化します。セットされている場合、本デバイスが認証されると、暗号化されたデータが送信されます。デバイスが認証されないと、ブルー・スクリーンが送信されます。コンテンツ保護を必要とするビデオ・データをトランスミッタに供給する場合、暗号化を常に有効化しておく必要があります。このビットがセットされていない場合、ビデオ・データは暗号化されずに送信されます。CFG_ENC_MODE が Enc_Always に設定されている場合、このビットは 1 の値のみを読み出すことに注意します。
1	HDCP_DIS	R/W	0h	HDCP の無効化: HDCP 認証を無効化します。このビットを 1 に設定すると、HDCP 認証が無効化されます。このビットは自動でクリアされます。
0	HDCP_EN	R/W	0h	HDCP の有効化 / 再開: HDCP 認証を有効化します。HDCP がすでに有効化されている場合、このビットを 1 に設定すると、認証が再開されます。このビットを 0 に設定しても、影響はありません。レジスタ読み出しにより、現在の HDCP 有効化ステータスが返されます。

8.6.1.113 HDCP_STS レジスタ (アドレス = 0xC4) [リセット = 0h]

表 8-127 に、HDCP_STS を示します。

概略表に戻ります。

表 8-127. HDCP_STS ステータス・レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	I2C_ERR_DET	R/COR	0h	HDCP I2C エラーの検出: このビットは、HDCP レシーバが接続された組み込み通信チャネルでエラーが検出されたことを示します。このビットがセットされている場合、HDCP トランスミッタと HDCP レシーバとの間のリンクに問題があることを示している可能性があります。このビットは、読み出すとクリアされます。
6	RX_INT	R	0h	RX 割り込み: RX 割り込み信号のステータス。接続された HDCP レシーバから受け取るこの信号は、HDCP レシーバの INTB_IN ピンのステータスです。この信号はアクティブ Low なので、0 は割り込み状態を示します。
5	RX_LOCK_DET	R	0h	レシーバ・ロック検出: このビットは、入力シリアル・データに対する受信ロックを下流のレシーバが示したことを示します。
4	DOWN_HPD	R/COR	0h	ダウンストリーム・ホット・プラグ検出: このビットは、新しいレシーバの追加を示すホット・プラグ・イベントを下流のリピータが報告したことを示します。このビットは、読み出すとクリアされます。
3	RX_DETECT	R	0h	レシーバの検出: このビットは、下流のレシーバが検出されたことを示します。

Copyright © 2022 Texas Instruments Incorporated

表 8-127. HDCP_STS ステータス・レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
2	KSV_LIST_RDY	R	0h	HDCP リピータ KSV リスト・レディ: このビットは、レシーバ KSV リストの読み込みが完了し、KSV_FIFO レジスタ内で利用可能であることを示します。本デバイスは、続行する前に、HDCP_CTL レジスタの KSV_LIST_VALID ビットをコントローラがセットするのを待機します。コントローラが KSV_LIST_VALID ビットをセットした時点で、このビットはクリアされます。
1	KSV_RDY	R	0h	HDCP リピータ KSV レディ: このビットは、レシーバ KSV の読み込みが完了し、HDCP_BKSV レジスタ内で利用可能であることを示します。本デバイスがリピータではない場合、本デバイスは、続行する前に、HDCP_CTL レジスタの KSV_VALID ビットをコントローラがセットするのを待機します。コントローラが KSV_VALID ビットをセットした時点で、このビットはクリアされます。
0	AUTHED	R	0h	HDCP 認証済み: HDCP 認証が正常に完了したことを示します。これでコントローラは、コンテンツ保護を必要とするビデオ・データを送信できます。認証が失敗した場合、またはコントローラが認証を再開した場合、このビットはクリアされます。

8.6.1.114 HDCP_ICR レジスタ (アドレス = 0xC6) [リセット = 0h]

表 8-128 に、HDCP_ICR を示します。

概略表に戻ります。

表 8-128. HDCP_ICR ステータス・レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/RC	0h	予約済み
6	IE_RXDET_INT	R/W	0h	レシーバ検出時の割り込み: ダウンストリーム・レシーバ検出時の割り込みを有効化します。 HDCP_CFG:RX_DET_SEL が 1 に設定されている場合、割り込みは、レシーバ・ロック検出を待機します。
5	IE_RX_INT	R/W	0h	レシーバ割り込み時の割り込み: HDCP レシーバからの割り込み時の割り込みを有効化します。ダウンストリーム・デバイスからの割り込みの伝搬を可能にします。
4	IE_LIST_RDY	R/RC	0h	KSV リスト・レディ時の割り込み: KSV リスト・レディ時の割り込みを有効化
3	IE_KSV_RDY	R/W	0h	KSV レディ時の割り込み: KSV レディ時の割り込みを有効化
2	IE_AUTH_FAIL	R/W	0h	認証失敗時の割り込み: 認証の失敗または喪失時の割り込みを有効化します。
1	IE_AUTH_PASS	R/W	0h	認証成功時の割り込み: 認証が正常に完了したときの割り込みを有効化します。
0	INT_EN	R/W	0h	グローバル割り込みの有効化: コントローラへの割り込み信号が発生した際の割り込みを有効化します。

8.6.1.115 HDCP_ISR レジスタ (アドレス = 0xC7) [リセット = 0h]

表 8-129 に、HDCP_ISR を示します。

概略表に戻ります。

表 8-129. HDCP_ISR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

Copyright © 2022 Texas Instruments Incorporated

表 8-129. HDCP_ISR レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
6	IS_RXDET_INT	R	0h	レシーバ検出割り込み時の割り込み: ダウンストリーム・レシーバが検出されたことを示します。 HDCP_CFG:RX_DET_SEL が 1 に設定されている場合、この割り込みはレシーバ・ロック検出を待機します。
5	IS_RX_INT	R	0h	レシーバ割り込み時の割り込み: ダウンストリーム・デバイスからの割り込み要求をレシーバが示したことを示します。
4	IS_LIST_RDY	R	0h	KSV リスト・レディ時の割り込み: コントローラが KSV リストを読み出す準備が整ったことを示します。
3	IS_KSV_RDY	R	0h	KSV レディ時の割り込み: コントローラがレシーバ KSV を読み出す準備が整ったことを示します。
2	IS_AUTH_FAIL	R	0h	認証失敗時の割り込み: 認証の失敗または喪失が発生したことを示します。
1	IS_AUTH_PASS	R	0h	認証成功時の割り込み: 認証が正常に完了したことを示します。
0	INT	R	0h	グローバル割り込み: 何らかの有効な割り込みが示されると、セットされます。

8.6.1.116 NVM_CTL レジスタ (アドレス = 0xC8) [リセット = 0h]

表 8-130 に、NVM_CTL を示します。

概略表に戻ります。

表 8-130. NVM_CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	NVM_PASS	R	0h	NVM 検証合格: このビットは、NVM 検証プロセスの完了ステータスを示します。このビットは、NVM_DONE がアサートされているときのみ有効です。 0:NVM 検証失敗 1:NVM 検証合格
6	NVM_DONE	R	0h	NVM 検証完了: このビットは、NVM 検証が完了したことを示します。
5	RESERVED	R/W	0h	予約済み
4-3	RESERVED	R	0h	予約済み
2	NVM_VFY	R/W	0h	NVM 検証: このビットをセットすると、NVM の内容の検証が有効化されます。これは、NVM のすべての鍵を読み出し、SHA-1 ハッシュ値を計算し、NVM に保存されている SHA-1 ハッシュと照合することで行われます。このビットは、NVM 検証が完了するとクリアされます。
1	RESERVED	R/W	0h	予約済み
0	RESERVED	R/W	0h	予約済み

8.6.1.117 HDCP_CFG2 レジスタ (アドレス = 0xCD) [リセット = 40h]

表 8-131 に、HDCP_CFG2 を示します。

概略表に戻ります。

表 8-131. HDCP_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み

Copyright © 2022 Texas Instruments Incorporated

表 8-131. HDCP_CFG2 レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
6	RPULSE_EN	R/W	1h	信号の立ち上がりエッジでのレシーバ検出割り込み生成の有効化: 信号の立ち上がりエッジで、レシーバ検出割り込みを生成します。これは、レシーバ検出割り込みの RX ロック検出と RX リンク検出選択の両方のオプションに影響します。RPULSE_EN と FPULSE_EN の両方を同時に有効化することで、両方のエッジで割り込みを生成できます。 1 = 立ち上がりエッジでのパルス生成を有効化 0 = 立ち上がりエッジでのパルス生成を無効化
5-2	FPULSE_EN	R/W	0h	信号の立ち下がりエッジでのレシーバ検出割り込み生成の有効化: 信号の立ち下がりエッジで、レシーバ検出割り込みを生成します。これは、レシーバ検出割り込みの RX ロック検出と RX リンク検出選択の両方のオプションに影響します。RPULSE_EN と FPULSE_EN の両方を同時に有効化することで、両方のエッジで割り込みを生成できます。 1 = 立ち下がりエッジでのパルス生成を有効化 0 = 立ち下がりエッジでのパルス生成を無効化
1-0	RESERVED	R	0h	予約済み

8.6.1.118 BLUE_SCREEN レジスタ (アドレス = 0xCE) [リセット = FFh]

表 8-132 に、BLUE_SCREEN を示します。

概略表に戻ります。

表 8-132. BLUE_SCREEN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	BLUE_SCREEN_VAL	R/W	FFh	ブルー・スクリーン・データ値: HDCP トランスミッタがブルー・スクリーンを送信する際にブルー・チャネルで送信される 8 ビット・データ値を提供します。

8.6.1.119 HDCP_DBG_ALIAS レジスタ (アドレス = 0xE0) [リセット = X]

表 8-133 に、HDCP_DBG_ALIAS を示します。

概略表に戻ります。

表 8-133. HDCP_DBG_ALIAS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	HDCP_DBG	R	X	HDCP_DBG レジスタの読み出し専用エイリアス

8.6.1.120 HDCP_CFG_ALIAS レジスタ (アドレス = 0xE2) [リセット = X]

表 8-134 に、HDCP_DBG を示します。

概略表に戻ります。

表 8-134. HDCP_CFG_ALIAS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	HDCP_CFG	R	X	HDCP_CFG レジスタの読み出し専用エイリアス

8.6.1.121 HDCP_CTL_ALIAS レジスタ (アドレス = 0xE3) [リセット = X]

表 8-135 に、HDCP_CTL_ALIAS を示します。

概略表に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-135. HDCP_CTL_ALIAS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	HDCP_CTL	R	X	HDCP_CTL レジスタの読み出し専用エイリアス

8.6.1.122 HDCP_STS_ALIAS レジスタ (アドレス = 0xE4) [リセット = X]

表 8-136 に、HDCP_STS_ALIAS を示します。

概略表に戻ります。

表 8-136. HDCP_STS_ALIAS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	HDCP_STS	R	X	HDCP_STS レジスタの読み出し専用エイリアス

8.6.1.123 HDCP_ICR_ALIAS レジスタ (アドレス = 0xE6) [リセット = X]

表 8-137 に、HDCP_ICR_ALIAS を示します。

概略表に戻ります。

表 8-137. HDCP_ICR_ALIAS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	HDCP_ICR	R	X	HDCP_ICR レジスタの読み出し専用エイリアス

8.6.1.124 HDCP_ISR_ALIAS レジスタ (アドレス = 0xE7) [リセット = X]

表 8-138 に、HDCP_ISR_ALIAS を示します。

概略表に戻ります。

表 8-138. HDCP_ISR_ALIAS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	HDCP_ISR	R	X	HDCP_ISR レジスタの読み出し専用エイリアス

8.6.1.125 HDCP_TX_ID0 レジスタ (アドレス = 0xF0) [リセット = 5Fh]

表 8-139 に、HDCP_TX_ID0 を示します。

概略表に戻ります。

表 8-139. HDCP_TX_ID0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	HDCP_TX_ID0	R	5Fh	HDCP_TX_ID0：ID コードの第 1 バイト、「_」

8.6.1.126 HDCP_TX_ID1 レジスタ (アドレス = 0xF1) [リセット = 55h]

表 8-140 に、HDCP_TX_ID1 を示します。

概略表に戻ります。

表 8-140. HDCP_TX_ID1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	HDCP_TX_ID1	R	55h	HDCP_TX_ID1：ID コードの第 2 バイト、「U」

Copyright © 2022 Texas Instruments Incorporated

8.6.1.127 HDCP_TX_ID2 レジスタ (アドレス = 0xF2) [リセット = 48h]

表 8-141 に、HDCP_TX_ID2 を示します。

概略表に戻ります。

表 8-141. HDCP_TX_ID2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	HDCP_TX_ID2	R	48h	HDCP_TX_ID2：ID コードの第 3 バイト、「H」

8.6.1.128 HDCP_TX_ID3 レジスタ (アドレス = 0xF3) [リセット = 39h]

表 8-142 に、HDCP_TX_ID3 を示します。

概略表に戻ります。

表 8-142. HDCP_TX_ID3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	HDCP_TX_ID3	R	39h	HDCP_TX_ID3：ID コードの第 4 バイト、「9」

8.6.1.129 HDCP_TX_ID4 レジスタ (アドレス = 0xF4) [リセット = 34h]

表 8-143 に、HDCP_TX_ID4 を示します。

概略表に戻ります。

表 8-143. HDCP_TX_ID4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	HDCP_TX_ID4	R	34h	HDCP_TX_ID4：ID コードの第 5 バイト、「4」

8.6.1.130 HDCP_TX_ID5 レジスタ (アドレス = 0xF5) [リセット = 31h]

表 8-144 に、HDCP_TX_ID5 を示します。

概略表に戻ります。

表 8-144. HDCP_TX_ID5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	HDCP_TX_ID5	R	31h	HDCP_TX_ID5：ID コードの第 6 バイト、「1」

Copyright © 2022 Texas Instruments Incorporated

8.6.2 DSI ポート 0 およびポート 1 間接レジスタ

「DSI 間接レジスタの概要」に、DS90UH941AS-Q1 の間接 DSI レジスタの概要を示します。表 8-145 にないレジスタ・オフセット・アドレスはすべて予約済みと見なすべきであり、レジスタ内容は変更しないでください。

レジスタへのアクセスは、間接アクセス・レジスタ (IND_ACC_CTL、IND_ACC_ADDR、IND_ACC_DATA) を使った間接アクセス機構によって行われます。これらのレジスタはメイン・レジスタ空間のオフセット 0x40～0x42 に配置されています。

この間接アドレス機構には、目的のブロックを選択するための制御レジスタの設定、レジスタ・オフセット・アドレスの設定、データ・レジスタの読み書きが含まれます。また、データ・レジスタの読み書きの後にオフセット・アドレスを自動的にインクリメントするための自動インクリメント機能が制御レジスタに備わっています。

書き込み処理は次のとおりです。

1. 目的のレジスタ・ブロックを選択するために ND_ACC_CTL レジスタに書き込みます。
   - DSI/D-PHY ポート 0 間接レジスタを選択するには 0x40 = 0x04 を設定します。
   - DSI/D-PHY ポート 1 間接レジスタを選択するには 0x40 = 0x08 を設定します。
2. レジスタ・オフセットを設定するために IND_ACC_ADDR レジスタに書き込みます。
3. IND_ACC_DATA レジスタにデータ値を書き込みます。

IND_ACC_CTL レジスタで自動インクリメントが設定されている場合、手順 3 を繰り返すと追加のデータ・バイトが次のレジスタ・オフセット位置に書き込まれます。

読み出し処理は次のとおりです。

1. 目的のレジスタ・ブロックを選択するために ND_ACC_CTL レジスタに書き込みます。
   - DSI/D-PHY ポート 0 間接レジスタの選択と読み出しを行うには 0x40 = 0x05 を設定します。
   - DSI/D-PHY ポート 1 間接レジスタの選択と読み出しを行うには 0x40 = 0x09 を設定します。
2. レジスタ・オフセットを設定するために IND_ACC_ADDR レジスタに書き込みます。
3. IND_ACC_DATA レジスタから読み出します。

IND_ACC_CTL レジスタで自動インクリメントが設定されている場合、手順 3 を繰り返すと追加のデータ・バイトが次のレジスタ・オフセット位置から読み出されます。

表 8-145. DSI 間接レジスタの概要

オフセット	略称	レジスタ名	セクション
0x1	DPHY_TINIT_TIMING		セクション 8.6.2.2
0x2	DPHY_TERM_TIMING		セクション 8.6.2.3
0x3	DPHY_CLK_SETTLE_TIMING		セクション 8.6.2.4
0x4	DPHY_HS_SETTLE_TIMING		セクション 8.6.2.5
0x5	DPHY_SKIP_TIMING		セクション 8.6.2.6
0x6	DPHY_LP_POLARITY		セクション 8.6.2.7
0x7	DPHY_BYPASS		セクション 8.6.2.8
0x8	HSRX_TO_CNT		セクション 8.6.2.9
0xF	DPHY_STATUS		セクション 8.6.2.10
0x10	DPHY_DLANE0_ERR		セクション 8.6.2.11
0x11	DPHY_DLANE1_ERR		セクション 8.6.2.12
0x12	DPHY_DLANE2_ERR		セクション 8.6.2.13
0x13	DPHY_DLANE3_ERR		セクション 8.6.2.14
0x14	DPHY_ERR_CLK_LANE		セクション 8.6.2.15
0x15	DPHY_SYNC_STS		セクション 8.6.2.16
0x20	DSI_CONFIG_0		セクション 8.6.2.17
0x21	DSI_CONFIG_1		セクション 8.6.2.18

Copyright © 2022 Texas Instruments Incorporated

表 8-145. DSI 間接レジスタの概要 (continued)

オフセット	略称	レジスタ名	セクション
0x22	DSI_ERR_CFG_0		セクション 8.6.2.19
0x23	DSI_ERR_CFG_1		セクション 8.6.2.20
0x28	DSI_STATUS		セクション 8.6.2.21
0x29	DSI_ERR_COUNT		セクション 8.6.2.22
0x2A	DSI_VC_DTYPE		セクション 8.6.2.23
0x2B	DSI_ERR_RPT_0		セクション 8.6.2.24
0x2C	DSI_ERR_RPT_1		セクション 8.6.2.25
0x2D	DSI_ERR_RPT_2		セクション 8.6.2.26
0x30	DSI_HSW_CFG_HI		セクション 8.6.2.27
0x31	DSI_HSW_CFG_LO		セクション 8.6.2.28
0x32	DSI_VSW_CFG_HI		セクション 8.6.2.29
0x33	DSI_VSW_CFG_LO		セクション 8.6.2.30
0x34	DSI_SYNC_DLY_CFG_HI		セクション 8.6.2.31
0x35	DSI_SYNC_DLY_CFG_LO		セクション 8.6.2.32
0x36	DSI_EN_HSRX		セクション 8.6.2.33
0x37	DSI_EN_LPRX		セクション 8.6.2.34
0x38	DSI_EN_RXTERM		セクション 8.6.2.35
0x3A	DSI_PCLK_DIV_M		セクション 8.6.2.36
0x3B	DSI_PCLK_DIV_N		セクション 8.6.2.37

表 8-146 に、このセクションでアクセス・タイプに使用しているコードを示します。

表 8-146. レジスタ・アクセス・タイプ・コード

アクセス・タイプ	コード	説明
R	R	読み出し専用アクセス
R/W	R/W	読み出し / 書き込みアクセス
R/W/RC	R/W/RC	読み出し / 書き込みアクセス / 読み出すことでクリア

8.6.2.1 DPHY_TINIT_TIMING レジスタ (オフセット = 0x1) [リセット = 0h]

表 8-147 に、DPHY_TINIT_TIMING を示します。

表 8-145 に戻ります。

表 8-147. DPHY_TINIT_TIMING レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	RESERVED	R	0h	予約済み
2-0	TINIT_TIME	R/W	0h	電源オン後の D-PHY 初期化時間 (単位:100µs) 初期化時間 = (TINIT_TIME + 1) * 100µs

8.6.2.2 DPHY_TERM_TIMING レジスタ (オフセット = 0x2) [リセット = 0h]

表 8-148 に、DPHY_TERM_TIMING を示します。

表 8-145 に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-148. DPHY_TERM_TIMING レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み
6-4	RESERVED	R	0h	予約済み
3	RESERVED	R	0h	予約済み
2-0	DPHY_TERM_DATA_TIMING	R/W	0h	TD TermEn の最終カウント

8.6.2.3 DPHY_CLK_SETTLE_TIMING レジスタ (オフセット = 0x3) [リセット = 1Dh]

表 8-149 に、DPHY_CLK_SETTLE_TIMING を示します。

表 8-145 に戻ります。

表 8-149. DPHY_CLK_SETTLE_TIMING レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み
6-0	TCLK_SETTLE_CNT	R/W	1Dh	TCLK-SETTLE Tclk セトリング時間の最終カウント (単位:10ns)

8.6.2.4 DPHY_HS_SETTLE_TIMING レジスタ (オフセット = 0x4) [リセット = 14h]

表 8-150 に、DPHY_HS_SETTLE_TIMING を示します。

表 8-145 に戻ります。

表 8-150. DPHY_HS_SETTLE_TIMING レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み
6-0	THS_SETTLE_CNT	R/W	14h	THS-SETTLE セトリング時間の最終カウント (単位:10ns)

8.6.2.5 DPHY_SKIP_TIMING レジスタ (オフセット = 0x5) [リセット = 3Ah]

表 8-151 に、DPHY_SKIP_TIMING を示します。

表 8-145 に戻ります。

表 8-151. DPHY_SKIP_TIMING レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み
6-1	TSKIP_CNT	R/W	1Dh	Tskip カウント このレジスタは、送信終了を検出する際に無視されるデータ量を制御します。この値は、DDR クロック単位 (2 UI の間隔) です。このレジスタの設定は、D-PHY レーン周波数に依存します。
0	RESERVED	R	0h	予約済み

8.6.2.6 DPHY_LP_POLARITY レジスタ (オフセット = 0x6) [リセット = 0h]

表 8-152 に、DPHY_LP_POLARITY を示します。

表 8-145 に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-152. DPHY_LP_POLARITY レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	RESERVED	R	0h	予約済み
4	POL_LP_CLK0	R/W	0h	LP クロック 0 の極性
3-0	POL_LP_DATA	R/W	0h	LP データの極性

8.6.2.7 DPHY_BYPASS レジスタ (オフセット = 0x7) [リセット = 0h]

表 8-153 に、DPHY_BYPASS を示します。

表 8-145 に戻ります。

表 8-153. DPHY_BYPASS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BYPASS_TINIT	R/W	0h	Tinit 待機時間をバイパスします。
6	BYPASS_TCK_MISS	R/W	0h	Tck ミス時間をバイパスします。
5	BYPASS_ULPS_CK0	R/W	0h	CLK0 の ULPS をバイパスします。
4-0	BYPASS_LP	R/W	0h	クロックおよびデータ・レーン (3、2、1、0) の LP をバイパスします。

8.6.2.8 HSRX_TO_CNT レジスタ (オフセット = 0x8) [リセット = 0h]

表 8-154 に、HSRX_TO_CNT を示します。

表 8-145 に戻ります。

表 8-154. HSRX_TO_CNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	HSRX_TO_CNT	R/W	0h	タイムアウト・カウンタ (単位:ms)このタイマは 1ms の幅を持ちます。 例:HSRX_TO_CNT = 1 の場合、タイムアウトは 0～1ms の間に発生し、HSRX_TO_CNT = 255 の場合、タイムアウトは 254～255ms の間に発生します。レジスタ値が 0 の場合、タイムアウトは機能しません。

8.6.2.9 DPHY_STATUS レジスタ (オフセット = 0xF) [リセット = 0h]

表 8-155 に、DPHY_STATUS を示します。

表 8-145 に戻ります。

表 8-155. DPHY_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み
6	LANE_SYNC_ERROR	R/ROC	0h	D-PHY レーン同期エラー このフラグは、どのデータ・レーンにも正しい同期が検出されなかったことを示します。有効化された各レーンは、同期シーケンスを同時に検出するはずです。これが正しく行われない場合、このフラグがセットされます。また、DPHY_SYNC_STS レジスタを読み出すことで、直近のエラー状態での同期ステータスを確認できます。
5	DPHY_LANE_ERROR	R	0h	D-PHY レーン・エラーの検出このビットがセットされている場合、1 つ以上のクロックまたはデータ・レーンがエラーを検出したことを示します。エラーを確認するには、DPHY_DLANEx_ERR および DPHY_CLANE_ERR レジスタを読み出します。レーン・エラー・レジスタを読み出すと、このフラグはクリアされます。

Copyright © 2022 Texas Instruments Incorporated

表 8-155. DPHY_STATUS レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
4	C_LANE_ACTIVE	R	0h	クロック・レーン・アクティブ 0:クロック・レーンは非アクティブ 1:クロック・レーンはアクティブ
3-0	D_LANE_ACTIVE	R	0h	データ・レーン・アクティブ 各データ・レーンについて、レーンがアクティブとして検出されたかどうかをこのレジスタは報告します。 0:データ・レーンは非アクティブ 1:データ・レーンはアクティブ

8.6.2.10 DPHY_DLANE0_ERR レジスタ (オフセット = 0x10) [リセット = 0h]

表 8-156 に、DPHY_DLANE0_ERR を示します。

表 8-145 に戻ります。

表 8-156. DPHY_DLANE0_ERR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	RESERVED	R	0h	予約済み
4	EOT_SYNC_ERROR_0	R/ROC	0h	送信終了同期エラー - 訂正不可
3	SOT_ERROR_0	R/ROC	0h	同期シーケンスのビット・エラー - 訂正可
2	SOT_SYNC_ERROR_0	R/ROC	0h	同期シーケンス・エラー - 訂正不可
1	CNTRL_ERR_HSRQST_0	R/ROC	0h	HS 要求モードでの制御エラー
0	HS_RX_TO_ERROR_0	R/ROC	0h	HS 送信タイムアウト・エラー

8.6.2.11 DPHY_DLANE1_ERR レジスタ (オフセット = 0x11) [リセット = 0h]

表 8-157 に、DPHY_DLANE1_ERR を示します。

表 8-145 に戻ります。

表 8-157. DPHY_DLANE1_ERR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	RESERVED	R	0h	予約済み
4	EOT_SYNC_ERROR_1	R/ROC	0h	送信終了同期エラー - 訂正不可
3	SOT_ERROR_1	R/ROC	0h	同期シーケンスのビット・エラー - 訂正可
2	SOT_SYNC_ERROR_1	R/ROC	0h	同期シーケンス・エラー - 訂正不可
1	CNTRL_ERR_HSRQST_1	R/ROC	0h	HS 要求モードでの制御エラー
0	HS_RX_TO_ERROR_1	R/ROC	0h	HS 送信タイムアウト・エラー

8.6.2.12 DPHY_DLANE2_ERR レジスタ (オフセット = 0x12) [リセット = 0h]

表 8-158 に、DPHY_DLANE2_ERR を示します。

表 8-145 に戻ります。

表 8-158. DPHY_DLANE2_ERR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	RESERVED	R	0h	予約済み
4	EOT_SYNC_ERROR_2	R/ROC	0h	送信終了同期エラー - 訂正不可
3	SOT_ERROR_2	R/ROC	0h	同期シーケンスのビット・エラー - 訂正可

Copyright © 2022 Texas Instruments Incorporated

表 8-158. DPHY_DLANE2_ERR レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
2	SOT_SYNC_ERROR_2	R/ROC	0h	同期シーケンス・エラー - 訂正不可
1	CNTRL_ERR_HSRQST_2	R/ROC	0h	HS 要求モードでの制御エラー
0	HS_RX_TO_ERROR_2	R/ROC	0h	HS 送信タイムアウト・エラー

8.6.2.13 DPHY_DLANE3_ERR レジスタ (オフセット = 0x13) [リセット = 0h]

表 8-159 に、DPHY_DLANE3_ERR を示します。

表 8-145 に戻ります。

表 8-159. DPHY_DLANE3_ERR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	RESERVED	R	0h	予約済み
4	EOT_SYNC_ERROR_3	R/ROC	0h	送信終了同期エラー - 訂正不可
3	SOT_ERROR_3	R/ROC	0h	同期シーケンスのビット・エラー - 訂正可
2	SOT_SYNC_ERROR_3	R/ROC	0h	同期シーケンス・エラー - 訂正不可
1	CNTRL_ERR_HSRQST_3	R/ROC	0h	HS 要求モードでの制御エラー
0	HS_RX_TO_ERROR_3	R/ROC	0h	HS 送信タイムアウト・エラー

8.6.2.14 DPHY_ERR_CLK_LANE レジスタ (オフセット = 0x14) [リセット = 0h]

表 8-160 に、DPHY_ERR_CLK_LANE を示します。

表 8-145 に戻ります。

表 8-160. DPHY_ERR_CLK_LANE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	RESERVED	R	0h	予約済み
3	CNTRL_ERR_ULPRQST_CLK	R/ROC	0h	ULP 要求モードでの制御エラー
2	CNTRL_ERR_HSRQST_CLK	R/ROC	0h	HS 要求モードでの制御エラー
1	ULPS_INVALID_ERR_CLK	R/ROC	0h	ULP モードで検出された無効な ULP 状態
0	HS_RX_TO_ERROR_CLK	R/ROC	0h	HS 送信タイムアウト・エラー

8.6.2.15 DPHY_SYNC_STS レジスタ (オフセット = 0x15) [リセット = 0h]

表 8-161 に、DPHY_SYNC_STS を示します。

表 8-145 に戻ります。

表 8-161. DPHY_SYNC_STS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	RESERVED	R	0h	予約済み
3	DLANE3_SYNC_STS	R	0h	DLANE 3 の同期ステータス 直近の同期エラー中のデータ・レーン 3 の同期ステータスを報告します。
2	DLANE2_SYNC_STS	R	0h	DLANE 2 の同期ステータス 直近の同期エラー中のデータ・レーン 2 の同期ステータスを報告します。

Copyright © 2022 Texas Instruments Incorporated

表 8-161. DPHY_SYNC_STS レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
1	DLANE1_SYNC_STS	R	0h	DLANE 1 の同期ステータス 直近の同期エラー中のデータ・レーン 1 の同期ステータスを報告します。
0	DLANE0_SYNC_STS	R	0h	DLANE 0 の同期ステータス 直近の同期エラー中のデータ・レーン 0 の同期ステータスを報告します。

8.6.2.16 DSI_CONFIG_0 レジスタ (オフセット = 0x20) [リセット = 7Fh]

表 8-162 に、DSI_CONFIG_0 を示します。

表 8-145 に戻ります。

表 8-162. DSI_CONFIG_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み
6	DSI_TRY_RECOVERY	R/W	1h	DSI 復帰試行 1 に設定すると、DSI プロトコル・モジュールはエラー状態からの復帰を試みます。
5	DSI_IGNORE_HS_CMD	R/W	1h	DSI HS コマンドを無視 0:HS コマンドを処理 1:HS コマンドを無視
4	DSI_SYNC_PULSES	R/W	1h	同期パルス生成の制御 0:元の VS/HS タイミングを再生成しない 1:元の VS/HS タイミングを再生成
3-0	DSI_VC_ENABLE	R/W	Fh	VC-ID の有効化 この 4 ビット・フィールドの各ビットが、4 つの仮想チャネル ID の 1 つを有効化します。必要な VC-ID を持たないパケットが受信されると、エラーが報告されます。DSI_ERR_DET ビットでエラーが報告されるようにするには、DSI_INV_VC_ERR_EN ビットもセットする必要があります。これらの制御機能は、無効な VC-ID を持つパケットをフィルタ処理で除去しません。

8.6.2.17 DSI_CONFIG_1 レジスタ (オフセット = 0x21) [リセット = 0h]

表 8-163 に、DSI_CONFIG_1 を示します。

表 8-145 に戻ります。

表 8-163. DSI_CONFIG_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DSI_NO_GRAYSCALE	R/W	0h	グレイスケール補間の無効化 24 ビット未満の DSI RGB データ・タイプの場合、RGB888 への変換では、グレースケール範囲を拡大するため、普段は使われない下位のサブピクセル・ビットに上位のサブピクセル・ビットが複製されます。 0:グレイスケール補間を有効化 1:グレイスケール補間を無効化
6	DSI_VS_POLARITY	R/W	0h	DSI VS の極性制御 0:VS 信号はアクティブ High 1:VS 信号はアクティブ Low
5	DSI_HS_POLARITY	R/W	0h	DSI HS の極性制御 0:HS 信号はアクティブ High 1:HS 信号はアクティブ Low
4	DSI_HOLD_ERR	R/W	0h	エラーの保持 1 に設定すると、ラッチされたエラー状態が、パルスではなく dsi_err ステータス表示で示されます。

Copyright © 2022 Texas Instruments Incorporated

表 8-163. DSI_CONFIG_1 レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
3	DSI_NULL_CRC_DIS	R/W	0h	NULL および BLANK 長パケットを報告するエラー
2	RESERVED	R/W	0h	予約済み
1	DSI_NO_FILTER	R/W	0h	パケット・ワード数のフィルタを無効化
0	DSI_NO_EOTPKT	R/W	0h	EOT パケットなしモード 0 に設定されている場合、EOT パケットが送られないで送信終了が発生すると、本デバイスはエラーを表示します。0 に設定すると、エラーは表示されません。このエラーは、DSI_STATUS レジスタの DSI_EOT_ERR ビットに表示されます。

8.6.2.18 DSI_ERR_CFG_0 レジスタ (オフセット = 0x22) [リセット = FFh]

表 8-164 に、DSI_ERR_CFG_0 を示します。

表 8-145 に戻ります。

表 8-164. DSI_ERR_CFG_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DSI_ECC1_ERR_EN	R/W	1h	dsi_err ステータスのシングル・ビット ECC エラーを有効化します。
6	DSI_CONT_LP1_ERR_EN	R/W	1h	dsi_err ステータスの LP-1 競合エラーを有効化します。
5	DSI_CONT_LP0_ERR_EN	R/W	1h	dsi_err ステータスの LP-0 競合エラーを有効化します。
4	DSI_LP_SYNC_ERR_EN	R/W	1h	dsi_err ステータスの LP 同期エラーを有効化します。
3	DSI_HSRX_TO_ERR_EN	R/W	1h	dsi_err ステータスの HS 受信タイムアウト・エラーを有効化します。
2	DSI_ESC_ENTRY_ERR_EN	R/W	1h	dsi_err ステータスのエスケープ・エントリ・エラーを有効化します。
1	DSI_SOT_SYNC_ERR_EN	R/W	1h	dsi_err ステータスの SOT 同期エラーを有効化します。
0	DSI_SOT_ERR_EN	R/W	1h	dsi_err ステータスの SOT エラーを有効化します。

8.6.2.19 DSI_ERR_CFG_1 レジスタ (オフセット = 0x23) [リセット = 7Fh]

表 8-165 に、DSI_ERR_CFG_1 を示します。

表 8-145 に戻ります。

表 8-165. DSI_ERR_CFG_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み
6	DSI_EOT_SYNC_ERR_EN	R/W	1h	dsi_err ステータスの EOT 同期エラーを有効化します。
5	DSI_PROT_ERR_EN	R/W	1h	dsi_err ステータスの DSI プロトコル・エラーを有効化します。
4	DSI_INV_LEN_ERR_EN	R/W	1h	dsi_err ステータスの無効長エラーを有効化します。
3	DSI_INV_VC_ERR_EN	R/W	1h	dsi_err ステータスの無効 VC エラーを有効化します。
2	DSI_INV_DT_ERR_EN	R/W	1h	dsi_err ステータスの無効 DT エラーを有効化します。

Copyright © 2022 Texas Instruments Incorporated

表 8-165. DSI_ERR_CFG_1 レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
1	DSI_CHKSUM_ERR_EN	R/W	1h	dsi_err ステータスの 16 ビット CRC チェックサム・エラーを有効化します。
0	DSI_ECC2_ERR_EN	R/W	1h	dsi_err ステータスのマルチビット ECC エラーを有効化します。

8.6.2.20 DSI_STATUS レジスタ (オフセット = 0x28) [リセット = 0h]

表 8-166 に、DSI_STATUS を示します。

表 8-145 に戻ります。

表 8-166. DSI_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み
6	DSI_FIFO_OVERFLOW	R/ROC	0h	DSI - FPD-Link III FIFO オーバーフロー 1 の場合、このビットは、DSI ドメインと FPD-Link III ドメインとの間を伝送されるビデオ・データに 1 つ以上の FIFO オーバーフロー・エラーが発生したことを示します。このビットは、読み出すとクリアされます (次のオーバーフローが発生しない限り)。
5	DSI_FIFO_UNDERFLOW	R/ROC	0h	
4	DSI_FPD3_ERR	R/ROC	0h	DSI - FPD-Link III バッファ・エラー このフラグは、DSI プロトコル・ロジックと FPD-Link III トランスミッタとの間でバッファ・オーバーフローが発生したことを示します。このフラグは、読み出すとクリアされます。
3	DSI_CMD_OVER	R/ROC	0h	DSI コマンド FIFO オーバーフロー DSI コマンド FIFO がオーバーフローすると、このビットがセットされます。このフラグは、読み出すとクリアされます。コマンド・モードを実装していないため、この機能はサポートしていません。
2	DSI_EOT_ERR	R/ROC	0h	DSI EOT エラー検出 このビットが 1 の場合、EOT パケットが送られないで DSI 送信終了 (EOT) が検出されたことを示しています。DSI_NO_EOTPKT が 0 に設定されている場合のみ、このビットはセットされます。このフラグは、読み出すとクリアされます。
1	DSI_READ_WOUT_BTA	R/ROC	0h	バス・ターンアラウンド (BTA) なしの DSI 読み出し このビットが 1 の場合、BTA なしの DSI 読み出しが検出されたことを示しています。このフラグは、読み出すとクリアされます。コマンド・モードを実装していないため、この機能はサポートしていません。
0	DSI_ERROR_DET	R/ROC	0h	DSI エラー検出 このビットが 1 の場合、1 つ以上の DSI エラーが検出されたことを示しています。DSI エラーの原因となる可能性があるエラー条件は、DSI_ERR_CFG_0/1 レジスタで設定されます。このフラグは、読み出すとクリアされます。DSI エラー・イベントの数は、DSI_ERR_COUNT レジスタから読み出すことができます。

8.6.2.21 DSI_ERR_COUNT レジスタ (オフセット = 0x29) [リセット = 0h]

セクション 8.6.2.22 に、DSI_ERR_COUNT を示します。

表 8-145 に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-167. DSI_ERR_COUNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DSI_ERROR_COUNT	R/W/RC	0h	DSI エラー数 このレジスタは、検出された DSI エラーの数を報告します。この値は、読み出すとクリアされます。DSI エラー・カウンタは診断のみを目的としており、検出されたエラーの正確な数を表すとは限りません。エラーの数を正確に測定するには、カウンタを読み出す前に、DSI_ERR_CFG_0/1 レジスタをクリアすることでエラー測定を無効化します。

8.6.2.22 DSI_VC_DTYPE レジスタ (オフセット = 0x2A) [リセット = 0h]

表 8-168 に、DSI_VC_DTYPE を示します。

表 8-145 に戻ります。

表 8-168. DSI_VC_DTYPE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	DSI_VC	R	0h	DSI 仮想チャネル ID このフィールドは、直近の受信ピクセル・ストリーム・パケットの仮想チャネル ID を返します。DTYPE の下位 4 ビットが 0xB～0xE の範囲であるパケット・ヘッダが検出されるとすぐに、DSI プロトコル・ロジックによってこのフィールドは更新されます。
5-0	DSI_DTYPE	R	0h	DSI データ・タイプ このフィールドは、直近の受信ピクセル・ストリーム・パケットのデータ・タイプを返します。DTYPE の下位 4 ビットが 0xB～0xE の範囲であるパケット・ヘッダが検出されるとすぐに、DSI プロトコル・ロジックによってこのフィールドは更新されます。

8.6.2.23 DSI_ERR_RPT_0 レジスタ (オフセット = 0x2B) [リセット = 0h]

表 8-169 に、DSI_ERR_RPT_0 を示します。

表 8-145 に戻ります。

表 8-169. DSI_ERR_RPT_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DSI_PROT_ERR	R	0h	dsi_err ステータスの DSI プロトコル・エラー
6	RESERVED	R	0h	予約済み
5	DSI_INV_LEN_ERR	R	0h	dsi_err ステータスの無効長エラー
4	DSI_INV_VC_ERR	R	0h	dsi_err ステータスの無効 VC エラー
3	DSI_INV_DT_ERR	R	0h	dsi_err ステータスの無効 DT エラー
2	DSI_CHKSUM_ERR	R	0h	dsi_err ステータスの 16 ビット CRC チェックサム・エラー
1	DSI_ECC_MULTI_ERR	R	0h	dsi_err ステータスのマルチビット ECC エラー
0	DSI_ECC_SINGLE_ERR	R	0h	dsi_err ステータスのシングル・ビット ECC エラー

8.6.2.24 DSI_ERR_RPT_1 レジスタ (オフセット = 0x2C) [リセット = 0h]

表 8-170 に、DSI_ERR_RPT_1 を示します。

表 8-145 に戻ります。

表 8-170. DSI_ERR_RPT_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み

Copyright © 2022 Texas Instruments Incorporated

表 8-170. DSI_ERR_RPT_1 レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
6	DSI_CTRL_ERR	R	0h	dsi_err ステータスの EOT 同期エラー
5	DSI_HSRX_TO_ERR	R	0h	dsi_err ステータスの HS 受信タイムアウト・エラー
4	DSI_LP_SYNC_ERR	R	0h	dsi_err ステータスの LP 同期エラー
3	DSI_ESC_ENTRY_ERR	R	0h	dsi_err ステータスのエスケープ・エントリ・エラー
2	DSI_EOT_SYNC_ERR	R	0h	dsi_err ステータスの EOT 同期エラー
1	DSI_SOT_SYNC_ERR	R	0h	dsi_err ステータスの SOT 同期エラー
0	DSI_SOT_ERR	R	0h	dsi_err ステータスの SOT エラー

8.6.2.25 DSI_ERR_RPT_2 レジスタ (オフセット = 0x2D) [リセット = 0h]

表 8-171 に、DSI_ERR_RPT_2 を示します。

表 8-145 に戻ります。

表 8-171. DSI_ERR_RPT_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	RESERVED	R	0h	予約済み
2	CMD_FIFO_ OVERFLOW_ERR	R	0h	コマンド FIFO オーバーフロー・エラー
1	EOT_WITHOUT_ EOT_PKT_ERR	R	0h	EOT パケットなし EOT エラー
0	READ_WITHOUT_ BTA_ERR	R	0h	ビット・ターンアラウンドなし読み出しエラー

8.6.2.26 DSI_HSW_CFG_HI レジスタ (オフセット = 0x30) [リセット = 0h]

表 8-172 に、DSI_HSW_CFG_HI を示します。

表 8-145 に戻ります。

表 8-172. DSI_HSW_CFG_HI レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	RESERVED	R	0h	予約済み
1-0	DSI_HSYNC_WIDTH_HI	R/W	0h	Hsync パルス幅 DSI 同期イベントが有効化されている場合 (DSI_CONFIG_0:DSI_SYNC_PULSES = 0)、このフィールドは、生成される Hsync パルス幅 (単位:ピクセル・クロック) を設定します。このレジスタには、DSI_HSYNC_WIDTH のビット 9:8 が含まれます。

8.6.2.27 DSI_HSW_CFG_LO レジスタ (オフセット = 0x31) [リセット = 20h]

表 8-173 に、DSI_HSW_CFG_LO を示します。

表 8-145 に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-173. DSI_HSW_CFG_LO レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DSI_HSYNC_WIDTH_LO	R/W	20h	Hsync パルス幅 DSI 同期イベントが有効化されている場合 (DSI_CONFIG_0:DSI_SYNC_PULSES = 0)、このフィールドは、生成される Hsync パルス幅 (単位:ピクセル・クロック) を設定します。このレジスタには、DSI_HSYNC_WIDTH のビット 7:0 が含まれます。

8.6.2.28 DSI_VSW_CFG_HI レジスタ (オフセット = 0x32) [リセット = 0h]

表 8-174 に、DSI_VSW_CFG_HI を示します。

表 8-145 に戻ります。

表 8-174. DSI_VSW_CFG_HI レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	RESERVED	R	0h	予約済み
1-0	DSI_VSYNC_WIDTH_HI	R/W	0h	Vsync パルス幅 DSI 同期イベントが有効化されている場合 (DSI_CONFIG_0:DSI_SYNC_PULSES = 0)、このフィールドは、生成される Vsync パルス幅 (単位:ライン) (つまり Hsync パルス数) を設定します。このレジスタには、DSI_VSYNC_WIDTH のビット 9:8 が含まれます。

8.6.2.29 DSI_VSW_CFG_LO レジスタ (オフセット = 0x33) [リセット = 4h]

表 8-175 に、DSI_VSW_CFG_LO を示します。

表 8-145 に戻ります。

表 8-175. DSI_VSW_CFG_LO レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DSI_VSYNC_WIDTH_LO	R/W	4h	Vsync パルス幅 DSI 同期イベントが有効化されている場合 (DSI_CONFIG_0:DSI_SYNC_PULSES = 0)、このフィールドは、生成される Vsync パルス幅 (単位:ライン) (つまり Hsync パルス数) を設定します。このレジスタには、DSI_VSYNC_WIDTH のビット 7:0 が含まれます。

8.6.2.30 DSI_SYNC_DLY_CFG_HI レジスタ (オフセット = 0x34) [リセット = 0h]

表 8-176 に、DSI_SYNC_DLY_CFG_HI を示します。

表 8-145 に戻ります。

表 8-176. DSI_SYNC_DLY_CFG_HI レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	RESERVED	R	0h	予約済み
1-0	DSI_SYNC_DELAY_HI	R/W	0h	同期遅延 この 10 ビット・フィールドは、DSI プロトコル・ロジックでの Hsync または Vsync の検出から、DSI から FPD-Link III への FIFO の出力までの遅延 (単位:ピクセル・クロック) を設定し、それにより、ドメイン間の FIFO の深さを設定します。 このレジスタには DSI_SYNC_DELAY のビット 9:8 が含まれます。 DSI_SYNC_DELAY の最大値は 766 (0x2FE) です。

Copyright © 2022 Texas Instruments Incorporated

8.6.2.31 DSI_SYNC_DLY_CFG_LO レジスタ (オフセット = 0x35) [リセット = 20h]

表 8-177 に、DSI_SYNC_DLY_CFG_LO を示します。

表 8-145 に戻ります。

表 8-177. DSI_SYNC_DLY_CFG_LO レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DSI_SYNC_DELAY_LO	R/W	20h	同期遅延 この 10 ビット・フィールドは、DSI プロトコル・ロジックでの Hsync または Vsync の検出から、DSI から FPD-Link III への FIFO の出力までの遅延 (単位:ピクセル・クロック) を設定し、それにより、ドメイン間の FIFO の深さを設定します。 このレジスタには DSI_SYNC_DELAY のビット 7:0 が含まれます。 DSI_SYNC_DELAY の最大値は 766 (0x2FE) です。

8.6.2.32 DSI_EN_HSRX レジスタ (オフセット = 0x36) [リセット = 0h]

表 8-178 に、DSI_EN_HSRX を示します。

表 8-145 に戻ります。

表 8-178. DSI_EN_HSRX レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み
6	EN_HSRX_OV	R/W	0h	上書きすることで CSI RX HS レシーバを有効化します。
5	RESERVED	R/W	0h	予約済み
4	EN_HSRX_CLK0	R/W	0h	HSRX CLK0 の有効化
3	EN_HSRX_D3	R/W	0h	HSRX D3 の有効化
2	EN_HSRX_D2	R/W	0h	HSRX D2 の有効化
1	EN_HSRX_D1	R/W	0h	HSRX D1 の有効化
0	EN_HSRX_D0	R/W	0h	HSRX D0 の有効化

8.6.2.33 DSI_EN_LPRX レジスタ (オフセット = 0x37) [リセット = 0h]

表 8-179 に、DSI_EN_LPRX を示します。

表 8-145 に戻ります。

表 8-179. DSI_EN_LPRX レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み
6	EN_LPRX_OV	R/W	0h	CSI LP レシーバの上書き
5	RESERVED	R	0h	予約済み
4	EN_LPRX_CLK0	R/W	0h	LP レシーバの CLK0 の有効化
3	EN_LPRX_D3	R/W	0h	LP レシーバの D3 の有効化
2	EN_LPRX_D2	R/W	0h	LP レシーバの D2 の有効化
1	EN_LPRX_D1	R/W	0h	LP レシーバの D1 の有効化
0	EN_LPRX_D0	R/W	0h	LP レシーバの D0 の有効化

Copyright © 2022 Texas Instruments Incorporated

8.6.2.34 DSI_EN_RXTERM レジスタ (オフセット = 0x38) [リセット = 0h]

表 8-180 に、DSI_EN_RXTERM を示します。

表 8-145 に戻ります。

表 8-180. DSI_EN_RXTERM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み
6	EN_RXTERM_OV	R/W	0h	CSI RX HS 終端の上書き
5	RESERVED	R	0h	予約済み
4	EN_RXTERM_CLK0	R/W	0h	CSI CLK0 の RX 終端の有効化
3	EN_RXTERM_D3	R/W	0h	CSI D3 の RX 終端の有効化
2	EN_RXTERM_D2	R/W	0h	CSI D2 の RX 終端の有効化
1	EN_RXTERM_D1	R/W	0h	CSI D1 の RX 終端の有効化
0	EN_RXTERM_D0	R/W	0h	CSI D0 の RX 終端の有効化

8.6.2.35 DSI_PCLK_DIV_M レジスタ (オフセット = 0x3A) [リセット = X]

表 8-181 に、DSI_PCLK_DIV_M を示します。

表 8-145 に戻ります。

表 8-181. DSI_PCLK_DIV_M レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	EN_PCLK_DIV_OV	R/W	0h	DSI PCLK M/N デバイダのオーバーライドの有効化 1 に設定すると、DSI クロックからピクセル・クロックを生成するために使用される M/N デバイダに DSI_DIV_M および DSI_DIV_N レジスタ値が使用されます。
6-5	RESERVED	R	0h	予約済み
4-0	DSI_DIV_M	R/W	X	DSI Pclk デバイダの M 値このレジスタは、DSI 入力クロックからピクセル・クロックを生成するために使用される M/N デバイダの M 設定値を制御します。通常、この値は DSI レーン数、ピクセルあたりのバイト数、DSI 入力モード (シングル、デュアル) に基づいています。 EN_PCLK_DIV_OV が 0 に設定されている場合、このレジスタは M/N デバイダの自動的に決定された M 設定値を返します。 EN_PCLK_DIV_OV が 1 に設定されている場合、このレジスタ値が M/N デバイダの M 設定値として使われます。

8.6.2.36 DSI_PCLK_DIV_N レジスタ (オフセット = 0x3B) [リセット = X]

表 8-182 に、DSI_PCLK_DIV_N を示します。

表 8-145 に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-182. DSI_PCLK_DIV_N レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DSI_DIV_N	R/W	X	DSI Pclk デバイダの N 値 このレジスタは、DSI 入力クロックからピクセル・クロックを生成するために使用される M/N デバイダの N 設定を制御します。通常、M/N 設定は DSI レーン数、ピクセルあたりのバイト数、DSI 入力モード (シングル、デュアル) に基づいています。EN_PCLK_DIV_OV が 1 に設定されている場合、DSI_DIV_M と DSI_DIV_N の値が使われます。 EN_PCLK_DIV_OV が 0 に設定されている場合、このレジスタは M/N デバイダの自動的に決定された M 設定値を返します。 EN_PCLK_DIV_OV が 1 に設定されている場合、このレジスタ値が M/N デバイダの M 設定値として使われます。

Copyright © 2022 Texas Instruments Incorporated

8.6.3 アナログ間接レジスタ

「アナログ間接レジスタの概要」に DS90UH941AS-Q1 のメモリマップト・レジスタを示します。「アナログ間接レジスタの概要」にないレジスタ・オフセット・アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

レジスタへのアクセスは、間接アクセス・レジスタ (IND_ACC_CTL、IND_ACC_ADDR、IND_ACC_DATA) を使った間接アクセス機構によって行われます。これらのレジスタはメイン・レジスタ空間のオフセット 0x40～0x42 に配置されています。

この間接アドレス機構には、目的のブロックを選択するための制御レジスタの設定、レジスタ・オフセット・アドレスの設定、データ・レジスタの読み書きが含まれます。また、制御レジスタには、データ・レジスタの読み書きの後にオフセット・アドレスを自動的にインクリメントするための自動インクリメント機能が備わっています。

書き込み処理は次のとおりです。

1. 目的のレジスタ・ブロックを選択するために ND_ACC_CTL レジスタに書き込みます。
   - DSI/D-PHY アナログ間接レジスタを選択するには 0x40 = 0x10 を設定します。
   - FPD-Link III アナログ間接レジスタを選択するには 0x40 = 0x14 を設定します。
2. レジスタ・オフセットを設定するために IND_ACC_ADDR レジスタに書き込みます。
3. IND_ACC_DATA レジスタにデータ値を書き込みます。

IND_ACC_CTL レジスタで自動インクリメントが設定されている場合、手順 3 を繰り返すと追加のデータ・バイトが次のレジスタ・オフセット位置に書き込まれます。

読み出し処理は次のとおりです。

1. 目的のレジスタ・ブロックを選択するために ND_ACC_CTL レジスタに書き込みます。
   - DSI/D-PHY アナログ間接レジスタの選択と読み出しを行うには 0x40 = 0x11 を設定します。
   - FPD-Link III アナログ間接レジスタの選択と読み出しを行うには 0x40 = 0x15 を設定します。
2. レジスタ・オフセットを設定するために IND_ACC_ADDR レジスタに書き込みます。
3. IND_ACC_DATA レジスタから読み出します。

IND_ACC_CTL レジスタで自動インクリメントが設定されている場合、手順 3 を繰り返すと追加のデータ・バイトが次のレジスタ・オフセット位置から読み出されます。

表 8-183. アナログ間接レジスタの概要

オフセット	略称	レジスタ名	セクション
0x86	DSI0_CLK_INVERSION		
0x94	DSI1_CLK_INVERSION		

レジスタ・アクセス・タイプ・コードに、このセクションでアクセス・タイプに使用しているコードを示します。

表 8-184. レジスタ・アクセス・タイプ・コード

アクセス・タイプ	コード	説明
R	R	読み出し専用アクセス
R/W	R/W	読み出し / 書き込みアクセス

8.6.3.1 DSI0_CLK_INVERSION レジスタ (オフセット = 0x86) [リセット = 8h]

DSI0_CLK_INVERSION レジスタのフィールドの説明に、DSI_PLL_STATE_MC_CTL を示します。

概略表に戻ります。

表 8-185. DSI0_CLK_INVERSION レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	RESERVED	R/W	2h	予約済み

表 8-185. DSI0_CLK_INVERSION レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
1	DSI0_CLK_INVERSION	R/W	0h	内部 DSI サンプリング・クロックを反転します。 0:非反転サンプリング・クロック 1:反転サンプリング・クロック (通常動作) 注:セクション 10.2 の「パワーアップと初期化」のシーケンスに基づくすべてのアプリケーションでは、このビットを 1 に設定します。これは、レジスタ 0x2 のクロック極性設定とは無関係です。
0	RESERVED	R/W	0h	予約済み

8.6.3.2 DSI1_CLK_INVERSION レジスタ (オフセット = 0x94) [リセット = 8h]

DSI0_CLK_INVERSION レジスタのフィールドの説明に、DSI_PLL_STATE_MC_CTL を示します。

概略表に戻ります。

表 8-186. DSI1_CLK_INVERSION レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	RESERVED	R/W	2h	予約済み
1	DSI1_CLK_INVERSION	R/W	0h	内部 DSI サンプリング・クロックを反転します。 0:非反転サンプリング・クロック 1: 反転サンプリング・クロック (通常動作) 注:セクション 10.2 の「パワーアップと初期化」のシーケンスに基づくすべてのアプリケーションでは、このビットを 1 に設定します。これは、レジスタ 0x2 のクロック極性設定とは無関係です。
0	RESERVED	R/W	0h	予約済み

Copyright © 2022 Texas Instruments Incorporated

8.6.4 ポート 0 およびポート 1 パターン・ジェネレータ間接レジスタ

表 8-187 に、DS90UH941AS-Q1 のパターン・ジェネレータのメモリマップト・レジスタを示します。表 8-187 にないレジスタ・オフセット・アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

レジスタへのアクセスは、パターン・ジェネレータ間接アクセス・レジスタ (PGIA および PGID) を使った間接アクセス機構によって行われます。これらのレジスタはメイン・レジスタ空間のオフセット 0x66 および 0x67 に配置されています。

この間接アドレス機構には、レジスタ・オフセット・アドレスの設定とデータ・レジスタの読み書きが含まれます。

書き込み処理は次のとおりです。

1. 目的の FPD-Link III ポートを選択するため、TX_PORT_SEL レジスタに書き込みます。
   - ポート 0 を選択するには TX_PORT_SEL (0x1E) レジスタの PORT0_SEL ビットをセットします (デフォルト)。
   - ポート 1 を選択するには TX_PORT_SEL (0x1E) レジスタの PORT1_SEL ビットをセットします。
2. レジスタ・オフセットを設定するため、PGIA レジスタに書き込みます。
3. データ値を PGID レジスタに書き込みます。

読み出し処理は次のとおりです。

1. 目的の FPD-Link III ポートを選択するため、TX_PORT_SEL レジスタに書き込みます。
   - ポート 0 を選択するには TX_PORT_SEL (0x1E) レジスタの PORT0_SEL ビットをセットします (デフォルト)。
   - ポート 1 を選択するには TX_PORT_SEL (0x1E) レジスタの PORT1_SEL ビットをセットします。
2. レジスタ・オフセットを設定するため、PGIA レジスタに書き込みます。
3. PGID レジスタから読み出します。

表 8-187. パターン・ジェネレータ間接レジスタの概要

オフセット	略称	レジスタ名	セクション
0x0	PGRS		表示
0x1	PGGS		表示
0x2	PGBS		表示
0x3	PGCDC1		表示
0x4	PGTFS1		表示
0x5	PGTFS2		表示
0x6	PCTFS3		表示
0x7	PGAFS1		表示
0x8	PGAFS2		表示
0x9	PGAFS3		表示
0xA	PGHSW		表示
0xB	PGVSW		表示
0xC	PGHBP		表示
0xD	PGVBP		表示
0xE	PBSC		表示
0xF	PGFT		表示
0x10	PGTSC		表示
0x11	PGTSO1		表示
0x12	PGTSO2		表示
0x13	PGTSO3		表示
0x14	PGTSO4		表示
0x15	PGTSO5		表示
0x16	PGTSO6		表示
0x17	PGTSO7		表示
0x18	PGTSO8		表示
0x19	PGBE		表示

Copyright © 2022 Texas Instruments Incorporated

表 8-187. パターン・ジェネレータ間接レジスタの概要 (continued)

オフセット	略称	レジスタ名	セクション
1x0A	PGCDC2		表示

表 8-188 に、このセクションでアクセス・タイプに使用しているコードを示します。

表 8-188. レジスタ・アクセス・タイプ・コード

アクセス・タイプ	コード	説明
R	R	読み出し専用アクセス
R/W	R/W	読み出し / 書き込みアクセス
R/W/RC	R/W/RC	読み出し / 書き込みアクセス / 読み出すことでクリア

8.6.4.1 PGRS レジスタ (オフセット = 0x0) [リセット = 0h]

表 8-189 に、PGRS を示します。

概略表に戻ります。

表 8-189. PGRS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PATGEN_RSP	R/W	0h	赤のサブピクセル:このフィールドは、カスタム色のための 8 ビットの赤のサブピクセルです。

8.6.4.2 PGGS レジスタ (オフセット = 0x1) [リセット = 0h]

表 8-190 に、PGGS を示します。

表 8-187 に戻ります。

表 8-190. PGGS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PATGEN_GSP	R/W	0h	緑のサブピクセル:このフィールドは、カスタム色のための 8 ビットの緑のサブピクセルです。

8.6.4.3 PGBS レジスタ (オフセット = 0x2) [リセット = 0h]

表 8-191 に、PGBS を示します。

表 8-187 に戻ります。

表 8-191. PGBS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PATGEN_BSP	R/W	0h	青のサブピクセル:このフィールドは、カスタム色のための 8 ビットの青のサブピクセルです。

8.6.4.4 PGCDC1 レジスタ (オフセット = 0x3) [リセット = 8h]

表 8-192 に、PGCDC1 を示します。

表 8-187 に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-192. PGCDC1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESERVED	R	0h	予約済み
6-0	PATGEN_CDIV_N	R/W	8h	クロック・デバイダ: このフィールドは、内部で生成されるピクセル・クロックのクロック・デバイダを設定します。PGCDC2:PGEN_CDIV_M が 1 である場合、内部ピクセル・クロック周波数の公称値は (200/N) MHz です。 PGCDC2:PGEN_CDIV_M が 1 より大きい場合、内部ピクセル・クロック周波数の公称値は (800*M/N) MHz です。

8.6.4.5 PGTFS1 レジスタ (オフセット = 0x4) [リセット = 48h]

表 8-193 に、PGTFS1 を示します。

表 8-187 に戻ります。

表 8-193. PGTFS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PATGEN_THW_7:0	R/W	48h	総水平幅: このフィールドは、フレームの 12 ビット総水平幅 (単位:ピクセル) の下位 8 ビットです。このフィールドは、パターン・ジェネレータが無効化されている場合以外は書き込まないでください。

8.6.4.6 PGTFS2 レジスタ (オフセット = 0x5) [リセット = 53h]

表 8-194 に、PGTFS2 を示します。

表 8-187 に戻ります。

表 8-194. PGTFS2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	PATGEN_TVW_3:0	R/W	5h	総垂直幅: このフィールドは、フレームの 12 ビット総垂直幅 (単位:ライン) の下位 4 ビットです。このフィールドは、パターン・ジェネレータが無効化されている場合以外は書き込まないでください。
3-0	PATGEN_THW_11:8	R/W	3h	総水平幅: このフィールドは、フレームの 12 ビット総水平幅 (単位:ピクセル) の上位 4 ビットです。このフィールドは、パターン・ジェネレータが無効化されている場合以外は書き込まないでください。

8.6.4.7 PCTFS3 レジスタ (オフセット = 0x6) [リセット = 1Eh]

表 8-195 に、PCTFS3 を示します。

表 8-187 に戻ります。

表 8-195. PCTFS3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PATGEN_TVW_11:4	R/W	1Eh	総垂直幅: このフィールドは、フレームの 12 ビット総垂直幅 (単位:ライン) の上位 8 ビットです。このフィールドは、パターン・ジェネレータが無効化されている場合以外は書き込まないでください。

8.6.4.8 PGAFS1 レジスタ (オフセット = 0x7) [リセット = 20h]

表 8-196 に、PGAFS1 を示します。

Copyright © 2022 Texas Instruments Incorporated

表 8-187 に戻ります。

表 8-196. PGAFS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PATGEN_AHW_7:0	R/W	20h	有効水平幅: このフィールドは、フレームの 12 ビット有効水平幅 (単位:ピクセル) の下位 8 ビットです。このフィールドは、パターン・ジェネレータが無効化されている場合以外は書き込まないでください。

8.6.4.9 PGAFS2 レジスタ (オフセット = 0x8) [リセット = 3h]

表 8-197 に、PGAFS2 を示します。

表 8-187 に戻ります。

表 8-197. PGAFS2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	PATGEN_AVW_3:0	R/W	0h	有効垂直幅: このフィールドは、フレームの 12 ビット有効垂直幅 (単位:ライン) の下位 4 ビットです。このフィールドは、パターン・ジェネレータが無効化されている場合以外は書き込まないでください。
3-0	PATGEN_AHW_11:8	R/W	3h	有効水平幅: このフィールドは、フレームの 12 ビット有効水平幅 (単位:ピクセル) の上位 4 ビットです。このフィールドは、パターン・ジェネレータが無効化されている場合以外は書き込まないでください。

8.6.4.10 PGAFS3 レジスタ (オフセット = 0x9) [リセット = 1Eh]

表 8-198 に、PGAFS3 を示します。

表 8-187 に戻ります。

表 8-198. PGAFS3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PATGEN_AVW_11:4	R/W	1Eh	有効垂直幅: このフィールドは、フレームの 12 ビット有効垂直幅 (単位:ライン) の上位 8 ビットです。このフィールドは、パターン・ジェネレータが無効化されている場合以外は書き込まないでください。

8.6.4.11 PGHSW レジスタ (オフセット = 0xA) [リセット = Ah]

表 8-199 に、PGHSW を示します。

表 8-187 に戻ります。

表 8-199. PGHSW レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PATGEN_HSW	R/W	Ah	水平同期幅: このフィールドは水平同期パルスの幅 (単位:ピクセル) を制御します。有効な値は 1～255 です。このフィールドは、パターン・ジェネレータが無効化されている場合以外は書き込まないでください。

8.6.4.12 PGVSW レジスタ (オフセット = 0xB) [リセット = 2h]

表 8-200 に、PGVSW を示します。

Copyright © 2022 Texas Instruments Incorporated

表 8-187 に戻ります。

表 8-200. PGVSW レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PATGEN_VSW	R/W	2h	垂直同期幅: このフィールドは垂直同期パルスの幅 (単位:ライン) を制御します。有効な値は 1～255 です。このフィールドは、パターン・ジェネレータが無効化されている場合以外は書き込まないでください。

8.6.4.13 PGHBP レジスタ (オフセット = 0xC) [リセット = Ah]

表 8-201 に、PGHBP を示します。

表 8-187 に戻ります。

表 8-201. PGHBP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PATGEN_HBP	R/W	Ah	水平バック・ポーチ幅: このフィールドは水平バック・ポーチの幅 (単位:ピクセル) を制御します。有効な値は 1～255 です。このフィールドは、パターン・ジェネレータが無効化されている場合以外は書き込まないでください。

8.6.4.14 PGVBP レジスタ (オフセット = 0xD) [リセット = 2h]

表 8-202 に、PGVBP を示します。

表 8-187 に戻ります。

表 8-202. PGVBP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PATGEN_VBP	R/W	2h	垂直バック・ポーチ幅: このフィールドは垂直バック・ポーチの幅 (単位:ライン) を制御します。有効な値は 1～255 です。このフィールドは、パターン・ジェネレータが無効化されている場合以外は書き込まないでください。

8.6.4.15 PBSC レジスタ (オフセット = 0xE) [リセット = 3h]

表 8-203 に、PBSC を示します。

表 8-187 に戻ります。

表 8-203. PBSC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	RESERVED	R	0h	予約済み
3	RESERVED	R	0h	予約済み
2	PATGEN_HS_DIS	R/W	0h	水平同期の無効化: パターン・ジェネレータが内部タイミング・モードにある場合、水平同期信号伝達を無効化します。パターン・ジェネレータが外部タイミング・モードにある場合、このビットは何の影響も及ぼしません。このビットは、パターン・ジェネレータが無効化されている場合以外は書き込まないでください。
1	PATGEN_VS_POL	R/W	1h	垂直同期の極性: 1 に設定すると、内部タイミング・モードの際にパターン・ジェネレータは垂直同期信号を反転させます。パターン・ジェネレータが外部タイミング・モードにある場合、このビットは何の影響も及ぼしません。このビットは、パターン・ジェネレータが無効化されている場合以外は書き込まないでください。

Copyright © 2022 Texas Instruments Incorporated

表 8-203. PBSC レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
0	PATGEN_HS_POL	R/W	1h	水平同期の極性: 1 に設定すると、内部タイミング・モードの際にパターン・ジェネレータは水平同期信号を反転させます。パターン・ジェネレータが外部タイミング・モードにある場合、このビットは何の影響も及ぼしません。このビットは、パターン・ジェネレータが無効化されている場合以外は書き込まないでください。

8.6.4.16 PGFT レジスタ (オフセット = 0xF) [リセット = 1Eh]

表 8-204 に、PGFT を示します。

表 8-187 に戻ります。

表 8-204. PGFT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PATGEN_FTIME	R/W	1Eh	フレーム時間: 自動スクロールが有効化されている場合、このフィールドは、2 フレームずつインクリメントして各パターンを表示するフレーム数を制御します。有効なレジスタ値は 1～255 であり、2～510 のすべての偶数をプログラムできます。

8.6.4.17 PGTSC レジスタ (オフセット = 0x10) [リセット = Ch]

表 8-205 に、PGTSC を示します。

表 8-187 に戻ります。

表 8-205. PGTSC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	RESERVED	R	0h	予約済み
4-0	PATGEN_TSLOT	R/W	Ch	タイム・スロット: このフィールドは、自動スクロールのための有効なタイム・スロットの数を設定します。有効な値は 1～16 です。

8.6.4.18 PGTSO1 レジスタ (オフセット = 0x11) [リセット = 21h]

表 8-206 に、PGTSO1 を示します。

表 8-187 に戻ります。

表 8-206. PGTSO1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	PATGEN_TS2	R/W	2h	タイム・スロット 2 パターン: このフィールドは、タイム・スロット 2 で有効化されるパターンを設定します。有効な値は 0～15 です。
3-0	PATGEN_TS1	R/W	1h	タイム・スロット 1 パターン: このフィールドは、タイム・スロット 1 で有効化されるパターンを設定します。有効な値は 0～15 です。

8.6.4.19 PGTSO2 レジスタ (オフセット = 0x12) [リセット = 43h]

表 8-207 に、PGTSO2 を示します。

表 8-187 に戻ります。

Copyright © 2022 Texas Instruments Incorporated

表 8-207. PGTSO2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	PATGEN_TS4	R/W	4h	タイム・スロット 4 パターン: このフィールドは、タイム・スロット 4 で有効化されるパターンを設定します。有効な値は 0～15 です。
3-0	PATGEN_TS3	R/W	3h	タイム・スロット 3 パターン: このフィールドは、タイム・スロット 3 で有効化されるパターンを設定します。有効な値は 0～15 です。

8.6.4.20 PGTSO3 レジスタ (オフセット = 0x13) [リセット = 65h]

表 8-208 に、PGTSO3 を示します。

表 8-187 に戻ります。

表 8-208. PGTSO3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	PATGEN_TS6	R/W	6h	タイム・スロット 6 パターン: このフィールドは、タイム・スロット 6 で有効化されるパターンを設定します。有効な値は 0～15 です。
3-0	PATGEN_TS5	R/W	5h	タイム・スロット 5 パターン: このフィールドは、タイム・スロット 5 で有効化されるパターンを設定します。有効な値は 0～15 です。

8.6.4.21 PGTSO4 レジスタ (オフセット = 0x14) [リセット = 87h]

表 8-209 に、PGTSO4 を示します。

表 8-187 に戻ります。

表 8-209. PGTSO4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	PATGEN_TS8	R/W	8h	タイム・スロット 8 パターン: このフィールドは、タイム・スロット 8 で有効化されるパターンを設定します。有効な値は 0～15 です。
3-0	PATGEN_TS7	R/W	7h	タイム・スロット 7 パターン: このフィールドは、タイム・スロット 7 で有効化されるパターンを設定します。有効な値は 0～15 です。

8.6.4.22 PGTSO5 レジスタ (オフセット = 0x15) [リセット = A9h]

表 8-210 に、PGTSO5 を示します。

表 8-187 に戻ります。

表 8-210. PGTSO5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	PATGEN_TS10	R/W	Ah	タイム・スロット 10 パターン: このフィールドは、タイム・スロット 10 で有効化されるパターンを設定します。有効な値は 0～15 です。
3-0	PATGEN_TS9	R/W	9h	タイム・スロット 9 パターン: このフィールドは、タイム・スロット 9 で有効化されるパターンを設定します。有効な値は 0～15 です。

Copyright © 2022 Texas Instruments Incorporated

8.6.4.23 PGTSO6 レジスタ (オフセット = 0x16) [リセット = CBh]

表 8-211 に、PGTSO6 を示します。

表 8-187 に戻ります。

表 8-211. PGTSO6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	PATGEN_TS12	R/W	Ch	タイム・スロット 12 パターン: このフィールドは、タイム・スロット 12 で有効化されるパターンを設定します。有効な値は 0～15 です。
3-0	PATGEN_TS11	R/W	Bh	タイム・スロット 11 パターン: このフィールドは、タイム・スロット 11 で有効化されるパターンを設定します。有効な値は 0～15 です。

8.6.4.24 PGTSO7 レジスタ (オフセット = 0x17) [リセット = EDh]

表 8-212 に、PGTSO7 を示します。

表 8-187 に戻ります。

表 8-212. PGTSO7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	PATGEN_TS14	R/W	Eh	タイム・スロット 14 パターン: このフィールドは、タイム・スロット 14 で有効化されるパターンを設定します。有効な値は 0～15 です。
3-0	PATGEN_TS13	R/W	Dh	タイム・スロット 13 パターン: このフィールドは、タイム・スロット 13 で有効化されるパターンを設定します。有効な値は 0～15 です。

8.6.4.25 PGTSO8 レジスタ (オフセット = 0x18) [リセット = Fh]

表 8-213 に、PGTSO8 を示します。

表 8-187 に戻ります。

表 8-213. PGTSO8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	PATGEN_TS16	R/W	0h	タイム・スロット 16 パターン: このフィールドは、タイム・スロット 16 で有効化されるパターンを設定します。有効な値は 0～15 です。
3-0	PATGEN_TS15	R/W	Fh	タイム・スロット 15 パターン: このフィールドは、タイム・スロット 15 で有効化されるパターンを設定します。有効な値は 0～15 です。

8.6.4.26 PGBE レジスタ (オフセット = 0x19) [リセット = 0h]

表 8-214 に、PGBE を示します。

表 8-187 に戻ります。

表 8-214. PGBE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PATGEN_BIST_ERRS	R	0h	読み出すとクリア

Copyright © 2022 Texas Instruments Incorporated

8.6.4.27 PGCDC2 レジスタ (オフセット = 0x1A) [リセット = 1h]

表 8-215 に、PGCDC2 を示します。

表 8-187 に戻ります。

表 8-215. PGCDC2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	RESERVED	R	0h	予約済み
4-0	PATGEN_CDIV_M	R/W	1h	クロック・デバイダ: このフィールドは、内部で生成されるピクセル・クロックのクロック・デバイダを設定します。PGCDC2:PGEN_CDIV_M が 1 である場合、内部ピクセル・クロック周波数の公称値は (200/N) MHz です。 PGCDC2:PGEN_CDIV_M が 1 より大きい場合、内部ピクセル・クロック周波数の公称値は (800*M/N) MHz です。

Copyright © 2022 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

DS90UH941AS-Q1 は、DS90UH940N-Q1 または DS90UH948-Q1 デシリアライザと組み合わせることで、ホスト (グラフィックス・プロセッサ) とディスプレイを接続し、24 ビット・カラー深度 (RGB888) および高解像度 (1080p) デジタル・ビデオ形式をサポートすることを目的としています。本デバイスは、最大 210MHz のピクセル・クロック・レートの 1 つの 8 ビット RGB ストリームと 4 つの I2S オーディオ・ストリームを同時に受信できます。DS90UH941AS-Q1 は、DS90UH940N-Q1 と組み合わせた場合は最大 170MHz のピクセル・クロックをサポートでき、DS90UH948-Q1 と組み合わせた場合は最大 192MHz のピクセル・クロックをサポートできます。

Copyright © 2022 Texas Instruments Incorporated

9.2 代表的なアプリケーション

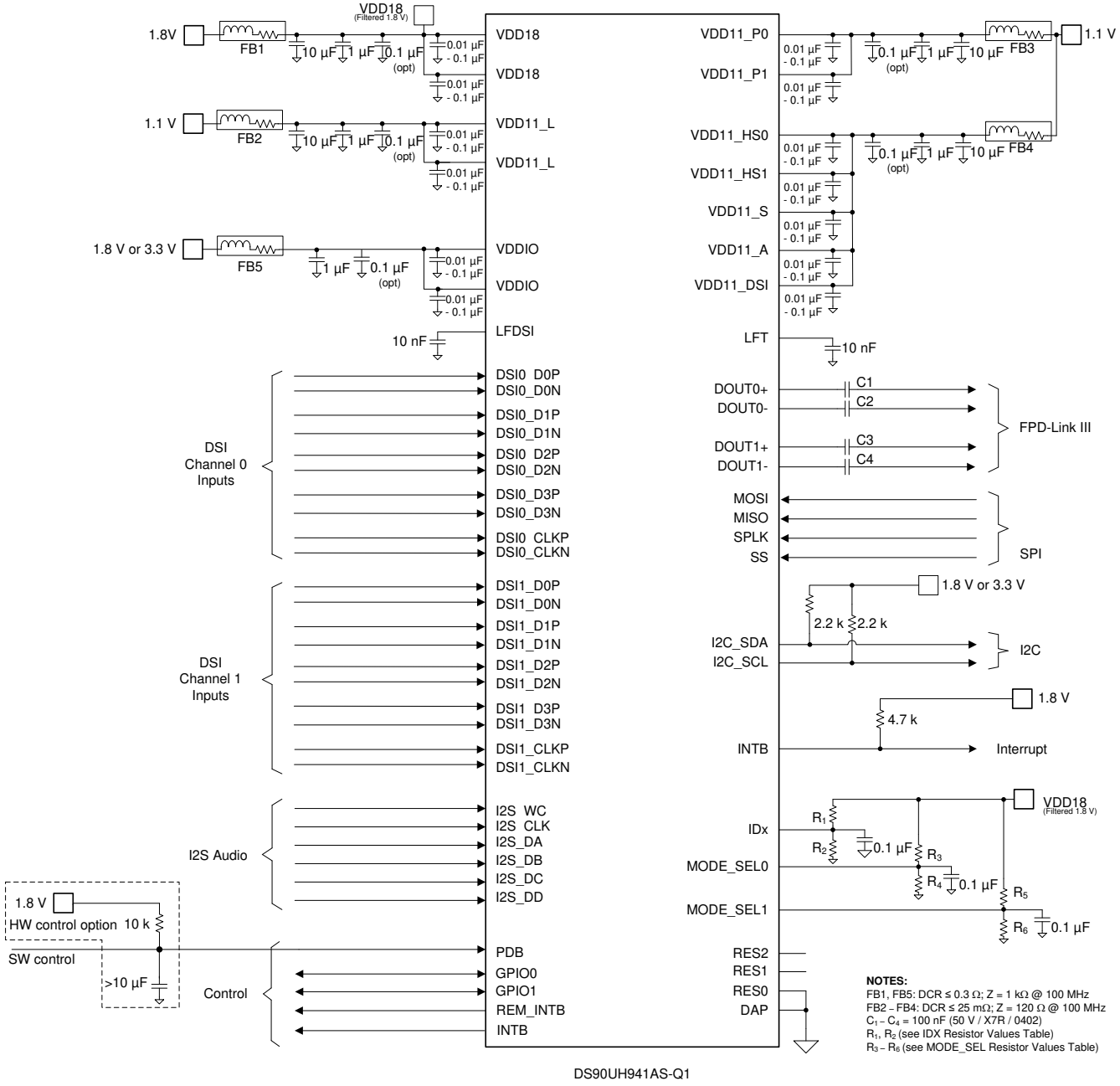


図 9-1. 代表的な接続図 - STP

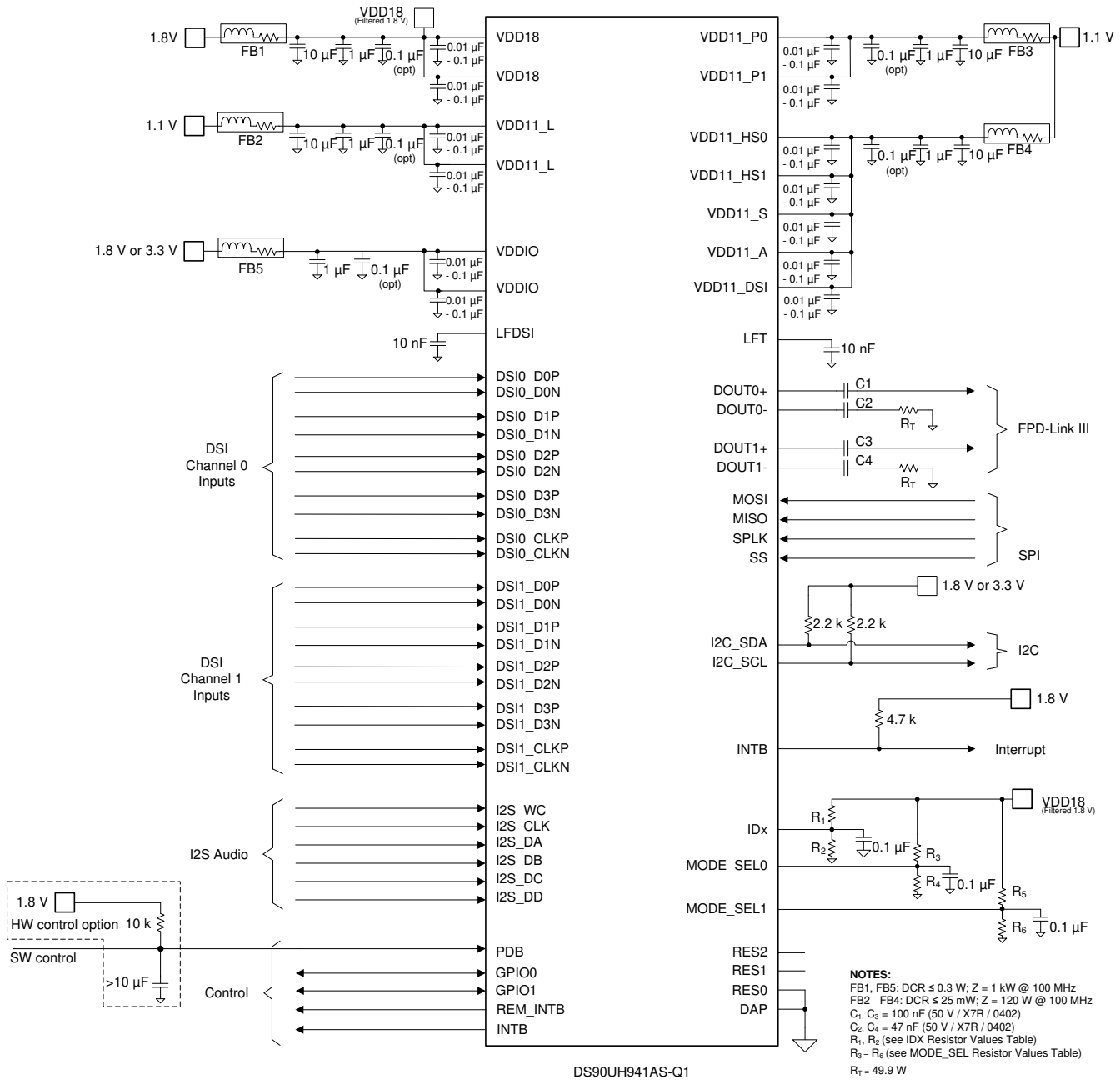


図 9-2. 代表的な接続図 - 同軸

Copyright © 2022 Texas Instruments Incorporated

9.2.1 設計要件

FPD-Link III インターフェイスは、内部 DC 平衡化デコード方式を使用した AC 結合相互接続のみをサポートしています。外付け AC カップリング・コンデンサを FPD-Link III 信号路に直列に配置する必要があります (図 9-3 と図 9-4 を参照)。

表 9-1. 設計パラメータ

設計パラメータ	値の例
VDDIO	1.8V
STP 用 AC カップリング・コンデンサ:DOUT0±、DOUT1±	100nF (50V/X7R/0402)
同軸用、AC カップリング・コンデンサ:DOUT0+、DOUT1+	100nF (50V/X7R/0402)
同軸用、AC カップリング・コンデンサ:DOUT0-、DOUT1-	47nF (50V/X7R/0402)

シングルエンドの 50Ω 同軸ケーブルを使用したアプリケーションでは、未使用のデータ・ピン (DOUT0-、DOUT1-) を AC カップリング・コンデンサと 50Ω の抵抗で終端します。

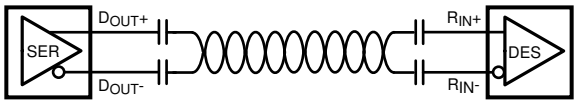


図 9-3. AC 結合接続 (STP)

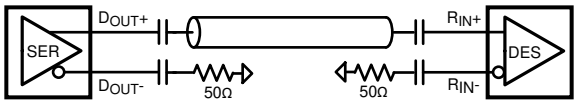


図 9-4. AC 結合接続 (同軸)

高速 FPD–Link III 伝送の場合、できるだけ小さいパッケージの AC カップリング・コンデンサを使用する必要があります。これにより、パッケージの寄生素子に起因する信号品質の劣化を最小限に抑えることができます。

9.2.2 詳細な設計手順

9.2.2.1 高速相互接続のガイドライン

詳細については、AN-1108『チャネル・リンク PCB と相互接続デザイン・インのガイドライン』(SNLA008) と AN-905『伝送ライン RAPIDESIGNER の操作とアプリケーションのガイドライン』(SNLA035) を参照してください。

- 100Ω 結合の差動ペアを使用します。
- 間隔には S/2S/3S ルールを使います。
  - S = ペア内の配線間隔
  - 2S = ペア間の配線間隔
  - 3S = LVCMOS 信号との間隔
- ビアの数は可能な限り抑えてください。
- 500Mbps 以上のライン速度で動作させる場合は差動用コネクタを使用してください。
- 配線のバランスを維持してください。
- ペア内のスキューを可能な限り抑えてください。
- TX 出力と RX 入力にできる限り近い位置で終端します。

その他の一般的な指針については、ti.com の『LVDS オーナーズ・マニュアル』(SNLA187) を参照してください。

Copyright © 2022 Texas Instruments Incorporated

9.2.3 アプリケーション曲線

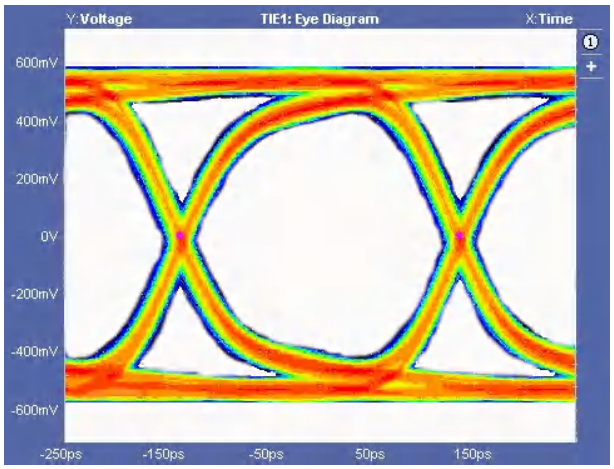


図 9-5. シリアライザ出力、3.675Gbps、デュアル FPD-Link、PCLK = 210MHz

Copyright © 2022 Texas Instruments Incorporated

10 電源に関する推奨事項

本デバイスは、回路の各種部分に独立した電源およびグランド・ピンを備えています。電源系を分離する目的は、スイッチング・ノイズの影響を回路間で遮断するためです。このようなデバイスに対して、通常、プリント基板の層を分ける必要はありません。セクション ピン機能セクションに、どの回路ブロックがどの電源ピンに接続されているかをまとめています。なお場合によっては、PLL のようなノイズに敏感な回路部分にクリーンな電源を供給するために、外部フィルタを用います。

10.1 VDD 電源

各 VDD 電源ピンには、DS90UH941AS-Q1 デバイスにできるだけ近づけて、グランドとの間に 10nF (または 100nF) のコンデンサを接続する必要があります。 追加のデカップリング・コンデンサ (1µF と 10µF) を、ピンと電源プレーンとの間に接続することを推奨します。

10.2 パワーアップと初期化

DS90UH941AS-Q1 に使える推奨電源オン・シーケンスは 2 つあります。

シーケンス A:

1. V_{DDIO} と V_{DD18} を印加します。
   - 1.8V V_{DDIO} オプションを選択する場合、V_{DDIO} と V_{DD18} は、同じ電源から電力を供給する必要があります。
   - 3.3V V_{DDIO} オプションを選択する場合、V_{DDIO} への電力の供給は、V_{DD18} の前でも後でもかまいません。
2. V_{DD11}
3. すべての電源が落ち着くまで待ちます。
4. ピクセル・クロック (DSI クロックと REFCLK のどちらか) を印加します。
5. ピクセル・クロックが目標周波数の 0.5% 以内に落ち着くまで待ちます。
6. PDB をアサートします。
7. DSI 入力を印加します。
8. 本デバイスを初期化します。

図 10-2 を参照してください。

図 10-2 に示す初期化シーケンス 941A Init は、任意のユーザー定義のデバイス設定と、以下の手順で構成されています。

1. DSI 入力が有効化されている状態 (MODE_SEL1 ストラップ・オプション) で本デバイスを起動する場合、RESET_CTL レジスタで DISABLE_DSI 0x01[3] =1 を設定することで、DSI 入力を無効化します。
2. ここで、任意のユーザー定義のデバイス設定を挿入します。
3. 動作する DSI クロック周波数に基づいて DSI 間接レジスタ 0x05 の TSKIP_CNT フィールドを設定します。詳細については、「*セクション 8.3.1.2*」を参照してください。
4. 内部 DSI クロック設定を初期化します。
   - レジスタ 0x40 = 0x10
   - レジスタ 0x41 = 0x86
   - レジスタ 0x42 = 0x0A
   - レジスタ 0x41 = 0x94
   - レジスタ 0x42 = 0x0A
5. RESET_CTL レジスタで DISABLE_DSI 0x01[3] =0 を設定することで DSI 入力を有効化します。

シーケンス B:

1. V_{DDIO} と V_{DD18} を印加します。
   - 1.8V V_{DDIO} オプションを選択する場合、V_{DDIO} と V_{DD18} は、同じ電源から電力を供給する必要があります。
   - 3.3V V_{DDIO} オプションを選択する場合、V_{DDIO} への電力の供給は、V_{DD18} の前でも後でもかまいません。
2. V_{DD11}
3. すべての電源が落ち着くまで待ちます。

Copyright © 2022 Texas Instruments Incorporated

4. PDB をアサートします。
5. ピクセル・クロック (DSI クロックと REFCLK のどちらか) を印加します。
6. DSI 入力を印加します。
7. ピクセル・クロックが目標周波数の 0.5% 以内に落ち着くまで待ちます。
8. 本デバイスを初期化します。

図 10-3 を参照してください。

図 10-2 に示す初期化シーケンス 941AS Init は、任意のユーザー定義のデバイス設定と、以下の手順で構成されています。

1. RESET_CTL レジスタで DIGITAL_RESET1 0x01[1] =1 を設定することで本デバイスをリセットします。
2. DSI 入力が有効化されている状態 (MODE_SEL1 ストラップ・オプション) で本デバイスを起動する場合、RESET_CTL レジスタで DISABLE_DSI 0x01[3] =1 を設定することで、DSI 入力を無効化します。
3. ここで、任意のユーザー定義のデバイス設定を挿入します。
4. 動作する DSI クロック周波数に基づいて DSI 間接レジスタ 0x05 の TSKIP_CNT フィールドを設定します。詳細については、「*セクション 8.3.1.2*」を参照してください。
5. 内部 DSI クロック設定を初期化します。
   - レジスタ 0x40 = 0x10
   - レジスタ 0x41 = 0x86
   - レジスタ 0x42 = 0x0A
   - レジスタ 0x41 = 0x94
   - レジスタ 0x42 = 0x0A
6. RESET_CTL レジスタで DISABLE_DSI 0x01[3] =0 を設定することで DSI 入力を有効化します。

デバイスの起動の詳細については、『DS90UB941AS-Q1 DSI 開発ガイド』アプリケーション・ノート (SNLA356) を参照してください。

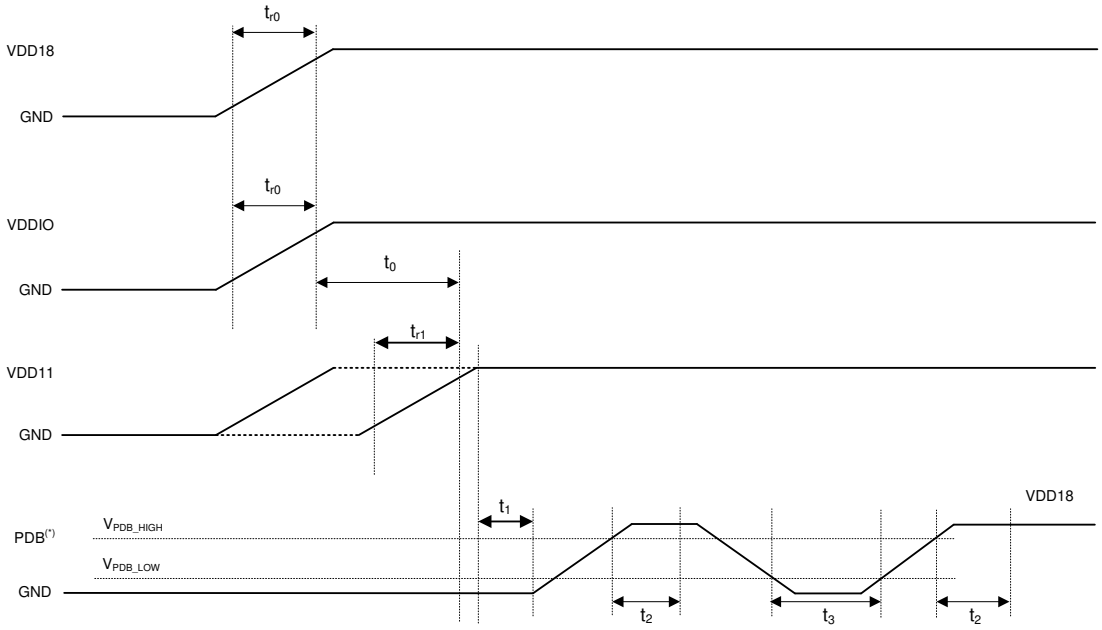
表 10-1. 電源オンと初期化シーケンスのタイミング図

パラメータ		最小値	標準値	最大値	単位	注
t_{r0}	VDD18/VDDIO 立ち上がり時間	0.2			ms	@10/90%
t_{r1}	VDD11 立ち上がり時間	0.05			ms	@10/90%
t_0	VDD18/VDDIO から VDD11 までの遅延	0			ms	
t_1	VDDx から PDB までの遅延	0			ms	すべての電源がオンされ、落ち着いた後で、PDB を解放します。
t_2	PDB から I2C レディ (IDX および MODE 有効) までの遅延	2			ms	
t_3	本デバイスのリセットに必要な PDB 負パルス幅	2			ms	ハード・リセット
t_4	DSI の遅延時間	0			ms	PDB が解放された後、DSI を印加します。

Copyright © 2022 Texas Instruments Incorporated

表 10-1. 電源オンと初期化シーケンスのタイミング図 (continued)

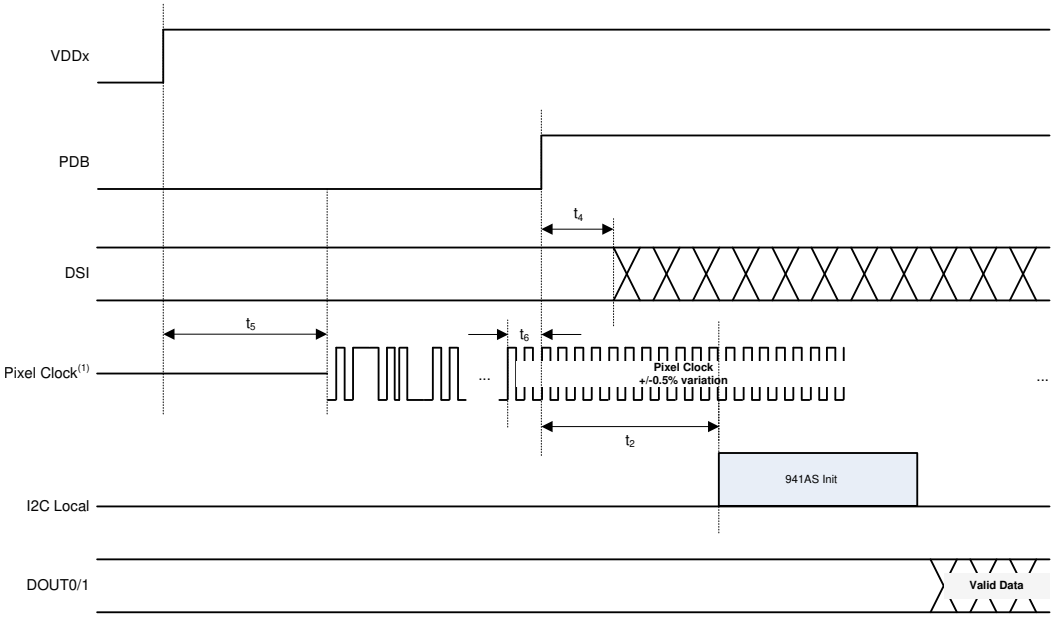
パラメータ		最小値	標準値	最大値	単位	注
t_5	ピクセル・クロックの遅延時間	0			ms	すべての電源をオンした後、ピクセル・クロック (DSI クロックまたは REFCLK) を印加します。このクロックは PDB の状態とは無関係に印加できますが、PDB の前に印加する場合、シーケンス A に従う必要があります。そうではなく PDB の後に印加する場合、シーケンス B に従う必要があります。
t_6	ピクセル・クロックが落ち着いてから初期化までの遅延時間	1			µs	ピクセル・クロック (DSI クロックまたは REFCLK) の周波数は目標周波数の 0.5% 以内であり、本デバイスの初期化 (シーケンス B) または PDB の解放 (シーケンス A) の前に落ち着いている必要があります。



(*) It is recommended to assert PDB (active High) with a microcontroller rather than an RC filter network to help ensure proper sequencing of PDB pin after settling of power supplies.

Copyright © 2018, Texas Instruments Incorporated

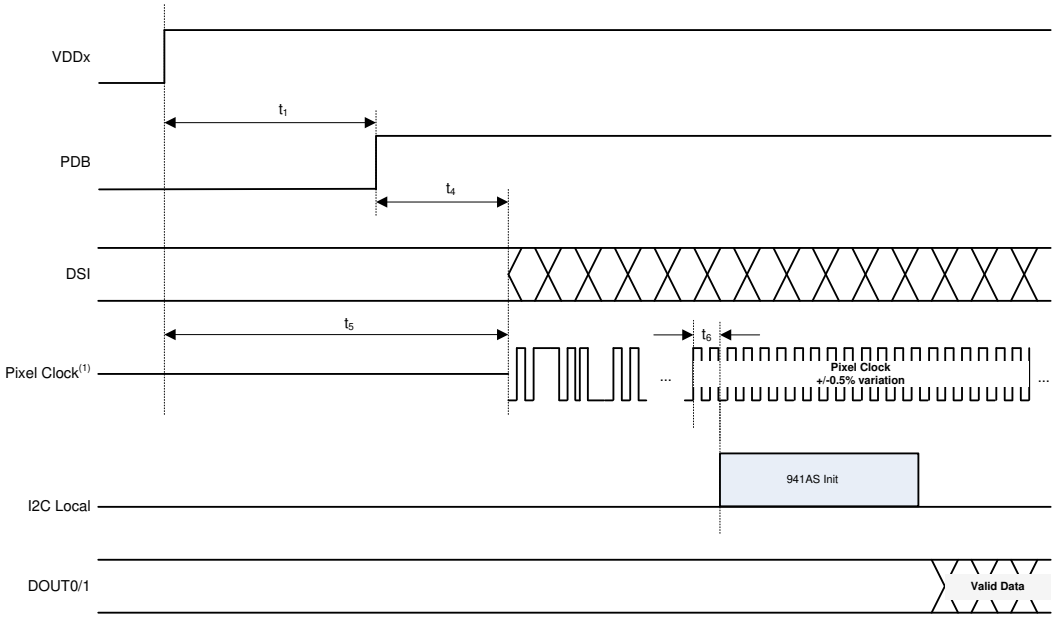
図 10-1. 電源オン・シーケンス



(1) Pixel clock is a clock reference for the FPD-Link III transceiver. Depending on the mode of operation, the pixel clock may be derived from a DSI clock, an external clock source, or an internal clock reference.

Copyright © 2018, Texas Instruments Incorporated

図 10-2. 初期化シーケンス A



(1) Pixel clock is a clock reference for the FPD-Link III transceiver. Depending on the mode of operation, the pixel clock may be derived from a DSI clock, an external clock source, or an internal clock reference.

Copyright © 2018, Texas Instruments Incorporated

図 10-3. 初期化シーケンス B

Copyright © 2022 Texas Instruments Incorporated

11 レイアウト

11.1 レイアウトのガイドライン

FPD-Link III シリアライザおよびデシリアライザ・デバイスのプリント基板レイアウトと層構成は、デバイスにローノイズの電源を供給するように設計する必要があります。不要な浮遊ノイズ、帰還、干渉を最小に抑えるため、高い周波数または高いレベルの入力と出力を離してレイアウトすることも推奨します。また、0.05～0.1mm 程度の薄い誘電体材料を電源層とグランド層の間に使用すると、電源系の性能を大きく改善できる場合があります。この構成では、PCB 電源システムに層間容量を利用することで、低インダクタンスを実現しています。この構成は、特に高い周波数で効果的であることが知られており、外付けバイパス・コンデンサの数値と配置の重要性が緩和されます。外付けバイパス・コンデンサには、RF セラミックとタンタル電解の両方のタイプを含める必要があります。高周波セラミック・コンデンサの値は、0.01µF から 0.1µF の範囲を使用します。タンタル・コンデンサの値は 2.2µF から 10µF の範囲とします。 タンタル・コンデンサを使用する場合の電圧定格は、使用する電源電圧の 5 倍以上にします。

寄生成分が小さい表面実装コンデンサを推奨します。1 つの電源ピンに複数のコンデンサを配置する場合は、容量が小さいコンデンサをピンに近づけて配置します。また大容量コンデンサを回路の入り口部分に配置してください。大容量コンデンサは通常 50µF～100µF の範囲であり、低周波数のスイッチング・ノイズを平滑化します。 電源およびグランド・ピンを電源およびグランド・プレーンに直接接続し、プレーンに接続されたバイパス・コンデンサの両端にビアを配置することを推奨します。電源ピンまたはグランド・ピンからプリント基板表面でバイパス・コンデンサへ配線を行うと、寄生インダクタンスを増加させてしまいます。

外付けのバイパス・コンデンサは、静電容量の温度依存性が小さい X7R 特性の、0603 や 0402 などの小型チップ・コンデンサを推奨します。寸法が小さいため、コンデンサの寄生インダクタンス分も小さいという利点があります。なお設計の際には、通常 20MHz～30MHz の範囲にある外付けバイパス・コンデンサの自己共振周波数に注意してください。また効果的なバイパスを行うために、複数のコンデンサを用いて、対象となる周波数に対する電源系のインピーダンスを下げる手法がしばしば使われます。高周波のインピーダンスを下げるため、電源ピンまたはグランド・ピンから各層に対して 2 つのビアを設ける手法もよく用いられています。

デバイスによっては、内部の回路部分ごとに電源ピンとグランド・ピンが分離されているものがあります。電源系を分離する目的は、スイッチング・ノイズの影響を回路間で遮断するためです。このようなデバイスに対して、通常、プリント基板の層を分ける必要はありません。どの回路ブロックをどの電源ピン・ペアに接続するかに関する指針については、*セクション 6* の「ピン機能」表を参照してください。なお場合によっては、PLL のようなノイズに敏感な回路部分にクリーンな電源を供給するために、外部フィルタを用います。

DSI ラインから FPD-Link III ラインへの結合を防止するため、DSI 信号系を FPD-Link III ラインから離して配置します。通常、同軸相互接続には 50Ω のシングルエンド・インピーダンスが推奨され、STP 相互接続には 100Ω の差動インピーダンスが推奨されます。近接結合したラインでは、カップリング・ノイズはレシーバ端でコモン・モードとして現れるため除去されます。また、放射ノイズが少ない利点も備えます。

11.1.1 グランド

PCB 設計内の高速信号に対して連続したグランド・プレーン基準を配置することで、グランド・プレーンと並列に配線された信号トレースに最良の鏡像面を提供することを推奨します。

DS90UH941AS-Q1 のサーマル・パッドをこのプレーンにビアで接続します。本デバイスの中心の DAP からグランド・プレーンに 9 つ以上のサーマル・ビアが必要です。これらのビアは、本デバイスのグランドを PCB のグランド・プレーンに接続し、またパッケージの露出パッドから PCB のグランド・プレーンに熱を伝えます。VQFN 型パッケージに関する情報は、テキサス・インスツルメンツの『リードレス・リードフレーム・パッケージ (LLP)』アプリケーション・ノート (SNOA401) を参照してください。

11.1.2 FPD-Link III 信号トレースの配線

DOUT± ピンとコネクタとの間の FPD-Link III 信号トレースの配線は、DS90UH941AS-Q1 の PCB レイアウトを成功させるための最も重要な要素の 1 つです。図 11-1 に、コンパニオン・デシリアライザ・モジュールと STQ ケーブルで接続する

Copyright © 2022 Texas Instruments Incorporated

ように構成された DS90UH941AS-Q1 の PCB レイアウト例を示します。この例の PCB レイアウトの詳細については、『DS90Ux941AS-Q1EVM ユーザー・ガイド』を参照してください。

以下に、DS90UH941AS-Q1 の TX ピン (DOUT±) とコネクタとの間に FPD-Link III 信号トレースを配線するための重要な推奨事項を示します。

- FPD-Link III トレースの配線は、すべて最上層に配置できます。または、EMI が懸念される場合は部分的に中間層に埋め込むことができます。
- AC カップリング・コンデンサは、DS90UH941AS-Q1 の TX ピンに近い最上層に配置する必要があります。
- DOUT トレースは、AC カップリング・コンデンサとコネクタとの間に 100Ω 差動または 50Ω シングルエンド・マイクロストリップとして厳密にインピーダンスを制御 (±10%) して配線します。PCB スタックアップに基づいて、トレースの適切な幅を計算します。
- 100Ω の差動マイクロストリップとして配線する場合、ペア内の長さの不一致を 5mil 未満に抑えます。
- 50Ω のシングルエンド・マイクロストリップとして配線する場合、DOUT+ トレースとの結合が最小限 (S > 3W) になるように DOUT+ トレースを配線します。
- 最適化されたコネクタ・フットプリントを入手するには、コネクタ・メーカーにお問い合わせください。コネクタが IC と同じ側 (表面) に取り付けられている場合、裏面に高速信号トレースを配線することで、スルーホール・コネクタ・スタブの影響を最小限に抑えます。
- 同相モード・ノイズを低減するためにコモン・モード・チョークの実装を選択する場合、すべての不一致の影響を最小化します。

11.1.3 DSI 信号トレースの配線

1. DSI 信号は、制御された 100Ω 差動インピーダンス (±20%) または 50Ω シングルエンド・インピーダンス (±15%) のペアとして配線します。
2. その他の高速信号から遠ざけます。
3. ペア内の長さの不一致を 5mil 未満に抑えます。
4. 1 つの DSI RX ポート内で、ペア間の長さの不一致を 50mil 未満に抑えます。DSI RX ポート 0 の差動配線は、DSI ポート 1 の差動配線と一致させる必要はありません。
5. 配線長を一致させるための調整は、配線長の不一致が発生している場所の近くで行う必要があります。
6. 各ペアは、信号配線幅の 3 倍以上離す必要があります。
7. 差動配線での曲げの使用は最小限に抑えます。曲げを使用する場合、左右の曲げの数は可能な限り等しくし、曲げの角度は 135 度以上とする必要があります。こうすることで、曲げに起因する長さの不一致が最小限に抑えられ、その結果、曲げが EMI に及ぼす影響が最小限に抑えられます。
8. ビアの数を最小限に抑えます。ビアの数を 2 以下にすることを推奨します。
9. グランド・プレーンに隣接する層に配線を配置します。
10. 差動ペアは、プレーンの割れ目の上には配線しないようにします。
11. テスト・ポイントを追加することは、インピーダンスの不連続性をもたらすため、信号性能に悪影響を及ぼします。テスト・ポイントを使用する場合、それらを連続的かつ対称的に配置します。差動ペアにスタブを形成するような方法で、テスト・ポイントを配置するべきではありません。

Copyright © 2022 Texas Instruments Incorporated

11.2 レイアウト例

図 11-1 の PCB レイアウト例は、DS90UH941AS-Q1EVM 評価ボードのレイアウト設計に基づいています。シリアライザ回路基板を設計する際、これらの図とレイアウトの説明を使って、適切な配線を決定します。高速 FPD-Link III のパターンは、コネクタまで差動配線されます。これらの配線パターンは、各隣接層の GND 層と電源層によって内層に埋め込まれます。これらの配線パターンを内層に埋め込むことは、放射の低減に有効です。また、これらの重要な信号パターンの近くにその他の高速信号を配線しないことが重要です。100Ω の差動特性インピーダンスと 50Ω のシングルエンド特性インピーダンスの配線パターンは、STP と同軸の両方のアプリケーションで可能な限り維持します。 同軸回路基板のレイアウトでは、コネクタの近くに DOUT- の終端を備えた 100Ω 結合の配線パターンを使用する必要があります。

図 11-1 に、DOUT± ピンの付近の高速 FPD-Link III のパターンを示します。インピーダンスの不連続性ができるだけ狭い範囲に現れるように、AC カップリング・コンデンサと同相チョークは互いに近接して配置されています。

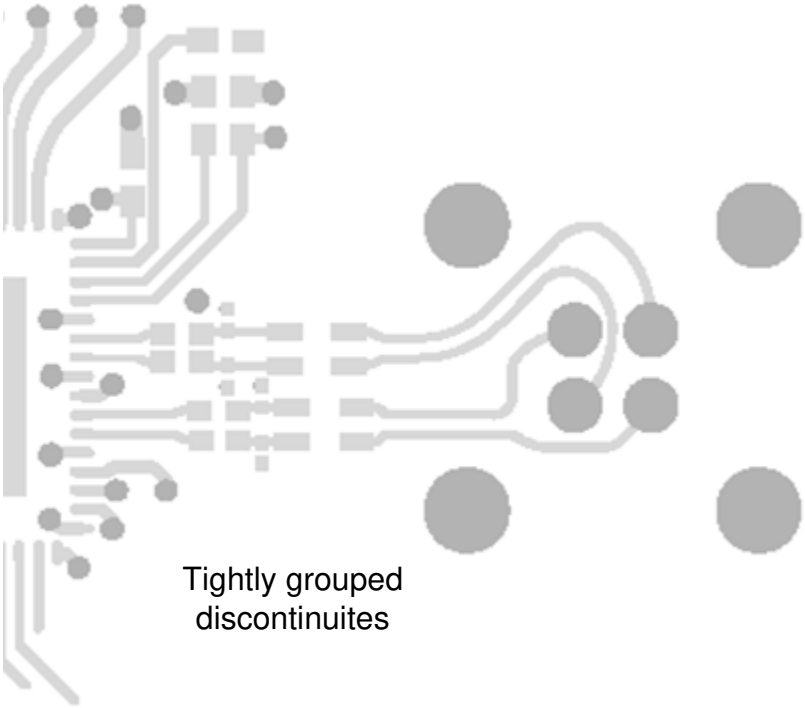


図 11-1. DS90UH941AS-Q1 のシリアライザのレイアウト例

Copyright © 2022 Texas Instruments Incorporated

12 デバイスおよびドキュメントのサポート

12.1 ドキュメントのサポート

12.1.1 関連資料

関連資料については、以下を参照してください。

- *『半田付け仕様』アプリケーション・レポート*、SNOA549
- *『IC パッケージの熱評価基準』アプリケーション・レポート*、SPRA953
- 『チャネル・リンク PCB と相互接続デザイン・インのガイドライン』、SNLA008
- 『転送ライン RAPIDESIGNER 操作およびアプリケーション・ガイド』、SNLA035
- *『LVDS オーナー・マニュアル』*、SNLA187
- 『双方向制御チャネルによる FPD-Link III 上の I2C 通信』、SNLA131
- 『DS90Ux92x FPD-Link III デバイスの I2S オーディオ・インターフェイスの使用法』、SNLA221
- 『720p FPD-Link III デバイスの内部テスト・パターン生成機能の解説』、SNLA132
- *『I2C バスのプルアップ抵抗値の計算』*(SLVA689)
- FPD-Link 学習センタ
- *『FPD-Link III SerDes を対象とする EMC/EMI のシステム設計とテストに関する方法論』*(SLYT719)
- *『車載 EMC/EMI 要件設計のための 10 のヒント』*(SLYT636)

12.2 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

12.3 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

12.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい ESD 対策をとらないと、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

12.5 用語集

TI 用語集　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2022 Texas Instruments Incorporated

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2022 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DS90UH941ASRTDRQ1	Active	Production	VQFN (RTD) | 64	2000 | LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 105	UH941ASQ
DS90UH941ASRTDRQ1.A	Active	Production	VQFN (RTD) | 64	2000 | LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 105	UH941ASQ
DS90UH941ASRTDRQ1.B	Active	Production	VQFN (RTD) | 64	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 105	
DS90UH941ASRTDTQ1	Active	Production	VQFN (RTD) | 64	250 | SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 105	UH941ASQ
DS90UH941ASRTDTQ1.A	Active	Production	VQFN (RTD) | 64	250 | SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 105	UH941ASQ

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

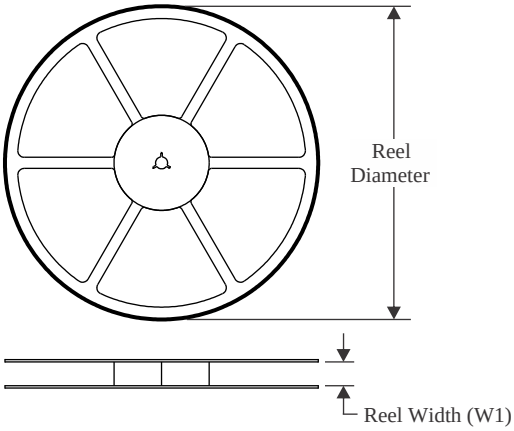
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

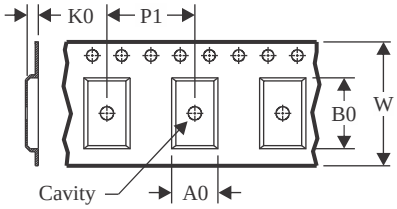
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

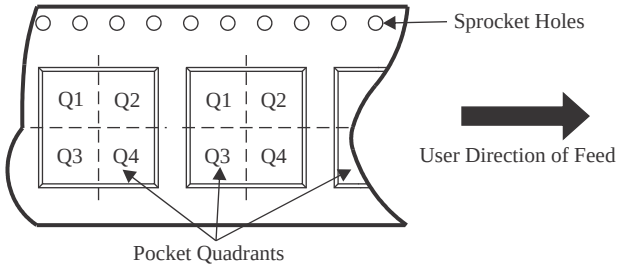


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

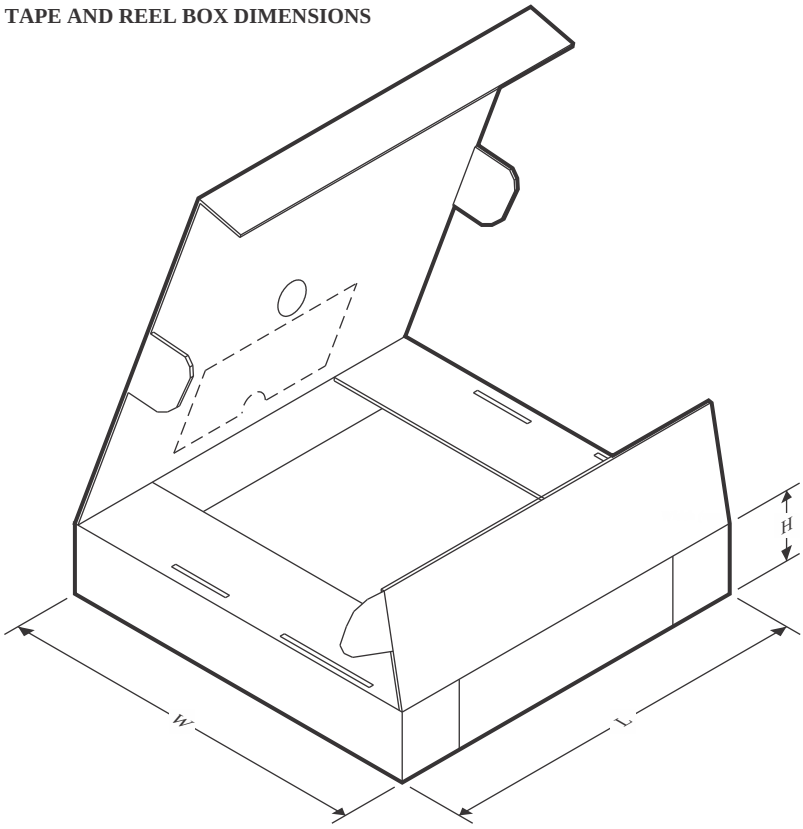
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DS90UH941ASRTDRQ1	VQFN	RTD	64	2000	330.0	16.4	9.3	9.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



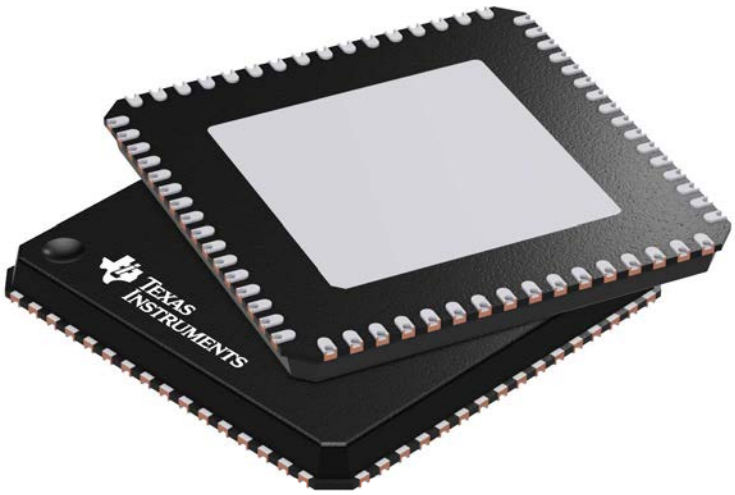
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DS90UH941ASRTDRQ1	VQFN	RTD	64	2000	367.0	367.0	38.0

GENERIC PACKAGE VIEW

RTD 64 VQFNP - 0.9 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



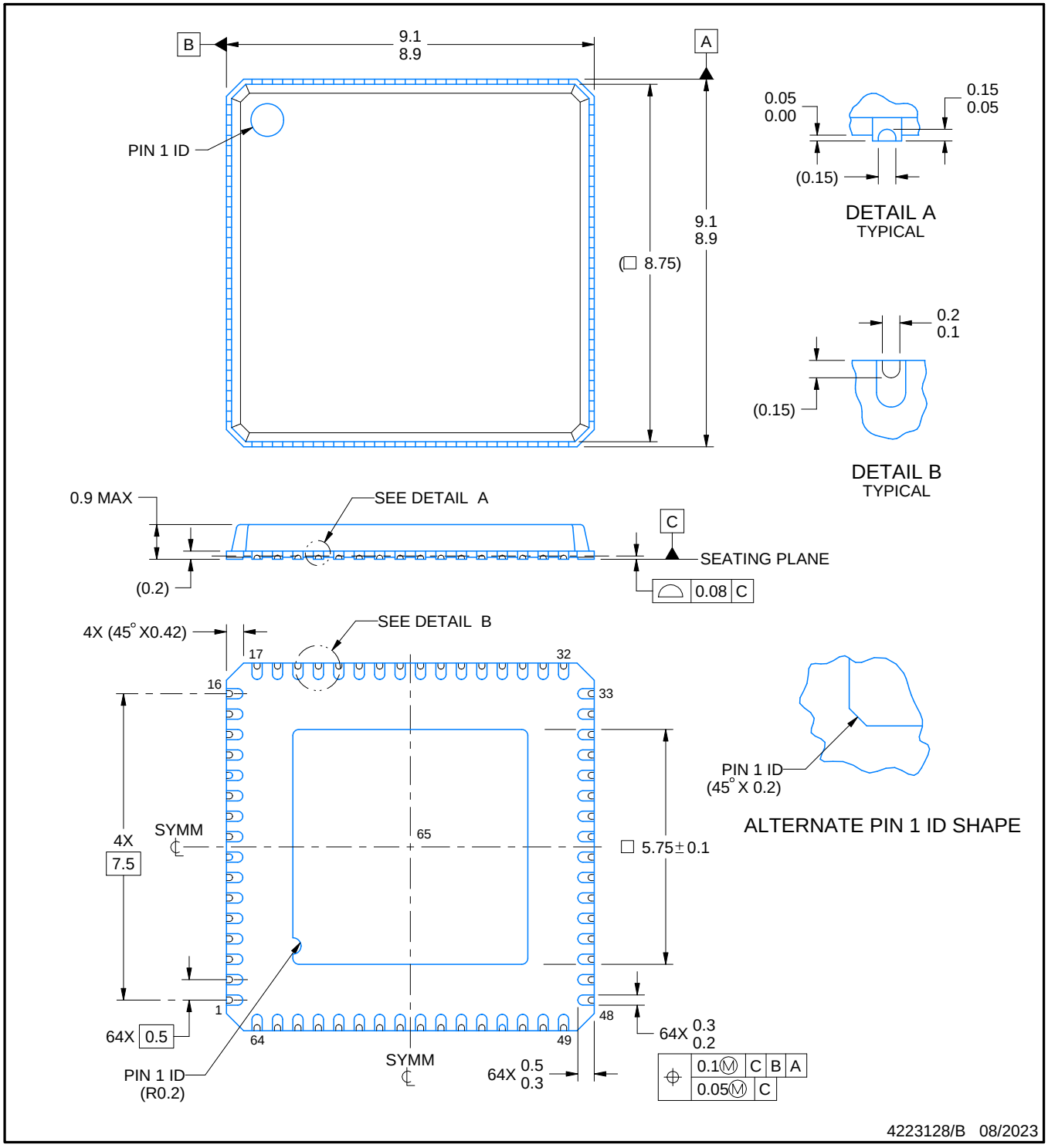
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

RTD0064F

PACKAGE OUTLINE

VQFN - 0.9 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

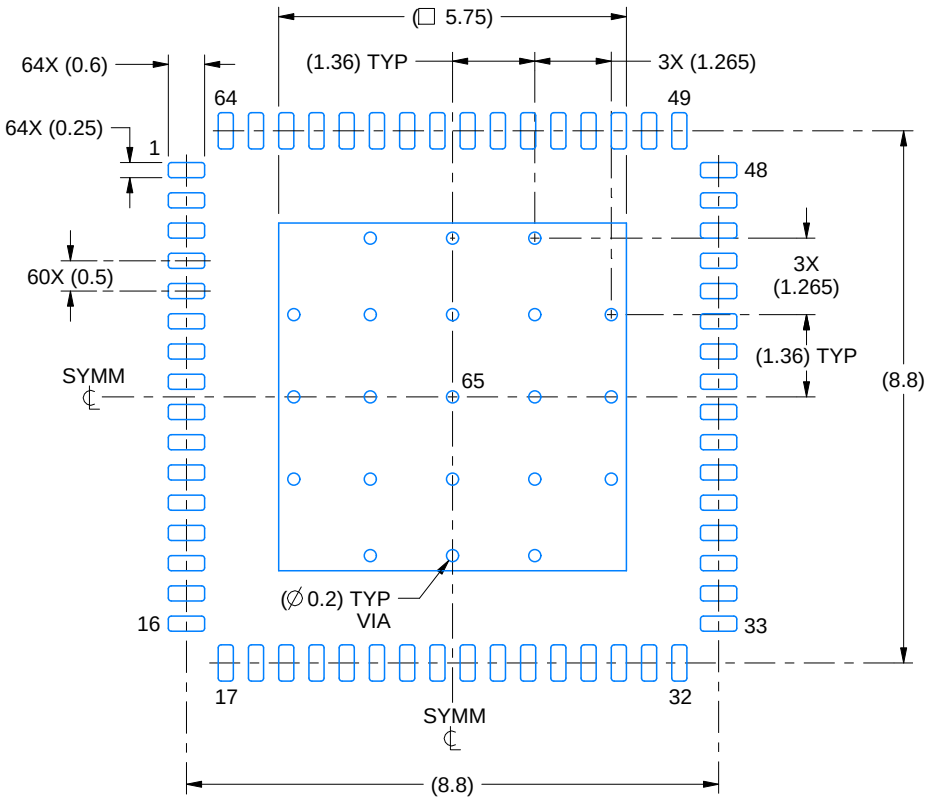
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

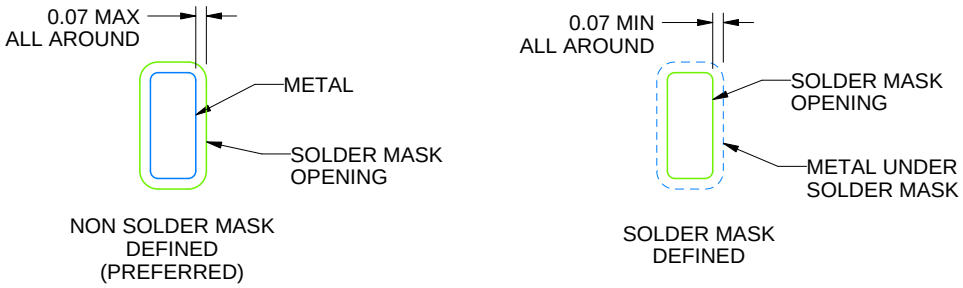
RTD0064F

VQFN - 0.9 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:8X

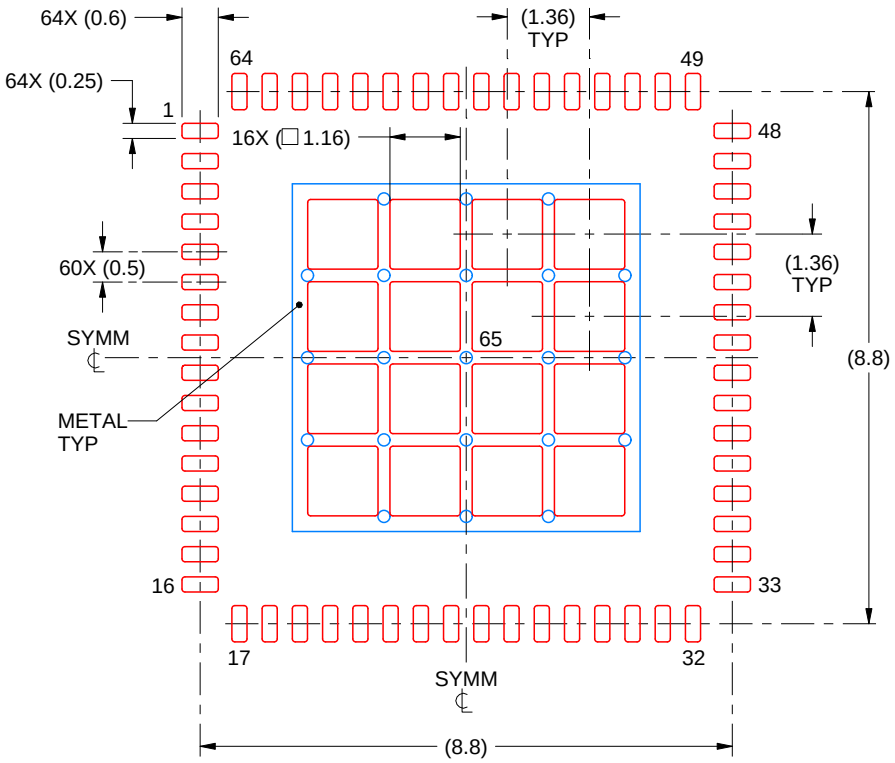


SOLDER MASK DETAILS

4223128/B 08/2023

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 65:
65% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:8X

4223128/B 08/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月