ESD321 低静電容量 (1pF 未満)、0402 および SOD-523 パッケージ封止、1 チャネル、30kV ESD 保護ダイオード

1 特長

- IEC 61000-4-2 レベル 4 ESD 保護:
  - ±30kV 接触放電
  - ±30kV エア ギャップ放電
- IEC 61000-4-4 EFT 保護:
  - 80A (5/50ns)
- IEC 61000-4-5 サージ保護:
  - 6A (8/20µs)
- IO 容量:0.9pF (標準値)
- DC ブレークダウン電圧:4.5V (最小値)
- 小さいリーク電流:0.1nA (標準値)
- 非常に低い ESD クランプ電圧:
  - 16A TLP で 6.8V (I/O から GND へ)
  - R_{DYN}:0.13Ω (I/O から GND へ)
- 産業用温度範囲:-40℃ ～ +125℃
- 業界標準の 0402 (DFN1006P2) および SOD-523 パッケージ

2 アプリケーション

- 最終製品:
  - ウェアラブル
  - 産業用およびサービス用ロボット
  - ラップトップおよびデスクトップ PC
  - モバイルおよびタブレット
  - セットトップ ボックス
  - DVR および NVR
  - テレビ、モニタ
  - EPOS (電子 POS)
- インターフェイス:
  - USB 2.0/1.1
  - GPIO
  - イーサネット 10/100/1000Mbps
  - プッシュボタン
  - オーディオ

3 説明

ESD321 は単方向 TVS ESD 保護ダイオードで、低い動的抵抗と低いクランプ電圧が特長です。ESD321 は、IEC 61000-4-2 国際標準 (レベル 4 以上) に従い、±30kV までの ESD 衝撃を放散できることが規定されています。

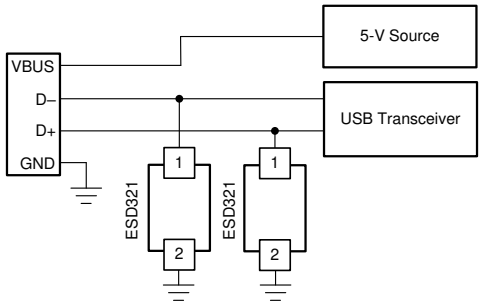
動的抵抗 (0.13Ω) とクランプ電圧 (16A TLP で 6.8V) が非常に低いため、過渡事象に対するシステム レベルの保護が保証されます。このデバイスは IO 容量が 0.9pF と低く、USB 2.0 やイーサネット 10/100/1000Mbps などのインターフェイスの保護に適しています。

ESD321 は、業界標準の 0402 (DPY/DFN1006P2) および SOD-523 (DYA) パッケージで供給されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
ESD321	DPY (X1SON、2)	1mm × 0.6mm
	DYA (SOD-523、2)	1.6mm × 0.8mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



代表的な USB 2.0 アプリケーション回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

Table of Contents

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 Pin Configuration and Functions ... 3
5 Specifications ... 4
5.1 Absolute Maximum Ratings ... 4
5.2 ESD Ratings – JEDEC Specifications ... 4
5.3 ESD Ratings – IEC Specifications ... 4
5.4 Recommended Operating Conditions ... 4
5.5 Thermal Information ... 4
5.6 Electrical Characteristics ... 5
5.7 Typical Characteristics ... 6
6 Detailed Description ... 8
6.1 Overview ... 8
6.2 Functional Block Diagram ... 8
6.3 Feature Description ... 8
6.4 Device Functional Modes ... 8
7 Application and Implementation ... 9
7.1 Application Information ... 9
7.2 Typical Application ... 9
7.3 Power Supply Recommendations ... 10
7.4 Layout ... 10
8 Device and Documentation Support ... 12
8.1 Documentation Support ... 12
8.2 ドキュメントの更新通知を受け取る方法 ... 12
8.3 サポート・リソース ... 12
8.4 Trademarks ... 12
8.5 静電気放電に関する注意事項 ... 12
8.6 用語集 ... 12
9 Revision History ... 12
10 Mechanical, Packaging, and Orderable Information ... 13

Copyright © 2025 Texas Instruments Incorporated

4 Pin Configuration and Functions

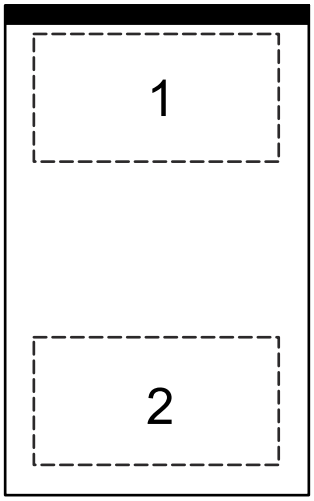


図 4-1. DPY Package, 2-Pin X1SON (Top View)

表 4-1. Pin Functions

PIN		TYPE(1)	DESCRIPTION
NAME	DPY		
IO	1	I/O	ESD Protected Channel. Connect to the line being protected.
GND	2	GND	Connect to ground.

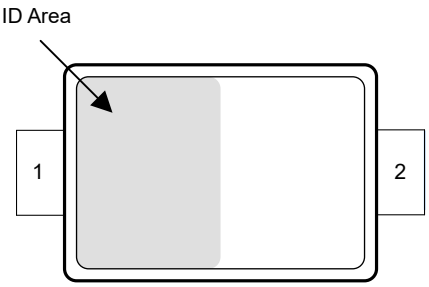


図 4-2. DYA Package, 2-Pin SOD-523 (Top View)

表 4-2. Pin Functions

PIN		TYPE(1)	DESCRIPTION
NAME	DYA		
IO	2	I/O	ESD Protected Channel. Connect to the line being protected.
GND	1	GND	Connect to ground.

(1) I = input, O = output, GND = ground

Copyright © 2025 Texas Instruments Incorporated

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)(1)

		MIN	MAX	UNIT
Electrical Fast Transient	IEC 61000-4-4 Peak Current at 25 °C		80	A
Surge Pulse	IEC 61000-4-5 Surge (tp 8/20µs) Peak Power at 25 °C		40	W
	IEC 61000-4-5 Surge (tp 8/20µs) Peak Current at 25 °C		6	A
T_A	Operating free-air temperature	–40	125	°C
T_{stg}	Storage temperature	–65	155	°C

(1) Stresses beyond those listed under *セクション 5.1* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *セクション 5.4*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

5.2 ESD Ratings – JEDEC Specifications

			VALUE	UNIT
$V_{(ESD)}$	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001, all pins(1)	±2500	V
		Charged device model (CDM), per JEDEC specification JESD22-C101, all pins(2)	±1000	

(1) JEDEC document JEP155 states that 500V HBM allows safe manufacturing with a standard ESD control process.
(2) JEDEC document JEP157 states that 250V CDM allows safe manufacturing with a standard ESD control process.

5.3 ESD Ratings – IEC Specifications

			VALUE	UNIT
$V_{(ESD)}$	Electrostatic discharge	IEC 61000-4-2 Contact Discharge, all pins	±30000	V
		IEC 61000-4-2 Air Discharge, all pins	±30000	

5.4 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

		MIN	NOM	MAX	UNIT
V_{IN}	Input voltage	0		3.6	V
T_A	Operating Free Air Temperature	–40		125	°C

5.5 Thermal Information

THERMAL METRIC (1)		ESD321		UNIT
		DYA (SOD-523)	DPY (X1SON)	
		2 Pins	2 Pins	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	774.7	437.8	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	462.3	249.5	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	541.1	169.2	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	164.4	99.3	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	534.6	168.6	°C/W

(1) For more information about traditional and new thermal metrics, see the Semiconductor and IC Package Thermal Metrics application report.

Copyright © 2025 Texas Instruments Incorporated

5.6 Electrical Characteristics

At TA = 25°C unless otherwise noted

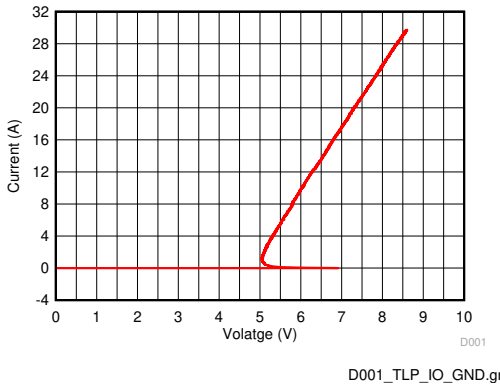
PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{RWM}	Reverse stand-off voltage	I_{IO} < 50nA, across operating temperature range			3.6	V
$I_{LEAKAGE}$	Leakage current at 3.6V	V_{IO} = 3.6V, I/O to GND		0.1	10	nA
V_{BRF}	Breakdown voltage, I/O to GND (1)	I_{IO} = 1mA	4.5		7.5	V
V_{FWD}	Forward Voltage, GND to I/O (1)	I_{IO} = 1mA		0.8		V
V_{HOLD}	Holding voltage, I/O to GND (2)	I_{IO} = 1mA		5.1		V
V_{CLAMP}	Clamping voltage	I_{PP} = 6A (8/20µs Surge), I/O to GND		6.3		V
		I_{PP} = 16A (100ns TLP), I/O to GND		6.8		V
		I_{PP} = 16A (100ns TLP), GND to I/O		4.7		V
R_{DYN}	Dynamic resistance	I/O to GND, 100ns TLP, between 10 to 20A I_{PP}		0.13		Ω
		GND to I/O , 100ns TLP, between 10 to 20A I_{PP}		0.2		Ω
C_{LINE}	Line capacitance, IO to GND	V_{IO} = 0V, V_{p-p} = 30mV, f = 1MHz		0.9	1.1	pF

(1) V_{BRF} and V_{BRR} are defined as the voltage obtained at 1mA when sweeping the voltage up, before the device latches into the snapback state

(2) V_{HOLD} is defined as the voltage when 1mA is applied, after the device has successfully latched into the snapback state.

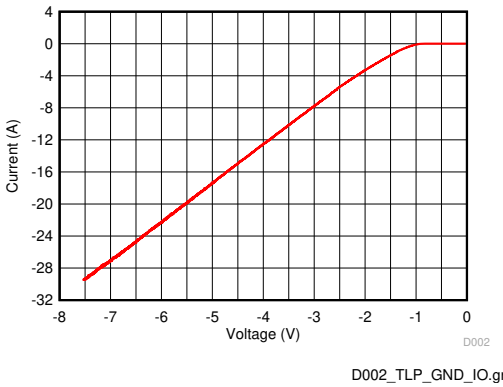
Copyright © 2025 Texas Instruments Incorporated

5.7 Typical Characteristics



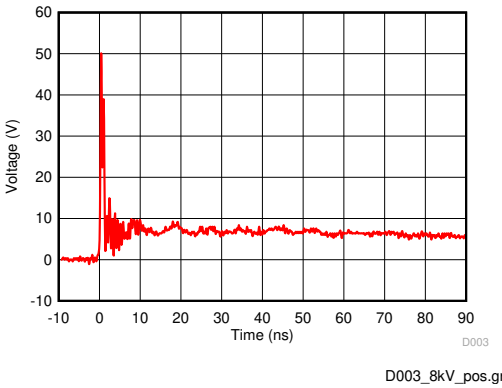
D001_TLP_IO_GND.grf

図 5-1. TLP I-V Curve, I/O Pin to GND (t_p = 100ns)



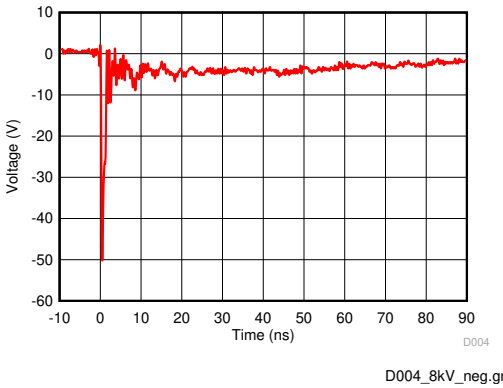
D002_TLP_GND_IO.grf

図 5-2. TLP I-V Curve, GND to I/O Pin (t_p = 100ns)



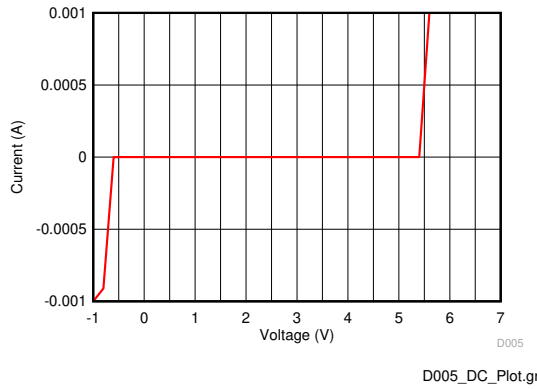
D003_8kV_pos.grf

図 5-3. 8kV IEC 61000-4-2 Clamping Voltage Waveform, I/O Pin to GND



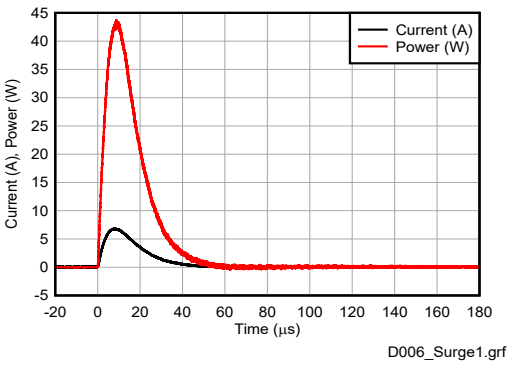
D004_8kV_neg.grf

図 5-4. 8kV IEC 61000-4-2 Clamping Voltage Waveform, GND to I/O Pin



D005_DC_Plot.grf

図 5-5. DC Voltage Sweep I-V Curve, I/O Pin to GND

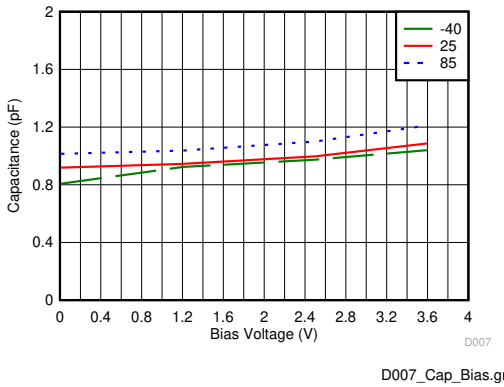


D006_Surge1.grf

図 5-6. Surge Curve (IEC 61000-4-5, t_p=8/20µs), I/O Pin to GND

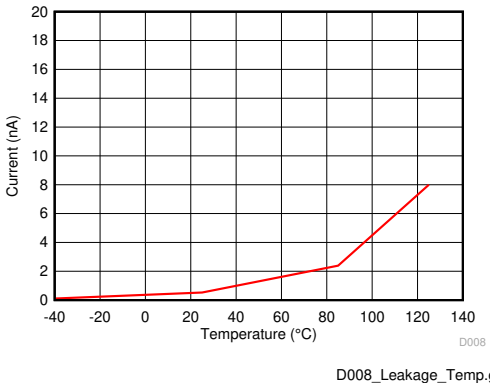
Copyright © 2025 Texas Instruments Incorporated

5.7 Typical Characteristics (continued)



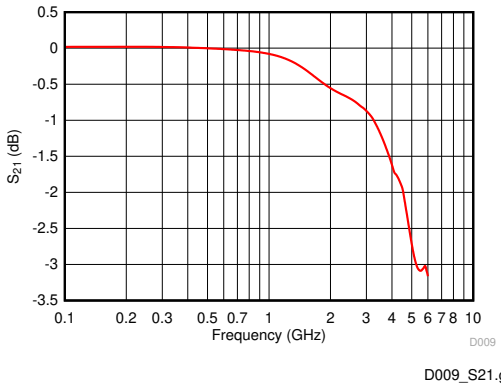
D007_Cap_Bias.grf

図 5-7. Capacitance vs. Bias Voltage For Different Temperatures (°C)



D008_Leakage_Temp.grf

図 5-8. Leakage Current (at 3.6V Bias) Across Temperature, I/O Pin to GND



D009_S21.grf

図 5-9. Insertion Loss vs. Frequency

6 Detailed Description

6.1 Overview

The ESD321 is a low capacitance uni-directional ESD Protection Diode with a low clamping voltage. This device can dissipate ESD strikes up to ±30kV (Contact and Air) per the IEC 61000-4-2 Standard. The low clamping makes this device suitable for protecting any ESD sensitive devices.

6.2 Functional Block Diagram



6.3 Feature Description

ESD321 provides ESD protection up to ±30kV contact and ±30kV air gap per IEC 61000-4-2 standard. During an ESD event, ESD diode connected to the I/O pin turns on and diverts the current to ground. Additionally, ESD321 also provides protection against IEC 61000-4-5 Surge currents up to 6A (8/20µs waveform) and up to 80A per IEC 61000-4-4 (5/50ns waveform, 4kV with 50Ω impedance) electrical fast transient (EFT) standard. The capacitance between the I/O pin and ground is 0.9pF (typical) and 1.1pF (maximum). The device features a low leakage current of 0.1nA (typical) and 50nA (maximum, across operating temperature range) with a bias of 3.6V. The ESD diode at the I/O pin protects the ESD-sensitive devices by clamping the voltage to a low value of 6.8V (I_{PP} = 16A 100ns TLP). The layout makes adding protection to an existing layout simple. The package offers flow-through routing, requiring minimal modification to an existing layout.

6.4 Device Functional Modes

The ESD321 is a passive integrated circuit that triggers when voltages exceed V_{BRF} or fall below V_{FWD}. During ESD events, voltages as high as ±30kV (contact or air) can be directed to ground through the internal diode network. When the voltages on the protected line fall below the trigger levels of ESD321 (typically within 10ns) the device returns to passive.

Copyright © 2025 Texas Instruments Incorporated

7 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 Application Information

The ESD321 is a diode type TVS which is used to provide a path to ground for dissipating ESD events on high-speed signal lines between a human interface connector and a system. As the current from ESD passes through the TVS, only a small voltage drop is present across the diode. This is the voltage presented to the protected IC. The low R_{DYN} of the triggered TVS holds this voltage, V_{CLAMP}, to a safe level for the protected IC.

7.2 Typical Application

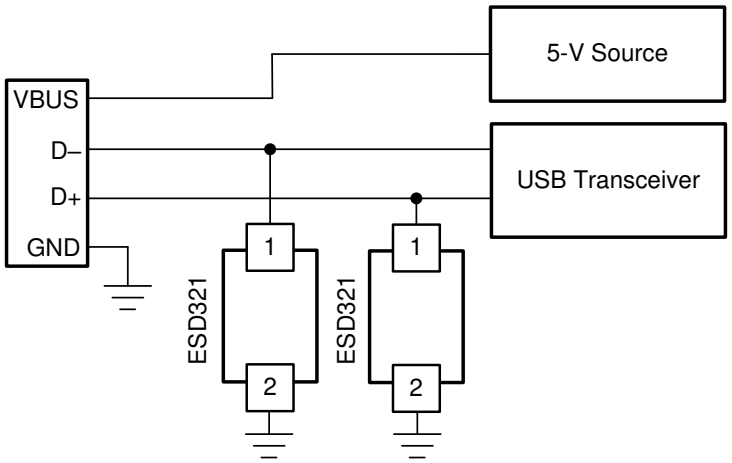


図 7-1. USB 2.0 ESD Schematic

7.2.1 Design Requirements

For this design example, two ESD321 devices are being used in a USB 2.0 application. This provides a complete ESD protection scheme.

Given the USB 2.0 application, the parameters listed in 表 7-1 are known.

表 7-1. Design Parameters

DESIGN PARAMETER	VALUE
Signal range on DP-DM lines	0V to 3.6V
Operating frequency on DP-DM lines	up to 240MHz

7.2.2 Detailed Design Procedure

7.2.2.1 Signal Range

The ESD321 supports signal ranges between 0V and 3.6V, which supports the USB 2.0 signal pair on the USB 2.0 application.

7.2.2.2 Operating Frequency

The ESD321 has a 0.9pF (typical) capacitance, which supports the USB 2.0 data rates of 480Mbps.

Copyright © 2025 Texas Instruments Incorporated

7.2.3 Application Curve

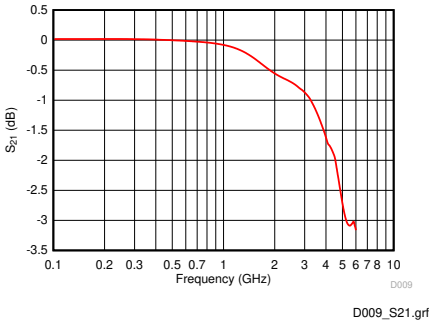


図 7-2. Insertion Loss Vs. Frequency

7.3 Power Supply Recommendations

Because the ESD321 is a passive ESD device, there is no need to power it. To help ensure the device functions properly, do not violate the recommended I/O specification (0V to 3.6V).

7.4 Layout

7.4.1 Layout Guidelines

- The optimum placement is as close to the connector as possible.
  - EMI during an ESD event can couple from the trace being struck to other nearby unprotected traces, resulting in early system failures.
  - The PCB designer must minimize the possibility of EMI coupling by keeping any unprotected traces away from the protected traces which are between the TVS and the connector.
- Route the protected traces as straight as possible.
- Eliminate any sharp corners on the protected traces between the TVS and the connector by using rounded corners with the largest radii possible.
  - Electric fields tend to build up on corners, which increases EMI coupling.

Copyright © 2025 Texas Instruments Incorporated

7.4.2 Layout Example

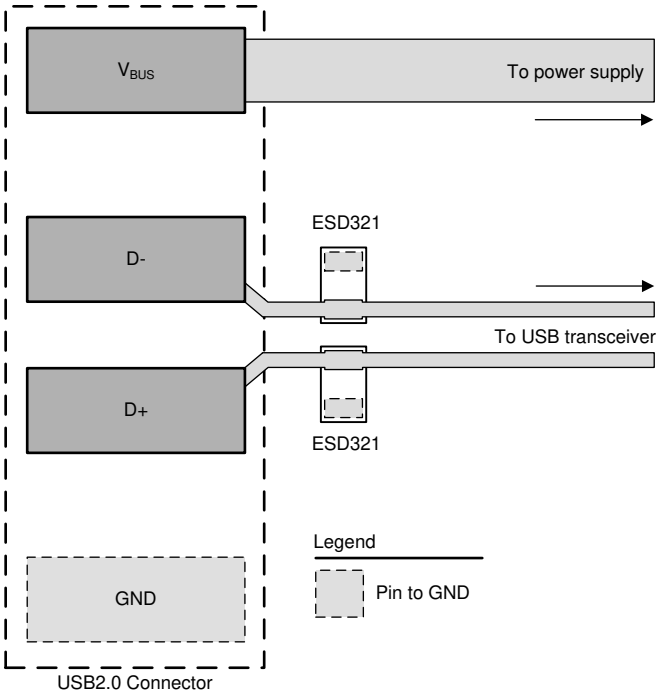


図 7-3. USB 2.0 ESD Layout

8 Device and Documentation Support

8.1 Documentation Support

8.1.1 Related Documentation

For related documentation, see the following:

- Texas Instruments, *Generic ESD Device Evaluation Module*

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (October 2023) to Revision C (June 2025)	Page
• Separated pinout information into two tables	3

Changes from Revision A (December 2022) to Revision B (October 2023)	Page
• パッケージ サイズを含めるようパッケージ情報の表を更新	1
• Changed voltage to power in the *Surge Curve (IEC 61000-4-5, t_p=8/20µs), I/O Pin to GND* figure	6

Changes from Revision * (July 2018) to Revision A (December 2022)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1

Copyright © 2025 Texas Instruments Incorporated

• データシートに DYA パッケージを追加 1

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ESD321DPYR	Active	Production	X1SON (DPY) | 2	10000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	DD
ESD321DPYR.B	Active	Production	X1SON (DPY) | 2	10000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-55 to 150	DD
ESD321DPYRG4	Active	Production	X1SON (DPY) | 2	10000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DD
ESD321DPYRG4.B	Active	Production	X1SON (DPY) | 2	10000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DD
ESD321DYAR	Active	Production	SOT-5X3 (DYA) | 2	3000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-55 to 150	1L8
ESD321DYAR.B	Active	Production	SOT-5X3 (DYA) | 2	3000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	1L8

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

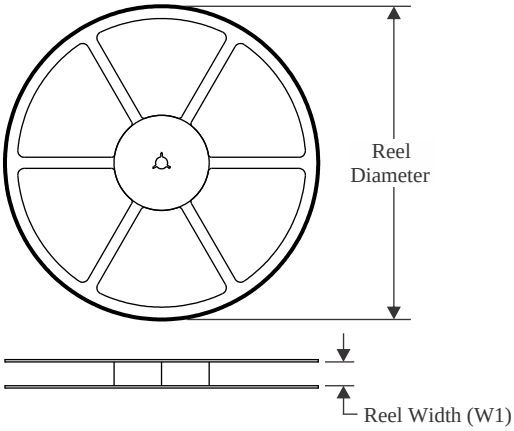
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

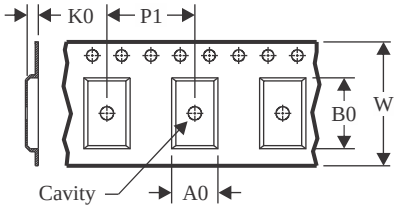
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

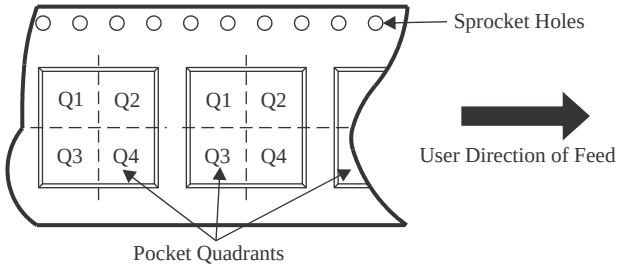


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

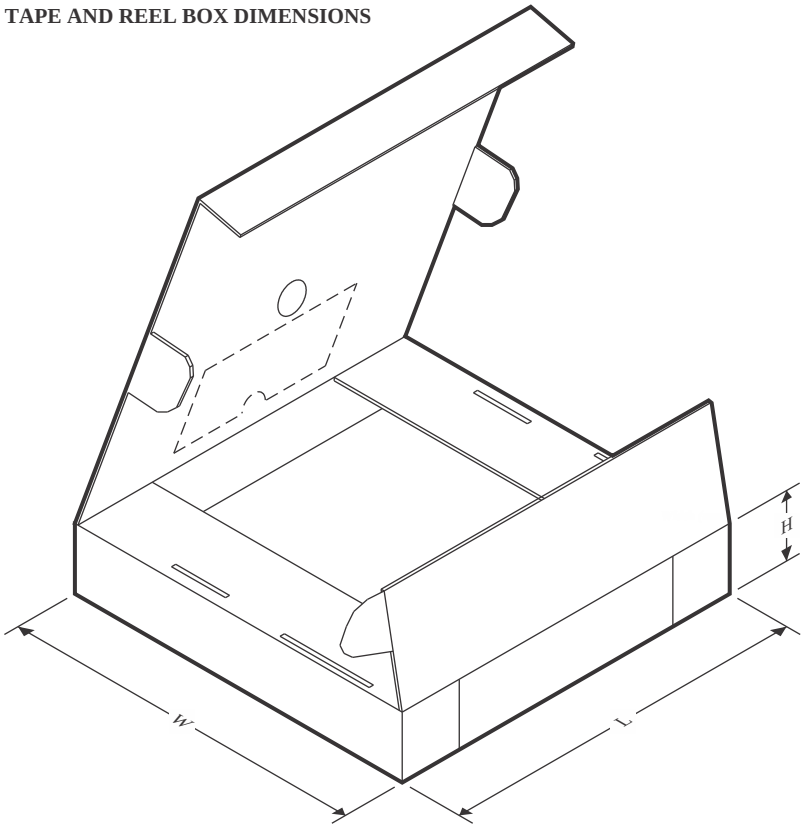
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ESD321DPYR	X1SON	DPY	2	10000	178.0	8.4	0.67	1.15	0.46	2.0	8.0	Q2
ESD321DPYR	X1SON	DPY	2	10000	178.0	8.4	0.7	1.15	0.47	2.0	8.0	Q1
ESD321DYAR	SOT-5X3	DYA	2	3000	178.0	9.5	0.5	1.94	0.73	2.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

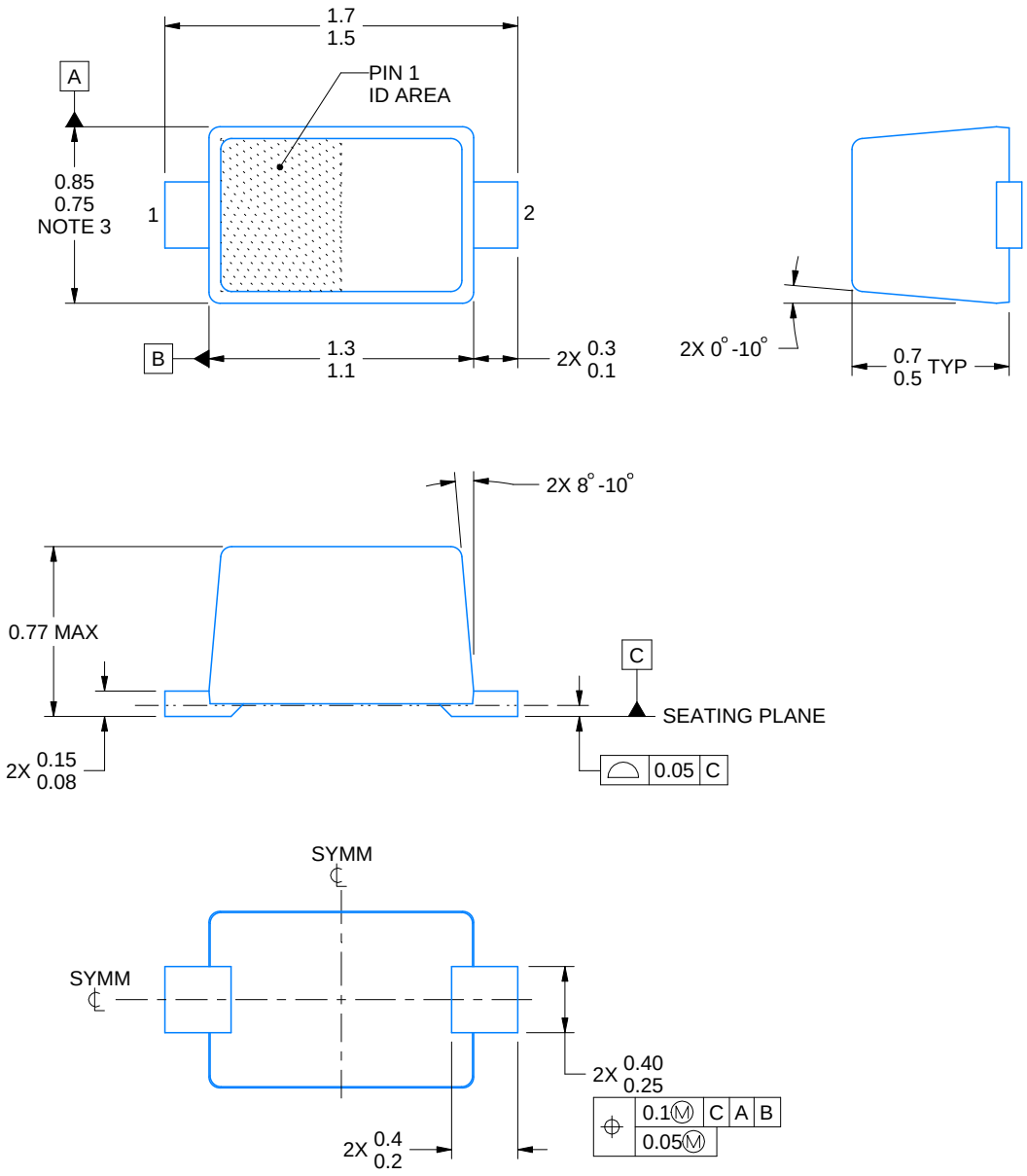
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ESD321DPYR	X1SON	DPY	2	10000	208.0	191.0	35.0
ESD321DPYR	X1SON	DPY	2	10000	205.0	200.0	33.0
ESD321DYAR	SOT-5X3	DYA	2	3000	210.0	200.0	42.0

PACKAGE OUTLINE

DYA0002A

SOT (SOD-523) - 0.77 mm max height

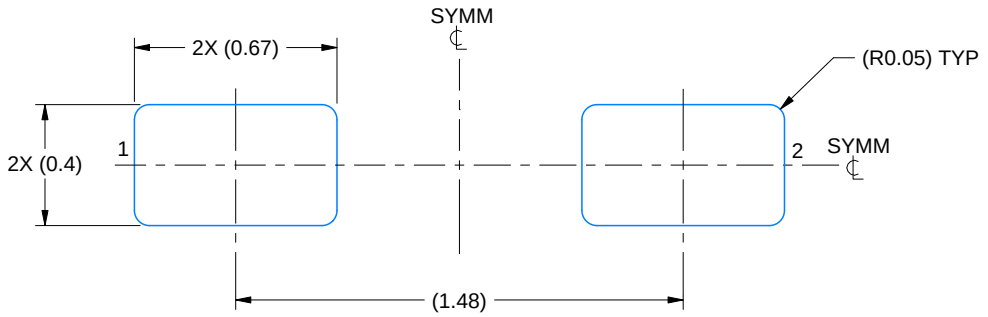
PLASTIC SMALL OUTLINE



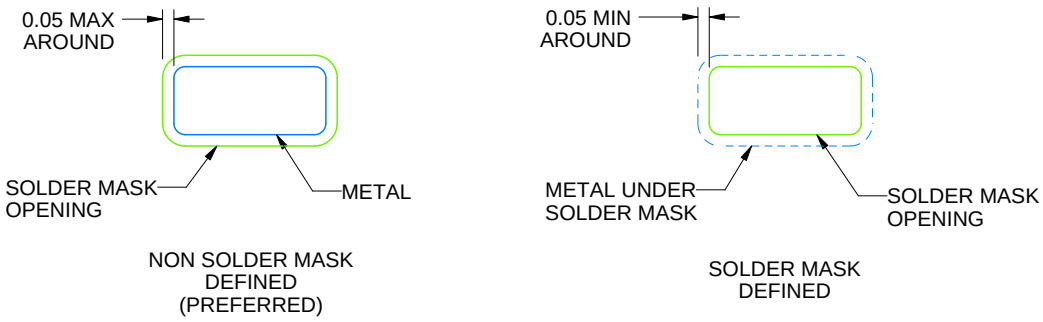
4224978/D 08/2026

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEITA SC-79 registration except for package height



LAND PATTERN EXAMPLE
SCALE:40X

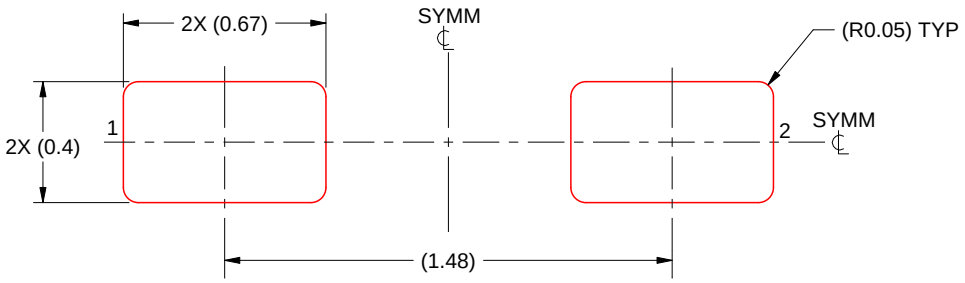


SOLDERMASK DETAILS

4224978/D 08/2026

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:40X

4224978/D 08/2026

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

DPY 2

X1SON - 0.45 mm max height

1 x 0.6 mm

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



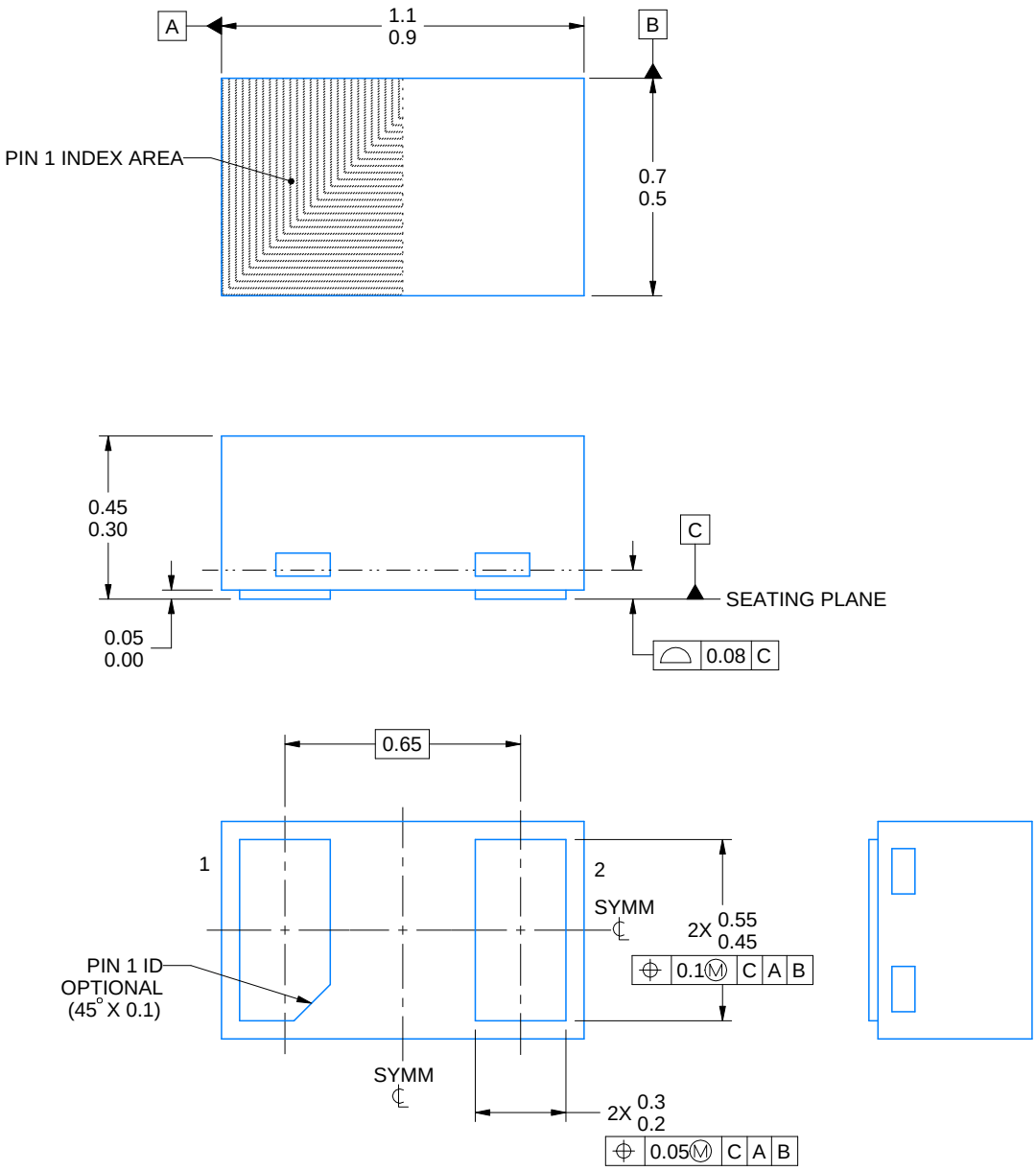
4231484/A

PACKAGE OUTLINE

DPY0002A

X1SON - 0.45 mm max height

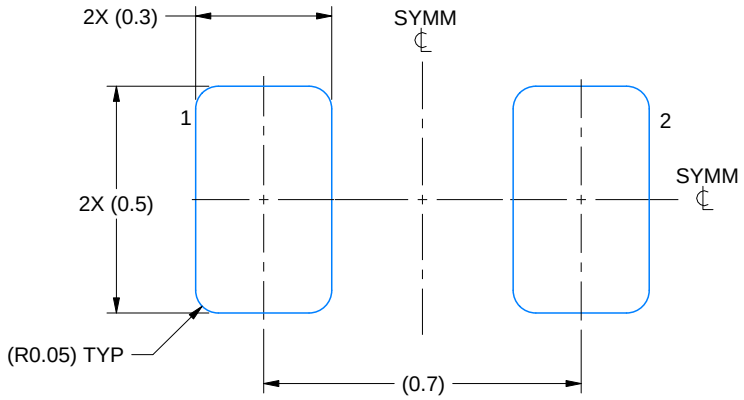
PLASTIC SMALL OUTLINE - NO LEAD



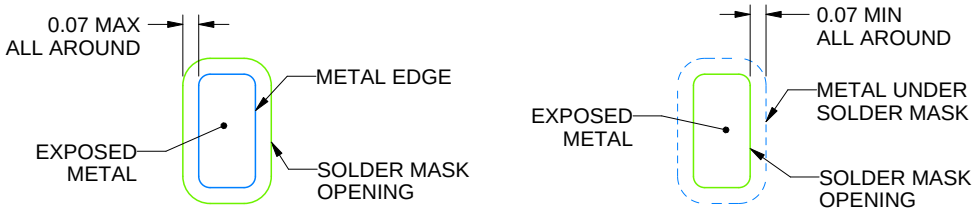
4224561/C 07/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:60X

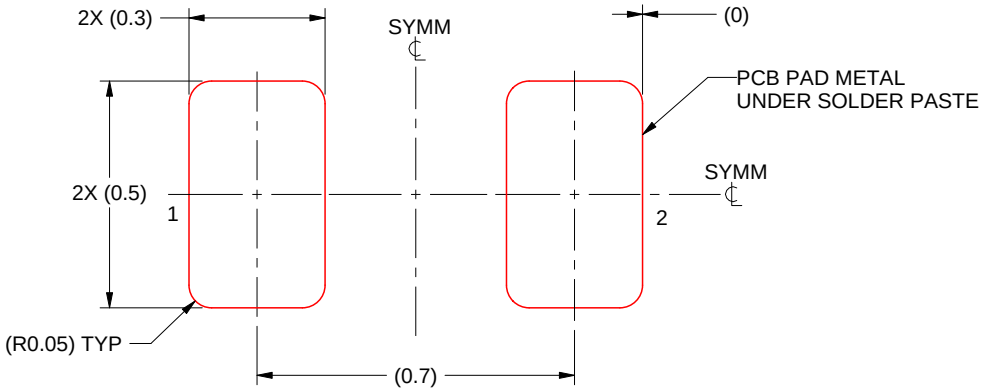


SOLDER MASK DETAILS

4224561/C 07/2024

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
4. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:60X

4224561/C 07/2024

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月