ESD851 36V 双方向 ESD 保護ダイオード、SOD-323

1 特長

- IEC 61000-4-2 ESD 保護:
  - ±30kV 接触放電
  - ±30kV エア ギャップ放電
- IEC 61000-4-5 サージ保護:
  - 6.5A (8/20µs)
  - クランプ電圧:6.5A において 71V (8/20µs)
- IO 容量 4.3pF (標準値)
- DC ブレークダウン電圧:37.8V (最小値)
- 超低リーク電流:10nA (最大値)
- ESD クランプ電圧:56V (16A TLP の場合)
- 産業用温度範囲:-55℃～+150℃
- 業界標準の SOD-323 リード付きパッケージ (2.5mm × 1.2mm)

2 アプリケーション

- I/O 保護
- 医療/ヘルスケア
- 電化製品
- 照明器具
- 試験 / 測定

3 概要

ESD851 は双方向 ESD 保護ダイオードで、ESD やサージなどの有害な過渡電圧をクランプするよう設計されています。ESD851 は、最大 ±30kV の ESD 衝撃 (接触放電および気中放電) を吸収する定格を備えており、IEC 61000-4-2 国際規格 (レベル 4) で規定されている最大レベルをクリアしています。サージの場合、IEC 61000-4-5 規格に準拠して、ピーク電流が最大 6.5A の 8/20µs のサージをクランプできます。

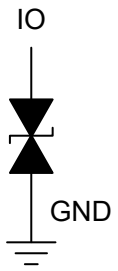
また、このデバイスには 4.3pF (標準値) の IO 容量があり、データ ラインを保護できます。低い動的抵抗および低いクランピング電圧により、過渡現象に対してシステム レベルの保護を実現します。

ESD851 は、業界標準のリード付き SOD-323 パッケージで供給され、半田付けが容易です。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
ESD851	DYF (SOD-323、2)	2.65mm × 1.3mm

(1) 詳細については、セクション 9 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



機能ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格 - JEDEC 仕様.....4
5.3 ESD 定格 - IEC 仕様.....4
5.4 推奨動作条件.....4
5.5 熱に関する情報.....5
5.6 電気的特性.....5
5.7 代表的特性.....6
6 アプリケーションと実装.....7
6.1 使用上の注意.....7
7 デバイスおよびドキュメントのサポート.....7
7.1 ドキュメントのサポート.....7
7.2 ドキュメントの更新通知を受け取る方法.....7
7.3 サポート・リソース.....7
7.4 商標.....7
7.5 静電気放電に関する注意事項.....7
7.6 用語集.....7
8 改訂履歴.....8
9 メカニカル、パッケージ、および注文情報.....8

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

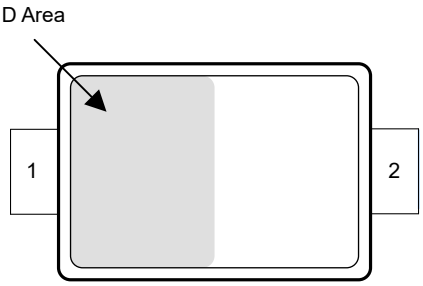


図 4-1. DYF パッケージ、2 ピン SOD-323 (上面図)

表 4-1. ピンの機能

ピン		タイプ(1)	説明
番号	名称		
1	IO	I/O	保護されたチャネル。IO として使用する場合は、ピン 2 をグランドに接続します
2	IO	I/O	保護されたチャネル。IO として使用する場合は、ピン 1 をグランドに接続します

(1) I = 入力、O = 出力。GND = グランド

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)(1)

パラメータ		最小値	最大値	単位
P_{PP} (2) (3)	25℃での IEC 61000-4-5 ピーク パルス電力 (t_p - 8/20µs)		400	W
I_{PP}	25℃での IEC 61000-4-5 ピーク パルス電流 (t_p 8/20µs)		6.5	A
T_A	動作時周囲温度	-55	150	℃
T_{stg}	保管温度	-65	155	℃

(1) 絶対最大定格の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。推奨動作条件の範囲外ではあるが、絶対最大定格の範囲内で短時間動作している場合、デバイスは損傷を受けない可能性がありますが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
(2) 特に指定のない限り、すべての電圧値は GND を基準にしています。
(3) 25°C で測定

5.2 ESD 定格 - JEDEC 仕様

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 (1)	±2500	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JS-002 に準拠 (2)	±1000	V

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています
(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

5.3 ESD 定格 - IEC 仕様

			値	単位
$V_{(ESD)}$	静電放電	IEC 61000-4-2 接触放電	±30000	V
		IEC 61000-4-2 気中放電	±30000	

5.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{IN}	入力ピンの電圧	-36		36	V
T_A	自由気流での動作温度	-55		150	℃

Copyright © 2026 Texas Instruments Incorporated

5.5 熱に関する情報

熱評価基準(1)		ESD851 DYF (SOD-323) 2 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	686.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	267.0	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	560.5	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	91.4	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	546.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.6 電気的特性

TA=25°C (特に記述のない限り) (1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{RWM}	逆スタンドオフ電圧	動作温度範囲全体で I_{IO} <10nA			36	V
V_{BR}	ブレークダウン電圧	I_{IO} = 10mA、I/O から GND へ、または GND から I/O へ	37.8			V
I_{LEAK}	逆リーク電流	V_{IO} = 36V、IO から GND へ、または GND から IO へ		5	10	nA
V_{CLAMP}	サージ クランプ電圧、t_p = 8/20µs (2)	I_{PP} = 1A、IO から GND へ、または GND から IO へ			47	V
		I_{PP} = 5A、IO から GND へ、または GND から IO へ			64	V
		I_{PP} = 6.5A、IO から GND へ、または GND から IO へ			71	V
	TLP クランプ電圧、t_p = 100ns	I_{PP} = 16A、IO から GND へ、または GND から IO へ		56		V
R_{DYN}	動的抵抗(3)	IO から GND へ		0.6		Ω
		GND から IO へ				
C_L	ライン容量	V_{IO} = 0V、f = 1MHz、IO から GND へ		4.3	6	pF

(1) 標準のパラメータは 25°Cで測定されたものです
(2) IEC 61000-4-5 に従う非反復的な電流パルスの 8～20µs の指数減衰波形
(3) I = 10A と I = 20A の間の TLP 特性の最小二乗一致を用いた R_{DYN} の抽出

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性

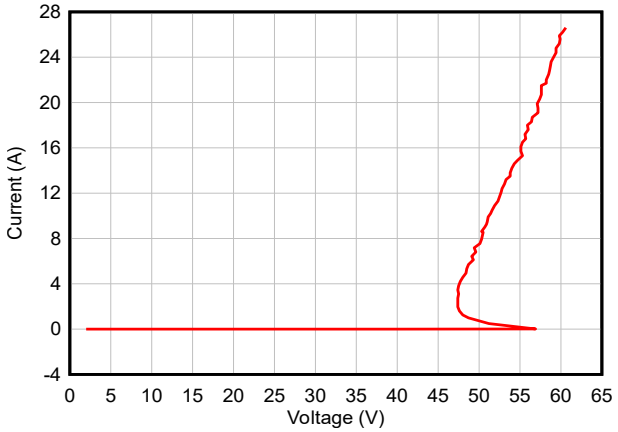


図 5-1. 正の TLP 曲線

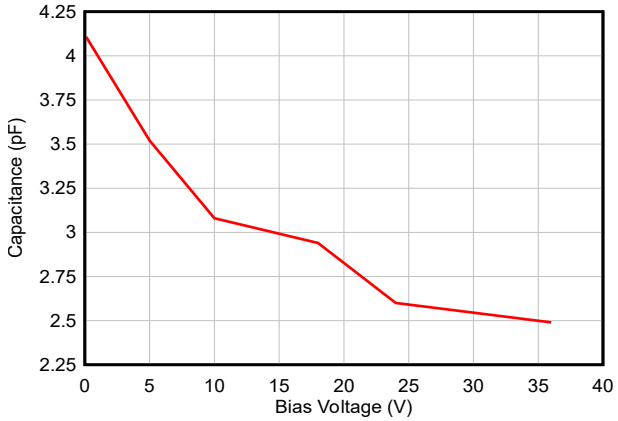


図 5-2. 静電容量とバイアス電圧との関係

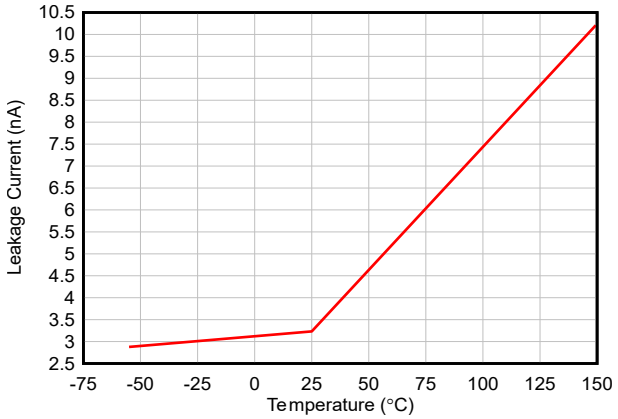


図 5-3. リーク電流と温度との関係

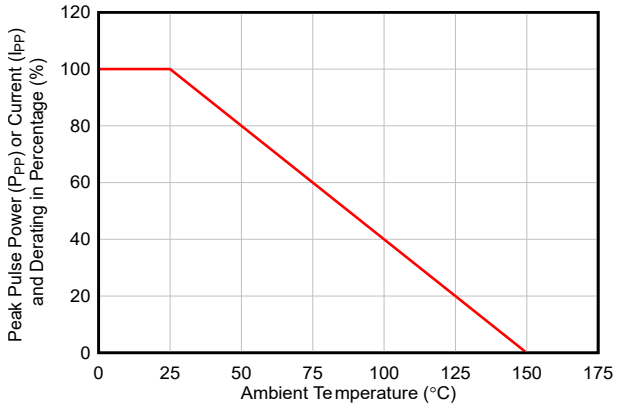


図 5-4. ピーク パルス電力のディレーティング曲線

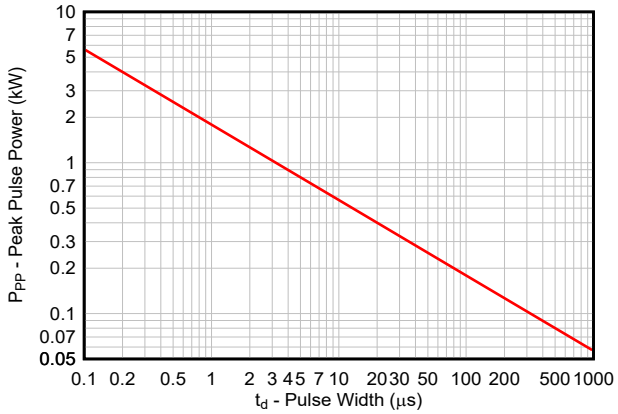


図 5-5. パルス電力の定格曲線

Copyright © 2026 Texas Instruments Incorporated

6 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

6.1 使用上の注意

ESD851 はダイオードタイプの TVS で、信号ラインおよび電源ラインで ESD やサージなどの過渡電圧スパイクを放散するため、グランドへの経路を提供します。保護のため、デバイスを下流回路と並列に接続します。過渡電流が TVS を通過するため、ダイオードの両端ではわずかな電圧降下が発生します。これは、保護対象の IC に供給される電圧です。トリガされた TVS の R_{DYN} が低いと、この電圧（V_{CLAMP}）は、保護された IC に対して安全なレベルに保持されます。このデバイスの適切な使用方法の詳細については、『ESD パッケージングおよびレイアウト ガイド』を参照してください。

7 デバイスおよびドキュメントのサポート

7.1 ドキュメントのサポート

7.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『ESD レイアウト ガイド』アプリケーション レポート
- テキサス・インスツルメンツ、『汎用 ESD 評価基板ユーザー ガイド』
- テキサス インスツルメンツ、『超高速データ ライン用 ESD ダイオードの選択』アプリケーション レポート
- テキサス・インスツルメンツ、『ESD 保護の読み取りと理解』データ シート

7.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

7.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

7.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.6 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2026 Texas Instruments Incorporated

8 改訂履歴

日付	改訂	注
2024 年 8 月	*	初版リリース

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ESD851DYFR	Active	Production	SOT (DYF) | 2	3000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-55 to 150	3H6F
ESD851DYFR.B	Active	Production	SOT (DYF) | 2	3000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-55 to 150	3H6F

(1) Status: For more details on status, see our product life cycle.

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) RoHS values: Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ESD851 :

- Automotive : ESD851-Q1

NOTE: Qualified Version Definitions:

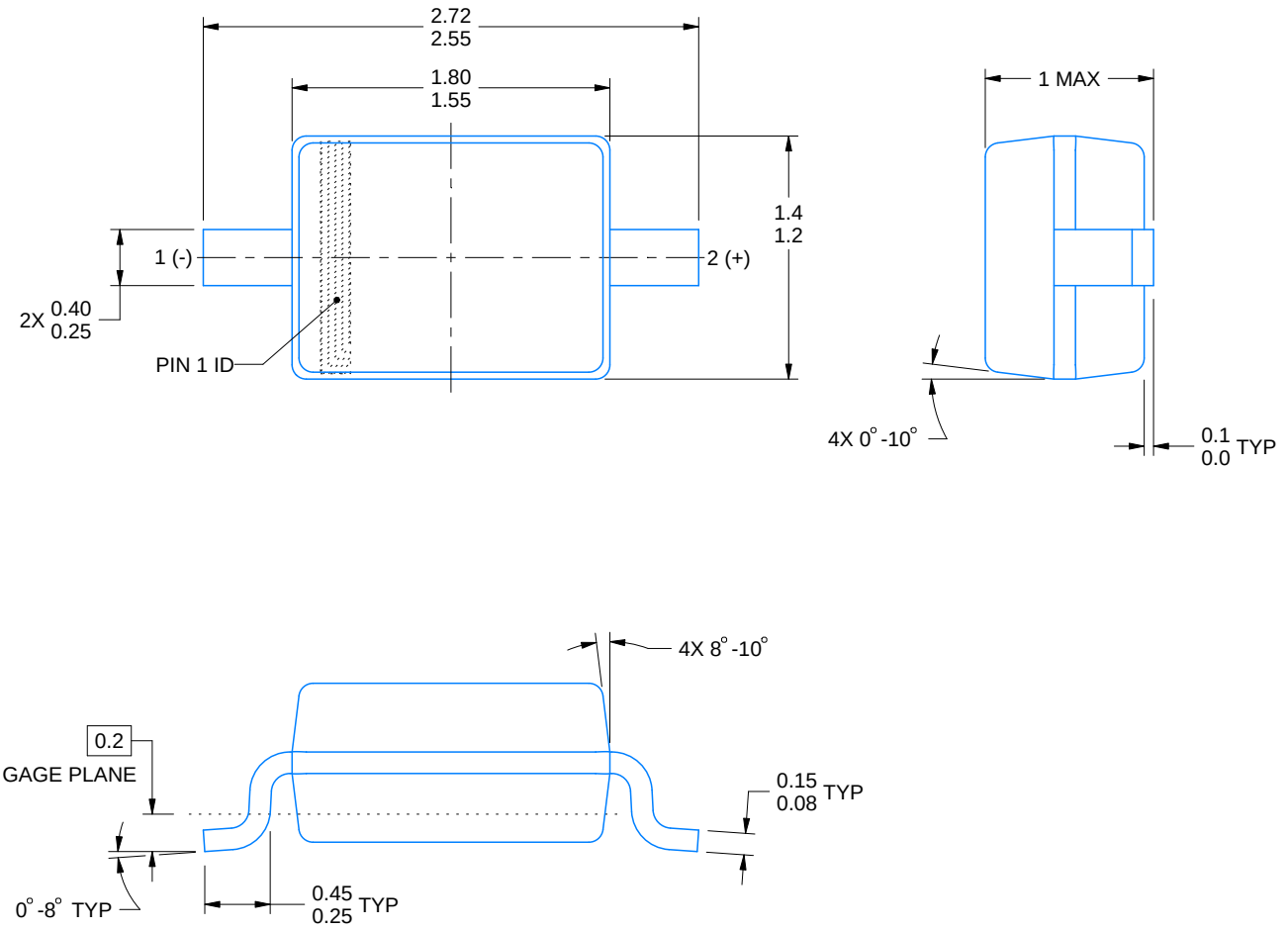
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

PACKAGE OUTLINE

DYF0002A

SOT(SOD-323) - 1 mm max height

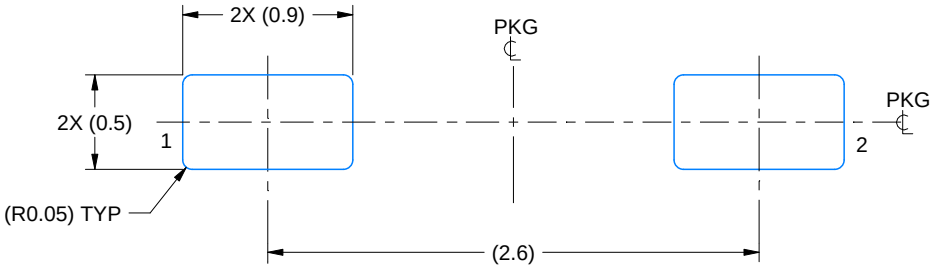
SMALL OUTLINE TRANSISTOR



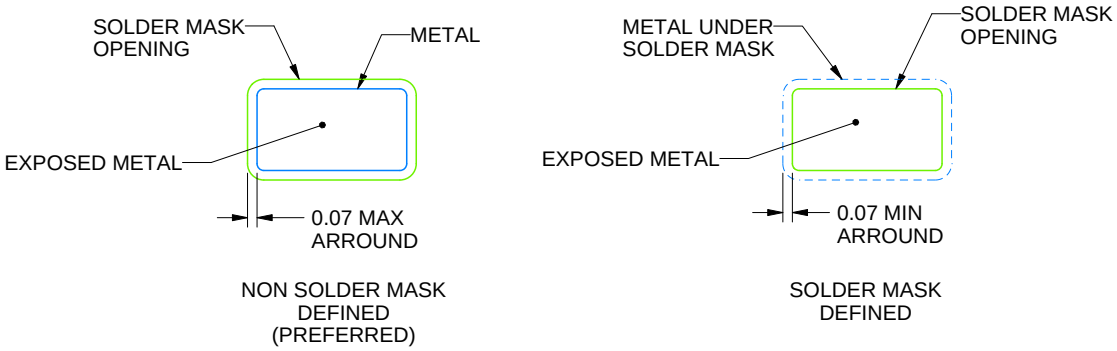
4228484/D 09/2026

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:25X



SOLDER MASK DETAILS

4228484/D 09/2026

NOTES: (continued)

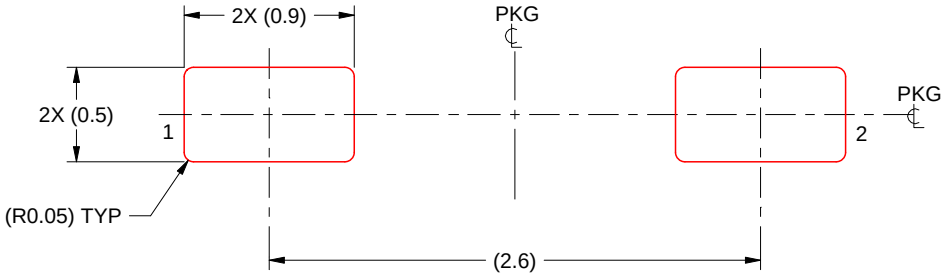
3. Publication IPC-7351 may have alternate designs.
4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DYF0002A

SOT(SOD-323) - 1 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:25X

4228484/D 09/2026

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
6. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月