ESD8x2 2-チャネル、36V、ESD 保護ダイオード

1 特長

- 動作電圧:36V
- 50nA (最大値)の低いリーク電流
- IEC 61000-4-2 ESD 保護:
  - ±25kV 接触、±25kV 気中 (ESD852 SOT-23)
  - ±20kV 接触、±20kV 気中 (ESD852 DFN1110-3)
  - ±18kV 接触、±18kV 気中 (ESD862)
- IEC 61000-4-5 (8/20µs) 保護:
  - 4.3A (ESD852 SOT-23)
  - 3.8A (ESD852 DFN1110-3)
  - 3.1A (ESD862)
- 双方向 ESD 保護
- 低い I/O 容量:
  - 2.8pF (標準値) (ESD852 SOT-23)
  - 3.0pF (標準値) (ESD852 DFN1110-3)
  - 2.6pF (標準値) (ESD862)
- 自動光学検査 (AOI) に適したリード付きパッケージ

2 アプリケーション

- ファクトリ・オートメーション
- 通信機器
- USB 給電 (USB-PD):
  - VBUS 保護
  - IO 保護 (VBUS への短絡に耐える)
- 産業用通信:
  - CAN/CAN-FD

3 説明

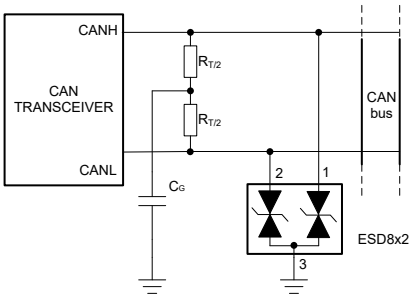
ESD8x2 デバイスは、USB 給電 (USB-PD) および産業用インターフェイス向けの双方向 ESD 保護ダイオードです。これらのデバイスは、IEC 61000-4-2 規格で指定された最大レベル (±25kV の接触放電および気中放電、±20kV の接触放電および気中放電、または ±18kV の接触放電および気中放電) を満たす、またはそれを超える静電気放電 (ESD) 能力を有しています。低い動的抵抗および低いクランピング電圧により、過渡現象に対してシステム レベルの保護を実現します。産業用システムは高いレベルの堅牢性と信頼性を要求するため、この保護機能は重要です。

これらのデバイスはチャネルごとの IO 容量が低く、静電気放電 (ESD) とその他の過渡事象に起因する損傷から保護されるよう、2 つの IO ラインに適合したピン配置を備えています。ESD852 は、I_{PP} = 4.3A (8/20µs のサージ波形) が可能なため、USB VBUS や産業用入出力ラインを、過渡サージ イベントから保護するのに非常に適しています。さらに、ESD8x2 の 2.8pF または 2.6pF のライン容量は、USB 給電向けの低速信号や産業用アプリケーション向けの入出力信号を保護するのに非常に適しています。

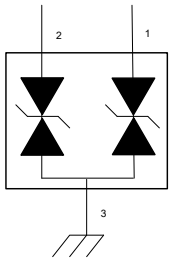
パッケージ情報

部品番号	チャネル	パッケージ (1)
ESD852	2 チャネル	DBZ (SOT-23、3)
		DFN1110-3
ESD862		DBZ (SOT-23、3)

(1) 詳細については、セクション 9 を参照してください。



ESD8x2 の代表的なアプリケーション



機能ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 推奨動作条件.....4
5.3 熱に関する情報.....4
5.4 電気的特性.....5
5.5 代表的特性 - ESD852 (SOT-23).....6
5.6 代表的特性 - ESD852 (DFN1110-3).....7
5.7 代表的特性 – ESD862.....8
6 アプリケーションと実装.....9
6.1 アプリケーション情報.....9
7 デバイスおよびドキュメントのサポート.....10
7.1 ドキュメントのサポート.....10
7.2 ドキュメントの更新通知を受け取る方法.....10
7.3 サポート・リソース.....10
7.4 商標.....10
7.5 静電気放電に関する注意事項.....10
7.6 用語集.....10
8 改訂履歴.....11
9 メカニカル、パッケージ、および注文情報.....11

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

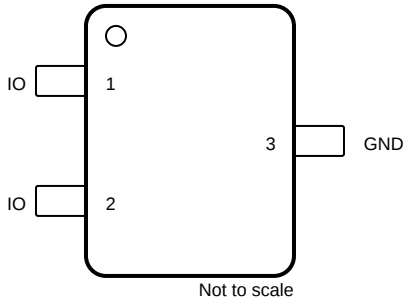


図 4-1. DBZ パッケージ、SOT-23 (上面図)

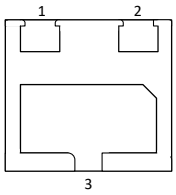


図 4-2. DXA パッケージ、DFN1110-3 (底面図)

表 4-1. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
IO	1、2	I/O	ESD 保護 IO
GND	3	G	グランドに接続します。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		デバイス	パッケージ	最小値	最大値	単位
ピーク パルス	25℃ での IEC 61000-4-5 の電力 (t_p – 8/20µs)	ESD852	SOT-23 および DFN1110-3		233	W
			SOT-23		4.3	A
			DFN1110-3		3.8	A
		ESD862	SOT-23		175	W
					3.1	A
T_A	外気温度での動作時	ESD852、ESD862	SOT-23 および DFN1110-3	-55	150	°C
T_{stg}	保存温度	ESD852、ESD862	SOT-23 および DFN1110-3	-65	155	°C

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて言及して、絶対最大定格において、またはこのデータシートの推奨動作条件に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

5.2 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{IN}	入力電圧	-36		36	V
T_A	外気温度での動作時	-55		150	°C

5.3 熱に関する情報

熱評価基準		ESD852		ESD862	単位
		DBZ (SOT-23)	DXA (DFN1110-3)	DBZ (SOT-23)	
		3 ピン	3 ピン	3 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	295.8	284.2	313.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	146.3	147.9	162.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	134.0	127.4	151.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	33.6	12.0	43.5	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	133.1	126.3	150.8	°C/W

Copyright © 2026 Texas Instruments Incorporated

5.4 電気的特性

T_A = 25℃ (特に記述のない限り)

パラメータ		テスト条件	デバイス	パッケージ	最小値	標準値	最大値	単位
V_{RWM}	逆スタンドオフ電圧		ESD852、ESD862	SOT-23 および DFN1110-3	-36		36	V
V_{BRF}	順方向降伏電圧、任意の IO ピンから GND へ(1)	I_{IO} = 1mA	ESD852、ESD862	SOT-23 および DFN1110-3	37.8	40	44.2	V
V_{BRR}	逆方向降伏電圧、任意の IO ピンから GND へ(1)	I_{IO} = -1mA	ESD852、ESD862	SOT-23 および DFN1110-3	-44.2	-40	-37.8	V
V_{CLAMP}	クランプ電圧(2)	I_{PP} = 1A、t_p = 8/20µs、IO ～ GND 間	ESD852	SOT-23		43		V
		I_{PP} = 4.3A、t_p = 8/20µs、IO ～ GND 間				61		V
		I_{PP} = 16A、TLP、IO から GND へ、正負両方				63		V
		I_{PP} = 1A、t_p = 8/20µs、IO ～ GND 間		DFN1110-3		44		V
		I_{PP} = 3.8A、t_p = 8/20µs、IO ～ GND 間				66		V
		I_{PP} = 16A、TLP、IO から GND へ、正負両方				65		V
		I_{PP} = 1A、t_p = 8/20µs、IO ～ GND 間	ESD862	SOT-23		47		V
		I_{PP} = 3.1A、t_p = 8/20µs、IO ～ GND 間				61		V
		I_{PP} = 16A、TLP、IO から GND へ、正負両方				64		V
I_{LEAK}	リーク電流、任意の IO ピンから GND へ	V_{IO} = ±36V	ESD852、ESD862	SOT-23 および DFN1110-3			50	nA
R_{DYN}	動的抵抗(3)	IO から GND、GND から IO	ESD852、ESD862	SOT-23		0.49		Ω
			ESD852	DFN1110-3		0.65		Ω
C_L	ライン容量、任意の IO から GND へ	V_{IO} = 0V、f = 1MHz、V_{p-p} = 30mV	ESD852	SOT-23		2.8	3.5	pF
				DFN1110-3		3	4	pF
			ESD862	SOT-23		2.6	2.9	pF

(1) V_{BRF} と V_{BRR} は、デバイスがスナップバック状態にラッチする前に、正方向に 1mA を印加したときの電圧として定義されます。
(2) IEC 61000-4-5 に従い、8/20µs の指数関数的減衰波形でストレスを加えたデバイス
(3) 非反復電流パルス、伝送ライン パルス (TLP)、方形パルス、ANSI/ESD STM5.5.1-2008

Copyright © 2026 Texas Instruments Incorporated

5.5 代表的特性 - ESD852 (SOT-23)

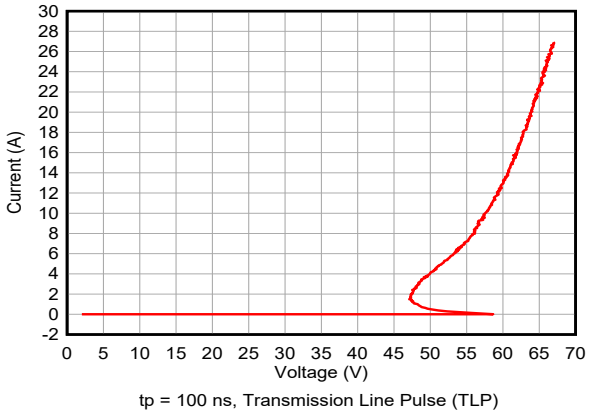


図 5-1. 正の TLP 曲線

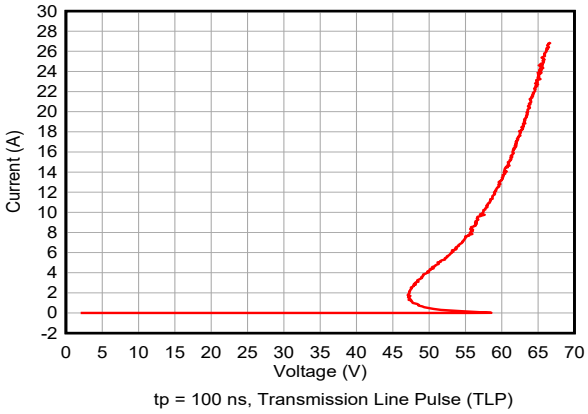


図 5-2. 負の TLP 曲線

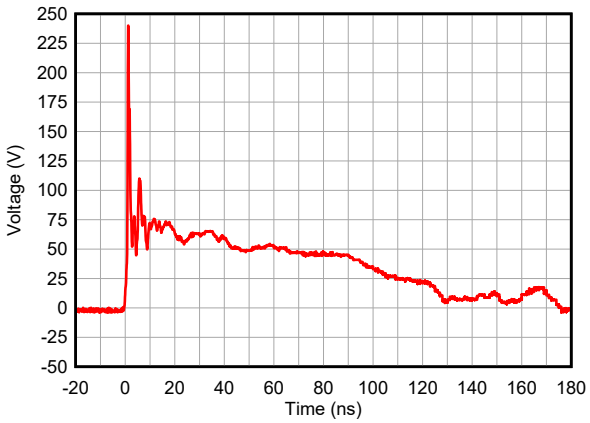


図 5-3. +8kV クランプ IEC 波形

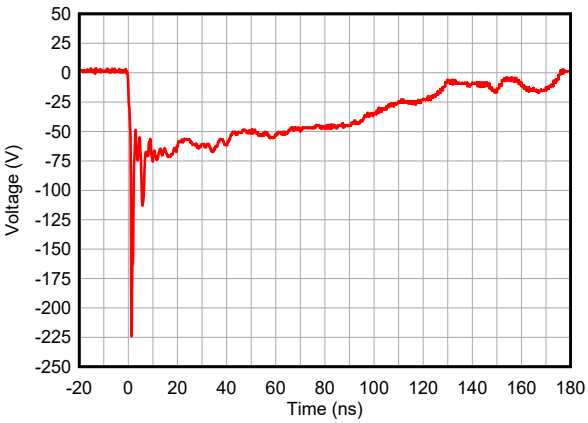


図 5-4. -8kV クランプ IEC 波形

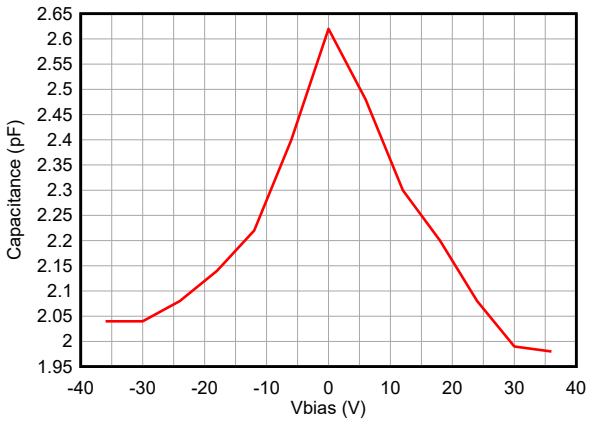


図 5-5. 静電容量とバイアス電圧

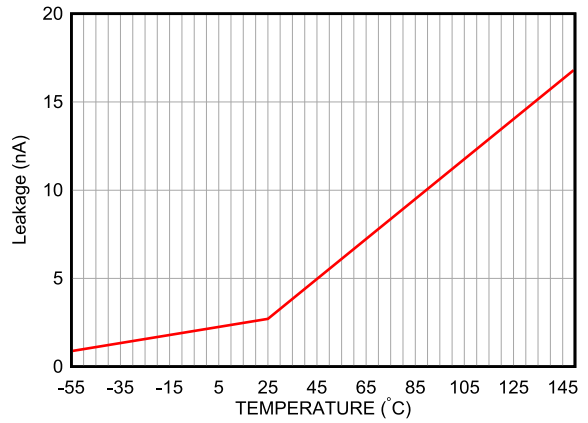


図 5-6. リーケージと温度との関係

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 - ESD852 (DFN1110-3)

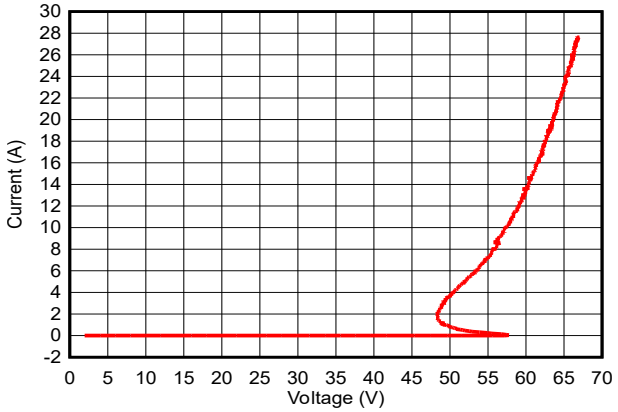


図 5-7. 正の TLP 曲線

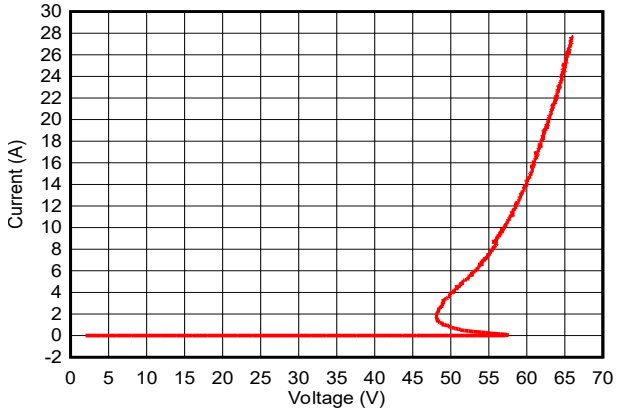


図 5-8. 負の TLP 曲線

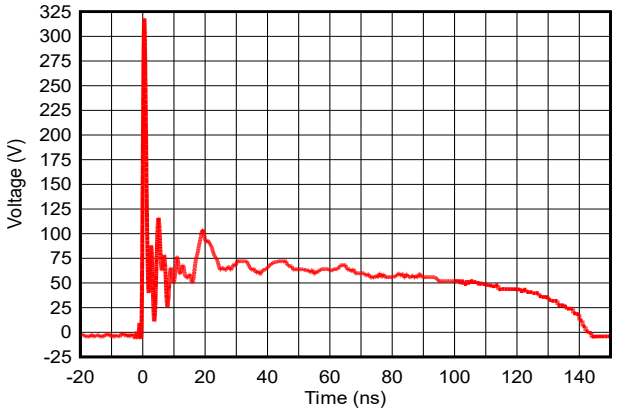


図 5-9. +8kV クランプ IEC 波形

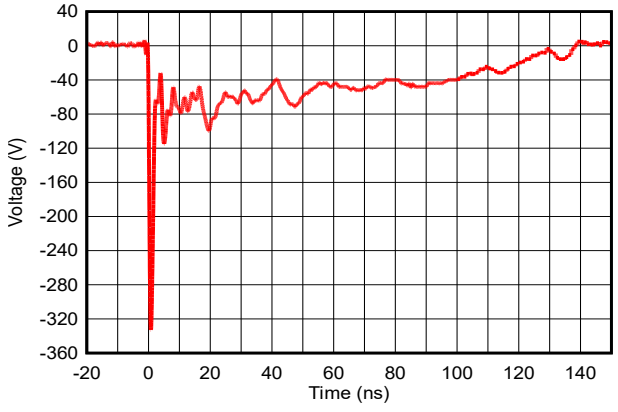


図 5-10. -8kV クランプ IEC 波形

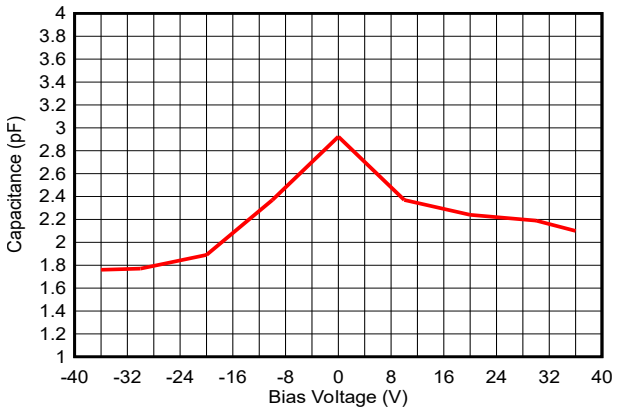


図 5-11. 静電容量とバイアス電圧

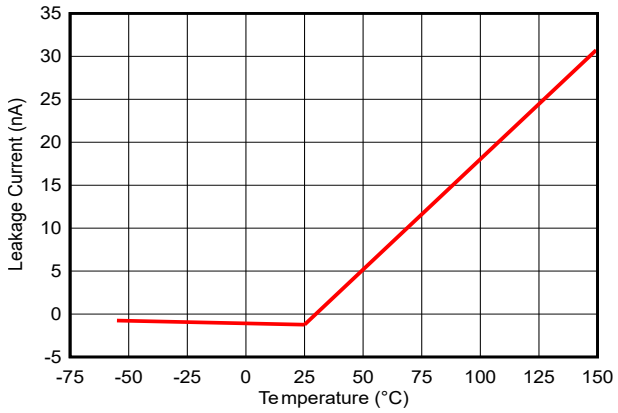


図 5-12. リーケージと温度との関係

5.7 代表的特性 – ESD862

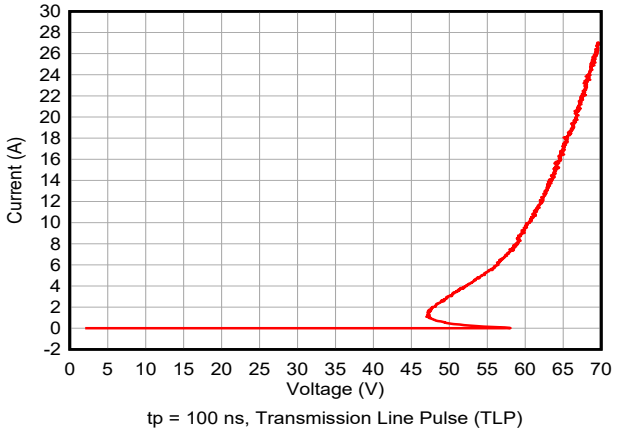


図 5-13. 正の TLP 曲線

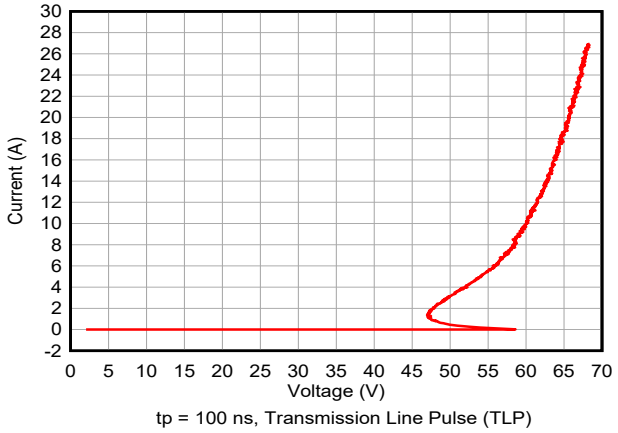


図 5-14. 負の TLP 曲線

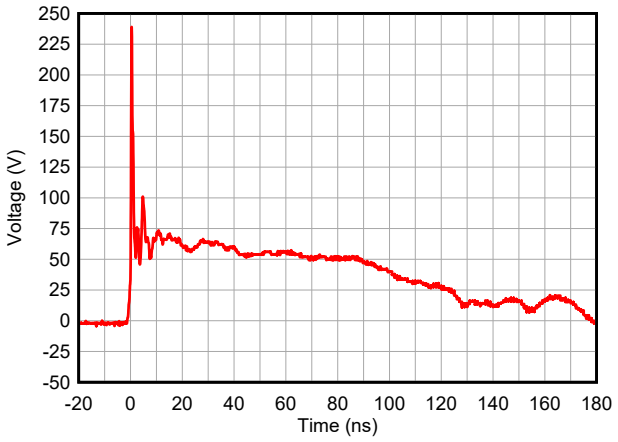


図 5-15. +8kV クランプ IEC 波形

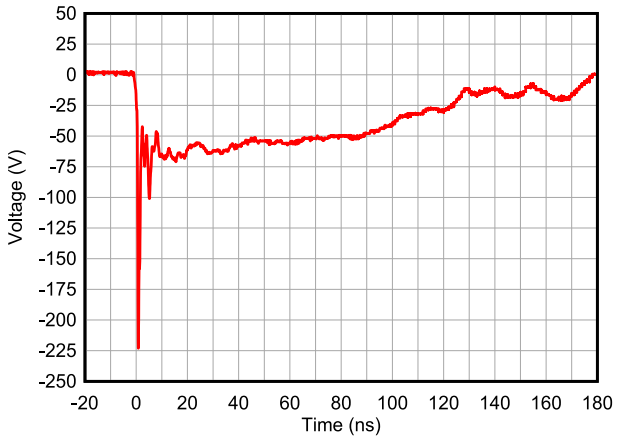


図 5-16. -8kV クランプ IEC 波形

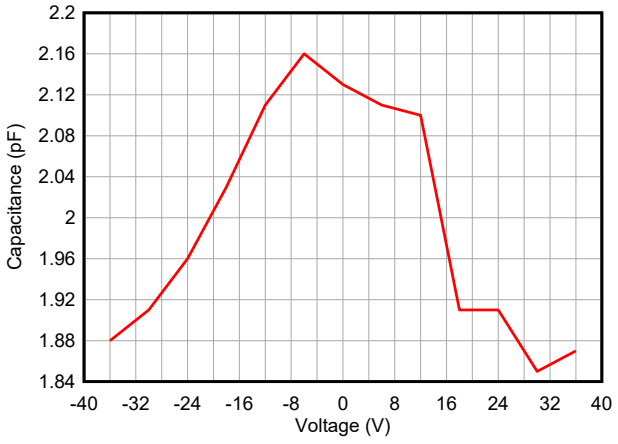


図 5-17. 静電容量とバイアス電圧

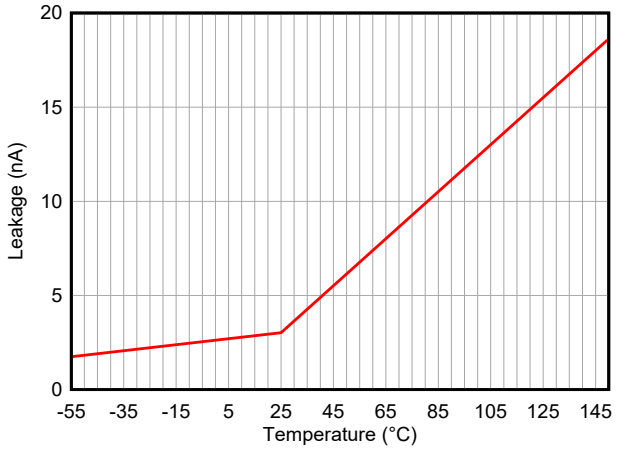


図 5-18. リーケージと温度との関係

Copyright © 2026 Texas Instruments Incorporated

6 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

6.1 アプリケーション情報

ESD8x2 デバイスは、信号線や電源線における ESD やサージなどの過渡電圧スパイクを放電するために、接地への経路を提供する ESD ダイオードです。このデバイスを保護対象の下流回路に並列に接続します。過渡電流がデバイスを通過するときに、ダイオードの両端にはわずかな電圧降下が生じます。これは、保護対象の IC に供給される電圧です。トリガされた ESD の R_{DYN} が低いと、この電圧（V_{CLAMP}）は、保護された IC に対して安全なレベルに保持されます。このデバイスの適切な使用方法については、『*ESD パッケージングおよびレイアウト ガイド*』を参照してください。

7 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

7.1 ドキュメントのサポート

7.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、*『ESD レイアウト ガイド ユーザー ガイド』*
- テキサス・インスツルメンツ、*『USB インターフェイス用の ESD およびサージ保護』*アプリケーション ノート
- テキサス インスツルメンツ、*『ESD 保護ダイオード EVM ユーザー ガイド』*
- テキサス・インスツルメンツ、『汎用 ESD 評価基板ユーザー ガイド』
- テキサス インスツルメンツ、*『ESD 保護の読み取りと理解』*データ シート

7.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

7.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

7.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2026 Texas Instruments Incorporated

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (June 2025) to Revision B (January 2026)	Page
• DFN パッケージを追加	1

Changes from Revision * (November 2023) to Revision A (June 2025)	Page
• DCK パッケージを追加	1

日付	改訂	注
2023 年 11 月	*	初版リリース

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ESD852DBZR	Active	Production	SOT-23 (DBZ) | 3	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	2Z38
ESD852DBZR.B	Active	Production	SOT-23 (DBZ) | 3	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	2Z38
ESD852DXAR	Active	Production	USON (DXA) | 3	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-55 to 150	1WZ
ESD862DBZR	Active	Production	SOT-23 (DBZ) | 3	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	2Z78
ESD862DBZR.B	Active	Production	SOT-23 (DBZ) | 3	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	2Z78

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

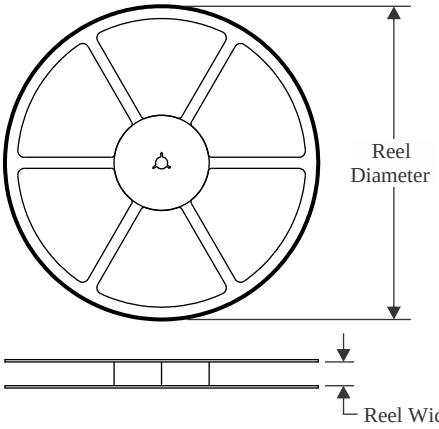
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

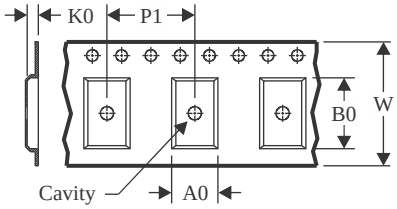
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

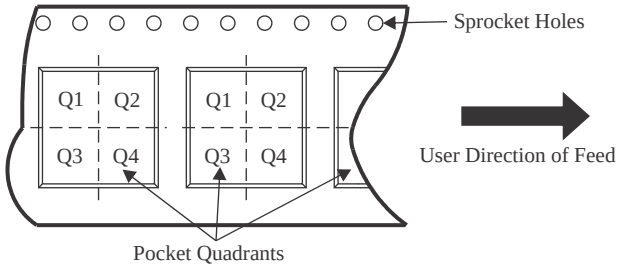


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

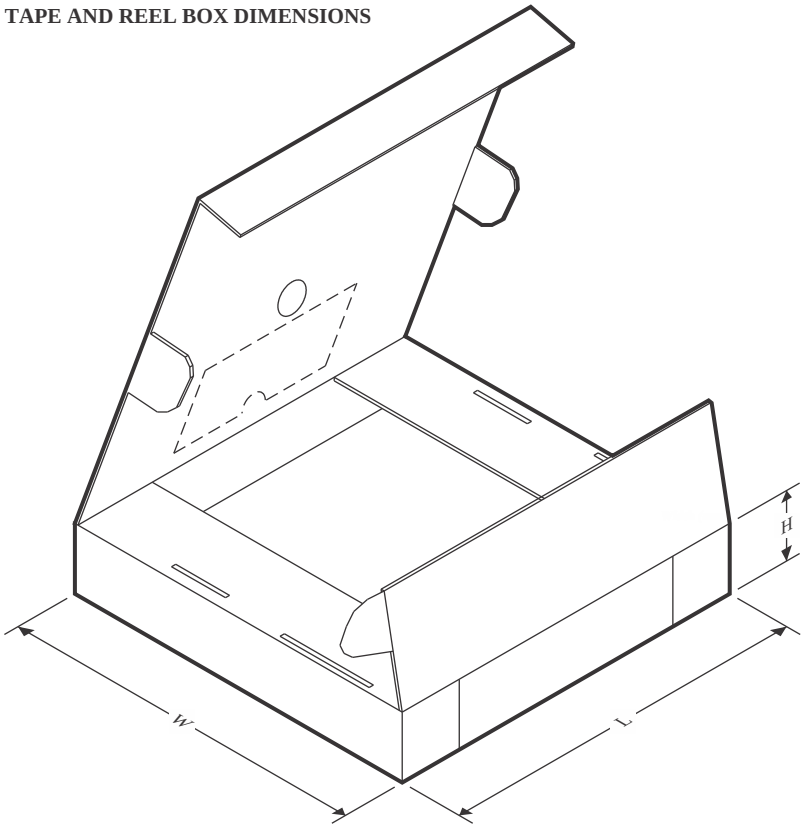
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ESD852DBZR	SOT-23	DBZ	3	3000	180.0	8.4	2.9	3.35	1.35	4.0	8.0	Q3
ESD852DXAR	USON	DXA	3	3000	180.0	8.4	1.2	1.3	0.65	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ESD852DBZR	SOT-23	DBZ	3	3000	210.0	185.0	35.0
ESD852DXAR	USON	DXA	3	3000	210.0	185.0	35.0

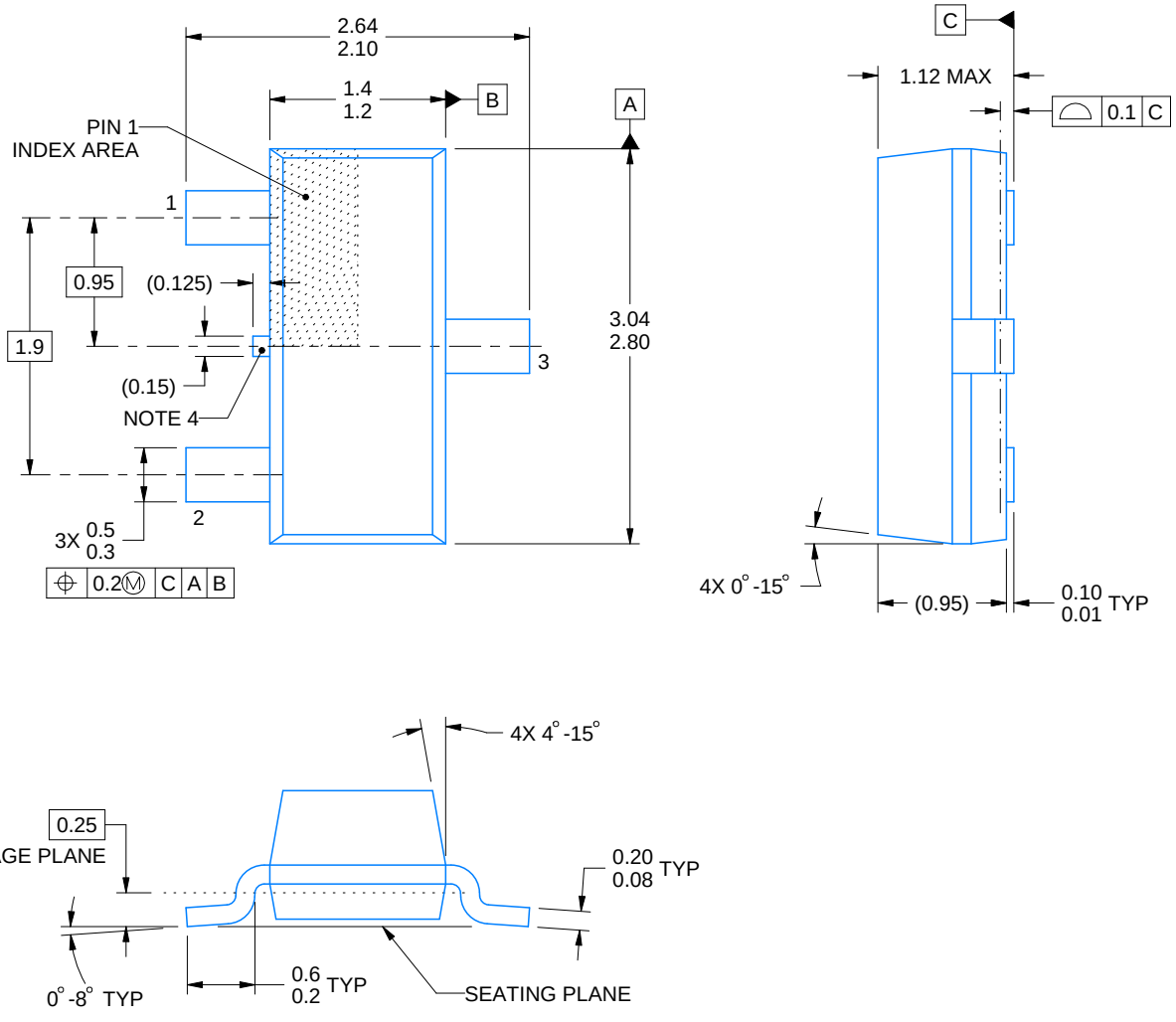
PACKAGE OUTLINE

DBZ0003A



SOT-23 - 1.12 mm max height

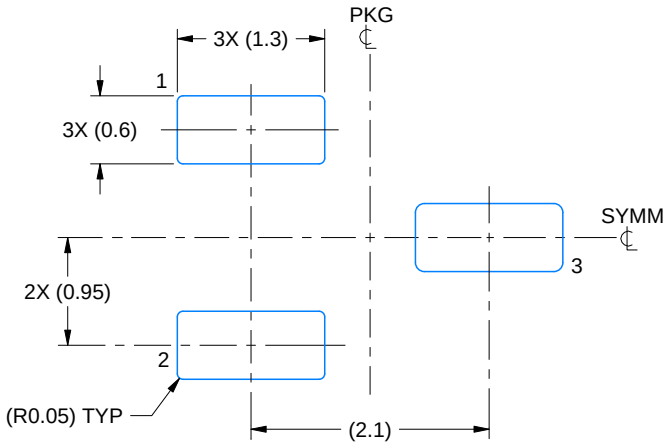
SMALL OUTLINE TRANSISTOR



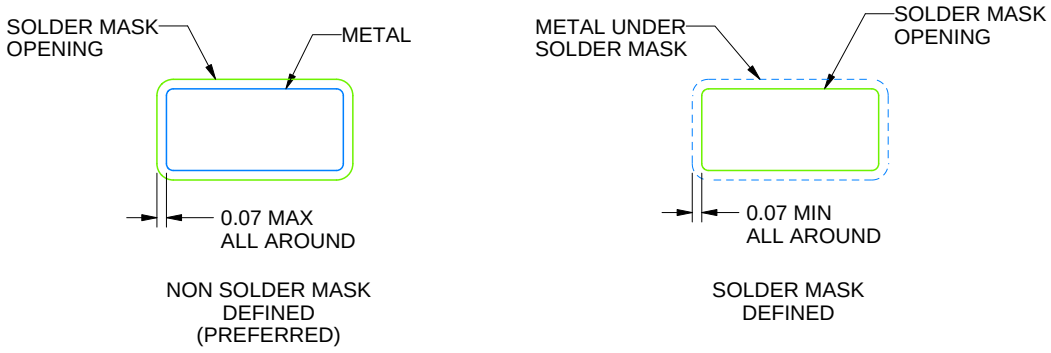
4214838/F 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration TO-236, except minimum foot length.
4. Support pin may differ or may not be present.
5. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
SCALE:15X

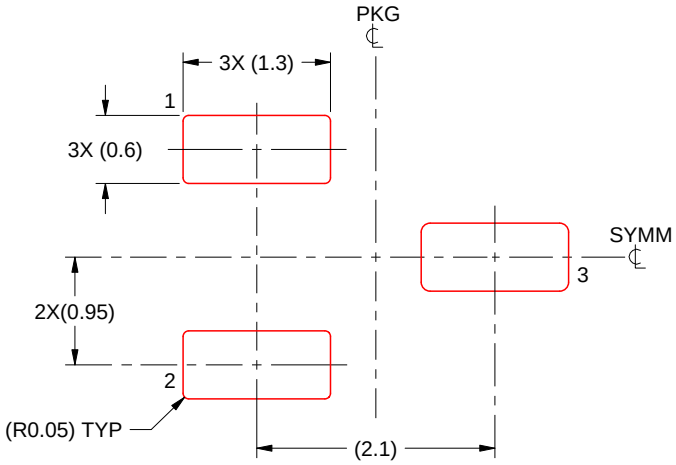


SOLDER MASK DETAILS

4214838/F 08/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



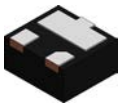
SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:15X

4214838/F 08/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

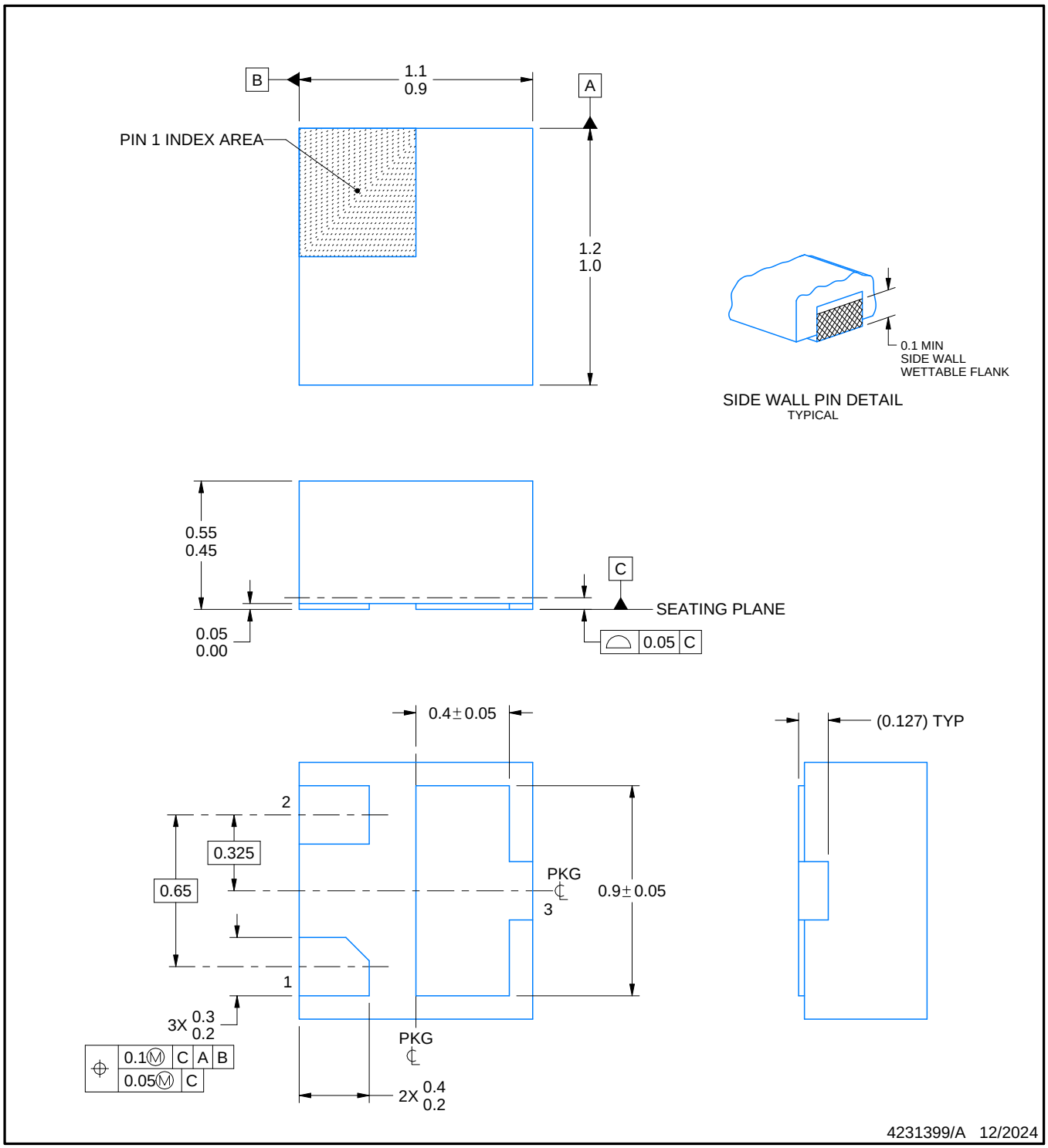
DXA0003A



PACKAGE OUTLINE

USON - 0.55 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

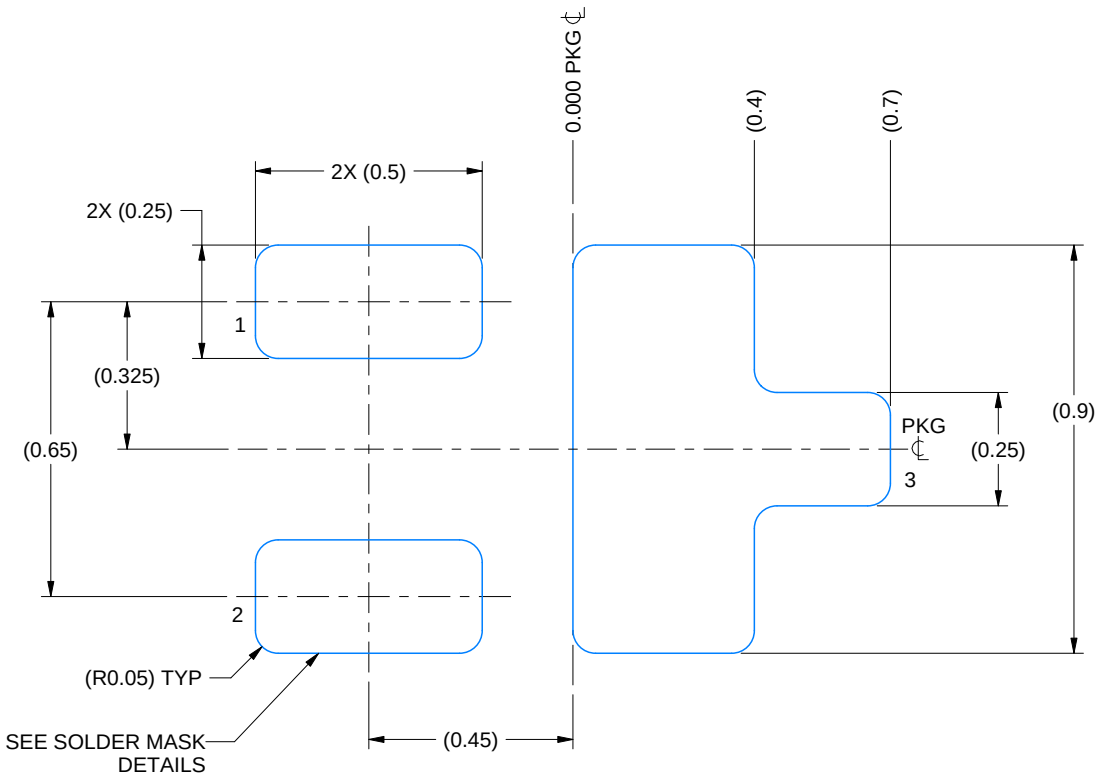
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

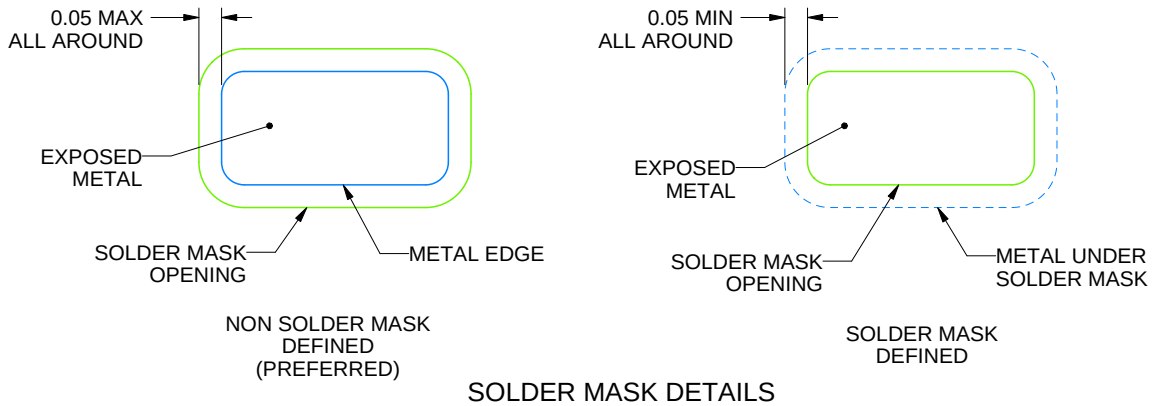
DXA0003A

USON - 0.55 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 60X



SOLDER MASK DETAILS

4231399/A 12/2024

NOTES: (continued)

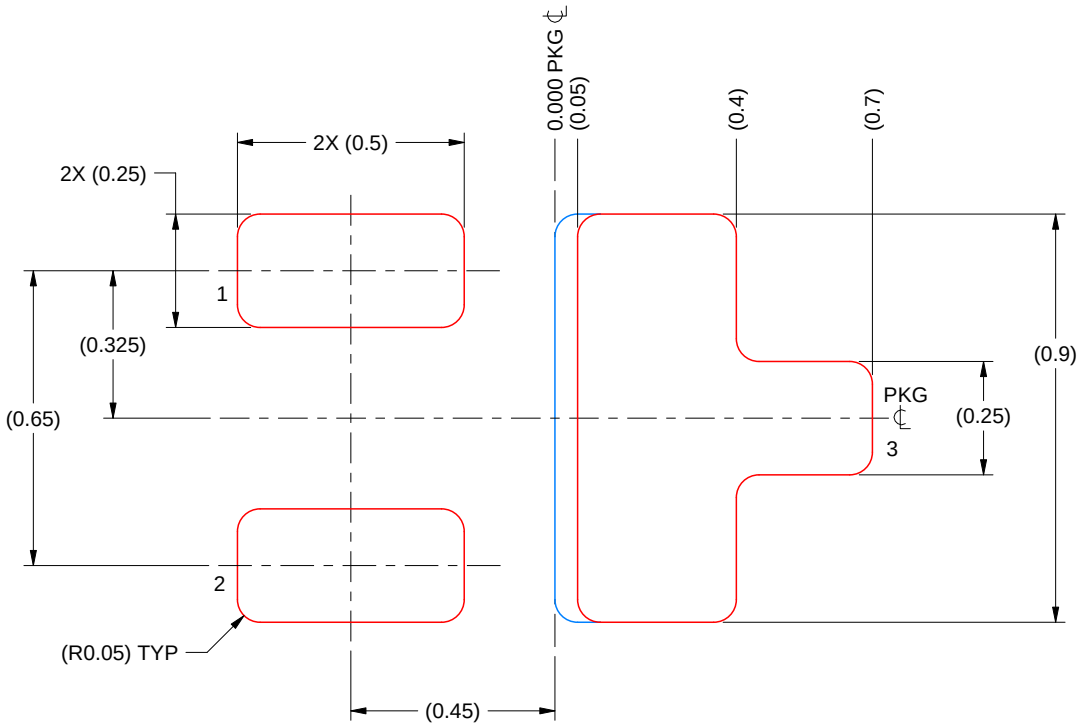
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DXA0003A

USON - 0.55 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 60X

EXPOSED PAD 3
90% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4231399/A 12/2024

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月