ESDS31x データ ライン サージ / ESD 保護ダイオード アレイ

1 特長

- IEC 61000-4-2 ESD 保護:
  - 接触放電:±30kV
  - 空中放電:±30kV
- IEC 61000-4-4 EFT 保護:
  - 80A (5/50ns)
- IEC 61000-4-5 サージ保護:
  - 25A (8/20µs)
- IO 容量:
  - 4.5pF (標準値)
- DC ブレークダウン電圧:5.5V (最小値)
- 超低リーク電流:5nA (標準値)
- 最大 5Gbps の高速インターフェイスをサポート
- 産業用温度範囲:-40℃～+125℃
- 使いやすいフロースルー配線パッケージ (ESDS312)

2 アプリケーション

- 最終製品:
  - イーサネット スイッチ
  - アクセス ポイント
  - ゲートウェイ
  - プリンタ
  - DVR および NVR
- インターフェイス:
  - イーサネット™ 10/100/1000Mbps
  - USB™ 2.0
  - GPIO

3 概要

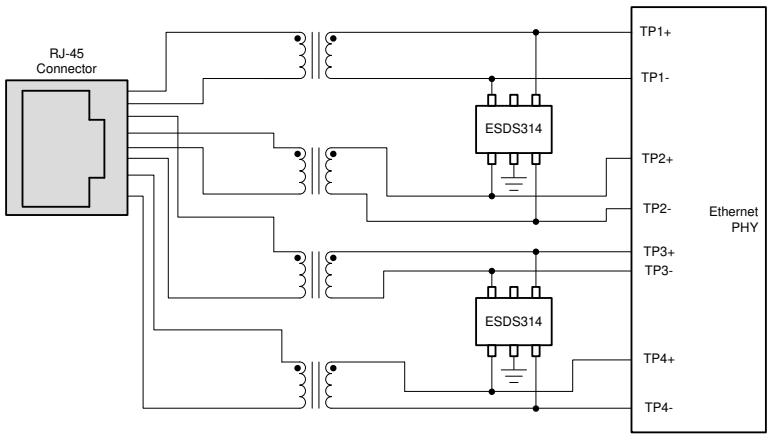
ESDS31x デバイスは、単方向の TVS ESD 保護ダイオード アレイで、イーサネット、USB、および最大 25A (8/20µs) の汎用データ ライン サージ保護用です。ESDS31x デバイスは、IEC 61000-4-2 国際規格 (レベル 4) で規定されている最大レベルを上回る ESD 耐性を備えています。

このデバイスにはチャネルごとに 4.5pF の IO 容量が存在するため、イーサネット 10/100/1000、USB 2.0、GPIO など高速インターフェイスの保護に最適です。低い動的抵抗および低いクランピング電圧により、過渡現象に対してシステム レベルの保護を実現します。

パッケージ情報

部品番号	チャネル数	パッケージ (1)
ESDS311	1 チャネル	DYF (SOD-323、2)
ESDS312	2 チャネル	DBV (SOT-23、5)
ESDS314	4 チャネル	DBV (SOT-23、5)

(1) 詳細は、セクション 10 を参照してください。



代表的なアプリケーション回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

Table of Contents

1 特長 1
2 アプリケーション 1
3 概要 1
4 Pin Configuration and Functions 2
5 Specifications 4
5.1 Absolute Maximum Ratings 4
5.2 ESD Ratings - JEDEC Specifications 4
5.3 ESD Ratings - IEC Specifications 4
5.4 Recommended Operating Conditions 4
5.5 Thermal Information 4
5.6 Electrical Characteristics 5
5.7 Typical Characteristics 6
6 Detailed Description 8
6.1 Overview 8
6.2 Functional Block Diagram 8
6.3 Feature Description 8
6.4 Device Functional Modes 8
7 Application and Implementation 9
7.1 Application Information 9
7.2 Typical Application 9
7.3 Power Supply Recommendations 10
7.4 Layout 10
8 Device and Documentation Support 12
8.1 Documentation Support 12
8.2 ドキュメントの更新通知を受け取る方法 12
8.3 サポート・リソース 12
8.4 Trademarks 12
8.5 静電気放電に関する注意事項 12
8.6 用語集 12
9 Revision History 12
10 Mechanical, Packaging, and Orderable Information 13

4 Pin Configuration and Functions

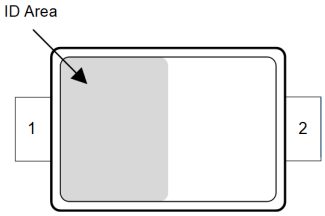


図 4-1. ESDS311 DYF, 2-Pin SOD323 (Top View)

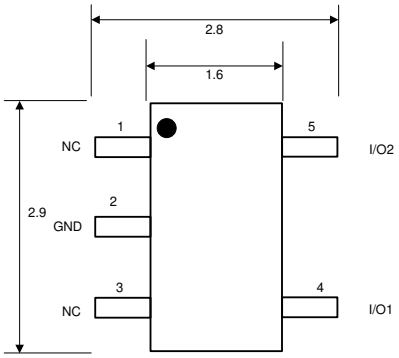


図 4-2. ESDS312 DBV Package, 5-Pin SOT23 (Top View)

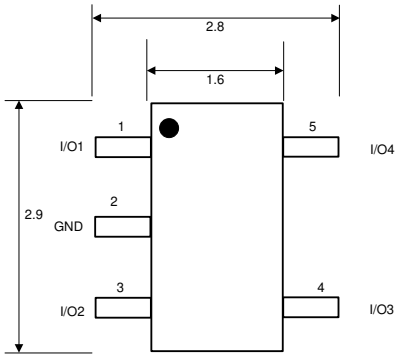


図 4-3. ESDS314 DBV Package, 5-Pin SOT23 (Top View)

Copyright © 2024 Texas Instruments Incorporated

表 4-1. Pin Functions for ESDS311

PIN		TYPE[(1)]	DESCRIPTION
NAME	NO.		
I/O	1	I/O	Surge/ESD protected channels. Connect to the lines being protected.
GND	2	GND	Ground. Connect to ground.

表 4-2. Pin Functions for ESDS312

PIN		TYPE[(1)]	DESCRIPTION
NAME	NO.		
I/O1	4	I/O	Surge/ESD protected channels. Connect to the lines being protected.
I/O2	5		
GND	2	GND	Ground. Connect to ground.
NC	1	NC	Not connected; Used for optional straight-through routing. Can be left floating or grounded
NC	3		

表 4-3. Pin Functions for ESDS314

PIN		TYPE[(1)]	DESCRIPTION
NAME	NO.		
I/O1	1	I/O	Surge/ESD protected channels. Connect to the lines being protected.
I/O2	3		
I/O3	4		
I/O4	5		
GND	2	GND	Ground. Connect to ground

(1) I = input, O = output, NC = no connection, and GND = ground

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)[1]

		MIN	MAX	UNIT
IEC 61000-4-4 Electrical Fast Transient	Peak Power at 25 °C		80	A
IEC 61000-4-5 Surge (t_p 8/20µs	Peak Power at 25 °C		170	W
	Peak Current at 25 °C		25	A
T_A	Operating free-air temperature	–40	125	°C
T_{stg}	Storage temperature	–65	155	°C

(1) Operation outside the *Absolute Maximum Rating* may cause permanent device damage. *Absolute Maximum Rating* do not imply functional operation of the device at these or any other conditions beyond those listed under *Recommended Operating Condition*. If used outside the *Recommended Operating Condition* but within the *Absolute Maximum Rating*, the device may not be fully functional, and this may affect device reliability, functionality, performance, and shorten the device lifetime.

5.2 ESD Ratings - JEDEC Specifications

			VALUE	UNIT
$V_{(ESD)}$	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001, all-pins[1]	±2500	V
		Charged device model (CDM), per JEDEC specification JESD22-C101, all pins[2]	±1000	

(1) JEDEC document JEP155 states that 500V HBM allows safe manufacturing with a standard ESD control process.
(2) JEDEC document JEP157 states that 250V CDM allows safe manufacturing with a standard ESD control process.

5.3 ESD Ratings - IEC Specifications

			VALUE	UNIT
$V_{(ESD)}$	Electrostatic discharge	IEC 61000-4-2 Contact Discharge, all pins	±30000	V
		IEC 61000-4-2 Air Discharge, all pins	±30000	

5.4 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

		MIN	NOM	MAX	UNIT
V_{IN}	Input voltage	0		3.6	V
T_A	Operating Free Air Temperature	–40		125	°C

5.5 Thermal Information

THERMAL METRIC [1]		ESDS311	ESDS312	ESDS314	UNIT
		DYF (SOD323)	DBV (SOT-23)	DBV (SOT-23)	
		2 PINS	5 PINS	5 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	739.2	163.9	127.6	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	287.7	113.4	78.9	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	605.5	76.9	43.9	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	118.4	59.8	24.5	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	591.1	76.8	43.7	°C/W

Copyright © 2024 Texas Instruments Incorporated

5.5 Thermal Information (続き)

THERMAL METRIC [1]		ESDS311	ESDS312	ESDS314	UNIT
		DYF (SOD323)	DBV (SOT-23)	DBV (SOT-23)	
		2 PINS	5 PINS	5 PINS	
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	N/A	N/A	N/A	°C/W

(1) For more information about traditional and new thermal metrics, see the Semiconductor and IC Package Thermal Metrics application report.

5.6 Electrical Characteristics

At T_A = 25°C unless otherwise noted

PARAMETER		TEST CONDITIONS	Device	MIN	TYP	MAX	UNIT
V_{RWM}	Reverse stand-off voltage	I_{IO} < 500nA, across operating temperature range				3.6	V
$I_{LEAKAGE}$	Leakage current at 3.6V	V_{IO} = 3.6V, Any IO pin to GND			5	50	nA
V_{BRF}	Breakdown voltage, IO to GND [1]	I_{IO} = 1mA		4.5		7.5	V
V_{FWD}	Forward Voltage, GND to IO	I_{IO} = 1mA			0.8		V
V_{HOLD}	Holding Voltage, IO to GND [2]	I_{IO} = 1mA			5		V
V_{CLAMP}	Surge Clamping voltage, t_p = 8/20µs	I_{PP} = 1A, Any IO pin to GND	ESDS312/314		5		V
V_{CLAMP}		I_{PP} = 12A, Any IO pin to GND	ESDS311		6.3		V
			ESDS312/314		5.6		
V_{CLAMP}		I_{PP} = 25A, Any IO pin to GND	ESDS311		7.7		V
			ESDS312/314		6.5		
V_{CLAMP}		I_{PP} = 1A, GND to any IO pin	ESDS312/314		1		V
V_{CLAMP}		I_{PP} = 12A, GND to any IO pin	ESDS311		3		V
			ESDS312/314		2.1		
V_{CLAMP}		I_{PP} = 25A, GND to any IO pin	ESDS311		4.9		V
			ESDS312/314		3.6		
V_{CLAMP}	TLP Clamping Voltage, t_p = 100ns	I_{PP} = 16A, Any IO pin to GND	ESDS311		6.5		V
			ESDS312/314		5.5		
V_{CLAMP}		I_{PP} = 16A, GND to any IO pin	ESDS311		3.4		V
			ESDS312/314		2.2		
C_{LINE}	Line capacitance, Any IO to GND	V_{IO} = 0V, V_{p-p} = 30mV, f = 1MHz			4.5	5.5	pF
ΔC_{LINE}	Variation of line capacitance	C_{LINE1} - C_{LINE2}, V_{IO} = 0V, Vp-p = 30mV, f = 1MHz	ESDS312/314		0.05	0.1	pF
C_{CROSS}	Line-to-line capacitance	V_{IO} = 0V, V_{rms} = 30mV, f = 1MHz	ESDS312/314		2.25	2.75	pF

(1) V_{BRF} and V_{BRR} are defined as the voltage obtained at 1mA when sweeping the voltage up, before the device latches into the snapback state
(2) V_{HOLD} is defined as the voltage when 1mA is applied, after the device has successfully latched into the snapback state.

5.7 Typical Characteristics

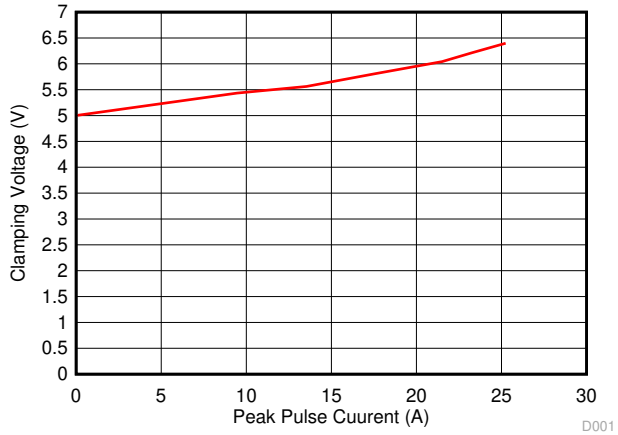


図 5-1. Clamping Voltage vs. Peak Pulse Current (t_p= 8/20µs), Any IO Pin to GND

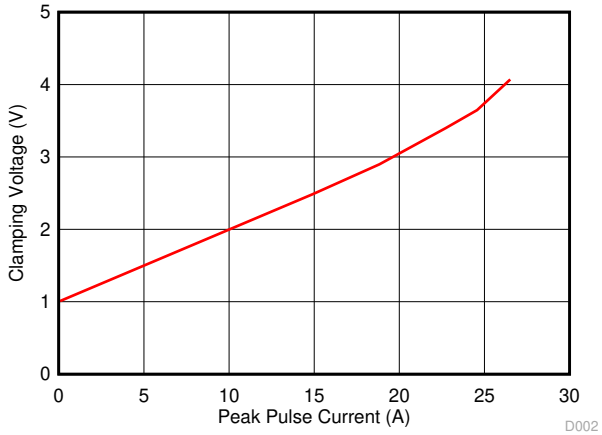


図 5-2. Clamping Voltage vs. Peak Pulse Current (t_p= 8/20µs), GND to Any IO Pin

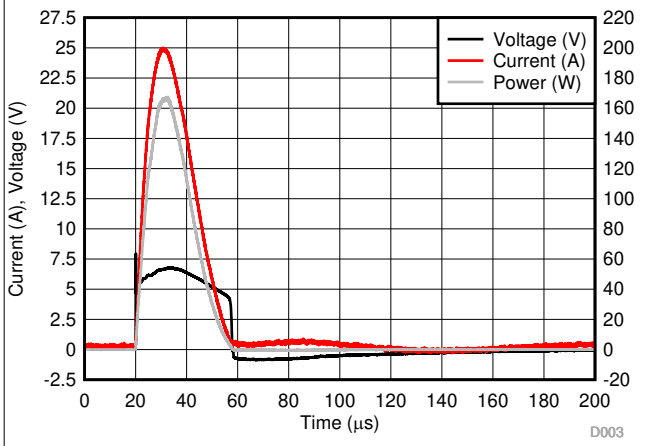


図 5-3. Surge Current, Clamping Voltage and Power Curve (t_p = 8/20µs), Any IO Pin to GND

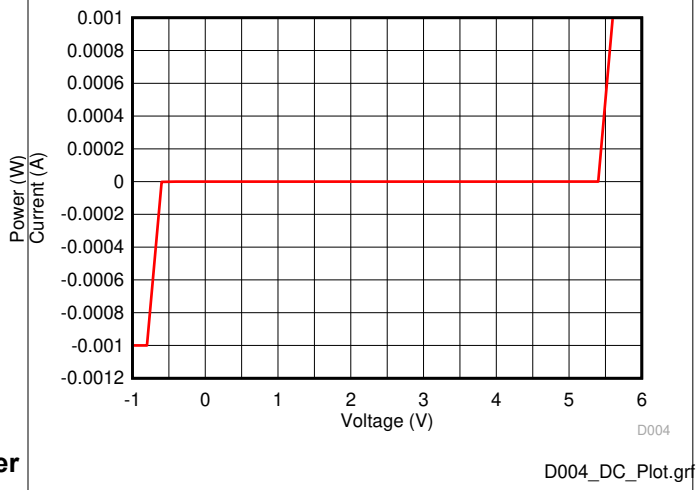


図 5-4. DC I-V Curve

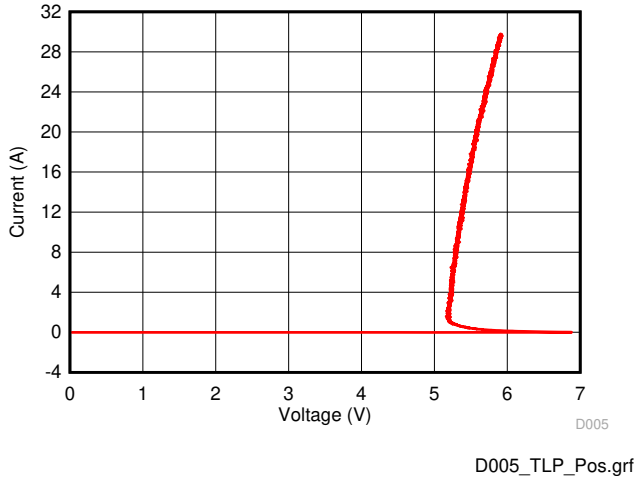


図 5-5. TLP I-V Curve, IO to GND, t_p = 100ns

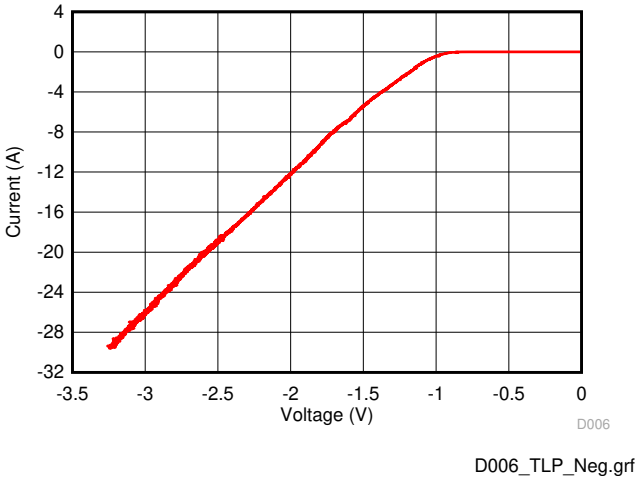
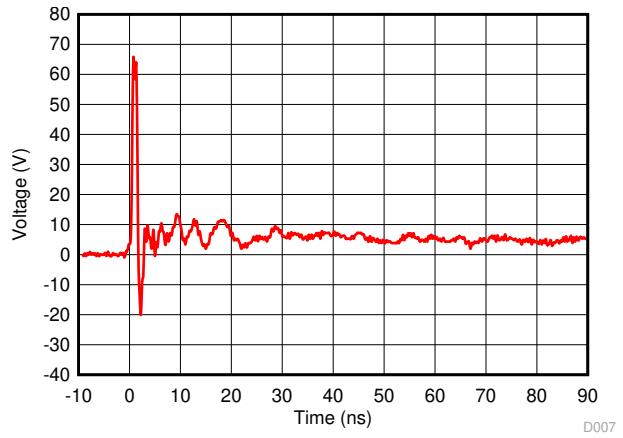


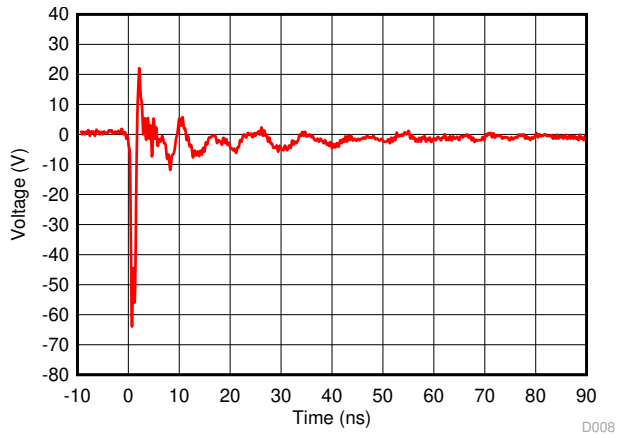
図 5-6. TLP I-V Curve, IO to GND Negative, t_p=100ns

Copyright © 2024 Texas Instruments Incorporated



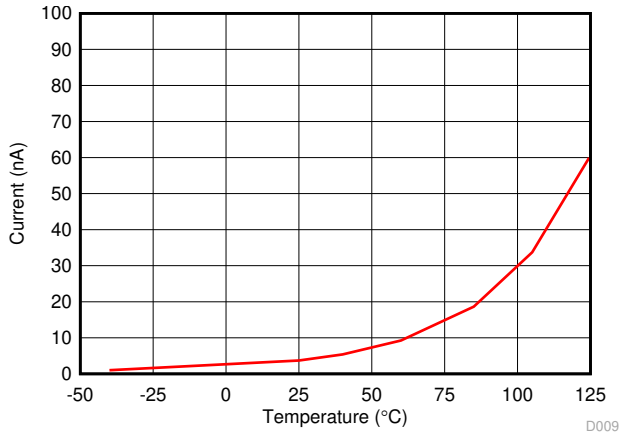
D007_IEC_Pos.grf

図 5-7. +8kV IEC 61000-4-2 Clamping Voltage Waveform



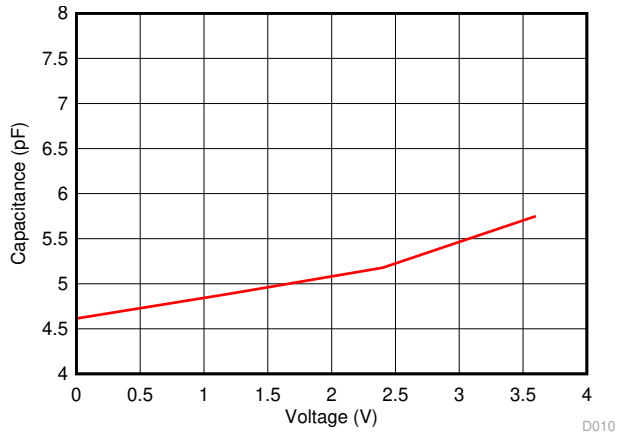
D008_IEC_Neg.grf

図 5-8. -8kV IEC 61000-4-2 Clamping Voltage Waveform



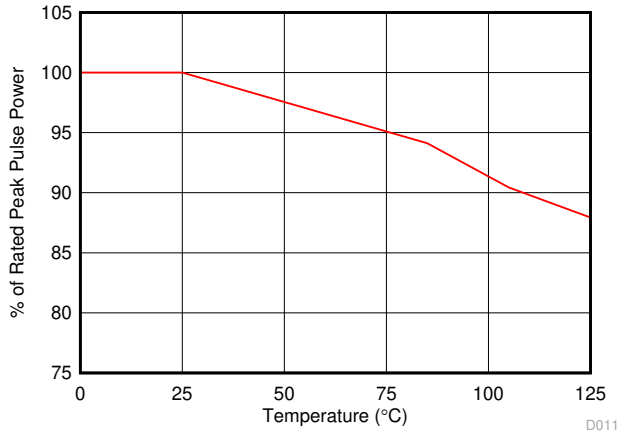
D009_Leakage.grf

図 5-9. DC Leakage vs. Ambient Temperature, Bias Voltage = 3.6V



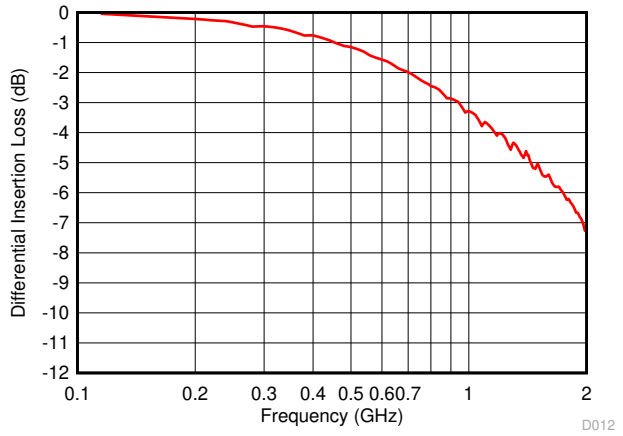
D010_Cap_Vbias.grf

図 5-10. Capacitance vs. Bias Voltage at 25 °C



D011_Power_Derating.grf

図 5-11. Surge Power Derating with Respect To Ambient Temperature



D012_S21.grf

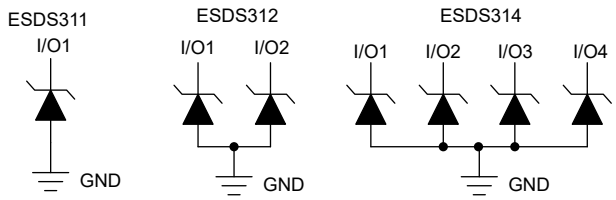
図 5-12. Differential Insertion Loss

6 Detailed Description

6.1 Overview

The ESDS31x devices are unidirectional ESD Protection Diodes with a low capacitance. These devices can dissipate high surge currents up to 25A (8/20µs) and ESD strikes above the maximum level specified by the IEC 61000-4-2 International Standard. The low capacitance makes this device an excellent choice for protecting high-speed signal interfaces such as Ethernet 10/100/1000Mbps and general purpose high speed data lines.

6.2 Functional Block Diagram



6.3 Feature Description

6.3.1 IEC 61000-4-4 EFT Protection

The I/O pins of ESDS311, ESDS312, and ESDS314 can withstand surge events (IEC 61000-4-5, 8/20µs waveform) up to 25A and 170W. These devices also provide ESD protection up to ±30kV contact and ±30kV air gap per IEC 61000-4-2 standard. The I/O pins can withstand an electrical fast transient (EFT) burst of up to 80A (IEC 61000-4-4 5/50ns waveform, 4kV with 50Ω impedance). The capacitance between each I/O pin to ground is 4.5pF (typical) and 5.5pF (maximum). This device supports data rates up to 1Gbps.

The reverse DC breakdown voltage of each I/O pin is a minimum of 4.5V. This ensures that sensitive equipment is protected from surges above the reverse standoff voltage of 3.6V. The I/O pins feature an ultra-low leakage current of 100nA (maximum) with a bias of 3.6V. This device features an industrial operating range of –40°C to +125°C.

6.4 Device Functional Modes

The ESDS31x devices are a passive integrated circuit that triggers when voltages are above V_{BRF} or below 0.7V. During ESD events, voltages as high as ±30kV (air) can be directed to ground via the internal diode network. When the voltages on the protected line fall below the trigger levels of ESDS31x (usually within a few nano-seconds) the devices reverts to passive.

Copyright © 2024 Texas Instruments Incorporated

7 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 Application Information

The ESDS31x devices are a diode type TVS which is used to provide a path to ground for dissipating surge and ESD events on high-speed signal lines between a human interface connector and a system. As the current from surge or ESD passes through the TVS, only a small voltage drop is present across the diode. This is the voltage presented to the protected IC. The low R_{DYN} of the triggered TVS holds this voltage, V_{CLAMP}, to a safe level for the protected IC.

7.2 Typical Application

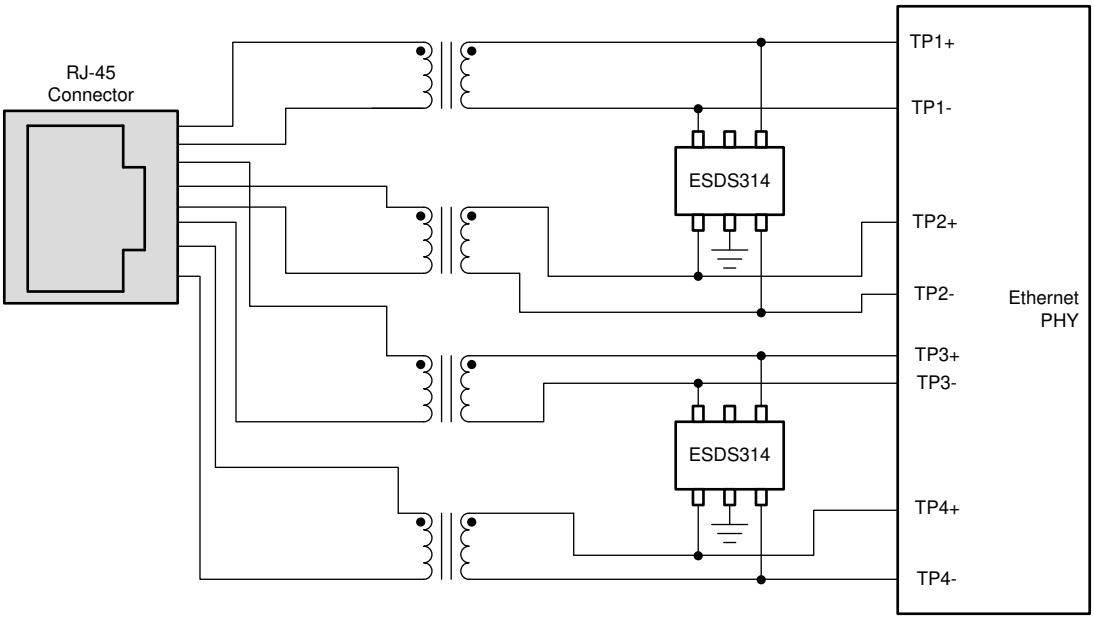


図 7-1. ESDS314 Protecting the Ethernet 1Gbps Interface

7.2.1 Design Requirements

A typical operation for the ESDS314 would be protecting a high speed dataline similar to one shown in 図 7-1. In this example, the ESDS314 is protecting an Ethernet PHY's data lines that has a nominal operating voltage of 3.6V. Many of the Ethernet interfaces that connect to long cables require protection against ±1kV surge test through a 42Ω coupling resistor and a 0.5µF capacitor, equaling roughly 24A of surge current. Without any input protection, if a surge event is caused by lightning, coupling, ringing, or any other fault condition, this input voltage will rise to hundreds of volts for multiple microseconds, harming the device.

For Ethernet 1000Base-T (1Gbps), application design parameters listed in 表 7-1 are known.

表 7-1. Design Parameters

DESIGN PARAMETER	VALUE
Signal range on differential data line pairs	0 to 3.6V
Operating frequency	125MHz

7.2.2 Detailed Design Procedure

7.2.2.1 Signal Range

The ESDS314 has 4 identical surge protection channels with each channel supporting a signal range of 0 to 3.6V. The device will work well with any Ethernet PHY that drives the single ended voltage on the data line up to a 3.6V.

7.2.2.2 Operating Frequency

The ESDS314 has a capacitance of 4.5pF (typical) and can support the 125MHz operation of Ethernet 1000Base-T application

7.2.3 Application Curves

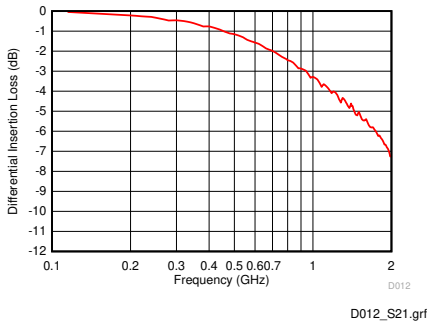


図 7-2. Differential Insertion Loss vs. Frequency

7.3 Power Supply Recommendations

The ESDS314, ESDS312 devices are passive ESD devices and there is no need to power it. Take care not to violate the recommended I/O specification (0 V to 3.6 V) to ensure the device functions properly.

7.4 Layout

7.4.1 Layout Guidelines

- The optimum placement is as close to the connector as possible.
  - EMI during an ESD event can couple from the trace being struck to other nearby unprotected traces, resulting in early system failures.
  - The PCB designer must minimize the possibility of EMI coupling by keeping any unprotected traces away from the protected traces which are between the TVS and the connector.
- Route the protected traces as straight as possible.
- Eliminate any sharp corners on the protected traces between the TVS and the connector by using rounded corners with the largest radii possible.
  - Electric fields tend to build up on corners, increasing EMI coupling.

Copyright © 2024 Texas Instruments Incorporated

7.4.2 Layout Example

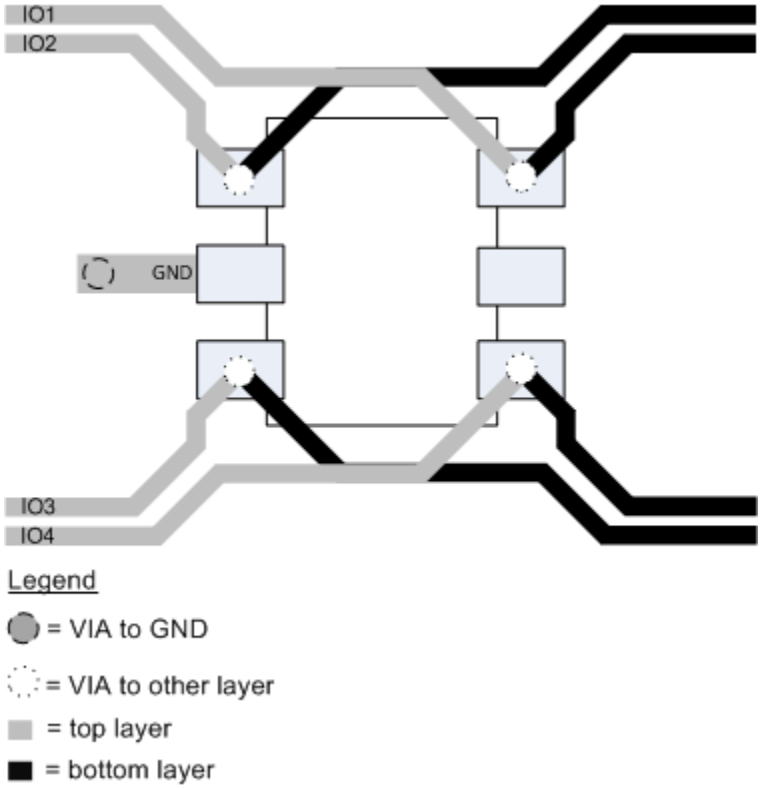


図 7-3. Layout Example for 4-channel Device

8 Device and Documentation Support

8.1 Documentation Support

8.1.1 Related Documentation

For related documentation, see the following:

- Texas Instruments, TI's IEC 61000-4-x Testing application note
- Texas Instruments, ESD Layout Guide user's guide
- Texas Instruments, ESD Protection Diodes EVM user's guide
- Texas Instruments, Generic ESD Evaluation Module user's guide
- Texas Instruments, Reading and Understanding an ESD Protection Data Sheet user's guide

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 Trademarks

イーサネット™ is a trademark of Xerox Corporation.
USB™ is a trademark of USB Implementers Forum.
テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (September 2018) to Revision C (February 2024) — **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- データシートに ESDS311 デバイスを追加 1

Changes from Revision A (July 2018) to Revision B (September 2018) — **Page**

- 「事前情報」から「量産データ」に変更 1

Copyright © 2024 Texas Instruments Incorporated

Changes from Revision * (May 2018) to Revision A (July 2018) **Page**

- 「製品プレビュー」から「事前情報」に変更 1

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ESDS311DYFR	Active	Production	SOT (DYF) | 2	3000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	37OF
ESDS311DYFR.B	Active	Production	SOT (DYF) | 2	3000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	37OF
ESDS312DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1R4B
ESDS314DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1R2B

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

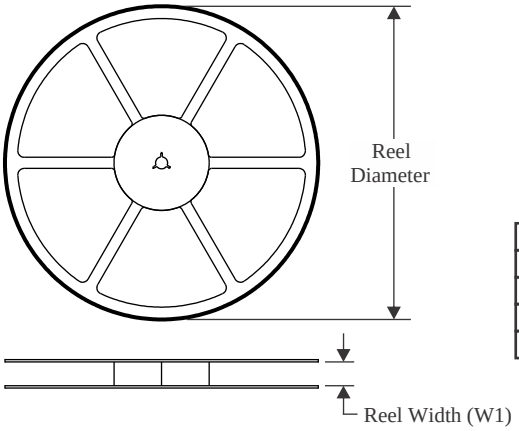
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

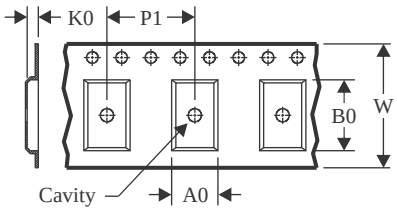
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

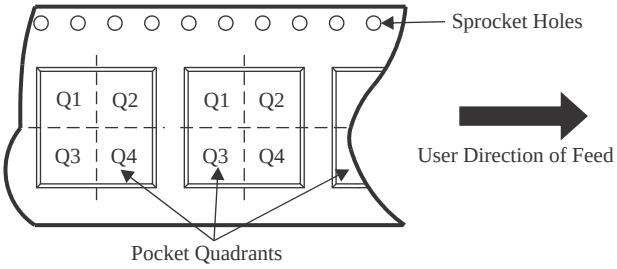


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

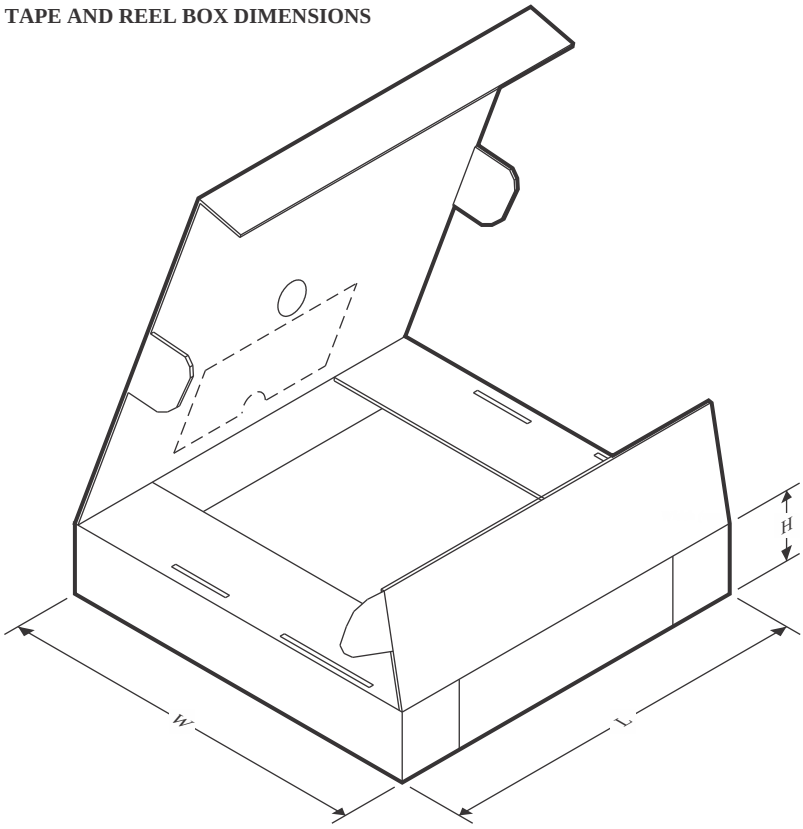
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

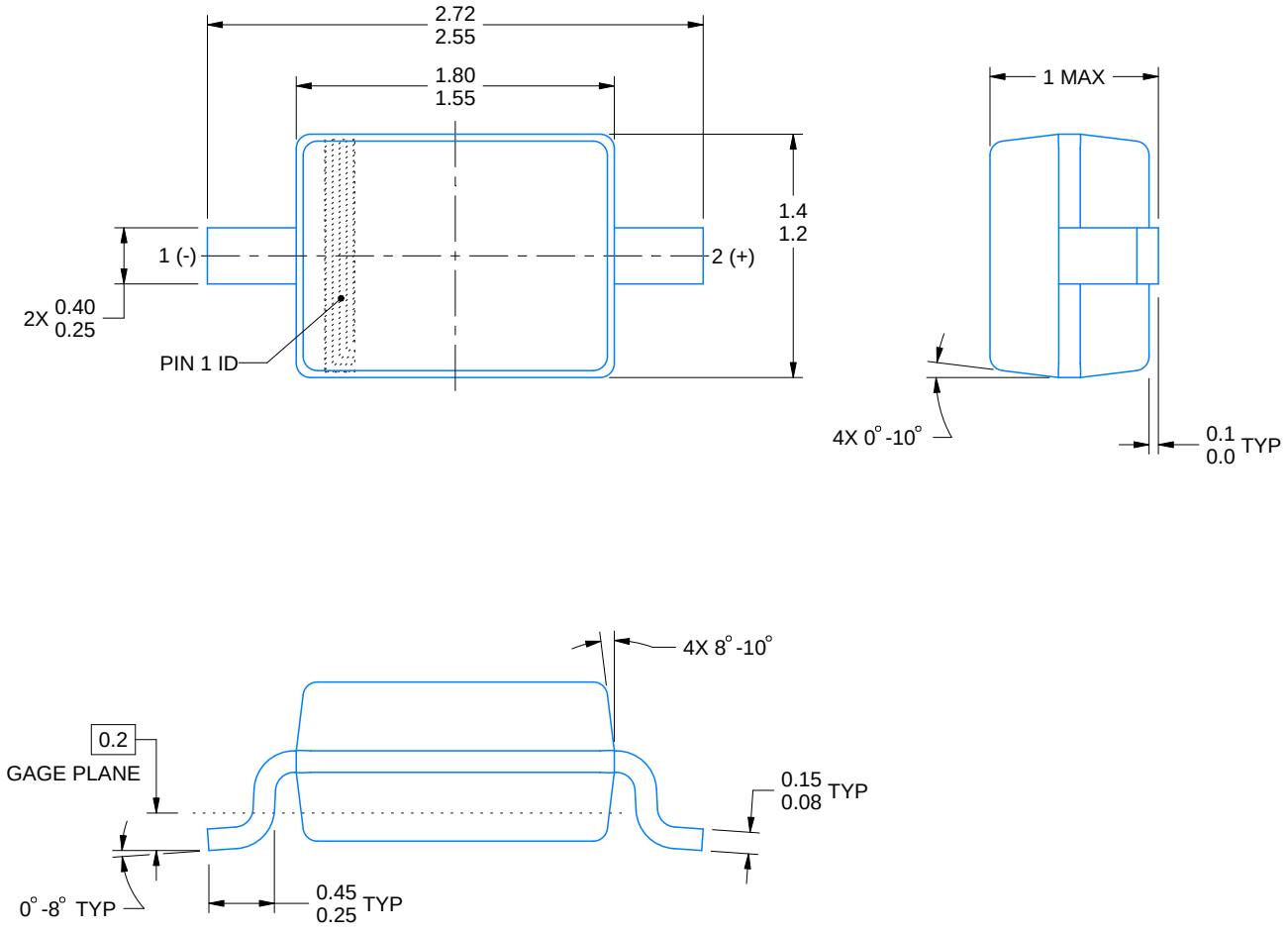
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ESDS311DYFR	SOT	DYF	2	3000	178.0	9.5	1.48	3.3	1.25	4.0	8.0	Q1
ESDS312DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
ESDS314DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

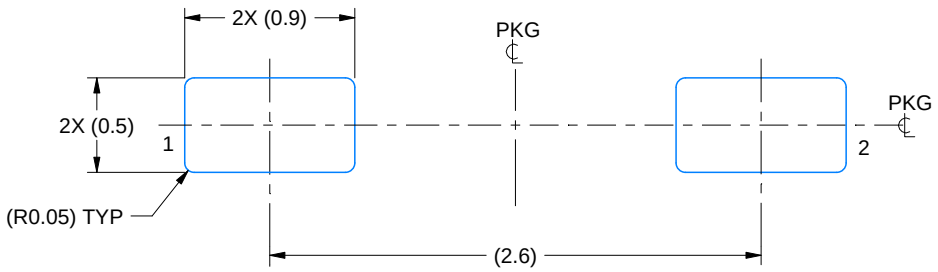
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ESDS311DYFR	SOT	DYF	2	3000	210.0	200.0	42.0
ESDS312DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
ESDS314DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0



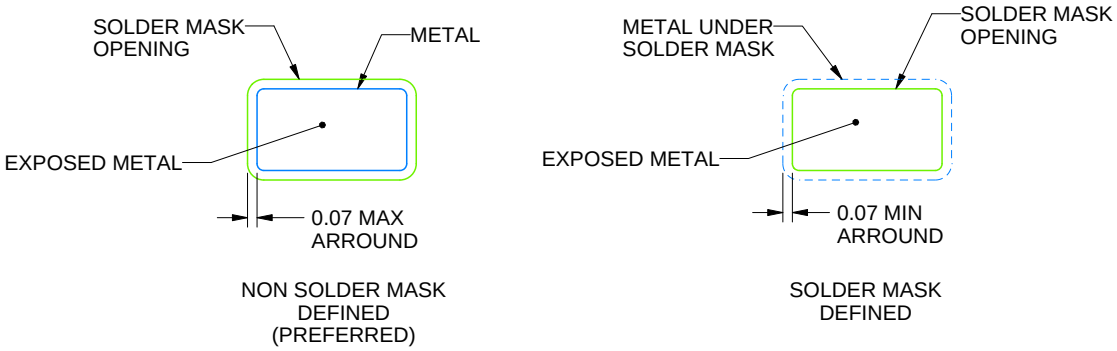
4228484/D 09/2026

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:25X

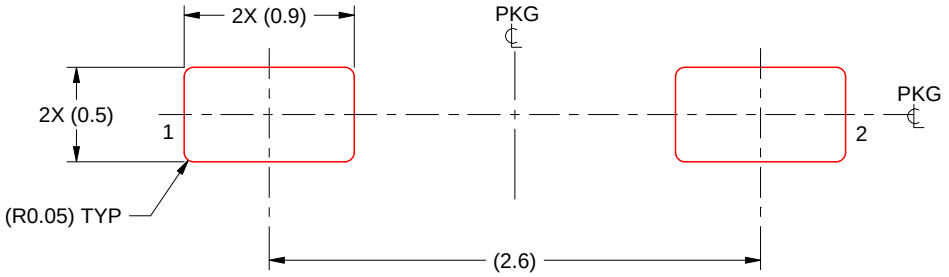


SOLDER MASK DETAILS

4228484/D 09/2026

NOTES: (continued)

3. Publication IPC-7351 may have alternate designs.
4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

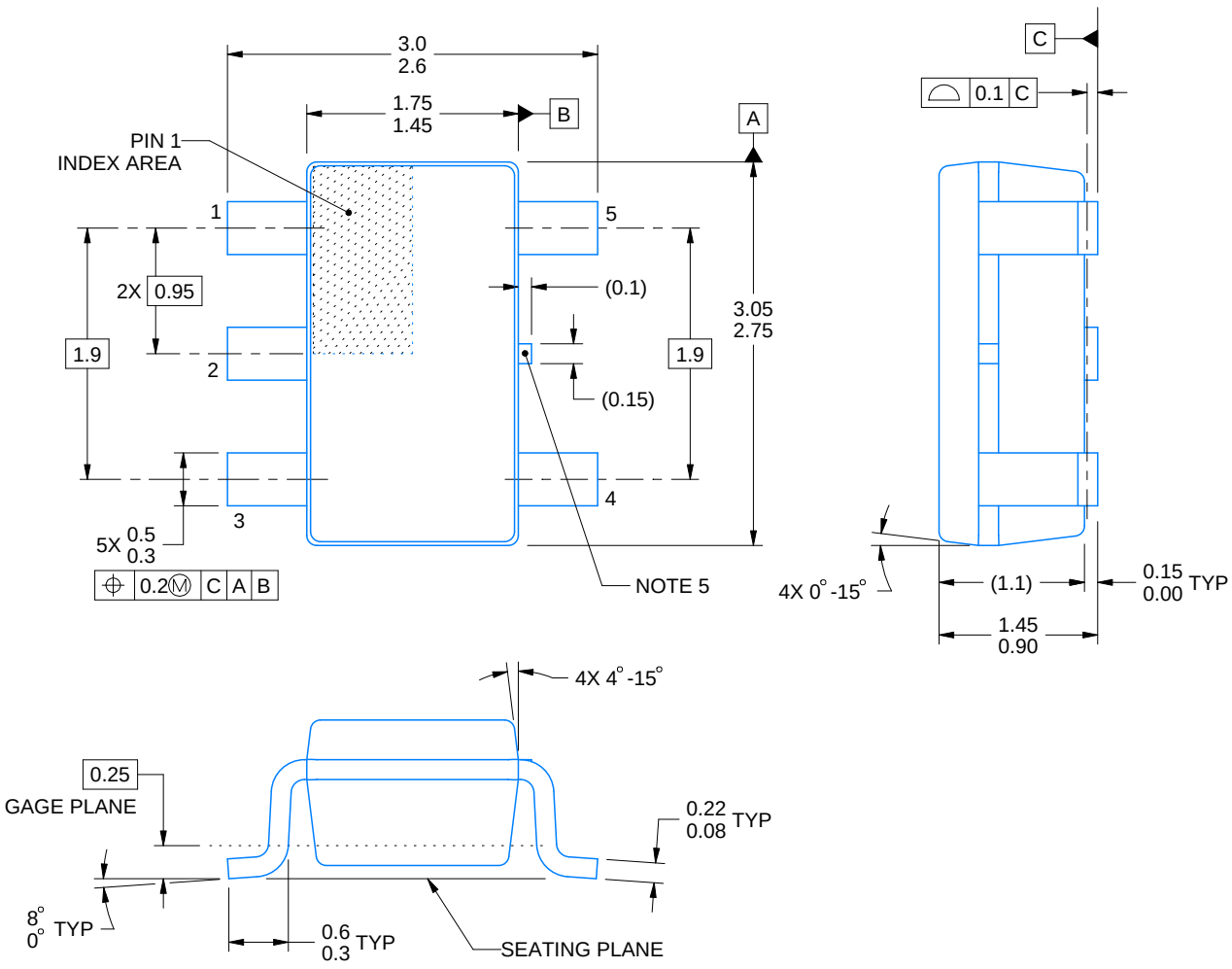


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:25X

4228484/D 09/2026

NOTES: (continued)

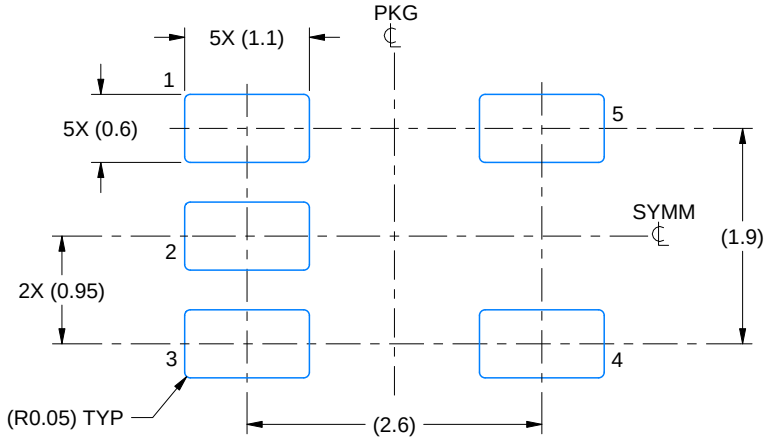
5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
6. Board assembly site may have different recommendations for stencil design.



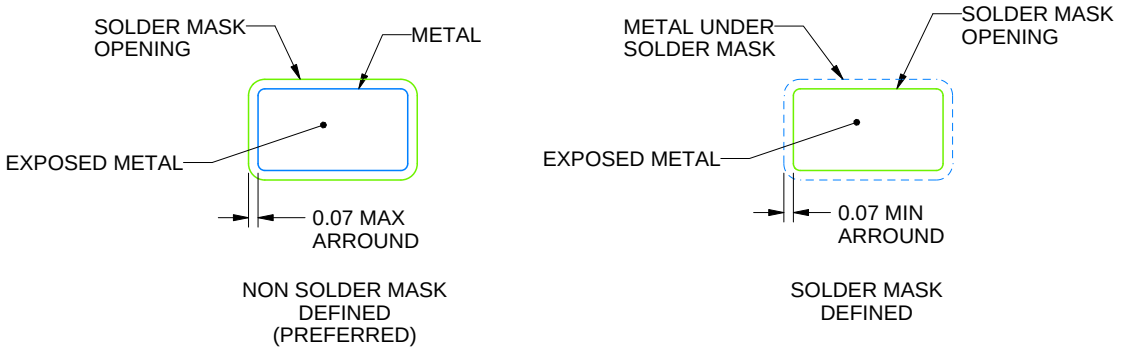
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

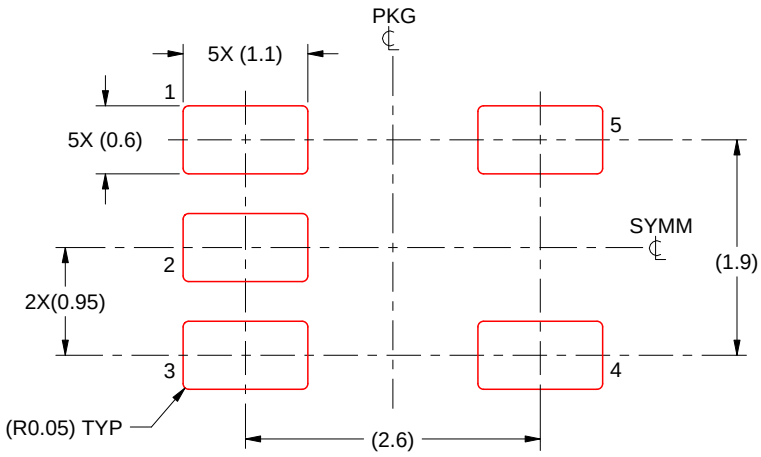


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月