F28377D-SEP デュアルコア リアルタイム マイクロコントローラ

1 特長

- VID - V62/25638
- 放射線耐性を強化
  - 単一イベント ラッチアップ (SEL) 耐性：125℃で 45MeV-cm^2/mg まで
  - すべてのウェハー ロットについて、30krad (Si) までの吸収線量 (TID) RLAT
- 宇宙向け強化プラスチック
  - 管理されたベースライン
  - 金 (Au) ワイヤ
  - 単一のアセンブリ / テスト施設
  - 単一の製造施設
  - 拡張温度範囲 (-55℃ ～ 125℃) で利用可能
  - 長期にわたる製品ライフ サイクル
  - 長期にわたる製品変更通知
  - 製品のトレーサビリティ
  - モールド コンパウンドの改良による低いガス放出
- デュアルコア アーキテクチャ
  - 2 つの TMS320C28x 32 ビット CPU
  - 200MHz
  - IEEE 754 単精度浮動小数点ユニット (FPU)
  - 三角関数演算ユニット (TMU)
  - ビタビ / 複素演算ユニット (VCU-II)
- 2 つのプログラム可能な制御補償器アクセラレータ (CLA)
  - 200MHz
  - IEEE 754 単精度浮動小数点命令
  - メイン CPU と独立にコードを実行
- オンチップ メモリ
  - 512KB (256KW) または 1MB (512KW) のフラッシュ (ECC 保護)
  - 172KB (86KW) または 204KB (102KW) の RAM (ECC 保護またはパリティ保護)
  - デュアル ゾーンのセキュリティでサードパーティーの開発をサポート
  - 固有の識別番号
- クロックおよびシステム制御
  - 2 つの内部ゼロ ピン 10MHz 発振器
  - オンチップの水晶発振器
  - ウィンドウ付きウォッチドッグ タイマ モジュール
  - クロック消失検出回路
- コア 1.2V、I/O 3.3V の設計
- システム ペリフェラル
  - ASRAM および SDRAM をサポートする 2 つの外部メモリ インターフェイス (EMIF)
  - デュアル 6 チャネルの DMA (Direct Memory Access) コントローラ
  - 個別にプログラム可能な最大 169 の多重化された汎用入出力 (GPIO) ピン (入力フィルタ付き)
  - 拡張ペリフェラル割り込みコントローラ (ePIE)
  - 外部ウェーイクアップに対応した複数の低消費電力モード (LPM) をサポート
- 通信ペリフェラル
  - USB 2.0 (MAC + PHY)
  - 12 ピンの 3.3V 互換ユニバーサル パラレル ポート (uPP) インターフェイスをサポート
  - 2 つの CAN (Controller Area Network) モジュール (ピンでブート可能)
  - 3 つの高速 (最高 50MHz) SPI ポート (ピンでブート可能)
  - 2 つのマルチチャネル バッファ付きシリアル ポート (McBSP)
  - 4 つのシリアル通信インターフェイス (SCI/UART) (ピンでブート可能)
  - 2 つの I2C インターフェイス (ピンでブート可能)
- アナログ サブシステム
  - 最大 4 つのアナログ / デジタル コンバータ (ADC)
    - 16 ビット モード
      - 各 1.1MSPS (最大 4.4MSPS のシステム スループット)
      - 差動入力
      - 最大 12 の外部チャネル
    - 12 ビット モード
      - 各 3.5MSPS (最大 14MSPS のシステム スループット)
      - シングルエンド入力
      - 最大 24 の外部チャネル
    - 各 ADC に 1 つのサンプル アンド ホールド (S/H)
    - ADC 変換の後処理をハードウェアに内蔵
      - 飽和オフセット較正
      - 設定点からの誤差の計算
      - 高、低、およびゼロクロス比較、割り込み機能付き
      - トリガからサンプルまでの遅延キャプチャ
  - 8 つのウィンドウ付きコンパレータ、12 ビットのデジタル/アナログ コンバータ (DAC) リファレンス付き
  - 3 つのバッファ付き 12 ビット DAC 出力
- 拡張制御ペリフェラル
  - 拡張機能付きの 24 のパルス幅変調器 (PWM) チャネル
  - 16 の高分解能パルス幅変調器 (HRPWM) チャネル

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

    - 8 つの PWM モジュールの A チャネルと B チャネルの両方が高分解能
    - デッドバンドのサポート (標準と高分解能の両方)
  - 6 つの拡張キャプチャ (eCAP) モジュール
  - 3 つの拡張直交エンコーダ パルス (eQEP) モジュール
  - 8 つのシグマ-デルタ フィルタ モジュール (SDFM) 入力チャネル (チャネルごとに 2 つのパラレル フィルタ)
    - 標準 SDFM データ フィルタリング
    - コンパレータ フィルタによる範囲外に対する迅速なアクション
- 防衛および航空宇宙アプリケーションをサポート
  - 管理されたベースライン
  - 単一のアセンブリ / テスト施設
  - 単一の製造施設
  - 長期にわたる製品ライフサイクル
  - 製品のトレーサビリティ
  - ASTM E595 に準拠した気体排出試験実施済み
- パッケージ:
  - 176 ピン PowerPAD™ 熱的に強化された薄型クワッド フラットパック (HLQFP) [接尾辞 PTP]
- ハードウェア組み込み自己テスト (HWBIST)
- 温度:
  - -55℃～150℃の接合部温度

2 アプリケーション

- 宇宙および航空
- 低軌道衛星用途のサポート
- モーターとアクチュエータ
  - 姿勢と軌道の制御システム
    - リアクション ホイール アセンブリ
    - 制御モーメント ジャイロスコープ (モーメンタム ホイール)
    - スラスター ジンバル機構
  - 光通信
    - ビーム ステアリング ジンバル
    - 高速ステアリング ミラー
  - アンテナ ポインティング機構
  - 極低温冷凍機用コンプレッサ
- デジタル電源
  - 宇宙船電力システム
    - 電力制御と配電制限
    - 宇宙グレード DC/DC コンバータ モジュール (共振トポロジを含む)
  - 衛星用電源システム
- 慣性測定ユニット (IMU)

3 説明

C2000™ 32 ビット マイクロコントローラは、処理、センシング、アクチュエーションに最適化されており、リアルタイム制御アプリケーション、たとえば産業用モーター ドライブ、ソーラー インバータおよびデジタル電源、電気自動車および輸送、モーター制御、センシングおよび信号処理などにおける閉ループ性能が向上しています。C2000 ラインには最高性能の MCU とエントリ性能の MCU があります。

TMS320F2837xD は、産業用モーター ドライブ、ソーラー インバータおよびデジタル電源、電気自動車および輸送、センシングおよび信号処理などの高度な閉ループ制御アプリケーション用に設計された強力な 32 ビット浮動小数点マイクロコントローラ ユニット (MCU) です。アプリケーションを短期間で開発できるように、C2000 MCU 向けデジタル電源ソフトウェア開発キット (SDK) と C2000™ MCU 向けモーター制御ソフトウェア開発キット (SDK) を提供しています。F2837xD は、システム性能を大幅に向上させる新しいデュアルコア C28x アーキテクチャをサポートしています。また、内蔵のアナログおよび制御ペリフェラルにより、設計者は制御アーキテクチャを統合し、ハイエンド システムでマルチプロセッサを不要にできます。

デュアル リアルタイム制御サブシステムは、テキサス・インスツルメンツの 32 ビット C28x 浮動小数点 CPU を基礎としており、コアごとに 200MHz の信号処理能力があります。C28x CPU は、新しい TMU アクセラレータによってさらに高速化され、変換やトルク ループ計算で一般的な三角法演算を含むアルゴリズムを高速に実行できます。また、VCU アクセラレータにより、エンコード アプリケーションで一般的な複素数演算の時間が短縮されます。

F2837xD マイクロコントローラ ファミリには、2 つの CLA リアルタイム制御コプロセッサが搭載されています。この CLA は独立した 32 ビットの浮動小数点プロセッサであり、メイン CPU と同じ速度で動作します。この CLA は、ペリフェラルのトリガに応答し、メインの C28x CPU と同時にコードを実行します。この並列処理能力により、リアルタイム制御システムの計算能力が実質的に 2 倍になります。CLA を使って時間に制約のある機能へのサービスを行うことで、メインの C28x CPU は、他のタスク、たとえば通信や診断を自由に実行できます。デュアルの C28x+CLA アーキテクチャにより、各種のシス

Copyright © 2026 Texas Instruments Incorporated

テム タスクをインテリジェントに分割できます。たとえば、1 つの C28x+CLA コアを速度と位置の追跡に使用し、もう 1 つの C28x+CLA コアはトルクと電流ループの制御に使用できます。

TMS320F2837xD は、ECC (Error Correction Code)付きの最大 1MB (512KW)のオンボード フラッシュ メモリと、最大 204KB (102KW)の SRAM をサポートしています。各 CPU では、コード保護のため、2 つの 128 ビットのセキュア ゾーンも使用できます。

高性能のアナログおよび制御ペリフェラルも F2837xD MCU に内蔵されており、さらにシステムの統合が可能になります。4 つの独立した 16 ビット ADC により、複数のアナログ信号を正確かつ効率的に管理でき、最終的にシステムのスループットが向上します。新しいシグマ-デルタ フィルタ モジュール(SDFM)は、シグマ-デルタ変調器との組み合わせで動作し、絶縁電流シャント測定を可能にします。ウィンドウ コンパレータ付きのコンパレータ サブシステム(CMPSS)により、電流制限条件を超過した、または条件が満たされていない場合に、電源段を保護できます。これ以外のアナログおよび制御ペリフェラルとして、DAC、PWM、eCAP、eQEP、その他のペリフェラルがあります。

EMIF、CAN モジュール (ISO 11898-1/CAN 2.0B 準拠)、新しい uPP インターフェイスなどのペリフェラルにより、F2837xD の接続性が拡大されます。uPP インターフェイスは、C2000™ MCU の新機能で、FPGA または類似の uPP インターフェイスを持つ他のプロセッサへの高速並列接続をサポートしています。最後に、MAC および PHY 付きの USB 2.0 ポートにより、ユーザーはアプリケーションに USB (Universal Serial Bus) 接続を簡単に追加できます。

C2000 MCU をお客様のリアルタイム制御システムに適した選択肢にしている機能について詳しく知るには、『C2000™ リアルタイム マイクロコントローラを使った開発のための基本ガイド』をご覧いただくとともに、C2000™ リアルタイム マイコンのページにアクセスしてください。

『*C2000 ™ リアルタイム制御マイコン (MCU) を使用した設計の開始』入門ガイド*は、C2000 デバイスを使用する開発について、ハードウェアからサポート リソースまで、あらゆる側面をカバーしています。主要な参考資料に加えて、各セクションには関連するリンクとリソースが掲載されており、さらに詳細な情報を知ることができます。

設計を開始する際は、以下の資料をご確認ください。TMDSCNCD28379D または LAUNCHXL-F28379D 評価ボードをご覧いただき、C2000Ware をダウンロードしてください。

C2000 MCU の詳細については、www.tij.co.jp/c2000 で C2000 の概要を参照してください。

パッケージ情報

部品番号	グレード (1)	パッケージ (2)	パッケージ サイズ(3)	本体サイズ (4)
F28377DPTPSEP	30krad (Si) RLAT	PTP (HLQFP、176)	26mm × 26mm	24mm × 24mm 質量 = 2.15g

(1) 部品のグレードについての詳細は、部品のグレードをご覧下さい。
(2) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
(3) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(4) 質量は公称値であり、本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。

Copyright © 2026 Texas Instruments Incorporated

3.1 機能ブロック図

「機能ブロック図」に、F2837xD デバイスの CPU システムおよび関連ペリフェラルを示します。F28377D-SEP デバイスで利用可能な機能とペリフェラルについては、表 4-1 を参照してください。

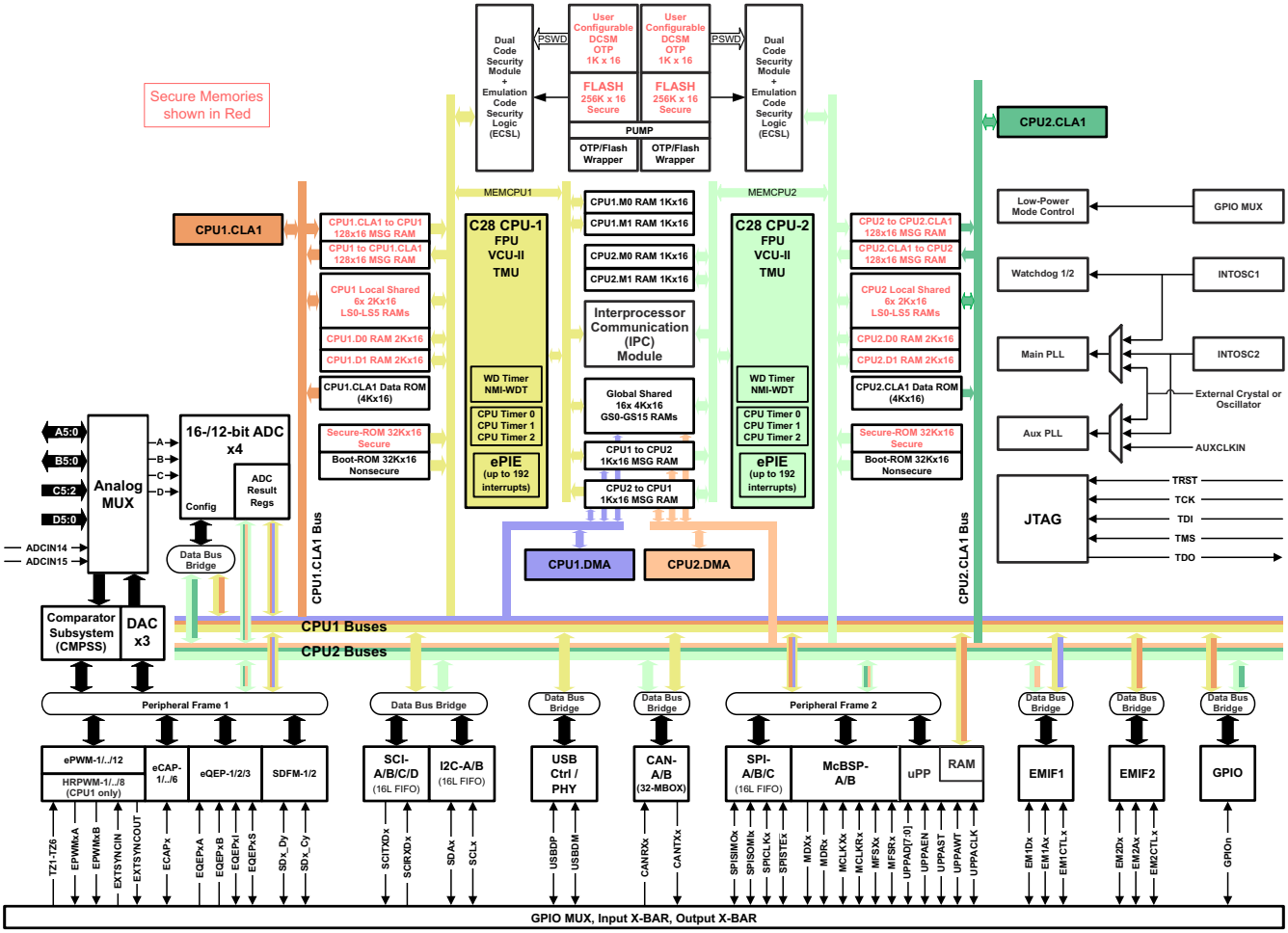


図 3-1. F2837xD の機能ブロック図

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 2
3 説明 ... 2
3.1 機能ブロック図 ... 4
4 デバイスの比較 ... 6
4.1 関連製品 ... 7
5 ピン構成および機能 ... 9
5.1 ピン配置図 ... 9
5.2 信号の説明 ... 11
5.3 内部プルアップおよびプルダウン付きのピン ... 35
5.4 ピン多重化 ... 36
5.5 未使用ピンの接続 ... 43
6 仕様 ... 44
6.1 絶対最大定格 ... 44
6.2 ESD 定格 ... 44
6.3 推奨動作条件 ... 45
6.4 消費電力の概略 ... 46
6.5 電気的特性 ... 51
6.6 熱抵抗特性 ... 52
6.7 熱設計の検討事項 ... 52
6.8 システム ... 53
6.9 アナログ ペリフェラル ... 100
6.10 制御ペリフェラル ... 129
6.11 通信ペリフェラル ... 149
7 詳細説明 ... 185
7.1 概要 ... 185
7.2 機能ブロック図 ... 186
7.3 メモリ ... 187
7.4 識別 ... 196
7.5 バス アーキテクチャ – ペリフェラル コネクティビティ ... 197
7.6 C28x プロセッサ ... 198
7.7 制御補償器アクセラレータ (CLA) ... 201
7.8 ダイレクト メモリ アクセス ... 202
7.9 プロセッサ間通信モジュール ... 204
7.10 ブート ROM およびペリフェラル ブート ... 205
7.11 デュアル・コード・セキュリティ・モジュール ... 208
7.12 タイマ ... 209
7.13 ウォッチドッグ タイマ付きノンマスカブル割り込み (NMIWD) ... 209
7.14 ウォッチドッグ ... 210
8 アプリケーション、実装、およびレイアウト ... 211
8.1 アプリケーションと実装 ... 211
8.2 デバイスの主な特長 ... 211
8.3 アプリケーション情報 ... 215
9 デバイスおよびドキュメントのサポート ... 219
9.1 デバイスおよび開発ツールの命名規則 ... 219
9.2 マーキング ... 220
9.3 ツールとソフトウェア ... 221
9.4 ドキュメントのサポート ... 224
9.5 サポート・リソース ... 226
9.6 商標 ... 226
9.7 静電気放電に関する注意事項 ... 226
9.8 輸出管理に関する注意事項 ... 226
9.9 用語集 ... 226
10 改訂履歴 ... 226
11 メカニカル、パッケージ、および注文情報 ... 227
11.1 パッケージ情報 ... 227

Copyright © 2026 Texas Instruments Incorporated

4 デバイスの比較

表 4-1 に、F28377D-SEP デバイスの機能を示します。

表 4-1. デバイスの比較

機能(1)		F28377D-SEP
パッケージ タイプ (PTP は HLQFP パッケージです。)		**176 ピン PTP**
プロセッサおよびアクセラレータ		
C28x	個数	2
	周波数 (MHz)	200
	浮動小数点演算ユニット (FPU)	あり
	VCU-II	あり
	TMU – タイプ 0	あり
CLA – タイプ 1	個数	2
	周波数 (MHz)	200
6 チャネル DMA – タイプ 0		2
メモリ		
フラッシュ(16 ビット ワード)		1MB (512KW) [CPU ごとに 512KB (256KW)]
RAM (16 ビット ワード)	専用およびローカル共有 RAM	72KB (36KW) [CPU ごとに 36KB (18KW)]
	グローバル共有 RAM	128KB (64KW)
	メッセージ RAM	4KB (2KW) [CPU ごとに 2KB (1KW)]
	RAM 合計	**204KB (102KW)**
オンチップ フラッシュ、RAM、OTP ブロックのコード セキュリティ		あり
ブート ROM		あり
システム		
構成可能ロジック ブロック (CLB)		なし
32 ビット CPU タイマ		6 (CPU ごとに 3 個)
ウォッチドッグ タイマ		2 (CPU ごとに 1 個)
ノンマスカブル割り込みウォッチドッグ (NMIWD) タイマ		2 (CPU ごとに 1 個)
水晶発振器 / 外部クロック入力		1
0 ピン内部発振器		2
I/O ピン (共有)	GPIO	97
外部割り込み		5
EMIF	EMIF1 (16 または 32 ビット)	1
	EMIF2 (16 ビット)	–
アナログ ペリフェラル		
ADC 16 ビット モード	MSPS	1.1
	変換時間 (ns)(2)	915
	入力ピン	20
	チャネル数 (差動)	9

Copyright © 2026 Texas Instruments Incorporated

表 4-1. デバイスの比較 (続き)

機能[1]		F28377D-SEP
パッケージ タイプ (PTP は HLQFP パッケージです。)		176 ピン PTP
ADC 12 ビット モード	MSPS	3.5
	変換時間 (ns)[2]	280
	入力ピン	20
	チャネル数 (シングルエンド)	20
16 ビットまたは 12 ビット ADC の数		4
12 ビットのみの ADC の数		–
温度センサ		1
CMPSS (各 CMPSS には 2 つのコンパレータと 2 つの内部 DAC があります)		8
バッファ付き DAC		3
制御ペリフェラル		
ECAP 入力 - タイプ 0		6
拡張パルス幅変調器 (ePWM) チャネル – タイプ 4		24
eQEP モジュール – タイプ 0		3
高分解能 ePWM チャネル – タイプ 4		16
SDFM チャネル – タイプ 0		8
通信ペリフェラル		
コントローラ エリア ネットワーク(CAN) - タイプ 0[3]		2
I2C (Inter-Integrated Circuit) – タイプ 0		2
マルチチャネル バッファ付きシリアル ポート (McBSP) – タイプ 1		2
シリアル通信インターフェイス (SCI) - タイプ 0 (UART 互換)		4
シリアル ペリフェラル インターフェイス (SPI) – タイプ 2		3
USB – タイプ 0		1
UPP – タイプ 0		1
温度および認定		
接合部温度 (T_J)	–55℃ ～ 150℃	あり

(1) タイプの違いは、ペリフェラル モジュールの機能上の主要な相違を表します。同じペリフェラル タイプのデバイス間でも、モジュールの基本的な機能には影響しないわずかな違いがあることがあります。詳細については、『C2000 リアルタイム マイコン ペリフェラル リファレンス ガイド』を参照してください。
(2) サンプル アンド ホールド ウィンドウの開始から、次の変換のサンプル アンド ホールド ウィンドウの開始までの時間。
(3) CAN モジュール は、*D_CAN* と呼ばれる IP を使用します。この ドキュメントでは、このペリフェラルに言及するとき、*CAN* および *D_CAN* という呼称を同じように使っています。

4.1 関連製品

類似製品の詳細については、以下のリンクを参照してください。

TMS320F2837xD マイクロコントローラ

F2837xD シリーズは、デュアル サブシステムの性能に関する新しい標準を確立します。各サブシステムは、C28x CPU および並列制御補償器アクセラレータ (CLA) で構成され、それぞれが 200MHz で動作します。性能を強化するものとして、TMU および VCU アクセラレータがあります。新しい機能としては、複数の 16 ビット / 12 ビット モード ADC、DAC、デルタ シグマ フィルタ、USB、コンフィギュラブル ロジック ブロック (CLB)、オンチップ発振器、すべてのペリフェラルの拡張バージョンがあります。F2837xD は、最大 1MB のフラッシュを搭載しています。176 ピン QFP または 337 ピン BGA パッケージで供給されます。

TMS320F2837xS マイクロコントローラ

Copyright © 2026 Texas Instruments Incorporated

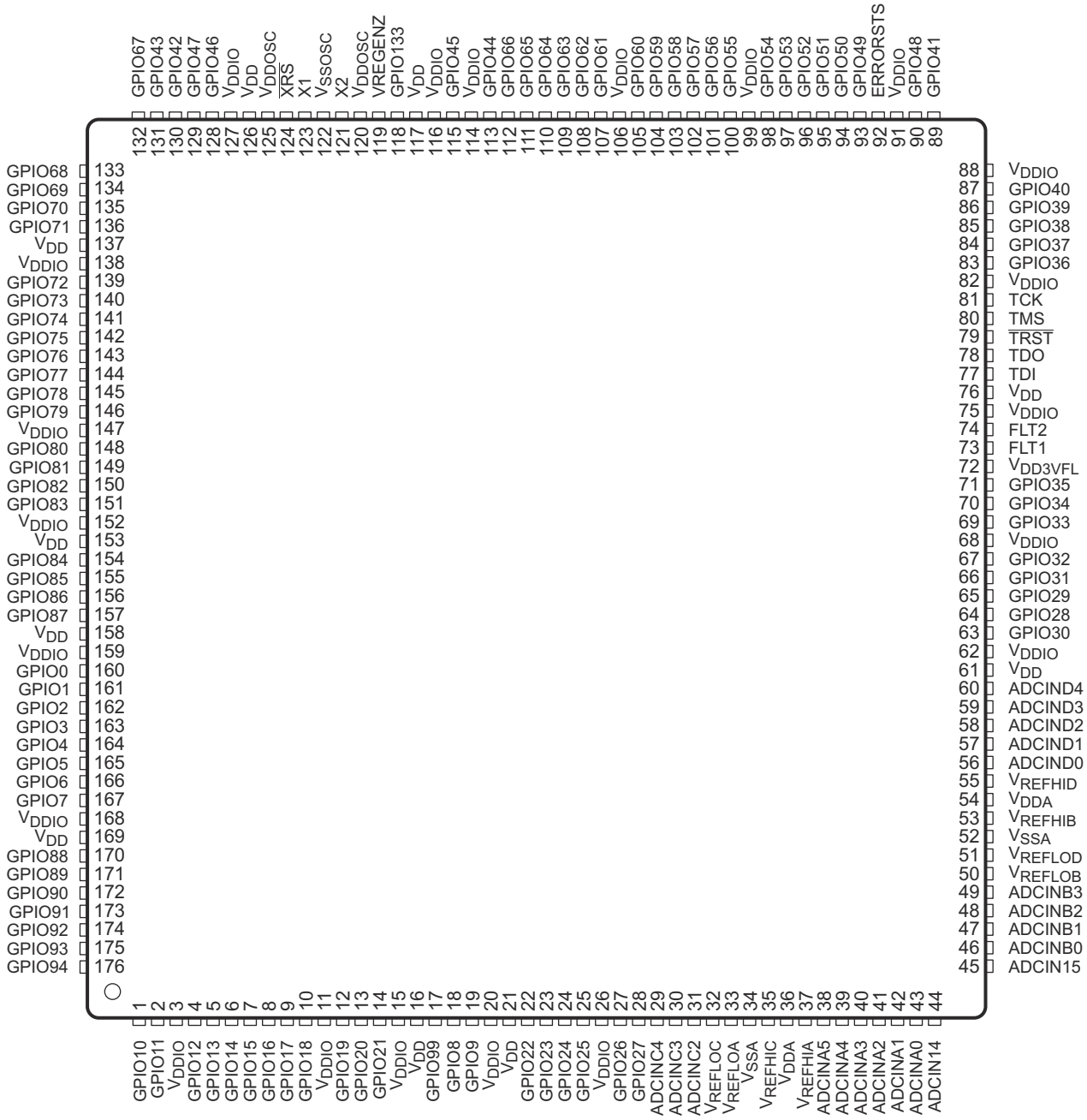
F2837xS シリーズは、F2837xD のピン互換バージョンですが、C28x-CPU-CLA サブシステムが 1 つのみ有効です。また、TMS320F2807x シリーズとの互換性を確保するために、100 ピン QFP も用意されています。

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

5.1 ピン配置図

図 5-1 に、176 ピン PTP PowerPAD 熱的に強化された薄型クワッド フラットパックのピン配置を示します。



A. GPIO ピンには GPIO 機能のみを表示しています。完全な多重化された信号名については、*「信号の説明」*セクションを参照してください。

図 5-1. 176 ピン PTP PowerPAD 熱的に強化された薄型クワッド フラットパック (上面図)

注

PowerPAD™ パッケージの露出したリード フレーム ダイ パッドは、ダイからの熱を除去するとともに、デジタル グランドへのグランド パスを提供するという 2 つの機能を備えています (アナログ グランドは専用ピンを介して供給されます)。したがって、PowerPAD は PCB のグランド (GND) プレーンに半田付けする必要があります。これは、デジタル グランド パスと良好な熱伝導パスの両方を提供するからです。PowerPAD パッケージで設計された熱効率を最適に利用するには、このテクノロジーを考慮して PCB を設計する必要があります。PowerPAD 本体直下の PCB 表面に、サーマル ランドが必要です。このサーマル ランドは、PowerPAD パッケージの露出したリード フレーム ダイ パッドに半田付けする必要があります。熱を放散するために、必要に応じて熱ランドを大きくする必要があります。サーマル パッドを基板の内層 GND プレーンに接続するには、複数のサーマル ビアを使用する必要があります。PowerPAD パッケージの使用方法の詳細については、*『PowerPAD™ 熱的に強化されたパッケージ』*を参照してください。

注

PCB フットプリントおよび回路図記号はどちらも、ベンダに依存しないフォーマットでダウンロードできます。これは、主要な EDA CAD/CAE 設計ツールにエクスポートすることができます。各デバイスの製品フォルダの「パッケージ」セクションにある「CAD/CAE シンボル」セクションを参照してください。これらのフットプリントおよび記号は、https://webench.ti.com/cad/ で検索することもできます。

Copyright © 2026 Texas Instruments Incorporated

5.2 信号の説明

セクション 5.2.1 では、信号について説明します。特に記述のない限り、GPIO 機能がリセット時のデフォルトです。その下に表示されているペリフェラル信号は、代替機能です。一部のペリフェラル機能は、すべてのデバイスで利用できるわけではありません。詳しくは、表 4-1 を参照してください。すべての GPIO ピンは I/O であり、内部プルアップを備えており、ピンごとにイネーブルまたはディセーブルを選択できます。この機能は、GPIO ピンにのみ適用されます。プルアップは、リセット時にはイネーブルされていません。

5.2.1 信号の説明

表 5-1. 信号の説明

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
ADC、DAC、コンパレータの信号				
V_{REFHIA}		37	I	ADC-A の高い基準電圧。この電圧は、ピンに対して外部回路から駆動する必要があります。このピンには、12 ビット モードの場合 1µF 以上、16 ビット モードの場合 22µF 以上のコンデンサを配置します。このコンデンサは、V_{REFHIA} ピンと V_{REFLOA} ピンの間で、できるだけデバイスに近い場所に配置する必要があります。 **注:**このピンには、外部に負荷を接続しないでください。
V_{REFHIB}		53	I	ADC-B の高い基準電圧。この電圧は、ピンに対して外部回路から駆動する必要があります。このピンには、12 ビット モードの場合 1µF 以上、16 ビット モードの場合 22µF 以上のコンデンサを配置します。このコンデンサは、V_{REFHIB} ピンと V_{REFLOB} ピンの間で、できるだけデバイスに近い場所に配置する必要があります。 **注:**このピンには、外部に負荷を接続しないでください。
V_{REFHIC}		35	I	ADC-C の高い基準電圧。この電圧は、ピンに対して外部回路から駆動する必要があります。このピンには、12 ビット モードの場合 1µF 以上、16 ビット モードの場合 22µF 以上のコンデンサを配置します。このコンデンサは、V_{REFHIC} ピンと V_{REFLOC} ピンの間で、できるだけデバイスに近い場所に配置する必要があります。 **注:**このピンには、外部に負荷を接続しないでください。
V_{REFHID}		55	I	ADC-D の高い基準電圧。この電圧は、ピンに対して外部回路から駆動する必要があります。このピンには、12 ビット モードの場合 1µF 以上、16 ビット モードの場合 22µF 以上のコンデンサを配置します。このコンデンサは、V_{REFHID} ピンと V_{REFLOD} ピンの間で、できるだけデバイスに近い場所に配置する必要があります。 **注:**このピンには、外部に負荷を接続しないでください。
V_{REFLOA}		33	I	ADC-A の低い基準電圧
V_{REFLOB}		50	I	ADC-B の低い基準電圧
V_{REFLOC}		32	I	ADC-C の低い基準電圧
V_{REFLOD}		51	I	ADC-D の低い基準電圧
ADCIN14 CMPIN4P		44	I I	すべての ADC への入力 14。このピンは、汎用 ADCIN ピンとして使用できます。また、外部基準電圧からすべての ADC を (シングルエンドまたは差動) 一緒に較正するために使用することもできます。 コンパレータ 4 正入力
ADCIN15 CMPIN4N		45	I I	すべての ADC への入力 15。このピンは、汎用 ADCIN ピンとして使用できます。また、外部基準電圧からすべての ADC を (シングルエンドまたは差動) 一緒に較正するために使用することもできます。 コンパレータ 4 負入力
ADCINA0 DACOUTA		43	I O	ADC-A 入力 0。このピンには、ADC 入力または DAC 出力モードの両方で 50kΩ の内部プルダウンが付いており、ディセーブルできません。 DAC-A 出力

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
ADCINA1 DACOUTB		42	I O	ADC-A 入力 1。このピンには、ADC 入力または DAC 出力モードの両方で 50kΩ の内部プルダウンが付いており、ディセーブルできません。 DAC-B 出力
ADCINA2 CMPIN1P		41	I I	ADC-A 入力 2 コンパレータ 1 正入力
ADCINA3 CMPIN1N		40	I I	ADC-A 入力 3 コンパレータ 1 負入力
ADCINA4 CMPIN2P		39	I I	ADC-A 入力 4 コンパレータ 2 正入力
ADCINA5 CMPIN2N		38	I I	ADC-A 入力 5 コンパレータ 2 負入力
ADCINB0 VDAC		46	I I	ADC-B 入力 0。このピンには、ADC 入力または DAC 基準電圧モードの両方で V_{SSA} に対して 100pF のコンデンサが付いており、ディセーブルすることはできません。このピンをオンチップ DAC のリファレンス電圧として使用する場合は、このピンに少なくとも 1µF のコンデンサを配置します。 オンチップ DAC の外部リファレンス電圧 (オプション)。このピンには、ADC 入力または DAC 基準電圧モードの両方で V_{SSA} に対して 100pF のコンデンサが付いており、ディセーブルすることはできません。このピンをオンチップ DAC のリファレンス電圧として使用する場合は、このピンに少なくとも 1µF のコンデンサを配置します。
ADCINB1 DACOUTC		47	I O	ADC-B 入力 1。このピンには、ADC 入力または DAC 出力モードの両方で 50kΩ の内部プルダウンが付いており、ディセーブルできません。 DAC-C 出力
ADCINB2 CMPIN3P		48	I I	ADC-B 入力 2 コンパレータ 3 正入力
ADCINB3 CMPIN3N		49	I I	ADC-B 入力 3 コンパレータ 3 負入力
ADCINB4		–	I	ADC-B 入力 4
ADCINB5		–	I	ADC-B 入力 5
ADCINC2 CMPIN6P		31	I I	ADC-C 入力 2 コンパレータ 6 正入力
ADCINC3 CMPIN6N		30	I I	ADC-C 入力 3 コンパレータ 6 負入力
ADCINC4 CMPIN5P		29	I I	ADC-C 入力 4 コンパレータ 5 正入力
ADCINC5 CMPIN5N		–	I I	ADC-C 入力 5 コンパレータ 5 負入力
ADCIND0 CMPIN7P		56	I I	ADC-D 入力 0 コンパレータ 7 正入力
ADCIND1 CMPIN7N		57	I I	ADC-D 入力 1 コンパレータ 7 負入力

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
ADCIND2		58	I	ADC-D 入力 2
CMPIN8P			I	コンパレータ 8 正入力
ADCIND3		59	I	ADC-D 入力 3
CMPIN8N			I	コンパレータ 8 負入力

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
ADCIND4		60	I	ADC-D 入力 4
ADCIND5		–	I	ADC-D 入力 5
GPIO およびペリフェラル信号				
GPIO0	0、4、8、12	160	I/O	汎用入出力 0
EPWM1A	1		O	拡張 PWM1 出力 A (HRPWM 対応)
SDAA	6		I/OD	I2C-A データ オープンドレイン双方向ポート
GPIO1	0、4、8、12	161	I/O	汎用入出力 1
EPWM1B	1		O	拡張 PWM1 出力 B (HRPWM 対応)
MFSRB	3		I/O	McBSP-B 受信フレーム同期
SCLA	6		I/OD	I2C-A クロック オープンドレイン双方向ポート
GPIO2	0、4、8、12	162	I/O	汎用入出力 2
EPWM2A	1		O	拡張 PWM2 出力 A (HRPWM 対応)
OUTPUTXBAR1	5		O	出力クロスバーの出力 1
SDAB	6		I/OD	I2C-B データ オープンドレイン双方向ポート
GPIO3	0、4、8、12	163	I/O	汎用入出力 3
EPWM2B	1		O	拡張 PWM2 出力 B (HRPWM 対応)
OUTPUTXBAR2	2		O	出力クロスバーの出力 2
MCLKRB	3		I/O	McBSP-B 受信クロック
OUTPUTXBAR2	5		O	出力クロスバーの出力 2
SCLB	6		I/OD	I2C-B クロック オープンドレイン双方向ポート
GPIO4	0、4、8、12	164	I/O	汎用入出力 4
EPWM3A	1		O	拡張 PWM3 出力 A (HRPWM 対応)
OUTPUTXBAR3	5		O	出力クロスバーの出力 3
CANTXA	6		O	CAN-A 送信
GPIO5	0、4、8、12	165	I/O	汎用入出力 5
EPWM3B	1		O	拡張 PWM3 出力 B (HRPWM 対応)
MFSRA	2		I/O	McBSP-A 受信フレーム同期
OUTPUTXBAR3	3		O	出力クロスバーの出力 3
CANRXA	6		I	CAN-A 受信
GPIO6	0、4、8、12	166	I/O	汎用入出力 6
EPWM4A	1		O	拡張 PWM4 出力 A (HRPWM 対応)
OUTPUTXBAR4	2		O	出力クロスバーの出力 4
EXTSYNCOUT	3		O	外部 ePWM 同期パルス出力
EQEP3A	5		I	拡張 QEP3 入力 A
CANTXB	6		O	CAN-B 送信
GPIO7	0、4、8、12	167	I/O	汎用入出力 7
EPWM4B	1		O	拡張 PWM4 出力 B (HRPWM 対応)
MCLKRA	2		I/O	McBSP-A 受信クロック
OUTPUTXBAR5	3		O	出力クロスバーの出力 5
EQEP3B	5		I	拡張 QEP3 入力 B
CANRXB	6		I	CAN-B 受信

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
GPIO8	0、4、8、12	18	I/O	汎用入出力 8
EPWM5A	1		O	拡張 PWM5 出力 A (HRPWM 対応)
CANTXB	2		O	CAN-B 送信
ADCSOCAO	3		O	外部 ADC 用の ADC 変換開始 A 出力
EQEP3S	5		I/O	拡張 QEP3 ストローブ
SCITXDA	6		O	SCI-A 送信データ
GPIO9	0、4、8、12	19	I/O	汎用入出力 9
EPWM5B	1		O	拡張 PWM5 出力 B (HRPWM 対応)
SCITXDB	2		O	SCI-B 送信データ
OUTPUTXBAR6	3		O	出力クロスバーの出力 6
EQEP3I	5		I/O	拡張 QEP3 インデックス
SCIRXDA	6		I	SCI-A 受信データ
GPIO10	0、4、8、12	1	I/O	汎用入出力 10
EPWM6A	1		O	拡張 PWM6 出力 A (HRPWM 対応)
CANRXB	2		I	CAN-B 受信
ADCSOCBO	3		O	外部 ADC 用の ADC 変換開始 B 出力
EQEP1A	5		I	拡張 QEP1 入力 A
SCITXDB	6		O	SCI-B 送信データ
UPP-WAIT	15		I/O	ユニバーサル パラレル ポート ウェイト。転送中に、レシーバが一時停止を要求するためにアサートします。
GPIO11	0、4、8、12	2	I/O	汎用入出力 11
EPWM6B	1		O	拡張 PWM6 出力 B (HRPWM 対応)
SCIRXDB	2、6		I	SCI-B 受信データ
OUTPUTXBAR7	3		O	出力クロスバーの出力 7
EQEP1B	5		I	拡張 QEP1 入力 B
UPP-START	15		I/O	ユニバーサル パラレル ポート スタート。DMA ラインの開始時に、トランスミッタがアサートします。
GPIO12	0、4、8、12	4	I/O	汎用入出力 12
EPWM7A	1		O	拡張 PWM7 出力 A (HRPWM 対応)
CANTXB	2		O	CAN-B 送信
MDXB	3		O	McBSP-B 送信シリアル データ
EQEP1S	5		I/O	拡張 QEP1 ストローブ
SCITXDC	6		O	SCI-C 送信データ
UPP-ENA	15		I/O	ユニバーサル パラレル ポート イネーブル。データ バスがアクティブになっている間、トランスミッタがアサートします。
GPIO13	0、4、8、12	5	I/O	汎用入出力 13
EPWM7B	1		O	拡張 PWM7 出力 B (HRPWM 対応)
CANRXB	2		I	CAN-B 受信
MDRB	3		I	McBSP-B 受信シリアル データ
EQEP1I	5		I/O	拡張 QEP1 インデックス
SCIRXDC	6		I	SCI-C 受信データ
UPP-D7	15		I/O	ユニバーサル パラレル ポート データ ライン 7

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
GPIO14	0、4、8、12	6	I/O	汎用入出力 14
EPWM8A	1		O	拡張 PWM8 出力 A (HRPWM 対応)
SCITXDB	2		O	SCI-B 送信データ
MCLKXB	3		I/O	McBSP-B 送信クロック
OUTPUTXBAR3	6		O	出力クロスバーの出力 3
UPP-D6	15		I/O	ユニバーサル パラレル ポート データ ライン 6
GPIO15	0、4、8、12	7	I/O	汎用入出力 15
EPWM8B	1		O	拡張 PWM8 出力 B (HRPWM 対応)
SCIRXDB	2		I	SCI-B 受信データ
MFSXB	3		I/O	McBSP-B 送信フレーム同期
OUTPUTXBAR4	6		O	出力クロスバーの出力 4
UPP-D5	15		I/O	ユニバーサル パラレル ポート データ ライン 5
GPIO16	0、4、8、12	8	I/O	汎用入出力 16
SPISIMOA	1		I/O	SPI-A スレーブ入力、マスタ出力
CANTXB	2		O	CAN-B 送信
OUTPUTXBAR7	3		O	出力クロスバーの出力 7
EPWM9A	5		O	拡張 PWM9 出力 A
SD1_D1	7		I	シグマ-デルタ 1 チャネル 1 データ入力
UPP-D4	15		I/O	ユニバーサル パラレル ポート データ ライン 4
GPIO17	0、4、8、12	9	I/O	汎用入出力 17
SPISOMIA	1		I/O	SPI-A スレーブ出力、マスタ入力
CANRXB	2		I	CAN-B 受信
OUTPUTXBAR8	3		O	出力クロスバーの出力 8
EPWM9B	5		O	拡張 PWM9 出力 B
SD1_C1	7		I	シグマ-デルタ 1 チャネル 1 クロック入力
UPP-D3	15		I/O	ユニバーサル パラレル ポート データ ライン 3
GPIO18	0、4、8、12	10	I/O	汎用入出力 18
SPICLKA	1		I/O	SPI-A クロック
SCITXDB	2		O	SCI-B 送信データ
CANRXA	3		I	CAN-A 受信
EPWM10A	5		O	拡張 PWM10 出力 A
SD1_D2	7		I	シグマ-デルタ 1 チャネル 2 データ入力
UPP-D2	15		I/O	ユニバーサル パラレル ポート データ ライン 2
GPIO19	0、4、8、12	12	I/O	汎用入出力 19
$\overline{\text{SPISTEA}}$	1		I/O	SPI-A スレーブ送信イネーブル
SCIRXDB	2		I	SCI-B 受信データ
CANTXA	3		O	CAN-A 送信
EPWM10B	5		O	拡張 PWM 10 出力 B
SD1_C2	7		I	シグマ-デルタ 1 チャネル 2 クロック入力
UPP-D1	15		I/O	ユニバーサル パラレル ポート データ ライン 1

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
GPIO20	0、4、8、12		I/O	汎用入出力 20
EQEP1A	1		I	拡張 QEP1 入力 A
MDXA	2		O	McBSP-A 送信シリアル データ
CANTXB	3	13	O	CAN-B 送信
EPWM11A	5		O	拡張 PWM11 出力 A
SD1_D3	7		I	シグマ-デルタ 1 チャネル 3 データ入力
UPP-D0	15		I/O	ユニバーサル パラレル ポート データ ライン 0
GPIO21	0、4、8、12		I/O	汎用入出力 21
EQEP1B	1		I	拡張 QEP1 入力 B
MDRA	2		I	McBSP-A 受信シリアル データ
CANRXB	3	14	I	CAN-B 受信
EPWM11B	5		O	拡張 PWM11 出力 B
SD1_C3	7		I	シグマ-デルタ 1 チャネル 3 クロック入力
UPP-CLK	15		I/O	ユニバーサル パラレル ポート送信クロック
GPIO22	0、4、8、12		I/O	汎用入出力 22
EQEP1S	1		I/O	拡張 QEP1 ストローブ
MCLKXA	2		I/O	McBSP-A 送信クロック
SCITXDB	3	22	O	SCI-B 送信データ
EPWM12A	5		O	拡張 PWM12 出力 A
SPICLKB	6		I/O	SPI-B クロック
SD1_D4	7		I	シグマ-デルタ 1 チャネル 4 データ入力
GPIO23	0、4、8、12		I/O	汎用入出力 23
EQEP1I	1		I/O	拡張 QEP1 インデックス
MFSXA	2		I/O	McBSP-A 送信フレーム同期
SCIRXDB	3	23	I	SCI-B 受信データ
EPWM12B	5		O	拡張 PWM12 出力 B
$\overline{\text{SPISTEB}}$	6		I/O	SPI-B スレーブ送信イネーブル
SD1_C4	7		I	シグマ-デルタ 1 チャネル 4 クロック入力
GPIO24	0、4、8、12		I/O	汎用入出力 24
OUTPUTXBAR1	1		O	出力クロスバーの出力 1
EQEP2A	2	24	I	拡張 QEP2 入力 A
MDXB	3		O	McBSP-B 送信シリアル データ
SPISIMOB	6		I/O	SPI-B スレーブ入力、マスタ出力
SD2_D1	7		I	シグマ-デルタ 2 チャネル 1 データ入力
GPIO25	0、4、8、12		I/O	汎用入出力 25
OUTPUTXBAR2	1		O	出力クロスバーの出力 2
EQEP2B	2	25	I	拡張 QEP2 入力 B
MDRB	3		I	McBSP-B 受信シリアル データ
SPISOMIB	6		I/O	SPI-B スレーブ出力、マスタ入力
SD2_C1	7		I	シグマ-デルタ 2 チャネル 1 クロック入力

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
GPIO26	0、4、8、12	27	I/O	汎用入出力 26
OUTPUTXBAR3	1		O	出力クロスバーの出力 3
EQEP2I	2		I/O	拡張 QEP2 インデックス
MCLKXB	3		I/O	McBSP-B 送信クロック
OUTPUTXBAR3	5		O	出力クロスバーの出力 3
SPICLKB	6		I/O	SPI-B クロック
SD2_D2	7		I	シグマ-デルタ 2 チャネル 2 データ入力
GPIO27	0、4、8、12	28	I/O	汎用入出力 27
OUTPUTXBAR4	1		O	出力クロスバーの出力 4
EQEP2S	2		I/O	拡張 QEP2 ストローブ
MFSXB	3		I/O	McBSP-B 送信フレーム同期
OUTPUTXBAR4	5		O	出力クロスバーの出力 4
$\overline{\text{SPISTEB}}$	6		I/O	SPI-B スレーブ送信イネーブル
SD2_C2	7		I	シグマ-デルタ 2 チャネル 2 クロック入力
GPIO28	0、4、8、12	64	I/O	汎用入出力 28
SCIRXDA	1		I	SCI-A 受信データ
$\overline{\text{EM1CS4}}$	2		O	外部メモリ インターフェイス 1 チップ セレクト 4
OUTPUTXBAR5	5		O	出力クロスバーの出力 5
EQEP3A	6		I	拡張 QEP3 入力 A
SD2_D3	7		I	シグマ-デルタ 2 チャネル 3 データ入力
GPIO29	0、4、8、12	65	I/O	汎用入出力 29
SCITXDA	1		O	SCI-A 送信データ
EM1SDCKE	2		O	外部メモリ インターフェイス 1 SDRAM クロック イネーブル
OUTPUTXBAR6	5		O	出力クロスバーの出力 6
EQEP3B	6		I	拡張 QEP3 入力 B
SD2_C3	7		I	シグマ-デルタ 2 チャネル 3 クロック入力
GPIO30	0、4、8、12	63	I/O	汎用入出力 30
CANRXA	1		I	CAN-A 受信
EM1CLK	2		O	外部メモリ インターフェイス 1 クロック
OUTPUTXBAR7	5		O	出力クロスバーの出力 7
EQEP3S	6		I/O	拡張 QEP3 ストローブ
SD2_D4	7		I	シグマ-デルタ 2 チャネル 4 データ入力
GPIO31	0、4、8、12	66	I/O	汎用入出力 31
CANTXA	1		O	CAN-A 送信
$\overline{\text{EM1WE}}$	2		O	外部メモリ インターフェイス 1 書き込みイネーブル
OUTPUTXBAR8	5		O	出力クロスバーの出力 8
EQEP3I	6		I/O	拡張 QEP3 インデックス
SD2_C4	7		I	シグマ-デルタ 2 チャネル 4 クロック入力
GPIO32	0、4、8、12	67	I/O	汎用入出力 32
SDAA	1		I/OD	I2C-A データ オープンドレイン双方向ポート
$\overline{\text{EM1CS0}}$	2		O	外部メモリ インターフェイス 1 チップ セレクト 0

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
GPIO33	0、4、8、12	69	I/O	汎用入出力 33
SCLA	1		I/OD	I2C-A クロック オープン ドレイン双方向ポート
EM1RNW	2		O	外部メモリ インターフェイス 1 読み取り、非書き込み
GPIO34	0、4、8、12	70	I/O	汎用入出力 34
OUTPUTXBAR1	1		O	出力クロスバーの出力 1
$\overline{\text{EM1CS2}}$	2		O	外部メモリ インターフェイス 1 チップ セレクト 2
SDAB	6		I/OD	I2C-B データ オープン ドレイン双方向ポート
GPIO35	0、4、8、12	71	I/O	汎用入出力 35
SCIRXDA	1		I	SCI-A 受信データ
$\overline{\text{EM1CS3}}$	2		O	外部メモリ インターフェイス 1 チップ セレクト 3
SCLB	6		I/OD	I2C-B クロック オープン ドレイン双方向ポート
GPIO36	0、4、8、12	83	I/O	汎用入出力 36
SCITXDA	1		O	SCI-A 送信データ
EM1WAIT	2		I	外部メモリ インターフェイス 1 非同期 SRAM ウェイト
CANRXA	6		I	CAN-A 受信
GPIO37	0、4、8、12	84	I/O	汎用入出力 37
OUTPUTXBAR2	1		O	出力クロスバーの出力 2
$\overline{\text{EM1OE}}$	2		O	外部メモリ インターフェイス 1 出力イネーブル
CANTXA	6		O	CAN-A 送信
GPIO38	0、4、8、12	85	I/O	汎用入出力 38
EM1A0	2		O	外部メモリ インターフェイス 1 アドレス ライン 0
SCITXDC	5		O	SCI-C 送信データ
CANTXB	6		O	CAN-B 送信
GPIO39	0、4、8、12	86	I/O	汎用入出力 39
EM1A1	2		O	外部メモリ インターフェイス 1 アドレス ライン 1
SCIRXDC	5		I	SCI-C 受信データ
CANRXB	6		I	CAN-B 受信
GPIO40	0、4、8、12	87	I/O	汎用入出力 40
EM1A2	2		O	外部メモリ インターフェイス 1 アドレス ライン 2
SDAB	6		I/OD	I2C-B データ オープン ドレイン双方向ポート
GPIO41	0、4、8、12	89	I/O	汎用入出力 41 ハイバネーション低消費電力モードを使用するアプリケーションでは、このピンは、$\overline{\text{GPIOHIBWAKE}}$ 信号として機能します。詳細については、『TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「システム制御」の章にある「低消費電力モード」セクションを参照してください。
EM1A3	2		O	外部メモリ インターフェイス 1 アドレス ライン 3
SCLB	6		I/OD	I2C-B クロック オープン ドレイン双方向ポート
GPIO42	0、4、8、12	130	I/O	汎用入出力 42
SDAA	6		I/OD	I2C-A データ オープン ドレイン双方向ポート
SCITXDA	15		O	SCI-A 送信データ
USB0DM	アナログ		I/O	USB PHY 差動データ

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
GPIO43	0、4、8、12	131	I/O	汎用入出力 43
SCLA	6		I/OD	I2C-A クロック オープン ドレイン双方向ポート
SCIRXDA	15		I	SCI-A 受信データ
USB0DP	アナログ		I/O	USB PHY 差動データ
GPIO44	0、4、8、12	113	I/O	汎用入出力 44
EM1A4	2		O	外部メモリ インターフェイス 1 アドレス ライン 4
GPIO45	0、4、8、12	115	I/O	汎用入出力 45
EM1A5	2		O	外部メモリ インターフェイス 1 アドレス ライン 5
GPIO46	0、4、8、12	128	I/O	汎用入出力 46
EM1A6	2		O	外部メモリ インターフェイス 1 アドレス ライン 6
SCIRXDD	6		I	SCI-D 受信データ
GPIO47	0、4、8、12	129	I/O	汎用入出力 47
EM1A7	2		O	外部メモリ インターフェイス 1 アドレス ライン 7
SCITXDD	6		O	SCI-D 送信データ
GPIO48	0、4、8、12	90	I/O	汎用入出力 48
OUTPUTXBAR3	1		O	出力クロスバーの出力 3
EM1A8	2		O	外部メモリ インターフェイス 1 アドレス ライン 8
SCITXDA	6		O	SCI-A 送信データ
SD1_D1	7		I	シグマ-デルタ 1 チャネル 1 データ入力
GPIO49	0、4、8、12	93	I/O	汎用入出力 49
OUTPUTXBAR4	1		O	出力クロスバーの出力 4
EM1A9	2		O	外部メモリ インターフェイス 1 アドレス ライン 9
SCIRXDA	6		I	SCI-A 受信データ
SD1_C1	7		I	シグマ-デルタ 1 チャネル 1 クロック入力
GPIO50	0、4、8、12	94	I/O	汎用入出力 50
EQEP1A	1		I	拡張 QEP1 入力 A
EM1A10	2		O	外部メモリ インターフェイス 1 アドレス ライン 10
SPISIMOC	6		I/O	SPI-C スレーブ入力、マスタ出力
SD1_D2	7		I	シグマ-デルタ 1 チャネル 2 データ入力
GPIO51	0、4、8、12	95	I/O	汎用入出力 51
EQEP1B	1		I	拡張 QEP1 入力 B
EM1A11	2		O	外部メモリ インターフェイス 1 アドレス ライン 11
SPISOMIC	6		I/O	SPI-C スレーブ出力、マスタ入力
SD1_C2	7		I	シグマ-デルタ 1 チャネル 2 クロック入力
GPIO52	0、4、8、12	96	I/O	汎用入出力 52
EQEP1S	1		I/O	拡張 QEP1 ストローブ
EM1A12	2		O	外部メモリ インターフェイス 1 アドレス ライン 12
SPICLKC	6		I/O	SPI-C クロック
SD1_D3	7		I	シグマ-デルタ 1 チャネル 3 データ入力

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
GPIO53	0、4、8、12	97	I/O	汎用入出力 53
EQEP1I	1		I/O	拡張 QEP1 インデックス
EM1D31	2		I/O	外部メモリ インターフェイス 1 データ ライン 31
EM2D15	3		I/O	外部メモリ インターフェイス 2 データ ライン 15
$\overline{\text{SPISTEC}}$	6		I/O	SPI-C スレーブ送信イネーブル
SD1_C3	7		I	シグマ-デルタ 1 チャネル 3 クロック入力
GPIO54	0、4、8、12	98	I/O	汎用入出力 54
SPISIMOA	1		I/O	SPI-A スレーブ入力、マスタ出力
EM1D30	2		I/O	外部メモリ インターフェイス 1 データ ライン 30
EM2D14	3		I/O	外部メモリ インターフェイス 2 データ ライン 14
EQEP2A	5		I	拡張 QEP2 入力 A
SCITXDB	6		O	SCI-B 送信データ
SD1_D4	7		I	シグマ-デルタ 1 チャネル 4 データ入力
GPIO55	0、4、8、12	100	I/O	汎用入出力 55
SPISOMIA	1		I/O	SPI-A スレーブ出力、マスタ入力
EM1D29	2		I/O	外部メモリ インターフェイス 1 データ ライン 29
EM2D13	3		I/O	外部メモリ インターフェイス 2 データ ライン 13
EQEP2B	5		I	拡張 QEP2 入力 B
SCIRXDB	6		I	SCI-B 受信データ
SD1_C4	7		I	シグマ-デルタ 1 チャネル 4 クロック入力
GPIO56	0、4、8、12	101	I/O	汎用入出力 56
SPICLKA	1		I/O	SPI-A クロック
EM1D28	2		I/O	外部メモリ インターフェイス 1 データ ライン 28
EM2D12	3		I/O	外部メモリ インターフェイス 2 データ ライン 12
EQEP2S	5		I/O	拡張 QEP2 ストローブ
SCITXDC	6		O	SCI-C 送信データ
SD2_D1	7		I	シグマ-デルタ 2 チャネル 1 データ入力
GPIO57	0、4、8、12	102	I/O	汎用入出力 57
$\overline{\text{SPISTEA}}$	1		I/O	SPI-A スレーブ送信イネーブル
EM1D27	2		I/O	外部メモリ インターフェイス 1 データ ライン 27
EM2D11	3		I/O	外部メモリ インターフェイス 2 データ ライン 11
EQEP2I	5		I/O	拡張 QEP2 インデックス
SCIRXDC	6		I	SCI-C 受信データ
SD2_C1	7		I	シグマ-デルタ 2 チャネル 1 クロック入力

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
GPIO58	0、4、8、12	103	I/O	汎用入出力 58
MCLKRA	1		I/O	McBSP-A 受信クロック
EM1D26	2		I/O	外部メモリ インターフェイス 1 データ ライン 26
EM2D10	3		I/O	外部メモリ インターフェイス 2 データ ライン 10
OUTPUTXBAR1	5		O	出力クロスバーの出力 1
SPICLKB	6		I/O	SPI-B クロック
SD2_D2	7		I	シグマ-デルタ 2 チャネル 2 データ入力
SPISIMOA	15		I/O	SPI-A スレーブ入力、マスタ出力[2]
GPIO59	0、4、8、12	104	I/O	汎用入出力 59[3]
MFSRA	1		I/O	McBSP-A 受信フレーム同期
EM1D25	2		I/O	外部メモリ インターフェイス 1 データ ライン 25
EM2D9	3		I/O	外部メモリ インターフェイス 2 データ ライン 9
OUTPUTXBAR2	5		O	出力クロスバーの出力 2
$\overline{\text{SPISTEB}}$	6		I/O	SPI-B スレーブ送信イネーブル
SD2_C2	7		I	シグマ-デルタ 2 チャネル 2 クロック入力
SPISOMIA	15		I/O	SPI-A スレーブ出力、マスタ入力[2]
GPIO60	0、4、8、12	105	I/O	汎用入出力 60
MCLKRB	1		I/O	McBSP-B 受信クロック
EM1D24	2		I/O	外部メモリ インターフェイス 1 データ ライン 24
EM2D8	3		I/O	外部メモリ インターフェイス 2 データ ライン 8
OUTPUTXBAR3	5		O	出力クロスバーの出力 3
SPISIMOB	6		I/O	SPI-B スレーブ入力、マスタ出力
SD2_D3	7		I	シグマ-デルタ 2 チャネル 3 データ入力
SPICLKA	15		I/O	SPI-A クロック[2]
GPIO61	0、4、8、12	107	I/O	汎用入出力 61[3]
MFSRB	1		I/O	McBSP-B 受信フレーム同期
EM1D23	2		I/O	外部メモリ インターフェイス 1 データ ライン 23
EM2D7	3		I/O	外部メモリ インターフェイス 2 データ ライン 7
OUTPUTXBAR4	5		O	出力クロスバーの出力 4
SPISOMIB	6		I/O	SPI-B スレーブ出力、マスタ入力
SD2_C3	7		I	シグマ-デルタ 2 チャネル 3 クロック入力
$\overline{\text{SPISTEA}}$	15		I/O	SPI-A スレーブ送信イネーブル[2]
GPIO62	0、4、8、12	108	I/O	汎用入出力 62
SCIRXDC	1		I	SCI-C 受信データ
EM1D22	2		I/O	外部メモリ インターフェイス 1 データ ライン 22
EM2D6	3		I/O	外部メモリ インターフェイス 2 データ ライン 6
EQEP3A	5		I	拡張 QEP3 入力 A
CANRXA	6		I	CAN-A 受信
SD2_D4	7		I	シグマ-デルタ 2 チャネル 4 データ入力

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
GPIO63	0、4、8、12	109	I/O	汎用入出力 63
SCITXDC	1		O	SCI-C 送信データ
EM1D21	2		I/O	外部メモリ インターフェイス 1 データ ライン 21
EM2D5	3		I/O	外部メモリ インターフェイス 2 データ ライン 5
EQEP3B	5		I	拡張 QEP3 入力 B
CANTXA	6		O	CAN-A 送信
SD2_C4	7		I	シグマ-デルタ 2 チャネル 4 クロック入力
SPISIMOB	15		I/O	SPI-B スレーブ入力、マスタ出力[2]
GPIO64	0、4、8、12	110	I/O	汎用入出力 64[3]
EM1D20	2		I/O	外部メモリ インターフェイス 1 データ ライン 20
EM2D4	3		I/O	外部メモリ インターフェイス 2 データ ライン 4
EQEP3S	5		I/O	拡張 QEP3 ストローブ
SCIRXDA	6		I	SCI-A 受信データ
SPISOMIB	15		I/O	SPI-B スレーブ出力、マスタ入力[2]
GPIO65	0、4、8、12	111	I/O	汎用入出力 65
EM1D19	2		I/O	外部メモリ インターフェイス 1 データ ライン 19
EM2D3	3		I/O	外部メモリ インターフェイス 2 データ ライン 3
EQEP3I	5		I/O	拡張 QEP3 インデックス
SCITXDA	6		O	SCI-A 送信データ
SPICLKB	15		I/O	SPI-B クロック[2]
GPIO66	0、4、8、12	112	I/O	汎用入出力 66[3]
EM1D18	2		I/O	外部メモリ インターフェイス 1 データ ライン 18
EM2D2	3		I/O	外部メモリ インターフェイス 2 データ ライン 2
SDAB	6		I/OD	I2C-B データ オープン ドレイン双方向ポート
$\overline{\text{SPISTEB}}$	15		I/O	SPI-B スレーブ送信イネーブル[2]
GPIO67	0、4、8、12	132	I/O	汎用入出力 67
EM1D17	2		I/O	外部メモリ インターフェイス 1 データ ライン 17
EM2D1	3		I/O	外部メモリ インターフェイス 2 データ ライン 1
GPIO68	0、4、8、12	133	I/O	汎用入出力 68
EM1D16	2		I/O	外部メモリ インターフェイス 1 データ ライン 16
EM2D0	3		I/O	外部メモリ インターフェイス 2 データ ライン 0
GPIO69	0、4、8、12	134	I/O	汎用入出力 69
EM1D15	2		I/O	外部メモリ インターフェイス 1 データ ライン 15
SCLB	6		I/OD	I2C-B クロック オープン ドレイン双方向ポート
SPISIMOC	15		I/O	SPI-C スレーブ入力、マスタ出力[2]
GPIO70	0、4、8、12	135	I/O	汎用入出力 70[3]
EM1D14	2		I/O	外部メモリ インターフェイス 1 データ ライン 14
CANRXA	5		I	CAN-A 受信
SCITXDB	6		O	SCI-B 送信データ
SPISOMIC	15		I/O	SPI-C スレーブ出力、マスタ入力[2]

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
GPIO71	0、4、8、12		I/O	汎用入出力 71
EM1D13	2		I/O	外部メモリ インターフェイス 1 データ ライン 13
CANTXA	5	136	O	CAN-A 送信
SCIRXDB	6		I	SCI-B 受信データ
SPICLKC	15		I/O	SPI-C クロック[2]
GPIO72	0、4、8、12		I/O	汎用入出力 72。[3]これは工場出荷時デフォルトのブート モード選択ピン 1 です。
EM1D12	2	139	I/O	外部メモリ インターフェイス 1 データ ライン 12
CANTXB	5		O	CAN-B 送信
SCITXDC	6		O	SCI-C 送信データ
$\overline{\text{SPISTEC}}$	15		I/O	SPI-C スレーブ送信イネーブル[2]
GPIO73	0、4、8、12		I/O	汎用入出力 73
EM1D11	2		I/O	外部メモリ インターフェイス 1 データ ライン 11
XCLKOUT	3	140	O/Z	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。クロック信号は、CLKSRCCTL3.XCLKOUTSEL ビット フィールドを使用して選択し、分周比は、XCLKOUTDIVSEL.XCLKOUTDIV ビット フィールドを使用して選択します。
CANRXB	5		I	CAN-B 受信
SCIRXDC	6		I	SCI-C 受信
GPIO74	0、4、8、12	141	I/O	汎用入出力 74
EM1D10	2		I/O	外部メモリ インターフェイス 1 データ ライン 10
GPIO75	0、4、8、12	142	I/O	汎用入出力 75
EM1D9	2		I/O	外部メモリ インターフェイス 1 データ ライン 9
GPIO76	0、4、8、12		I/O	汎用入出力 76
EM1D8	2	143	I/O	外部メモリ インターフェイス 1 データ ライン 8
SCITXDD	6		O	SCI-D 送信データ
GPIO77	0、4、8、12		I/O	汎用入出力 77
EM1D7	2	144	I/O	外部メモリ インターフェイス 1 データ ライン 7
SCIRXDD	6		I	SCI-D 受信データ
GPIO78	0、4、8、12		I/O	汎用入出力 78
EM1D6	2	145	I/O	外部メモリ インターフェイス 1 データ ライン 6
EQEP2A	6		I	拡張 QEP2 入力 A
GPIO79	0、4、8、12		I/O	汎用入出力 79
EM1D5	2	146	I/O	外部メモリ インターフェイス 1 データ ライン 5
EQEP2B	6		I	拡張 QEP2 入力 B
GPIO80	0、4、8、12		I/O	汎用入出力 80
EM1D4	2	148	I/O	外部メモリ インターフェイス 1 データ ライン 4
EQEP2S	6		I/O	拡張 QEP2 ストローブ
GPIO81	0、4、8、12		I/O	汎用入出力 81
EM1D3	2	149	I/O	外部メモリ インターフェイス 1 データ ライン 3
EQEP2I	6		I/O	拡張 QEP2 インデックス

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
GPIO82	0、4、8、12	150	I/O	汎用入出力 82
EM1D2	2		I/O	外部メモリ インターフェイス 1 データ ライン 2
GPIO83	0、4、8、12	151	I/O	汎用入出力 83
EM1D1	2		I/O	外部メモリ インターフェイス 1 データ ライン 1
GPIO84	0、4、8、12	154	I/O	汎用入出力 84 これは工場出荷時デフォルトのブート モード選択ピン 0 です。
SCITXDA	5		O	SCI-A 送信データ
MDXB	6		O	McBSP-B 送信シリアル データ
MDXA	15		O	McBSP-A 送信シリアル データ
GPIO85	0、4、8、12	155	I/O	汎用入出力 85
EM1D0	2		I/O	外部メモリ インターフェイス 1 データ ライン 0
SCIRXDA	5		I	SCI-A 受信データ
MDRB	6		I	McBSP-B 受信シリアル データ
MDRA	15		I	McBSP-A 受信シリアル データ
GPIO86	0、4、8、12	156	I/O	汎用入出力 86
EM1A13	2		O	外部メモリ インターフェイス 1 アドレス ライン 13
EM1CAS	3		O	外部メモリ インターフェイス 1 列アドレス ストローブ
SCITXDB	5		O	SCI-B 送信データ
MCLKXB	6		I/O	McBSP-B 送信クロック
MCLKXA	15		I/O	McBSP-A 送信クロック
GPIO87	0、4、8、12	157	I/O	汎用入出力 87
EM1A14	2		O	外部メモリ インターフェイス 1 アドレス ライン 14
EM1RAS	3		O	外部メモリ インターフェイス、1 行のアドレス ストローブ
SCIRXDB	5		I	SCI-B 受信データ
MFSXB	6		I/O	McBSP-B 送信フレーム同期
MFSXA	15		I/O	McBSP-A 送信フレーム同期
GPIO88	0、4、8、12	170	I/O	汎用入出力 88
EM1A15	2		O	外部メモリ インターフェイス 1 アドレス ライン 15
EM1DQM0	3		O	外部メモリ インターフェイス 1 のバイト 0 入力 / 出力マスク
GPIO89	0、4、8、12	171	I/O	汎用入出力 89
EM1A16	2		O	外部メモリ インターフェイス 1 アドレス ライン 16
EM1DQM1	3		O	外部メモリ インターフェイス 1 のバイト 1 入力 / 出力マスク
SCITXDC	6		O	SCI-C 送信データ
GPIO90	0、4、8、12	172	I/O	汎用入出力 90
EM1A17	2		O	外部メモリ インターフェイス 1 アドレス ライン 17
EM1DQM2	3		O	外部メモリ インターフェイス 1 のバイト 2 入力 / 出力マスク
SCIRXDC	6		I	SCI-C 受信データ
GPIO91	0、4、8、12	173	I/O	汎用入出力 91
EM1A18	2		O	外部メモリ インターフェイス 1 アドレス ライン 18
EM1DQM3	3		O	外部メモリ インターフェイス 1 のバイト 3 入力 / 出力マスク
SDAA	6		I/OD	I2C-A データ オープン ドレイン双方向ポート

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
GPIO92	0、4、8、12	174	I/O	汎用入出力 92
EM1A19	2		O	外部メモリ インターフェイス 1 アドレス ライン 19
EM1BA1	3		O	外部メモリ インターフェイス 1 バンク アドレス 1
SCLA	6		I/OD	I2C-A クロック オープン ドレイン双方向ポート
GPIO93	0、4、8、12	175	I/O	汎用入出力 93
EM1BA0	3		O	外部メモリ インターフェイス 1 バンク アドレス 0
SCITXDD	6		O	SCI-D 送信データ
GPIO94	0、4、8、12	176	I/O	汎用入出力 94
SCIRXDD	6		I	SCI-D 受信データ
GPIO95	0、4、8、12	–	I/O	汎用入出力 95
GPIO96	0、4、8、12	–	I/O	汎用入出力 96
EM2DQM1	3		O	外部メモリ インターフェイス 2 のバイト 1 入力 / 出力マスク
EQEP1A	5		I	拡張 QEP1 入力 A
GPIO97	0、4、8、12	–	I/O	汎用入出力 97
EM2DQM0	3		O	外部メモリ インターフェイス 2 のバイト 0 入力 / 出力マスク
EQEP1B	5		I	拡張 QEP1 入力 B
GPIO98	0、4、8、12	–	I/O	汎用入出力 98
EM2A0	3		O	外部メモリ インターフェイス 2 アドレス ライン 0
EQEP1S	5		I/O	拡張 QEP1 ストローブ
GPIO99	0、4、8、12	17	I/O	汎用入出力 99
EM2A1	3		O	外部メモリ インターフェイス 2 アドレス ライン 1
EQEP1I	5		I/O	拡張 QEP1 インデックス
GPIO100	0、4、8、12	–	I/O	汎用入出力 100
EM2A2	3		O	外部メモリ インターフェイス 2 アドレス ライン 2
EQEP2A	5		I	拡張 QEP2 入力 A
SPISIMOC	6		I/O	SPI-C スレーブ入力、マスタ出力
GPIO101	0、4、8、12	–	I/O	汎用入出力 101
EM2A3	3		O	外部メモリ インターフェイス 2 アドレス ライン 3
EQEP2B	5		I	拡張 QEP2 入力 B
SPISOMIC	6		I/O	SPI-C スレーブ出力、マスタ入力
GPIO102	0、4、8、12	–	I/O	汎用入出力 102
EM2A4	3		O	外部メモリ インターフェイス 2 アドレス ライン 4
EQEP2S	5		I/O	拡張 QEP2 ストローブ
SPICLKC	6		I/O	SPI-C クロック
GPIO103	0、4、8、12	–	I/O	汎用入出力 103
EM2A5	3		O	外部メモリ インターフェイス 2 アドレス ライン 5
EQEP2I	5		I/O	拡張 QEP2 インデックス
SPISTEC	6		I/O	SPI-C スレーブ送信イネーブル

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
GPIO104	0、4、8、12	–	I/O	汎用入出力 104
SDAA	1		I/OD	I2C-A データ オープン ドレイン双方向ポート
EM2A6	3		O	外部メモリ インターフェイス 2 アドレス ライン 6
EQEP3A	5		I	拡張 QEP3 入力 A
SCITXDD	6		O	SCI-D 送信データ
GPIO105	0、4、8、12	–	I/O	汎用入出力 105
SCLA	1		I/OD	I2C-A クロック オープン ドレイン双方向ポート
EM2A7	3		O	外部メモリ インターフェイス 2 アドレス ライン 7
EQEP3B	5		I	拡張 QEP3 入力 B
SCIRXDD	6		I	SCI-D 受信データ
GPIO106	0、4、8、12	–	I/O	汎用入出力 106
EM2A8	3		O	外部メモリ インターフェイス 2 アドレス ライン 8
EQEP3S	5		I/O	拡張 QEP3 ストローブ
SCITXDC	6		O	SCI-C 送信データ
GPIO107	0、4、8、12	–	I/O	汎用入出力 107
EM2A9	3		O	外部メモリ インターフェイス 2 アドレス ライン 9
EQEP3I	5		I/O	拡張 QEP3 インデックス
SCIRXDC	6		I	SCI-C 受信データ
GPIO108	0、4、8、12	–	I/O	汎用入出力 108
EM2A10	3		O	外部メモリ インターフェイス 2 アドレス ライン 10
GPIO109	0、4、8、12	–	I/O	汎用入出力 109
EM2A11	3		O	外部メモリ インターフェイス 2 アドレス ライン 11
GPIO110	0、4、8、12	–	I/O	汎用入出力 110
EM2WAIT	3		I	外部メモリ インターフェイス 2 非同期 SRAM ウェイト
GPIO111	0、4、8、12	–	I/O	汎用入出力 111
EM2BA0	3		O	外部メモリ インターフェイス 2 バンク アドレス 0
GPIO112	0、4、8、12	–	I/O	汎用入出力 112
EM2BA1	3		O	外部メモリ インターフェイス 2 バンク アドレス 1
GPIO113	0、4、8、12	–	I/O	汎用入出力 113
EM2CAS	3		O	外部メモリ インターフェイス 2 列アドレス ストローブ
GPIO114	0、4、8、12	–	I/O	汎用入出力 114
EM2RAS	3		O	外部メモリ インターフェイス、2 行のアドレス ストローブ
GPIO115	0、4、8、12	–	I/O	汎用入出力 115
$\overline{\text{EM2CS0}}$	3		O	外部メモリ インターフェイス 2 チップ セレクト 0
GPIO116	0、4、8、12	–	I/O	汎用入出力 116
$\overline{\text{EM2CS2}}$	3		O	外部メモリ インターフェイス 2 チップ セレクト 2
GPIO117	0、4、8、12	–	I/O	汎用入出力 117
EM2SDCKE	3		O	外部メモリ インターフェイス 2 SDRAM クロック イネーブル
GPIO118	0、4、8、12	–	I/O	汎用入出力 118
EM2CLK	3		O	外部メモリ インターフェイス 2 クロック

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
GPIO119	0、4、8、12	–	I/O	汎用入出力 119
EM2RNW	3		O	外部メモリ インターフェイス 2 読み取り、非書き込み
GPIO120	0、4、8、12		I/O	汎用入出力 120
EM2WE	3	–	O	外部メモリ インターフェイス 2 書き込みイネーブル
USB0PFLT	15		I/O	USB 外部レギュレータの電源障害インジケータ
GPIO121	0、4、8、12		I/O	汎用入出力 121
EM2OE	3	–	O	外部メモリ インターフェイス 2 出力イネーブル
USB0EPEN	15		I/O	USB 外部レギュレータ イネーブル
GPIO122	0、4、8、12		I/O	汎用入出力 122
SPISIMOC	6	–	I/O	SPI-C スレーブ入力、マスタ出力
SD1_D1	7		I	シグマ-デルタ 1 チャネル 1 データ入力
GPIO123	0、4、8、12		I/O	汎用入出力 123
SPISOMIC	6	–	I/O	SPI-C スレーブ出力、マスタ入力
SD1_C1	7		I	シグマ-デルタ 1 チャネル 1 クロック入力
GPIO124	0、4、8、12		I/O	汎用入出力 124
SPICLKC	6	–	I/O	SPI-C クロック
SD1_D2	7		I	シグマ-デルタ 1 チャネル 2 データ入力
GPIO125	0、4、8、12		I/O	汎用入出力 125
SPISTEC	6	–	I/O	SPI-C スレーブ送信イネーブル
SD1_C2	7		I	シグマ-デルタ 1 チャネル 2 クロック入力
GPIO126	0、4、8、12	–	I/O	汎用入出力 126
SD1_D3	7		I	シグマ-デルタ 1 チャネル 3 データ入力
GPIO127	0、4、8、12	–	I/O	汎用入出力 127
SD1_C3	7		I	シグマ-デルタ 1 チャネル 3 クロック入力
GPIO128	0、4、8、12	–	I/O	汎用入出力 128
SD1_D4	7		I	シグマ-デルタ 1 チャネル 4 データ入力
GPIO129	0、4、8、12	–	I/O	汎用入出力 129
SD1_C4	7		I	シグマ-デルタ 1 チャネル 4 クロック入力
GPIO130	0、4、8、12	–	I/O	汎用入出力 130
SD2_D1	7		I	シグマ-デルタ 2 チャネル 1 データ入力
GPIO131	0、4、8、12	–	I/O	汎用入出力 131
SD2_C1	7		I	シグマ-デルタ 2 チャネル 1 クロック入力
GPIO132	0、4、8、12	–	I/O	汎用入出力 132
SD2_D2	7		I	シグマ-デルタ 2 チャネル 2 データ入力
GPIO133/AUXCLKIN	0、4、8、12	118	I/O	汎用入出力 133USB モジュールで出力を使用する補助フェーズ ロック ループ (AUXPLL) に対して、この GPIO ピンの AUXCLKIN 機能を使って、シングルエンドの 3.3V レベル クロック信号を供給できます。AUXCLKIN クロックは、CAN モジュールにも使用できます。
SD2_C2	7		I	シグマ-デルタ 2 チャネル 2 クロック入力
GPIO134	0、4、8、12	–	I/O	汎用入出力 134
SD2_D3	7		I	シグマ-デルタ 2 チャネル 3 データ入力

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
GPIO135	0、4、8、12	–	I/O	汎用入出力 135
SCITXDA	6		O	SCI-A 送信データ
SD2_C3	7		I	シグマ-デルタ 2 チャネル 3 クロック入力
GPIO136	0、4、8、12	–	I/O	汎用入出力 136
SCIRXDA	6		I	SCI-A 受信データ
SD2_D4	7		I	シグマ-デルタ 2 チャネル 4 データ入力
GPIO137	0、4、8、12	–	I/O	汎用入出力 137
SCITXDB	6		O	SCI-B 送信データ
SD2_C4	7		I	シグマ-デルタ 2 チャネル 4 クロック入力
GPIO138	0、4、8、12	–	I/O	汎用入出力 138
SCIRXDB	6		I	SCI-B 受信データ
GPIO139	0、4、8、12	–	I/O	汎用入出力 139
SCIRXDC	6		I	SCI-C 受信データ
GPIO140	0、4、8、12	–	I/O	汎用入出力 140
SCITXDC	6		O	SCI-C 送信データ
GPIO141	0、4、8、12	–	I/O	汎用入出力 141
SCIRXDD	6		I	SCI-D 受信データ
GPIO142	0、4、8、12	–	I/O	汎用入出力 142
SCITXDD	6		O	SCI-D 送信データ
GPIO143	0、4、8、12	–	I/O	汎用入出力 143
GPIO144	0、4、8、12	–	I/O	汎用入出力 144
GPIO145	0、4、8、12	–	I/O	汎用入出力 145
EPWM1A	1		O	拡張 PWM1 出力 A (HRPWM 対応)
GPIO146	0、4、8、12	–	I/O	汎用入出力 146
EPWM1B	1		O	拡張 PWM1 出力 B (HRPWM 対応)
GPIO147	0、4、8、12	–	I/O	汎用入出力 147
EPWM2A	1		O	拡張 PWM2 出力 A (HRPWM 対応)
GPIO148	0、4、8、12	–	I/O	汎用入出力 148
EPWM2B	1		O	拡張 PWM2 出力 B (HRPWM 対応)
GPIO149	0、4、8、12	–	I/O	汎用入出力 149
EPWM3A	1		O	拡張 PWM3 出力 A (HRPWM 対応)
GPIO150	0、4、8、12	–	I/O	汎用入出力 150
EPWM3B	1		O	拡張 PWM3 出力 B (HRPWM 対応)
GPIO151	0、4、8、12	–	I/O	汎用入出力 151
EPWM4A	1		O	拡張 PWM4 出力 A (HRPWM 対応)
GPIO152	0、4、8、12	–	I/O	汎用入出力 152
EPWM4B	1		O	拡張 PWM4 出力 B (HRPWM 対応)
GPIO153	0、4、8、12	–	I/O	汎用入出力 153
EPWM5A	1		O	拡張 PWM5 出力 A (HRPWM 対応)

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
GPIO154	0、4、8、12	–	I/O	汎用入出力 154
EPWM5B	1		O	拡張 PWM5 出力 B (HRPWM 対応)
GPIO155	0、4、8、12	–	I/O	汎用入出力 155
EPWM6A	1		O	拡張 PWM6 出力 A (HRPWM 対応)
GPIO156	0、4、8、12	–	I/O	汎用入出力 156
EPWM6B	1		O	拡張 PWM6 出力 B (HRPWM 対応)
GPIO157	0、4、8、12	–	I/O	汎用入出力 157
EPWM7A	1		O	拡張 PWM7 出力 A (HRPWM 対応)
GPIO158	0、4、8、12	–	I/O	汎用入出力 158
EPWM7B	1		O	拡張 PWM7 出力 B (HRPWM 対応)
GPIO159	0、4、8、12	–	I/O	汎用入出力 159
EPWM8A	1		O	拡張 PWM8 出力 A (HRPWM 対応)
GPIO160	0、4、8、12	–	I/O	汎用入出力 160
EPWM8B	1		O	拡張 PWM8 出力 B (HRPWM 対応)
GPIO161	0、4、8、12	–	I/O	汎用入出力 161
EPWM9A	1		O	拡張 PWM9 出力 A
GPIO162	0、4、8、12	–	I/O	汎用入出力 162
EPWM9B	1		O	拡張 PWM9 出力 B
GPIO163	0、4、8、12	–	I/O	汎用入出力 163
EPWM10A	1		O	拡張 PWM10 出力 A
GPIO164	0、4、8、12	–	I/O	汎用入出力 164
EPWM10B	1		O	拡張 PWM 10 出力 B
GPIO165	0、4、8、12	–	I/O	汎用入出力 165
EPWM11A	1		O	拡張 PWM11 出力 A
GPIO166	0、4、8、12	–	I/O	汎用入出力 166
EPWM11B	1		O	拡張 PWM11 出力 B
GPIO167	0、4、8、12	–	I/O	汎用入出力 167
EPWM12A	1		O	拡張 PWM12 出力 A
GPIO168	0、4、8、12	–	I/O	汎用入出力 168
EPWM12B	1		O	拡張 PWM12 出力 B
リセット				

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
$\overline{\text{XRS}}$		124	I/OD	デバイス リセット (IN) およびウォッチドッグ リセット (OUT)。これらのデバイスには、パワーオン リセット (POR) 回路が内蔵されています。電源投入時、このピンはデバイスによって Low に駆動される。また、外部回路がこのピンを駆動して、デバイス リセットをアサートすることもできる。さらに、ウォッチドッグ リセットまたは NMI ウォッチドッグ リセットが発生すると、MCU によってこのピンが LOW に駆動されます。ウォッチドッグ リセット中、$\overline{\text{XRS}}$ ピンは 512 OSCCLK サイクルのウォッチドッグ リセット期間にわたって Low に駆動されます。$\overline{\text{XRS}}$ と V_{DDIO} の間に 2.2kΩ～10kΩ の抵抗を配置する必要があります。ノイズ フィルタリングのため、$\overline{\text{XRS}}$ と V_{SS} の間にコンデンサを配置します。容量は 100nF 以下にする必要があります。これらの値を使うことで、ウォッチドッグ リセットがアサートされた際、ウォッチドッグは 512 OSCCLK サイクル以内に $\overline{\text{XRS}}$ ピンを V_{OL} に適切に駆動できます。このピンの出力バッファは、内部プルアップ付きのオープン ドレインです。このピンが外部デバイスによって駆動される場合は、オープン ドレイン デバイスを使用して駆動する必要があります。
クロック				
X1		123	I	オンチップの水晶発振器入力。この発振器を使用するには、X1 と X2 の間に水晶振動子を接続する必要があります。このピンを使用しない場合は、GND に接続する必要があります。 このピンを使って、シングルエンドの 3.3V レベル クロックを供給することもできる。この場合、X2 は接続なし (NC) です。
X2		121	O	オンチップの水晶発振器出力。X1 と X2 の間に水晶振動子を接続できます。X2 を使用しない場合は、未接続のままにする必要があります。
内部接続なし				
NC		–		無接続
JTAG				
TCK		81	I	内部プルアップ付き JTAG テスト クロック (*「電気的特性」*セクションを参照)
TDI		77	I	内部プルアップ付き JTAG テスト データ入力 (TDI)。TDI は、TCK の立ち上がりエッジで、選択したレジスタ (命令またはデータ) にシフトインされます。
TDO		78	O/Z	JTAG スキャン アウト、テスト データ出力 (TDO)。選択したレジスタ (命令またはデータ) の内容は、TCK の立ち下がりエッジで、TDO からシフトアウトされます。 [3]
TMS		80	I	内部プルアップ付き JTAG テスト モード選択 (TMS)。このシリアル制御入力は、TCK の立ち上がりエッジで、TAP コントローラにシフトインされる。
$\overline{\text{TRST}}$		79	I	内部プルダウン付きの JTAG テスト リセット。TRST を HIGH に駆動すると、スキャン システムがデバイスの動作を制御するようになります。この信号が LOW に駆動されると、デバイスは機能モードで動作し、テスト リセット信号は無視されます。注:TRST は、通常のデバイス動作中は常に LOW に維持する必要があるため、ノイズ スパイクから保護するために、このピンには外部プルダウン抵抗が必要です。この抵抗の値は、JTAG デバッグ プローブが TRST ピンを HIGH に駆動できる限り、できるだけ小さくする必要があります。一般に、2.2kΩ～10kΩ の抵抗で十分な保護が得られます。抵抗の値はアプリケーションに依存するため、テキサス・インスツルメンツでは、デバッグ プローブとアプリケーションの適切な動作について、各ターゲット ボードで検証することをお勧めします。このピンには、50ns (公称) のグリッチ フィルタが内蔵されています。
内部電圧レギュレータ制御				

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
VREGENZ		119	I	内部プルダウン付きの内部電圧レギュレータ イネーブル。内部 VREG はサポートされていないため、無効にする必要があります。VREGENZ を V_{DDIO} に接続します。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
アナログ、デジタル、および I/O 電源				
V_{DD}		16 21 61 76 117 126 137 153 158 169 – – – –		1.2V デジタル ロジック電源ピン。デカップリング コンデンサを配置する方法は 2 つあります。 • 方法 1 - 均等な配置:デカップリング容量を各 V_{DD} ピンに均等に配分し、合計容量は約 20µF 以上にします。 • 方法 2 - バルク容量:各 V_{DD} ピンの近くに 1µF のコンデンサを配置し、さらに、V_{DD} 全体で合計 20µF 以上となるように残りの容量をバルク容量として配置します 。 デカップリング容量の正確な値は、システムの電圧レギュレーション ソリューションによって決定する必要があります。
V_{DD3VFL}		72 –		3.3V フラッシュ電源ピン。各ピンに、最小 0.1µF のデカップリング コンデンサを配置。
V_{DDA}		36 54		3.3V アナログ電源ピン。各 ピンと V_{SSA} の間に、最小 2.2µF のデカップリング コンデンサを配置します。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
V_{DDIO}		3 11 15 20 26 62 68 75 82 88 91 99 106 114 116 127 138 147 152 159 168 – – – – – – –		3.3V デジタル I/O 電源ピン。各ピンに、最小 0.1µF のデカップリング コンデンサを配置。デカップリング容量の正確な値は、システムの電圧レギュレーション ソリューションによって決定する必要があります。
V_{DDOSC}		120 125		3.3V オンチップ水晶発振器 (X1 および X2) と 2 つのゼロピン内部発振器 (INTOSC) の電源ピン。各ピンに、最小 0.1µF のデカップリング コンデンサを配置します。
V_{SS}		PWR PAD (177)		デバイスのグランド。クワッド フラットパック (QFP) の場合、パッケージの底面にある PowerPAD を PCB のグランド プレーンに半田付けする必要があります。
V_{SSOSC}		122 –		水晶発振器 (X1 および X2) のグランド ピン。外部水晶振動子を使用する場合、このピンを基板のグランドに接続しないでください。代わりに、外部水晶発振器回路のグランド基準電圧に接続します。 外部水晶振動子を使用しない場合は、このピンを基板のグランドに接続できます。
V_{SSA}		34 52 – – –		アナログ グランド

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号の説明 (続き)

端子			I/O/Z [1]	説明
名称	多重化位置	PTP ピン番号		
特殊機能				
ERRORSTS		92	O	エラー ステータス出力。このピンには内部にプルダウン抵抗があります。
テスト ピン				
FLT1		73	I/O	フラッシュ テスト ピン 1。テキサス・インスツルメンツ用に予約済みです。未接続のままにする必要があります。
FLT2		74	I/O	フラッシュ テスト ピン 2。テキサス・インスツルメンツ用に予約済みです。未接続のままにする必要があります。

(1) I = 入力、O = 出力、OD = オープン ドレイン、Z = ハイ インピーダンス
(2) 高速 SPI 対応 GPIO 多重化オプション。このピン多重化オプションは、SPI を高速モードで使用する場合 (SPICCR の HS_MODE = 1) に必要です。この多重化オプションは、SPI を高速モードで使用しない場合 (SPICCR の HS_MODE = 0) でも使用できます。
(3) このピンの出力インピーダンスは、最小 22Ω という低い値になっています。この出力は、システム PCB の特性によっては、高速なエッジおよびリンギングを発生させる可能性があります。この点に懸念がある場合、39Ω (許容誤差 10%) の直列終端抵抗の追加、またはその他の終端方法の実装などの措置を取る必要があります。また、提供されている IBIS モデルを使用して、システム レベルのシグナル インテグリティ分析を実行することも推奨します。このピンを入力機能に使用する場合、終端は不要です。

5.3 内部プルアップおよびプルダウン付きのピン

デバイスの一部のピンには、内部プルアップまたはプルダウンが付いています。表 5-2 に、プル方向および動作するときを示します。GPIO ピンのプルアップは、デフォルトでディセーブルになっており、ソフトウェアによってイネーブルにできます。未接続入力がフローティングになるのを回避するため、ブート ROM は、特定のパッケージで未接続の GPIO ピンについて、内部プルアップをイネーブルにします。表 5-2 に記載されているプルアップおよびプルダウン付きの他のピンは、常にオンであり、ディセーブルできません。

表 5-2. 内部プルアップおよびプルダウン付きのピン

ピン	リセット (XRS= 0)	デバイス ブート	アプリケーション ソフトウェア
GPIOx	プルアップ ディセーブル	プルアップ ディセーブル[1]	プルアップ イネーブルは、アプリケーションにより定義
TRST	プルダウン イネーブル		
TCK	プルアップ イネーブル		
TMS	プルアップ イネーブル		
TDI	プルアップ イネーブル		
XRS	プルアップ イネーブル		
VREGENZ	プルダウン イネーブル		
ERRORSTS	プルダウン イネーブル		
その他のピン	プルアップまたはプルダウンなし		

(1) 特定のパッケージで未接続の GPIO ピンについては、ブート ROM が内部プルアップをイネーブルにします。

Copyright © 2026 Texas Instruments Incorporated

5.4 ピン多重化

5.4.1 GPIO 多重化ピン

表 5-3 に、GPIO 多重化ピンを示します。各ピンのデフォルトは、GPIO 機能です。GPyGMUXn.GPIOz および GPyMUXn.GPIOz の両方のレジスタ ビットを設定することにより、2 次機能を選択できます。多重化選択の切り替わりによる GPIO の過渡パルスを回避するために、GPyMUXn よりも先に GPyGMUXn レジスタを構成する必要があります。表示されていない列および空白のセルは、予約済みの GPIO 多重化設定です。

表 5-3. GPIO 多重化ピン

	GPIO 多重化の選択[1] [2]							
GPIO インデックス	0、4、8、12	1	2	3	5	6	7	15
GPyGMUXn。GPIOz =	00b、01b、10b、11b	00b			01b			11b
GPyMUXn。GPIOz =	00b	01b	10b	11b	01b	10b	11b	11b
	GPIO0	EPWM1A (O)				SDAA (I/OD)		
	GPIO1	EPWM1B (O)		MFSRB (I/O)		SCLA (I/OD)		
	GPIO2	EPWM2A (O)			OUTPUTXBAR1 (O)	SDAB (I/OD)		
	GPIO3	EPWM2B (O)	OUTPUTXBAR2 (O)	MCLKRB (I/O)	OUTPUTXBAR2 (O)	SCLB (I/OD)		
	GPIO4	EPWM3A (O)			OUTPUTXBAR3 (O)	CANTXA (O)		
	GPIO5	EPWM3B (O)	MFSRA (I/O)	OUTPUTXBAR3 (O)		CANRXA (I)		
	GPIO6	EPWM4A (O)	OUTPUTXBAR4 (O)	EXTSYNCOUT (O)	EQEP3A (I)	CANTXB (O)		
	GPIO7	EPWM4B (O)	MCLKRA (I/O)	OUTPUTXBAR5 (O)	EQEP3B (I)	CANRXB (I)		
	GPIO8	EPWM5A (O)	CANTXB (O)	ADCSOCAO (O)	EQEP3S (I/O)	SCITXDA (O)		
	GPIO9	EPWM5B (O)	SCITXDB (O)	OUTPUTXBAR6 (O)	EQEP3I (I/O)	SCIRXDA (I)		
	GPIO10	EPWM6A (O)	CANRXB (I)	ADCSOCBO (O)	EQEP1A (I)	SCITXDB (O)		UPP-WAIT (I/O)
	GPIO11	EPWM6B (O)	SCIRXDB (I)	OUTPUTXBAR7 (O)	EQEP1B (I)	SCIRXDB (I)		UPP-START (I/O)
	GPIO12	EPWM7A (O)	CANTXB (O)	MDXB (O)	EQEP1S (I/O)	SCITXDC (O)		UPP-ENA (I/O)
	GPIO13	EPWM7B (O)	CANRXB (I)	MDRB (I)	EQEP1I (I/O)	SCIRXDC (I)		UPP-D7 (I/O)
	GPIO14	EPWM8A (O)	SCITXDB (O)	MCLKXB (I/O)		OUTPUTXBAR3 (O)		UPP-D6 (I/O)
	GPIO15	EPWM8B (O)	SCIRXDB (I)	MFSXB (I/O)		OUTPUTXBAR4 (O)		UPP-D5 (I/O)
	GPIO16	SPISIMOA (I/O)	CANTXB (O)	OUTPUTXBAR7 (O)	EPWM9A (O)		SD1_D1 (I)	UPP-D4 (I/O)
	GPIO17	SPISOMIA (I/O)	CANRXB (I)	OUTPUTXBAR8 (O)	EPWM9B (O)		SD1_C1 (I)	UPP-D3 (I/O)
	GPIO18	SPICLKA (I/O)	SCITXDB (O)	CANRXA (I)	EPWM10A (O)		SD1_D2 (I)	UPP-D2 (I/O)
	GPIO19	$\overline{\text{SPISTEA}}$ (I/O)	SCIRXDB (I)	CANTXA (O)	EPWM10B (O)		SD1_C2 (I)	UPP-D1 (I/O)
	GPIO20	EQEP1A (I)	MDXA (O)	CANTXB (O)	EPWM11A (O)		SD1_D3 (I)	UPP-D0 (I/O)
	GPIO21	EQEP1B (I)	MDRA (I)	CANRXB (I)	EPWM11B (O)		SD1_C3 (I)	UPP-CLK (I/O)
	GPIO22	EQEP1S (I/O)	MCLKXA (I/O)	SCITXDB (O)	EPWM12A (O)	SPICLKB (I/O)	SD1_D4 (I)	
	GPIO23	EQEP1I (I/O)	MFSXA (I/O)	SCIRXDB (I)	EPWM12B (O)	$\overline{\text{SPISTEB}}$ (I/O)	SD1_C4 (I)	
	GPIO24	OUTPUTXBAR1 (O)	EQEP2A (I)	MDXB (O)		SPISIMOB (I/O)	SD2_D1 (I)	
	GPIO25	OUTPUTXBAR2 (O)	EQEP2B (I)	MDRB (I)		SPISOMIB (I/O)	SD2_C1 (I)	
	GPIO26	OUTPUTXBAR3 (O)	EQEP2I (I/O)	MCLKXB (I/O)	OUTPUTXBAR3 (O)	SPICLKB (I/O)	SD2_D2 (I)	
	GPIO27	OUTPUTXBAR4 (O)	EQEP2S (I/O)	MFSXB (I/O)	OUTPUTXBAR4 (O)	$\overline{\text{SPISTEB}}$ (I/O)	SD2_C2 (I)	
	GPIO28	SCIRXDA (I)	$\overline{\text{EM1CS4}}$ (O)		OUTPUTXBAR5 (O)	EQEP3A (I)	SD2_D3 (I)	
	GPIO29	SCITXDA (O)	EM1SDCKE (O)		OUTPUTXBAR6 (O)	EQEP3B (I)	SD2_C3 (I)	
	GPIO30	CANRXA (I)	EM1CLK (O)		OUTPUTXBAR7 (O)	EQEP3S (I/O)	SD2_D4 (I)	
	GPIO31	CANTXA (O)	$\overline{\text{EM1WE}}$ (O)		OUTPUTXBAR8 (O)	EQEP3I (I/O)	SD2_C4 (I)	
	GPIO32	SDAA (I/OD)	$\overline{\text{EM1CS0}}$ (O)					
	GPIO33	SCLA (I/OD)	EM1RNW (O)					
	GPIO34	OUTPUTXBAR1 (O)	$\overline{\text{EM1CS2}}$ (O)			SDAB (I/OD)		
	GPIO35	SCIRXDA (I)	$\overline{\text{EM1CS3}}$ (O)			SCLB (I/OD)		
	GPIO36	SCITXDA (O)	EM1WAIT (I)			CANRXA (I)		
	GPIO37	OUTPUTXBAR2 (O)	$\overline{\text{EM1OE}}$ (O)			CANTXA (O)		
	GPIO38		EM1A0 (O)		SCITXDC (O)	CANTXB (O)		
	GPIO39		EM1A1 (O)		SCIRXDC (I)	CANRXB (I)		
	GPIO40		EM1A2 (O)			SDAB (I/OD)		

Copyright © 2026 Texas Instruments Incorporated

表 5-3. GPIO 多重化ピン (続き)

	GPIO 多重化の選択[1] [2]							
GPIO インデックス	0、4、8、12	1	2	3	5	6	7	15
GPyGMUXn。GPIOz =	00b、01b、10b、11b	00b			01b			11b
GPyMUXn。GPIOz =	00b	01b	10b	11b	01b	10b	11b	11b
	GPIO41		EM1A3 (O)			SCLB (I/OD)		
	GPIO42					SDAA (I/OD)		SCITXDA (O)
	GPIO43					SCLA (I/OD)		SCIRXDA (I)
	GPIO44		EM1A4 (O)					
	GPIO45		EM1A5 (O)					
	GPIO46		EM1A6 (O)			SCIRXDD (I)		
	GPIO47		EM1A7 (O)			SCITXDD (O)		
	GPIO48	OUTPUTXBAR3 (O)	EM1A8 (O)			SCITXDA (O)	SD1_D1 (I)	
	GPIO49	OUTPUTXBAR4 (O)	EM1A9 (O)			SCIRXDA (I)	SD1_C1 (I)	
	GPIO50	EQEP1A (I)	EM1A10 (O)			SPISIMOC (I/O)	SD1_D2 (I)	
	GPIO51	EQEP1B (I)	EM1A11 (O)			SPISOMIC (I/O)	SD1_C2 (I)	
	GPIO52	EQEP1S (I/O)	EM1A12 (O)			SPICLKC (I/O)	SD1_D3 (I)	
	GPIO53	EQEP1I (I/O)	EM1D31 (I/O)	EM2D15 (I/O)		$\overline{\text{SPISTEC}}$ (I/O)	SD1_C3 (I)	
	GPIO54	SPISIMOA (I/O)	EM1D30 (I/O)	EM2D14 (I/O)	EQEP2A (I)	SCITXDB (O)	SD1_D4 (I)	
	GPIO55	SPISOMIA (I/O)	EM1D29 (I/O)	EM2D13 (I/O)	EQEP2B (I)	SCIRXDB (I)	SD1_C4 (I)	
	GPIO56	SPICLKA (I/O)	EM1D28 (I/O)	EM2D12 (I/O)	EQEP2S (I/O)	SCITXDC (O)	SD2_D1 (I)	
	GPIO57	$\overline{\text{SPISTEA}}$ (I/O)	EM1D27 (I/O)	EM2D11 (I/O)	EQEP2I (I/O)	SCIRXDC (I)	SD2_C1 (I)	
	GPIO58	MCLKRA (I/O)	EM1D26 (I/O)	EM2D10 (I/O)	OUTPUTXBAR1 (O)	SPICLKB (I/O)	SD2_D2 (I)	SPISIMOA[3] (I/O)
	GPIO59	MFSRA (I/O)	EM1D25 (I/O)	EM2D9 (I/O)	OUTPUTXBAR2 (O)	$\overline{\text{SPISTEB}}$ (I/O)	SD2_C2 (I)	SPISOMIA[3] (I/O)
	GPIO60	MCLKRB (I/O)	EM1D24 (I/O)	EM2D8 (I/O)	OUTPUTXBAR3 (O)	SPISIMOB (I/O)	SD2_D3 (I)	SPICLKA[3] (I/O)
	GPIO61	MFSRB (I/O)	EM1D23 (I/O)	EM2D7 (I/O)	OUTPUTXBAR4 (O)	SPISOMIB (I/O)	SD2_C3 (I)	$\overline{\text{SPISTEA}}$ [3] (I/O)
	GPIO62	SCIRXDC (I)	EM1D22 (I/O)	EM2D6 (I/O)	EQEP3A (I)	CANRXA (I)	SD2_D4 (I)	
	GPIO63	SCITXDC (O)	EM1D21 (I/O)	EM2D5 (I/O)	EQEP3B (I)	CANTXA (O)	SD2_C4 (I)	SPISIMOB[3] (I/O)
	GPIO64		EM1D20 (I/O)	EM2D4 (I/O)	EQEP3S (I/O)	SCIRXDA (I)		SPISOMIB[3] (I/O)
	GPIO65		EM1D19 (I/O)	EM2D3 (I/O)	EQEP3I (I/O)	SCITXDA (O)		SPICLKB[3] (I/O)
	GPIO66		EM1D18 (I/O)	EM2D2 (I/O)		SDAB (I/OD)		$\overline{\text{SPISTEB}}$ [3] (I/O)
	GPIO67		EM1D17 (I/O)	EM2D1 (I/O)				
	GPIO68		EM1D16 (I/O)	EM2D0 (I/O)				
	GPIO69		EM1D15 (I/O)			SCLB (I/OD)		SPISIMOC[3] (I/O)
	GPIO70		EM1D14 (I/O)		CANRXA (I)	SCITXDB (O)		SPISOMIC[3] (I/O)
	GPIO71		EM1D13 (I/O)		CANTXA (O)	SCIRXDB (I)		SPICLKC[3] (I/O)
	GPIO72		EM1D12 (I/O)		CANTXB (O)	SCITXDC (O)		$\overline{\text{SPISTEC}}$ [3] (I/O)
	GPIO73		EM1D11 (I/O)	XCLKOUT (O)	CANRXB (I)	SCIRXDC (I)		
	GPIO74		EM1D10 (I/O)					
	GPIO75		EM1D9 (I/O)					
	GPIO76		EM1D8 (I/O)			SCITXDD (O)		
	GPIO77		EM1D7 (I/O)			SCIRXDD (I)		
	GPIO78		EM1D6 (I/O)			EQEP2A (I)		
	GPIO79		EM1D5 (I/O)			EQEP2B (I)		
	GPIO80		EM1D4 (I/O)			EQEP2S (I/O)		
	GPIO81		EM1D3 (I/O)			EQEP2I (I/O)		
	GPIO82		EM1D2 (I/O)					
	GPIO83		EM1D1 (I/O)					
	GPIO84				SCITXDA (O)	MDXB (O)		MDXA (O)
	GPIO85		EM1D0 (I/O)		SCIRXDA (I)	MDRB (I)		MDRA (I)
	GPIO86		EM1A13 (O)	EM1CAS (O)	SCITXDB (O)	MCLKXB (I/O)		MCLKXA (I/O)
	GPIO87		EM1A14 (O)	EM1RAS (O)	SCIRXDB (I)	MFSXB (I/O)		MFSXA (I/O)
	GPIO88		EM1A15 (O)	EM1DQM0 (O)				
	GPIO89		EM1A16 (O)	EM1DQM1 (O)		SCITXDC (O)		
	GPIO90		EM1A17 (O)	EM1DQM2 (O)		SCIRXDC (I)		

Copyright © 2026 Texas Instruments Incorporated

表 5-3. GPIO 多重化ピン (続き)

	GPIO 多重化の選択[1] [2]							
GPIO インデックス	0、4、8、12	1	2	3	5	6	7	15
GPyGMUXn。GPIOz =	00b、01b、10b、11b	00b			01b			11b
GPyMUXn。GPIOz =	00b	01b	10b	11b	01b	10b	11b	11b
	GPIO91		EM1A18 (O)	EM1DQM3 (O)		SDAA (I/OD)		
	GPIO92		EM1A19 (O)	EM1BA1 (O)		SCLA (I/OD)		
	GPIO93			EM1BA0 (O)		SCITXDD (O)		
	GPIO94					SCIRXDD (I)		
	GPIO95							
	GPIO96			EM2DQM1 (O)	EQEP1A (I)			
	GPIO97			EM2DQM0 (O)	EQEP1B (I)			
	GPIO98			EM2A0 (O)	EQEP1S (I/O)			
	GPIO99			EM2A1 (O)	EQEP1I (I/O)			
	GPIO100			EM2A2 (O)	EQEP2A (I)	SPISIMOC (I/O)		
	GPIO101			EM2A3 (O)	EQEP2B (I)	SPISOMIC (I/O)		
	GPIO102			EM2A4 (O)	EQEP2S (I/O)	SPICLKC (I/O)		
	GPIO103			EM2A5 (O)	EQEP2I (I/O)	$\overline{\text{SPISTEC}}$ (I/O)		
	GPIO104	SDAA (I/OD)		EM2A6 (O)	EQEP3A (I)	SCITXDD (O)		
	GPIO105	SCLA (I/OD)		EM2A7 (O)	EQEP3B (I)	SCIRXDD (I)		
	GPIO106			EM2A8 (O)	EQEP3S (I/O)	SCITXDC (O)		
	GPIO107			EM2A9 (O)	EQEP3I (I/O)	SCIRXDC (I)		
	GPIO108			EM2A10 (O)				
	GPIO109			EM2A11 (O)				
	GPIO110			EM2WAIT (I)				
	GPIO111			EM2BA0 (O)				
	GPIO112			EM2BA1 (O)				
	GPIO113			EM2CAS (O)				
	GPIO114			EM2RAS (O)				
	GPIO115			$\overline{\text{EM2CS0}}$ (O)				
	GPIO116			$\overline{\text{EM2CS2}}$ (O)				
	GPIO117			EM2SDCKE (O)				
	GPIO118			EM2CLK (O)				
	GPIO119			EM2RNW (O)				
	GPIO120			$\overline{\text{EM2WE}}$ (O)				USB0PFLT
	GPIO121			$\overline{\text{EM2OE}}$ (O)				USB0EPEN
	GPIO122					SPISIMOC (I/O)	SD1_D1 (I)	
	GPIO123					SPISOMIC (I/O)	SD1_C1 (I)	
	GPIO124					SPICLKC (I/O)	SD1_D2 (I)	
	GPIO125					$\overline{\text{SPISTEC}}$ (I/O)	SD1_C2 (I)	
	GPIO126						SD1_D3 (I)	
	GPIO127						SD1_C3 (I)	
	GPIO128						SD1_D4 (I)	
	GPIO129						SD1_C4 (I)	
	GPIO130						SD2_D1 (I)	
	GPIO131						SD2_C1 (I)	
	GPIO132						SD2_D2 (I)	
	GPIO133/ AUXCLKIN						SD2_C2 (I)	
	GPIO134						SD2_D3 (I)	
	GPIO135					SCITXDA (O)	SD2_C3 (I)	
	GPIO136					SCIRXDA (I)	SD2_D4 (I)	
	GPIO137					SCITXDB (O)	SD2_C4 (I)	
	GPIO138					SCIRXDB (I)		
	GPIO139					SCIRXDC (I)		

Copyright © 2026 Texas Instruments Incorporated

表 5-3. GPIO 多重化ピン (続き)

	GPIO 多重化の選択(1) (2)							
GPIO インデックス	0、4、8、12	1	2	3	5	6	7	15
GPyGMUXn。GPIOz =	00b、01b、10b、11b	00b			01b			11b
GPyMUXn。GPIOz =	00b	01b	10b	11b	01b	10b	11b	11b
	GPIO140					SCITXDC (O)		
	GPIO141					SCIRXDD (I)		
	GPIO142					SCITXDD (O)		
	GPIO143							
	GPIO144							
	GPIO145	EPWM1A (O)						
	GPIO146	EPWM1B (O)						
	GPIO147	EPWM2A (O)						
	GPIO148	EPWM2B (O)						
	GPIO149	EPWM3A (O)						
	GPIO150	EPWM3B (O)						
	GPIO151	EPWM4A (O)						
	GPIO152	EPWM4B (O)						
	GPIO153	EPWM5A (O)						
	GPIO154	EPWM5B (O)						
	GPIO155	EPWM6A (O)						
	GPIO156	EPWM6B (O)						
	GPIO157	EPWM7A (O)						
	GPIO158	EPWM7B (O)						
	GPIO159	EPWM8A (O)						
	GPIO160	EPWM8B (O)						
	GPIO161	EPWM9A (O)						
	GPIO162	EPWM9B (O)						
	GPIO163	EPWM10A (O)						
	GPIO164	EPWM10B (O)						
	GPIO165	EPWM11A (O)						
	GPIO166	EPWM11B (O)						
	GPIO167	EPWM12A (O)						
	GPIO168	EPWM12B (O)						

(1) I = 入力、O = 出力、OD = オープンドレイン
(2) GPIO インデックスの 9、10、11、13、14 の設定は、予約済みです。
(3) 高速 SPI 対応 GPIO 多重化オプション。このピン多重化オプションは、SPI を高速モードで使用する場合 (SPICCR の HS_MODE = 1) に必要です。この多重化オプションは、SPI を高速モードで使用しない場合 (SPICCR の HS_MODE = 0) でも使用できます。

Copyright © 2026 Texas Instruments Incorporated

5.4.2 入力クロスバー

入力クロスバーは、いずれかの GPIO 入力を ADC、eCAP、ePWM ペリフェラル、および外部割り込み (XINT) にルーティングするために使用されます (図 5-2 を参照)。表 5-4 に、入力クロスバーの接続先を示します。入力クロスバーの構成の詳細については、『TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「クロスバー (X-BAR)」の章を参照してください。

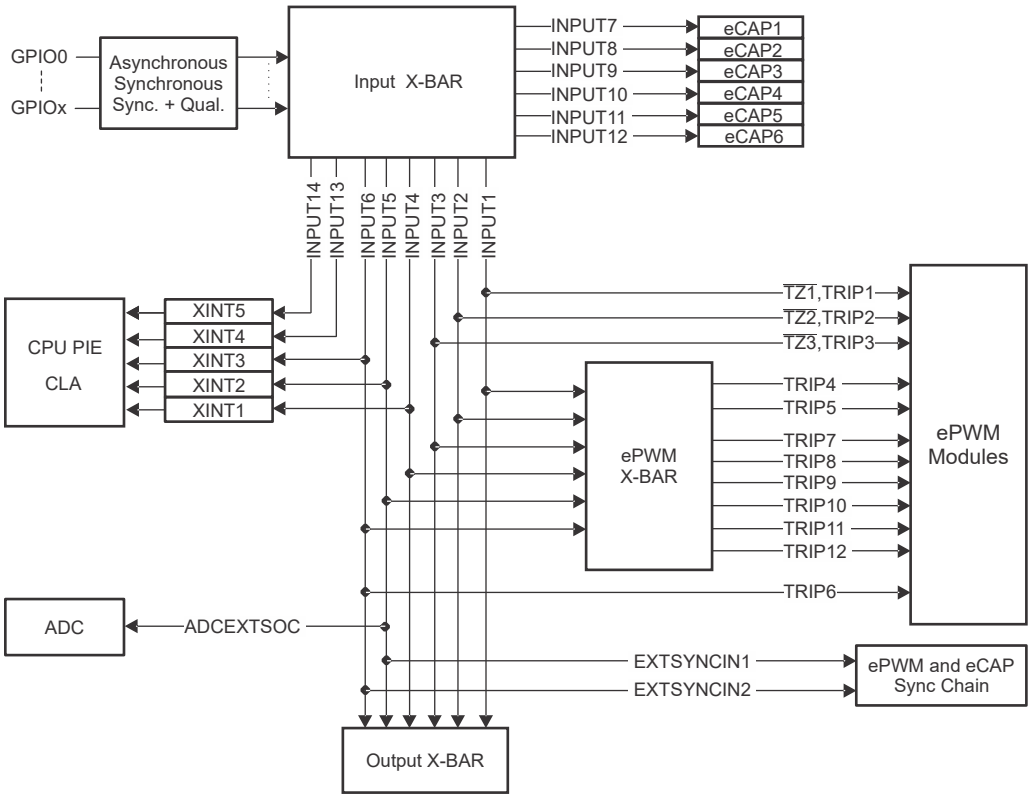


図 5-2. 入力クロスバー

表 5-4. クロスバーの接続先

入力	接続先
INPUT1	ePWM[TZ1、TRIP1]、ePWM クロスバー、出力クロスバー
INPUT2	ePWM[TZ2、TRIP2]、ePWM クロスバー、出力クロスバー
INPUT3	ePWM[TZ3、TRIP3]、ePWM クロスバー、出力クロスバー
INPUT4	XINT1、ePWM クロスバー、出力クロスバー
INPUT5	XINT2、ADCEXTSOC、EXTSYNCIN1、ePWM クロスバー、出力クロスバー
INPUT6	XINT3、ePWM [TRIP6]、EXTSYNCIN2、ePWM クロスバー、出力クロスバー
INPUT7	ECAP1
INPUT8	ECAP2
INPUT9	ECAP3
INPUT10	ECAP4
INPUT11	ECAP5
INPUT12	ECAP6
INPUT13	XINT4
INPUT14	XINT5

Copyright © 2026 Texas Instruments Incorporated

5.4.3 出力クロスバーおよび ePWM クロスバー

出力クロスバーには 8 つの出力があり、GPIO 多重化で OUTPUTXBARx として選択できます。ePWM クロスバーには 8 つの出力があり、ePWM の TRIPx 入力に接続されています。出力クロスバーおよび ePWM クロスバーのソースを 図 5-3 に示します。出力クロスバーおよび ePWM クロスバーの詳細については、『TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「クロスバー (X-BAR)」を参照してください。

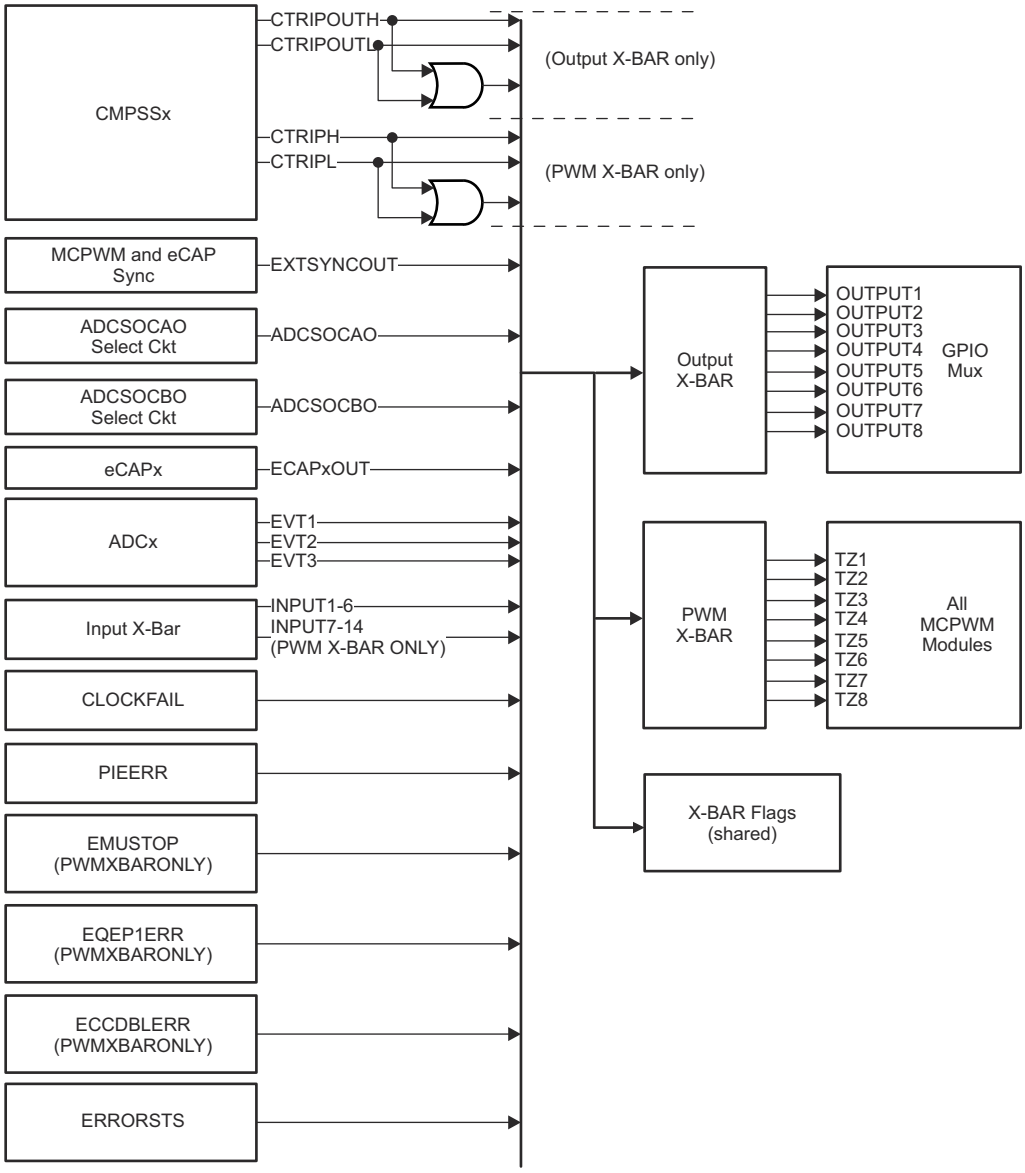


図 5-3. 出力クロスバーおよび ePWM クロスバー

5.4.4 USB ピン多重化

表 5-5 に、代替 USB 機能の割り当てを示します。これらは GPBAMSEL レジスタで構成できます。

表 5-5. 代替 USB 機能

GPIO	GPBAMSEL 設定	USB 機能
GPIO42	GPBAMSEL[10] = 1b	USB0DM
GPIO43	GPBAMSEL[11] = 1b	USB0DP

5.4.5 高速 SPI ピン多重化

このデバイスの SPI モジュールには高速モードがあります。最高の速度を実現するために、それぞれの SPI に 1 つの GPIO 多重化オプションで特別な GPIO 構成を使用します。これらの GPIO は、高速モードではない場合 (HS_MODE = 0) の SPI でも使用できます。

SPI 高速モードを有効 にする多重化オプションを選択するには、表 5-6 に示すように GPyGMUX および GPyMUX レジスタを構成します。

表 5-6. 高速 SPI 用の GPIO 構成

GPIO	SPI 信号	多重化構成	
SPIA			
GPIO58	SPISIMOA	GPBGMUX2[21:20]=11b	GPBMUX2[21:20]=11b
GPIO59	SPISOMIA	GPBGMUX2[23:22]=11b	GPBMUX2[23:22]=11b
GPIO60	SPICLKA	GPBGMUX2[25:24]=11b	GPBMUX2[25:24]=11b
GPIO61	$\overline{\text{SPISTEA}}$	GPBGMUX2[27:26]=11b	GPBMUX2[27:26]=11b
SPIB			
GPIO63	SPISIMOB	GPBGMUX2[31:30]=11b	GPBMUX2[31:30]=11b
GPIO64	SPISOMIB	GPCGMUX1[1:0]=11b	GPCMUX1[1:0]=11b
GPIO65	SPICLKB	GPCGMUX1[3:2]=11b	GPCMUX1[3:2]=11b
GPIO66	$\overline{\text{SPISTEB}}$	GPCGMUX1[5:4]=11b	GPCMUX1[5:4]=11b
SPIC			
GPIO69	SPISIMOC	GPCGMUX1[11:10]=11b	GPCMUX1[11:10]=11b
GPIO70	SPISOMIC	GPCGMUX1[13:12]=11b	GPCMUX1[13:12]=11b
GPIO71	SPICLKC	GPCGMUX1[15:14]=11b	GPCMUX1[15:14]=11b
GPIO72	$\overline{\text{SPISTEC}}$	GPCGMUX1[17:16]=11b	GPCMUX1[17:16]=11b

Copyright © 2026 Texas Instruments Incorporated

5.5 未使用ピンの接続

デバイスのすべての機能を使用する必要のないアプリケーションについては、表 5-7 に、未使用のピンに対して許容される処置を示します。表 5-7 に複数の選択肢が示されている場合は、どれを採用してもかまいません。表 5-7 に記載されていないピンは、「信号の説明」セクションに従って接続する必要があります。

表 5-7. 未使用ピンの接続

信号名	許容される処置
アナログ	
V_{REFHIx}	V_{DDA} に接続
V_{REFLOx}	V_{SSA} に接続
ADCINx	• 接続なし • V_{SSA} に接続
デジタル	
GPIOx	• 接続なし (入力モードで内部プルアップをイネーブル) • 接続なし (出力モードで内部プルアップをディセーブル) • プルアップまたはプルダウン抵抗 (任意の値の抵抗、入力モードで内部プルアップをディセーブル)
X1	V_{SS} に接続
X2	接続なし
TCK	• 接続なし • プルアップ抵抗
TDI	• 接続なし • プルアップ抵抗
TDO	接続なし
TMS	接続なし
$\overline{TRST}$	プルダウン抵抗 (2.2kΩ 以下)
VREGENZ	V_{DDIO} に接続。VREG はサポートされていません。
ERRORSTS	接続なし
FLT1	接続なし
FLT2	接続なし
電源およびグランド	
V_{DD}	すべての V_{DD} ピンは、「信号の説明」セクションに従って接続する必要があります。
V_{DDA}	専用のアナログ電源を使用しない場合は、V_{DDIO} に接続します。
V_{DDIO}	すべての V_{DDIO} ピンは、「信号の説明」セクションに従って接続する必要があります。
V_{DD3VFL}	V_{DDIO} に接続する必要があります
V_{DDOSC}	V_{DDIO} に接続する必要があります
V_{SS}	すべての V_{SS} ピンは、基板のグランドに接続する必要があります。
V_{SSA}	専用のアナログ グランドを使用しない場合は、V_{SS} に接続します。
V_{SSOSC}	外部水晶振動子を使用しない場合は、このピンを基板のグランドに接続できます。

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1) (2)

		最小値	最大値	単位
電源電圧	V_{SS} に対する V_{DDIO}	-0.3	4.6	V
	V_{SS} に対する V_{DD3VFL}	-0.3	4.6	
	V_{SS} に対する V_{DDOSC}	-0.3	4.6	
	V_{SS} に対する V_{DD}	-0.3	1.5	
アナログ電圧	V_{SSA} に対する V_{DDA}	-0.3	4.6	V
入力電圧	V_{IN} (3.3V)	-0.3	4.6	V
出力電圧	V_O	-0.3	4.6	V
入力クランプ電流	デジタル入力 (ピンごと)、I_{IK} ($V_{IN} < V_{SS}$ または $V_{IN} > V_{DDIO}$)	-20	20	mA
	アナログ入力 (ピンごと)、$I_{IKANALOG}$ ($V_{IN} < V_{SSA}$ または $V_{IN} > V_{DDA}$)	-20	20	
	すべての入力の合計値、$I_{IKTOTAL}$ ($V_{IN} < V_{SS}/V_{SSA}$ または $V_{IN} > V_{DDIO}/V_{DDA}$)	-20	20	
出力電流	デジタル出力 (ピンごと)、I_{OUT}	-20	20	mA
動作時接合部温度	T_J	-55	150	°C
保存温度(3)	T_{stg}	-65	150	°C

(1) 「*絶対最大定格*」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「*絶対最大定格*」の範囲内であっても「*推奨動作条件*」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) 特に記述のない限り、すべての電圧値は V_{SS} を基準にしていします。
(3) 長期にわたる高温保存または最高温度条件での長時間使用は、デバイスの寿命を縮める可能性があります。詳細については、*『半導体および IC パッケージの熱評価基準』*を参照してください。

6.2 ESD 定格

			値	単位
F28377D-SEP、176 ピン PTP パッケージ				
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、AEC Q100-002 に準拠(1)	すべてのピン	±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
		176 ピン PTP のコーナー ピン: 1、44、45、88、89、132、133、176	±750	

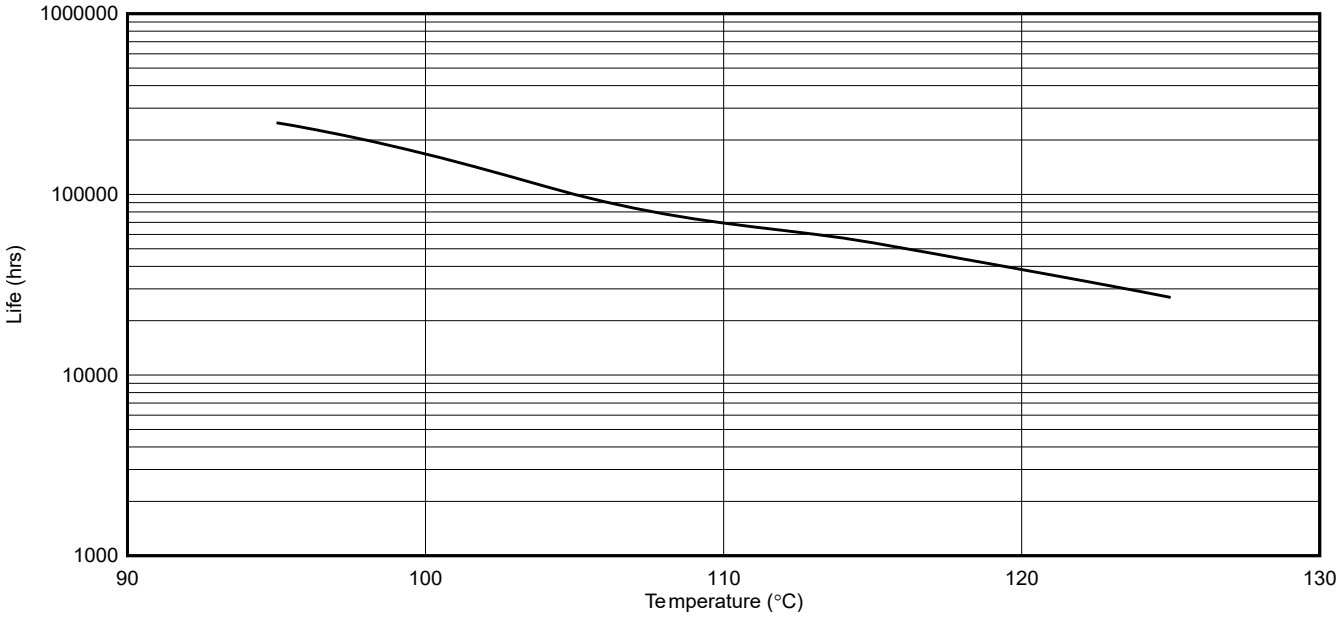
(1) AEC Q100-002 は、ANSI/ESDA/JEDEC JS-001 仕様に従って HBM ストレス試験を実施することを示しています。

Copyright © 2026 Texas Instruments Incorporated

6.3 推奨動作条件

	最小値	公称値	最大値	単位
デバイス電源電圧、I/O、V_{DDIO} (1)	3.14	3.3	3.47	V
デバイス電源電圧、V_{DD}	1.14	1.2	1.26	V
電源グランド、V_{SS}		0		V
アナログ電源電圧、V_{DDA}	3.14	3.3	3.47	V
アナログ グランド、V_{SSA}		0		V
接合部温度、T_J (2)	-55		150	℃

(1) V_{DDIO}、V_{DD3VFL}、V_{DDOSC} は、互いに 0.3V 以内に維持する必要があります。
(2) T_J = 105℃を超えて長時間動作すると、デバイスの寿命が短くなります。詳細については、『組込みプロセッサの有効寿命計算』を参照してください。



A. シリコンの動作寿命の設計目標は、105℃の接合部温度で 100000 時間の電源オン時間 (POH) です (パッケージの相互接続寿命は含まれません)。
B. 予測される動作寿命と接合部温度との関係は、特定のデバイス プロセスと設計特性でデバイスの磨耗に影響を及ぼす主要な故障メカニズムとしてエレクトロマイグレーションを使用した信頼性モデルに基づいています。

図 6-1. F28377D-SEP の動作寿命ディレーティングチャート

6.4 消費電力の概略

このセクションに記載されている電流値は、絶対最大値ではなく、与えられたテスト条件での代表値を表しています。アプリケーションでの実際のデバイス電流は、アプリケーション・コードおよびピン構成によって異なります。セクション 6.4.1 に、200MHz SYSCLK でのデバイスの消費電流を示します。

6.4.1 200MHz SYSCLK でのデバイス消費電流

モード	テスト条件	I_{DD}		I_{DDIO} (1)		I_{DDA}		I_{DD3VFL}	
		標準値 (5)	最大値 (4)	標準値 (5)	最大値 (4)	標準値 (5)	最大値 (4)	標準値 (5)	最大値 (4)
動作中	• コードは RAM から実行。(6) • すべての I/O ピンは未接続。 • アクティブでないペリフェラルのクロックはディセーブル。 • フラッシュは読み取りで、アクティブ状態。 • XCLKOUT は SYSCLK/4 でイネーブル。	325 mA	495 mA	30 mA		13 mA	20 mA	33 mA	40 mA
IDLE	• CPU1 と CPU2 はどちらもアイドル モード。 • フラッシュは電源オフ。 • XCLKOUT はオフ。	105 mA	250 mA	3 mA	10 mA	10 µA	150 µA	10 µA	150 µA
STANDBY	• CPU1 と CPU2 はどちらもスタンバイ モード。 • フラッシュは電源オフ。 • XCLKOUT はオフ。	30 mA	170 mA	3 mA	10 mA	5 µA	150 µA	10 µA	150 µA
ホールト(2)	• CPU1 はウォッチドッグが動作。 • フラッシュは電源オフ。 • XCLKOUT はオフ。	1.5 mA	120 mA	750 µA	2 mA	5 µA	150 µA	10 µA	150 µA
ハイバネーション(3)	• CPU1.M0 および CPU1.M1 RAM は低消費電力データ保持モード。 • CPU2.M0 および CPU2.M1 RAM は低消費電力データ保持モード。	300 µA	5 mA	750 µA	2 mA	5 µA	75 µA	1 µA	50 µA
フラッシュ 消去 / プログラム(7)	• CPU1 は RAM から実行。 • CPU2 はフラッシュから実行。 • すべての I/O ピンは未接続。 • ペリフェラル クロックがディセーブル。 • CPU1 はフラッシュの消去および書き込みを実行。 • CPU2 はフラッシュの領域にアクセスして、バンクをアクティブな状態に維持。 • XCLKOUT はオフ。	242 mA	360 mA	3 mA	10 mA	10 µA	150 µA	53 mA	65 mA

Copyright © 2026 Texas Instruments Incorporated

6.4.1 200MHz SYSCLK でのデバイス消費電流 (続き)

モード	テスト条件	I_{DD}		I_{DDIO} (1)		I_{DDA}		I_{DD3VFL}	
		標準値 (5)	最大値 (4)	標準値 (5)	最大値 (4)	標準値 (5)	最大値 (4)	標準値 (5)	最大値 (4)
リセット	• XRSn に駆動される外部 Low 信号により、CPU はリセット状態に保持 • パワーアップ時に XRSn を Low に保持	10 mA	20 mA	0.01 mA	0.8 mA	0.02 mA	1 mA	2.5 mA	8 mA

(1) I_{DDIO} 電流は、I/O ピンの電気的負荷に依存します。
(2) CPU2 は、CPU1 がホールト モードに移行する前にアイドル モードに移行する必要があります。
(3) CPU2 は、CPU1 がハイバネーション モードに移行する前に、リセット / アイドル / スタンバイ モードに移行する必要があります。
(4) 最大値:V_{max}、125°C
(5) 標準値:V_{nom}、30°C
(6) 以下は、CPU1 のループ内で実行されます。
- すべての通信ペリフェラルは、ループバック モードで実行。CAN-A～CAN-B、SPI-A～SPI-C、SCI-A～SCI-D、I2C-A～I2C-B、McBSP A～McBSP B、USB
- SDFM1～SDFM4 がアクティブ
- ePWM1～ePWM12 は、24 本のピンで 400kHz の PWM 出力を生成
- CPU タイマがアクティブ
- DMA は 32 ビットのバースト転送を実行
- CLA1 は積和演算を実行
- すべての ADC は連続変換を実行
- すべての DAC は 150kHz で電圧の上昇 / 下降
- CMPSS1～CMPSS8 がアクティブ

以下は、CPU2 のループ内で実行されます。
- CPU タイマがアクティブ
- CLA1 は積和演算を実行
- VCU は並列負荷で複素積和演算を実行
- TMU は余弦を計算
- FPU は並列負荷で積和演算を実行

(7) フラッシュ プログラミング中にブラウンアウト イベントが発生すると、フラッシュ データを破壊する可能性があります。代替電源 (USB プログラマなど) を使用するプログラミング環境では、電源のブラウンアウト状態を回避するために、十分なマージンを確保して、デバイスおよび他のシステム コンポーネントに定格電流を供給できるようにする必要があります。

Copyright © 2026 Texas Instruments Incorporated

6.4.2 消費電流のグラフ

図 6-2 および 図 6-3 は、デバイスの周波数と消費電流 / 電力との関係の代表例を示したものです。V_{max} および高温の条件において、所定の周波数範囲にわたって セクション 6.4.1 の動作テストを実行しました。実際の結果は、システムの実装と条件によって異なります。

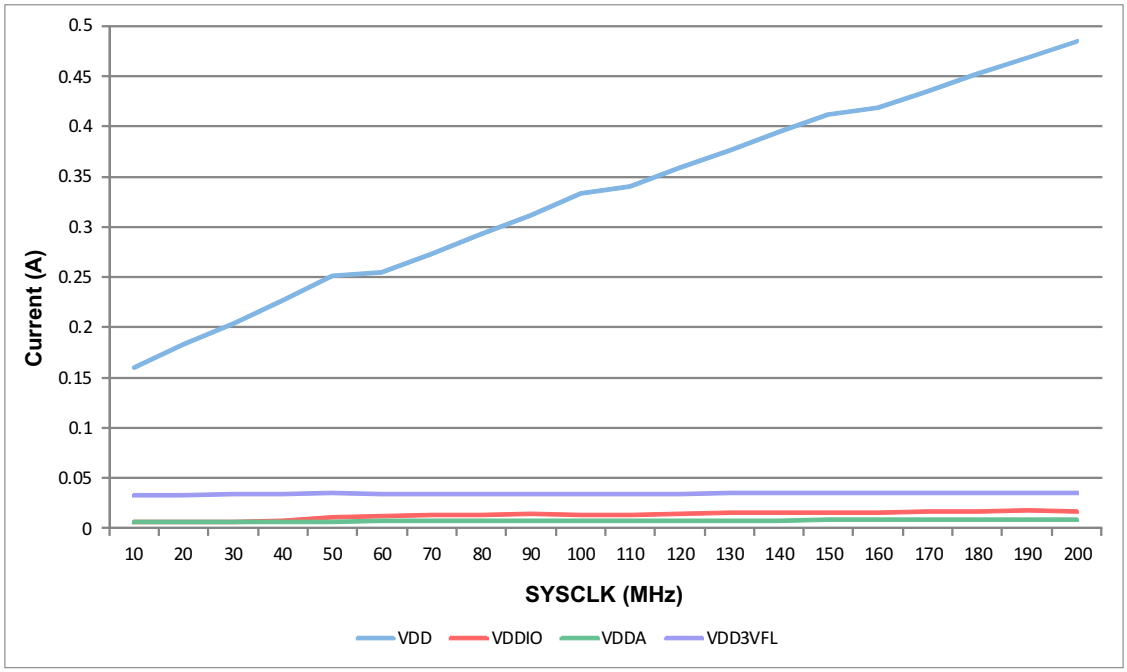


図 6-2. 動作電流と周波数との関係

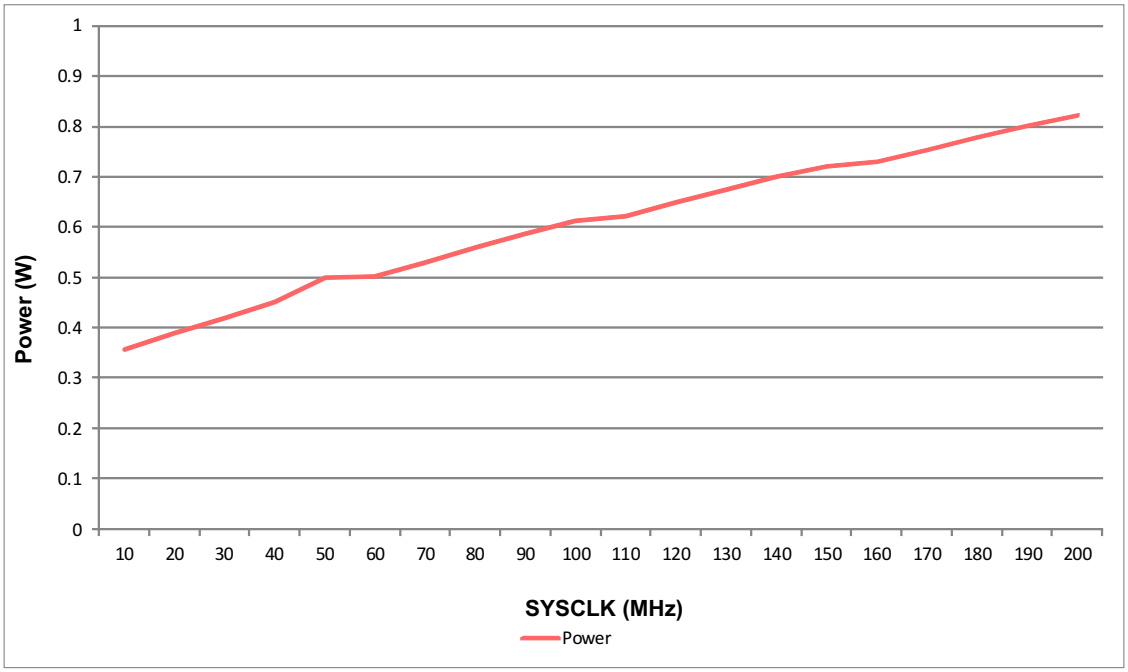


図 6-3. 電力と周波数との関係

Copyright © 2026 Texas Instruments Incorporated

リーク電流は、動作温度に対して非線形に増加します。図 6-4 は、V_{DD} 電流の標準条件と最大条件との差 を示しています。ホールト モードでの消費電流は、主にリーク電流です。内部発振器の電源がオフになっている場合、アクティブなスイッチングが発生しないからです。

図 6-4 に、全温度範囲での標準的なリーク電流を示します。デバイスは、公称電圧でホールト モードの状態です。

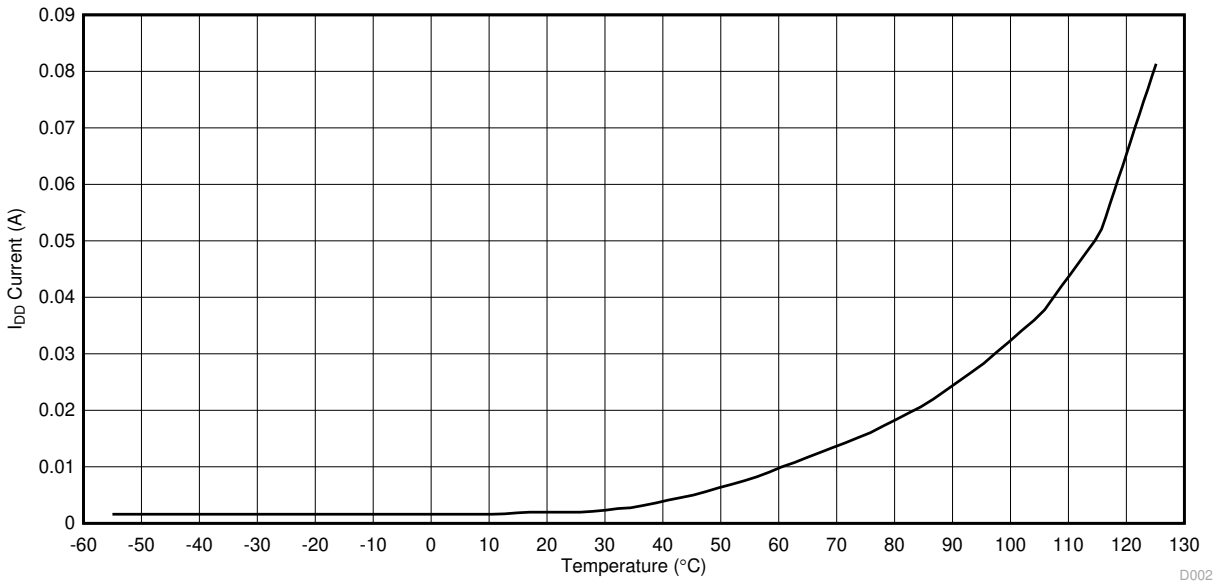


図 6-4. I_{DD} リーク電流と温度との関係

6.4.3 消費電流の低減

F2837xD デバイスには、デバイスの消費電流を低減する方法がいくつかあります。

- アプリケーションが動作していないときに、アイドル、スタンバイ、ホールト、ハイバネーションの 4 つの低消費電力モードのいずれかに移行できます。
- RAM からコードを実行する場合には、フラッシュ モジュールの電源をオフにすることができます。
- 出力機能として設定されているピンのプルアップをディセーブルにします。
- 各ペリフェラルには、個別のクロック イネーブル ビット (PCLKCRx) があります。特定のアプリケーションで使用されていないペリフェラルについて、クロックをオフにすることにより、消費電流を低減できます。表 6-1 に、PCLKCRx レジスタを使用してクロックをディセーブルにすることにより実現できる、標準的な電流低減を示します。
- 低消費電力モードで最小の V_{DDA} 消費電流を実現するには、『TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の該当するアナログの章を参照して、各モジュールの電源が確実にオフになるようにしてください。

表 6-1. さまざまなペリフェラルごとの V_{DD} 電源電流 (200MHz 時)

ペリフェラル モジュール(1) (2)	I_{DD} 電流 低減 (mA)
ADC(3)	3.3
CAN	3.3
CLA	1.4
CMPSS(3)	1.4
CPUTIMER	0.3
DAC(3)	0.6
DMA	2.9
eCAP	0.6
EMIF1	2.9
EMIF2	2.6
ePWM1～ePWM4(4)	4.5
ePWM5～ePWM12(4)	1.7
HRPWM(4)	1.7
I2C	1.3
McBSP	1.6
SCI	0.9
SDFM	2
SPI	0.5
uPP	7.3
USB および AUXPLL (60MHz)	23.8

(1) V_{max}、125°C 動作時。
(2) すべてのペリフェラルは、リセット時にディセーブルになります。各ペリフェラルは、PCLKCRx レジスタを使用して個別にイネーブルにします。複数のインスタンスを持つペリフェラルの場合、ここに記載された電流は、単一のモジュールのものです。
(3) この数値は、ADC、CMPSS、DAC モジュールのデジタル部分で消費される電流を示しています。
(4) ePWM は SYSCLK の 1/2 で動作。

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ			テスト条件	最小値	代表値	最大値	単位
V_{OH}	High レベル出力電圧		I_{OH} = I_{OH} 最小値	V_{DDIO} * 0.8			V
			I_{OH} = -100µA	V_{DDIO} – 0.2			
V_{OL}	Low レベル出力電圧		I_{OL} = I_{OL} 最大値			0.4	V
			I_{OL} = 100 µA			0.2	
I_{OH}	すべての出力 ピンの HIGH レベル出力ソース電流			-4			mA
I_{OL}	すべての出力 ピンの LOW レベル出力シンク電流					4	mA
V_{IH}	High レベル入力電圧 (3.3 V)	GPIO0–GPIO7、GPIO42–GPIO43、GPIO46–GPIO47		V_{DDIO} * 0.7		V_{DDIO} + 0.3	V
		その他のすべてのピン		2.0		V_{DDIO} + 0.3	
V_{IL}	Low レベル入力電圧 (3.3 V)			V_{SS} – 0.3		0.8	V
$V_{HYSTERESIS}$	入力ヒステリシス			150			mV
$I_{pulldown}$	入力電流	プルダウン付きのデジタル入力(1)	V_{DDIO} = 3.3V V_{IN} = V_{DDIO}		120		µA
I_{pullup}	入力電流	プルアップがイネーブルされたデジタル入力(1)	V_{DDIO} = 3.3 V V_{IN} = 0 V		150		µA
I_{LEAK}	ピンのリーク電流	デジタル	プルアップはディセーブル、 0 V ≤ V_{IN} ≤ V_{DDIO}			2	µA
		アナログ (ADCINB0 または DACOUTx を除く)	0 V ≤ V_{IN} ≤ V_{DDA}			2	
		ADCINB0			2	11(2)	
		DACOUTx			66		
C_I	入力容量				2		pF
$V_{DDIO-POR}$	V_{DDIO} パワーオン リセット電圧				2.3		V

(1) プルアップまたはプルダウン付きのピンのリストについては、表 5-2 を参照してください。
(2) ADCINB0 で示されている最大入力リーク電流は、高温での値です。

6.6 熱抵抗特性

6.6.1 PTP パッケージ

		℃/W(1)	エア フロー (lfm) (2)
$R\Theta_{JC}$	接合部からケースへの熱抵抗	6.97	該当なし
$R\Theta_{JB}$	接合部から基板への熱抵抗	6.05	該当なし
$R\Theta_{JA}$ (High k PCB)	接合部から周囲空気への熱抵抗	17.8	0
$R\Theta_{JMA}$	接合部から周囲空気流への熱抵抗	12.8	150
		11.4	250
		10.1	500
Psi_{JT}	接合部とパッケージ上面との間	0.11	0
		0.24	150
		0.33	250
		0.42	500
Psi_{JB}	接合部と基板との間	6.1	0
		5.5	150
		5.4	250
		5.3	500

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ JC [$R\Theta_{JC}$] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

(2) lfm = linear feet per minute (リニア フィート毎分)

6.7 熱設計の検討事項

最終アプリケーションの設計と動作プロファイルに応じて、I_{DD} および I_{DDIO} の電流は変動する可能性があります。最終製品において推奨最大消費電力を超えるシステムでは、追加の熱強化が必要になる場合があります。周囲温度 (T_A) は、最終アプリケーションおよび製品の設計によって異なります。信頼性と機能に影響を与える重要な要因は、周囲温度ではなく、接合部温度 T_J です。したがって、規定された制限範囲内に T_J を維持するように注意する必要があります。動作接合部温度 T_J を推定するためには、T_{case} を測定する必要があります。通常、T_{case} は、パッケージ上面の中央で測定します。サーマル アプリケーション レポート*『半導体および IC パッケージの熱評価基準』*は、熱評価基準および定義の理解に役立ちます。

Copyright © 2026 Texas Instruments Incorporated

6.8 システム

6.8.1 電源シーケンス

6.8.1.1 信号ピンの要件

デバイスに電力を供給する前に、V_{DDIO} よりも 0.3V 以上高い電圧をいずれかのデジタル・ピンに印加することはできません。また、V_{DDA} よりも 0.3V 以上高い電圧をいずれかのアナログ・ピン (V_{REFHI} を含む) に印加することはできません。

6.8.1.2 V_{DDIO}、V_{DDA}、V_{DD3VFL}、V_{DDOSC} の要件

これらの 3.3V 電源は同時に電源を投入し、機能動作中は互いに 0.3V 以内に維持する必要があります。

6.8.1.3 V_{DD} 要件

内部 VREG はサポートされていません。VREGENZ ピンは、V_{DDIO} に接続する必要があります。また、V_{DD} に 1.2V 電源を供給するために外部電源を使用します。ランプ中、V_{DD} は、V_{DDIO} よりも 0.3V 以上高くなってはいけません。

V_{DDOSC} および V_{DD} は、同時にオン / オフする必要があります。V_{DD} がオフのとき、V_{DDOSC} をオンにしてはいけません。V_{DDOSC} および V_{DD} に同時に電力を供給しないアプリケーションについては、『TMS320F2837xD デュアルコア リアルタイム MCU シリコン エラッタ』の「INTOSC：V_{DD} なしで V_{DDOSC} 電源を供給すると INTOSC 周波数ドリフトが発生する可能性」のアドバイザリを参照してください。

フラッシュ バンクがアクティブのとき、V_{DD3VFL} から V_{DD} に向かって 12.8mA の内部電流源があります。フラッシュ バンクがアクティブで、デバイスが低アクティビティ状態 (たとえば、低消費電力モード) のとき、この内部電流源によって V_{DD} が約 1.3V に上昇する可能性があります。この状態では、外部システム V_{DD} レギュレータに対する電流負荷はゼロになります。これは、ほとんどのレギュレータにとって問題ではありませんが、システム電圧レギュレータが適切な動作のために最小負荷を必要とする場合は、外付けの 82Ω 抵抗を基板に追加して、V_{DD} の最小電流負荷を確保します。詳細については、『TMS320F2837xD デュアルコア リアルタイム MCU シリコン エラッタ』の「低消費電力モード：フラッシュの電源オフまたは最小デバイス動作の維持」アドバイザリを参照してください。

6.8.1.4 電源ランプ・レート

電源は、10ms 以内にフル・レールまで上昇する必要があります。セクション 6.8.1.4.1 に、電源ランプ・レートを示します。

6.8.1.4.1 電源ランプ・レート

		最小値	最大値	単位
電源ランプ・レート	V_{SS} を基準にした V_{DDIO}、V_{DD}、V_{DDA}、V_{DD3VFL}、V_{DDOSC}	330	10^5	V/s

6.8.1.5 電源監視

内部のパワー・オン・リセット (POR) 回路により、電源オン時に I/O が高インピーダンス状態に維持されます。外部電源電圧監視回路 (SVS)を使えば、3.3V および 1.2V レールの電圧を監視して、電源が動作仕様の範囲外の場合には、$\overline{XRS}$ を LOW に駆動できます。

注

電源電圧が POR スレッショルド付近に保持されている場合、デバイスは $\overline{XRS}$ ピンに対して繰り返しリセットを駆動することがあります。

6.8.2 リセット・タイミング

$\overline{XRS}$ は、デバイスのリセット・ピンです。入力およびオープン・ドレイン出力として機能します。このデバイスにはパワーオン・リセット (POR) が内蔵されています。電源投入時に、POR 回路が $\overline{XRS}$ ピンを LOW に駆動します。ウォッチドッグ・リセットまたは NMI ウォッチドッグ・リセットも、ピンを LOW に駆動します。外部回路によってピンを駆動して、デバイス・リセットをアサートすることもできます。

$\overline{XRS}$ と V_{DDIO} の間に 2.2kΩ～10kΩ の抵抗を配置する必要があります。ノイズ・フィルタリングのため、$\overline{XRS}$ と V_{SS} の間にコンデンサを配置します。容量は 100nF 以下にする必要があります。これらの値は、ウォッチドッグ・リセットがアサートさ

Copyright © 2026 Texas Instruments Incorporated

れたときに、ウォッチドッグが 512 OSCCLK サイクル以内に $\overline{XRS}$ ピンを V_{OL} に正しく駆動できるように決められています。図 6-5 に、推奨するリセット回路を示します。

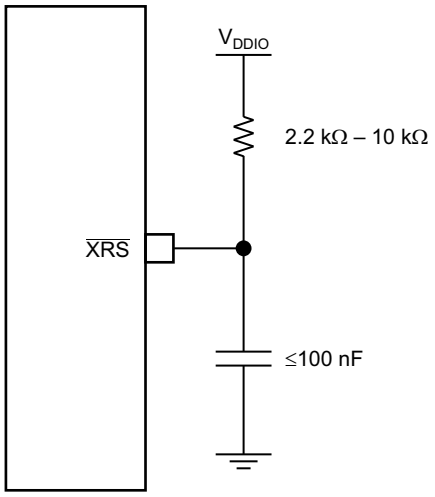


図 6-5. リセット回路

6.8.2.1 リセット ソース

このデバイスには、次のリセット ソースが存在します。$\overline{XRS}$、$\overline{WDRS}$、$\overline{NMIWDRS}$、$\overline{SYSRS}$、$\overline{SCCRESET}$、$\overline{HIBRESET}$ です。『TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「システム制御」の章で「リセット信号」表を参照してください。

パラメータ $t_{h(boot-mode)}$ は、これらのソースから開始されたいずれのリセットにも対応する必要があります。

注意

一部のリセット ソースはデバイスによって内部で駆動されます。これらのソースの一部は、$\overline{XRS}$ を LOW に駆動します。これを使って、ブート ピンを駆動する他のデバイスをディセーブルにできます。$\overline{SCCRESET}$ およびデバッガのリセット ソースは、$\overline{XRS}$ を駆動しません。したがって、ブート モードに使用されるピンは、システム内の他のデバイスによってアクティブに駆動されないようにする必要があります。このブート構成には、OTP のブート ピンを変更する機能があります。詳細については、『TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』を参照してください。

6.8.2.2 リセットの電気的データおよびタイミング

セクション 6.8.2.2.1 に、リセット ($\overline{XRS}$) のタイミング要件を示します。セクション 6.8.2.2.2 に、リセット ($\overline{XRS}$) のスイッチング特性を示します。図 6-6 に、パワーオン・リセットを示します。図 6-7 に、ウォーム・リセットを示します。

6.8.2.2.1 リセット ($\overline{XRS}$) のタイミング要件

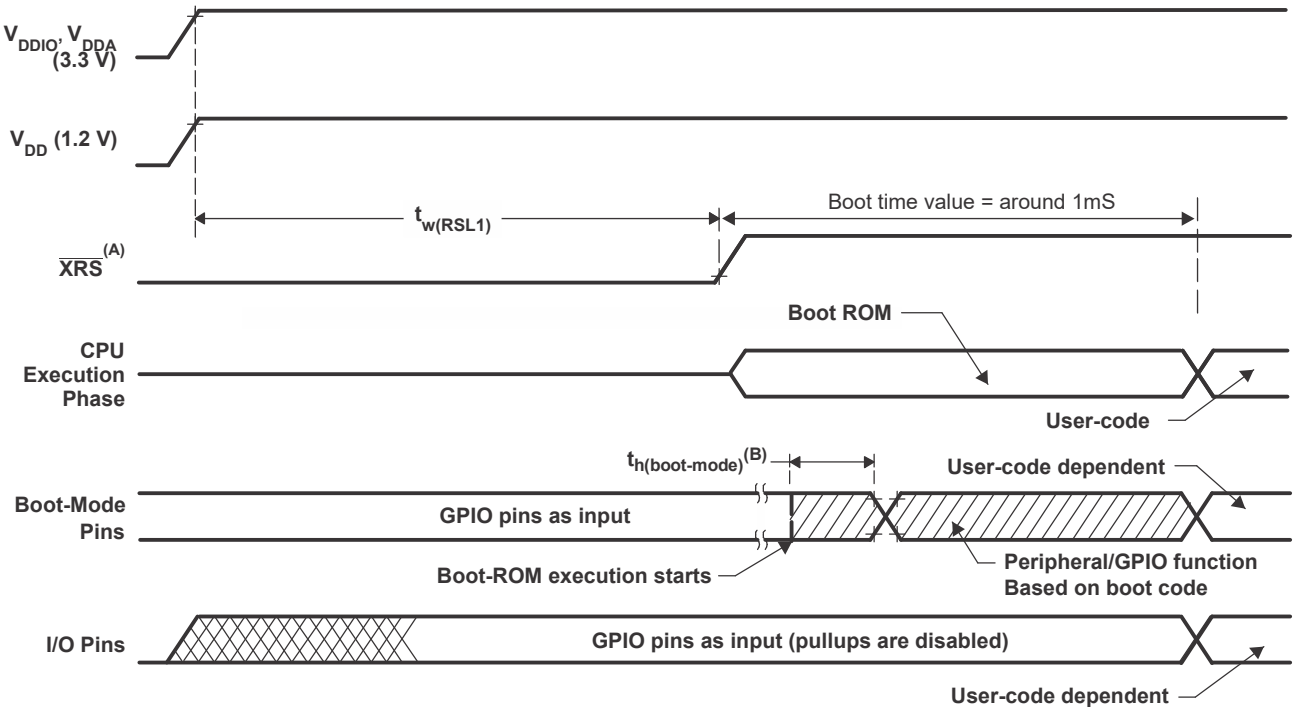
			最小値	最大値	単位
$t_{h(boot-mode)}$	ブート・モード・ピンのホールド時間		1.5		ms
$t_{w(RSL2)}$	パルス幅。ウォーム・リセット時に $\overline{XRS}$ が LOW	すべての場合	3.2		µs
		アプリケーションで使用される低消費電力モードと、SYSCLKDIV > 16	3.2 * (SYSCLKDIV/16)		

Copyright © 2026 Texas Instruments Incorporated

6.8.2.2.2 リセット (XRS) のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

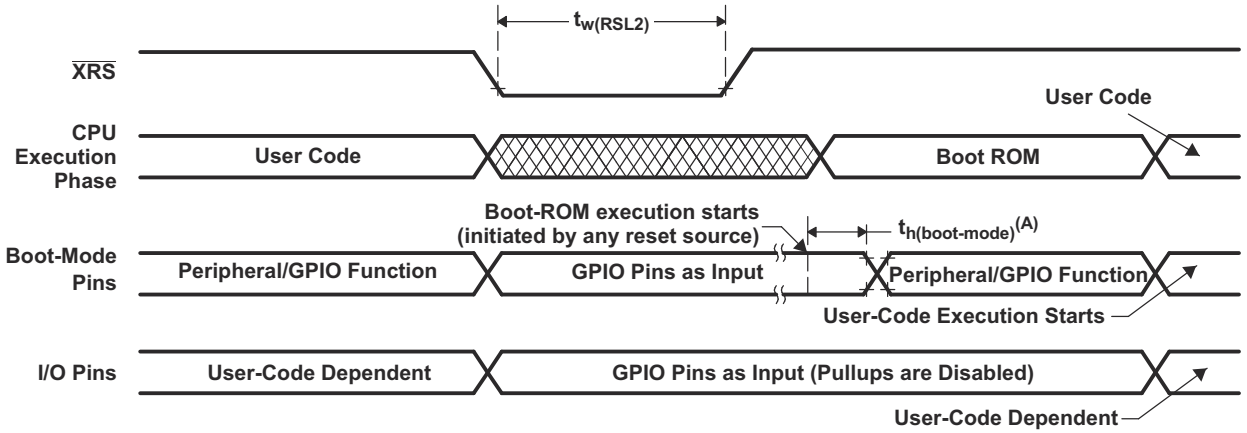
パラメータ		最小値	標準値	最大値	単位
$t_{w(RSL1)}$	パルス幅。電源が安定した後、デバイスが XRS を LOW に駆動している間		100		µs
$t_{w(WDRS)}$	パルス幅、ウォッチドッグによって生成されるリセット パルス		$512t_{c(OSCCLK)}$		サイクル



A. XRS ピンは、外部のスーパーバイザまたはプルアップ抵抗によって駆動することができます。「信号の説明」セクションを参照してください。

B. 任意のソースからリセットした後 (セクション 6.8.2.1 を参照)、ブート ROM コードは、ブート モード ピンをサンプリングします。ブート モード ピンの状態に基づいて、ブート コードは、飛び先のメモリまたはブート コード関数に分岐します。(デバッガ環境で) パワーオン状態の後にブート ROM コードが実行される場合、ブート コードの実行時間は現在の SYSCLK 速度に基づきます。SYSCLK はユーザー環境によって決まっており、PLL 有効の場合と無効の場合があります。

図 6-6. パワーオン リセット



A. 任意のソースからリセットした後 (セクション 6.8.2.1 を参照)、ブート ROM コードは、ブート モード ピンをサンプリングします。ブート モード ピンの状態に基づいて、ブート コードは、飛び先のメモリまたはブート コード関数に分岐します。(デバッガ環境で) パワーオン状態の後にブート ROM コードが実行される場合、ブート コードの実行時間は現在の SYSCLK 速度に基づきます。SYSCLK はユーザー環境によって決まっており、PLL 有効の場合と無効の場合があります。

図 6-7. ウォーム リセット

Copyright © 2026 Texas Instruments Incorporated

6.8.3 クロック仕様

6.8.3.1 クロック・ソース

表 6-2 に、4 つのクロック ソースを示します。図 6-8 に、デバイスのクロック システムの概要を示します。

表 6-2. 使用可能な基準クロック ソース

クロック ソース	クロック対象モジュール	備考
INTOSC1	以下のものに対するクロック供給に使用できます。 • ウォッチドッグ ブロック • メイン PLL • CPU タイマ 2	内部発振器 1。 ゼロピン オーバーヘッド 10MHz 内部発振器。
INTOSC2(1)	以下のものに対するクロック供給に使用できます。 • メイン PLL • 補助 PLL • CPU タイマ 2	内部発振器 2。 ゼロピン オーバーヘッド 10MHz 内部発振器。
XTAL	以下のものに対するクロック供給に使用できます。 • メイン PLL • 補助 PLL • CPU タイマ 2	X1 ピンと X2 ピンの間に接続された外付け水晶振動子または発振子、または X1 ピンに接続されたシングルエンド クロック。
AUXCLKIN	以下のものに対するクロック供給に使用できます。 • 補助 PLL • CPU タイマ 2	シングルエンド 3.3V レベル クロック ソース。入力クロックの供給には、GPIO133/AUXCLKIN ピンを使用する必要があります。

(1) リセット時、内部発振器 2 (INTOSC2) は、システム PLL (OSCCLK) および補助 PLL (AUXOSCCLK) のデフォルト クロック ソースになっています。

Copyright © 2026 Texas Instruments Incorporated

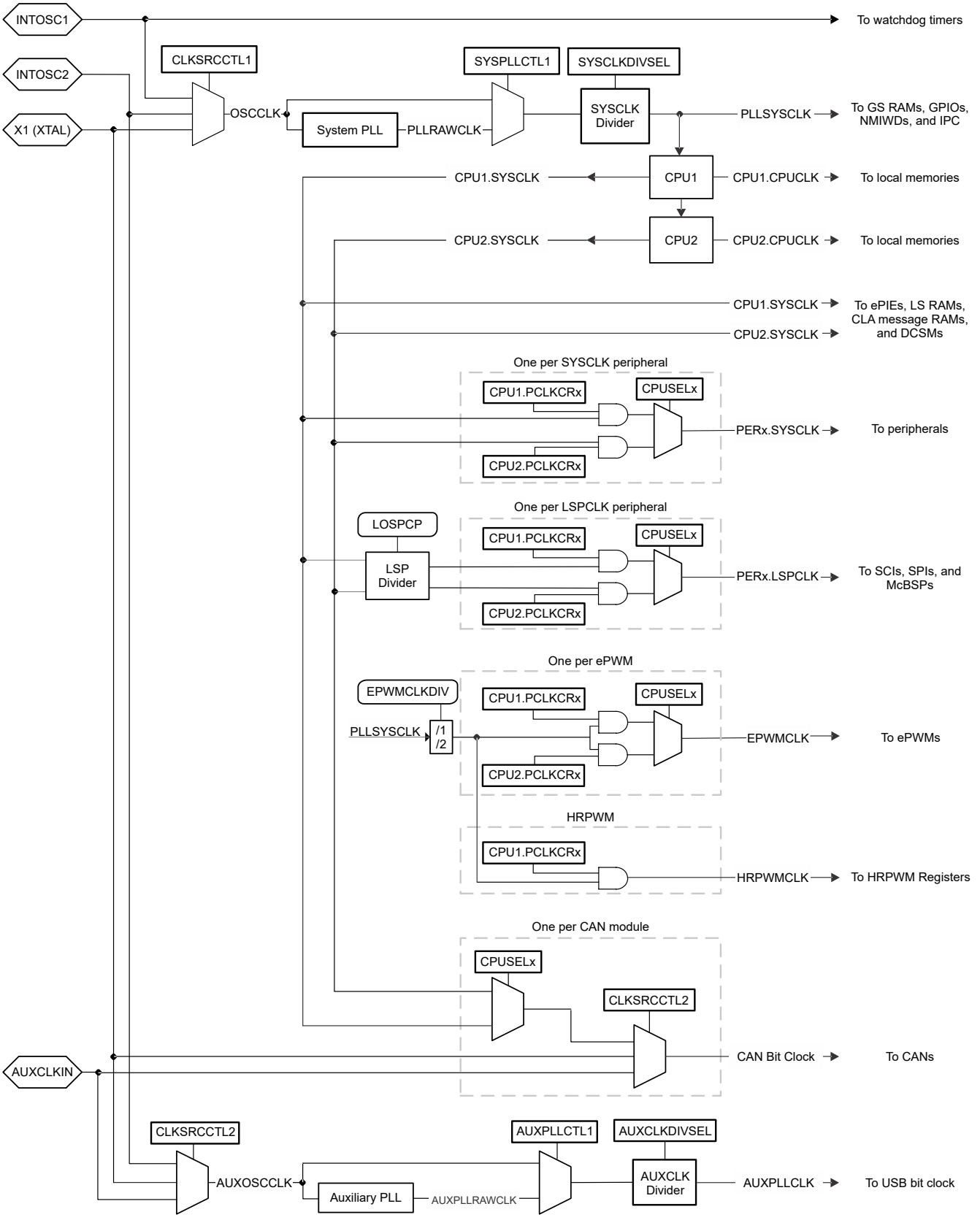


図 6-8. クロック供給システム

Copyright © 2026 Texas Instruments Incorporated

6.8.3.2 クロック周波数、要件、および特性

このセクションでは、入力クロックの周波数およびタイミング要件、PLL ロック時間、内部クロックの周波数、出力クロックの周波数およびスイッチング特性について説明します。

6.8.3.2.1 入力クロック周波数およびタイミング要件、PLL ロック時間

セクション 6.8.3.2.1.1 に、入力クロックの周波数要件を示します。「水晶振動子の等価直列抵抗 (ESR) の要件」表に、水晶振動子の等価直列抵抗の要件を示します。セクション 6.8.3.2.1.2 に、外部クロック ソース使用時の X1 入力レベルの特性を示します。セクション 6.8.3.2.1.4 および セクション 6.8.3.2.1.5 に、入力クロックのタイミング要件を示します。セクション 6.8.3.2.1.6 に、メイン PLL および USB PLL の PLL ロック時間を示します。

6.8.3.2.1.1 入力クロック周波数

		最小値	最大値	単位
$f_{(XTAL)}$	外付け水晶振動子または発振子からの周波数、X1/X2	10	20	MHz
$f_{(X1)}$	外部発振器からの周波数、X1	2	25	MHz
$f_{(AUXI)}$	外部発振器からの周波数、AUXCLKIN	2	60	MHz

6.8.3.2.1.2 外部クロック・ソース (水晶振動子ではない) 使用時の X1 入力レベルの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
X1 V_{IL}	有効 LOW レベル入力電圧	-0.3	0.3 * V_{DDIO}	V
X1 V_{IH}	有効 HIGH レベル入力電圧	0.7 * V_{DDIO}	V_{DDIO} + 0.3	V

6.8.3.2.1.3 XTAL 発振器の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	代表値	最大値	単位
X1 V_{IL}	有効 Low レベル入力電圧	-0.3		0.3 * VDDIO	V
X1 V_{IH}	有効 High レベル入力電圧	0.7 * VDDIO		VDDIO + 0.3	V

6.8.3.2.1.4 X1 のタイミング要件 –

		最小値	最大値	単位
$t_{f(X1)}$	立ち下がり時間、X1		6	ns
$t_{r(X1)}$	立ち上がり時間、X1		6	ns
$t_{w(X1L)}$	パルス幅、$t_{c(X1)}$ のうち X1 が LOW の割合	45%	55%	
$t_{w(X1H)}$	パルス幅、$t_{c(X1)}$ のうち X1 が HIGH の割合	45%	55%	

6.8.3.2.1.5 AUXCLKIN のタイミング要件

		最小値	最大値	単位
$t_{f(AUXI)}$	立ち下がり時間、AUXCLKIN		6	ns
$t_{r(AUXI)}$	立ち上がり時間、AUXCLKIN		6	ns
$t_{w(AUXL)}$	パルス幅、$t_{c(XCI)}$ のうち AUXCLKIN が Low の割合	45%	55%	
$t_{w(AUXH)}$	パルス幅、$t_{c(XCI)}$ のうち AUXCLKIN が High の割合	45%	55%	

Copyright © 2026 Texas Instruments Incorporated

6.8.3.2.1.6 PLL ロック時間

		最小値	公称値	最大値	単位
$t_{(PLL)}$	ロック時間、メイン PLL (X1、外部発振器から)		50µs + 2500 * $t_{c(OSCCLK)}$ (1)		µs
$t_{(USB)}$	ロック時間、USB PLL (AUXCLKIN、外部発振器から)		50µs + 2500 * $t_{c(OSCCLK)}$ (1)		µs

(1) ここでの PLL ロック時間は、『TTMS320F2837xD デュアルコア リアルタイム MCU シリコン エラッタ』で定義されている PLL 回避策の実行時間の代表値を示しています。サイクル数には、PLL 初期化ルーチンのコード実行が含まれており、コンパイラの最適化およびフラッシュのウェイト状態によって異なる場合があります。PLL の初期化には、C2000Ware の最新のサンプル ソフトウェアを使用することを推奨します。システム PLL については、InitSysPll() または SysCtl_setClock() を参照してください。補助 PLL については、InitAuxPll() または SysCtl_setAuxClock() を参照してください。

6.8.3.2.2 内部クロック周波数

セクション 6.8.3.2.2.1 に、内部クロックのクロック周波数を示します。

6.8.3.2.2.1 内部クロック周波数

		最小値	公称値	最大値	単位
$f_{(SYSCLK)}$	周波数、デバイス (システム) クロック	2		200(2)	MHz
$t_{c(SYSCLK)}$	周期、デバイス (システム) クロック	5(2)		500	ns
$f_{(PLLRAWCLK)}$	周波数、システム PLL 出力 (SYSCLK 分周器より前)	120		400	MHz
$f_{(AUXPLLRAWCLK)}$	周波数、補助 PLL 出力 (AUXCLK 分周器より前)	120		400	MHz
$f_{(AUXPLL)}$	周波数、AUXPLLCLK	2	60	60	MHz
$f_{(PLL)}$	周波数、PLLSYSCLK	2		200(2)	MHz
$f_{(LSP)}$	周波数、LSPCLK	2		200(2)	MHz
$t_{c(LSPCLK)}$	周期、LSPCLK	5(2)		500	ns
$f_{(OSCCLK)}$	周波数、OSCCLK (INTOSC1 または INTOSC2 または XTAL または X1)	それぞれのクロックを参照			MHz
$f_{(EPWM)}$	周波数、EPWMCLK(1)			100	MHz
$f_{(HRPWM)}$	周波数、HRPWMCLK	60		100	MHz

(1) SYSCLK が 100MHz を超える場合、EPWMCLK は SYSCLK の半分である必要があります。
(2) 外部クロック ソースを使用。INTOSC1 または INTOSC2 をクロック ソースとして使用する場合、最大周波数は 194MHz で、最小周期は 5.15ns です。

6.8.3.2.3 出力クロックの周波数およびスイッチング特性

セクション 6.8.3.2.3.1 に、出力クロックの周波数を示します。セクション 6.8.3.2.3.2 に、出力クロック XCLKOUT のスイッチング特性を示します。

6.8.3.2.3.1 出力クロックの周波数

		最小値	最大値	単位
$f_{(XCO)}$	周波数、XCLKOUT		50	MHz

6.8.3.2.3.2 XCLKOUT のスイッチング特性 (PLL バイパスまたはイネーブル)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ(1) (2)		最小値	最大値	単位
$t_{f(XCO)}$	立ち下がり時間、XCLKOUT		5	ns
$t_{r(XCO)}$	立ち上がり時間、XCLKOUT		5	ns
$t_{w(XCOL)}$	パルス幅、XCLKOUT LOW	H – 2	H + 2	ns
$t_{w(XCOH)}$	パルス幅、XCLKOUT HIGH	H – 2	H + 2	ns

(1) これらのパラメータでは、40pF の負荷を想定しています。

Copyright © 2026 Texas Instruments Incorporated

(2) $H = 0.5t_{c(XCO)}$

6.8.3.3 入力クロックおよび PLL

内蔵の 0 ピン発振器に加えて、複数の外部クロック ソース オプションも利用できます。図 6-9 に、水晶振動子、発振子、発振器をピン X1/X2 (XTAL とも呼ばれます) および AUXCLKIN に接続するための推奨方法を示します。

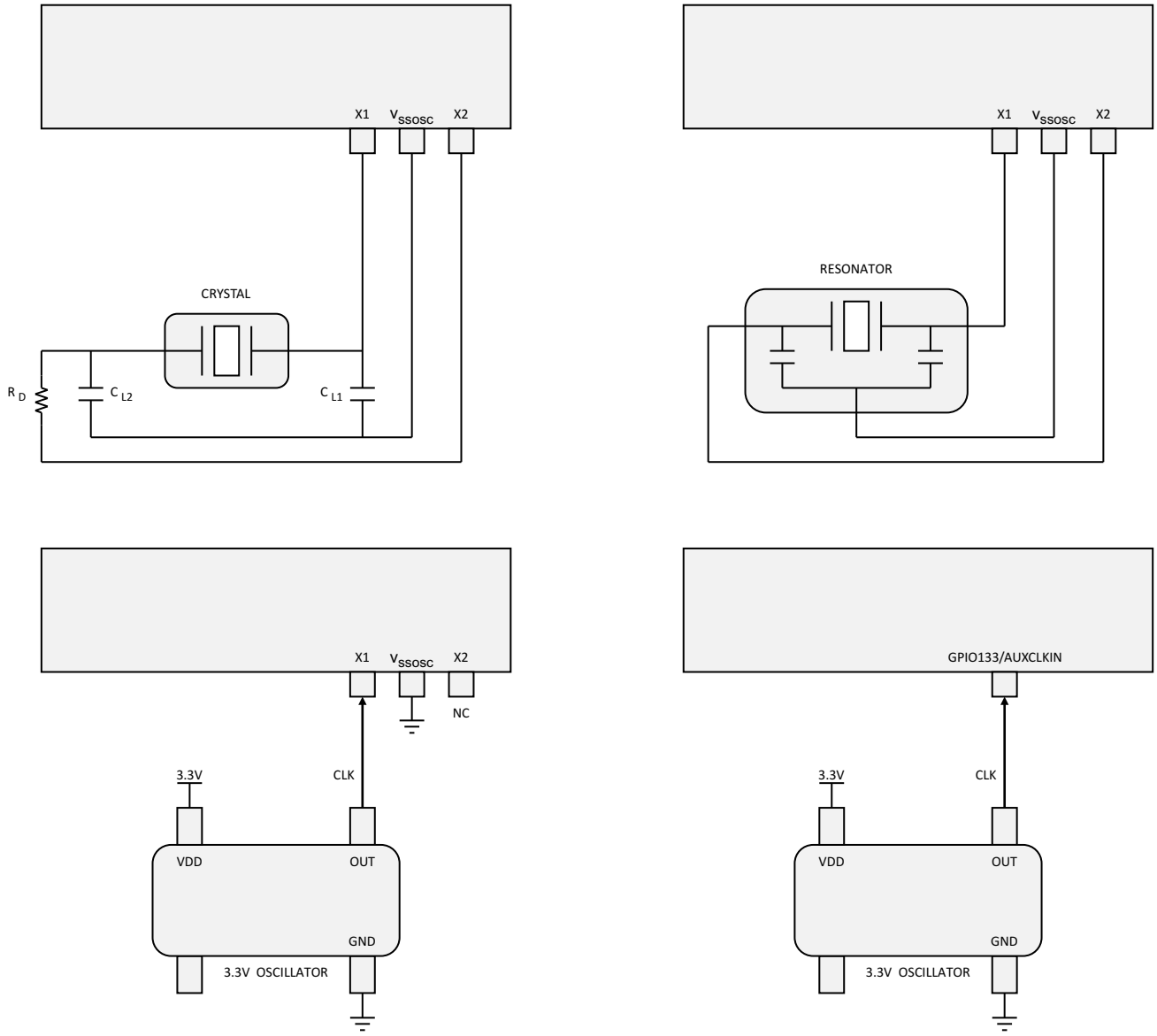


図 6-9. F28377D-SEP デバイスへの入力クロックの接続

6.8.3.4 XTAL 発振器

6.8.3.4.1 はじめに

このデバイスの水晶発振器は、内蔵の電気発振回路であり、適合する水晶振動子 (またはセラミック共振器) と組み合わせると、デバイスが必要とするシステム・クロックを生成できます。

6.8.3.4.2 概要

以下のセクションでは、電気発振回路と水晶振動子の部品について説明します。

Copyright © 2026 Texas Instruments Incorporated

6.8.3.4.2.1 電気発振回路

このデバイスの電気発振回路は、ピアス発振器です。これは正帰還インバータ回路であり、発振するためにはチューニング回路が必要です。この発振器に適合する水晶振動子と組み合わせると、タンク回路が形成されます。このタンク回路は、水晶振動子の基本周波数で発振します。このデバイスでは、発振器は、並列容量 (C0) および必要な負荷容量 (CL) によって、並列共振モードで動作するように設計されています。図 6-10 に、電気発振回路とタンク回路の部品を示します。

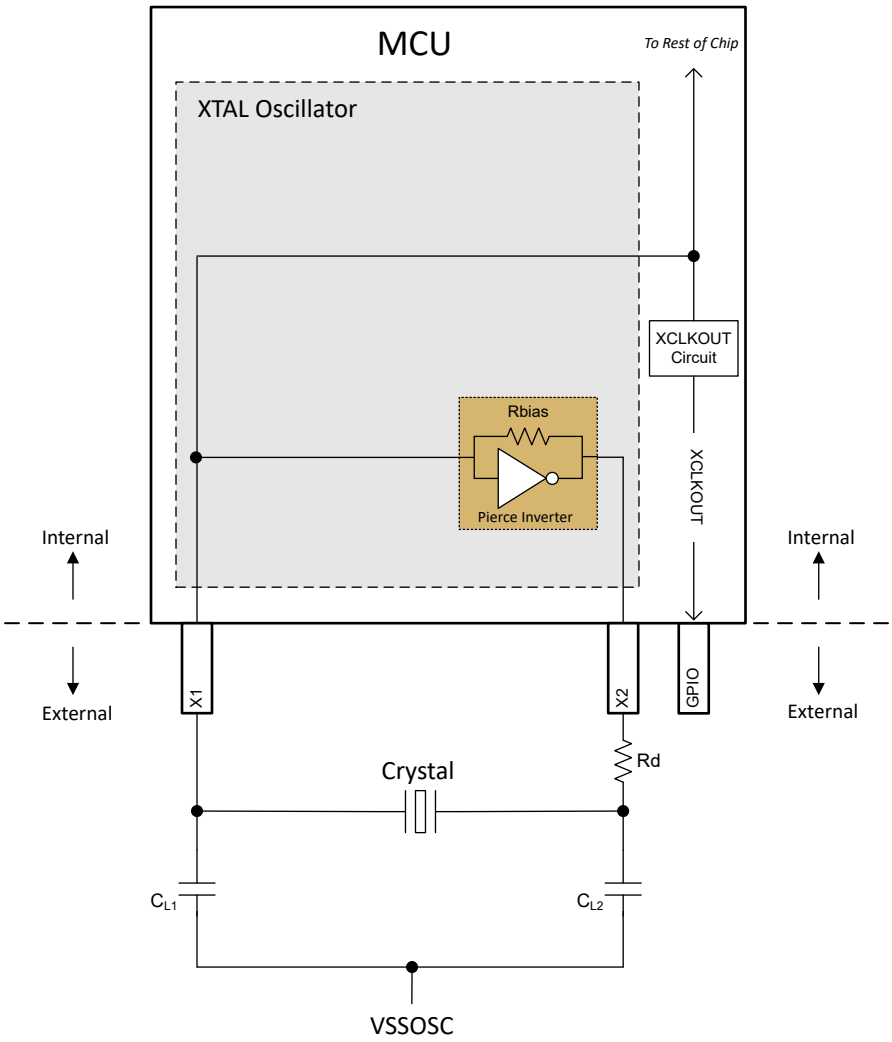


図 6-10. 電気発振回路のブロック図

6.8.3.4.2.1.1 動作モード

このデバイスの電気発振回路には、水晶振動子モードとシングルエンド・モードの 2 つの動作モードがあります。

6.8.3.4.2.1.1.1 水晶動作モード

水晶動作モードでは、負荷コンデンサ付きの水晶振動子を X1 および X2 に接続する必要があります。帰還ループには内部バイアス抵抗があるため、外部バイアス抵抗は使用しないでください。外付けバイアス抵抗を追加すると、内部 Rbias と並列の抵抗ができて、バイアス動作点が移動し、クリップされた波形、仕様外のデューティ サイクル、および実効負抵抗の減少につながる可能性があります。

Copyright © 2026 Texas Instruments Incorporated

この動作モードでは、結果として X1 に得られたクロックが、チップの他の部分に渡されます。X1 のクロックは、コンパレータの VIH と VIL を満たす必要があります。コンパレータの VIH および VIL の要件については、「XTAL 発振器の特性」表を参照してください。

6.8.3.4.2.1.1.2 シングルエンド動作モード

シングルエンド動作モードでは、クロック信号は X1 に接続され、X2 は未接続のままです。このモードでは水晶振動子を使用しないでください。

この動作モードでは、X1 のクロックがチップの他の部分に渡されます。バッファの入力要件については、「外部クロック ソース (水晶振動子ではない) 使用時の X1 入力レベルの特性」表を参照してください。

シングルエンド クロックは、GPIO133/AUXCLKIN ピンに接続することもできます。

6.8.3.4.2.1.2 XCLKOUT での XTAL 出力

チップの他の部分に供給される電気発振回路の出力は、CLKSRCCTL3.XCLKOUTSEL および XCLKOUTDIVSEL.XCLKOUTDIV レジスタを構成することにより、XCLKOUT で観察できます。XCLKOUT が出力される GPIO のリストについては、「GPIO 多重化ピン」表を参照してください。

6.8.3.4.2.2 水晶振動子

電気的には、水晶振動子は LCR (インダクタ-コンデンサ-抵抗) 回路で表現できます。ただし、LCR 回路と違って、直列抵抗が低いため、水晶振動子の Q 値は非常に高く、また、非常に減衰が小さくなっています。水晶振動子の要素を 図 6-11 に示し、以下で説明します。

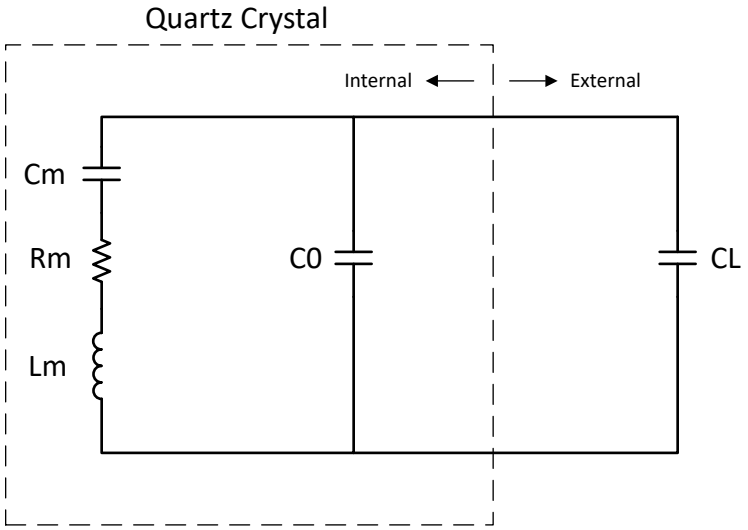


図 6-11. 水晶振動子の電気的表現

Cm (直列容量): 水晶の弾性を表します。

R m (直列抵抗): 水晶振動子内の抵抗性損失を表します。これは水晶の ESR ではありませんが、他の水晶振動子の要素の値によっては、近似できます。

Lm (直列インダクタンス): 水晶振動子の振動質量を表します。

C0 (並列容量): 水晶振動子の 2 つの電極と浮遊パッケージ容量から形成される静電容量。

CL (負荷容量): これは、水晶振動子の電極における実効的な容量であり、水晶の外部にあるものです。水晶振動子のデータシートで規定されている周波数 ppm は、通常、CL パラメータに関連付けられています。

Copyright © 2026 Texas Instruments Incorporated

ほとんどの水晶振動子メーカーでは、水晶振動子の 2 つのピンにおける実効容量として CL を指定していますが、一部の水晶振動子メーカーでは、水晶振動子ピンの 1 つだけの容量として CL を指定していることに注意してください。計算で正しい値を使用するために、CL の指定方法については、水晶振動子のメーカーにお問い合わせください。

図 6-10 によれば、CL1 と CL2 が直列になっているので、水晶振動子から見た等価合計容量を求めるには、静電容量の直列式を適用して、CL1 = CL2 の場合、単純に [CL1]/2 と計算する必要があります。

この値には、浮遊 PCB 容量を加算することを推奨します。3pF～5pF が妥当な推定値ですが、実際の値は対象となる PCB によって異なります。

負荷容量は、電気発振回路と水晶振動子の両方に対する要件であることに注意してください。選択する値は、電気発振回路と水晶振動子の両方を満たす必要があります。

水晶振動子に対する CL の影響は周波数変動です。実効負荷容量が目標値よりも小さい場合、水晶周波数が高くなり、その逆も同様です。ただし、通常、周波数変動の影響は非常に小さく、一般的には公称周波数から 10ppm 未満の変動となります。

6.8.3.4.3 機能動作

6.8.3.4.3.1 ESR – 等価直列抵抗

等価直列抵抗は、共振時に水晶振動子が電気発振回路に与える抵抗性負荷です。ESR が大きくなるほど Q が低くなり、水晶振動子が起動または発振を維持する可能性が低くなります。ESR と水晶振動子の関係を以下に示します。

$$ESR = Rm * \left(1 + \frac{C0}{CL}\right)^2 \quad (1)$$

ESR は、水晶振動子の直列抵抗と等しくはありませんが、実効負荷容量が並列容量よりもはるかに大きい場合は近似できます。

6.8.3.4.3.2 Rneg – 負性抵抗

負性抵抗は、電気発振回路から水晶振動子に示されるインピーダンスです。発振中に発生する損失を打ち消すために、電気発振回路が水晶に供給すべきエネルギーの量です。Rneg は、回路がエネルギーを消費するのではなく供給していることを表しており、回路全体のゲインとみなすこともできます。

一般的に受け入れられる方法としては、あらゆる条件下で水晶振動子が確実に起動するように、Rneg > 3x ESR から 5x ESR に設定することです。水晶振動子の起動に必要なエネルギーは、発振を維持するためのエネルギーよりもわずかに多いことに注意してください。したがって、起動時に負性抵抗要件が満たされていることが保証されている場合、発振の維持は問題になりません。

図 6-12 および 図 6-13 に、このデバイスの負性抵抗と水晶振動子の間の関係の変動を示します。グラフからわかるように、水晶振動子の並列容量 (C0) と実効負荷容量 (CL) は電気発振回路の負性抵抗に大きな影響を及ぼします。これらは代表的なグラフであるため、設計上考慮すべき最小値および最大値については、表 6-3 を参照してください。

6.8.3.4.3.3 起動時間

水晶発振回路の部品を選択する際には、起動時間が重要な考慮事項になります。「Rneg – 負性抵抗」セクションで説明したように、あらゆる条件下で信頼性の高い起動を実現するには、水晶振動子の ESR に対して、Rneg > 3x ESR から 5x ESR にすることを推奨します。

水晶の ESR およびダンピング抵抗 (Rd) は、起動時間に大きな影響を及ぼします。この 2 つの値が大きいほど、水晶振動子の起動にかかる時間は長くなります。起動時間が長い場合は、通常、水晶振動子と部品が正しく適合していないことを示す兆候です。

標準的な起動時間については、「水晶発振回路の仕様」セクションを参照してください。ここに記載されている数値は、参考用に提供されている標準的な数値であることに注意してください。実際の起動時間は、対象の水晶振動子と外付け部品に大きく依存します。

Copyright © 2026 Texas Instruments Incorporated

6.8.3.4.3.4 DL – 励振レベル

励振レベルとは、電気発振回路によって供給され、水晶によって消費される電力を意味します。水晶メーカーのデータシートに記載されている最大励振レベルは、通常、損傷や動作寿命の大幅な短縮なしに水晶振動子が消費できる最大値です。一方、電気発振回路で規定されている励振レベルは、供給可能な最大電力です。実際に電気発振回路から供給される電力は、必ずしも最大電力ではなく、水晶振動子と基板の部品によって決まります。

電気発振回路からの実際の励振レベルが水晶振動子の最大励振レベル仕様を超える場合は、ダンピング抵抗 (Rd) を取り付けて電流を制限し、水晶振動子によって消費される電力を低減する必要があります。Rd は回路のゲインを低下させることに注意してください。したがって、実際に使用する値を評価して、スタートアップおよび持続的な発振に関する他のすべての条件が満たされていることを確認する必要があります。

6.8.3.4.4 水晶振動子の選択方法

「水晶発振器の仕様」を参照してください。

1. 水晶周波数を選択します (たとえば 20MHz)。
2. 20MHz に対する仕様として、水晶振動子の ESR が 50Ω 以下であることを確認します。
3. 20MHz に対する仕様として、水晶メーカーの負荷容量要件が 6pF～12pF の範囲内であることを確認します。
   - すでに説明したように、CL1 と CL2 は直列に配置されているので、CL1 = CL2 の場合、実効負荷容量 CL = [CL1]/2 となります。
   - この結果に基板の寄生成分を加算すると、CL = [CL1]/2 + 浮遊容量 となります。
4. 水晶振動子の最大励振レベルが 1mW 以上であることを確認します。この要件が満たされていない場合は、ダンピング抵抗 Rd を使用できます。Rd を使用するときの他の注意点については「DL – 励振レベル」を参照してください。

6.8.3.4.5 テスト

水晶振動子が常に起動して発振を維持できるように、ユーザーが水晶振動子のメーカーに依頼して、その基板での水晶振動子の特性を完全に評価することを推奨します。

以下に、実行可能ないくつかの測定の概要を示します。

水晶発振回路は静電容量に影響を受けやすいので、スコープ プローブを X1 および X2 に接続しないことを推奨します。スコープ プローブを使用して X1/X2 を監視する必要がある場合は、1pF 未満の容量を持つアクティブ プローブを使用する必要があります。

周波数

1. XCLKOUT の XTAL を引き出します。
2. この周波数を水晶周波数として測定します。

負性抵抗

1. XCLKOUT の XTAL を引き出します。
2. 負荷コンデンサの間に、水晶振動子と直列にポテンショメータを配置します。
3. XCLKOUT のクロックが停止するまで、ポテンショメータの抵抗を上げます。
4. この抵抗と水晶振動子の実際の ESR の和が、電気発振回路の負性抵抗です。

起動時間

1. XTAL をオフにします。
2. XCLKOUT の XTAL を引き出します。
3. XTAL をオンにして、XCLKOUT のクロックが 45% および 55% のデューティ サイクル内に維持されるまでに要する時間を測定します。

6.8.3.4.6 一般的な問題とデバッグのヒント

水晶振動子が起動しない

Copyright © 2026 Texas Instruments Incorporated

- 「水晶振動子の選択方法」セクションを読んで、記述に反する状況がないことを確認します。

水晶振動子の起動に長い時間を要する

- ダンピング抵抗 Rd を取り付けている場合、抵抗 Rd が大きすぎます。
- ダンピング抵抗を取り付けていない場合、水晶振動子の ESR が高すぎるか、または、負荷容量が大きいため回路全体のゲインが低すぎるかのどちらかです。

6.8.3.4.7 水晶発振回路の仕様

6.8.3.4.7.1 水晶発振器の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
起動時間(1)	f = 10MHz	ESR MAX = 110Ω CL1 = CL2 = 24pF C0 = 7pF		4		ms
	f = 20MHz	ESR MAX = 50Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
水晶振動子の励振レベル (DL)					1	mW

(1) 起動時間は、水晶振動子とタンク回路の部品に依存します。テキサス・インスツルメンツでは、水晶振動子のベンダーに対して、選択した水晶振動子を使用してアプリケーションの特性を評価することを推奨しています。

6.8.3.4.7.2 水晶振動子の等価直列抵抗 (ESR) 要件

「水晶振動子の等価直列抵抗 (ESR) 要件」表について:

1. 水晶振動子の並列容量 (C0) は 7pF 以下である必要があります。
2. ESR = 負性抵抗 / 3

表 6-3. 水晶振動子の等価直列抵抗 (ESR) 要件

水晶振動子の周波数 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12pF)	最大 ESR (Ω) (CL1 = CL2 = 24pF)
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

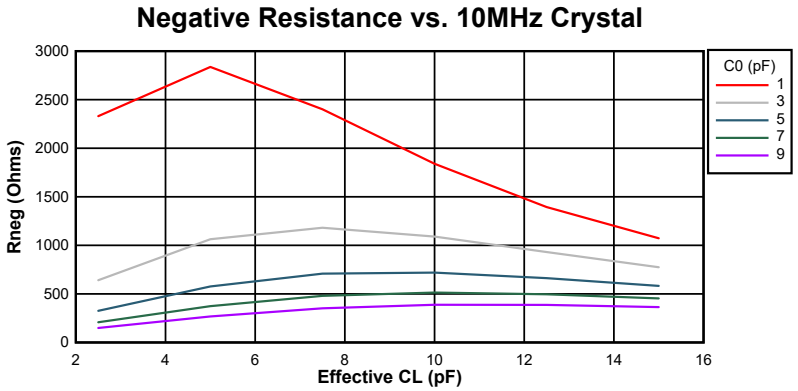


図 6-12. 10MHz 時の負性抵抗変動

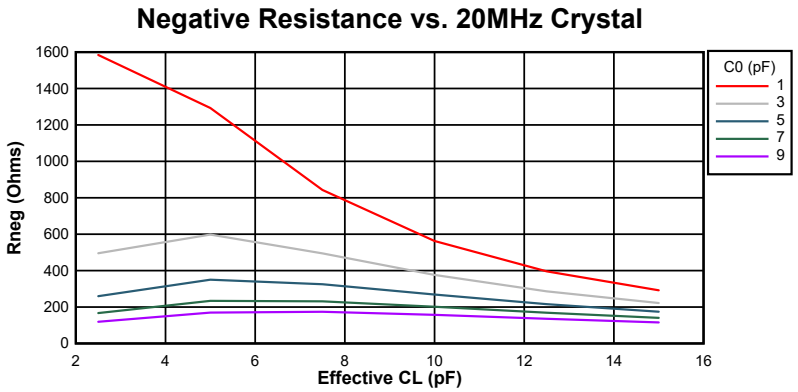


図 6-13. 20MHz 時の負性抵抗変動

Copyright © 2026 Texas Instruments Incorporated

6.8.3.5 内部発振器

ボード製造コストとアプリケーション開発期間を削減するために、すべての F2837xD デバイスには、INTOSC1 および INTOSC2 という 2 つの独立した内部発振器が搭載されています。デフォルトでは、電源投入時に両方の発振器がイネーブルになります。INTOSC2 は、システム リファレンス クロック (OSCCLK) のソースとして設定され、INTOSC1 は、バックアップ クロック ソースとして設定されます。INTOSC1 は、手動でシステム リファレンス クロック (OSCCLK) として構成することもできます。このモジュールがアプリケーションのクロック要件に適合するかどうかを判定するために、セクション 6.8.3.5.1 に内部発振器の電気的特性を示します。

セクション 6.8.3.5.1 に、2 つの内部発振器の電気的特性を示します。

注

PLLSYSCLK が 194MHz を超える周波数に構成されている場合、この発振器を PLL ソースとして使用することはできません。

6.8.3.5.1 内部発振器の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$f_{(INTOSC)}$	周波数、INTOSC1 および INTOSC2		9.7	10.0	10.3	MHz
$f_{(INTOSC-STABILITY)}$	室温での周波数安定性	30°C、V_{DD} 公称値		±0.1%		
	V_{DD} に対する周波数安定性	30°C		±0.2%		
	周波数安定性		-3.0%		3.0%	
$f_{(INTOSC-ST)}$	スタートアップおよびセトリング・タイム				20	µs

6.8.4 フラッシュ パラメータ

オンチップ フラッシュ メモリは CPU に密接に統合されており、フラッシュから 128 ビット幅のプリフェッチ読み取りおよびパイプライン バッファを経由してコードを直接実行できます。シーケンシャル コードのフラッシュ性能は、RAM からの実行と同じです。不連続性を考慮すると、ほとんどのアプリケーションは、RAM から実行されるコードに比べて約 80% の効率で動作します。このフラッシュ効率により、前世代のマイコンから移行する場合、性能が 2 倍向上します。

このデバイスには、デュアル コード セキュリティ モジュール (DCSM) に使用される OTP (ワンタイム プログラマブル) セクタもあります。これは、プログラム後に消去することはできません。

表 6-4 に、さまざまな周波数で必要とされるフラッシュの最小ウェイト状態を示します。セクション 6.8.4.1 に、フラッシュ パラメータを示します。

表 6-4. フラッシュのウェイト状態

CPUCLK (MHz)		最小ウェイト状態 (1)
外部発振器または水晶振動子	INTOSC1 または INTOSC2	
150 < CPUCLK ≤ 200	145 < CPUCLK ≤ 194	3
100 < CPUCLK ≤ 150	97 < CPUCLK ≤ 145	2
50 < CPUCLK ≤ 100	48 < CPUCLK ≤ 97	1
CPUCLK ≤ 50	CPUCLK ≤ 48	0

(1) 必要な FRDCNTL[RWAIT] の最小値。

6.8.4.1 フラッシュ パラメータ

パラメータ			最小値	標準値	最大値	単位
	プログラム時間(1)	128 データ ビット + 16 ECC ビット		40	300	µs
		8KW セクタ		90	180	ms
		32KW セクタ		360	720	ms
	消去時間(2) (25 サイクル未満)	8KW または 32KW セクタ		30	55	ms
	消去時間(2) (1000 サイクル)	8KW または 32KW セクタ		40	350	
	消去時間(2) (2000 サイクル)	8KW または 32KW セクタ		50	600	ms
	消去時間(2) (20k サイクル)	8KW または 32KW セクタ		110	4000	
N_{wec}	セクタごとの書き込み / 消去サイクル				20000	サイクル
N_{wec}	書き込み / 消去サイクル (フラッシュ全体、すべてのセクタを結合)(3)				100000	サイクル
$t_{retention}$	データ保持期間 (T_J = 85°C)		20			年

(1) プログラム時間は、デバイスの最大周波数におけるものです。プログラム時間には、フラッシュ ステート マシンのオーバーヘッドが含まれますが、以下に示すものを RAM に転送する時間は含まれていません。
- フラッシュ API を使用してフラッシュをプログラムするコード
- フラッシュ API そのもの
- プログラムする対象のフラッシュ データ

すなわち、この表に示す時間は、必要なすべてのコード / データがデバイス RAM 内で利用可能になり、プログラミングの準備ができた後に適用されます。転送時間は、使用する JTAG デバッグ プローブの速度によって大きく異なります。
プログラム時間の計算は、指定された動作周波数で一度に 144 ビットをプログラミングする場合を基準としています。プログラム時間には、CPU によるプログラム検証が含まれます。書き込み / 消去 (W/E) サイクルによるプログラム時間の劣化はありませんが、消去時間は長くなります。
消去時間には、CPU による消去検証が含まれますが、この際、データ転送は何も行われません。

(2) 消去時間には、CPU による消去検証が含まれます。

(3) 各セクタを単独で消去 / プログラムできるのは、20,000 回までです。EEPROM のようにセクタ (または複数セクタ) を使用する場合は、フラッシュ メモリ全体を消去 / プログラミングすることなく、それらのセクタのみを消去 / プログラムできます (ただし、20,000 サイクルに制限されます)。したがって、デバイス全体の観点では、合計 W/E サイクル数は 20,000 サイクルを超える可能性があります。ただし、その場合でも、この値が 100,000 サイクルを超えないようにする必要があります。

Copyright © 2026 Texas Instruments Incorporated

注

メイン アレイのフラッシュ プログラミングは、64 ビットのアドレス境界に合わせて整列させる必要があり、それぞれの 64 ビット ワードは、書き込み / 消去サイクルごとに 1 回のみプログラムされます。詳細については、『TMS320F2837xD デュアルコア リアルタイム MCU シリコン エラッタ』に掲載されている「フラッシュ：最小プログラミング ワード サイズ」のアドバイザリを参照してください。

6.8.5 RAM の仕様

表 6-5. CPU1 の RAM パラメータ

RAM のタイプ	サイズ	フェッチ時間 (サイクル)	読み取り時間 (サイクル)	格納時間 (サイクル)	バス幅	利用可能なバスの数(1)	待機状態の数	バースト アクセス
GS RAM	128KB	2	2	1	16 / 32 ビット	4	0	なし
LS RAM	24KB	2	2	1	16 / 32 ビット	2	0	なし
M0	2KB	2	2	1	16 / 32 ビット	1	0	なし
M1	2KB	2	2	1	16 / 32 ビット	1	0	なし
CLA1 から CPU へのメッセージ RAM	256B	2	2	1	16 / 32 ビット	2	0	なし
CPU から CLA1 へのメッセージ RAM	256B	2	2	1	16 / 32 ビット	2	0	なし
CPU1 から CPU2 へのメッセージ RAM	2KB	2	2	1	16 / 32 ビット	4	0	なし
CPU2 から CPU1 へのメッセージ RAM	2KB	2	2	1	16 / 32 ビット	4	0	なし

(1) 「利用可能なバスの数」は、このメモリにアクセスできるマスタ (CLA、DMA、CPU) の数を示します。

表 6-6. CPU2 の RAM パラメータ

RAM のタイプ	サイズ	フェッチ時間 (サイクル)	読み取り時間 (サイクル)	格納時間 (サイクル)	バス幅	利用可能なバスの数(1)	待機状態の数	バースト アクセス
GS RAM	128KB	2	2	1	16 / 32 ビット	4	0	なし
LS RAM	24KB	2	2	1	16 / 32 ビット	2	0	なし
M0	2KB	2	2	1	16 / 32 ビット	1	0	なし
M1	2KB	2	2	1	16 / 32 ビット	1	0	なし
CLA1 から CPU へのメッセージ RAM	256B	2	2	1	16 / 32 ビット	2	0	なし
CPU から CLA1 へのメッセージ RAM	256B	2	2	1	16 / 32 ビット	2	0	なし
CPU1 から CPU2 へのメッセージ RAM	2KB	2	2	1	16 / 32 ビット	4	0	なし
CPU2 から CPU1 へのメッセージ RAM	2KB	2	2	1	16 / 32 ビット	4	0	なし

(1) 「利用可能なバスの数」は、このメモリにアクセスできるマスタ (CLA、DMA、CPU) の数を示します。

Copyright © 2026 Texas Instruments Incorporated

6.8.6 ROM の仕様

表 6-7. CPU1 の ROM パラメータ

ROM のタイプ	サイズ	フェッチ時間 (サイクル)	読み取り時間 (サイクル)	格納時間 (サイクル)	バス幅	利用可能なバスの数(1)	待機状態の数	バースト アクセス
ブート ROM	64KB	2	2	1	16 / 32 ビット	1	1	なし
セキュア ROM	64KB	2	2	1	16 / 32 ビット	1	1	なし
CLA データ ROM	8KB	2	2	1	16 / 32 ビット	2	0	なし

(1) 「利用可能なバスの数」は、このメモリにアクセスできるマスタ (CLA、DMA、CPU) の数を示します。

表 6-8. CPU2 の ROM パラメータ

ROM のタイプ	サイズ	フェッチ時間 (サイクル)	読み取り時間 (サイクル)	格納時間 (サイクル)	バス幅	利用可能なバスの数(1)	待機状態の数	バースト アクセス
ブート ROM	64KB	2	2	1	16 / 32 ビット	1	1	なし
セキュア ROM	64KB	2	2	1	16 / 32 ビット	1	1	なし
CLA データ ROM	8KB	2	2	1	16 / 32 ビット	2	0	なし

(1) 「利用可能なバスの数」は、このメモリにアクセスできるマスタ (CLA、DMA、CPU) の数を示します。

Copyright © 2026 Texas Instruments Incorporated

6.8.7 エミュレーション / JTAG

JTAG ポートには、次の 5 つの専用ピンがあります。$\overline{\text{TRST}}$、TMS、TDI、TDO、TCK。$\overline{\text{TRST}}$ 信号は、基板上の 2.2kΩ プルダウン抵抗を介して常にプルダウンする必要があります。この MCU は、14 ピンおよび 20 ピンのエミュレーション・ヘッダーに存在する EMU0 および EMU1 信号をサポートしていません。これらの信号は、常に、2.2kΩ～4.7kΩ の範囲 (デバッガ・ポートの駆動能力によって異なります) の基板上のプルアップ抵抗ペアを経由して、エミュレーション・ヘッダーでプルアップする必要があります。通常、2.2kΩ の値を使用します。

14 ピン JTAG ヘッダーを MCU の JTAG ポート信号に接続する方法については、図 6-14 を参照してください。図 6-15 に、20 ピン・ヘッダーへの接続方法を示します。20 ピン JTAG ヘッダー端子 EMU2、EMU3、EMU4 は使用しないで、グランドに接続する必要があります。

JTAG デバッグ・プローブ・ヘッダーの PD (電源検出) 端子は、基板の 3.3V 電源に接続する必要があります。ヘッダ GND 端子は、基板のグランドに接続する必要があります。TDIS (ケーブル切断検出) も基板のグランドに接続する必要があります。JTAG クロックは、ヘッダの TCK 出力端子からヘッダの RTCK 入力端子にループバックする必要があります (JTAG デバッグ・プローブによるクロックの連続性を検出するため)。ヘッダ端子 $\overline{\text{RESET}}$ は、JTAG デバッグ・プローブ・ヘッダーからのオープン・ドレイン出力であり、JTAG デバッグ・プローブ・コマンドを使用して基板のコンポーネントをリセットできます (20 ピンのヘッダーでのみ利用可能)。

通常、MCU ターゲットと JTAG ヘッダーの間の距離が 6 インチ (15.24cm) 未満で、JTAG チェーンに他のデバイスが存在しない場合、JTAG 信号にバッファは必要ありません。それ以外の場合は、各信号をバッファする必要があります。さらに、10MHz で動作するほとんどの JTAG デバッグ・プローブでは、JTAG 信号に直列抵抗は必要ありません。ただし、高いエミュレーション速度 (35MHz 程度) が想定される場合は、各 JTAG 信号に対して 22Ω の抵抗を直列に配置する必要があります。

ハードウェア・ブレークポイントとウォッチポイントの詳細については、『CCS の C28x 用ハードウェア・ブレークポイントとウォッチポイント』を参照してください。

JTAG エミュレーションの詳細については、『*XDS ターゲット接続ガイド*』を参照してください。

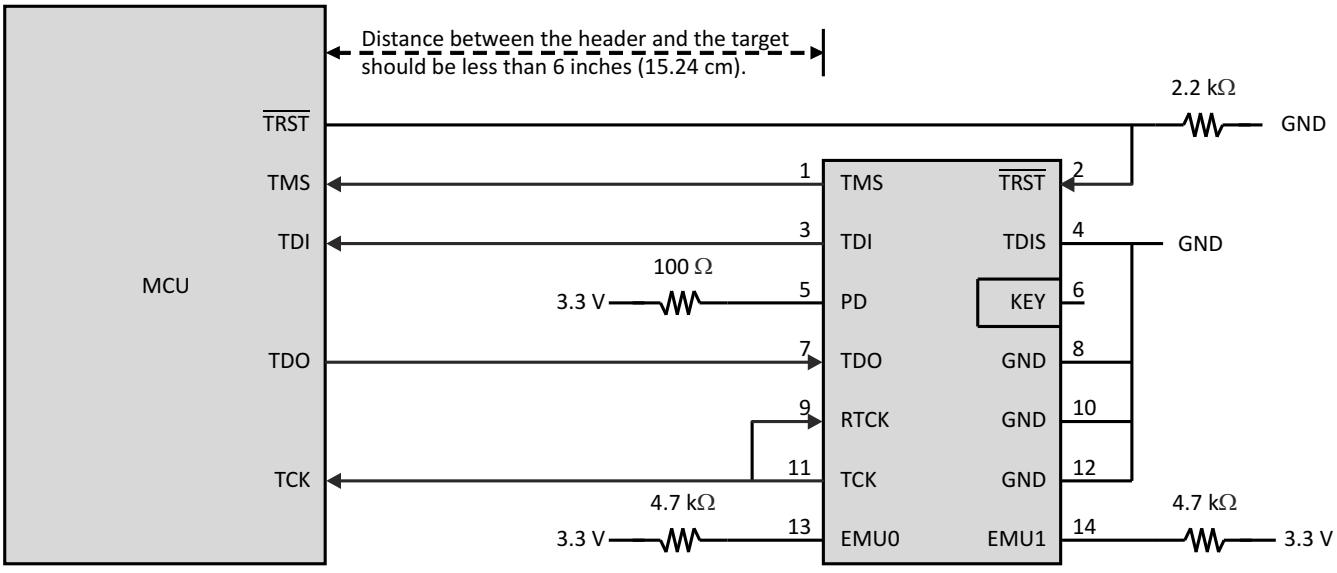


図 6-14. 14 ピン JTAG ヘッダーへの接続

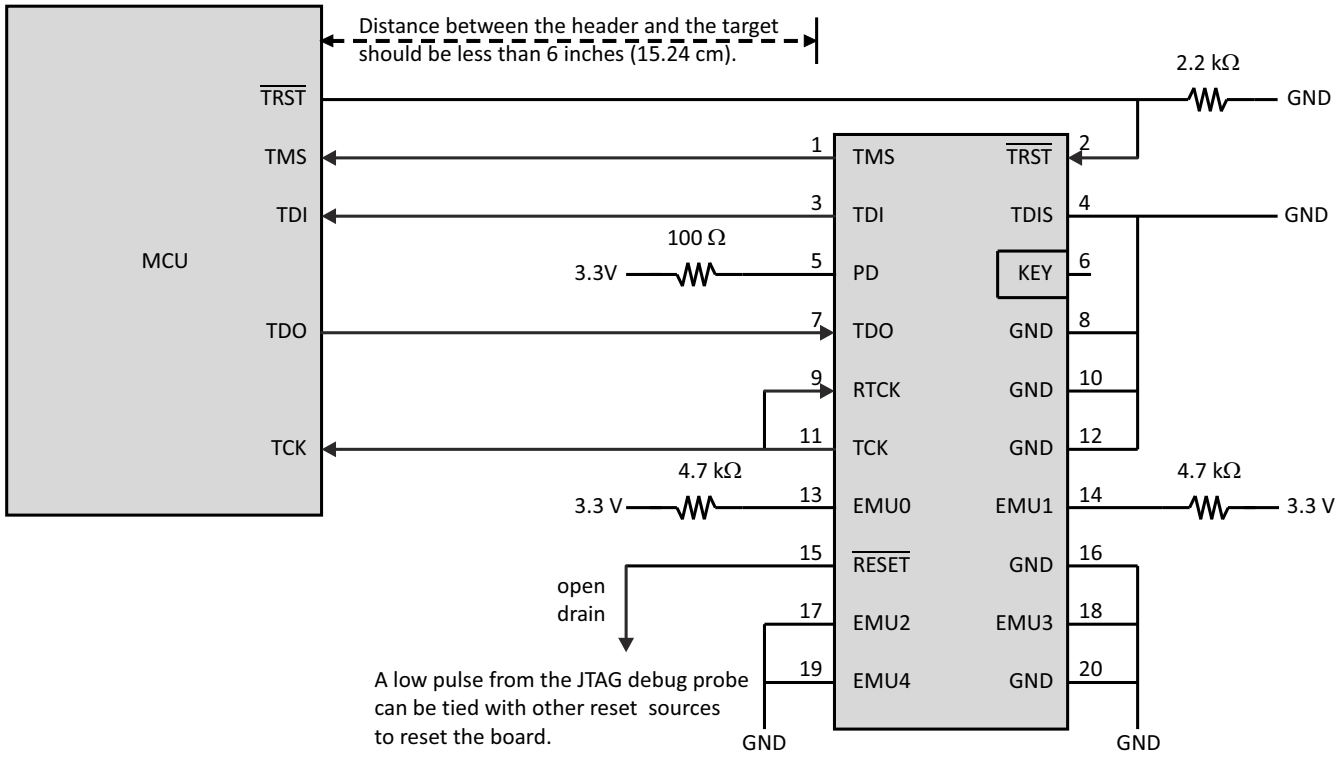


図 6-15. 20 ピン JTAG ヘッダーへの接続

Copyright © 2026 Texas Instruments Incorporated

6.8.7.1 JTAG の電気的データおよびタイミング

セクション 6.8.7.1.1 に、JTAG のタイミング要件を示します。セクション 6.8.7.1.2 に、JTAG のスイッチング特性を示します。図 6-16 に、JTAG のタイミングを示します。

6.8.7.1.1 JTAG のタイミング要件

番号			最小値	最大値	単位
1	$t_{c(TCK)}$	サイクル時間、TCK	66.66		ns
1a	$t_{w(TCKH)}$	パルス幅、TCK HIGH (t_c の 40%)	26.66		ns
1b	$t_{w(TCKL)}$	パルス幅、TCK LOW (t_c の 40%)	26.66		ns
3	$t_{su(TDI-TCKH)}$	入力セットアップ時間、TDI 有効から TCK HIGH まで	13		ns
	$t_{su(TMS-TCKH)}$	入力セットアップ時間、TMS 有効から TCK HIGH まで	13		ns
4	$t_{h(TCKH-TDI)}$	入力ホールド時間、TCK HIGH から TDI 有効の間	7		ns
	$t_{h(TCKH-TMS)}$	入力ホールド時間、TCK HIGH から TMS 有効の間	7		ns

6.8.7.1.2 JTAG のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		最小値	最大値	単位
2	$t_{d(TCKL-TDO)}$	遅延時間、TCK LOW から TDO 有効まで	6	25	ns

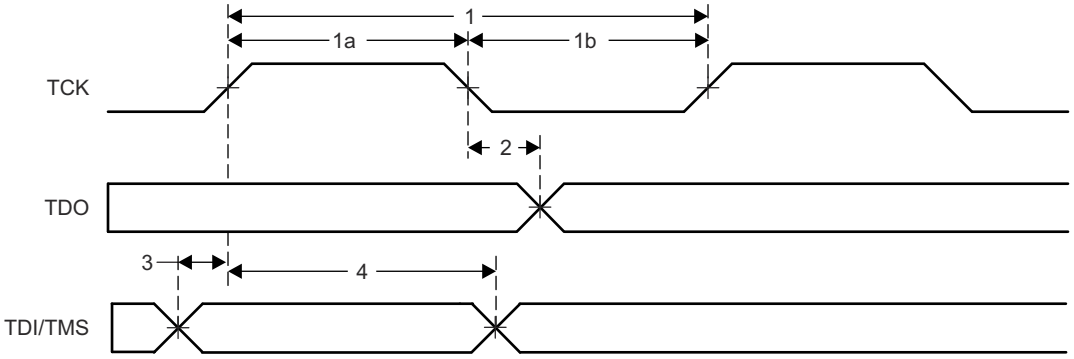


図 6-16. JTAG のタイミング

6.8.8 GPIO の電気的データおよびタイミング

ペリフェラル信号は、汎用入出力 (GPIO) 信号とマルチプレクスされます。リセット時、GPIO ピンは入力として構成されます。特定の入力では、ユーザーが入力クオリファイヤのサイクル数を選択することで、不要なノイズ グリッチをフィルタリングすることもできます。

GPIO モジュールには出力クロスバーが含まれており、GPIO マルチプレクサ内にある OUTPUTXBARx で指定することで、さまざまな内部信号を GPIO にルーティングできます。また、GPIO モジュールには入力クロスバーが含まれており、任意の GPIO 入力から、ADC、eCAP、ePWM、外部割り込みなどさまざまな IP ブロックに信号をルーティングするために使用できます。詳細については、『TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「クロスバー」の章を参照してください。

6.8.8.1 GPIO - 出力タイミング

セクション 6.8.8.1.1 に、汎用出力のスイッチング特性を示します。図 6-17 に、汎用出力のタイミングを示します。

6.8.8.1.1 汎用出力のスイッチング特性

特に記述のない限り、推奨動作条件で規定しています。

パラメータ			最小値	最大値	単位
$t_{r(GPO)}$	立ち上がり時間、GPIO が LOW から HIGH へ変化	すべての GPIO		8(1)	ns
$t_{f(GPO)}$	立ち下がり時間、GPIO が HIGH から LOW へ変化	すべての GPIO		8(1)	ns
t_{fGPO}	切り替え周波数、GPO ピン			25	MHz

(1) 立ち上がり時間と立ち下がり時間は負荷によって異なります。これらの値は、40pF の負荷を想定しています。

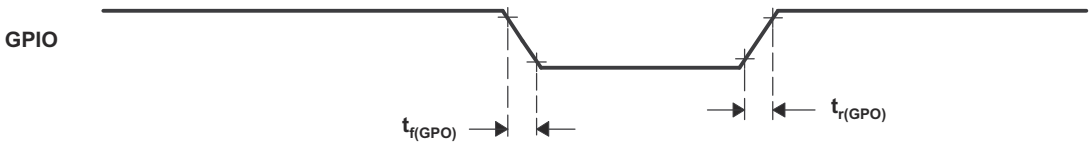


図 6-17. 汎用出力のタイミング

Copyright © 2026 Texas Instruments Incorporated

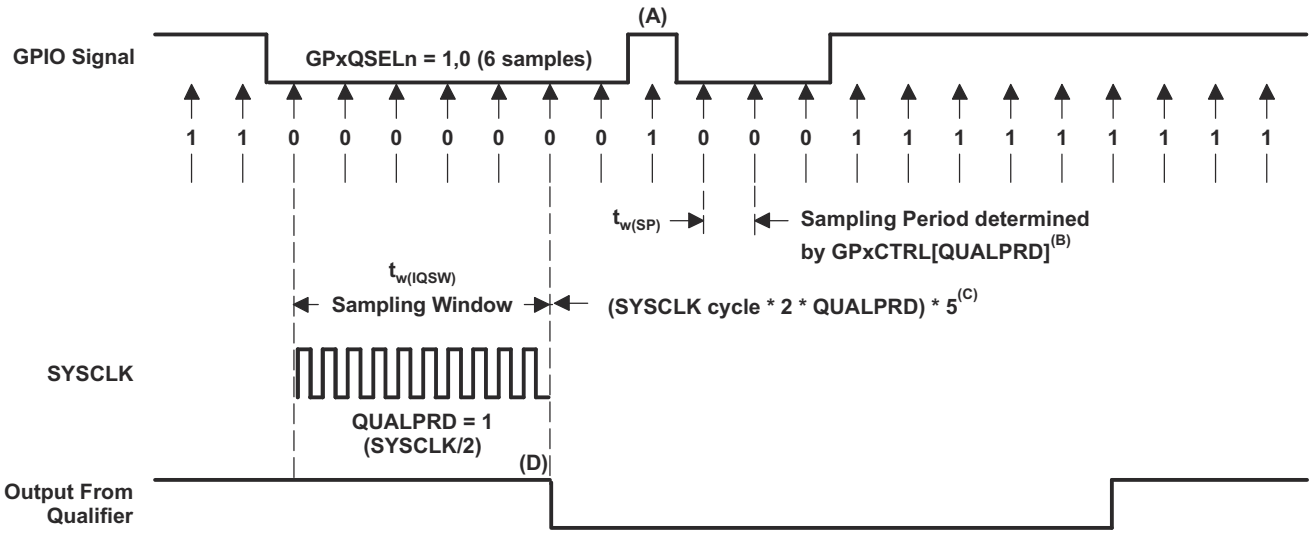
6.8.8.2 GPIO - 入力タイミング

セクション 6.8.8.2.1 に、汎用入力のタイミング要件を示します。図 6-18 に、サンプリング・モードを示します。

6.8.8.2.1 汎用入力のタイミング要件

			最小値	最大値	単位
$t_{w(SP)}$	サンプリング周期	QUALPRD = 0	$1t_{c(SYSCLK)}$		サイクル
		QUALPRD ≠ 0	$2t_{c(SYSCLK)}$ * QUALPRD		サイクル
$t_{w(IQSW)}$	入力フィルタ・サンプリング・ウィンドウ		$t_{w(SP)}$ * (n(1) – 1)		サイクル
$t_{w(GPI)}$ (2)	パルス幅、GPIO LOW/HIGH	同期モード	$2t_{c(SYSCLK)}$		サイクル
		入力フィルタあり	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$		サイクル

(1) 「n」は、GPxQSELn レジスタで定義されているフィルタ・サンプルの数を表します。
(2) $t_{w(GPI)}$ のパルス幅は、アクティブ LOW 信号については V_{IL} から V_{IL} まで、アクティブ HIGH 信号については V_{IH} から V_{IH} までを測定します。



A. このグリッチは、入力フィルタによって無視されます。フィルタ・サンプリング期間は、QUALPRD ビット・フィールドで指定します。この値は、00 ~ 0xFF の範囲で設定できます。QUALPRD = 00 の場合、サンプリング期間は 1 SYSCLK サイクルです。その他の値「n」である場合、フィルタ・サンプリング期間は、2n SYSCLK サイクルになります (すなわち、2n SYSCLK サイクルごとに GPIO ピンがサンプリングされます)。
B. GPxCTRL レジスタで選択したフィルタ期間は、8 つの GPIO ピンのグループに適用されます。
C. フィルタ・ブロックは、3 つまたは 6 つのサンプルを取得できます。使用するサンプル・モードは、GPxQSELn レジスタで選択します。
D. ここに示す例では、フィルタで変化を検出するためには、入力が 10 SYSCLK サイクル以上の期間安定している必要があります。すなわち、入力は (5 x QUALPRD x 2) SYSCCLK サイクルにわたって安定している必要があります。これにより、5 サンプリング期間での検出実施が確保されます。外部信号は非同期で駆動されるため、13 SYSCLK 幅のパルスであれば信頼性の高い認識が保証されます。

図 6-18. サンプリング・モード

6.8.8.3 入力信号のサンプリング・ウィンドウ幅

以下のセクションでは、各種の入力フィルタ構成に対する入力信号のサンプリング・ウィンドウ幅の概要を説明します。

この式の Sampling frequency (サンプリング周波数) は、SYSCLK を基準にして、信号をサンプリングする頻度を表します。

$$\text{Sampling frequency} = \text{SYSCLK}/(2 \times \text{QUALPRD}), \text{ if QUALPRD} \neq 0 \quad (2)$$

$$\text{Sampling frequency} = \text{SYSCLK}, \text{ if QUALPRD} = 0 \quad (3)$$

$$\text{Sampling period} = \text{SYSCLK cycle} \times 2 \times \text{QUALPRD}, \text{ if QUALPRD} \neq 0 \quad (4)$$

式 2、式 3、および式 4 で、SYSCLK cycle (SYSCLK サイクル) は、SYSCLK の周期を示します。

サンプリング周期 = SYSCLK サイクル、QUALPRD = 0 の場合

特定のサンプリング・ウィンドウでは、入力信号の 3 つまたは 6 つのサンプルを取得して、信号の有効性を判定します。これは、GPxQSELn レジスタに書き込まれた値によって決定されます。

ケース 1:

3 つのサンプルを使用したフィルタリング

QUALPRD ≠ 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLK サイクル × 2 × QUALPRD) × 2

QUALPRD = 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLK サイクル) ×2

ケース 2:

6 つのサンプルを使用したフィルタリング

QUALPRD ≠ 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLK サイクル × 2 × QUALPRD) × 5

QUALPRD = 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLK サイクル) × 5

図 6-19 に、汎用入力のタイミングを示します。

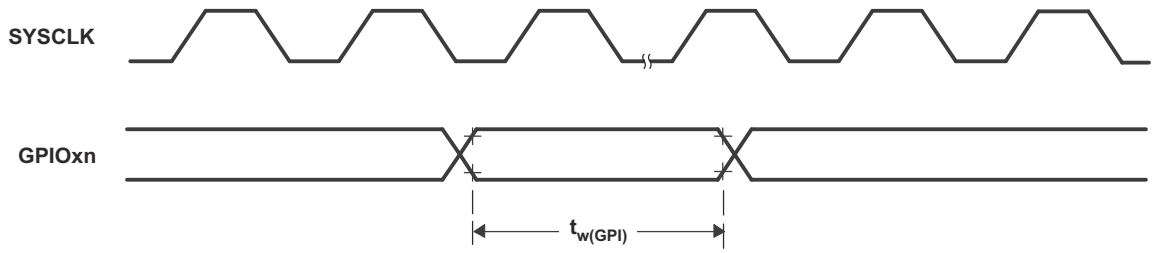


図 6-19. 汎用入力のタイミング：

Copyright © 2026 Texas Instruments Incorporated

6.8.9 割り込み

図 6-20 に、割り込みアーキテクチャの概要を示します。

図 6-20 に示すように、デバイスは 5 つの外部割り込み (XINT1～XINT5) をサポートしており、いずれかの GPIO ピンにマッピングできます。

このデバイスでは、16 個の ePIE ブロック割り込みが 1 つの CPU 割り込みにグループ化されています。合計で 12 個の CPU 割り込みグループがあり、それぞれのグループに 16 個の割り込みがあります。

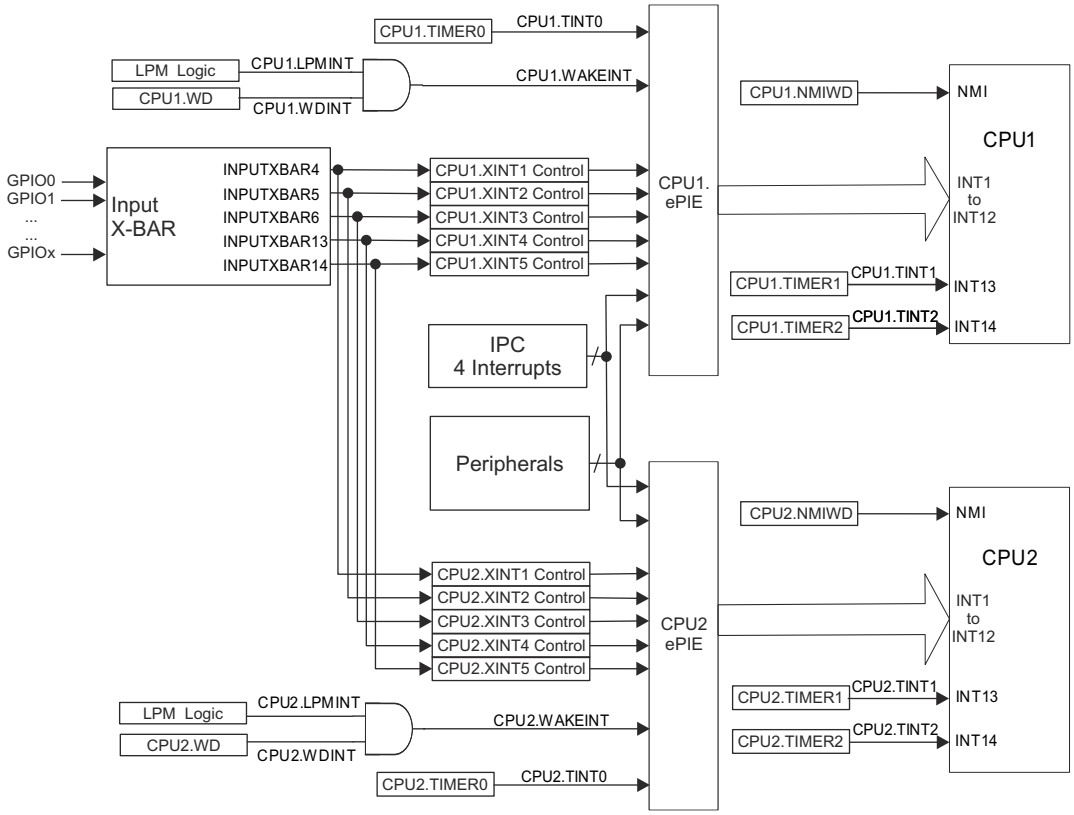


図 6-20. 外部および ePIE 割り込みソース

6.8.9.1 外部割り込み (XINT) の電気的データおよびタイミング

セクション 6.8.9.1.1 に、外部割り込みのタイミング要件を示します。セクション 6.8.9.1.2 に、外部割り込みのスイッチング特性を示します。図 6-21 に、外部割り込みのタイミングを示します。

6.8.9.1.1 外部割り込みのタイミング要件

			最小値	最大値	単位(1)
$t_{w(INT)}$	パルス幅、INT 入力 LOW / HIGH	同期	$2t_{c(SYSCLK)}$		サイクル
		フィルタ付き	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$		サイクル

(1) 入力フィルタ・パラメータの説明については、セクション 6.8.8.2.1 を参照してください。

6.8.9.1.2 外部割り込みのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)(1)

パラメータ		最小値	最大値	単位
$t_{d(INT)}$	遅延時間、INT LOW / HIGH から割り込みベクタ・フェッチまで (2)	$t_{w(IQSW)} + 14t_{c(SYSCLK)}$	$t_{w(IQSW)} + t_{w(SP)} + 14t_{c(SYSCLK)}$	サイクル

(1) 入力フィルタ・パラメータの説明については、セクション 6.8.8.2.1 を参照してください。
(2) これは、ISR がシングルサイクル・メモリ内にあることを想定しています。

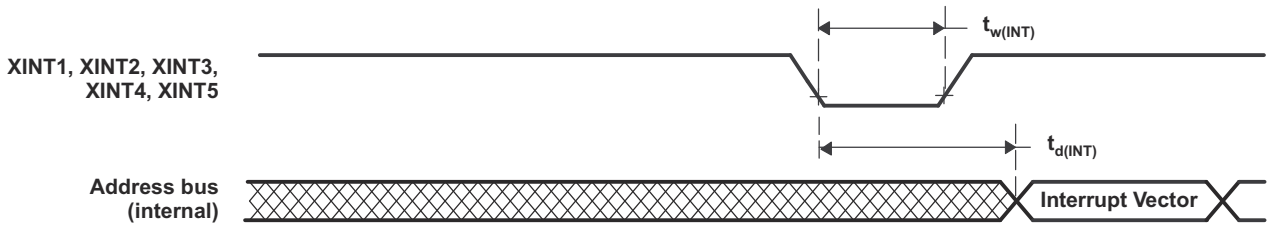


図 6-21. 外部割り込みのタイミング

Copyright © 2026 Texas Instruments Incorporated

6.8.10 低消費電力モード

このデバイスには、クロックをゲーティングする 3 つの低消費電力モードと、電源をゲーティングする特別なモードが 1 つあります。

すべての低消費電力モードの詳細とその開始および終了手順については、『TMS320F2837xD デュアルコア リアルタイムマイクロコントローラ テクニカル リファレンス マニュアル』の「低消費電力モード」セクションを参照してください。

6.8.10.1 クロック ゲーティング低消費電力モード

このデバイスの アイドル、スタンバイ、ホールト モードは、他の C28x デバイスのモードと同様です。表 6-9 に、いずれかのクロック ゲーティング低消費電力モードに移行したときのシステムへの影響を示します。

表 6-9. クロック ゲーティング低消費電力モードによるデバイスへの影響

モジュール / クロック ドメイン	CPU1 IDLE	CPU1 スタンバイ	CPU2 IDLE	CPU2 スタンバイ	HALT
CPU1.CLKIN	アクティブ	ゲート	該当なし	該当なし	ゲート
CPU1.SYSCLK	アクティブ	ゲート	該当なし	該当なし	ゲート
CPU1.CPUCLK	ゲート	ゲート	該当なし	該当なし	ゲート
CPU2.CLKIN	該当なし	該当なし	アクティブ	ゲート	ゲート
CPU2.SYSCLK	該当なし	該当なし	アクティブ	ゲート	ゲート
CPU2.CPUCLK	該当なし	該当なし	ゲート	ゲート	ゲート
PERx.SYSCLK に接続されたモジュールへのクロック	アクティブ	CPUSEL.PERx = CPU1 の場合、ゲート	アクティブ	CPUSEL.PERx = CPU2 の場合、ゲート	ゲート
CPU1 .WDCLK	アクティブ	アクティブ	該当なし	該当なし	CLKSRCCTL1.WDHALTI = 0 の場合、ゲート
CPU2.WDCLK	該当なし	該当なし	アクティブ	アクティブ	ゲート
AUXPLLCLK	アクティブ	アクティブ	アクティブ	アクティブ	ゲート
PLL	電源供給	電源供給	電源供給	電源供給	ソフトウェアは、HALT に入る前に PLL の電源をオフにする必要があります
INTOSC1	電源供給	電源供給	電源供給	電源供給	CLKSRCCTL1.WDHALTI = 0 の場合、電源オフ
INTOSC2	電源供給	電源供給	電源供給	電源供給	CLKSRCCTL1.WDHALTI = 0 の場合、電源オフ
フラッシュ	電源供給	電源供給	電源供給	電源供給	ソフトウェア制御
X1 / X2 水晶発振器	電源供給	電源供給	電源供給	電源供給	電源オフ

6.8.10.2 電源をゲーティングする低消費電力モード

ハイバネーション モードは、このデバイスで最小の電力モードです。これは、システムの大部分の電源電圧をゲーティングする、全体的な低消費電力モードです。ハイバネーションは、要するに、リモート ウェークアップ機能付きの制御された電源オフであり、長時間の非アクティブ時に電力を節約するために使用できます。表 6-10 に、ハイバネーション モードへの移行時のシステムへの影響を示します。

表 6-10. 電源をゲーティングする低消費電力モードのデバイスに対する影響

モジュール / 電源ドメイン	ハイバネーション
M0 および M1 メモリ	• LPMCR.M0M1MODE = 0x00 の場合、メモリを保持してオンのまま • LPMCR.M0M1MODE = 0x01 の場合、オフ
CPU1、CPU2、デジタル ペリフェラル	電源オフ
DX、LSx、GSx メモリ	電源オフ、メモリの内容は消失
I/O	オン、出力状態を維持

Copyright © 2026 Texas Instruments Incorporated

表 6-10. 電源をゲーティングする低消費電力モードのデバイスに対する影響 (続き)

モジュール / 電源ドメイン	ハイバネーション
発振器、PLL、アナログ ペリフェラル、フラッシュ	低消費電力モードに移行

Copyright © 2026 Texas Instruments Incorporated

6.8.10.3 低消費電力モードのウェークアップ・タイミング

セクション 6.8.10.3.1 にアイドル・モードのタイミング要件を示し、セクション 6.8.10.3.2 にスイッチング特性を示します。また、図 6-22 にアイドル・モードのタイミング図を示します。

6.8.10.3.1 アイドル・モードのタイミング要件

			最小値 最大値	単位(1)
$t_{w(WAKE)}$	パルス幅、外部ウェークアップ信号	入力フィルタなし	$2t_{c(SYSCLK)}$	サイクル
		入力フィルタあり	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	

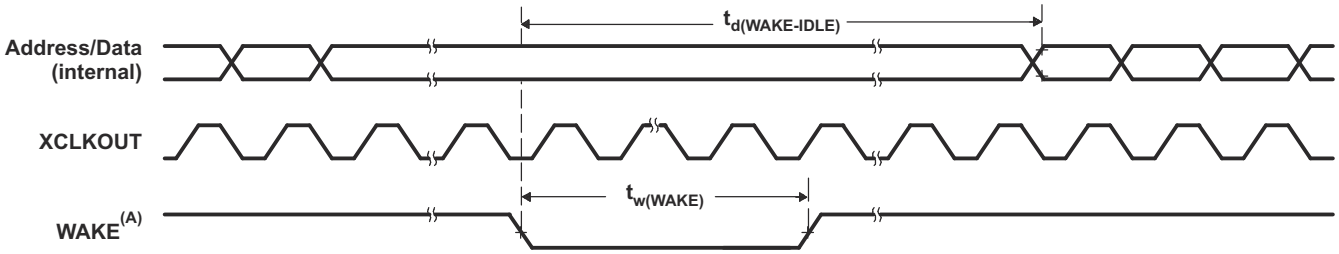
(1) 入力フィルタ・パラメータの説明については、セクション 6.8.8.2.1 を参照してください。

6.8.10.3.2 アイドル モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)(1)

パラメータ		テスト条件	最小値 最大値	単位
$t_{d(WAKE-IDLE)}$	遅延時間、外部ウェーク信号からプログラム実行再開まで (2)			サイクル
	• フラッシュからのウェークアップ – フラッシュ モジュールはアクティブ状態	入力クオリファイヤなし	$40t_{c(SYSCLK)}$	
		入力クオリファイヤあり	$40t_{c(SYSCLK)} + t_{w(WAKE)}$	
	• フラッシュからのウェークアップ – フラッシュ モジュールはスリープ状態	入力クオリファイヤなし	$6700t_{c(SYSCLK)}$ (3)	
		入力クオリファイヤあり	$6700t_{c(SYSCLK)}$ (3) + $t_{w(WAKE)}$	
	• RAM からのウェークアップ	入力クオリファイヤなし	$25t_{c(SYSCLK)}$	
		入力クオリファイヤあり	$25t_{c(SYSCLK)} + t_{w(WAKE)}$	

(1) 入力フィルタ パラメータの説明については、セクション 6.8.8.2.1 を参照してください。
(2) これは、IDLE 命令の直後に続く命令の実行を開始するのに要する時間です。ISR の実行 (ウェークアップ信号によってトリガ) には、追加のレイテンシが伴います。
(3) この値はフラッシュの起動時間に基づいています。これは、SYSCLK 周波数、フラッシュのウェイト状態 (RWAIT)、および FPAC1[PSLEEP] の関数です。詳細については、『TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「フラッシュおよび OTP パワーダウン モードおよびウェークアップ」セクションを参照してください。この値は、SYSCLK が 200MHz、RWAIT が 3、FPAC1[PSLEEP] が 0x860 のときに実現できます。



A. WAKE には、イネーブルになっている任意の割り込み、WDINT、XRS を使用できます。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。

図 6-22. IDLE 開始および終了タイミング図

セクション 6.8.10.3.3 にスタンバイ モードのタイミング要件を示し、セクション 6.8.10.3.4 にスイッチング特性を示します。また、図 6-23 にスタンバイ モードのタイミング図を示します。

6.8.10.3.3 スタンバイ・モードのタイミング要件

			最小値	最大値	単位
$t_{w(WAKE-INT)}$	パルス幅、外部ウェークアップ信号	QUALSTDBY = 0 | $2t_{c(OSCCLK)}$	$3t_{c(OSCCLK)}$		サイクル
		QUALSTDBY > 0 | (2 + QUALSTDBY)$t_{c(OSCCLK)}$ (1)	(2 + QUALSTDBY) * $t_{c(OSCCLK)}$		

(1) QUALSTDBY は、LPMCR レジスタの 6 ビット・フィールドです。

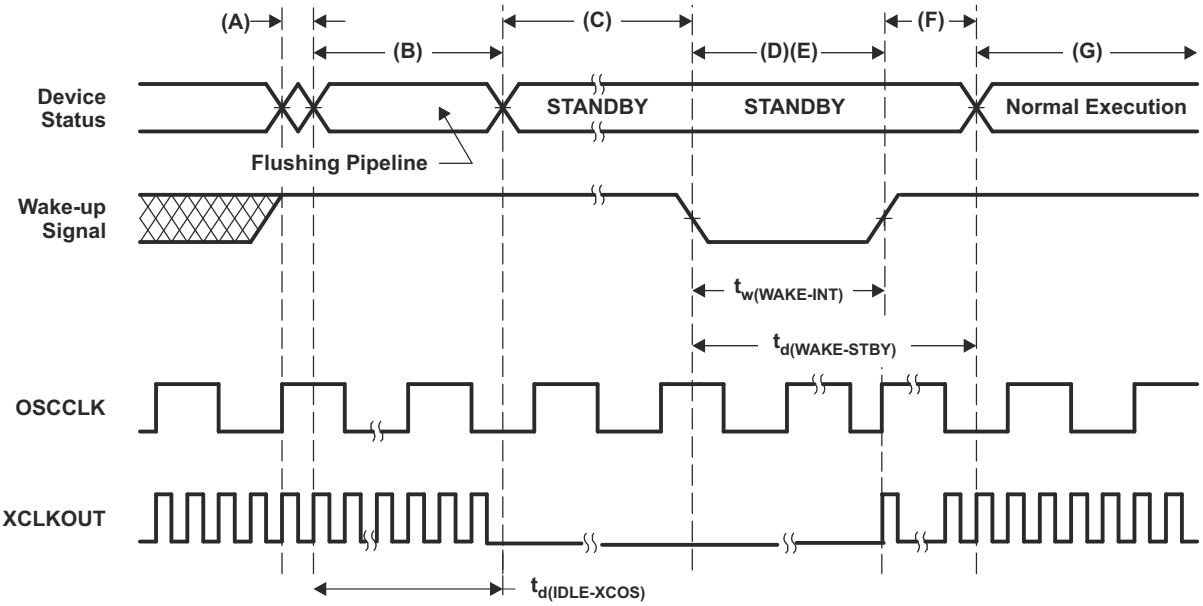
6.8.10.3.4 スタンバイ モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	最大値	単位
$t_{d(IDLE-XCOS)}$	遅延時間、IDLE 命令実行から XCLKOUT 停止まで			$16t_{c(INTOSC1)}$	サイクル
$t_{d(WAKE-STBY)}$	遅延時間、外部ウェーク信号からプログラム実行再開まで (1)				サイクル
	• フラッシュからのウェークアップ – フラッシュ モジュールはアクティブ状態			$175t_{c(SYSCLK)} + t_{w(WAKE-INT)}$	
	• フラッシュからのウェークアップ – フラッシュ モジュールはスリープ状態			$6700t_{c(SYSCLK)}$ (2) + $t_{w(WAKE-INT)}$	
	• RAM からのウェークアップ			$3t_{c(OSC)} + 15t_{c(SYSCLK)} + t_{w(WAKE-INT)}$	

(1) これは、IDLE 命令の直後に続く命令の実行を開始するのに要する時間です。ISR の実行 (ウェークアップ信号によってトリガ) には、追加のレイテンシが伴います。
(2) この値はフラッシュの起動時間に基づいています。これは、SYSCLK 周波数、フラッシュのウェイト状態 (RWAIT)、および FPAC1[PSLEEP] の関数です。詳細については、『TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「フラッシュおよび OTP パワーダウン モードおよびウェークアップ」セクションを参照してください。この値は、SYSCLK が 200MHz、RWAIT が 3、FPAC1[PSLEEP] が 0x860 のときに実現できます。

Copyright © 2026 Texas Instruments Incorporated



A. IDLE 命令が実行され、デバイスがスタンバイ モードに移行します。
B. LPM ブロックが STANDBY 信号に応答し、SYSCLK は、最大 16 INTOSC1 クロック サイクルにわたって保持された後、オフになります。この遅延により、CPU パイプラインおよびその他の保留中の動作が適切にフラッシュされます。
C. ペリフェラルへのクロックがオフになります。ただし、PLL とウォッチドッグはシャットダウンされません。デバイスはこの時点で、スタンバイ モードになっています。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。
D. 外部ウェークアップ信号がアクティブに駆動されます。
E. デバイスをウェークアップするために GPIO ピンに供給されるウェークアップ信号は、最小パルス幅の要件を満たす必要があります。さらに、この信号ではグリッチをなくす必要があります。ノイズの多い信号が GPIO ピンに供給されると、デバイスのウェークアップ動作は確定的ではなくなり、デバイスは後続のウェークアップ パルスで低消費電力モードを終了できない場合があります。
F. 遅延時間が経過すると、スタンバイ モードが終了します。
G. 通常動作を再開します。本デバイスは割り込み (有効化されている場合) に応答するようになります。

図 6-23. STANDBY の開始 / 終了タイミング図

セクション 6.8.10.3.5 に ホールト モードのタイミング要件を示し、セクション 6.8.10.3.6 にスイッチング特性を示します。また、図 6-24 にホールト モードのタイミング図を示します。

6.8.10.3.5 ホールト モードのタイミング要件

		最小値	最大値	単位
$t_{w(WAKE-GPIO)}$	パルス幅、GPIO ウェークアップ信号 (1)	t_{oscst} + $2t_{c(OSCCLK)}$		サイクル
$t_{w(WAKE-XRS)}$	パルス幅、$\overline{XRS}$ ウェークアップ信号(1)	t_{oscst} + $8t_{c(OSCCLK)}$		サイクル

(1) OSCCLK に X1/X2 を使用するアプリケーションでは、スタートアップ時間がデバイス外部の回路やレイアウトなどに依存するため、ユーザーは、その場合の発振器のスタートアップ時間の特性を評価する必要があります。詳細については、「水晶発振器の電気的特性」を参照してください。OSCCLK に INTOSC1 または INTOSC2 を使用するアプリケーションについては、セクション 6.8.3.5 の t_{oscst} を参照してください。発振器のスタートアップ時間は、X1 ピンでシングルエンド水晶発振器を使用するアプリケーションには適用されません。これは、デバイスの外部から電力が供給されるためです。

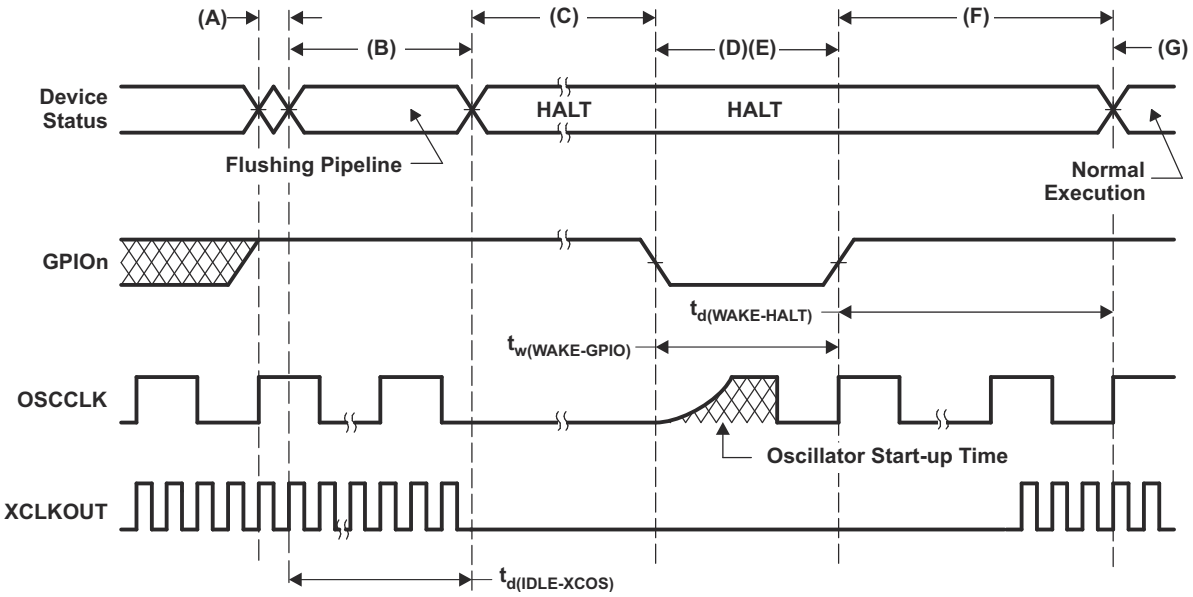
6.8.10.3.6 ホールト モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{d(IDLE-XCOS)}$	遅延時間、IDLE 命令実行から XCLKOUT 停止まで		$16t_{c(INTOSC1)}$	サイクル
$t_{d(WAKE-HALT)}$	遅延時間、外部ウェーク信号終了から CPU1 プログラム実行再開まで			サイクル
	• フラッシュからのウェークアップ – フラッシュ モジュールはアクティブ状態		$75t_{c(OSCCLK)}$	
	• フラッシュからのウェークアップ – フラッシュ モジュールはスリープ状態		$17500t_{c(OSCCLK)}$ (1)	
	• RAM からのウェークアップ		$75t_{c(OSCCLK)}$	

(1) この値はフラッシュの起動時間に基づいています。これは、SYSCLK 周波数、フラッシュのウェイト状態 (RWAIT)、および FPAC1[PSLEEP] の関数です。詳細については、『TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「フラッシュおよび OTP パワーダウン モードおよびウェークアップ」セクションを参照してください。この値は、SYSCLK が 200MHz、RWAIT が 3、FPAC1[PSLEEP] が 0x860 のときに実現できます。

Copyright © 2026 Texas Instruments Incorporated



A. IDLE 命令が実行され、デバイスがホールト モードに移行します。

B. LPM ブロックが HALT 信号に応答し、SYSCLK は、最大 16 INTOSC1 クロック サイクルにわたって保持された後、オフになります。この遅延により、CPU パイプラインおよびその他の保留中の動作が適切にフラッシュされます。

C. ペリフェラルへのクロックがオフになり、PLL がシャットダウンされます。クロック ソースとして水晶振動子またはセラミック共振器を使用している場合、内部発振器もシャットダウンされます。デバイスはこの時点で、ホールト モードに移行しており、消費電力はごくわずかです。ホールト モードのとき、ゼロピンの内部発振器 (INTOSC1 および INTOSC2) とウォッチドッグを動作させたままにすることもできます。これは、CLKSRCCTL1.WDHALTI に 1 を書き込むことで行います。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。

D. GPIOn ピン (デバイスのホールトを解除するために使用) を LOW にすると、発振器がオンになり、発振器ウェークアップ シーケンスが開始されます。GPIO ピンを High に駆動するのは、発振器が安定した後にする必要があります。これにより、PLL ロック シーケンスの間、クリーンなクロック信号を供給できます。GPIO ピンの立ち下がりエッジによって非同期にウェークアップ手順が開始されるので、ホールト モードに移行する前およびホールト モードになっている間は、低ノイズ環境を維持するように注意する必要があります。

E. デバイスをウェークアップするために GPIO ピンに供給されるウェークアップ信号は、最小パルス幅の要件を満たす必要があります。さらに、この信号ではグリッチをなくす必要があります。ノイズの多い信号が GPIO ピンに供給されると、デバイスのウェークアップ動作は確定的ではなくなり、デバイスは後続のウェークアップ パルスで低消費電力モードを終了できない場合があります。

F. コアへの CLKIN がイネーブルになると、デバイスは、いくらかのレイテンシの後で割り込みに応答します (割り込みイネーブルの場合)。これで、ホールト モードが終了します。

G. 通常動作を再開します。

H. ユーザーは、安定した PLL ロックを確保するために、HALT からのウェークアップの際に PLL を再ロックする必要があります。

図 6-24. HALT 開始および終了タイミング図

注

CPU2 は、CPU1 がデバイスをホールト モードに移行する前にアイドル モードに移行している必要があります。CPU1 は、IDLE 命令を呼び出してホールト モードに移行する前に、LPMSTAT レジスタを使用して CPU2 が アイドル モードに移行したことを確認する必要があります。

Copyright © 2026 Texas Instruments Incorporated

セクション 6.8.10.3.7 にハイバネーション モードのタイミング要件、セクション 6.8.10.3.8 にスイッチング特性を示します。また、図 6-25 にハイバネーション モードのタイミング図を示します。

6.8.10.3.7 ハイバネーション・モードのタイミング要件

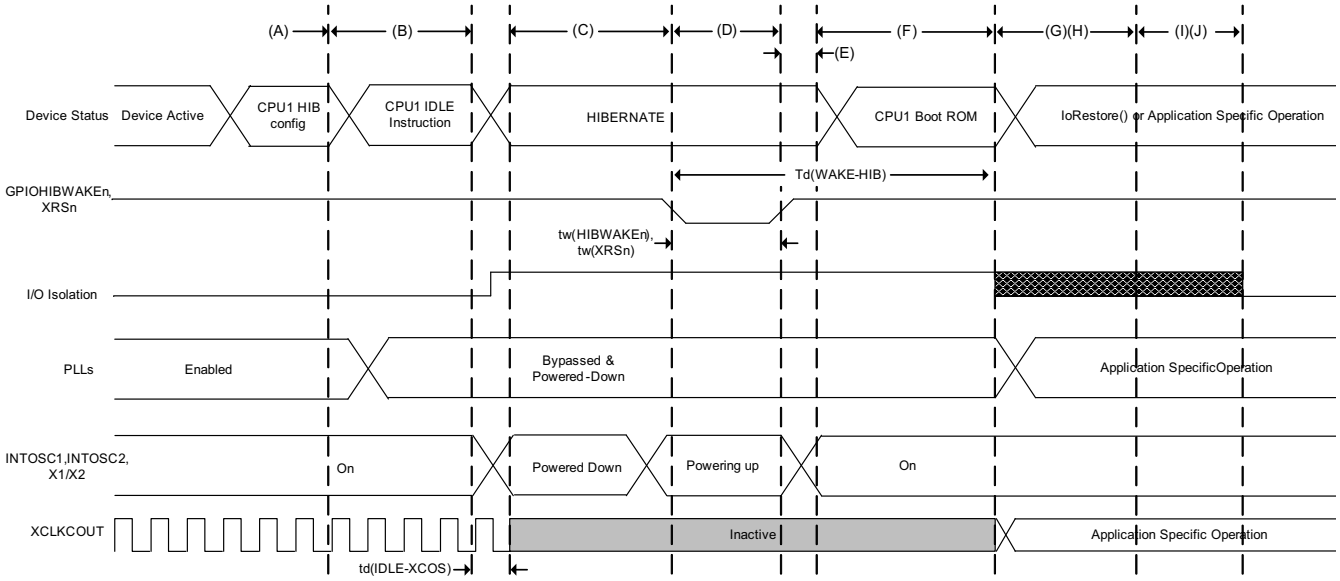
		最小値	最大値	単位
$t_{w(HIBWAKE)}$	パルス幅、$\overline{\text{HIBWAKE}}$ 信号	40		µs
$t_{w(WAKEXRS)}$	パルス幅、$\overline{\text{XRS}}$ ウェークアップ信号	40		µs

6.8.10.3.8 ハイバネーション モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{d(IDLE-XCOS)}$	遅延時間、IDLE 命令実行から XCLKOUT 停止まで		$30t_{c(SYSCLK)}$	サイクル
$t_{d(WAKE-HIB)}$	遅延時間、外部ウェーク信号から I/O 復元機能開始まで		1.5	ms

Copyright © 2026 Texas Instruments Incorporated



A. 必要に応じて、CPU1 はアプリケーション固有のコンテキストを M0/M1 メモリに保存します。これには、I/O 絶縁を使用する場合の GPIO の状態も含まれます。CPU1 の LPMCR レジスタをハイバネーション モードに設定します。レジスタ構成を使用して、フラッシュ ポンプ / バンク、USB-PHY、CMPSS、DAC、ADC の電源をオフにします。ハイバネーションに移行する前に、アプリケーションは、PLL クロックとペリフェラル クロックの電源もオフにする必要があります。デュアルコア アプリケーションでは、CPU1 は LPMSTAT レジスタを使用して、CPU2 がアイドル / スタンバイに移行したことを確認する必要があります。

B. IDLE 命令が実行され、デバイスがハイバネーション モードに移行します。

C. デバイスはこの時点で、ハイバネーション モードになっています。そのように構成されていれば、I/O 絶縁が有効になり、M0 および M1 メモリが保持されます。CPU1 と CPU2 の電源がオフになります。デジタル ペリフェラルの電源がオフになります。発振器、PLL、アナログ ペリフェラル、フラッシュは、ソフトウェア制御の低消費電力モードになっています。また、Dx、LSx、および GSx メモリの電源がオフになり、メモリの内容が失われます。

D. GPIOHIBWAKEn ピンの立ち下がりエッジによって、デバイスのクロック ソース INTOSC1、INTOSC2、X1/X2 OSC のウェークアップが駆動されます。ウェークアップ ソースは、これらのクロック ソースが完全に起動することを保証するために、GPIOHIBWAKEn ピンを十分に長く維持する必要があります。

E. クロック ソースが起動した後、デバイスの残りの部分のウェークアップ シーケンスをトリガするために、GPIOHIBWAKEn を HIGH に駆動する必要があります。

F. その後、ブート ROM の実行が開始されます。ブート ROM は、CPU1.REC .HIBRESETn ビットを読み取ることにより、ハイバネーション ウェークアップであるかどうかを区別できます。TI OTP トリムがロードされた後、設定されている場合、ブート ROM コードは、ユーザー定義の I/O 復元機能に分岐します。

G. この時点で、デバイスはハイバネーション モードから復帰し、アプリケーションは続行できます。

H. I/O 復元機能はユーザー定義の機能であり、アプリケーションは GPIO 状態の再設定、I/O 絶縁の無効化、PLL の再構成、ペリフェラル構成の復元、またはアプリケーション コードへの分岐を実行できます。その内容は、アプリケーションの要件に応じて異なります。

I. アプリケーションがアプリケーション コードに分岐しない場合は、I/O 復元の完了後にブート ROM が続行されます。I/O 復元機能の中で I/O 絶縁に関する処理を行わない場合、I/O 絶縁は自動的に無効になります。この時点で、CPU2 もリセットから復帰します。

J. その後、HIBBOOTMODE レジスタによって決定されるとおりに、ブート ROM が実行されます。詳細については、『TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「ROM コードおよびペリフェラル ブート」の章を参照してください。

図 6-25. ハイバネーション開始および終了タイミング図

注

1. IORESTOREADDR がデフォルト値として構成されている場合、HIBBOOTMODE レジスタの設定に従って、ブート ROM による実行を継続します。詳細については、『TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「ROM コードおよびペリフェラル ブート」の章を参照してください。
2. ユーザーは、I/O 復元機能内の任意の時点で I/O 絶縁を無効にすることを選択できます。ユーザーが I/O 復元機能で絶縁を無効にしたかどうかにかかわらず、また、I/O 復元が定義されているかどうかにかかわらず、HIBBOOTMODE レジスタの設定に従って、ブート前にブート ROM によって自動的に絶縁が無効になります。

注

CPU1 と CPU2 の両方を使用するアプリケーションでは、ハイバネーション モードに移行する前に、アプリケーションで CPU2 をアイドルまたはスタンバイにすることを推奨します。いずれかの GPIO を使用しており、その状態を維持する場合、CPU1 の M0/M1 メモリにデータを保存して、ウェークアップ時に再構成できます。これは、図 6-25 のステップ A の前に行う必要があります。

6.8.11 外部メモリ・インターフェイス (EMIF)

EMIF は、非同期メモリ (SRAM、NOR フラッシュ) や同期メモリ (SDRAM) などの各種外部ストレージ・デバイスに CPU を接続する手段を提供します。

6.8.11.1 非同期メモリのサポート

EMIF は非同期メモリをサポートしています。

- SRAM
- NOR フラッシュ・メモリ

外部ウェイト入力があるため、低速の非同期メモリを使用してメモリ・アクセスを延長できます。EMIF モジュールは、最大 3 つのチップ・セレクト (EMIF_CS[4:2]) をサポートしています。各チップ・セレクトには、以下に示すように、個別にプログラム可能な属性があります。

- データ・バス幅
- 読み取りサイクルのタイミング : セットアップ、ホールド、ストローブ
- 書き込みサイクルのタイミング : セットアップ、ホールド、ストローブ
- バス・ターンアラウンド時間
- プログラム可能なタイムアウト付きのウェイト時間延長オプション
- ストローブ選択オプション

6.8.11.2 同期 DRAM のサポート

EMIF メモリ コントローラは、32 ビットまたは 16 ビットのデータ バスを使用する JESD21-C SDR SDRAM に準拠しています。EMIF は、シングル SDRAM チップ セレクト (EMIF_CS[0]) を備えています。

同期メモリ (SDRAM) に対する EMIF のアドレス空間は、プログラム アドレス バスの 22 ビットの範囲を超えており、データ バス経由でのみアクセスできます。このため、C コンパイラがこの領域のデータに対して効果的に機能するためには制約があります。したがって、SDRAM を使用する場合は、(DMA を使って) 外部メモリから RAM にデータをコピーしてから作業することを推奨します。C2000Ware (C2000 MCU 用 C2000Ware) および『TMS320F2837xD デュアルコア リアルタイムマイクロコントローラ テクニカル リファレンス マニュアル』の例を参照してください。

サポートされている SDRAM 構成 :

- 1 バンク、2 バンク、4 バンクの SDRAM デバイス
- 8、9、10、11 列のアドレスを持つデバイス

Copyright © 2026 Texas Instruments Incorporated

- 2 または 3 クロック サイクルの CAS レイテンシ
- 16 ビット / 32 ビットのデータ バス幅
- 3.3V LVCMOS インターフェイス

さらに、EMIF は、セルフ リフレッシュ モードおよびパワーダウン モードでの SDRAM 動作もサポートしています。セルフ リフレッシュ モードでは、SDRAM は、マイクロコントローラからのクロックがなくても継続してリフレッシュされるため、メモリの内容を保持しながら低消費電力状態にすることができます。パワーダウン モードでは、データ保持が必要な場合、マイクロコントローラが定期的にウェークアップしてリフレッシュを発行する必要があることを除き、消費電力をさらに低減できます。EMIF モジュールは、モバイル SDRAM デバイスをサポートしていません。

このデバイスでは、EMIF は、SDRAM 構成に対するバースト アクセスをサポートしていません。これは、外部 SDRAM デバイスへのすべてのアクセスに、CAS レイテンシが存在することを意味します。

Copyright © 2026 Texas Instruments Incorporated

6.8.11.3 EMIF の電気的データおよびタイミング

6.8.11.3.1 非同期 RAM

セクション 6.8.11.3.1.1 に、EMIF 非同期メモリのタイミング要件を示します。セクション 6.8.11.3.1.2 に、EMIF 非同期メモリのスイッチング特性を示します。図 6-26 ～図 6-29 に、EMIF 非同期メモリのタイミング図を示します。

6.8.11.3.1.1 EMIF 非同期メモリのタイミング要件

番号 (1)			最小値	最大値	単位
読み取りおよび書き込み					
	E	EMIF クロック周期	$t_{c(SYSCLK)}$		ns
2	$t_{w(EM_WAIT)}$	パルス幅、EMxWAIT のアサートおよびデアサート	2E		ns
読み取り					
12	$t_{su(EMDV-EMOEH)}$	セットアップ時間、EMxD[y:0] 有効から $\overline{EMxOE}$HIGH まで	15		ns
13	$t_{h(EMOEH-EMDIV)}$	ホールド時間、$\overline{EMxOE}$HIGH から EMxD[y:0] 有効の間	0		ns
14	$t_{su(EMOEL-EMWAIT)}$	セットアップ時間、EMxWAIT アサートからストローブフェーズ終了まで(2)	4E+20		ns
書き込み					
28	$t_{su(EMWEL-EMWAIT)}$	セットアップ時間、EMxWAIT アサートからストローブフェーズ終了まで(2)	4E+20		ns

(1) E = EMxCLK 周期 (ns 単位)。
(2) ストローブ フェーズの終了前のセットアップ (延長ウェイト状態が挿入されていない場合)。延長ウェイト状態を追加するためには、これにより EMxWAIT をアサートする必要があります。図 6-27 および図 6-29 に、ストローブ フェーズ中に挿入される延長ウェイト状態を含む EMIF トランザクションを示します。ただし、この延長ウェイト時間の一部として挿入されたサイクルはカウントされません。4E という要件は、延長ウェイト サイクルがない場合にホールド フェーズが開始される時点に対するものです。

6.8.11.3.1.2 EMIF 非同期メモリのスイッチング特性

番号(1) (2) (3)	パラメータ		最小値	最大値	単位
読み取りおよび書き込み					
1	$t_{d(TURNAROUND)}$	ターンアラウンド時間	(TA)*E–3	(TA)*E+2	ns
読み取り					
3	$t_{c(EMRCYCLE)}$	EMIF 読み取りサイクル時間 (EW = 0)	(RS+RST+RH)*E–3	(RS+RST+RH)*E+2	ns
		EMIF 読み取りサイクル時間 (EW = 1)(4)	(RS+RST+RH+(MEWC*16))*E–3	(RS+RST+RH+(MEWC*16))*E+2	ns
4	$t_{su(EMCEL-EMOEL)}$	出力セットアップ時間、$\overline{EMxCS}$[y:2] LOW から $\overline{EMxOE}$ LOW まで (SS = 0)	(RS)*E–3	(RS)*E+2	ns
		出力セットアップ時間、$\overline{EMxCS}$[y:2] LOW から $\overline{EMxOE}$ LOW まで (SS = 1)	-3	2	ns
5	$t_{h(EMOEH-EMCEH)}$	出力ホールド時間、$\overline{EMxOE}$ HIGH から $\overline{EMxCS}$[y:2] HIGH まで (SS = 0)	(RH)*E–3	(RH)*E	ns
		出力ホールド時間、$\overline{EMxOE}$ HIGH から $\overline{EMxCS}$[y:2] HIGH まで (SS = 1)	-3	0	ns
6	$t_{su(EMBAV-EMOEL)}$	出力セットアップ時間、EMxBA[y:0] 有効から $\overline{EMxOE}$ LOW まで	(RS)*E–3	(RS)*E+2	ns

Copyright © 2026 Texas Instruments Incorporated

6.8.11.3.1.2 EMIF 非同期メモリのスイッチング特性 (続き)

番号(1) (2) (3)	パラメータ		最小値	最大値	単位
7	$t_{h(EMOEH-EMBAIV)}$	出力ホールド時間、EMxOE HIGH から EMxBA[y:0] 無効まで	(RH)*E–3	(RH)*E	ns
8	$t_{su(EMAV-EMOEL)}$	出力セットアップ時間、EMxA[y:0] 有効から EMxOE LOW まで	(RS)*E–3	(RS)*E+2	ns
9	$t_{h(EMOEH-EMAIV)}$	出力ホールド時間、EMxOE HIGH から EMxA[y:0] 無効まで	(RH)*E–3	(RH)*E	ns
10	$t_{w(EMOEL)}$	EMxOE アクティブ LOW 幅 (EW = 0)	(RST)*E–1	(RST)*E+1	ns
		EMxOE アクティブ LOW 幅 (EW = 1)(4)	(RST+(MEWC*16))*E–1	(RST+(MEWC*16))*E+1	ns
11	$t_{d(EMWAITH-EMOEH)}$	EMxWAIT デアサートから EMxOE HIGH までの遅延時間	4E+10	5E+15	ns
29	$t_{su(EMDQMV-EMOEL)}$	出力セットアップ時間、EMxDQM[y:0] 有効から EMxOE LOW まで	(RS)*E–3	(RS)*E+2	ns
30	$t_{h(EMOEH-EMDQMIV)}$	出力ホールド時間、EMxOE HIGH から EMxDQM[y:0] 無効まで	(RH)*E–3	(RH)*E	ns
書き込み					
15	$t_{c(EMWCYCLE)}$	EMIF 書き込みサイクル時間 (EW = 0)	(WS+WST+WH)*E–3	(WS+WST+WH)*E+1	ns
		EMIF 書き込みサイクル時間 (EW = 1)(4)	(WS+WST+WH+(MEWC*16))*E–3	(WS+WST+WH+(MEWC*16))*E+1	ns
16	$t_{su(EMCEL-EMWEL)}$	出力セットアップ時間、EMxCS[y:2] LOW から EMxWE LOW まで (SS = 0)	(WS)*E–3	(WS)*E+1	ns
		出力セットアップ時間、EMxCS[y:2] LOW から EMxWE LOW まで (SS = 1)	-3	1	ns
17	$t_{h(EMWEH-EMCEH)}$	出力ホールド時間、EMxWE HIGH から EMxCS[y:2] HIGH まで (SS = 0)	(WH)*E–3	(WH)*E	ns
		出力ホールド時間、EMxWE HIGH から EMxCS[y:2] HIGH まで (SS = 1)	-3	0	ns
18	$t_{su(EMDQMV-EMWEL)}$	出力セットアップ時間、EMxDQM[y:0] 有効から EMxWE LOW まで	(WS)*E–3	(WS)*E+1	ns
19	$t_{h(EMWEH-EMDQMIV)}$	出力ホールド時間、EMxWE HIGH から EMxDQM[y:0] 無効まで	(WH)*E–3	(WH)*E	ns
20	$t_{su(EMBAV-EMWEL)}$	出力セットアップ時間、EMxBA[y:0] 有効から EMxWE LOW まで	(WS)*E–3	(WS)*E+1	ns
21	$t_{h(EMWEH-EMBAIV)}$	出力ホールド時間、EMxWE HIGH から EMxBA[y:0] 無効まで	(WH)*E–3	(WH)*E	ns
22	$t_{su(EMAV-EMWEL)}$	出力セットアップ時間、EMxA[y:0] 有効から EMxWE LOW まで	(WS)*E–3	(WS)*E+1	ns
23	$t_{h(EMWEH-EMAIV)}$	出力ホールド時間、EMxWE HIGH から EMxA[y:0] 無効まで	(WH)*E–3	(WH)*E	ns
24	$t_{w(EMWEL)}$	EMxWE アクティブ LOW 幅 (EW = 0)	(WST)*E–1	(WST)*E+1	ns
		EMxWE アクティブ LOW 幅 (EW = 1)(4)	(WST+(MEWC*16))*E–1	(WST+(MEWC*16))*E+1	ns

Copyright © 2026 Texas Instruments Incorporated

6.8.11.3.1.2 EMIF 非同期メモリのスイッチング特性 (続き)

番号(1) (2) (3)	パラメータ		最小値	最大値	単位
25	$t_{d(EMWAITH-EMWEH)}$	EMxWAIT デアサートから $\overline{EMxWE}$ HIGH までの遅延時間	4E+10	5E+15	ns
26	$t_{su(EMDV-EMWEL)}$	出力セットアップ時間、EMxD[y:0] 有効から $\overline{EMxWE}$ LOW まで	(WS)*E–3	(WS)*E+1	ns
27	$t_{h(EMWEH-EMDIV)}$	出力ホールド時間、$\overline{EMxWE}$ HIGH から EMxD[y:0] 無効まで	(WH)*E–3	(WH)*E	ns

(1) TA =ターン アラウンド、RS = 読み取りセットアップ、RST = 読み取りストローブ、RH = 読み取りホールド、WS = 書き込みセットアップ、WST = 書き込みストローブ、WH = 書き込みホールド、MEWC = 最大外部ウェイト サイクル。これらのパラメータは、非同期バンクおよび非同期ウェイト サイクル構成レジスタを使ってプログラミングします。これらのパラメータは、以下の範囲の値をサポートしています。TA[4–1]、RS[16–1]、RST[64–4]、RH[8–1]、WS[16–1]、WST[64–1]、WH[8–1]、および MEWC[1–256]。詳細については、『TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』を参照してください。

(2) E = EMxCLK 周期 (ns 単位)。

(3) EWC = EMxWAIT 入力信号によって決定される外部ウェイト サイクル。EWC は、以下の範囲の値をサポートしています。EWC[256–1]。タイムアウトまでの最大ウェイト時間は、非同期ウェイト サイクル構成レジスタのビット フィールド MEWC により指定されます。詳細については、『TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』を参照してください。

(4) 最大ウェイト タイムアウト条件。

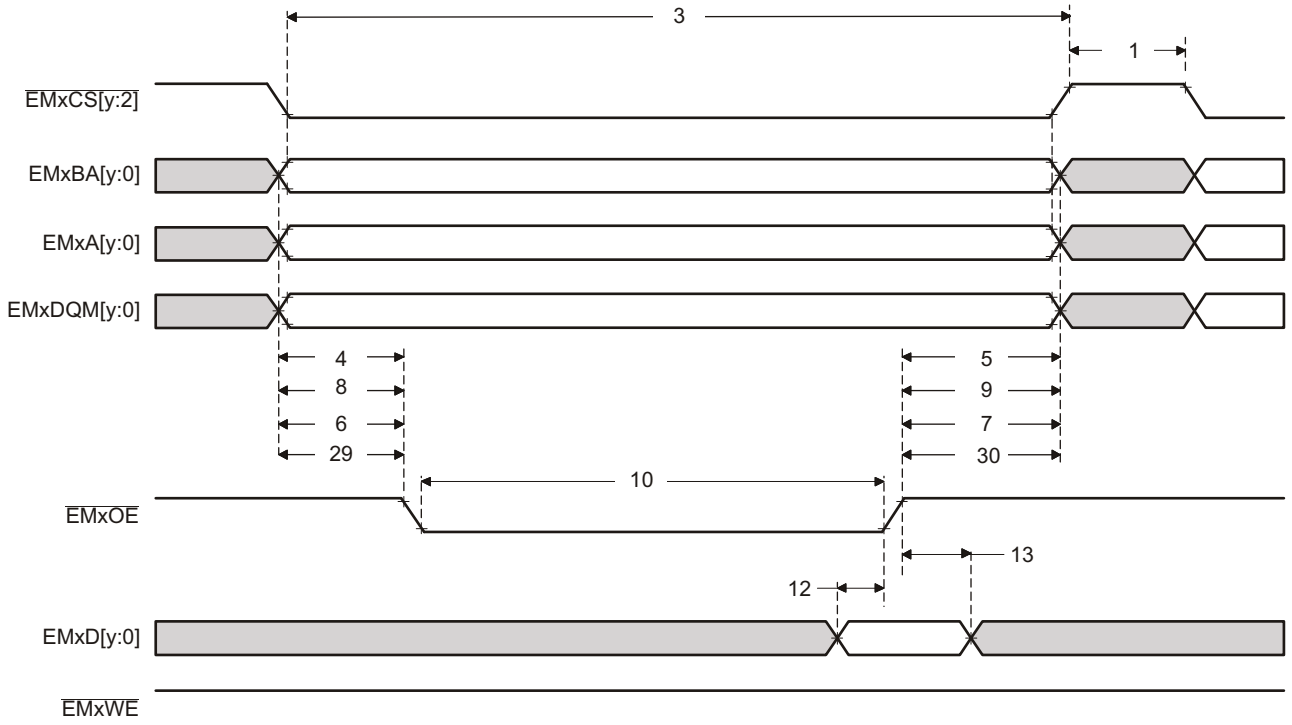


図 6-26. 非同期メモリ読み取りタイミング

Copyright © 2026 Texas Instruments Incorporated

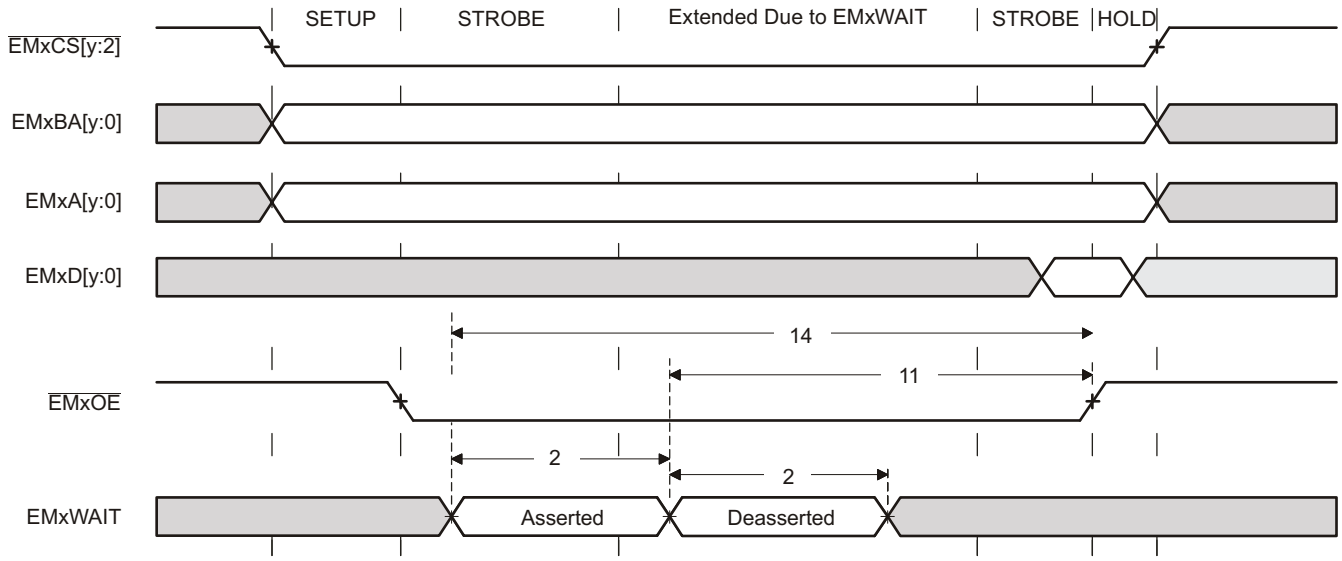


図 6-27. EMxWAIT 読み取りタイミング要件

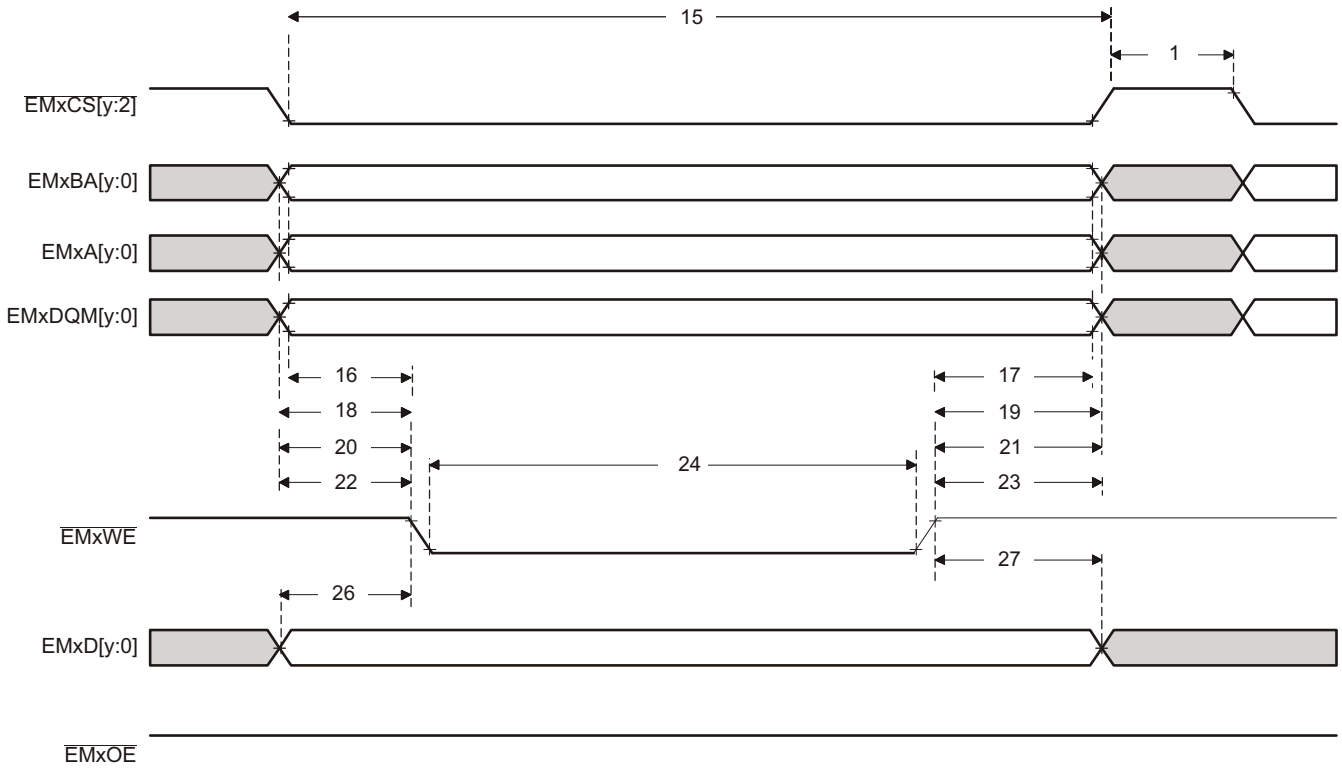


図 6-28. 非同期メモリ書き込みタイミング

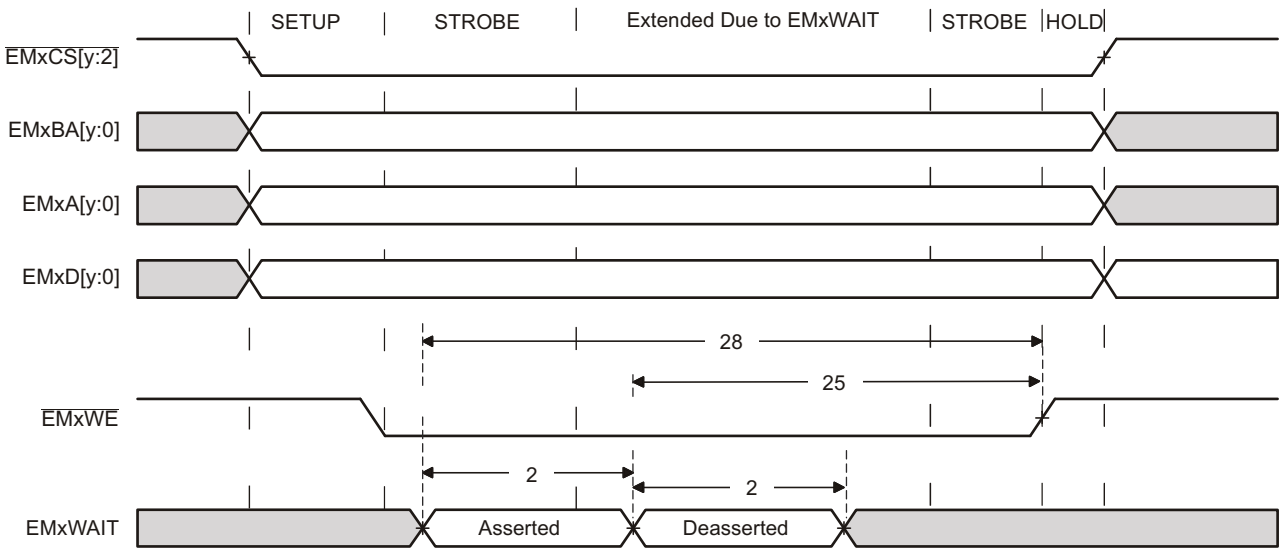


図 6-29. EMxWAIT 書き込みタイミング要件

Copyright © 2026 Texas Instruments Incorporated

6.8.11.3.2 同期 RAM

セクション 6.8.11.3.2.1 に、EMIF 同期メモリのタイミング要件を示します。セクション 6.8.11.3.2.2 に、EMIF 同期メモリのスイッチング特性を示します。図 6-30 および 図 6-31 に、同期メモリのタイミング図を示します。

6.8.11.3.2.1 EMIF 同期メモリのタイミング要件

番号			最小値	最大値	単位
19	$t_{su(EMIFDV-EM_CLKH)}$	入力セットアップ時間、EMxD[y:0] 読み取りデータ有効から EMxCLK 立ち上がりまで	2		ns
20	$t_{h(CLKH-DIV)}$	入力ホールド時間、EMxCLK 立ち上がりから EMxD[y:0] 読み取りデータ有効終了まで	1.5		ns

6.8.11.3.2.2 EMIF 同期メモリのスイッチング特性

番号	パラメータ		最小値	最大値	単位
1	$t_{c(CLK)}$	サイクル時間、EMIF クロック EMxCLK	10		ns
2	$t_{w(CLK)}$	パルス幅、EMIF クロック EMxCLK HIGH または LOW	3		ns
3	$t_{d(CLKH-CSV)}$	遅延時間、EMxCLK 立ち上がりから $\overline{\text{EMxCS[y:2]}}$ 有効まで		8	ns
4	$t_{oh(CLKH-CSIV)}$	出力ホールド時間、EMxCLK 立ち上がりから $\overline{\text{EMxCS[y:2]}}$ 無効まで	1		ns
5	$t_{d(CLKH-DQMV)}$	遅延時間、EMxCLK 立ち上がりから EMxDQM[y:0] 有効まで		8	ns
6	$t_{oh(CLKH-DQMIV)}$	出力ホールド時間、EMxCLK 立ち上がりから EMxDQM[y:0] 無効まで	1		ns
7	$t_{d(CLKH-AV)}$	遅延時間、EMxCLK 立ち上がりから EMxA[y:0] および EMxBA[y:0] 有効まで		8	ns
8	$t_{oh(CLKH-AIV)}$	出力ホールド時間、EMxCLK 立ち上がりから EMxA[y:0] および EMxBA[y:0] 無効まで	1		ns
9	$t_{d(CLKH-DV)}$	遅延時間、EMxCLK 立ち上がりから EMxD[y:0] 有効まで		8	ns
10	$t_{oh(CLKH-DIV)}$	出力ホールド時間、EMxCLK 立ち上がりから EMxD[y:0] 無効まで	1		ns
11	$t_{d(CLKH-RASV)}$	遅延時間、EMxCLK 立ち上がりから EMxRAS 有効まで		8	ns
12	$t_{oh(CLKH-RASIV)}$	出力ホールド時間、EMxCLK 立ち上がりから EMxRAS 無効まで	1		ns
13	$t_{d(CLKH-CASV)}$	遅延時間、EMxCLK 立ち上がりから EMxCAS 有効まで		8	ns
14	$t_{oh(CLKH-CASIV)}$	出力ホールド時間、EMxCLK 立ち上がりから EMxCAS 無効まで	1		ns
15	$t_{d(CLKH-WEV)}$	遅延時間、EMxCLK 立ち上がりから $\overline{\text{EMxWE}}$ 有効まで		8	ns
16	$t_{oh(CLKH-WEIV)}$	出力ホールド時間、EMxCLK 立ち上がりから $\overline{\text{EMxWE}}$ 無効まで	1		ns
17	$t_{d(CLKH-DHZ)}$	遅延時間、EMxCLK 立ち上がりから EMxD[y:0] トライステートまで		8	ns
18	$t_{oh(CLKH-DLZ)}$	出力ホールド時間、EMxCLK 立ち上がりから EMxD[y:0] 駆動まで	1		ns

Copyright © 2026 Texas Instruments Incorporated

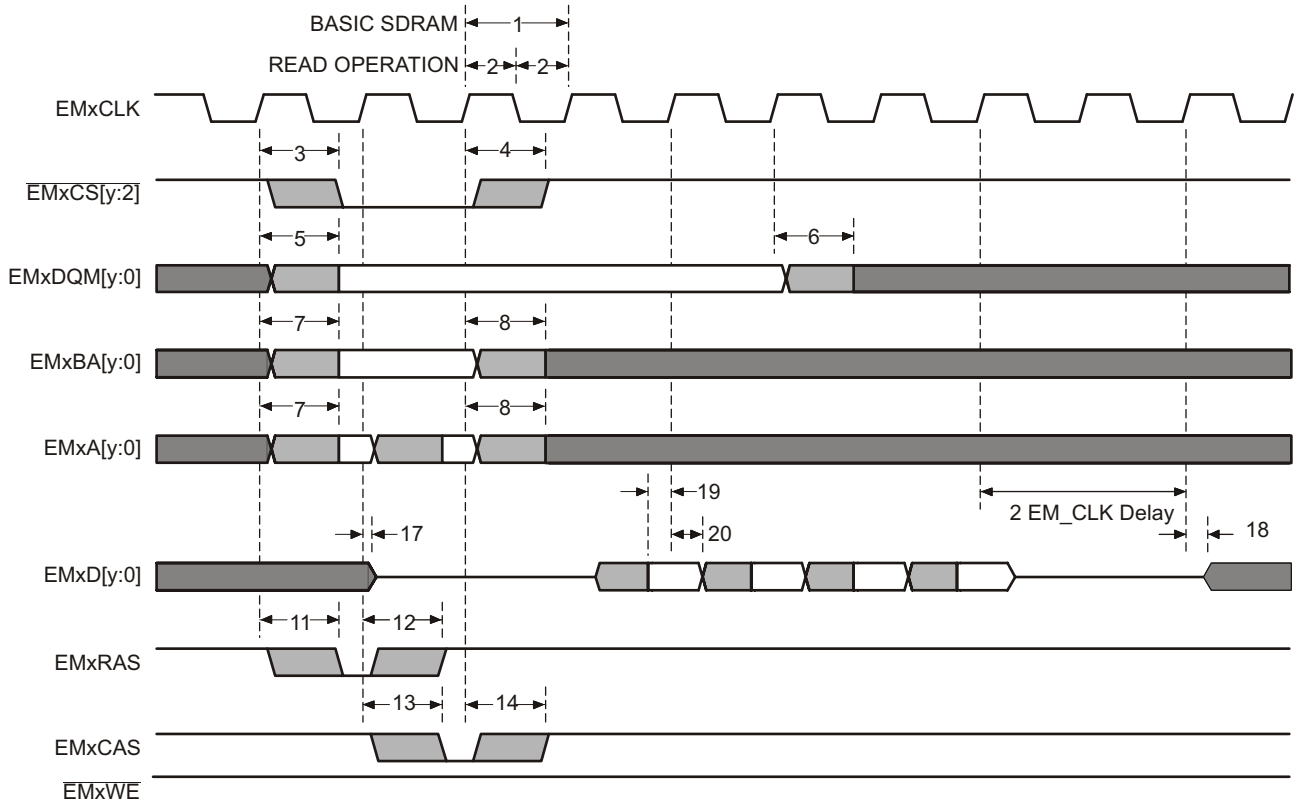


図 6-30. 基本的な SDRAM 読み取り動作

Copyright © 2026 Texas Instruments Incorporated

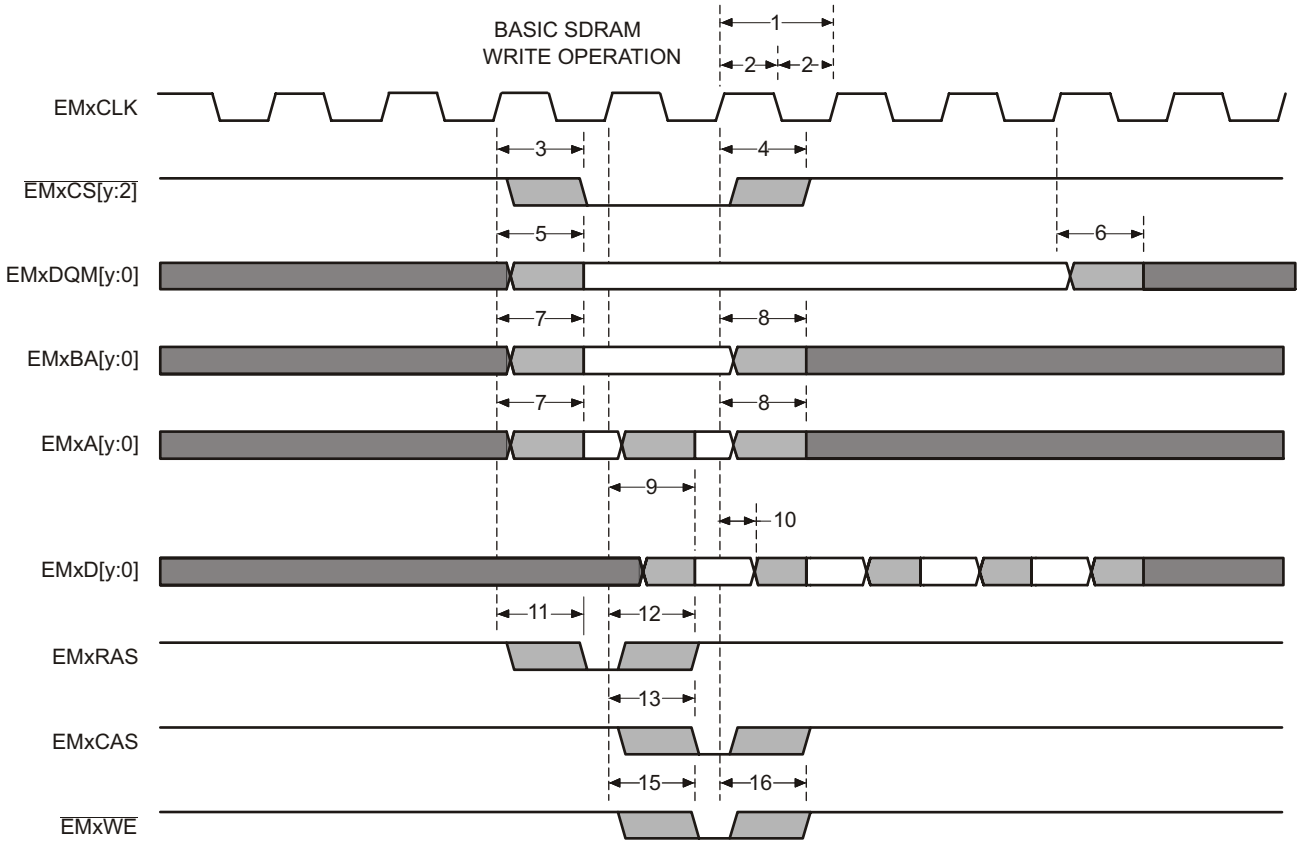


図 6-31. 基本的な SDRAM 書き込み動作

6.9 アナログ ペリフェラル

このセクションでは、アナログ サブシステム モジュールについて説明します。

このデバイスのアナログ モジュールは、ADC、温度センサ、バッファ付き DAC、CMPSS を備えています。

アナログ サブシステムには次のような特長があります。

- フレキシブルな電圧リファレンス
  - これらの ADC は、V_{REFHIx} ピンおよび V_{REFLOx} ピンを基準としています。
    - V_{REFHIx} ピンの電圧は、外部で駆動する必要があります。
- バッファ付き DAC は、V_{REFHIx} および V_{SSA} を基準としています。
  - または、これらの DAC は、VDAC ピンおよび V_{SSA} を基準にすることもできます。
- コンパレータ DAC は、V_{DDA} および V_{SSA} を基準としています。
  - または、これらの DAC は、VDAC ピンおよび V_{SSA} を基準にすることもできます。
- フレキシブルなピンの用途
  - ADC 入力で多重化された、バッファ付き DAC およびコンパレータ サブシステム機能
- オフセット セルフ キャリブレーションのために、すべての ADC で V_{REFLO} に内部接続

図 6-32 に、176 ピン PTP パッケージのアナログ サブシステムのブロック図を示します。

Copyright © 2026 Texas Instruments Incorporated

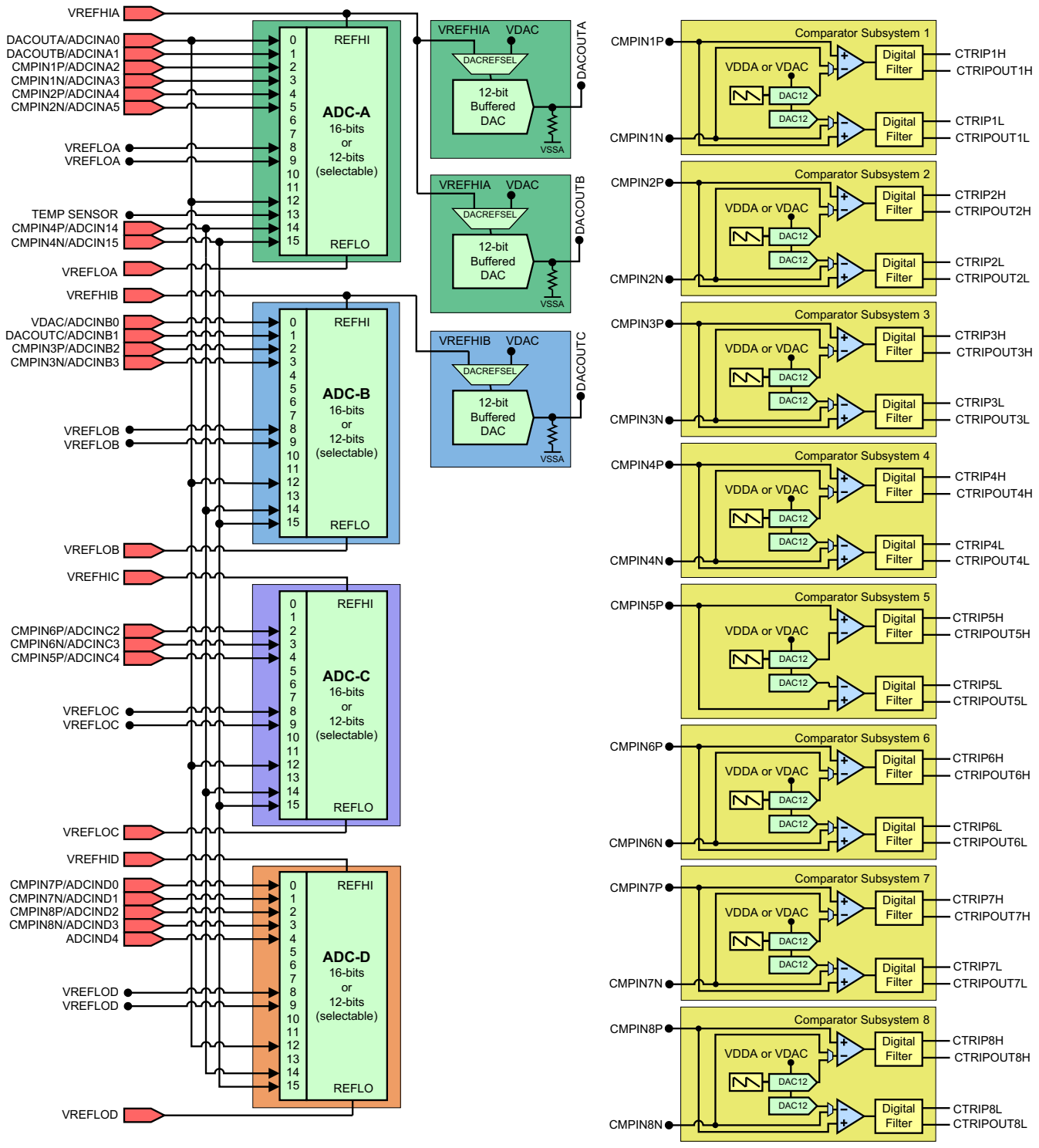


図 6-32. アナログ サブシステムのブロック図 (176 ピン PTP)

6.9.1 A/D コンバータ (ADC)

このデバイスの ADC は、逐次比較型 (SAR) 形式の ADC であり、16 ビットまたは 12 ビットの分解能を選択できます。複数の ADC モジュールがあり、同時サンプリングが可能です。ADC ラッパーは、変換開始 (SOC) をベースにしています (『TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「SOC 動作原理」セクションを参照)。

各 ADC には次のような特長があります。

- 16 ビットまたは 12 ビットの分解能を選択可能
- V_{REFHI} および V_{REFLO} によって設定されるレシオメトリック外部リファレンス
- 差動信号変換 (16 ビット モードのみ)
- シングルエンド信号変換 (12 ビット モードのみ)
- 最大 16 チャネル (シングルエンド) または 8 チャネル (差動) の入力マルチプレクサ
- 16 本の構成可能な SOC
- 16 個の個別にアドレス指定可能な結果レジスタ
- 複数のトリガ ソース
  - ソフトウェアによる直接開始
  - すべての ePWM
  - GPIO XINT2
  - CPU タイマ
  - ADCINT1 または 2
- 4 つのフレキシブルな PIE 割り込み
- バースト モード
- 4 つの後処理ブロック、それぞれに次の機能を搭載:
  - 飽和オフセット較正
  - 設定点からの誤差の計算
  - 高、低、ゼロクロス比較、割り込みおよび ePWM トリップ機能付き
  - トリガからサンプルまでの遅延キャプチャ

Copyright © 2026 Texas Instruments Incorporated

図 6-33 に、ADC モジュールのブロック図を示します。

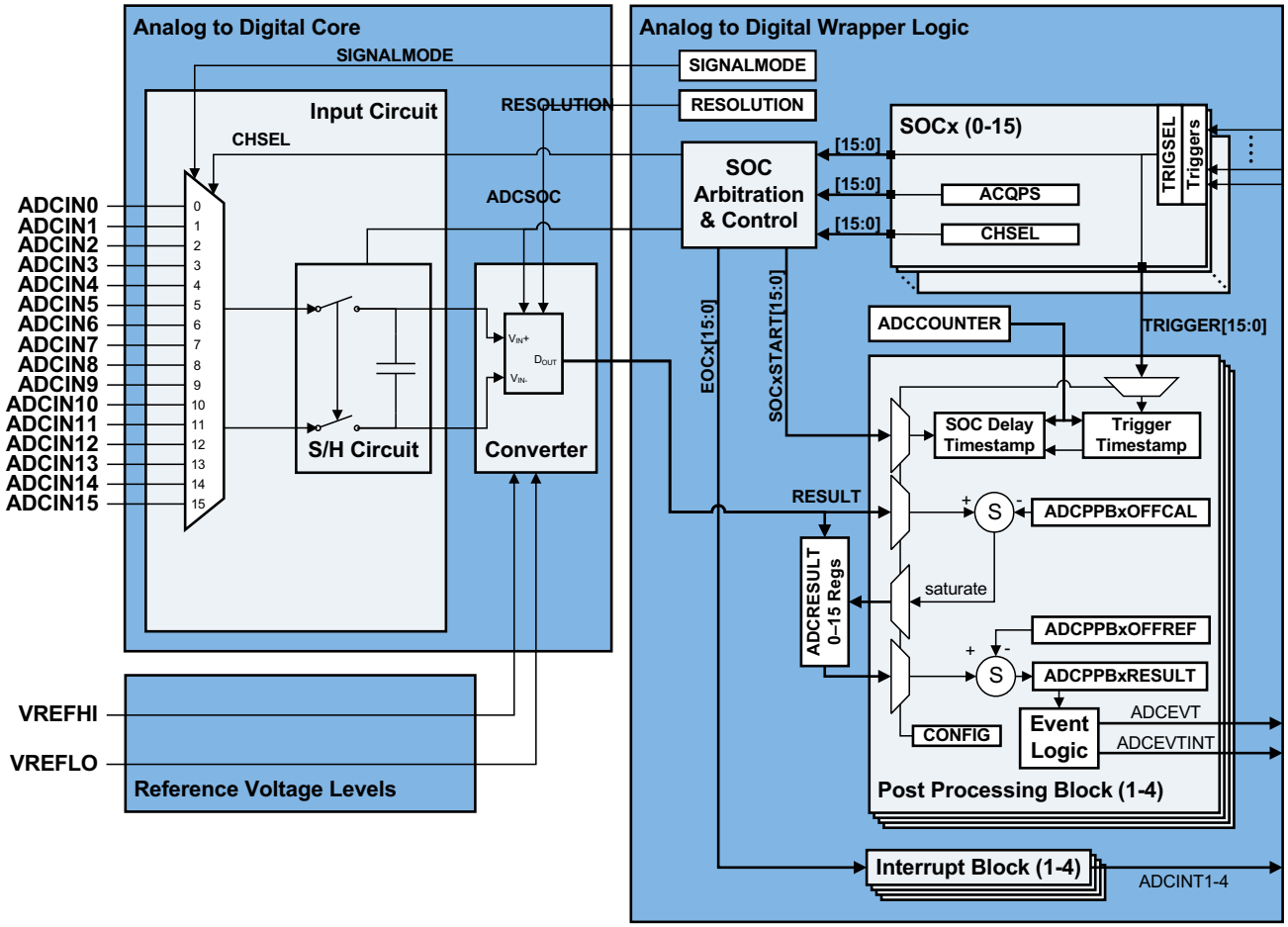


図 6-33. ADC モジュールのブロック図

6.9.1.1 ADC の構成可能性

一部の ADC 構成は、SOC によって個別に管理されますが、他の構成は、各 ADC モジュールによって制御されます。表 6-11 に、基本的な ADC オプションとその構成レベルを示します。

表 6-11. ADC オプションおよび構成レベル

オプション	構成方法
クロック	モジュール(1)
分解能	モジュール(1)
信号モード	モジュール
リファレンス電圧源	構成不可 (外部基準電圧のみ)
トリガ ソース	SOC(1)
変換対象チャネル	SOC
アクイジション ウィンドウ幅	SOC(1)
EOC の位置	モジュール
バースト モード	モジュール(1)

(1) これらの設定について、異なる ADC モジュールに異なる値を書き込むと、ADC が非同期に動作する可能性があります。ADC の動作が同期になるか非同期になるかについてのガイダンスは、『TMS320F2837xD

デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「A/D コンバータ (ADC) 」の章で「同期動作の確保」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.9.1.1.1 信号モード

ADC は、シングルエンドと差動の 2 つの信号モードをサポートしています。シングルエンド モードでは、コンバータへの入力電圧は VREFLO を基準として、1 本のピン (ADCINx) でサンプリングされます。差動信号モードでは、コンバータへの入力電圧は 1 組の入力ピンでサンプリングされます。一方が正入力 (ADCINxP) で、他方が負入力 (ADCINxN) です。実際の入力電圧は、2 つの入力電圧の差 (ADCINxP - ADCINxN) です。図 6-34 に、差動信号モードを示します。図 6-35 に、シングルエンド信号モードを示します。

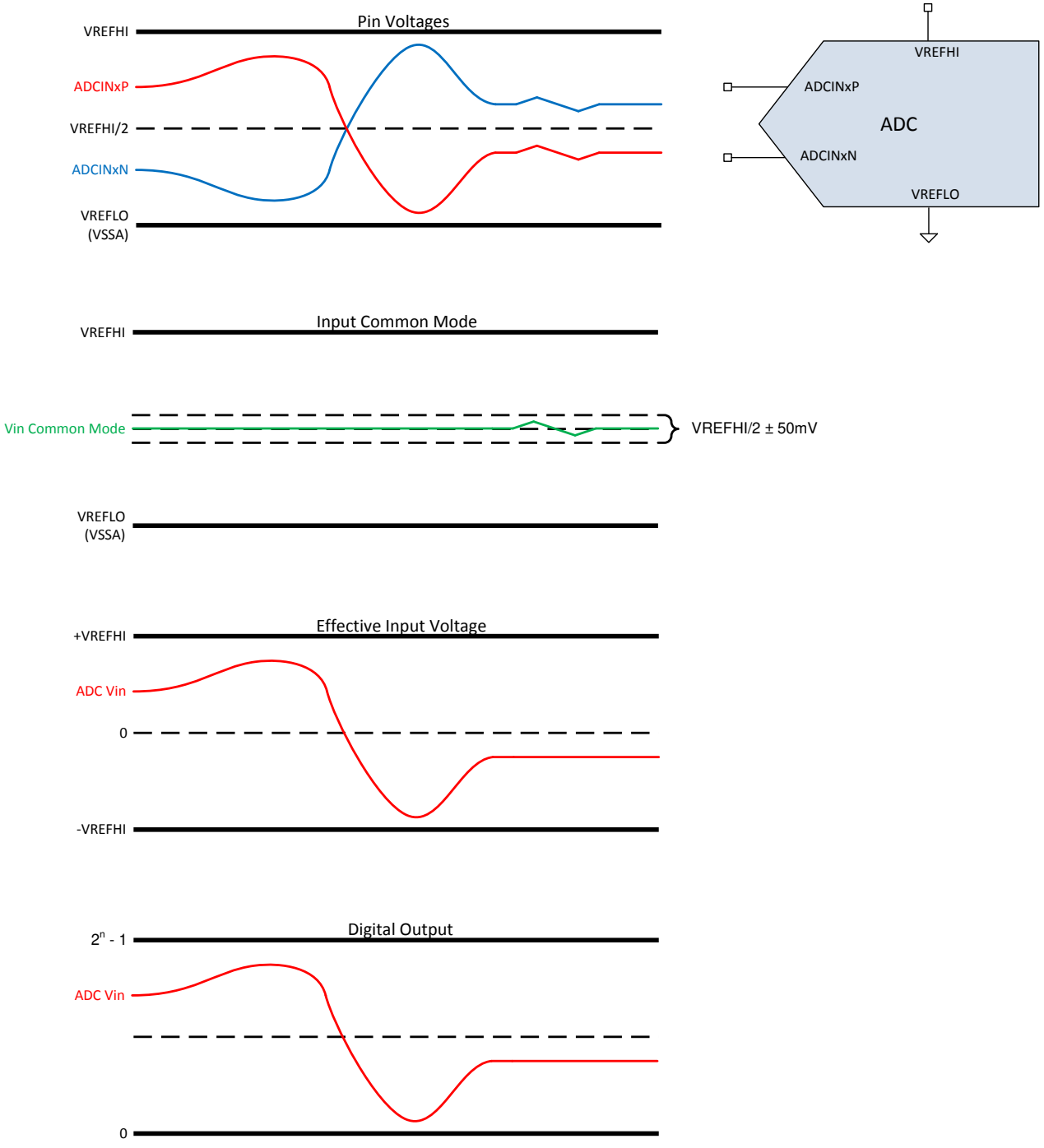


図 6-34. 差動信号モード

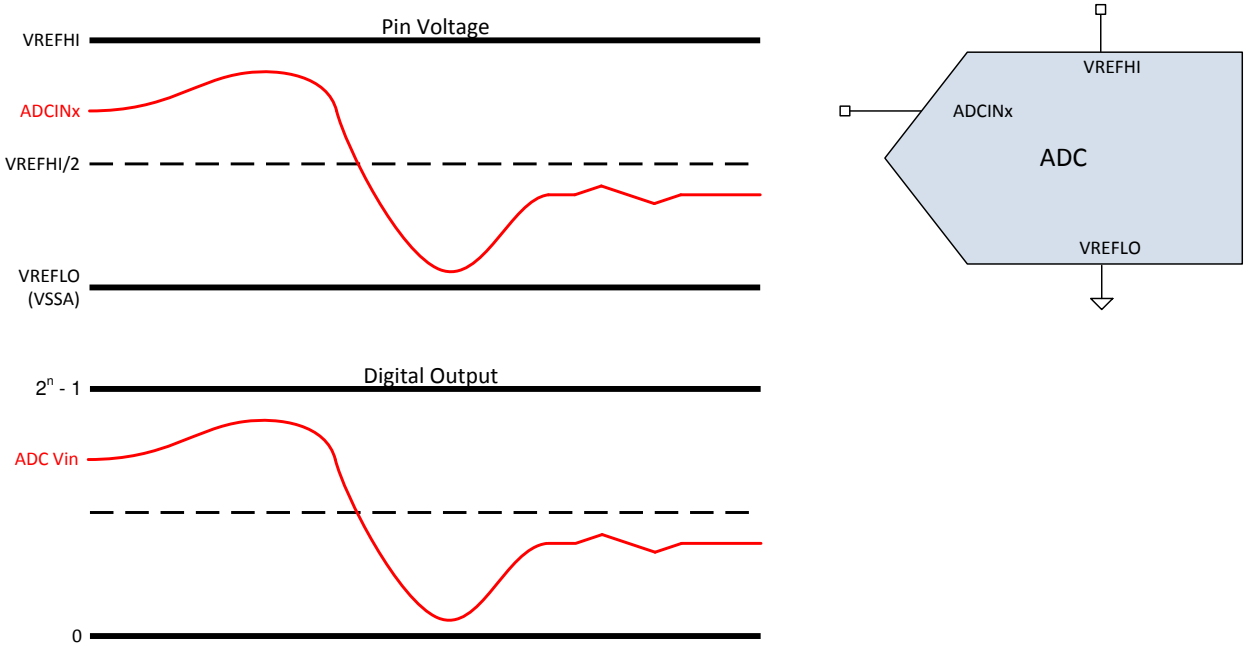


図 6-35. シングルエンド信号モード

Copyright © 2026 Texas Instruments Incorporated

6.9.1.2 ADC の電気的データおよびタイミング

6.9.1.2.1 ADC の動作条件 (16 ビット差動モード)

推奨動作条件範囲内 (特に記述のない限り)

	最小値	標準値	最大値	単位
ADCCLK (PERx.SYSCLK から生成)	5		50	MHz
サンプル ウィンドウ幅 (ACQPS および PERx.SYSCLK により設定) (1)	320			ns
V_{REFHI}	2.4	2.5 または 3.0	V_{DDA}	V
V_{REFLO}	V_{SSA}	0	V_{SSA}	V
$V_{REFHI} - V_{REFLO}$	2.4		V_{DDA}	V
ADC 入力変換範囲	V_{REFLO}		V_{REFHI}	V
ADC 入力信号の同相電圧(2) (3)	$V_{REFCM} - 50$	V_{REFCM}	$V_{REFCM} + 50$	mV

(1) この他にも、ADC を正しく動作させるためには、サンプル ウィンドウは、少なくとも 1 ADCCLK サイクルにわたって継続する必要があります。
(2) $V_{REFCM} = (V_{REFHI} + V_{REFLO})/2$
(3) ADC の負の入力ピンが V_{SSA} または V_{REFLO} に接続されている場合、V_{REFCM} の要件は満たされません。

注

動作中は、ADC 入力を V_{DDA} + 0.3V よりも低く維持する必要があります。ADC 入力がこのレベルを超えると、デバイス内部の V_{REF} が混乱するおそれがあり、同じ V_{REF} を使用する他の ADC または DAC 入力の結果に影響を及ぼす可能性があります。

注

正常な機能動作を確保するためには、V_{REFHI} ピンを V_{DDA} + 0.3V よりも低く維持する必要があります。V_{REFHI} ピンがこのレベルを超えると、ブロッキング回路が動作することがあり、内部で V_{REFHI} の値が 0V になって、不正確な ADC 変換または DAC 出力が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

6.9.1.2.2 ADC の特性 (16 ビット差動モード)

推奨動作条件範囲内 (特に記述のない限り)(6)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ADC 変換サイクル(1)		29.6		31	ADCCLK
起動時間 (ADCPWDNZ 設定から最初の変換まで)				500	µs
ゲイン誤差		-64	±9	64	LSB
オフセット誤差(2)		-16	±9	16	LSB
チャネル間ゲイン誤差			±6		LSB
チャネル間オフセット誤差			±3		LSB
ADC 間ゲイン誤差	すべての ADC で同一の V_{REFHI} および V_{REFLO}		±6		LSB
ADC 間ゲイン誤差	すべての ADC で同一の V_{REFHI} および V_{REFLO}		±3		LSB
DNL(3)		> -1	±0.5	1	LSB
INL		-3	±1.5	3	LSB
SNR(4) (11)	V_{REFHI} = 2.5V、f_{in} = 10 kHz		90.2		dB
THD(4) (11)	V_{REFHI} = 2.5V、f_{in} = 10 kHz		-105		dB
SFDR(4) (11)	V_{REFHI} = 2.5V、f_{in} = 10 kHz		106		dB
SINAD(4) (11)	V_{REFHI} = 2.5V、f_{in} = 10 kHz		90.0		dB
ENOB(4) (11)	V_{REFHI} = 2.5V、f_{in}= 10kHz、単一 ADC(7)		14.65		ビット
	V_{REFHI} = 2.5V、f_{in} = 10kHz、同期 ADC(8)		14.65		
	V_{REFHI} = 2.5V、f_{in} = 10kHz、非同期 ADC(9)		非対応		
PSRR	V_{DDA} = 3.3V DC + 200mV DC から 1kHz の正弦波まで		77		dB
PSRR	V_{DDA} = 3.3V DC + 200mV 800kHz の正弦波		74		dB
CMRR	DC～1 MHz		60		dB
V_{REFHI} 入力電流			190		µA
ADC 間絶縁(11) (5) (10)	V_{REFHI} = 2.5V、同期 ADC(8)	-2		2	LSB
	V_{REFHI} = 2.5V、非同期 ADC(9)		非対応		

(1) セクション 6.9.1.2.7 参照。
(2) ADCINP = ADCINn = V_{REFCM} の場合の変換結果 32768 との差。
(3) ミッシング コードなし。
(4) AC パラメータは、クロック ソースの精度とジッタの影響を受けます。システムのクロック ソースを選択するときは、この点を考慮する必要があります。これらのパラメータ設定時に使用したクロック ソースは、PLL により供給される高精度の外部クロックです。オンチップの内部発振器は、外部水晶振動子よりもジッタが大きいので、クロック ソースとして使用すると、これらのパラメータは劣化します。
(5) 複数 ADC の同時動作による最大 DC コード偏差。
(6) 標準値は、V_{REFHI} = 2.5V および V_{REFLO} = 0V で測定しています。最小値と最大値は、V_{REFHI} = 2.5V および V_{REFLO} = 0V でテストまたは特性評価しています。
(7) 1 つの ADC が動作、他のすべての ADC がアイドル状態。
(8) すべての ADC が、同じ ADCCLK、S+H 間隔、トリガ、分解能で動作。
(9) いずれかの ADC が、異なる ADCCLK、S+H 間隔、トリガ、または分解能で動作。
(10) 特性評価に基づく値。
(11) 容量性結合とクロストークを低減するためのベスト プラクティスの一部として、ADC 入力と V_{REFHI} ピンに隣接するピンの I/O アクティビティを最小限に抑えます。

Copyright © 2026 Texas Instruments Incorporated

6.9.1.2.3 ADC の動作条件 (12 ビット シングルエンド モード)

推奨動作条件範囲内 (特に記述のない限り)

	最小値	標準値	最大値	単位
ADCCLK (PERx.SYSCLK から生成)	5		50	MHz
サンプル ウィンドウ幅 (ACQPS および PERx.SYSCLK により設定) (1)	75			ns
V_{REFHI}	2.4	2.5 または 3.0	V_{DDA}	V
V_{REFLO}	V_{SSA}	0	V_{SSA}	V
$V_{REFHI} - V_{REFLO}$	2.4		V_{DDA}	V
ADC 入力変換範囲	V_{REFLO}		V_{REFHI}	V

(1) この他にも、ADC を正しく動作させるためには、サンプル ウィンドウは、少なくとも 1 ADCCLK サイクルにわたって継続する必要があります。

注

動作中は、ADC 入力を V_{DDA} + 0.3V よりも低く維持する必要があります。ADC 入力がこのレベルを超えると、デバイス内部の V_{REF} が混乱するおそれがあり、同じ V_{REF} を使用する他の ADC または DAC 入力の結果に影響を及ぼす可能性があります。

注

正常な機能動作を確保するためには、V_{REFHI} ピンを V_{DDA} + 0.3V よりも低く維持する必要があります。V_{REFHI} ピンがこのレベルを超えると、ブロッキング回路が動作することがあり、内部で V_{REFHI} の値が 0V になって、不正確な ADC 変換または DAC 出力が発生する可能性があります。

6.9.1.2.4 ADC の特性 (12 ビット シングルエンド モード)

推奨動作条件範囲内 (特に記述のない限り)(5)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ADC 変換サイクル(1)		10.1		11	ADCCLK
パワーアップ時間				500	µs
ゲイン誤差		-5	±3	5	LSB
オフセット誤差		-4	±2	4	LSB
チャネル間ゲイン誤差			±4		LSB
チャネル間オフセット誤差			±2		LSB
ADC 間ゲイン誤差	すべての ADC で同一の V_{REFHI} および V_{REFLO}		±4		LSB
ADC 間ゲイン誤差	すべての ADC で同一の V_{REFHI} および V_{REFLO}		±2		LSB
DNL(2)		> -1	±0.5	1	LSB
INL		-2	±1.0	2	LSB
SNR(3) (10)	V_{REFHI} = 2.5V、f_{in} = 100 kHz		69.1		dB
THD(3) (10)	V_{REFHI} = 2.5V、f_{in} = 100 kHz		-88		dB
SFDR(3) (10)	V_{REFHI} = 2.5V、f_{in} = 100 kHz		89		dB
SINAD(3) (10)	V_{REFHI} = 2.5V、f_{in} = 100 kHz		69.0		dB

Copyright © 2026 Texas Instruments Incorporated

6.9.1.2.4 ADC の特性 (12 ビット シングルエンド モード) (続き)

推奨動作条件範囲内 (特に記述のない限り)(5)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ENOB(3) (10)	V_{REFHI} = 2.5V、f_{in} = 100 kHz、単一 ADC(6)、すべてのパッケージ		11.2		ビット
	V_{REFHI} = 2.5V、f_{in} = 100kHz、同期 ADC(7)、すべてのパッケージ		11.2		
	V_{REFHI} = 2.5V、f_{in} = 100kHz、非同期 ADC(8)、176 ピン PTP パッケージ		9.7		
PSRR	V_{DDA} = 3.3V DC + 200mV DC から 1kHz の正弦波まで		60		dB
PSRR	V_{DDA} = 3.3V DC + 200mV 800kHz の正弦波		57		dB
ADC 間絶縁(10) (4) (9)	V_{REFHI} = 2.5V、同期 ADC(7)、すべてのパッケージ	-1		1	LSB
	V_{REFHI} = 2.5V、非同期 ADC(8)、176 ピン PTP パッケージ	-9		9	
V_{REFHI} 入力電流			130		µA

(1) 「*ADC タイミング図*」セクションを参照してください。
(2) ミッシング コードなし。
(3) AC パラメータは、クロック ソースの精度とジッタの影響を受けます。システムのクロック ソースを選択するときは、この点を考慮する必要があります。これらのパラメータ設定時に使用したクロック ソースは、PLL により供給される高精度の外部クロックです。オンチップの内部発振器は、外部水晶振動子よりもジッタが大きいので、クロック ソースとして使用すると、これらのパラメータは劣化します。
(4) 複数 ADC の同時動作による最大 DC コード偏差。
(5) 標準値は、V_{REFHI} = 2.5V および V_{REFLO} = 0V で測定しています。最小値と最大値は、V_{REFHI} = 2.5V および V_{REFLO} = 0V でテストまたは特性評価しています。
(6) 1 つの ADC が動作、他のすべての ADC がアイドル状態。
(7) すべての ADC が、同じ ADCCLK、S+H 間隔、トリガ、分解能で動作。
(8) いずれかの ADC が、異なる ADCCLK、S+H 間隔、トリガ、または分解能で動作。
(9) 特性評価に基づく値。
(10) 容量性結合とクロストークを低減するためのベスト プラクティスの一部として、ADC 入力と V_{REFHI} ピンに隣接するピンの I/O アクティビティを最小限に抑えます。

6.9.1.2.5 ADCEXTSOC のタイミング要件

			最小値(1)	最大値	単位
$t_{w(INT)}$	パルス幅、INT 入力 Low/High	同期	$2t_{c(SYSCLK)}$		サイクル
		クオリファイヤあり	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$		サイクル

(1) 入力フィルタ パラメータの説明については、セクション 6.8.8.2.1 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.9.1.2.6 ADC 入力モデル

注

ADC チャネル ADCINA0、ADCINA1、ADCINB1 には、V_{SSA} との間に 50kΩ のプルダウン抵抗があります。

差動動作の場合の ADC 入力特性は、セクション 6.9.1.2.6.1 および 図 6-36 に示すとおりです。

6.9.1.2.6.1 差動入力モデル パラメータ

	説明	値 (16 ビット モード)
C_p	寄生入力容量	表 6-12 を参照
R_{on}	サンプリング スイッチ抵抗	700Ω
C_h	サンプリング コンデンサ	16.5pF
R_s	公称ソース インピーダンス	50Ω

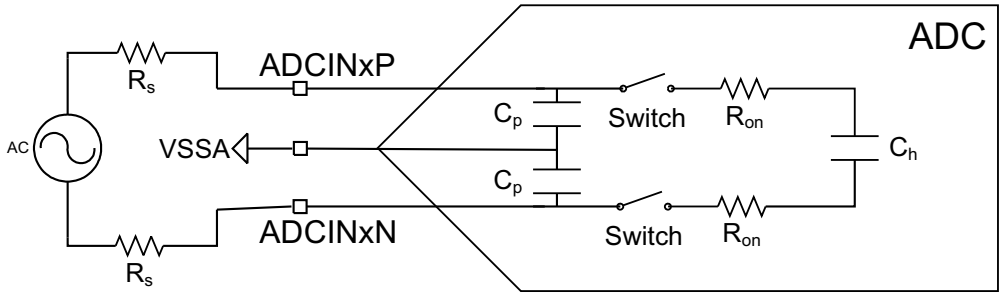


図 6-36. 差動入力モデル

シングルエンド動作の場合、ADC 入力特性は、*シングルエンド入力モデルのパラメータ 2837xD、2837xS、SopranoSEP、SopranoEP* のおよび図 6-37 で指定されます。

6.9.1.2.6.2 シングルエンド入力モデルのパラメータ

	説明	値 (12 ビット モード)
C_p	寄生入力容量	表 6-12 を参照
R_{on}	サンプリング スイッチ抵抗	425Ω
C_h	サンプリング コンデンサ	14.5pF
R_s	公称ソース インピーダンス	50Ω

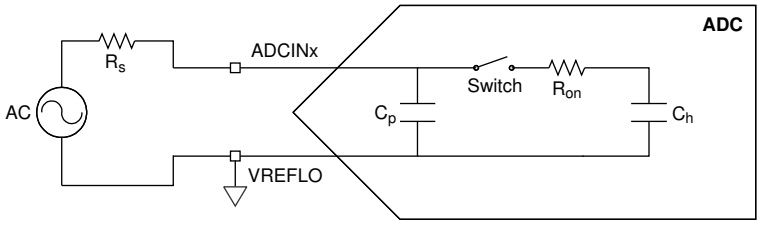


図 6-37. シングルエンド入力モデル

表 6-12 に、各チャネルの寄生容量を示します。また、コンパレータを有効にすると、正のコンパレータ入力に約 1.4pF の容量が、負のコンパレータ入力に 2.5pF の容量が追加されます。

表 6-12. チャネルごとの寄生容量

ADC チャネル	C_p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
ADCINA0	12.9	該当なし
ADCINA1	10.3	該当なし
ADCINA2	5.9	7.3
ADCINA3	6.3	8.8
ADCINA4	5.9	7.3
ADCINA5	6.3	8.8
ADCINB0(1)	117.0	該当なし
ADCINB1	10.6	該当なし
ADCINB2	5.9	7.3
ADCINB3	6.2	8.7
ADCINB4	5.2	該当なし
ADCINB5	5.1	該当なし
ADCINC2	5.5	6.9
ADCINC3	5.8	8.3
ADCINC4	5.0	6.4
ADCINC5	5.3	7.8
ADCIND0	5.3	6.7
ADCIND1	5.7	8.2
ADCIND2	5.3	6.7
ADCIND3	5.6	8.1
ADCIND4	4.3	該当なし
ADCIND5	4.3	該当なし
ADCIN14	8.6	10.0
ADCIN15	9.0	11.5

(1) 容量の増加は、VDAC 機能によるものです。

これらの入力モデルは、アクイジション ウィンドウの幅を決定する際に、実際の信号ソース インピーダンスと合わせて使用する必要があります。詳細については、『TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「アクイジション ウィンドウ幅の選択」セクションを参照してください。ADC 回路の性能評価の詳細については、『C2000 ADC 用の電荷共有駆動回路』および『C2000 MCU 用の ADC 入力回路の評価』も参照してください。

ユーザーは、C_h のワーストケース初期条件を想定して、ADC 入力設定を分析する必要があります。そのためには、C_h が V_{REFHI} に完全に充電されるか、または V_{REFLO} に完全に放電された状態で、S+H ウィンドウを開始すると仮定することになります。ADC が奇数番号のチャネルから偶数番号のチャネルに遷移する場合、またはその逆の場合、C_h の実際の初期電圧は、V_{REFLO} に完全に放電された状態に近くなります。偶数から偶数、または奇数から奇数へのチャネル遷移では、C_h の初期電圧は、以前に変換されたチャネルの電圧に近くなります。

Copyright © 2026 Texas Instruments Incorporated

6.9.1.2.7 ADC のタイミング図

セクション 6.9.1.2.7.1 に、12 ビット モード (SYSCLK サイクル) での ADC タイミングを示します。セクション 6.9.1.2.7.2 に、16 ビット モードでの ADC タイミングを示します。図 6-38 および 図 6-39 に、以下の前提による 2 つの SOC の ADC 変換タイミングを示します。

- SOC0 および SOC1 は、同じトリガを使用するように構成されています。
- トリガが発生したときに、他の SOC が変換中または保留中になっていることはありません。
- ラウンド ロビン ポインタは、最初に SOC0 で変換が発生する状態になっています。
- ADCINTSEL は、SOC0 の変換終了時に ADCINT フラグを設定するように構成されています (このフラグを CPU に通知して割り込みを発生させるかどうかは、PIE モジュールの構成によって決まります)。

図 6-38 および 図 6-39 に示した ADC タイミング パラメータの説明を 表 6-13 に記載します 。

表 6-13. ADC タイミング パラメータ

パラメータ	説明
t_{SH}	S+H ウィンドウの幅。 このウィンドウの終了時点における S+H コンデンサでの値が、デジタル値に変換される電圧になります。この時間は、(ACQPS + 1) SYSCLK サイクルで与えられます。ACQPS は、各 SOC に対して個別に構成できるため、異なる SOC の t_{SH} は、同じであるとは限りません。 **注:** デバイスのクロック設定に関係なく、S+H コンデンサでの値は、S+H ウィンドウ終了の約 5ns 前にキャプチャされます。
t_{LAT}	S+H ウィンドウ終了から、ADC 変換結果が ADCRESULTx レジスタにラッチされるまでの時間。 この時間より前に ADCRESULTx レジスタを読み取った場合、前回の変換結果が返されます。
t_{EOC}	S+H ウィンドウの終了から、次の ADC 変換 S+H ウィンドウを開始できるようになるまでの時間。その後は、変換結果がラッチされる前にサンプリングを開始できます。
t_{INT}	S+H ウィンドウの終了から ADCINT フラグが設定されるまでの時間 (そのように構成されている場合)。 ADCCTL1 レジスタの INTPULSEPOS ビットが設定されている場合、t_{INT} は変換結果が結果レジスタにラッチされる時点と一致します。 INTPULSEPOS ビットが 0 の場合、t_{INT} は、S+H ウィンドウの終了時点と一致します。t_{INT} によって ADC 結果レジスタの読み取りがトリガされる場合 (DMA を使用して直接、または結果を読み取る ISR をトリガして間接的に)、結果がラッチされた後に読み取りが発生するように注意する必要があります (そうでなければ、前回の結果が読み取られます)。

Copyright © 2026 Texas Instruments Incorporated

6.9.1.2.7.1 12 ビット モードでの ADC タイミング (SYSCLK サイクル)

ADCCLK プリスケール		SYSCLK サイクル				ADCCLK サイクル
ADCCTL2 [プリスケール]	比率 ADCCLK:SYSCLK	t_{EOC}	t_{LAT} (1)	$t_{INT(EARLY)}$	$t_{INT(LATE)}$	t_{EOC}
0	1	11	13	1	11	11.0
1	1.5	無効				
2	2	21	23	1	21	10.5
3	2.5	26	28	1	26	10.4
4	3	31	34	1	31	10.3
5	3.5	36	39	1	36	10.3
6	4	41	44	1	41	10.3
7	4.5	46	49	1	46	10.2
8	5	51	55	1	51	10.2
9	5.5	56	60	1	56	10.2
10	6	61	65	1	61	10.2
11	6.5	66	70	1	66	10.2
12	7	71	76	1	71	10.1
13	7.5	76	81	1	76	10.1
14	8	81	86	1	81	10.1
15	8.5	86	91	1	86	10.1

(1) 『TMS320F2837xD デュアルコア リアルタイム MCU シリコン エラッタ』に記載されている「ADC: 古いデータの DMA 読み出し」アドバイザリを参照。

Copyright © 2026 Texas Instruments Incorporated

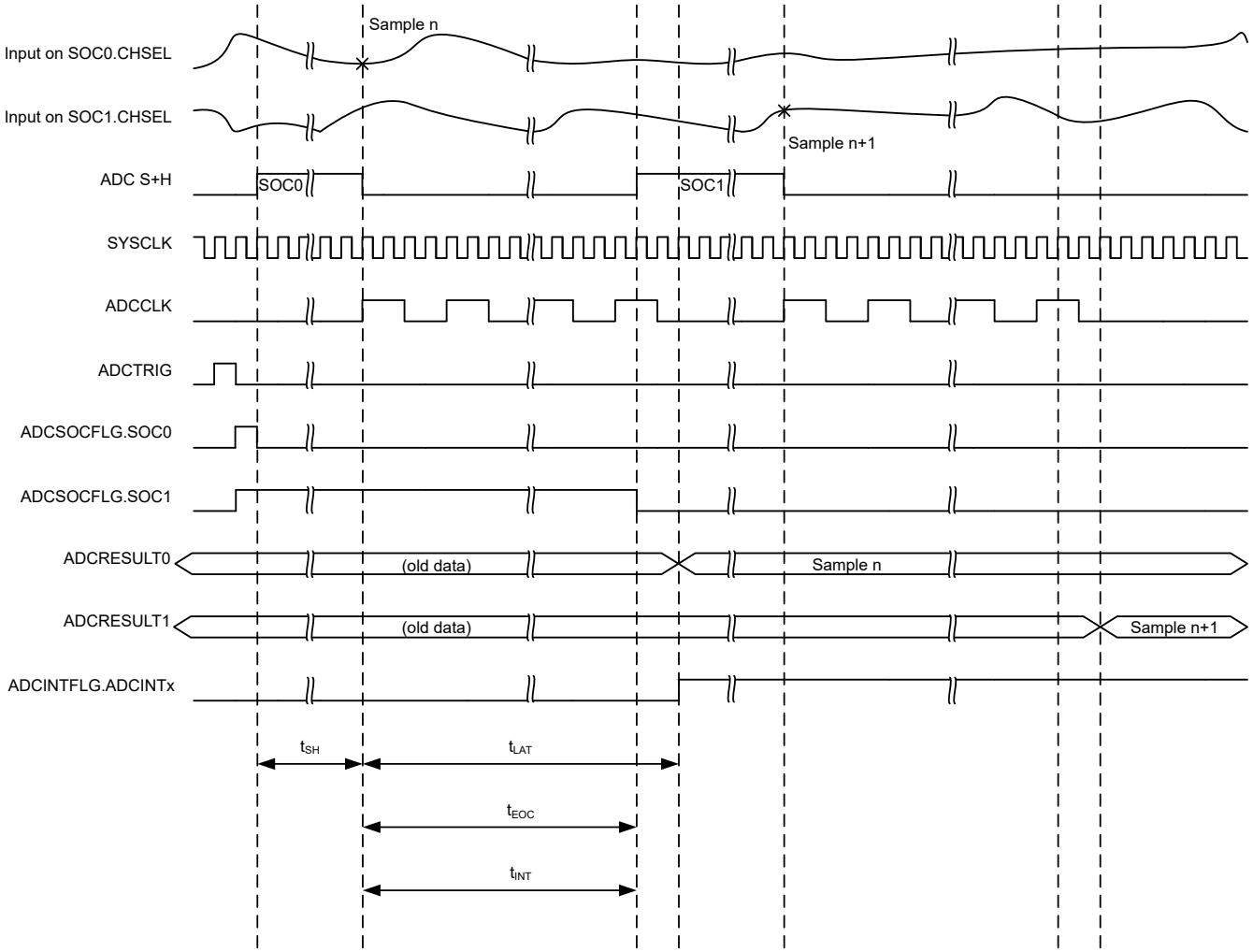


図 6-38. 12 ビット モードでの ADC タイミング

6.9.1.2.7.2 16 ビット モードでの ADC タイミング

ADCCLK プリスケール		SYSCLK サイクル				ADCCLK サイクル
ADCCTL2 [プリスケール]	比率 ADCCLK:SYSCLK	t_{EOC}	t_{LAT} (1)	$t_{INT(EARLY)}$	$t_{INT(LATE)}$	t_{EOC}
0	1	31	32	1	31	31.0
1	1.5	無効				
2	2	60	61	1	60	30.0
3	2.5	75	75	1	75	30.0
4	3	90	91	1	90	30.0
5	3.5	104	106	1	104	29.7
6	4	119	120	1	119	29.8
7	4.5	134	134	1	134	29.8
8	5	149	150	1	149	29.8
9	5.5	163	165	1	163	29.6
10	6	178	179	1	178	29.7
11	6.5	193	193	1	193	29.7
12	7	208	209	1	208	29.7
13	7.5	222	224	1	222	29.6
14	8	237	238	1	237	29.6
15	8.5	252	252	1	252	29.6

(1) 『TMS320F2837xD デュアルコア リアルタイム MCU シリコン エラッタ』に記載されている「ADC：古いデータの DMA 読み出し」アドバイザリを参照。

Copyright © 2026 Texas Instruments Incorporated

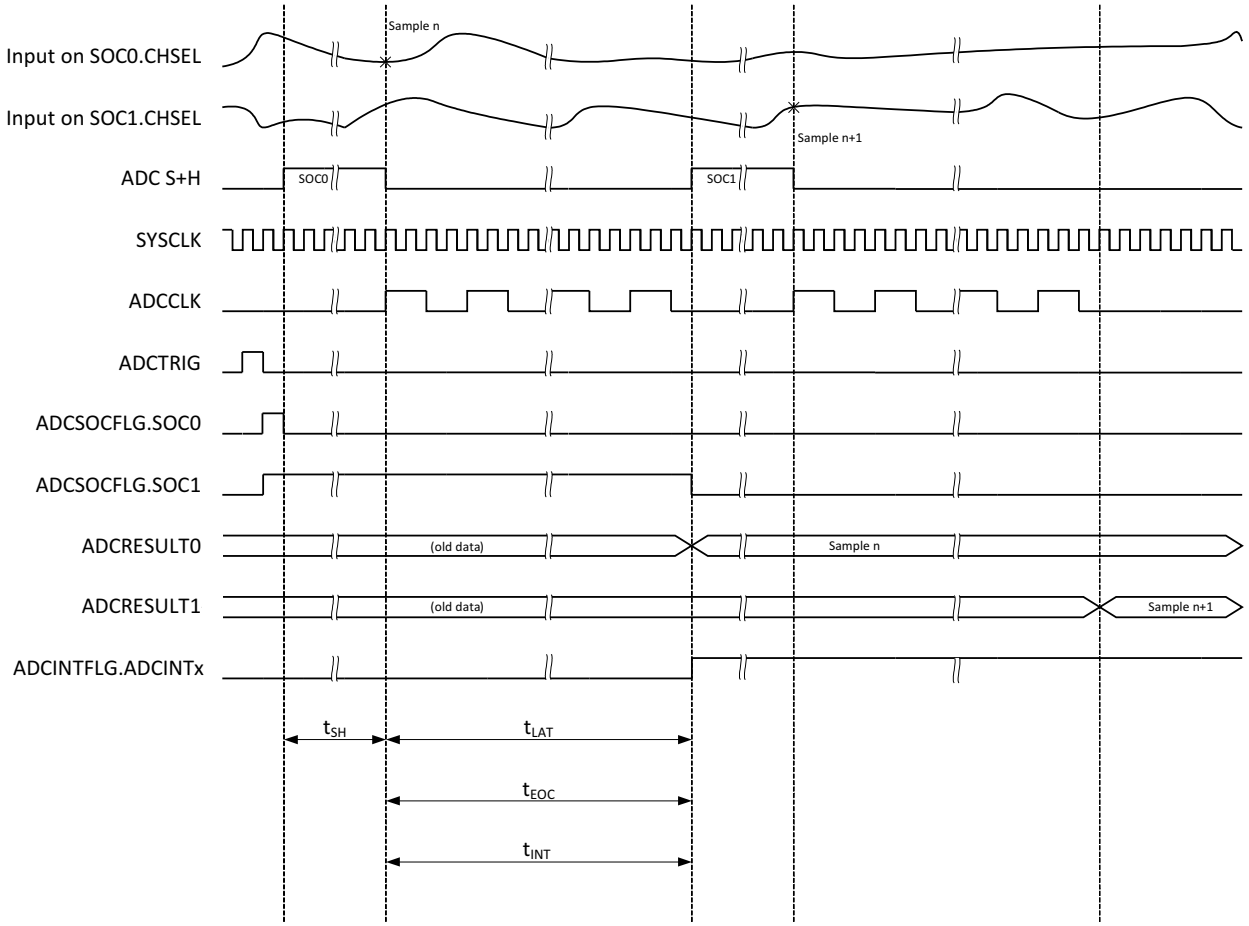


図 6-39. 16 ビット モードでの ADC タイミング

6.9.1.3 温度センサの電気的データおよびタイミング

温度センサを使用して、デバイスの接合部温度を測定できます。温度センサは、ADC への内部接続を介してサンプリングされ、TI が提供するソフトウェアを使用して温度に変換されます。温度センサをサンプリングする場合、ADC は セクション 6.9.1.3.1 に示すアクイジション時間を満たす必要があります。

6.9.1.3.1 温度センサの電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	最小値	標準値	最大値	単位
温度精度		±15		℃
スタートアップ時間 (TSNSCTL[ENABLE] から温度センサのサンプリングまで)		500		µs
ADC アクイジション時間	700			ns

Copyright © 2026 Texas Instruments Incorporated

6.9.2 コンパレータ・サブシステム (CMPSS)

各 CMPSS モジュールには、2 つのコンパレータ、2 つの内部電圧リファレンス DAC (CMPSS DAC)、2 つのデジタル グリッチ フィルタ、1 つのランプ ジェネレータが搭載されています。CMPINxP および CMPINxN の 2 つの入力があります。これらの各入力は、ADCIN ピンに内部的に接続されます。CMPINxP ピンは、常に CMPSS コンパレータの正の入力に接続されています。DAC 出力の代わりに CMPINxN を使用して、負のコンパレータ入力を駆動できます。2 つのコンパレータがあるので、CMPSS モジュールからの 2 つの出力は、デジタル フィルタ モジュールの入力に接続された後、コンパレータ トリップ クロスバー、および、いずれかの PWM モジュールへ、または直接 GPIO ピンへ渡されます。図 6-40 に、176 ピン PTP パッケージでの CMPSS 接続を示します。

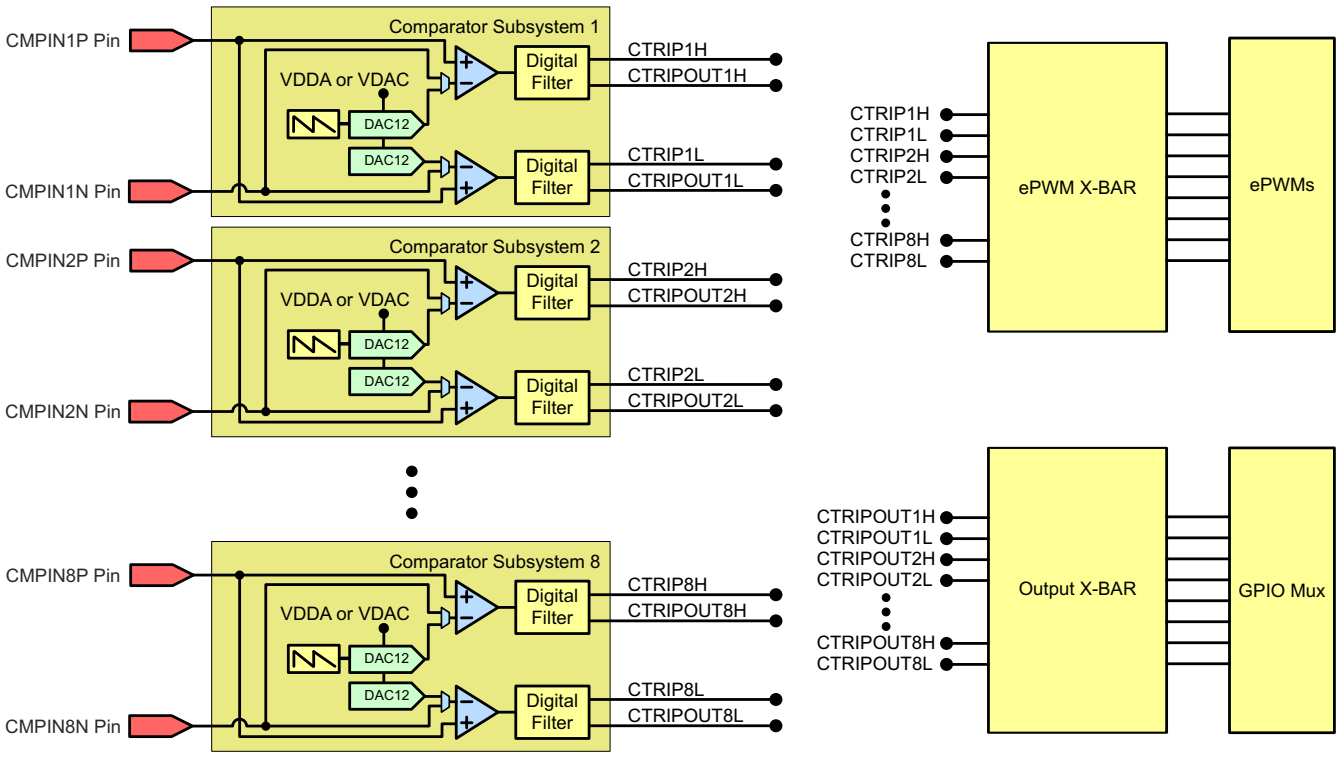


図 6-40. CMPSS 接続 (176 ピン PTP)

6.9.2.1 CMPSS の電気的データおよびタイミング

セクション 6.9.2.1.1 に、コンパレータの電気的特性を示します。図 6-41 に、CMPSS コンパレータの入力換算オフセットを示します。図 6-42 に、CMPSS コンパレータのヒステリシスを示します。

6.9.2.1.1 コンパレータ電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
パワーアップ時間				500(2)	µs
コンパレータ入力 (CMPINxx) 範囲		0		V_{DDA}	V
入力換算オフセット誤差	低同相モード、反転入力は 50mV に設定	-20		20	mV
ヒステリシス (1)	1x	4	12	20	CMPSS DAC LSB
	2x	17	24	33	
	3x	25	36	50	
	4x	30	48	67	
応答時間 (CMPINx 入力変化から ePWM クロスバーまたは出力クロスバーの出力までの遅延)	ステップ応答		21	60	ns
	ランプ応答 (1.65 V/µs)		26		
	ランプ応答 (8.25 mV/µs)		30		
電源電圧変動除去比 (PSRR)	最高 250kHz		46		dB
同相除去比 (CMRR)		40			dB

(1) 適用するヒステリシスの大きさを決定するための基準として、CMPSS DAC を使用します。したがって、ヒステリシスは CMPSS DAC リファレンス電圧に応じてスケーリングされます。ヒステリシスは、すべてのコンパレータ入力ソース構成で使用できます。
(2) 『TMS320F2837xD デュアルコア リアルタイム MCU シリコン エラッタ』の「アナログ バンドギャップ リファレンス」アドバイザリを参照してください。

注

正常な機能動作を確保するためには、CMPSS 入力を V_{DDA} + 0.3V よりも低く維持する必要があります。CMPSS 入力がこのレベルを超えると、内部ブロッキング回路によって内部コンパレータが外部ピンから絶縁され、外部ピンの電圧が V_{DDA} + 0.3V を下回るまでその状態が続きます。この期間中、内部コンパレータの入力はフローティング状態になり、約 0.5µs 以内に V_{DDA} を下回るまで減衰します。この時間が経過した後、コンパレータは、他のコンパレータ入力の値に応じて、不正確な結果を出力する可能性があります。

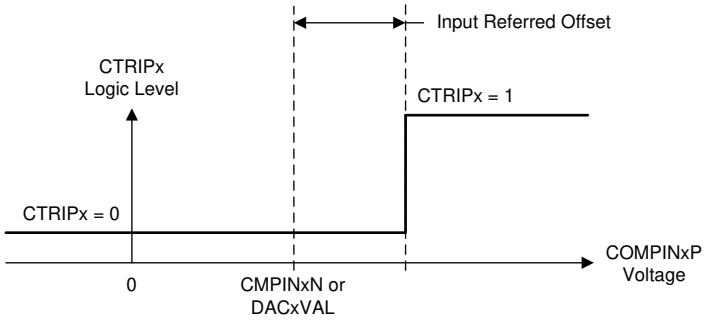


図 6-41. CMPSS コンパレータの入力換算オフセット

Copyright © 2026 Texas Instruments Incorporated

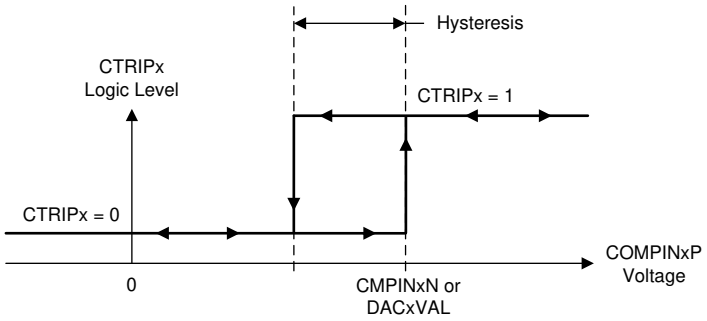


図 6-42. CMSS コンパレータのヒステリシス

セクション 6.9.2.1.2 に、CMPSS DAC の静的電気特性を示します。図 6-43 に、CMPSS DAC の静的オフセットを示します。図 6-44 に、CMPSS DAC の静的ゲインを示します。図 6-45 に、CMPSS DAC の静的直線性を示します。

6.9.2.1.2 CMPSS DAC の静的電気特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
CMPSS DAC 出力範囲	内部リファレンス	0		V_{DDA} (1)	V
	外部リファレンス	0		VDAC	
静的オフセット誤差 (2)		-25		25	mV
静的ゲイン誤差 (2)		-2		2	FSR の %
静的 DNL	エンドポイント補正	>-1		4	LSB
静的 INL	エンドポイント補正	-16		16	LSB
セトリング タイム	フルスケール出力変化後 1LSB にセトリング			1	µs
分解能			12		ビット
CMPSS DAC 出力の外乱 (3)	コンパレータのトリップまたは CMPSS DAC コードの変化によって、同じ CMPSS モジュール内で発生する誤差	-100		100	LSB
CMPSS DAC の外乱時間 (3)			200		ns
VDAC リファレンス電圧	VDAC がリファレンス電圧の場合	2.4	2.5 または 3.0	V_{DDA}	V
VDAC 負荷 (4)	VDAC がリファレンス電圧の場合		6		kΩ

(1) VDAC > V_{DDA} の場合、最大出力電圧は V_{DDA} です。
(2) コンパレータの入力換算誤差を含みます。
(3) コンパレータのトリップ後、一定時間にわたって CMPSS DAC 出力に外乱誤差が生じることがあります。
(4) アクティブな CMPSS モジュール 1 個あたり。

Copyright © 2026 Texas Instruments Incorporated

注

図は縮尺どおりに描かれていません。

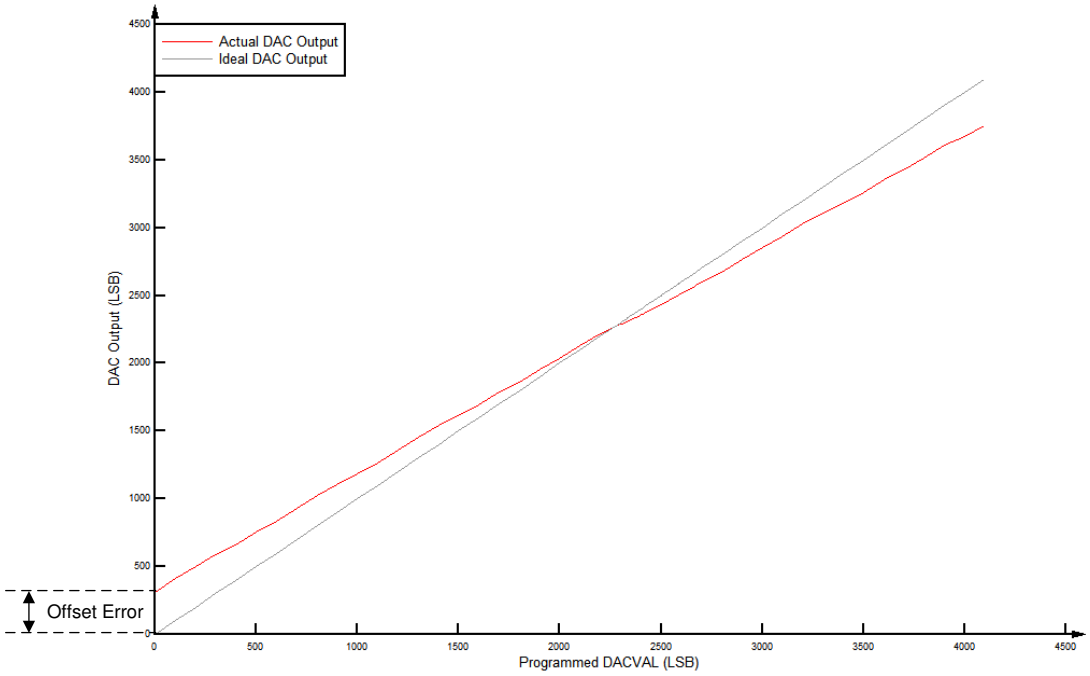


図 6-43. CMPSS DAC の静的オフセット

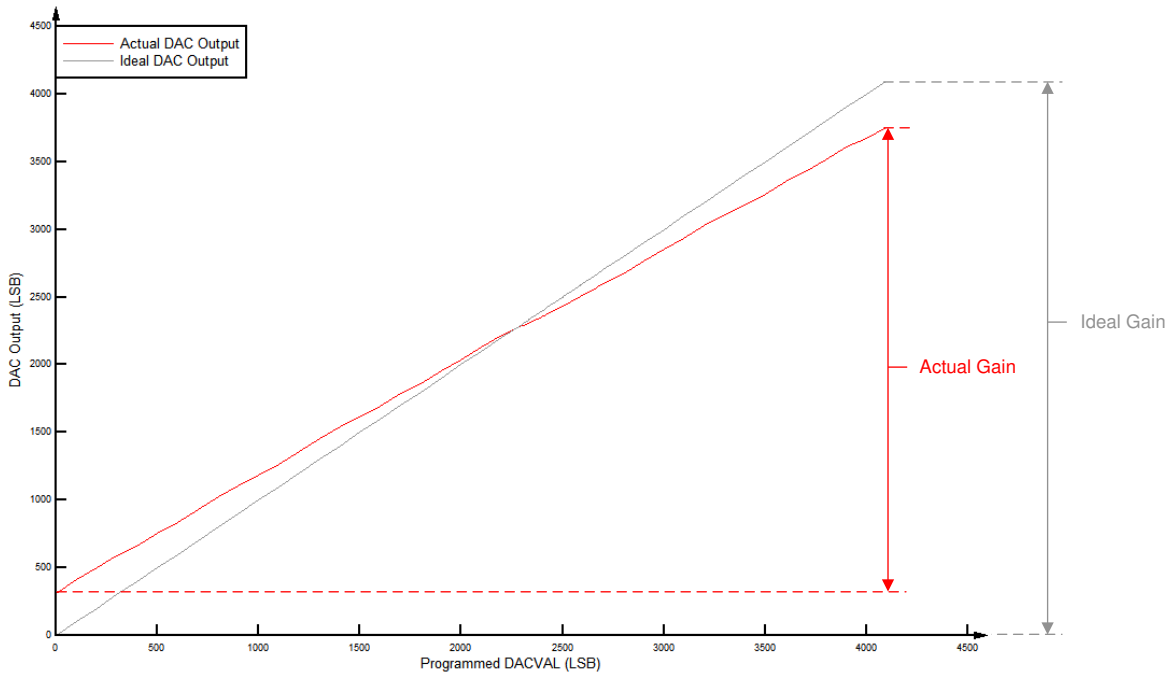


図 6-44. CMPSS DAC の静的ゲイン

Copyright © 2026 Texas Instruments Incorporated

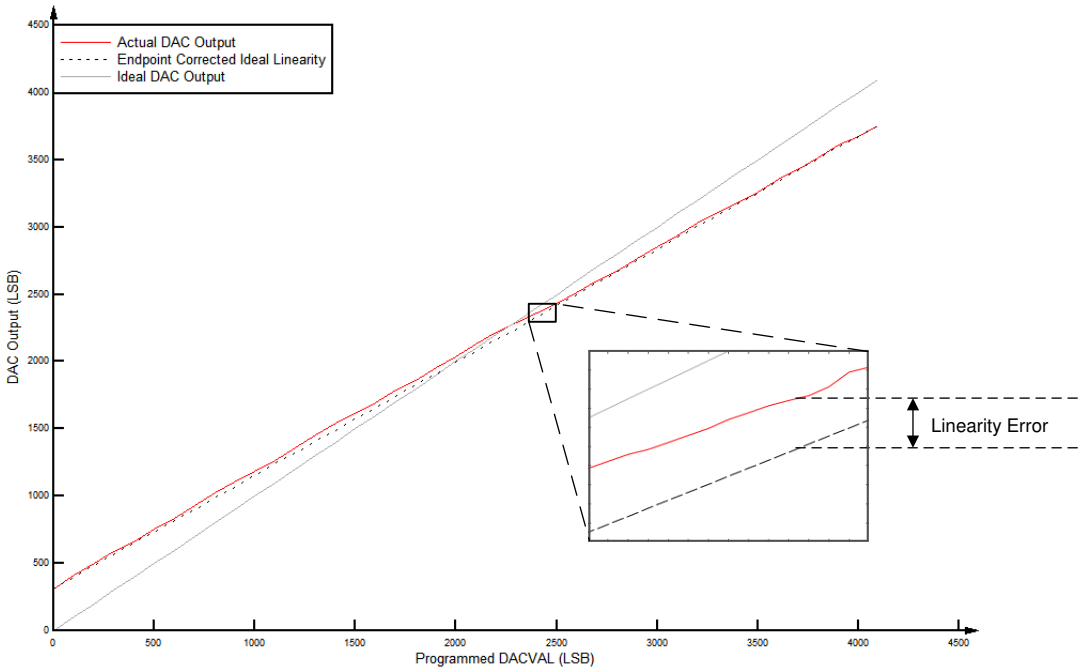


図 6-45. CMPSS DAC の静的直線性

6.9.3 バッファ付き D/A コンバータ (DAC)

バッファ付き DAC モジュールは、内部 12 ビット DAC と、外部負荷を駆動できるアナログ出力バッファで構成されています。DAC 出力にプルダウン抵抗が内蔵されているため、出力バッファがディセーブルされたときに既知のピン電圧を供給できます。このプルダウン抵抗はディセーブルできず、他の共有ピン多重化機能を使う場合でも、ピン上の受動部品として残っています。DAC 値レジスタへのソフトウェア書き込みは、直ちに有効にすることもでき、また、EPWMSYNCPER イベントと同期させることもできます。

各バッファ付き DAC には次のような機能があります。

- 12 ビットのプログラマブル内部 DAC
- 選択可能な基準電圧
- 出力にプルダウン抵抗
- EPWMSYNCPER と同期可能

バッファ付き DAC のブロック図を 図 6-46 に示します。

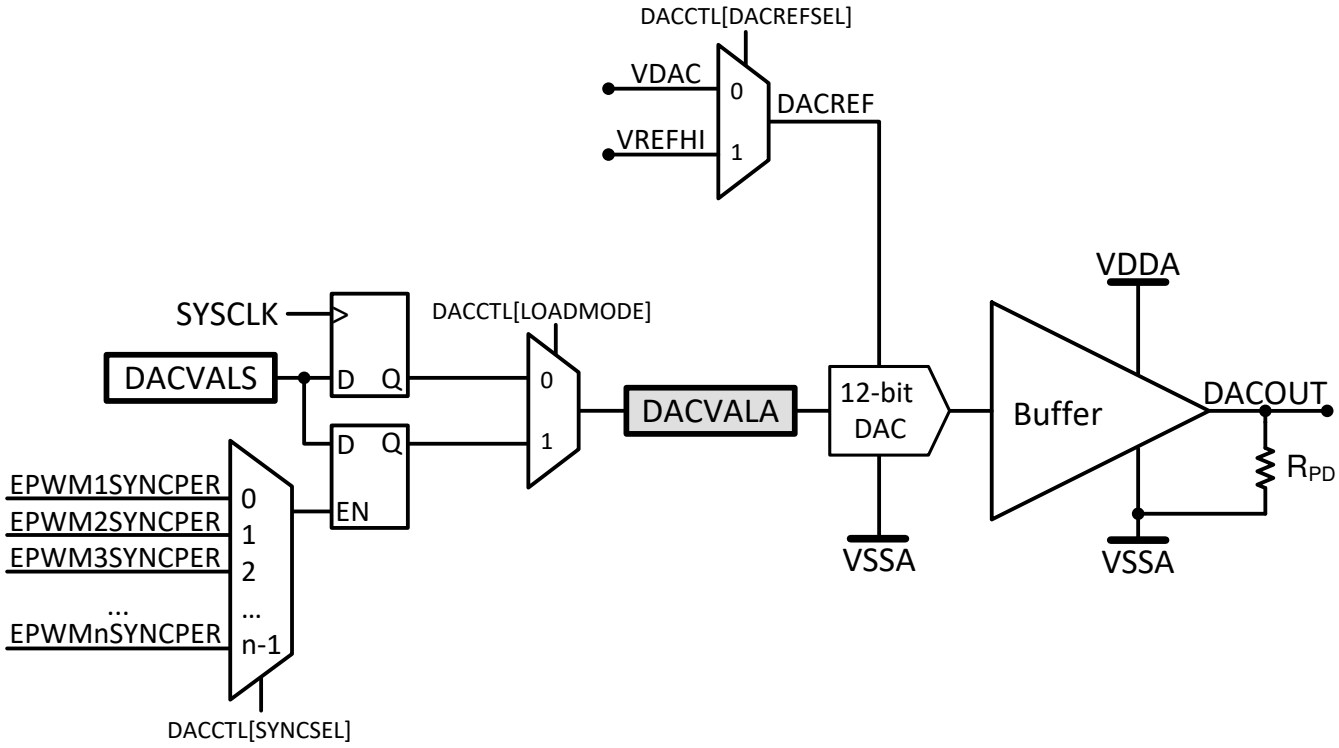


図 6-46. DAC モジュールのブロック図

Copyright © 2026 Texas Instruments Incorporated

6.9.3.1 バッファ付き DAC の電気的データおよびタイミング

セクション 6.9.3.1.1 に、バッファ付き DAC の電気的特性を示します。図 6-47 に、バッファ付き DAC のオフセットを示します。図 6-48 に、バッファ付き DAC のゲインを示します。図 6-49 に、バッファ付き DAC の直線性を示します。

6.9.3.1.1 バッファ付き DAC の電気的特性

推奨動作条件範囲内 (特に記述のない限り)(1)

パラメータ	テスト条件	最小値	標準値	最大値	単位
パワーアップ時間				500(8)	µs
オフセット誤差	中点	-10		10	mV
ゲイン誤差(2)		-2.5		2.5	FSR の %
DNL(3)	エンドポイント補正	> -1	±0.4	1	LSB
INL	エンドポイント補正	-5	±2	5	LSB
DACOUTx セトリング時間	0.3V から 3V への遷移後 2LSB にセトリング		2		µs
分解能			12		ビット
電圧出力範囲(4)		0.3		V_{DDA} – 0.3	V
容量性負荷	出力駆動能力			100	pF
抵抗性負荷	出力駆動能力	5			kΩ
R_{PD} プルダウン抵抗			50		kΩ
基準電圧(5)	VDAC または V_{REFHI}	2.4	2.5 または 3.0	V_{DDA}	V
基準電圧入力抵抗(6)	VDAC または V_{REFHI}		170		kΩ
出力ノイズ電圧	100Hz～100kHz の積分ノイズ		500		µVrms
	10kHz でのノイズ密度		711		nVrms/√Hz
グリッチ エネルギー			1.5		V-ns
PSRR(7)	DC：最大 1kHz		70		dB
	100kHz		30		
SNR	1020Hz		67		dB
THD	1020Hz		-63		dB
SFDR	1020Hz、高調波とスプリアスを含む		66		dBc
	1020Hz、スプリアスのみを含む		104		

(1) 特記のない限り、標準値は、V_{REFHI}= 3.3V で測定しています。最小値と最大値は、V_{REFHI} = 2.5V でテストまたは特性評価しています。
(2) 線形出力範囲についてゲイン誤差を計算します。
(3) DAC 出力は単調です。
(4) これは DAC の線形出力範囲です。DAC はこの範囲外の電圧を生成できますが、バッファがあるので出力電圧は線形ではありません。
(5) 最高の PSRR 性能を得るためには、VDAC または V_{REFHI} を V_{DDA} 未満にする必要があります。
(6) アクティブなバッファ付き DAC モジュール 1 個あたり。
(7) V_{REFHI} = 3.2V、V_{DDA} = 3.3V DC + 100mV 正弦波。
(8) 『TMS320F2837xD デュアルコア リアルタイム MCU シリコン エラッタ』の「アナログ バンドギャップ リファレンス」アドバイザリを参照してください。

注

正常な機能動作を確保するためには、VDAC ピンを V_{DDA} + 0.3V よりも低く維持する必要があります。VDAC ピンがこのレベルを超えると、ブロッキング回路が動作することがあり、内部で VDAC の値が 0V になって、不正確な DAC 出力が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

注

正常な機能動作を確保するためには、V_{REFHI} ピンを V_{DDA} + 0.3V よりも低く維持する必要があります。V_{REFHI} ピンがこのレベルを超えると、ブロッキング回路が動作することがあり、内部で V_{REFHI} の値が 0V になって、不正確な ADC 変換または DAC 出力が発生する可能性があります。

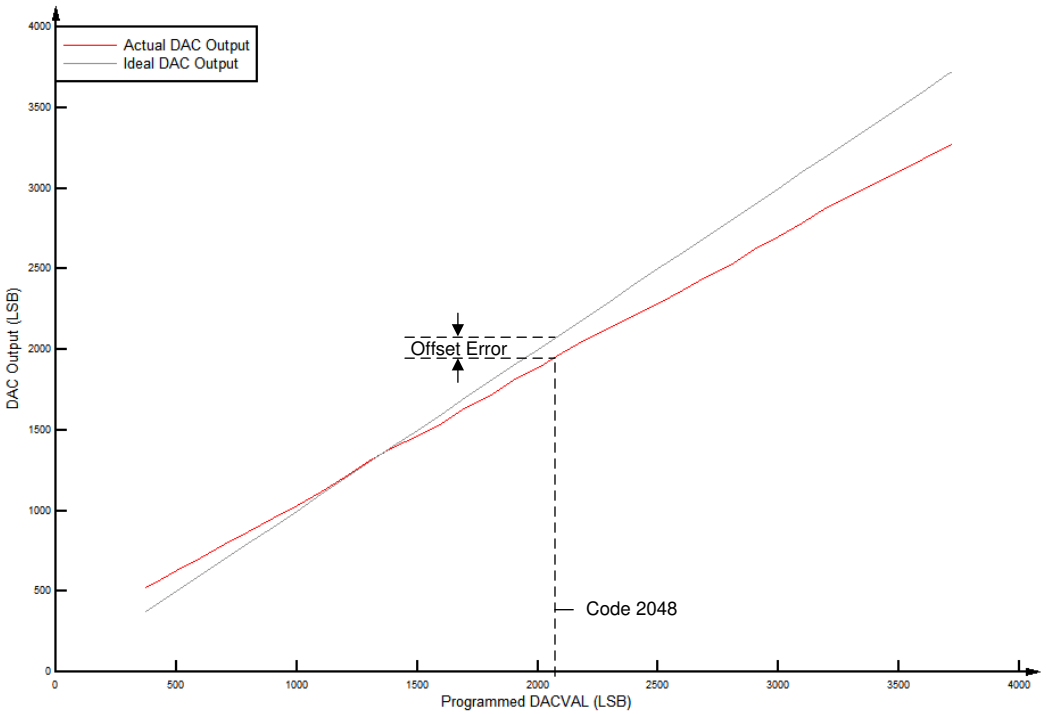


図 6-47. バッファ付き DAC のオフセット

Copyright © 2026 Texas Instruments Incorporated

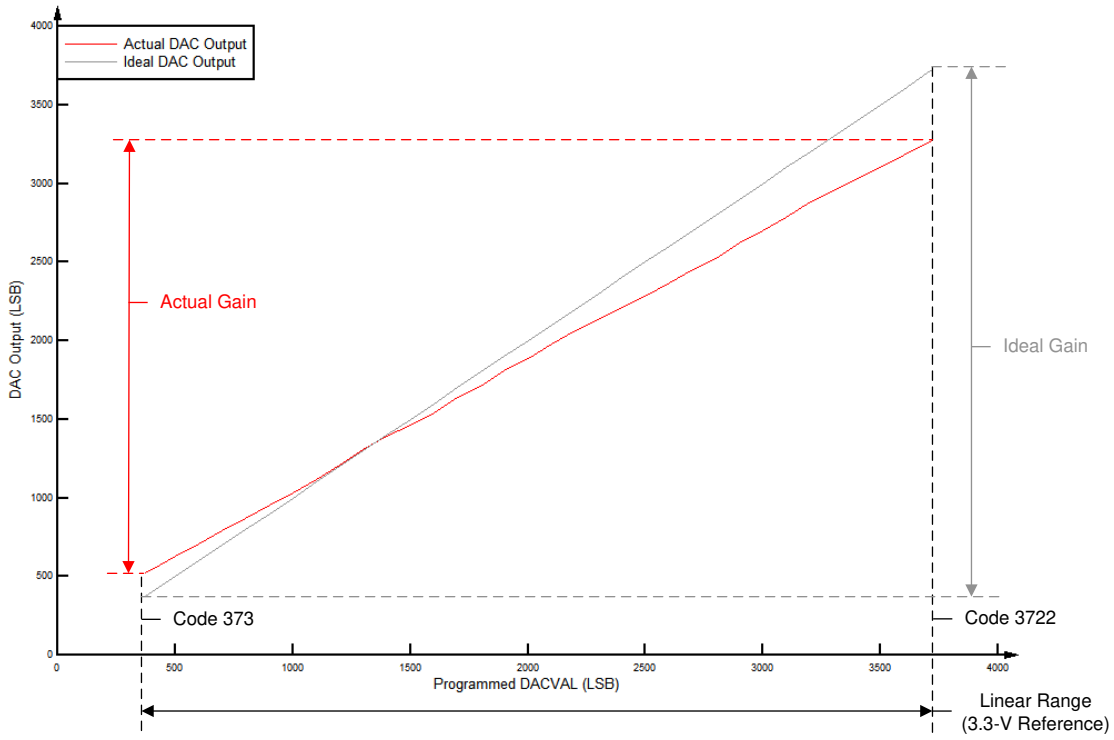


図 6-48. バッファ付き DAC のゲイン

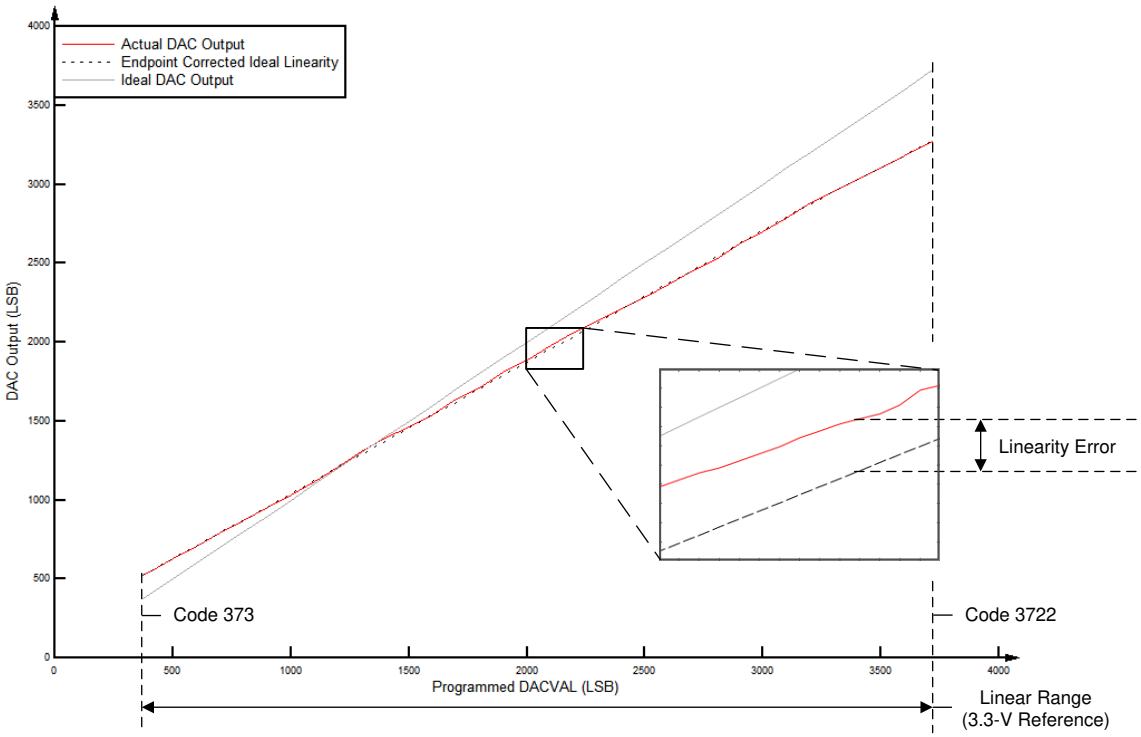


図 6-49. バッファ付き DAC の直線性

6.9.3.2 CMPSS DAC の動的誤差

ランプ生成器を使用して内部 DAC を制御する場合、ステップ サイズはアプリケーションのニーズに応じて変わることがあります。DAC のステップ サイズはフルスケールの遷移より小さいため、セトリング時間は「CMPSS DAC の静的電気特性」の表に記載されている電気的仕様よりも改善されます。次の式と 図 6-50 は、さまざまな RAMPxDECVALA の値について、電圧の推定値と理想値との誤差に関する指針を示しています。

$$DYNAMICERROR = (m \times RAMPxDECVALA) + b \quad (5)$$

表 6-14. DAC の最大動的誤差項

式のパラメータ	最小値 (LSB)	最大値 (LSB)
m	0.167	0.30
b	3.7	5.6

注

上記の誤差項は、ターゲット デバイスの最大 SYSCLK に基づいています。最大 SYSCLK を下回る場合は、それに応じて「m」の誤差項をスケーリングする必要があります。

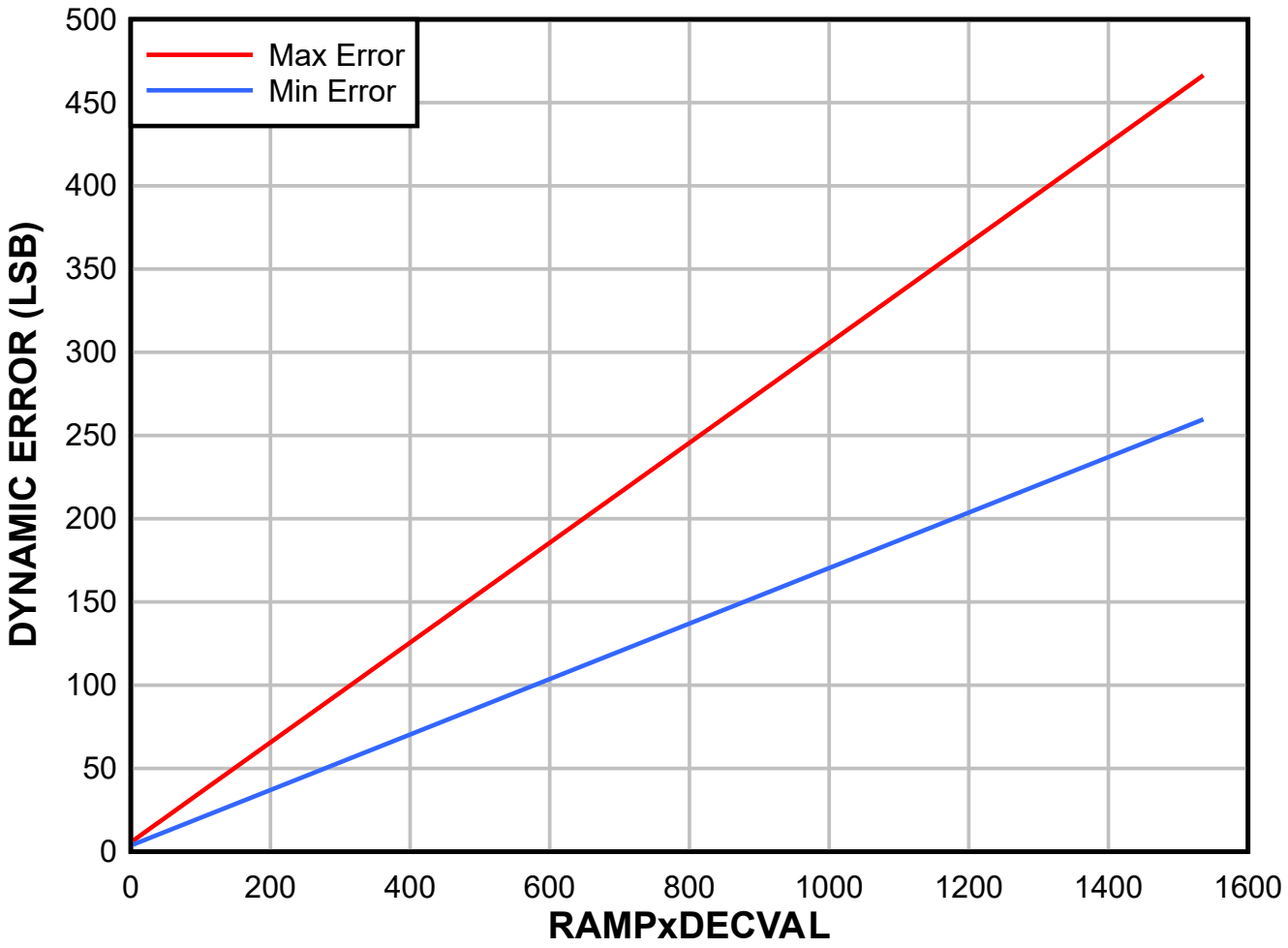


図 6-50. CMPSS DAC の動的誤差

Copyright © 2026 Texas Instruments Incorporated

6.10 制御ペリフェラル

注

特定のデバイスにおける各ペリフェラルの実際の数については、デバイス比較表を参照してください。

6.10.1 拡張キャプチャ (eCAP)

eCAP モジュールは、外部イベントの正確なタイミングが重要であるシステムで使用できます。

eCAP の用途は以下のとおりです。

- 回転機械の速度測定 (たとえば、歯付きスプロケットをホール・センサで検知)
- 位置センサ・パルス間の経過時間測定
- パルス列信号の周期およびデューティ・サイクル測定
- デューティ・サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号

eCAP モジュールの主な機能は次のとおりです。

- 4 つのイベント・タイムスタンプ・レジスタ (各 32 ビット)
- 最大 4 つの順序付きタイムスタンプ・キャプチャ・イベントのエッジ極性選択
- 4 つのイベントのいずれかが発生したときの割り込み
- 最大 4 つのイベント・タイムスタンプのシングル・ショット・キャプチャ
- 深さ 4 の循環バッファでのタイムスタンプの連続モード・キャプチャ
- 絶対タイムスタンプ・キャプチャ
- 差分 (デルタ) モード・タイムスタンプ・キャプチャ
- 上記のそれぞれのリソースに専用の単一入力ピン
- キャプチャ・モードで使用しない場合、eCAP モジュールを単一チャネル PWM 出力 (APWM) として構成可能

eCAP 入力は、入力クロスバーを介して任意の GPIO 入力に接続されます。APWM 出力は、出力クロスバーから GPIO 多重化の OUTPUTx 領域を経由して GPIO ピンに接続されます。セクション 5.4.2 および セクション 5.4.3 を参照してください。

図 6-51 に、eCAP モジュールのブロック図を示します。

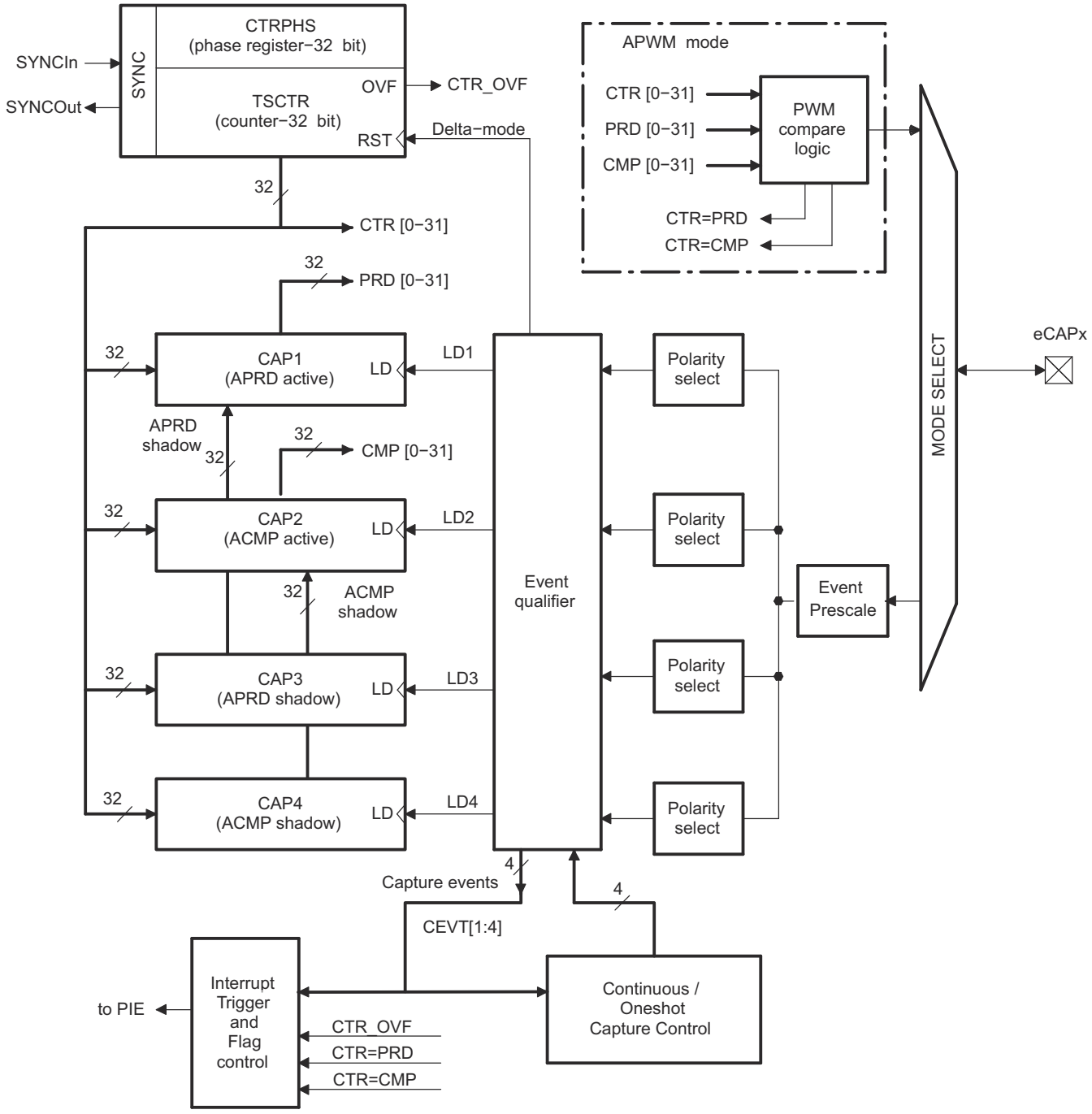


図 6-51. eCAP のブロック図

eCAP モジュールは、PERx.SYSCLK によってクロック供給されます。

PCLKCR3 レジスタのクロック・イネーブル・ビット (ECAP1～ECAP6) は、eCAP モジュールを個別にオフにします (低消費電力動作の場合)。リセット時に、ECAP1ENCLK が LOW に設定され、ペリフェラル・クロックがオフであることを示します。

Copyright © 2026 Texas Instruments Incorporated

6.10.1.1 eCAP の電気的データおよびタイミング

セクション 6.10.1.1.1 に、eCAP タイミング要件を示し、セクション 6.10.1.1.2 に、eCAP スイッチング特性を示します。

6.10.1.1.1 eCAP のタイミング要件

			最小値(1)	最大値	単位
$t_{w(CAP)}$	キャプチャ入力パルス幅	非同期	$2t_{c(SYSCLK)}$		サイクル
		同期	$2t_{c(SYSCLK)}$		サイクル
		入力フィルタあり	$1t_{c(SYSCLK)} + t_{w(IQSW)}$		サイクル

(1) 入力フィルタ・パラメータの説明については、セクション 6.8.8.2.1 を参照してください。

6.10.1.1.2 eCAP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

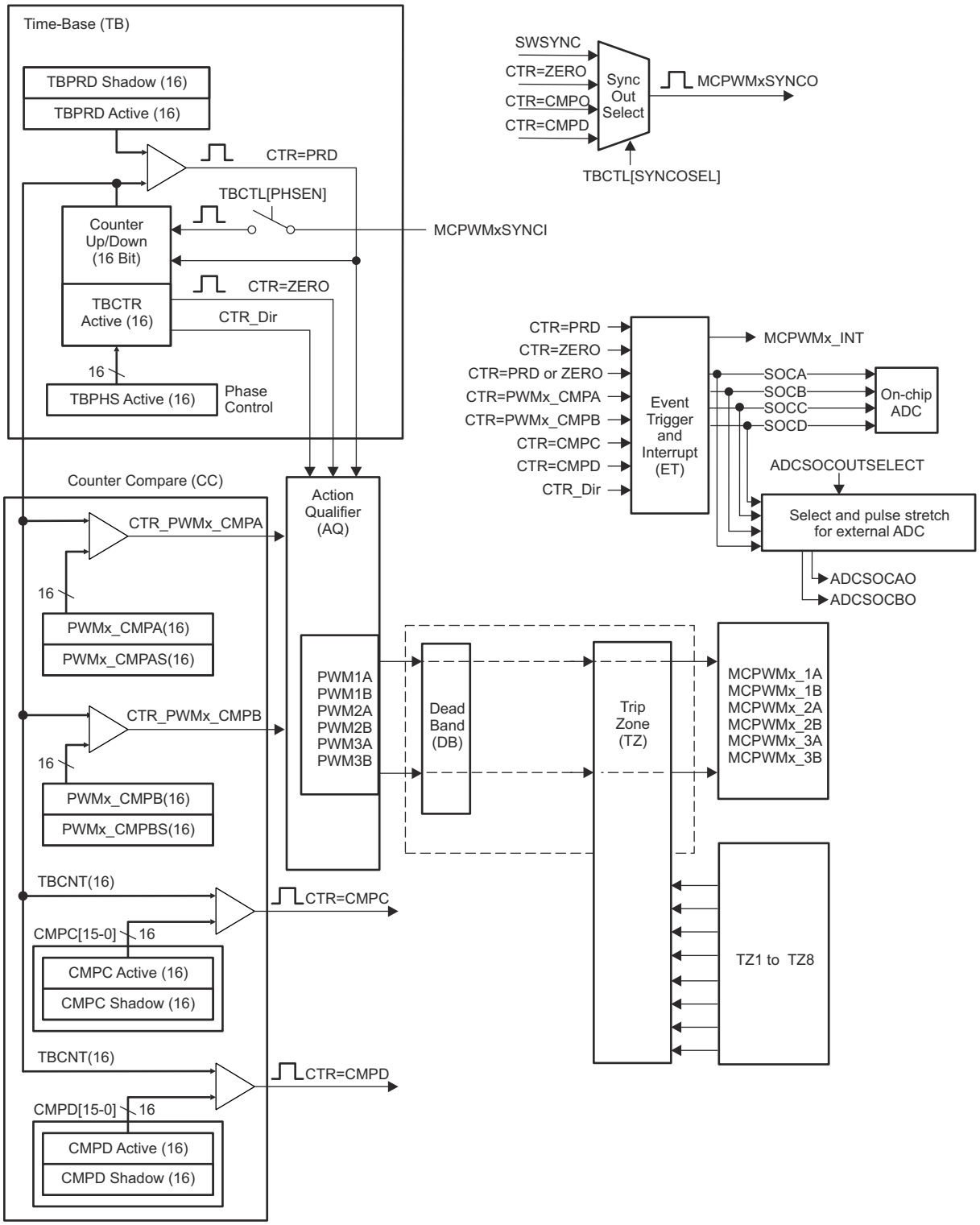
パラメータ		最小値	最大値	単位
$t_{w(APWM)}$	パルス幅、APWMx 出力 HIGH/LOW	20		ns

6.10.2 拡張パルス幅変調器 (ePWM)

ePWM ペリフェラルは、民生用および産業用機器で採用されている多くのパワー エレクトロニクス システムを制御するための重要な要素です。ePWM タイプ 4 モジュールは、個別のリソースが連携してシステムを形成するしくみによって、小さいモジュールからペリフェラルを構築して、最小限の CPU オーバーヘッドで複合パルス幅波形を生成できます。ePWM タイプ 4 モジュールの主な特長として、複合波形生成、デッドバンド生成、柔軟な同期方式、高度なトリップ ゾーン機能、グローバル レジスタ リロード機能が挙げられます。

図 6-52 に、ePWM との信号相互接続を示します。図 6-53 に、ePWM トリップ入力の接続を示します。

Copyright © 2026 Texas Instruments Incorporated



A. これらのイベントは、TRIPIN 入力のレベルに基づいて、ePWM デジタル比較 (DC) サブモジュールによって生成されます。

図 6-52. ePWM サブモジュールおよび重要な内部信号の相互接続

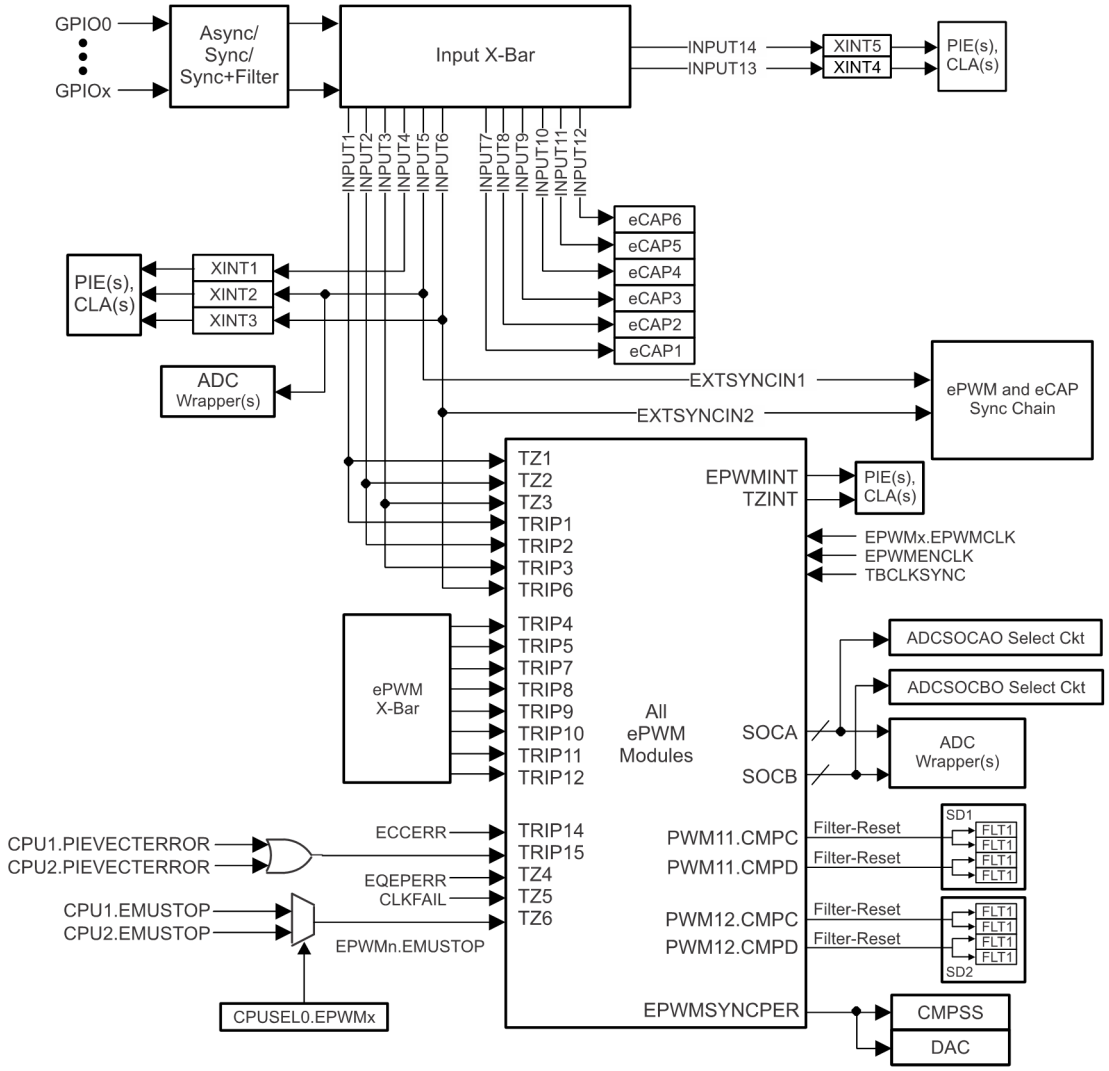


図 6-53. ePWM トリップ入力の接続

Copyright © 2026 Texas Instruments Incorporated

6.10.2.1 制御ペリフェラルの同期

デバイスの ePWM および eCAP 同期チェーンにより、CPU1 と CPU2 の間で ePWM および eCAP モジュールを柔軟に分割でき、同じ CPU に属するモジュール内でのローカル同期が可能になります。他のペリフェラルと同様に、ePWM および eCAP モジュールのパーティション分割は、CPUSELx レジスタを使用して行う必要があります。図 6-54 に、同期チェーンのアーキテクチャを示します。

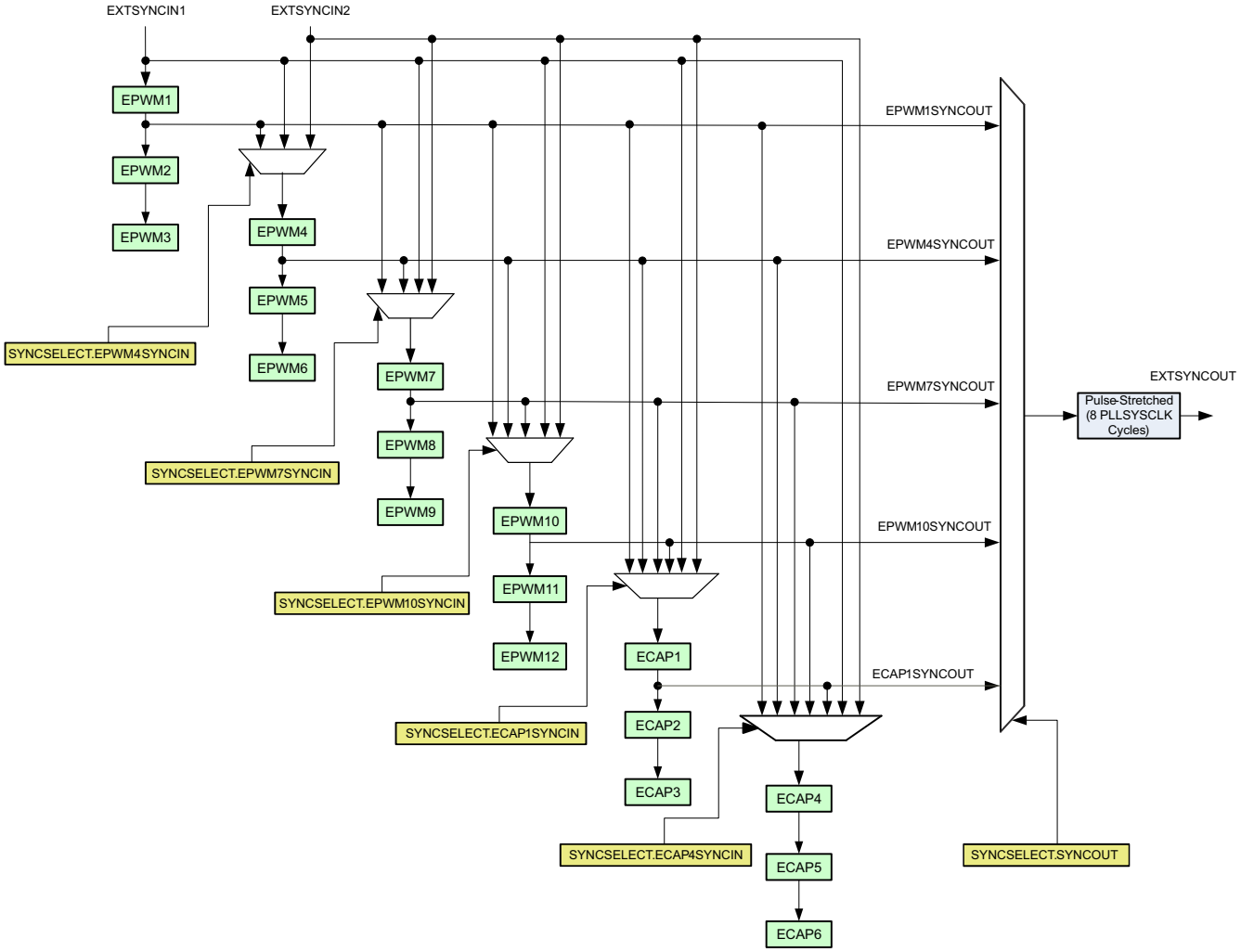


図 6-54. 同期チェーンのアーキテクチャ

6.10.2.2 ePWM の電気的データおよびタイミング

セクション 6.10.2.2.1 に、PWM タイミング要件を示し、セクション 6.10.2.2.2 に、PWM スイッチング特性を示します。

6.10.2.2.1 ePWM のタイミング要件

			最小値(1)	最大値	単位
$f_{(EPWM)}$	周波数、EPWMCLK(2)			100	MHz
$t_{w(SYNCIN)}$	同期入力パルス幅	非同期	$2t_{c(EPWMCLK)}$		サイクル
		同期	$2t_{c(EPWMCLK)}$		サイクル
		入力フィルタあり	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		サイクル

(1) 入力フィルタ・パラメータの説明については、セクション 6.8.8.2.1 を参照してください。
(2) SYSCLK が 100MHz を超える場合、EPWMCLK は SYSCLK の半分である必要があります。

6.10.2.2.2 ePWM のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{w(PWM)}$	パルス幅、PWMx 出力 HIGH/LOW	20		ns
$t_{w(SYNCOUT)}$	同期出力パルス幅	$8t_{c(SYSCLK)}$		サイクル
$t_{d(TZ-PWM)}$	遅延時間、トリップ入力アクティブから PWM 強制 HIGH まで 遅延時間、トリップ入力アクティブから PWM 強制 LOW まで 遅延時間、トリップ入力アクティブから PWM ハイ・インピーダンスまで		25	ns

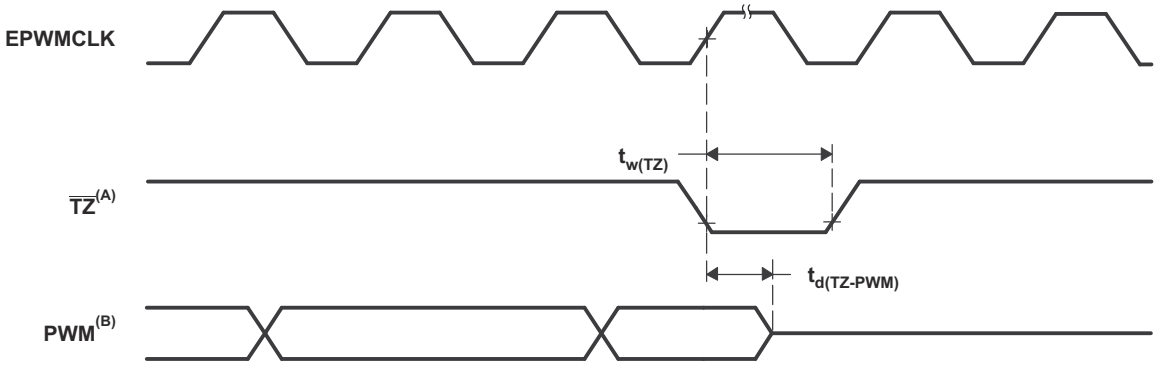
6.10.2.2.3 トリップ・ゾーン入力のタイミング

セクション 6.10.2.2.3.1 に、トリップ・ゾーン入力のタイミング要件を示します。図 6-55 に、PWM Hi-Z 特性を示します。

6.10.2.2.3.1 トリップ・ゾーン入力のタイミング要件

			最小値(1)	最大値	単位
$t_{w(TZ)}$	パルス幅、$\overline{TZx}$ 入力が LOW	非同期	$1t_{c(EPWMCLK)}$		サイクル
		同期	$2t_{c(EPWMCLK)}$		サイクル
		入力フィルタあり	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		サイクル

(1) 入力フィルタ・パラメータの説明については、セクション 6.8.8.2.1 を参照してください。



A. $\overline{TZ}$:$\overline{TZ1}$、$\overline{TZ2}$、$\overline{TZ3}$、TRIP1–TRIP12
B. PWM は、デバイスのすべての PWM ピンのことです。$\overline{TZ}$ が HIGH になった後の PWM ピンの状態は、PWM 回復ソフトウェアによって異なります。

図 6-55. PWM Hi-Z 特性：

Copyright © 2026 Texas Instruments Incorporated

6.10.2.3 外部 ADC 変換開始の電気的データおよびタイミング

セクション 6.10.2.3.1 に、外部 ADC 変換開始スイッチング特性を示します。図 6-56 に、$\overline{\text{ADCSOCAO}}$ または $\overline{\text{ADCSOCBO}}$ のタイミングを示します。

6.10.2.3.1 外部 ADC 変換開始のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{w(ADCSOCL)}$	パルス幅、$\overline{\text{ADCSOCxO}}$ LOW	$32t_{c(SYSCLK)}$		サイクル

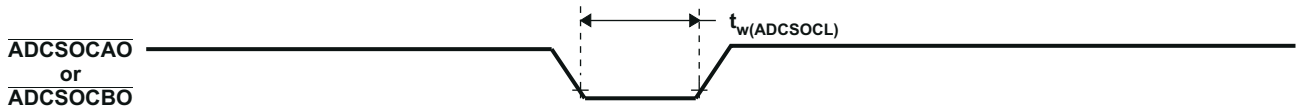


図 6-56. $\overline{\text{ADCSOCAO}}$ または $\overline{\text{ADCSOCBO}}$ のタイミング

6.10.3 拡張直交エンコーダ・パルス (eQEP)

eQEP モジュールは、高性能な動作位置制御システムで使用される回転機械から位置、方向、速度などの情報を取得するために、リニアまたはロータリ・インクリメンタル・エンコーダとの直接のインターフェイスを提供します。

各 eQEP ペリフェラルは、5 つの主要な機能ブロックで構成されています。

- 直交キャプチャ・ユニット (QCAP)
- 位置カウンタ / 制御ユニット (PCCU)
- 直交デコーダ・ユニット (QDU)
- 速度および周波数測定用のユニット・タイム・ベース (UTIME)
- ストール検出用ウォッチドッグ・タイマ (QWDOG)

eQEP ペリフェラルは、PERx.SYSCLK によりクロック供給されます。eQEP のブロック図を 図 6-57 に示します。

Copyright © 2026 Texas Instruments Incorporated

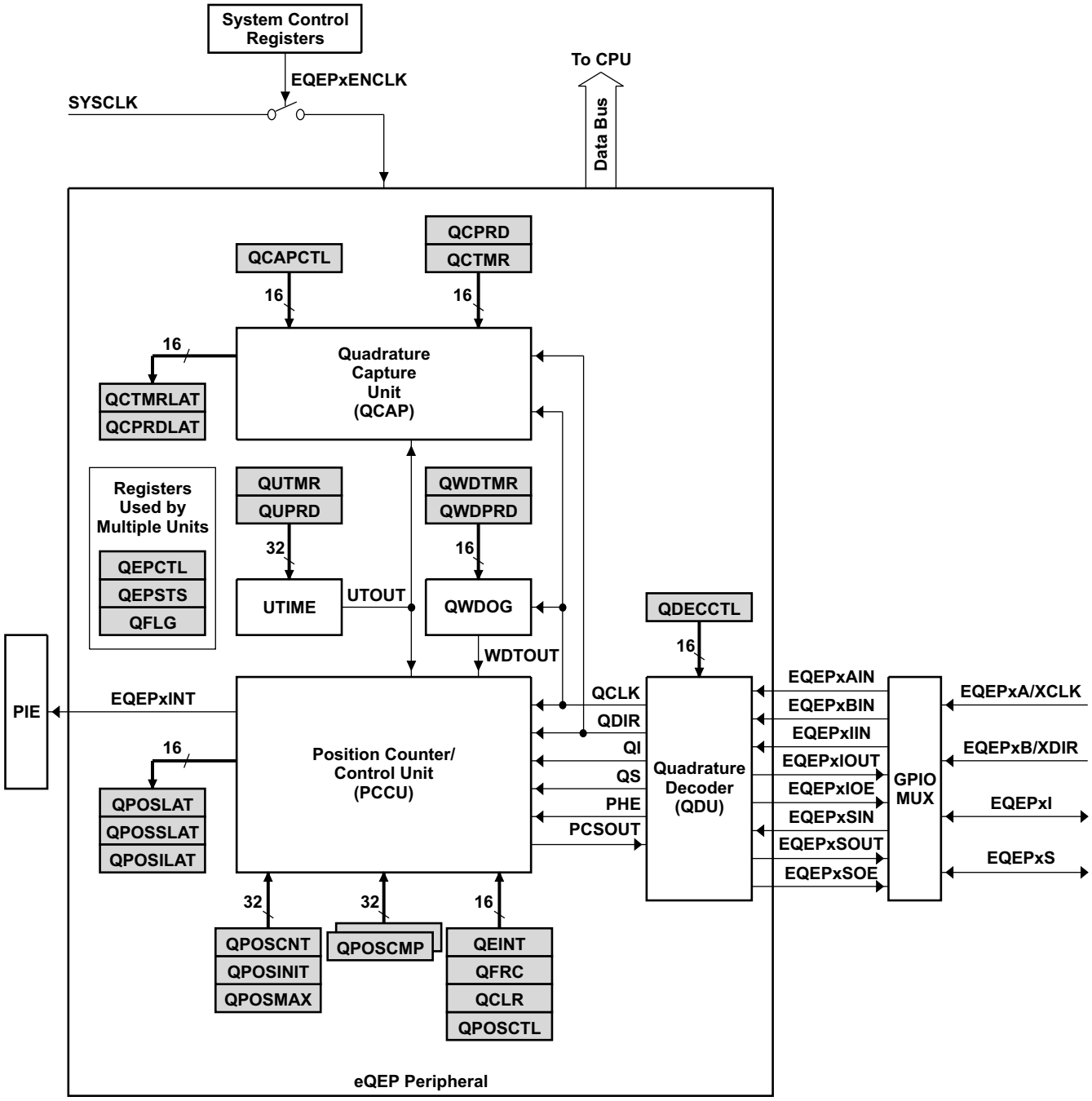


図 6-57. eQEP のブロック図

6.10.3.1 eQEP の電気的データおよびタイミング

セクション 6.10.3.1.1 に、eQEP タイミング要件を示し、セクション 6.10.3.1.2 に、eQEP スイッチング特性を示します。

6.10.3.1.1 eQEP のタイミング要件

			最小値(1) 最大値	単位
$t_{w(QEPP)}$	QEP 入力周期	非同期(2) / 同期	$2t_{c(SYSCLK)}$	サイクル
		入力クオリファイヤあり	$2[1t_{c(SYSCLK)} + t_{w(IQSW)}]$	サイクル
$t_{w(INDEXH)}$	QEP インデックス入力 High 時間	非同期(2) / 同期	$2t_{c(SYSCLK)}$	サイクル
		入力クオリファイヤあり	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	サイクル
$t_{w(INDEXL)}$	QEP インデックス入力 Low 時間	非同期(2) / 同期	$2t_{c(SYSCLK)}$	サイクル
		入力クオリファイヤあり	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	サイクル
$t_{w(STROBH)}$	QEP ストローブ High 時間	非同期(2) / 同期	$2t_{c(SYSCLK)}$	サイクル
		入力クオリファイヤあり	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	サイクル
$t_{w(STROBL)}$	QEP ストローブ入力 Low 時間	非同期(2) / 同期	$2t_{c(SYSCLK)}$	サイクル
		入力クオリファイヤあり	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	サイクル

(1) 入力フィルタ パラメータの説明については、セクション 6.8.8.2.1 を参照してください。
(2) 非同期モードの制限については、『TMS320F2837xD デュアルコア リアルタイム MCU シリコン エラッタ』を参照してください。

6.10.3.1.2 eQEP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値 最大値	単位
$t_{d(CNTR)xin}$	遅延時間、外部クロックからカウンタのインクリメントまで	$4t_{c(SYSCLK)}$	サイクル
$t_{d(PCS-OUT)QEP}$	遅延時間、QEP 入力エッジから位置比較同期出力まで	$6t_{c(SYSCLK)}$	サイクル

Copyright © 2026 Texas Instruments Incorporated

6.10.4 高分解能パルス幅変調器 (HRPWM)

HRPWM は、複数のディレイ・ラインを 1 つのモジュールに統合し、専用のキャリブレーション・ディレイ・ラインを使用して、簡素化されたキャリブレーション・システムを実現しています。それぞれの ePWM モジュールに、2 つの HR 出力があります。

- チャネル A の HR デューティおよびデッドバンド制御
- チャネル B の HR デューティおよびデッドバンド制御

HRPWM モジュールは、従来のデジタル PWM 方式を使用した場合よりもはるかに優れた PWM 分解能 (時間の粒度) を提供します。HRPWM モジュールの主な特長は次のとおりです。

- 従来のデジタル PWM の時間分解能性能を大幅に拡張します
- この機能は、シングル・エッジ (デューティ・サイクルおよび位相シフト制御) およびデュアル・エッジ (周波数 / 周期変調制御) の両方で使用できます。
- ePWM モジュールの 比較 A、比較 B、位相、周期、デッドバンド・レジスタを拡張することにより、より細かい時間粒度制御またはエッジの位置設定を制御します。

注

HRPWM に許容される最小 HRPWMCLK 周波数は 60MHz です。

6.10.4.1 GPIO の電気的データおよびタイミング

セクション 6.10.4.1.1 に、高分解能 PWM タイミング要件を示します。セクション 6.10.4.1.2 に、高分解能 PWM スイッチング特性を示します。

6.10.4.1.1 高分解能 PWM のタイミング要件

		最小値	最大値	単位
$f_{(EPWM)}$	周波数、EPWMCLK(1)		100	MHz
$f_{(HRPWM)}$	周波数、HRPWMCLK	60	100	MHz

(1) SYSCLK が 100MHz を超える場合、EPWMCLK は SYSCLK の半分である必要があります。

6.10.4.1.2 高分解能 PWM の特性

パラメータ	最小値	標準値	最大値	単位
マイクロ・エッジ・ポジショニング (MEP) ステップ・サイズ(1)		150	310	ps

(1) MEP ステップ・サイズは、高温かつ V_{DD} の最小電圧で、最大になります。温度の上昇および電圧の低下に伴って、MEP ステップ・サイズが増加し、温度の低下および電圧の上昇に伴って減少します。
HRPWM 機能を使用するアプリケーションでは、MEP 係数最適化 (SFO) 推定ソフトウェア機能を使用する必要があります。最終アプリケーションで SFO 機能を使用する方法の詳細については、TI のソフトウェア・ライブラリを参照してください。SFO 機能は、HRPWM の動作中に、SYSCLK 周期あたりの MEP ステップ数を動的に推定するのに役立ちます。

Copyright © 2026 Texas Instruments Incorporated

6.10.5 シグマ-デルタ・フィルタ・モジュール (SDFM)

SDFM は、4 チャネルのデジタル・フィルタであり、モーター制御アプリケーションでの電流測定およびレゾルバ位置デコードに特化して設計されています。各チャネルは、独立したシグマ-デルタ (ΣΔ) 変調ビット・ストリームを受信できます。ビット・ストリームは、個別にプログラム可能な 4 つのデジタル・デシメーション・フィルタによって処理されます。このフィルタ・セットには高速コンパレータが含まれており、過電流および低電流監視のためのデジタル・スレッショルドを迅速に比較できます。図 6-58 に、この回路のブロック図を示します。

SDFM の主な特長は次のとおりです。

- SDFM モジュールごとに 8 本の外部ピン:
  - SDFM モジュールごとに 4 本のシグマ-デルタ・データ入力ピン (SDx_Dy、ただし x = 1～2、y = 1～4)
  - SDFM モジュールごとに 4 本のデルタ・シグマ・クロック入力ピン (SDx_Cy、x = 1～2、y = 1～4)
- 構成可能な 4 種類の変調器クロック・モード:
  - 変調器データ・レートと等しい変調器クロック・レート
  - 変調器データ・レートの半分で動作する変調器クロック・レート
  - 変調器データをマンチェスター符号化。この場合、変調器のクロックは不要。
  - 変調器データ・レートの 2 倍の変調器クロック・レート
- 構成可能な 4 つの独立したコンパレータ・ユニット:
  - 4 種類のフィルタ・タイプ選択 (Sinc1/Sinc2/SincFast/Sinc3) が利用可能
  - 値超過および値不足の状態を検出可能
  - コンパレータのオーバーサンプリング率 (COSR) の値を 1～32 の範囲でプログラム可能
- 構成可能な 4 つの独立したデータ・フィルタ・ユニット:
  - 4 種類のフィルタ・タイプ選択 (Sinc1/Sinc2/SincFast/Sinc3) を利用可能
  - データ・フィルタ・ユニットのデータ・フィルタ・オーバーサンプリング率 (DOSR) の値を 1～256 の範囲でプログラム可能
  - 個別のフィルタ・モジュールを有効または無効に設定可能
  - マスタ・フィルタ・イネーブル (MFE) ビットまたは PWM 信号を使用して、SDFM モジュールの 4 つの独立したフィルタすべてを同期可能
- フィルタ・データは、16 ビットまたは 32 ビットで表現可能
- PWM を使用して、シグマ-デルタ・モジュレータ用の変調器クロックを生成可能

Copyright © 2026 Texas Instruments Incorporated

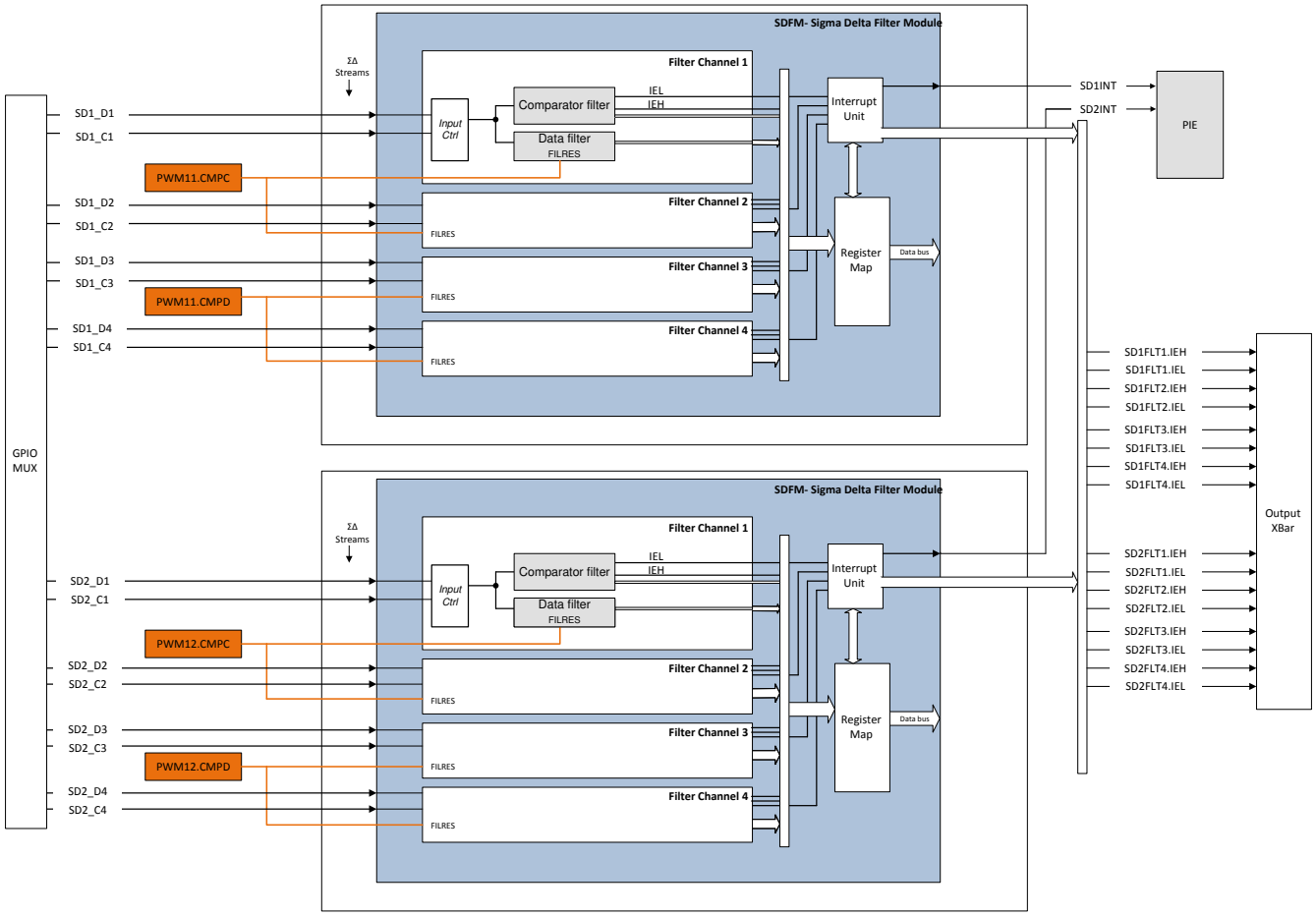


図 6-58. SDFM ブロック図

6.10.5.1 SDFM の電気的データおよびタイミング (ASYNC を使用)

非同期 GPIO による SDFM 動作は、GPyQSELn = 0b11 を設定することで定義されます。セクション 6.10.5.1.1 に、非同期 GPIO (ASYNC) オプションを使用した場合の SDFM タイミング要件を示します。図 6-59～図 6-62 に、SDFM タイミング図を示します。

6.10.5.1.1 非同期 GPIO (ASYNC) オプション使用時の SDFM のタイミング要件

		最小値	最大値	単位
モード 0				
$t_{c(SDC)M0}$	サイクル時間、SDx_Cy	40	256 * SYSCLK 周期	ns
$t_{w(SDCH)M0}$	パルス幅、SDx_Cy HIGH	10	$t_{c(SDC)M0}$ - 10	ns
$t_{su(SDDV-SDCH)M0}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が HIGH になるまで	5		ns
$t_{h(SDCH-SDD)M0}$	ホールド時間、SDx_Cy が HIGH になった後 SDx_Dy の保持期間	5		ns
モード 1				
$t_{c(SDC)M1}$	サイクル時間、SDx_Cy	80	256 * SYSCLK 周期	ns
$t_{w(SDCH)M1}$	パルス幅、SDx_Cy HIGH	10	$t_{c(SDC)M1}$ - 10	ns
$t_{su(SDDV-SDCL)M1}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が LOW になるまで	5		ns
$t_{su(SDDV-SDCH)M1}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が HIGH になるまで	5		ns
$t_{h(SDCL-SDD)M1}$	ホールド時間、SDx_Cy が LOW になった後 SDx_Dy の保持期間	5		ns
$t_{h(SDCH-SDD)M1}$	ホールド時間、SDx_Cy が HIGH になった後 SDx_Dy の保持期間	5		ns
モード 2				
$t_{c(SDD)M2}$	サイクル時間、SDx_Dy	8 * $t_{c(SYSCLK)}$	20 * $t_{c(SYSCLK)}$	ns
$t_{w(SDDH)M2}$	パルス幅、SDx_Dy HIGH	10		ns
$t_{w(SDD_LONG_KEEPOUT)M2}$	SDx_Dy の長いパルス持続時間の禁止領域。長いパルスは、ここに記載されている最小値または最大値の範囲内になってはいけません。 長いパルスは、マンチェスター ビット クロック周期の全幅に相当する HIGH または LOW パルスと定義されます。 この要件は、8 ～ 20 のいずれかの整数に対して満たす必要があります。	(N * $t_{c(SYSCLK)}$) – 0.5	(N * $t_{c(SYSCLK)}$) + 0.5	ns
$t_{w(SDD_SHORT)M2}$	SDx_Dy の短いパルス持続時間。HIGH または LOW パルス (SDD_SHORT_H または SDD_SHORT_L)。 短いパルスは、マンチェスター ビット クロック周期の半分の幅に相当する HIGH または LOW パルスと定義されます。	$t_{w(SDD_LONG)}$ / 2 – $t_{c(SYSCLK)}$	$t_{w(SDD_LONG)}$ / 2 + $t_{c(SYSCLK)}$	ns
$t_{w(SDD_LONG_DUTY)M2}$	SDx_Dy の長いパルスの変動 (SDD_LONG_H – SDD_LONG_L)	– $t_{c(SYSCLK)}$	$t_{c(SYSCLK)}$	ns
$t_{w(SDD_SHORT_DUTY)M2}$	SDx_Dy の短いパルスの変動 (SDD_SHORT_H – SDD_SHORT_L)	– $t_{c(SYSCLK)}$	$t_{c(SYSCLK)}$	ns
モード 3				
$t_{c(SDC)M3}$	サイクル時間、SDx_Cy	40	256 * SYSCLK 周期	ns
$t_{w(SDCH)M3}$	パルス幅、SDx_Cy HIGH	10	$t_{c(SDC)M3}$ - 5	ns
$t_{su(SDDV-SDCH)M3}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が HIGH になるまで	5		ns

Copyright © 2026 Texas Instruments Incorporated

		最小値	最大値	単位
$t_{h(SDCH-SDD)M3}$	ホールド時間、SDx_Cy が HIGH になった後 SDx_Dy の保持期間	5		ns

警告

SDFM クロック入力 (SDx_Cy ピン) は、GPIO 入力同期が存在しないとき、SDFM モジュールに直接クロックを供給します。これらの入力でグリッチやリンギング ノイズが発生すると、SDFM モジュールが誤動作する可能性があります。SDFM タイミング要件を満たすクリーンでノイズのない信号を確保するために、これらの信号には特別な措置を取る必要があります。クロック ドライバのインピーダンス ミスマッチによるリンギングに備える直列終端や、他のノイズの多い信号からの配線間隔などに注意することを推奨します。

警告

詳細については、『TMS320F2837xD デュアルコア リアルタイム MCU シリコン エラッタ』に掲載されている「SDFM：マンチェスター モード (モード 2) においていくつかの条件で正しいフィルタ結果が得られない」のアドバイザリを参照してください。

Copyright © 2026 Texas Instruments Incorporated

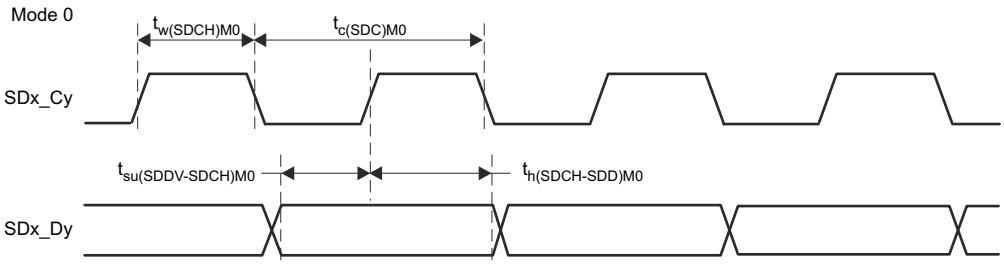


図 6-59. SDFM タイミング図 - モード 0

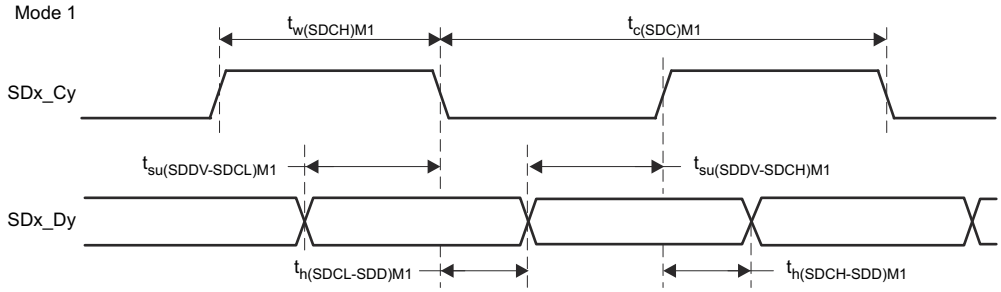


図 6-60. SDFM タイミング図 - モード 1

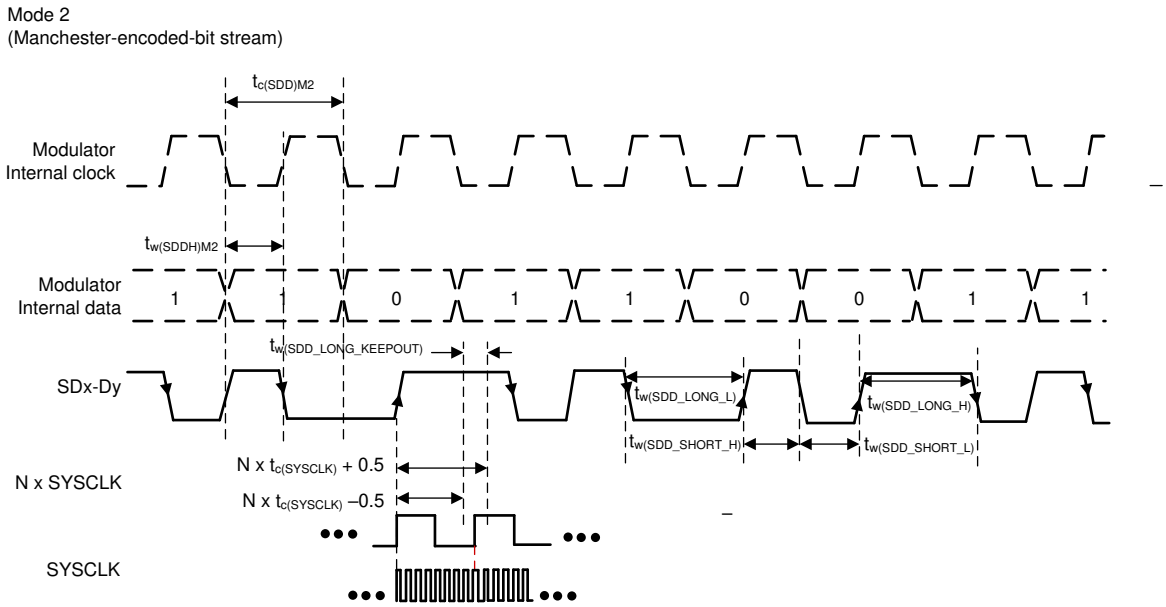


図 6-61. SDFM タイミング図 - モード 2

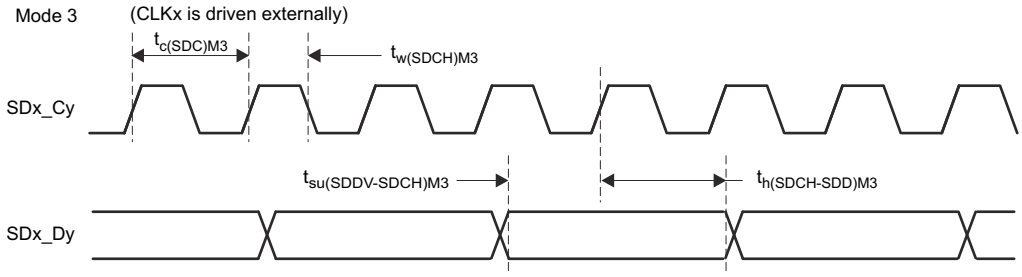


図 6-62. SDFM タイミング図 - モード 3

Copyright © 2026 Texas Instruments Incorporated

6.10.5.2 SDFM の電気的データおよびタイミング (3 サンプル GPIO 入力フィルタを使用)

フィルタ付き GPIO (3 サンプル・ウィンドウ) を使用した SDFM 動作は、GPyQSELn = 0b01 を設定することで定義されます。このフィルタ付き GPIO (3 サンプル・ウィンドウ) モードを使用する場合、$t_{W(GPI)}$ のパルス幅は、$2t_{c(SYSCLK)}$ というタイミング要件を満たす必要があります。SD-Cx と SD-Dx の両方のペアを、同じ GPIO フィルタ・オプションで構成することが重要です。セクション 6.10.5.2.1 に、GPIO 入力フィルタ (3 サンプル・ウィンドウ) オプションを使用した場合の SDFM タイミング要件を示します。図 6-59～図 6-62 に、SDFM タイミング図を示します。

6.10.5.2.1 GPIO 入力 フィルタ (3 サンプル ウィンドウ) オプションを使用した場合の SDFM タイミング要件

		最小値[1]	最大値	単位
モード 0				
$t_{c(SDC)M0}$	サイクル時間、SDx_Cy	10 * SYSCLK 周期	256 * SYSCLK 周期	ns
$t_{w(SDCHL)M0}$	パルス幅、SDx_Cy HIGH/LOW	4 * SYSCLK 周期	6 * SYSCLK 周期	ns
$t_{w(SDDHL)M0}$	パルス幅、SDx_Dy HIGH/LOW	4 * SYSCLK 周期		ns
$t_{su(SDDV-SDCH)M0}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が HIGH になるまで	2 * SYSCLK 周期		ns
$t_{h(SDCH-SDD)M0}$	ホールド時間、SDx_Cy が HIGH になった後 SDx_Dy の保持期間	2 * SYSCLK 周期		ns
モード 1				
$t_{c(SDC)M1}$	サイクル時間、SDx_Cy	20 * SYSCLK 周期	256 * SYSCLK 周期	ns
$t_{w(SDCH)M1}$	パルス幅、SDx_Cy HIGH	4 * SYSCLK 周期	6 * SYSCLK 周期	ns
$t_{w(SDDHL)M1}$	パルス幅、SDx_Dy HIGH/LOW	4 * SYSCLK 周期		ns
$t_{su(SDDV-SDCL)M1}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が LOW になるまで	2 * SYSCLK 周期		ns
$t_{su(SDDV-SDCH)M1}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が HIGH になるまで	2 * SYSCLK 周期		ns
$t_{h(SDCL-SDD)M1}$	ホールド時間、SDx_Cy が LOW になった後 SDx_Dy の保持期間	2 * SYSCLK 周期		ns
$t_{h(SDCH-SDD)M1}$	ホールド時間、SDx_Cy が HIGH になった後 SDx_Dy の保持期間	2 * SYSCLK 周期		ns
モード 2				
$t_{c(SDD)M2}$	サイクル時間、SDx_Dy	オプションなし		
$t_{w(SDDH)M2}$	パルス幅、SDx_Dy HIGH			
モード 3				
$t_{c(SDC)M3}$	サイクル時間、SDx_Cy	10 * SYSCLK 周期	256 * SYSCLK 周期	ns
$t_{w(SDCHL)M3}$	パルス幅、SDx_Cy HIGH	4 * SYSCLK 周期	6 * SYSCLK 周期	ns
$t_{w(SDDHL)M3}$	パルス幅、SDx_Dy HIGH/LOW	4 * SYSCLK 周期		ns
$t_{su(SDDV-SDCH)M3}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が HIGH になるまで	2 * SYSCLK 周期		ns
$t_{h(SDCH-SDD)M3}$	ホールド時間、SDx_Cy が HIGH になった後 SDx_Dy の保持期間	2 * SYSCLK 周期		ns

(1) SDFM のタイミング要件は、GPIO 入力フィルタ タイプが 3 サンプル ウィンドウ (GPyQSELx = 1、QUALPRD = 0) オプションの場合のみ適用されます。SD-Cx および SD-Dx の両方のペアを 3 サンプル ウィンドウ オプションに設定することが重要です。

Copyright © 2026 Texas Instruments Incorporated

注

SDx_Cy ピンでランダム ノイズのグリッチが発生すると、コンパレータの誤動作やフィルタ出力の異常につながり、SDFM モジュールが誤動作する可能性がありますが、SDFM フィルタ GPIO (3 サンプル) モードは、この誤動作に対する保護を提供します。詳細については、『TMS320F2837xD デュアルコア リアルタイム MCU シリコン エラッタ』に掲載されている「SDFM：ノイズの多い環境で SDFM を使用する際の注意事項」を参照してください。

SDFM フィルタ GPIO (3 サンプル) モードは、上記のタイミング要件の永続的な違反に対する保護を提供するものではありません。タイミング違反があると、要件に違反するビット数に比例してデータが破損する結果になります。

Copyright © 2026 Texas Instruments Incorporated

6.11 通信ペリフェラル

注

特定のデバイスにおける各ペリフェラルの実際の数については、デバイス比較表を参照してください。

6.11.1 CAN (Controller Area Network)

CAN モジュールは、ISO 11898-1 (Bosch® CAN プロトコル仕様 2.0A、B と同じ) に従って CAN プロトコル通信を実行します。ビット・レートは、最大 1Mbps の値にプログラムできます。物理層 (CAN バス) への接続には、CAN トランシーバ・チップが必要です。

CAN ネットワークでの通信のために、個別のメッセージ・オブジェクトを構成できます。メッセージ・オブジェクトと識別子マスクは、メッセージ RAM に格納されます。

メッセージの処理に関するすべての機能は、メッセージ・ハンドラに実装されています。これらの機能には、受け入れフィルタリング、CAN コアとメッセージ RAM の間でのメッセージの転送、および送信要求の処理があります。

CAN のレジスタ・セットには、モジュール・インターフェイス経由で CPU から直接アクセスできます。これらのレジスタは、CAN コアとメッセージ・ハンドラの制御と構成、およびメッセージ RAM へのアクセスに使用されます。

CAN モジュールの主な機能は次のとおりです。

- ISO11898-1 に準拠 (Bosch® CAN プロトコル仕様 2.0 A および B)
- 最大 1Mbps のビット・レート
- 複数のクロック・ソースに対応
- 32 個のメッセージ・オブジェクト (「メッセージ・オブジェクト」は、このドキュメントでは「メールボックス」とも呼ばれます。2 つの用語は、同じ意味で使用されます) があり、それぞれに次の特長があります。
  - 受信または送信として構成可能
  - 標準 (11 ビット) または拡張 (29 ビット) の識別子で構成可能
  - プログラム可能な識別子受信マスクをサポート
  - データ・フレームおよびリモート・フレームをサポート
  - 0～8 バイトのデータを保持
  - 構成およびデータ RAM のパリティチェック
- 各メッセージ・オブジェクトに個別の識別子マスク
- メッセージ・オブジェクト用のプログラム可能な FIFO モード
- プログラム可能なループバック・モードによる自己テスト動作
- デバッグをサポートするためのサスペンド・モード
- ソフトウェアによるモジュール・リセット
- バス・オフ状態の後、プログラマブル 32 ビット・タイマにより自動的にバス・オン
- メッセージ RAM パリティチェック・メカニズム
- 2 つの割り込みライン

注

200MHz の CAN ビット・クロックの場合、可能な最小のビット・レートは 7.8125kbps です。

注

使用するタイミング設定によっては、オンチップのゼロ・ピン発振器の精度 (データ・マニュアルで規定) が CAN プロトコルの要件を満たしていない場合があります。この状況では、外部クロック・ソースを使用する必要があります。

機能ブロック図を 図 6-63 に示します。

Copyright © 2026 Texas Instruments Incorporated

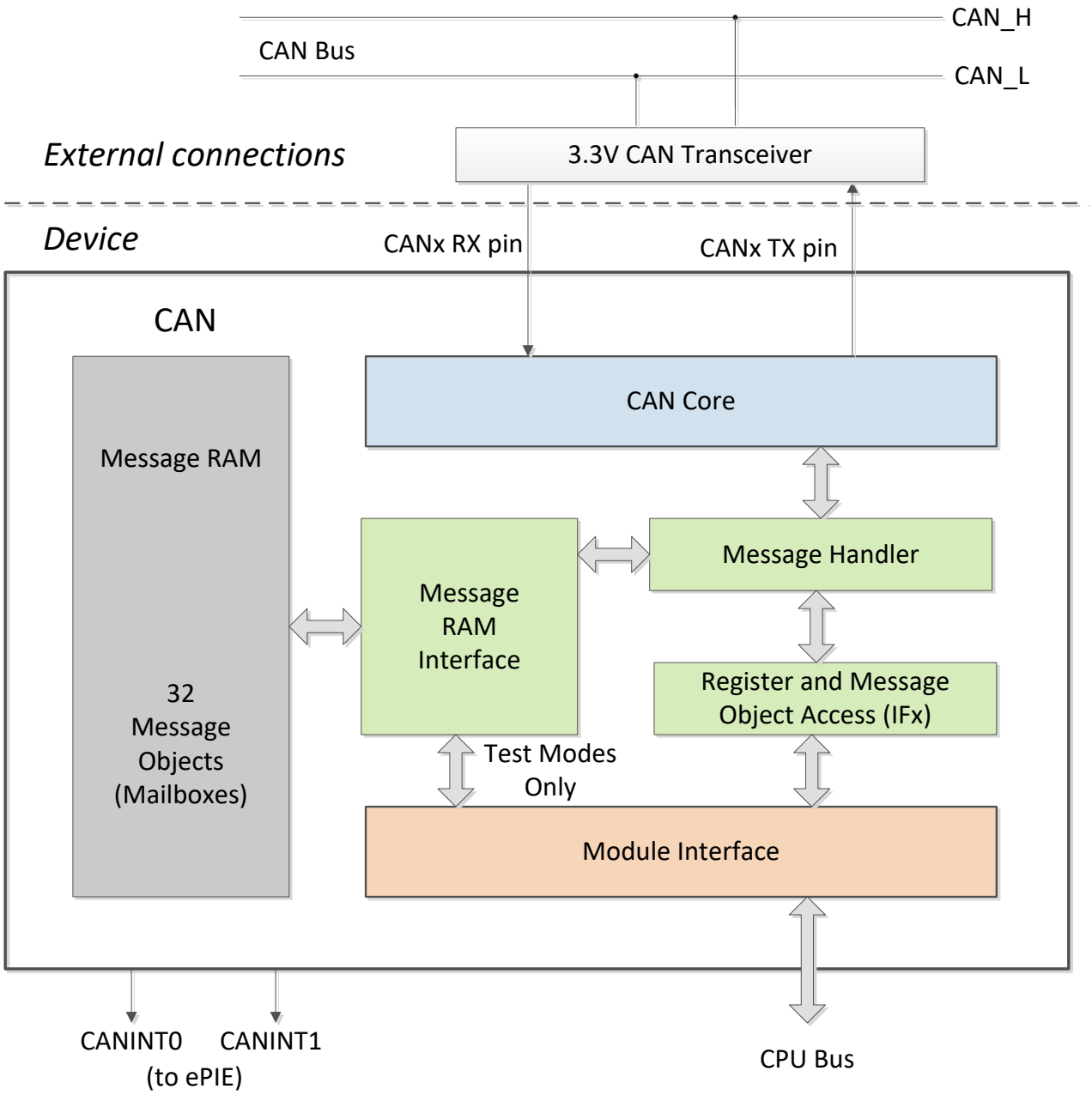


図 6-63. CAN ブロック図

Copyright © 2026 Texas Instruments Incorporated

6.11.2 I2C (Inter-Integrated Circuit)

I2C モジュールの主な機能は次のとおりです。

- Philips Semiconductors の I^2C バス規格 (バージョン 2.1) に準拠
  - 1 ビット～8 ビット形式の転送をサポート
  - 7 ビットおよび 10 ビットのアドレッシング・モード
  - ゼネラル・コール
  - スタート・バイト・モード
  - 複数のマスタ - トランスミッタとスレーブ - レシーバをサポート
  - 複数のスレーブ - トランスミッタとマスタ - レシーバをサポート
  - マスター送信 / 受信、受信 / 送信の組み合わせモード
  - 10kbps～最大 400kbps (I2C ファースト・モード) のデータ転送レートをサポート
- 1 つの 16 バイト受信 FIFO と、1 つの 16 バイト送信 FIFO
- CPU で使用できる割り込み 1 つ。この割り込みは、次のいずれかの条件の結果として生成できます。
  - 送信データ・レディ
  - 受信データ・レディ
  - レジスタ・アクセス・レディ
  - アクノリッジ受信なし
  - アービトレーション・ロスト
  - ストップ条件検出
  - スレーブとしてアドレス指定
- FIFO モードの場合、もう 1 つの割り込みを CPU が使用可能
- モジュールのイネーブル / ディセーブル機能
- フリー・データ・フォーマット・モード

Copyright © 2026 Texas Instruments Incorporated

図 6-64 に、I2C ペリフェラル・モジュールがデバイス内でどのようにインターフェイスするかを示します。

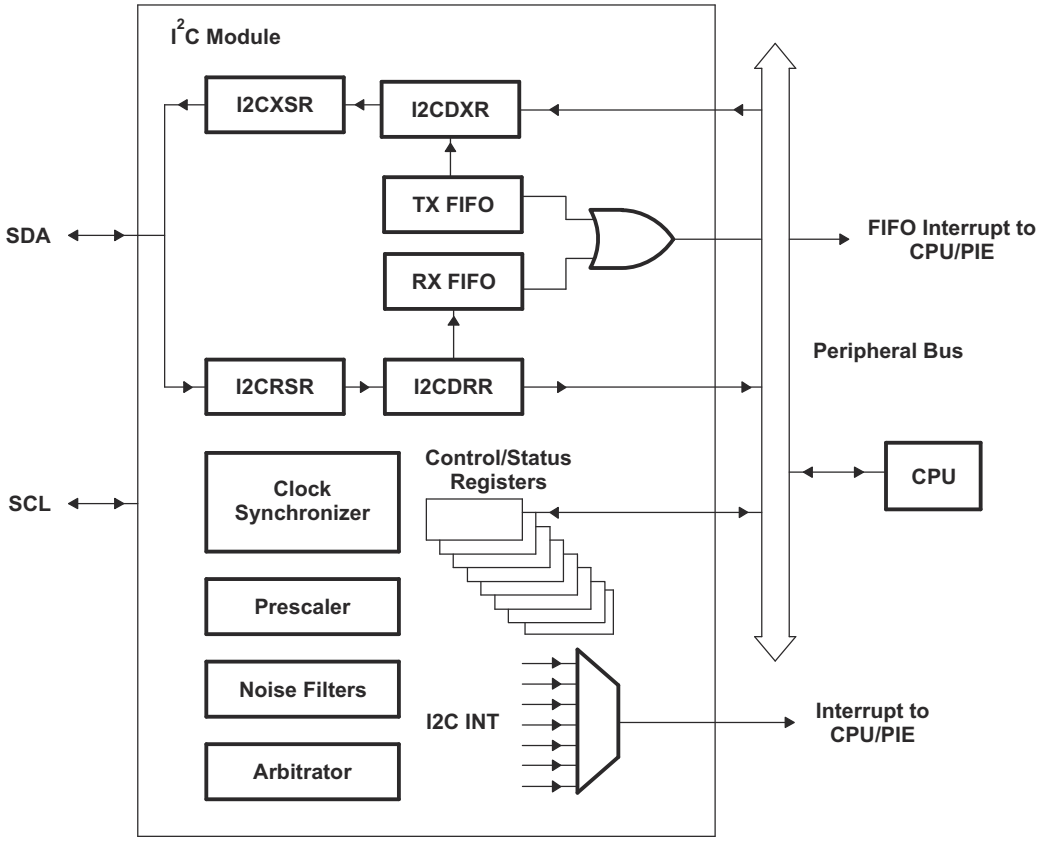


図 6-64. I2C ペリフェラル・モジュール・インターフェイス

Copyright © 2026 Texas Instruments Incorporated

6.11.2.1 I2C の電気的データおよびタイミング

セクション 6.11.2.1.1 に、I2C のタイミング要件を示します。セクション 6.11.2.1.2 に、I2C のスイッチング特性を示します。図 6-65 に、I2C のタイミング図を示します。

注

すべての I2C プロトコルのタイミング仕様を満たすには、I2C モジュールのクロックを 7MHz～12MHz の範囲で構成する必要があります。

プルアップ抵抗は、I2C の標準タイミングを満たすように選択する必要があります。ほとんどの状況では、VDDIO に対する合計バス抵抗の 2.2kΩ で十分です。特定の設計のプルアップ抵抗値の評価については、『I2C バスのプルアップ抵抗の計算』アプリケーション レポートを参照してください。

6.11.2.1.1 I2C のタイミング要件

番号			最小値	最大値	単位
スタンダード モード					
T0	f_{mod}	I2C モジュールの周波数	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	ホールド時間、START 条件、SDA 立ち下がりから SCL 立ち下がりまでの遅延	4.0		µs
T2	$t_{su(SCL-SDA)START}$	セットアップ時間、繰り返し START、SCL 立ち上がりから SDA 立ち下がりまでの遅延	4.7		µs
T3	$t_{h(SCL-DAT)}$	ホールド時間、SCL 立ち下がりからデータ有効の間	0		µs
T4	$t_{su(DAT-SCL)}$	セットアップ時間、データから SCL 立ち上がりまで	250		ns
T5	$t_{r(SDA)}$	立ち上がり時間、SDA		1000(1)	ns
T6	$t_{r(SCL)}$	立ち上がり時間、SCL		1000(1)	ns
T7	$t_{f(SDA)}$	立ち下がり時間、SDA		300	ns
T8	$t_{f(SCL)}$	立ち下がり時間、SCL		300	ns
T9	$t_{su(SCL-SDA)STOP}$	セットアップ時間、STOP 条件、SCL 立ち上がりから SDA 立ち上がりまでの遅延	4.0		µs
T10	$t_{w(SP)}$	フィルタによって抑制されるスパイクのパルス幅	0	50	ns
T11	C_b	各バス ラインの容量性負荷		400	pF
ファスト モード					
T0	f_{mod}	I2C モジュールの周波数	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	ホールド時間、START 条件、SDA 立ち下がりから SCL 立ち下がりまでの遅延	0.6		µs
T2	$t_{su(SCL-SDA)START}$	セットアップ時間、繰り返し START、SCL 立ち上がりから SDA 立ち下がりまでの遅延	0.6		µs
T3	$t_{h(SCL-DAT)}$	ホールド時間、SCL 立ち下がりからデータ有効の間	0		µs
T4	$t_{su(DAT-SCL)}$	セットアップ時間、データから SCL 立ち上がりまで	100		ns
T5	$t_{r(SDA)}$	立ち上がり時間、SDA	20	300	ns
T6	$t_{r(SCL)}$	立ち上がり時間、SCL	20	300	ns
T7	$t_{f(SDA)}$	立ち下がり時間、SDA	11.4	300	ns
T8	$t_{f(SCL)}$	立ち下がり時間、SCL	11.4	300	ns
T9	$t_{su(SCL-SDA)STOP}$	セットアップ時間、STOP 条件、SCL 立ち上がりから SDA 立ち上がりまでの遅延	0.6		µs
T10	$t_{w(SP)}$	フィルタによって抑制されるスパイクのパルス幅	0	50	ns

Copyright © 2026 Texas Instruments Incorporated

番号			最小値	最大値	単位
T11	C_b	各バス ラインの容量性負荷		400	pF

(1) 立ち上がり時間を最小化するため、正味 2.2kΩ のプルアップ抵抗のオーダーで SDA と SCL の両方のバス ラインに強力なプルアップを使用することを推奨します。 また、SCL ピンと SDA ピンの両方に使用するプルアップ抵抗の値を一致させることを推奨します。

Copyright © 2026 Texas Instruments Incorporated

6.11.2.1.2 I2C のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		テスト条件	最小値	最大値	単位
標準モード						
S1	f_{SCL}	SCL クロック周波数		0	100	kHz
S2	T_{SCL}	SCL クロック周期		10		µs
S3	$t_{w(SCLL)}$	パルス幅、SCL クロック LOW		4.7		µs
S4	$t_{w(SCLH)}$	パルス幅、SCL クロック HIGH		4.0		µs
S5	t_{BUF}	ストップ条件とスタート条件間のバス解放時間		4.7		µs
S6	$t_{v(SCL-DAT)}$	有効時間、SCL 立ち下がりからデータ有効の間			3.45	µs
S7	$t_{v(SCL-ACK)}$	有効時間、SCL 立ち下がりからアクノリッジまで			3.45	µs
S8	I_I	ピンの入力電流	$0.1V_{bus} < V_i < 0.9V_{bus}$	-10	10	µA
ファーストモード						
S1	f_{SCL}	SCL クロック周波数		0	400	kHz
S2	T_{SCL}	SCL クロック周期		2.5		µs
S3	$t_{w(SCLL)}$	パルス間隔、SCL クロック LOW		1.3		µs
S4	$t_{w(SCLH)}$	パルス間隔、SCL クロック HIGH		0.6		µs
S5	t_{BUF}	ストップ条件とスタート条件間のバス解放時間		1.3		µs
S6	$t_{v(SCL-DAT)}$	有効時間、SCL 立ち下がりからデータ有効の間			0.9	µs
S7	$t_{v(SCL-ACK)}$	有効時間、SCL 立ち下がりからアクノリッジまで			0.9	µs
S8	I_I	ピンの入力電流	$0.1V_{bus} < V_i < 0.9V_{bus}$	-10	10	µA

Copyright © 2026 Texas Instruments Incorporated

6.11.2.1.3 I2C タイミング図

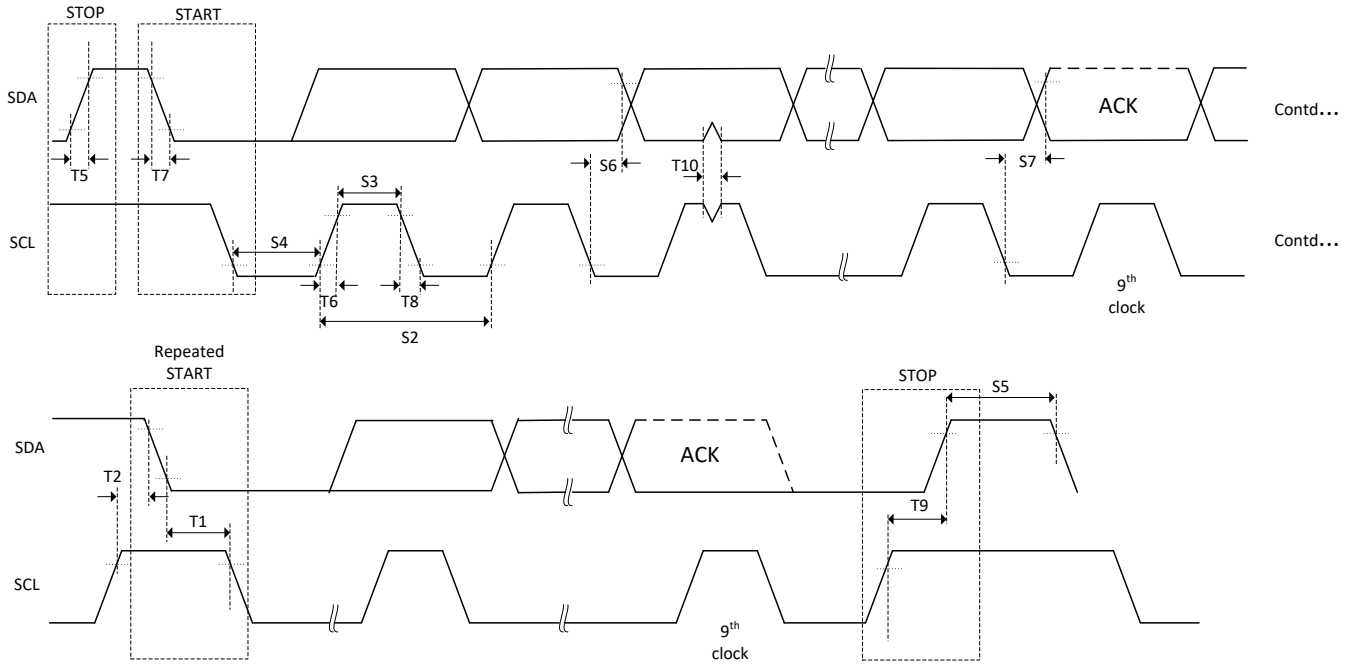


図 6-65. I2C タイミング図

Copyright © 2026 Texas Instruments Incorporated

6.11.3 マルチチャネル バッファ付きシリアル ポート (McBSP)

McBSP モジュールの主な機能は次のとおりです。

- TMS320C28x および TMS320F28x DSP デバイスの McBSP と互換
- 全二重通信
- 連続データ ストリームを可能にするダブル バッファ データ レジスタ
- 受信と送信用に独立したフレームおよびクロック供給
- 外部シフト クロック生成、または内部プログラマブル周波数シフト クロック
- 8 ビットのデータ転送モードは、LSB または MSB ファーストで送信するように構成可能
- フレーム同期およびデータ クロックで極性をプログラム可能
- 高度にプログラマブルな内部クロックおよびフレームの生成
- 業界標準のコーデック、アナログ インターフェイス チップ (AIC)、シリアル接続された A/D および D/A デバイスへの直接インターフェイス
- AC97、I2S、SPI プロトコルをサポート
- McBSP クロック レート

$$CLKG = \frac{CLKSRG}{(1 + CLKGDV)}$$

ここで、CLKSRG ソースは LSPCLK、CLKX、CLKR のいずれかになります。

図 6-66 に、McBSP モジュールのブロック図を示します。

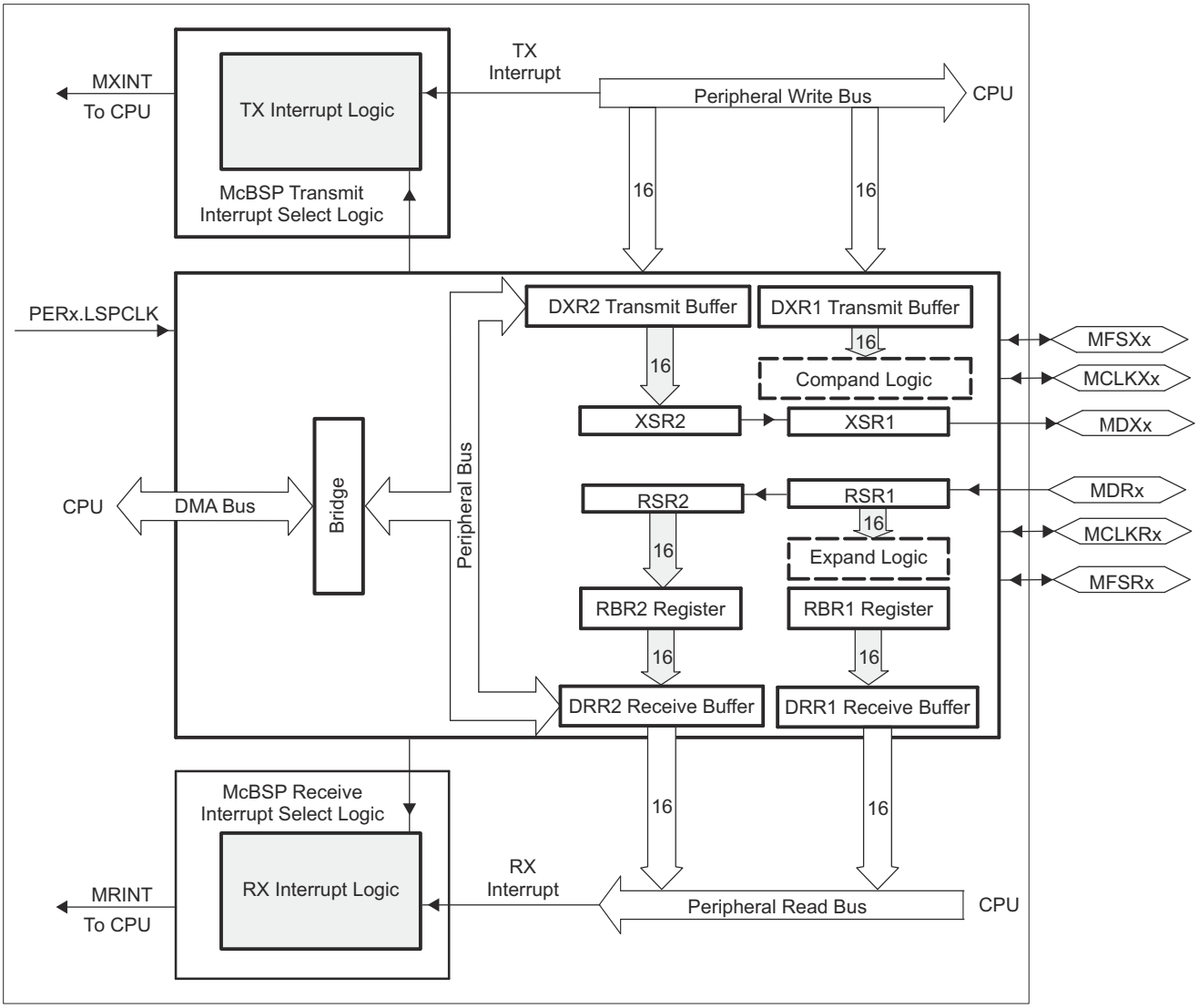


図 6-66. McBSP のブロック図

Copyright © 2026 Texas Instruments Incorporated

6.11.3.1 McBSP の電気的データおよびタイミング

6.11.3.1.1 McBSP の送信および受信タイミング

セクション 6.11.3.1.1.1 に、McBSP のタイミング要件を示します。セクション 6.11.3.1.1.2 に、McBSP のスイッチング特性を示します。図 6-67 と図 6-68 に、McBSP のタイミング図を示します。

6.11.3.1.1.1 McBSP のタイミング要件

番号(1) (2)				最小値	最大値	単位
		McBSP モジュールのクロック (CLKG、CLKX、CLKR) 範囲		1		kHz
					25	MHz
		McBSP モジュールのサイクル時間 (CLKG、CLKX、CLKR) の範囲		40		ns
					1	ms
M11	$t_{c(CKRX)}$	サイクル時間、CLKR/X	CLKR/X 外部	2P		ns
M12	$t_{w(CKRX)}$	パルス幅、CLKR/X HIGH または CLKR/X LOW	CLKR/X 外部	P – 7		ns
M13	$t_{r(CKRX)}$	立ち上がり時間、CLKR/X	CLKR/X 外部		7	ns
M14	$t_{f(CKRX)}$	立ち下がり時間、CLKR/X	CLKR/X 外部		7	ns
M15	$t_{su(FRH-CKRL)}$	セットアップ時間、外部 FSR HIGH から CLKR LOW まで	CLKR 内部	18		ns
			CLKR 外部	2		
M16	$t_{h(CKRL-FRH)}$	ホールド時間、CLKR LOW から外部 FSR HIGH の間	CLKR 内部	0		ns
			CLKR 外部	6		
M17	$t_{su(DRV-CKRL)}$	セットアップ時間、DR 有効から CLKR LOW まで	CLKR 内部	18		ns
			CLKR 外部	5		
M18	$t_{h(CKRL-DRV)}$	ホールド時間、CLKR LOW から DR 有効の間	CLKR 内部	0		ns
			CLKR 外部	3		
M19	$t_{su(FXH-CKXL)}$	セットアップ時間、外部 FSX HIGH から CLKX LOW まで	CLKX 内部	18		ns
			CLKX 外部	2		
M20	$t_{h(CKXL-FXH)}$	ホールド時間、CLKX LOW から外部 FSX HIGH の間	CLKX 内部	0		ns
			CLKX 外部	6		

(1) 極性ビット CLKRP = CLKXP = FSRP = FSXP = 0。いずれかの信号の極性が反転した場合、その信号のタイミング基準も反転します。
(2) 2P = 1/CLKG (ns 単位)。CLKG は、サンプル・レート・ジェネレータ MUX の出力です。CLKG = CLKSRG / (1 + CLKGDV)。CLKSRG は、LSPCLK、CLKX、CLKR をソースにすることができます。CLKSRG ≤ (SYSCLK/2)。

6.11.3.1.1.2 McBSP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号(1) (2)	パラメータ				最小値	最大値	単位
M1	$t_{c(CKRX)}$	サイクル時間、CLKR/X		CLKR/X 内部	2P		ns
M2	$t_{w(CKRXH)}$	パルス幅、CLKR/X HIGH		CLKR/X 内部	D – 5 (3)	D + 5 (3)	ns
M3	$t_{w(CKRXL)}$	パルス幅、CLKR/X LOW		CLKR/X 内部	C – 5 (3)	C + 5 (3)	ns
M4	$t_{d(CKRH-FRV)}$	遅延時間、CLKR HIGH から内部 FSR 有効まで		CLKR 内部	-7	7.5	ns
				CLKR 外部	3	27	
M5	$t_{d(CKXH-FXV)}$	遅延時間、CLKX HIGH から内部 FSX 有効まで		CLKX 内部	-5	6	ns
				CLKX 外部	3	27	
M6	$t_{dis(CKXH-DXHZ)}$	ディセーブル時間、最後のデータ・ビットに続く DX ハイ・インピーダンスまで		CLKX 内部	–8	8	ns
				CLKX 外部	3	15	
M7	$t_{d(CKXH-DXV)}$	遅延時間、CLKX HIGH から DX 有効まで。 これは、最初に送信されたビットを除くすべてのビットに適用されます。		CLKX 内部	-3	9	ns
				CLKX 外部	5	25	
		遅延時間、CLKX HIGH から DX 有効まで	DXENA = 0	CLKX 内部	-3	8	
				CLKX 外部	5	20	
		データ遅延 1 または 2 (XDATDLY = 01b または 10b) モードで送信される最初のビットにのみ適用されます	DXENA = 1	CLKX 内部	P – 3	P + 8	
				CLKX 外部	P + 5	P + 20	
M8	$t_{en(CKXH-DX)}$	イネーブル時間、CLKX HIGH から DX 駆動まで	DXENA = 0	CLKX 内部	-6		ns
				CLKX 外部	4		
		データ遅延 1 または 2 (XDATDLY = 01b または 10b) モードで送信される最初のビットにのみ適用されます	DXENA = 1	CLKX 内部	P - 6		
				CLKX 外部	P + 4		
M9	$t_{d(FXH-DXV)}$	遅延時間、FSX HIGH から DX 有効まで	DXENA = 0	FSX 内部		8	ns
				FSX 外部		17	
		データ遅延 0 (XDATDLY = 00b) モードで送信される最初のビットにのみ適用されます。	DXENA = 1	FSX 内部		P + 8	
				FSX 外部		P + 17	
M10	$t_{en(FXH-DX)}$	イネーブル時間、FSX HIGH から DX 駆動まで	DXENA = 0	FSX 内部	-3		ns
				FSX 外部	6		
		データ遅延 0 (XDATDLY = 00b) モードで送信される最初のビットにのみ適用されます	DXENA = 1	FSX 内部	P - 3		
				FSX 外部	P + 6		

(1) 極性ビット CLKRP = CLKXP = FSRP = FSXP = 0。いずれかの信号の極性が反転した場合、その信号のタイミング基準も反転します。
(2) 2P = 1CLKG (ns 単位)。
(3) C = CLKRX LOW パルス幅 = P
D = CLKRX HIGH パルス幅 = P

Copyright © 2026 Texas Instruments Incorporated

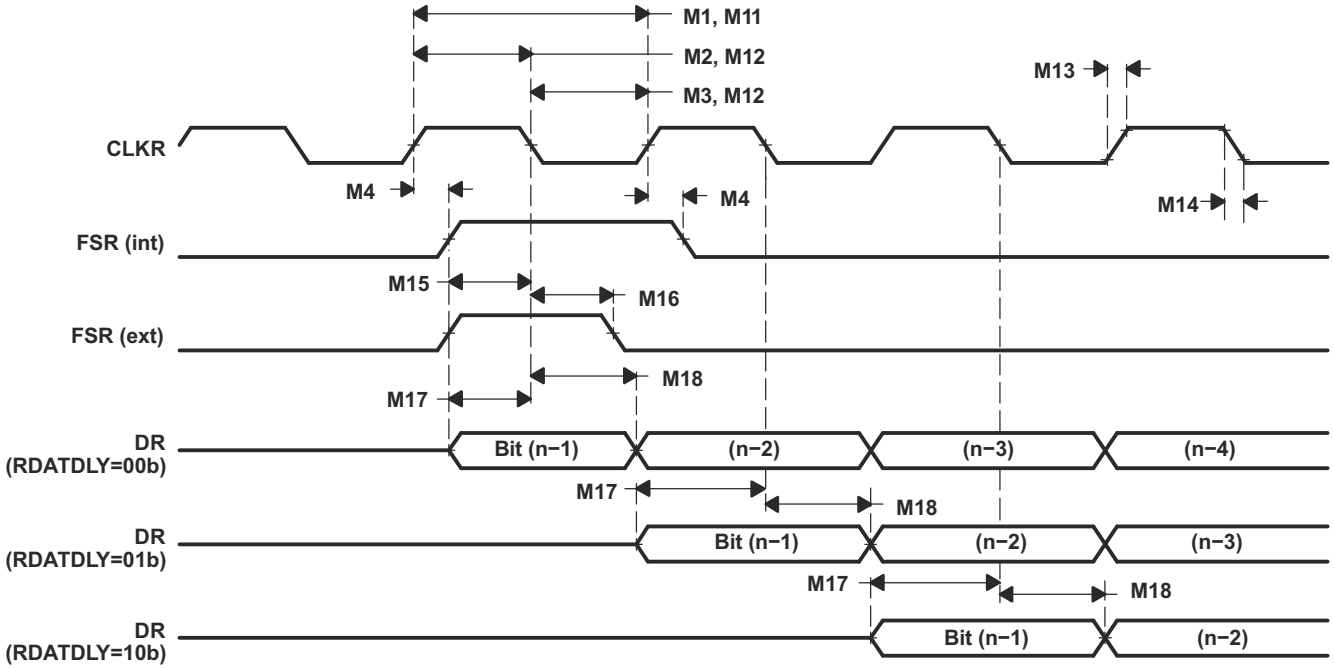


図 6-67. McBSP 受信タイミング

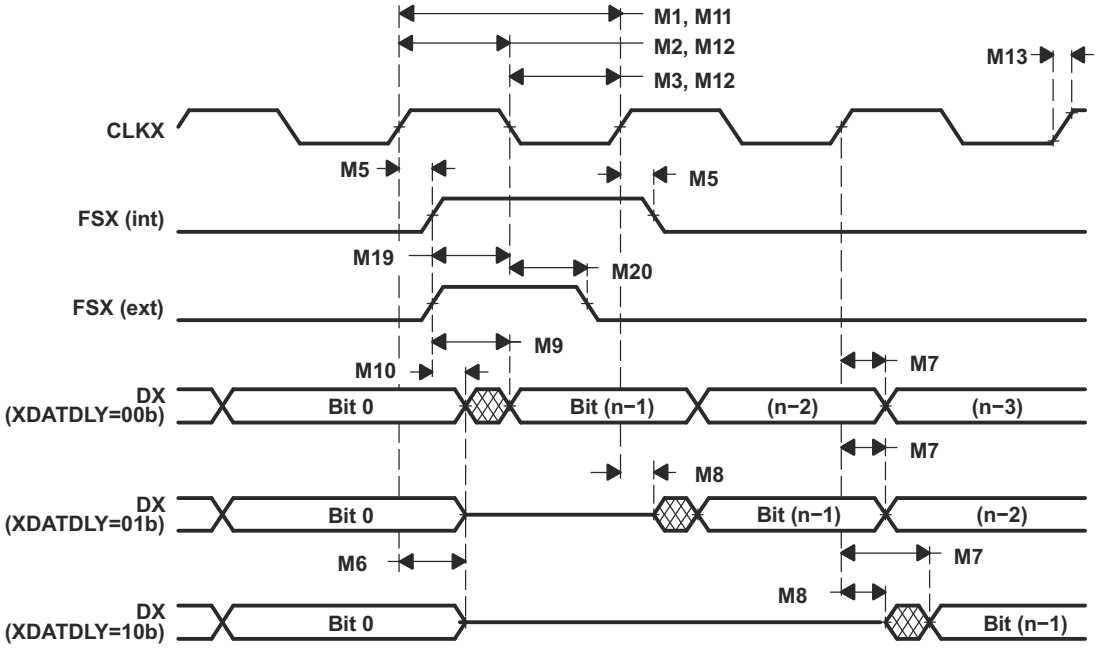


図 6-68. McBSP 送信タイミング

6.11.3.1.2 SPI マスタまたはスレーブとしての McBSP タイミング

セクション 6.11.3.1.2.1 に、SPI マスタとしての McBSP タイミング要件を示します。セクション 6.11.3.1.2.2 に、SPI マスタとしての McBSP スイッチング特性を示します。セクション 6.11.3.1.2.3 に、SPI スレーブとしての McBSP タイミング要件を示します。セクション 6.11.3.1.2.4 に、SPI スレーブとしての McBSP スイッチング特性を示します。

図 6-69～図 6-72 に、SPI マスタまたはスレーブとしての McBSP タイミング図を示します。

6.11.3.1.2.1 SPI マスタとしての McBSP タイミング要件

番号			最小値	最大値	単位
クロック					
	$t_{c(CLKG)}$	サイクル時間、CLKG(1)	2 * $t_{c(LSPCLK)}$		ns
	P	サイクル時間、LSPCLK(1)	$t_{c(LSPCLK)}$		ns
M33、M42、M52、M61	$t_{c(CKX)}$	サイクル時間、CLKX	2P		ns
CLKSTP = 10b、CLKXP = 0					
M30	$t_{su(DRV-CKXL)}$	セットアップ時間、DR 有効から CLKX LOW まで	30		ns
M31	$t_{h(CKXL-DRV)}$	ホールド時間、CLKX LOW から DR 有効の間	1		ns
CLKSTP = 11b、CLKXP = 0					
M39	$t_{su(DRV-CKXH)}$	セットアップ時間、DR 有効から CLKX HIGH まで	30		ns
M40	$t_{h(CKXH-DRV)}$	ホールド時間、CLKX HIGH から DR 有効の間	1		ns
CLKSTP = 10b、CLKXP = 1					
M49	$t_{su(DRV-CKXH)}$	セットアップ時間、DR 有効から CLKX HIGH まで	30		ns
M50	$t_{h(CKXH-DRV)}$	ホールド時間、CLKX HIGH から DR 有効の間	1		ns
CLKSTP = 11b、CLKXP = 1					
M58	$t_{su(DRV-CKXL)}$	セットアップ時間、DR 有効から CLKX LOW まで	30		ns
M59	$t_{h(CKXL-DRV)}$	ホールド時間、CLKX LOW から DR 有効の間	1		ns

(1) CLKG は、CLKSM = 1 および CLKGDV = 1 に設定することにより、LSPCLK/2 に構成する必要があります

Copyright © 2026 Texas Instruments Incorporated

6.11.3.1.2.2 SPI マスタとしての McBSP スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

番号	パラメータ		最小値	標準値	最大値	単位
クロック						
M33	$t_{c(CLKG)}$	サイクル時間、CLKG(1) (n * $t_{c(LSPCLK)}$)	40			ns
	P	CLKG 半周期、0.5 * $t_{c(CLKG)}$	20			ns
	n	LSPCLK から CLKG への分周器	2			ns
CLKSTP = 10b、CLKXP = 0						
M24	$t_{h(CKXL-FXL)}$	ホールド時間、CLKX LOW から FSX HIGH まで	2P - 6			ns
M25	$t_{d(FXL-CKXH)}$	遅延時間、FSX LOW から CLKX HIGH まで	P - 6			ns
M26	$t_{d(CLKXH-DXV)}$	遅延時間、CLKX HIGH から DX 有効まで [クロックの極性をチェックし、タイミング図に追加]	-4		6	ns
M28	$t_{dis(FXH-DXHZ)}$	ディセーブル時間、CLKX LOW から最後のデータ ビットに続く DX ハイ インピーダンスまで [タイミング図を再定義]	P - 8			ns
M29	$t_{d(FXL-DXV)}$	遅延時間、FSX LOW から DX 有効まで	P - 3		P + 6	ns
CLKSTP = 11b、CLKXP = 0						
M34	$t_{h(CKXL-FXH)}$	ホールド時間、CLKX LOW から FSX HIGH まで	P - 6			ns
M35	$t_{d(FXL-CKXH)}$	遅延時間、FSX LOW から CLKX HIGH まで	P - 6			ns
M36	$t_{d(CLKXL-DXV)}$	遅延時間、CLKX LOW から DX 有効まで[クロックの極性をチェックし、タイミング図に追加]	-4		6	ns
M37	$t_{dis(CKXL-DXHZ)}$	ディセーブル時間、CLKX LOW から最後のデータ ビットに続く DX ハイ インピーダンスまで	P - 6			ns
M38	$t_{d(FXL-DXV)}$	遅延時間、FSX LOW から DX 有効まで	-2		1	ns
CLKSTP = 10b、CLKXP = 1						
M43	$t_{h(CKXH-FXH)}$	ホールド時間、CLKX HIGH から FSX HIGH まで	2P - 6			ns
M44	$t_{d(FXL-CKXL)}$	遅延時間、FSX LOW から CLKX LOW まで	P - 6			ns
M45	$t_{d(CLKXL-DXV)}$	遅延時間、CLKX LOW から DX 有効まで [クロックの極性をチェックし、タイミング図に追加]	-4		6	ns
M47	$t_{dis(FXH-DXHZ)}$	ディセーブル時間、CLKX LOW から最後のデータ ビットに続く DX ハイ インピーダンスまで [タイミング図を再定義]	P - 6			ns
M48	$t_{d(FXL-DXV)}$	遅延時間、FSX LOW から DX 有効まで	-2		1	ns
CLKSTP = 11b、CLKXP = 1						
M53	$t_{h(CKXH-FXH)}$	ホールド時間、CLKX HIGH から FSX HIGH まで	P - 6			ns
M54	$t_{d(FXL-CKXL)}$	遅延時間、FSX LOW から CLKX LOW まで	2P - 6			ns
M55	$t_{d(CLKXH-DXV)}$	遅延時間、CLKX HIGH から DX 有効まで	-4		6	ns
M56	$t_{dis(CKXH-DXHZ)}$	ディセーブル時間、CLKX HIGH から最後のデータ ビットに続く DX ハイ インピーダンスまで	P - 8			ns
M57	$t_{d(FXL-DXV)}$	遅延時間、FSX LOW から DX 有効まで	-2		1	ns

(1) CLKG は、CLKSM = 1 および CLKGDV = 1 に設定することにより、LSPCLK/2 に構成する必要があります。

6.11.3.1.2.3 SPI スレーブとしての McBSP タイミング要件

番号			最小値	最大値	単位
クロック					
	$t_{c(CLKG)}$	サイクル時間、CLKG(1)	2 * $t_{c(LSPCLK)}$		ns
	P	サイクル時間、LSPCLK(1)	$t_{c(LSPCLK)}$		ns
M33、M42、M52、M61	$t_{c(CKX)}$	サイクル時間、CLKX(2)	16P		ns
該当なし	$t_{skew(CKX-Data)}$	サンプリングされたクロックとデータの GBD を確保するための、クロックとデータの間の最悪のスキュー			ns
CLKSTP = 10b、CLKXP = 0					
M30	$t_{su(DRV-CKXL)}$	セットアップ時間、DR 有効から CLKX LOW まで	8P - 10		ns
M31	$t_{h(CKXL-DRV)}$	ホールド時間、CLKX low から DR 有効の間	8P - 10		ns
M32	$t_{su(BFXL-CKXH)}$	セットアップ時間、FSX LOW から CLKX HIGH まで	8P+10		ns
CLKSTP = 11b、CLKXP = 0					
M39	$t_{su(DRV-CKXH)}$	セットアップ時間、DR 有効から CLKX High まで	8P - 10		ns
M40	$t_{h(CKXH-DRV)}$	ホールド時間、CLKX HIGH から DR 有効の間	8P - 10		ns
M41	$t_{su(FXL-CKXH)}$	セットアップ時間、FSX LOW から CLKX HIGH まで	16P+10		ns
CLKSTP = 10b、CLKXP = 1					
M49	$t_{su(DRV-CKXH)}$	セットアップ時間、DR 有効から CLKX High まで	8P - 10		ns
M50	$t_{h(CKXH-DRV)}$	ホールド時間、CLKX HIGH から DR 有効の間	8P - 10		ns
M51	$t_{su(FXL-CKXL)}$	セットアップ時間、FSX LOW から CLKX LOW まで	8P+10		ns
CLKSTP = 11b、CLKXP = 1					
M58	$t_{su(DRV-CKXL)}$	セットアップ時間、DR 有効から CLKX LOW まで	8P - 10		ns
M59	$t_{h(CKXL-DRV)}$	ホールド時間、CLKX low から DR 有効の間	8P - 10		ns
M60	$t_{su(FXL-CKXL)}$	セットアップ時間、FSX LOW から CLKX LOW まで	16P+10		ns

(1) CLKG は、CLKSM = 1 および CLKGDV = 1 に設定することにより、LSPCLK/2 に構成する必要があります
(2) SPI スレーブ モードの場合、CLKX は最小 8 CLKG サイクルにする必要があります

Copyright © 2026 Texas Instruments Incorporated

6.11.3.1.2.4 SPI スレーブとしての McBSP スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

番号	パラメータ		最小値	代表値	最大値	単位
クロック						
	2P	サイクル時間、CLKG				ns
CLKSTP = 10b、CLKXP = 0						
M26	$t_{d(CLKXH-DXV)}$	遅延時間、CLKX HIGH から DX 有効まで	3P + 6		5P + 20	ns
M28	$t_{dis(FXH-DXHZ)}$	ディセーブル時間、FSX HIGH から最後のデータ ビットに続く DX ハイ インピーダンスまで	6P + 6			ns
M29	$t_{d(FXL-DXV)}$	遅延時間、FSX LOW から DX 有効まで	4P + 6			ns
CLKSTP = 11b、CLKXP = 0						
M36	$t_{d(CLKXL-DXV)}$	遅延時間、CLKX LOW から DX 有効まで	3P + 6		5P + 20	ns
M37	$t_{dis(CKXL-DXHZ)}$	ディセーブル時間、CLKX LOW から最後のデータ ビットに続く DX ハイ インピーダンスまで	7P + 6			ns
M38	$t_{d(FXL-DXV)}$	遅延時間、FSX LOW から DX 有効まで	4P + 6			ns
CLKSTP = 10b、CLKXP = 1						
M45	$t_{d(CLKXL-DXV)}$	遅延時間、CLKX LOW から DX 有効まで	3P + 6		5P + 20	ns
M47	$t_{dis(FXH-DXHZ)}$	ディセーブル時間、FSX HIGH から最後のデータ ビットに続く DX ハイ インピーダンスまで	6P + 6			ns
M48	$t_{d(FXL-DXV)}$	遅延時間、FSX LOW から DX 有効まで	4P + 6			ns
CLKSTP = 11b、CLKXP = 1						
M55	$t_{d(CLKXH-DXV)}$	遅延時間、CLKX HIGH から DX 有効まで	3P + 6		5P + 20	ns
M56	$t_{dis(CKXH-DXHZ)}$	ディセーブル時間、CLKX HIGH から最後のデータ ビットに続く DX ハイ インピーダンスまで	7P + 6			ns
M57	$t_{d(FXL-DXV)}$	遅延時間、FSX LOW から DX 有効まで	4P + 6			ns

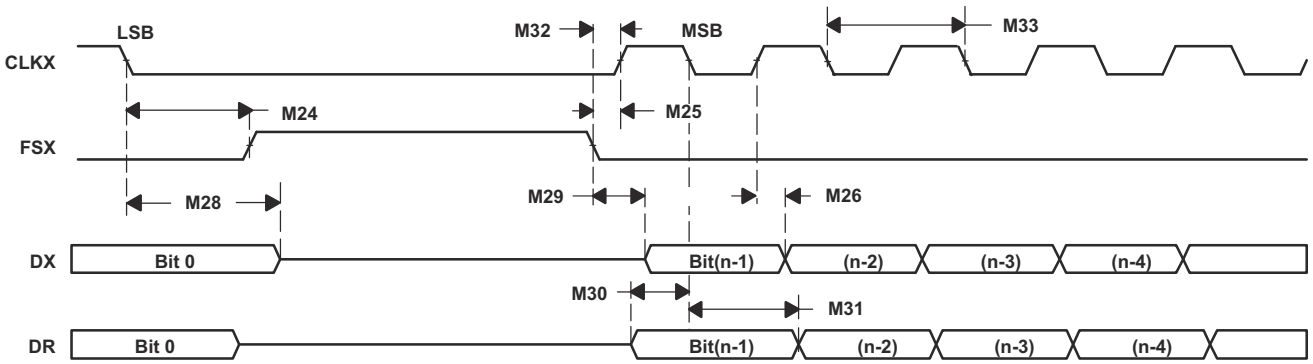


図 6-69. SPI マスタまたはスレーブとしての McBSP タイミング：CLKSTP = 10b、CLKXP = 0

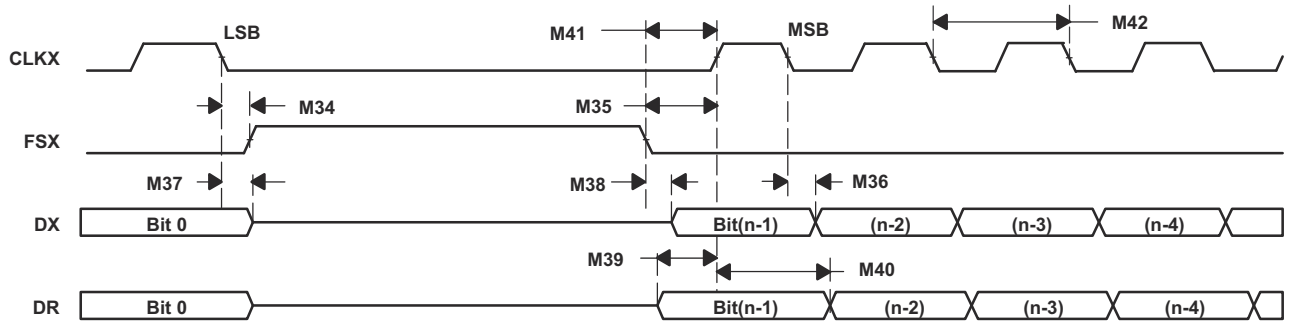


図 6-70. SPI マスタまたはスレーブとしての McBSP タイミング：CLKSTP = 11b、CLKXP = 0

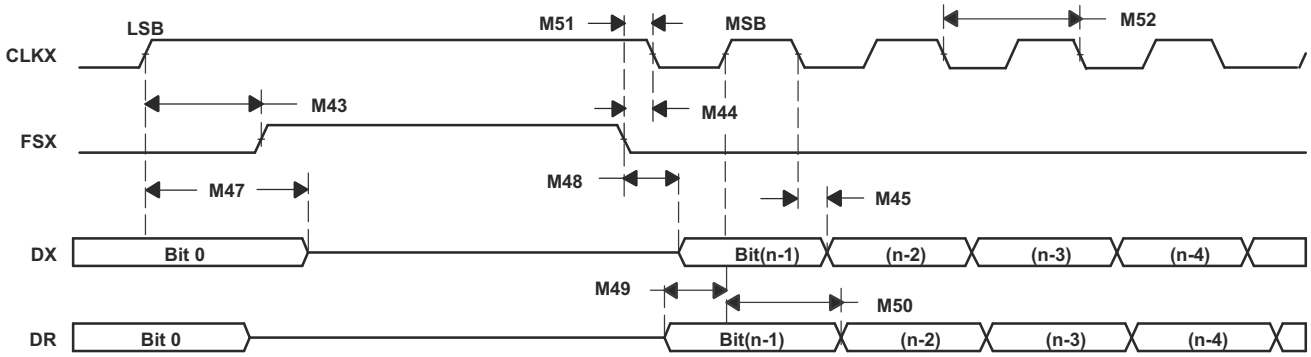


図 6-71. SPI マスタまたはスレーブとしての McBSP タイミング：CLKSTP = 10b、CLKXP = 1

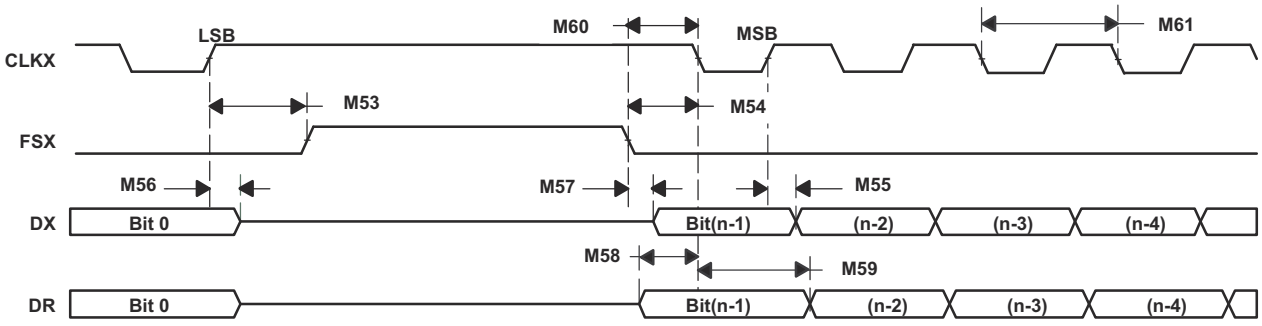


図 6-72. SPI マスタまたはスレーブとしての McBSP タイミング：CLKSTP = 11b、CLKXP = 1

Copyright © 2026 Texas Instruments Incorporated

6.11.4 シリアル通信インターフェイス (SCI)

シリアル通信インターフェイス (SCI) は、一般的には UART と呼ばれる 2 線式非同期シリアル・ポートです。SCI モジュールは、CPU と、標準 NRZ (non-return-to-zero) フォーマットを使用する他の非同期ペリフェラルとの間のデジタル通信をサポートします。

SCI のレシーバおよびトランスミッタは、処理オーバーヘッドを削減するための 16 段 FIFO を備えており、それぞれ独自のイネーブル・ビットと割り込みビットがあります。どちらも、半二重通信用に独立して動作するか、または全二重通信用に同時に動作できます。データの整合性を確保するために、SCI は、受信データの破損検出、パリティ、オーバーラン、およびフレーミングエラーをチェックします。ビット・レートは、16 ビットのボー選択レジスタにより、さまざまな速度にプログラム可能です。機能ブロック図を 図 6-73 に示します。

SCI モジュールには次のような特長があります。

- 2 本の外部ピン:
  - SCITXD:SCI 送信出力ピン
  - SCIRXD:SCI 受信入力ピン

注

注:いずれのピンも、SCI に使用しない場合は、GPIO として使用できます。

  - 64K の異なるレートにプログラム可能なボーレート
- データ・ワード・フォーマット
  - 1 スタート・ビット
  - データ・ワード (1～8 ビットの範囲でワード長をプログラム可能)
  - パリティ・ビット (偶数 / 奇数 / なしを選択可能)
  - 1 または 2 ストップ・ビット
- 4 つのエラー検出フラグ:パリティ、オーバーラン、フレーミング、ブレーク検出
- 2 つのウェークアップ・マルチプロセッサ・モード:アイドル・ラインおよびアドレス・ビット
- 半二重または全二重動作
- ダブル・バッファ付きの受信および送信機能
- トランスミッタおよびレシーバの動作は、割り込み駆動、またはステータス・フラグのポーリング・アルゴリズムによって実現できます。
  - トランスミッタ:TXRDY フラグ (送信バッファ・レジスタは次の文字の受信準備完了) および TX EMPTY フラグ (送信シフト・レジスタは空)
  - レシーバ RXRDY フラグ (受信バッファ・レジスタは次の文字の受信準備完了)、BRKDT フラグ (ブレーク条件発生)、RX ERROR フラグ (4 つの割り込み条件の監視)
- トランスミッタおよびレシーバの割り込み用に個別のイネーブル・ビット (BRKDT を除く)
- NRZ フォーマット
- 自動ボー検出ハードウェア・ロジック
- 16 レベルの送信および受信 FIFO

注

このモジュールのすべてのレジスタは、8 ビット・レジスタです。レジスタにアクセスすると、レジスタ・データは下位バイト (ビット 7 ~ 0) になり、上位バイト (ビット 15 ~ 8) はゼロとして読み取られます。上位バイトへの書き込みは、何も影響がありません。

Copyright © 2026 Texas Instruments Incorporated

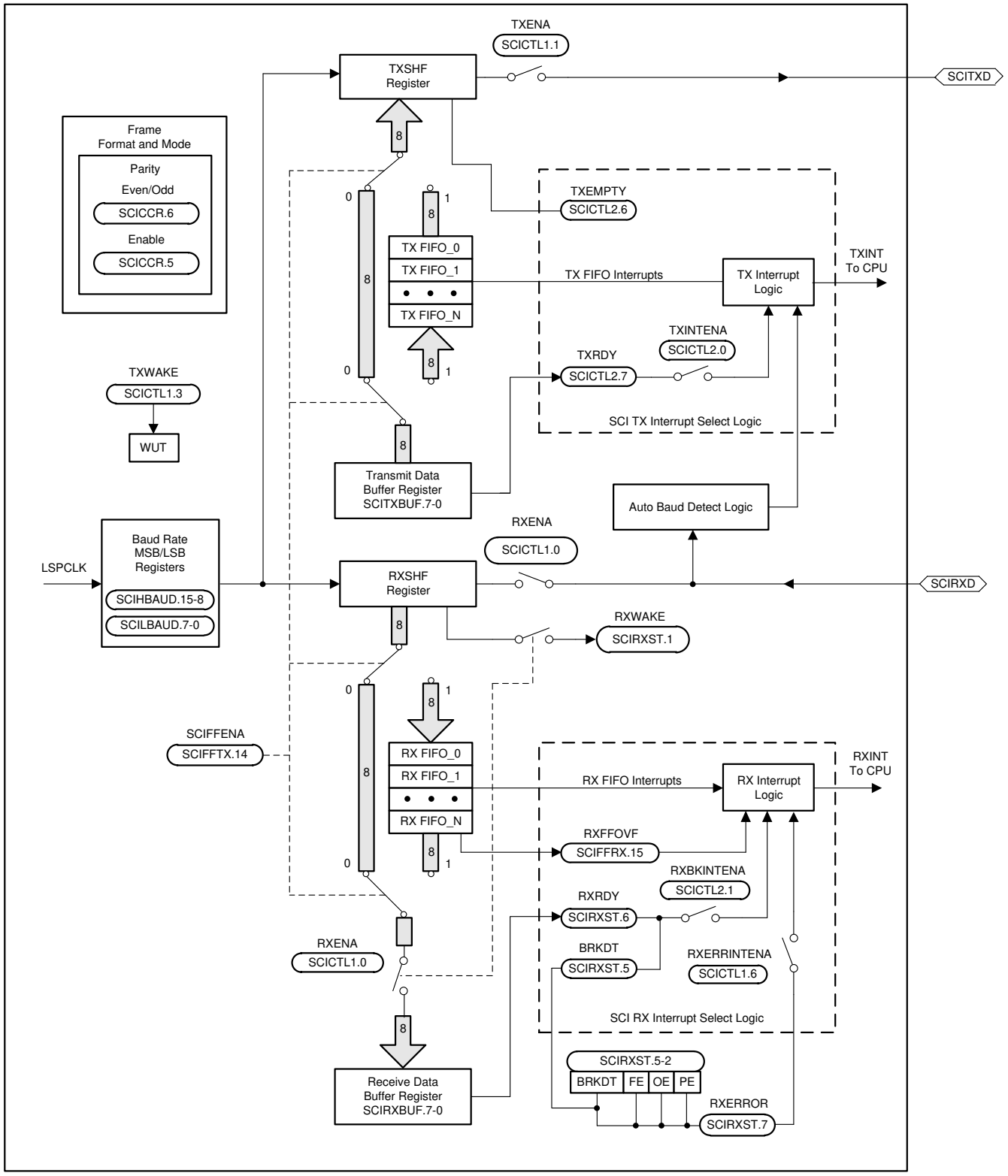


図 6-73. SCI ブロック図

Copyright © 2026 Texas Instruments Incorporated

全二重動作で使用される主な要素は次のとおりです。

- トランスミッタ (TX) とその主要なレジスタ:
  - SCITXBUF レジスタ – 送信データ・バッファ・レジスタ。送信するデータ (CPU によってロードされる) が入っています
  - TXSHF レジスタ – 送信シフト・レジスタ。SCITXBUF レジスタからデータを受け取って、データを一度に 1 ビットずつシフトして SCITXD ピンに出力します
- レシーバ (RX) とその主要なレジスタ:
  - RXSHF レジスタ – 受信シフト・レジスタ。データを SCIRXD ピン から 1 ビットずつシフトして受け入れます
  - SCIRXBUF レジスタ – 受信データ・バッファ・レジスタ。このデータを CPU が 読み取ります。リモート・プロセッサからのデータは RXSHF レジスタにロードされ、次に SCIRXBUF レジスタおよび SCIRXEMU レジスタにロードされます
- プログラム可能なボー・ジェネレータ
- データ・メモリにマップされた制御レジスタおよびステータス・レジスタにより、CPU は I2C モジュールのレジスタと FIFO にアクセスできます。

SCI レシーバとトランスミッタは、独立して動作します。

Copyright © 2026 Texas Instruments Incorporated

6.11.5 シリアル・ペリフェラル・インターフェイス (SPI)

SPI は、高速な同期シリアル入出力 (I/O) ポートであり、この機能により、プログラムされた長さ (1～16 ビット) のシリアル ビット ストリームを、プログラムされたビット転送速度でシフトして、デバイスに入力、デバイスから出力できます。SPI は、マイクロコントローラと、外部ペリフェラルや他のコントローラとの間の通信に使用されます。代表的な用途には、シフト レジスタ、ディスプレイ ドライバ、ADC などのデバイスを使用した外部 I/O またはペリフェラル拡張が含まれます。マルチデバイス通信は、SPI のマスタ / スレーブ動作によってサポートされています。このポートは、16 レベルの受信および送信 FIFO をサポートしており、CPU サービスのオーバーヘッドを低減できます。

SPI モジュールの主な特長は次のとおりです。

- SPISOMI：SPI スレーブ出力 / マスタ入力ピン
- SPISIMO：SPI スレーブ入力 / マスタ出力ピン
- $\overline{\text{SPISTE}}$：SPI スレーブ送信イネーブル ピン
- SPICLK：SPI シリアル クロック ピン
- マスタとスレーブの 2 つの動作モード
- ボーレート：プログラム可能な 125 種類のレート
- データ ワード長：1～16 データ ビット
- 4 つのクロック方式 (クロックの極性とクロック位相ビットで制御) には、次のものがあります。
  - 位相遅延なしの立ち下がりエッジ：SPICLK アクティブ High。SPI は、SPICLK 信号の立ち下がりエッジでデータを送信し、SPICLK 信号の立ち上がりエッジでデータを受信します。
  - 位相遅延付きの立ち下がりエッジ：SPICLK アクティブ High。SPI は、SPICLK 信号の立ち下がりエッジより半サイクル前にデータを送信し、SPICLK 信号の立ち下がりエッジでデータを受信します。
  - 位相遅延なしの立ち上がりエッジ：SPICLK 非アクティブ Low。SPI は、SPICLK 信号の立ち上がりエッジでデータを送信し、SPICLK 信号の立ち下がりエッジでデータを受信します。
  - 位相遅延付きの立ち上がりエッジ：SPICLK 非アクティブ Low。SPI は、SPICLK 信号の立ち上がりエッジより半サイクル前にデータを送信し、SPICLK 信号の立ち上がりエッジでデータを受信します。
- 送受信の同時動作 (送信機能はソフトウェアで無効化可能)
- トランスミッタとレシーバの動作は、割り込み駆動またはポーリング アルゴリズムによって実現されます。
- 16 レベルの送信および受信 FIFO
- 遅延送信制御
- 3 線式 SPI モード
- 2 つの SPI モジュールを搭載したデバイスでの、デジタル オーディオ インターフェイス受信モードのための $\overline{\text{SPISTE}}$ 反転
- DMA のサポート
- 最大 50MHz の全二重通信に対応する高速モード

SPI は、マスタ モードまたはスレーブ モードで動作します。マスタは、SPICLK 信号を送信してデータ転送を開始します。スレーブとマスタの両方について、データは SPICLK の一方のエッジでシフト レジスタからシフトして出力され、もう一方の SPICLK クロック エッジでラッチされてシフト レジスタに入力されます。CLOCK PHASE ビット (SPICTL.3) が HIGH の場合、SPICLK 遷移の半サイクル前にデータが送受信されます。その結果、両方のコントローラが同時にデータを送受信します。アプリケーション ソフトウェアは、データが意味のあるものか、それともダミーのデータかを判定します。データ転送には、次の 3 つの方法があります。

- マスターはデータを送信、スレーブはダミー データを送信
- マスタはデータを送信、スレーブはデータを送信
- マスターはダミー データを送信、スレーブはデータを送信

マスタが SPICLK 信号を制御しているので、マスタは、いつでもデータ転送を開始できます。ただし、データ ブロードキャストに対するスレーブの準備状況をマスタが検出する方法は、ソフトウェアによって決まります。

Copyright © 2026 Texas Instruments Incorporated

図 6-74 に、SPI CPU インターフェイスを示します。

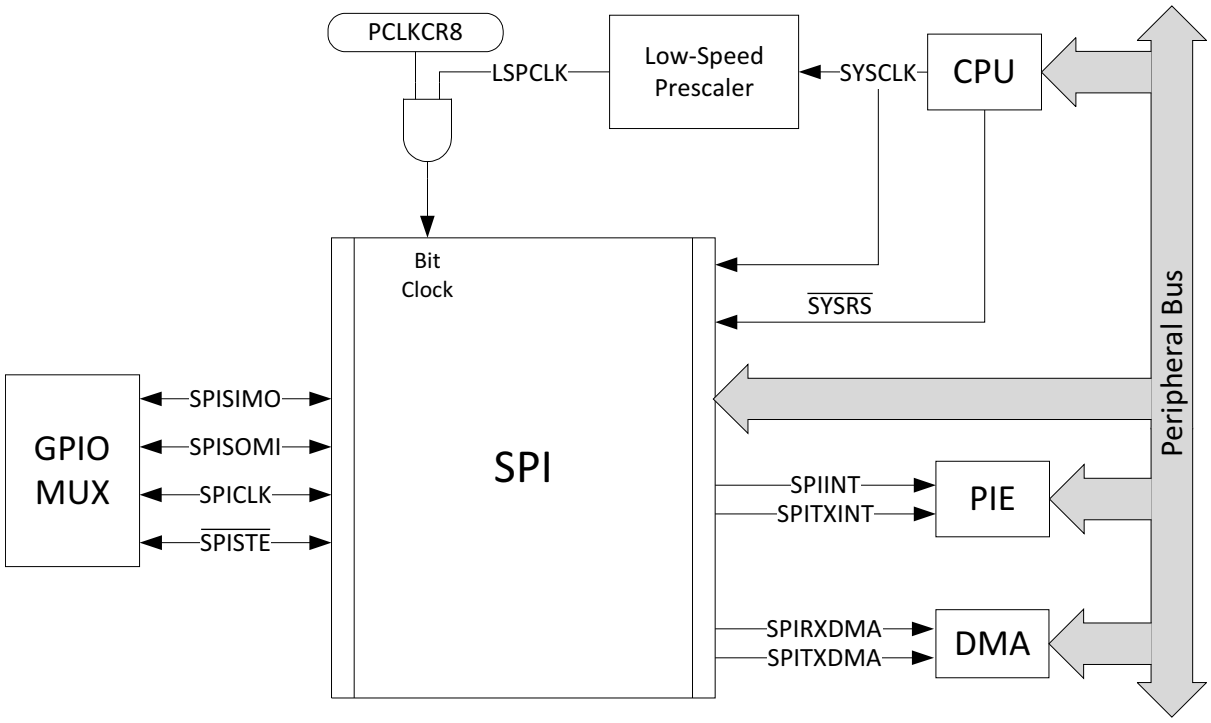


図 6-74. SPI CPU インターフェイス

6.11.5.1 SPI の電気的データおよびタイミング

注

SPI 高速モードのすべてのタイミング パラメータは、SPICLK、SPISIMO、SPISOMI の負荷容量を 5pF と仮定しています。

高速モードの SPI の詳細については、『TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「シリアル ペリフェラル インターフェイス (SPI)」の章を参照してください。

SPI を高速モードで使用するには、高速対応 GPIO を使用する必要があります (セクション 5.4.5 を参照)。

6.11.5.1.1 SPI マスタ・モードのタイミング

セクション 6.11.5.1.1.1 に、SPI マスタ・モードのタイミング要件を示します。セクション 6.11.5.1.1.2 に、SPI マスタ・モードのスイッチング特性 (クロック位相 = 0) を示します。セクション 6.11.5.1.1.3 に、SPI マスタ・モードのスイッチング特性 (クロック位相 = 1) を示します。図 6-75 に、クロック位相 = 0 の場合の SPI マスタ・モードの外部タイミングを示します。図 6-76 に、クロック位相 = 1 の場合の SPI マスタ・モードの外部タイミングを示します。

6.11.5.1.1.1 SPI マスタ・モードのタイミング要件

番号			(BRR+1) 条件 (1)	最小値	最大	単位
高速モード						
8	$t_{su(SOMI)M}$	セットアップ時間、SPISOMI 有効から SPICLK まで	偶数、奇数	1		ns
9	$t_{h(SOMI)M}$	ホールド時間、SPICLK から SPISOMI 有効の間	偶数、奇数	5		ns
通常モード						
8	$t_{su(SOMI)M}$	セットアップ時間、SPISOMI 有効から SPICLK まで	偶数、奇数	20		ns
9	$t_{h(SOMI)M}$	ホールド時間、SPICLK から SPISOMI 有効の間	偶数、奇数	0		ns

(1) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

6.11.5.1.1.2 SPI マスタ モードのスイッチング特性 (クロック位相=0)

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		(BRR+1) 条件 (1)	最小値	最大値	単位
全般						
1	$t_{c(SPC)M}$	サイクル時間、SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$	パルス幅、SPICLK、最初のパルス	偶数	$0.5t_{c(SPC)M}$ - 1	$0.5t_{c(SPC)M}$ + 1	ns
			奇数	$0.5t_{c(SPC)M}$ + $0.5t_{c(LSPCLK)}$ – 1	$0.5t_{c(SPC)M}$ + $0.5t_{c(LSPCLK)}$ + 1	
3	$t_{w(SPC2)M}$	パルス幅、SPICLK、2 番目のパルス	偶数	$0.5t_{c(SPC)M}$ - 1	$0.5t_{c(SPC)M}$ + 1	ns
			奇数	$0.5t_{c(SPC)M}$ –$0.5t_{c(LSPCLK)}$ – 1	$0.5t_{c(SPC)M}$ –$0.5t_{c(LSPCLK)}$ + 1	
23	$t_{d(SPC)M}$	遅延時間、$\overline{SPISTE}$ アクティブから SPICLK まで	偶数	$1.5t_{c(SPC)M}$ - $3t_{c(SYSCLK)}$ – 7	$1.5t_{c(SPC)M}$ - $3t_{c(SYSCLK)}$ + 5	ns
			奇数	$1.5t_{c(SPC)M}$ - $4t_{c(SYSCLK)}$ – 7	$1.5t_{c(SPC)M}$ - $4t_{c(SYSCLK)}$ + 5	

Copyright © 2026 Texas Instruments Incorporated

6.11.5.1.1.2 SPI マスタ モードのスイッチング特性 (クロック位相=0) (続き)

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		(BRR+1) 条件 (1)	最小値	最大値	単位
24	$t_{v(STE)M}$	有効時間、SPICLK から $\overline{SPISTE}$ 非アクティブまで	偶数	$0.5t_{c(SPC)M}$ - 7	$0.5t_{c(SPC)M}$ + 5	ns
			奇数	$0.5t_{c(SPC)M}$ –$0.5t_{c(LSPCLK)}$ – 7	$0.5t_{c(SPC)M}$ –$0.5t_{c(LSPCLK)}$ + 5	
高速モード						
4	$t_{d(SIMO)M}$	遅延時間、SPICLK から SPISIMO 有効まで	偶数、奇数		1	ns
5	$t_{v(SIMO)M}$	有効時間、SPICLK の後 SPISIMO が有効の期間	偶数	$0.5t_{c(SPC)M}$ - 2		ns
			奇数	$0.5t_{c(SPC)M}$ –$0.5t_{c(LSPCLK)}$ – 2		
通常モード						
4	$t_{d(SIMO)M}$	遅延時間、SPICLK から SPISIMO 有効まで	偶数、奇数		6	ns
5	$t_{v(SIMO)M}$	有効時間、SPICLK の後 SPISIMO が有効の期間	偶数	$0.5t_{c(SPC)M}$ - 5		ns
			奇数	$0.5t_{c(SPC)M}$ –$0.5t_{c(LSPCLK)}$ – 5		

(1) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

6.11.5.1.1.3 SPI マスタ モードのスイッチング特性 (クロック位相=1)

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		(BRR+1) 条件(1)	最小値	最大値	単位
全般						
1	$t_{c(SPC)M}$	サイクル時間、SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPCH)M}$	パルス幅、SPICLK、最初のパルス	偶数	$0.5t_{c(SPC)M}$ - 1	$0.5t_{c(SPC)M}$ + 1	ns
			奇数	$0.5t_{c(SPC)M}$ - $0.5t_{c(LSPCLK)}$ - 1	$0.5t_{c(SPC)M}$ – $0.5t_{c(LSPCLK)}$+ 1	
3	$t_{w(SPC2)M}$	パルス幅、SPICLK、2 番目のパルス	偶数	$0.5t_{c(SPC)M}$ - 1	$0.5t_{c(SPC)M}$ + 1	ns
			奇数	$0.5t_{c(SPC)M}$ + $0.5t_{c(LSPCLK)}$ + 1	$0.5t_{c(SPC)M}$ + $0.5t_{c(LSPCLK)}$ + 1	
23	$t_{d(SPC)M}$	遅延時間、$\overline{SPISTE}$ 有効から SPICLK まで	偶数、奇数	2tc(SPC)M – 3tc(SYSCLK) – 7	2tc(SPC)M – 3tc(SYSCLK) + 5	ns
24	$t_{v(STE)M}$	有効時間、SPICLK から $\overline{SPISTE}$ 無効まで	偶数	– 7	+5	ns
			奇数	– 7	+5	
高速モード						
4	$t_{d(SIMO)M}$	遅延時間、SPISIMO 有効から SPICLK まで	偶数	$0.5t_{c(SPC)M}$ - 1		ns
			奇数	$0.5t_{c(SPC)M}$ + $0.5t_{c(LSPCLK)}$ + 1		
5	$t_{v(SIMO)M}$	有効時間、SPICLK の後 SPISIMO が有効の期間	偶数	$0.5t_{c(SPC)M}$ - 2		ns
			奇数	$0.5t_{c(SPC)M}$ - $0.5t_{c(LSPCLK)}$ - 2		
通常モード						
4	$t_{d(SIMO)M}$	遅延時間、SPISIMO 有効から SPICLK まで	偶数	$0.5t_{c(SPC)M}$ - 5		ns
			奇数	$0.5t_{c(SPC)M}$ + $0.5t_{c(LSPCLK)}$ - 5		

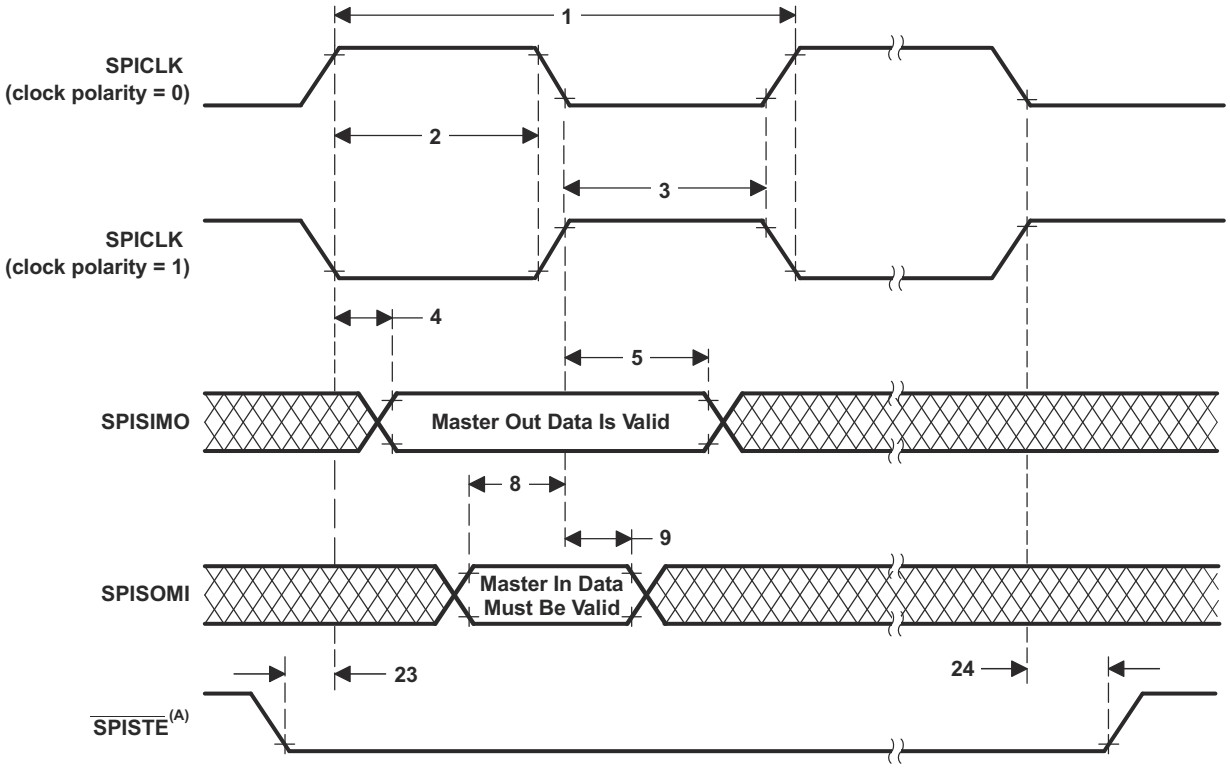
Copyright © 2026 Texas Instruments Incorporated

6.11.5.1.1.3 SPI マスタ モードのスイッチング特性 (クロック位相=1) (続き)

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		(BRR+1) 条件(1)	最小値	最大値	単位
5	$t_{v(SIMO)M}$	有効時間、SPICLK の後 SPISIMO が有効の期間	偶数	$0.5t_{c(SPC)M}$ - 5		ns
			奇数	$0.5t_{c(SPC)M}$ - $0.5t_{c(LSPCLK)}$ - 5		

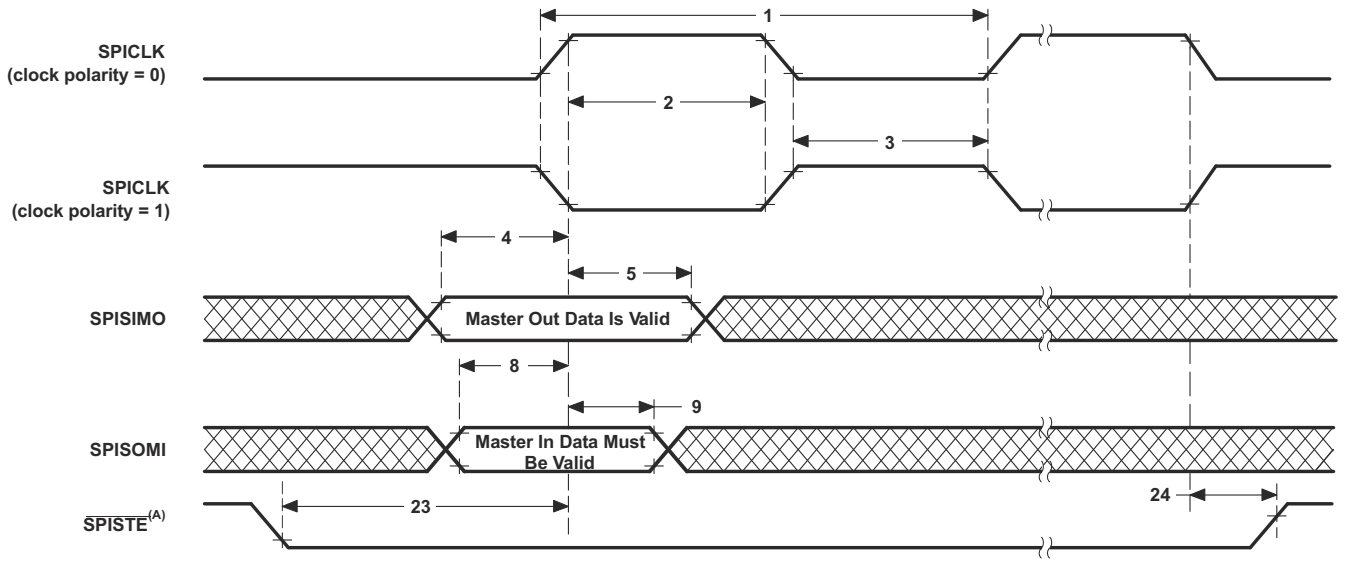
(1) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。



A. ワードの末尾では、SPISTE は、FIFO モードおよび非 FIFO モードの連続送信ワード間を除いて、非アクティブになります。

図 6-75. SPI マスタ モードの外部タイミング (クロック位相=0)

Copyright © 2026 Texas Instruments Incorporated



A. ワードの末尾では、SPISTE は、FIFO モードおよび非 FIFO モードの連続送信ワード間を除いて、非アクティブになります。

図 6-76. SPI マスタ モードの外部タイミング (クロック位相=1)

6.11.5.1.2 SPI スレーブ・モードのタイミング

セクション 6.11.5.1.2.1 に、SPI スレーブ・モードのタイミング要件を示します。セクション 6.11.5.1.2.2 に、SPI スレーブ・モードのスイッチング特性を示します。図 6-77 に、クロック位相 = 0 の場合の SPI スレーブ・モードの外部タイミングを示します。図 6-78 に、クロック位相 = 1 の場合の SPI スレーブ・モードの外部タイミングを示します。

6.11.5.1.2.1 SPI スレーブ・モードのタイミング要件

番号			最小値	最大値	単位
12	$t_{c(SPC)S}$	サイクル時間、SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$	パルス幅、SPICLK、最初のパルス	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)S}$	パルス幅、SPICLK、2 番目のパルス	$2t_{c(SYSCLK)} - 1$		ns
19	$t_{su(SIMO)S}$	セットアップ時間、SPISIMO 有効から SPICLK まで	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(SIMO)S}$	ホールド時間、SPICLK から SPISIMO 有効の間	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)S}$	セットアップ時間、$\overline{\text{SPISTE}}$ 有効から SPICLK まで (クロック位相 = 0)	$2t_{c(SYSCLK)} + 4$		ns
		セットアップ時間、$\overline{\text{SPISTE}}$ 有効から SPICLK まで (クロック位相 = 1)	$2t_{c(SYSCLK)} + 14$		ns
26	$t_{h(STE)S}$	ホールド時間、SPICLK から $\overline{\text{SPISTE}}$ 無効まで	$1.5t_{c(SYSCLK)}$		ns

6.11.5.1.2.2 SPI スレーブ・モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		最小値	最大値	単位
高速モード					
15	$t_{d(SOMI)S}$	遅延時間、SPICLK から SPISOMI 有効まで		9	ns
16	$t_{v(SOMI)S}$	有効時間、SPICLK から SPISOMI 有効の間	0		ns
通常モード					
15	$t_{d(SOMI)S}$	遅延時間、SPICLK から SPISOMI 有効まで		20	ns
16	$t_{v(SOMI)S}$	有効時間、SPICLK から SPISOMI 有効の間	0		ns

Copyright © 2026 Texas Instruments Incorporated

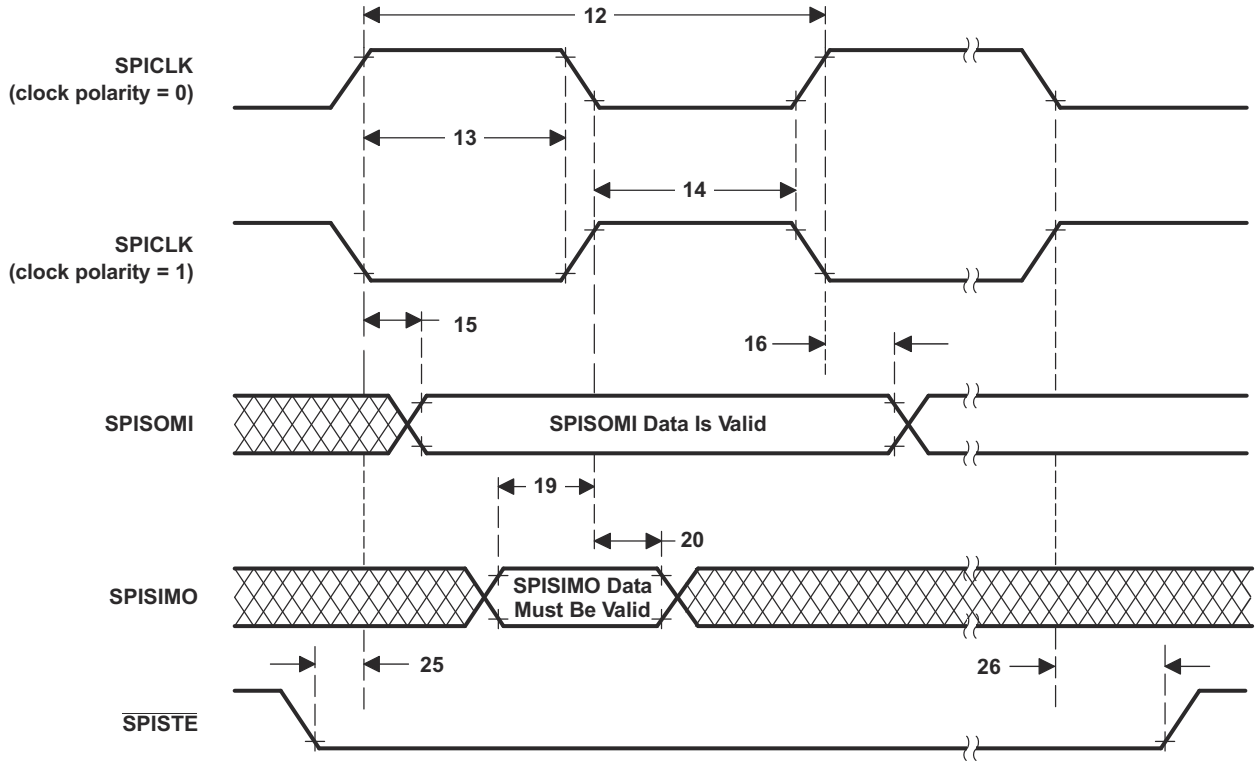


図 6-77. SPI マスタ・モードの外部タイミング (クロック位相 = 0)

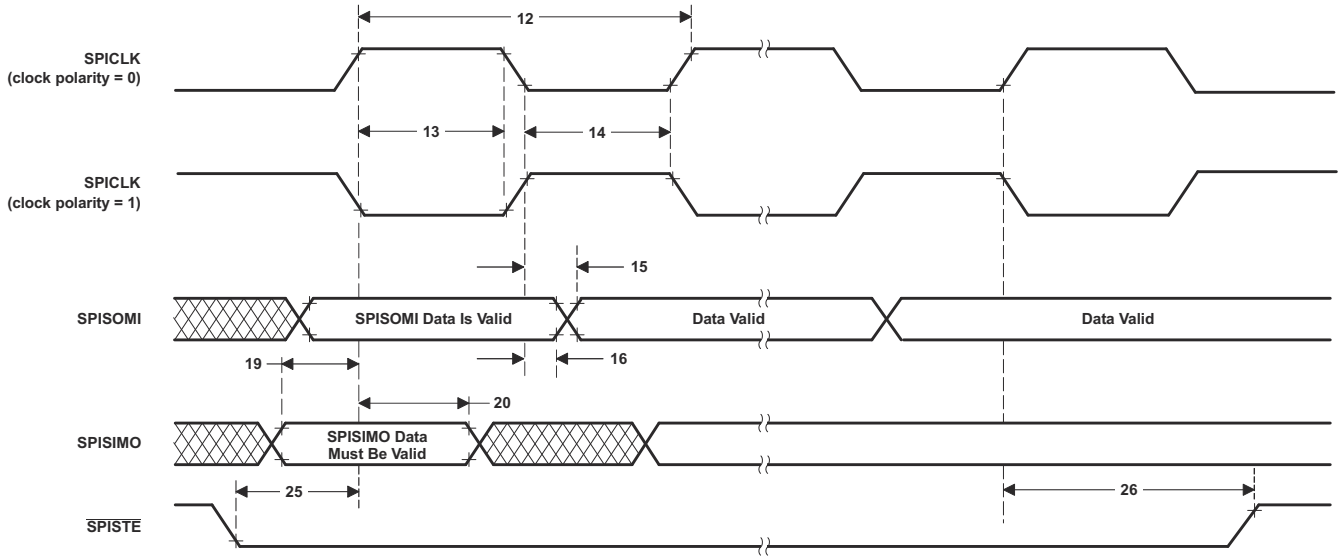


図 6-78. SPI マスタ・モードの外部タイミング (クロック位相 = 1)

6.11.6 ユニバーサル・シリアル・バス (USB) コントローラ

この USB コントローラは、USB ホストまたはデバイス機能とのフルスピードまたはロースピードでのポイントツーポイント通信機能コントローラとして動作します。

USB モジュールの主な機能は次のとおりです。

- USB 2.0 フルスピードおよびロースピード動作
- PHY 内蔵
- 制御、割り込み、バルクの 3 つの転送タイプ
- 32 個のエンドポイント
  - コントロール転送専用の IN エンドポイントおよび OUT エンドポイント各 1 個
  - 転送タイプが設定可能な IN エンドポイントおよび OUT エンドポイント各 15 個
- 4KB の専用エンドポイント・メモリ:

USB ブロック図を 図 6-79 に示します。

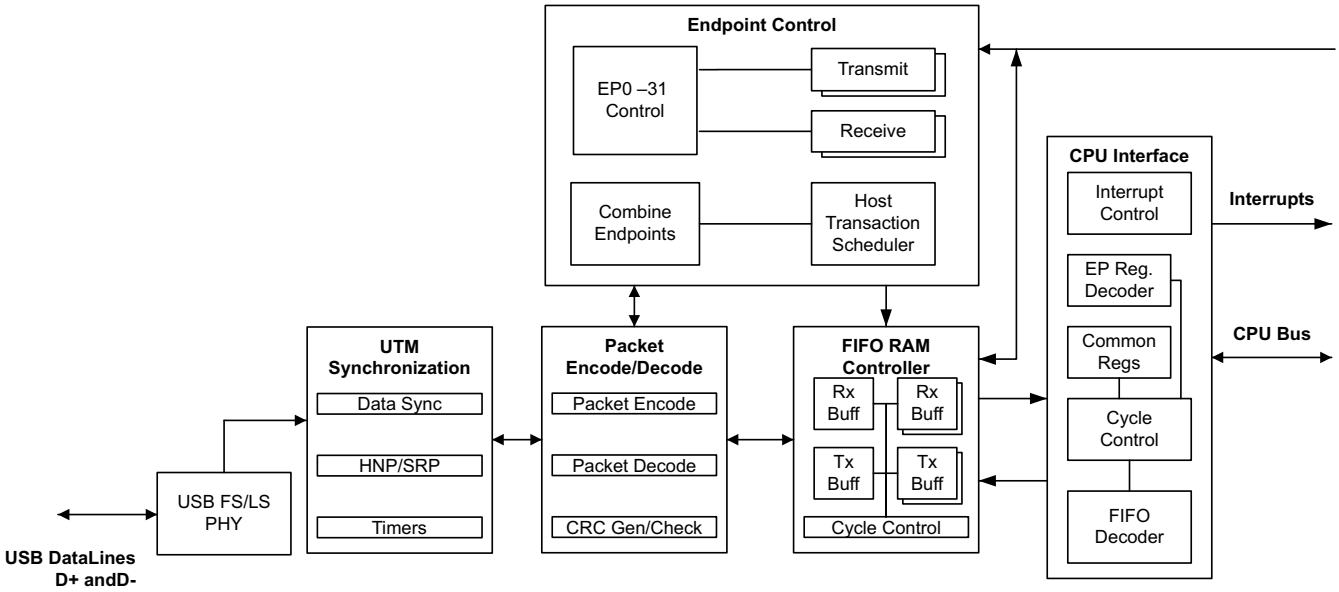


図 6-79. USB ブロック図

注

オンチップのゼロピン発振器 (セクション 6.8.3.5.1、内部発振器の電気的特性) の精度は、USB プロトコルの精度要件を満たしません。USB を使用するアプリケーションでは、外部クロック・ソースを使用する必要があります。USB ブート・モードを使用するアプリケーションについては、セクション 7.10 (ブート ROM およびペリフェラル・ブート) でクロック周波数の要件を参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.11.6.1 USB の電気的データおよびタイミング

セクション 6.11.6.1.1 に、USB 入力ポートの DP および DM タイミング要件を示します。セクション 6.11.6.1.2 に、USB 出力ポートの DP および DM スイッチング特性を示します。

6.11.6.1.1 USB 入力ポート DP および DM のタイミング要件

		最小値	最大値	単位
V(CM)	差動入力同相範囲	0.8	2.5	V
Z(IN)	入力インピーダンス	300		kΩ
VCRS	クロスオーバー電圧	1.3	2.0	V
V_{IL}	静的 SE 入力ロジック LOW レベル	0.8		V
V_{IH}	静的 SE 入力ロジック HIGH レベル		2.0	V
VDI	差動入力電圧		0.2	V

6.11.6.1.2 USB 出力ポート DP および DM スイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	最大値	単位
V_{OH}	D+、D– シングルエンド	USB 2.0 負荷条件	2.8	3.6	V
V_{OL}	D+、D– シングルエンド	USB 2.0 負荷条件	0	0.3	V
Z(DRV)	D+、D- インピーダンス		28	44	Ω
t_r	立ち上がり時間	フルスピード、差動、C_L = 50pF、10%/90%、D+ に Rpu	4	20	ns
t_f	立ち下がり時間	フルスピード、差動、C_L = 50pF、10%/90%、D+ に Rpu	4	20	ns

Copyright © 2026 Texas Instruments Incorporated

6.11.7 ユニバーサル・パラレル・ポート (uPP) インターフェイス

uPP インターフェイスは、専用のデータ・ラインと最小限の制御信号を備えた高速パラレル・インターフェイスです。uPP インターフェイスは、8 ビットのデータ幅を持つ高速 ADC または DAC とクリーンにインターフェイスできるように設計されています。フィールド・プログラマブル・ゲート・アレイ (FPGA) または他の uPP デバイスと相互接続して、高速デジタル・データ転送を実現することもできます。受信モードまたは送信モード (シンプレックス・モード) で動作できます。

uPP インターフェイスは、内部 DMA コントローラを備えており、高速データ転送時のスループットを最大化し、CPU オーバーヘッドを最小限に抑えます。すべての uPP トランザクションは、内部 DMA を使用して、I/O チャネルへデータを供給、または I/O チャネルから取得します。I/O チャネルは 1 つしか存在しませんが、DMA コントローラにはデータ・インターリーブ・モードをサポートするための 2 つの DMA チャネルが用意されており、すべての DMA リソースが 1 つの I/O チャネルにサービスを提供します。

このデバイスでは、uPP インターフェイスは CPU1 サブシステムの専用リソースです。CPU1、CPU1.CLA1、および CPU1.DMA からこのモジュールにアクセスできます。2 つの専用 512 バイト・データ RAM (MSG RAM とも呼ばれます) が、uPP モジュール (TX と RX にそれぞれ 1 つずつ) と緊密に結合されています。これらのデータ RAM は、大量のデータを格納して、CPU への頻繁な割り込みを避けるために使用されます。これらのデータ RAM にアクセスできるのは、CPU1 と CPU1.CLA1 のみです。図 6-80 に、このデバイスでの uPP の統合を示します。

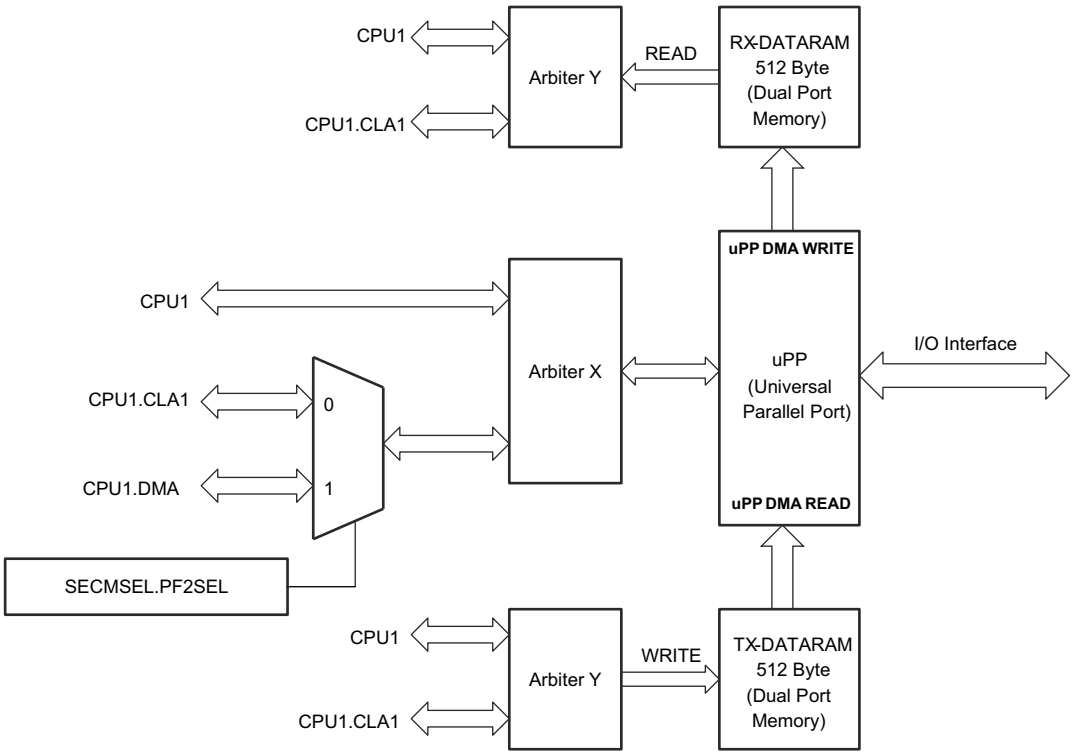


図 6-80. uPP 統合

注

一部の TI デバイスでは、uPP モジュールは無線ペリフェラル・インターフェイス (RPI) モジュールとも呼ばれます。

Copyright © 2026 Texas Instruments Incorporated

uPP インターフェイスは、以下をサポートしています。

- パラレル変換インターフェイス付きのメインストリーム高速データ・コンバータ。
- フレーム・スタート通知機能付きのメインストリーム高速ストリーミング・インターフェイス。
- データ・イネーブル通知機能付きのメインストリーム高速ストリーミング・インターフェイス。
- 同期ウェイト信号付きのメインストリーム高速ストリーミング・インターフェイス。
- SDR (シングル・データ・レート) または DDR (ダブル・データ・レート、インターリーブ) インターフェイス。
- SDR 送信の場合におけるインターリーブ・データの多重化。
- DDR の場合におけるインターリーブ・データの多重分離と多重化。
- I/O インターフェイスのクロック周波数は、SDR では最大 50MHz、DDR では最大 25MHz。
- シングル・チャネル 8 ビット入力受信または出力送信モード。
- 純粋な読み取りまたは純粋な書き込みの場合、最大スループット 50MB/s。
- DSP から FPGA への汎用ストリーミング・インターフェイスとして利用可能。

図 6-81 に、uPP の機能ブロック図を示します。

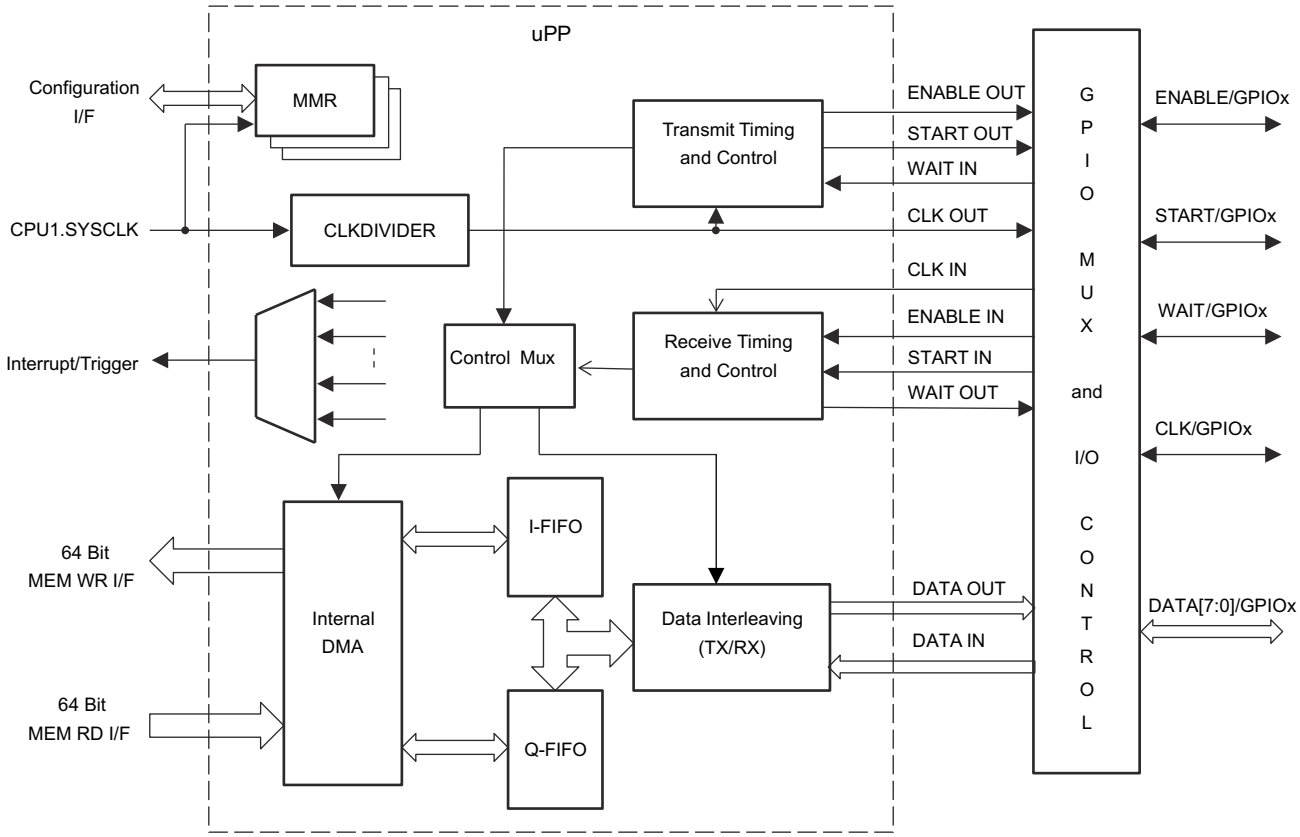


図 6-81. uPP 機能ブロック図

6.11.7.1 uPP の電気的データおよびタイミング

セクション 6.11.7.1.1 に、uPP タイミング要件を示します。セクション 6.11.7.1.2 に、uPP スイッチング特性を示します。図 6-82～図 6-85 に、uPP タイミング図を示します。

6.11.7.1.1 uPP のタイミング要件

番号				最小値	最大値	単位
1	$t_{c(CLK)}$	サイクル時間、CLK	SDR モード	20		ns
			DDR モード	40		
2	$t_{w(CLKH)}$	パルス幅、CLK HIGH	SDR モード	8		ns
			DDR モード	18		
3	$t_{w(CLKL)}$	パルス幅、CLK LOW	SDR モード	8		ns
			DDR モード	18		
4	$t_{su(STV-CLKH)}$	セットアップ時間、START 有効から CLK HIGH まで		4		ns
5	$t_{h(CLKH-STV)}$	ホールド時間、CLK HIGH から START 有効の間		0.8		ns
6	$t_{su(ENV-CLKH)}$	セットアップ時間、ENABLE 有効から CLK HIGH まで		4		ns
7	$t_{h(CLKH-ENV)}$	ホールド時間、CLK HIGH から ENABLE 有効の間		0.8		ns
8	$t_{su(DV-CLKH)}$	セットアップ時間、DATA 有効から CLK HIGH まで		4		ns
9	$t_{h(CLKH-DV)}$	ホールド時間、CLK HIGH から DATA 有効の間		0.8		ns
10	$t_{su(DV-CLKL)}$	セットアップ時間、DATA 有効から CLK LOW まで		4		ns
11	$t_{h(CLKL-DV)}$	ホールド時間、CLK LOW から DATA 有効の間		0.8		ns
19	$t_{su(WTV-CLKH)}$	セットアップ時間、WAIT 有効から CLK HIGH まで	SDR モード	20		ns
20	$t_{h(CLKH-WTV)}$	ホールド時間、CLK HIGH から WAIT 有効の間	SDR モード	0		ns
21	$t_{su(WTV-CLKL)}$	セットアップ時間、WAIT 有効から CLK LOW まで	DDR モード	20		ns
22	$t_{h(CLKL-WTV)}$	ホールド時間、CLK LOW から WAIT 有効の間	DDR モード	0		ns

6.11.7.1.2 uPP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ			最小値	最大値	単位
12	$t_{c(CLK)}$	サイクル時間、CLK	SDR モード	20		ns
			DDR モード	40		
13	$t_{w(CLKH)}$	パルス幅、CLK HIGH	SDR モード	8		ns
			DDR モード	18		
14	$t_{w(CLKL)}$	パルス幅、CLK LOW	SDR モード	8		ns
			DDR モード	18		
15	$t_{d(CLKH-STV)}$	遅延時間、CLK HIGH から START 有効まで		3	12	ns
16	$t_{d(CLKH-ENV)}$	遅延時間、CLK HIGH から ENABLE 有効まで		3	12	ns
17	$t_{d(CLKH-DV)}$	遅延時間、CLK HIGH から DATA 有効まで		3	12	ns
18	$t_{d(CLKL-DV)}$	遅延時間、CLK LOW からデータ有効の間		3	12	ns

Copyright © 2026 Texas Instruments Incorporated

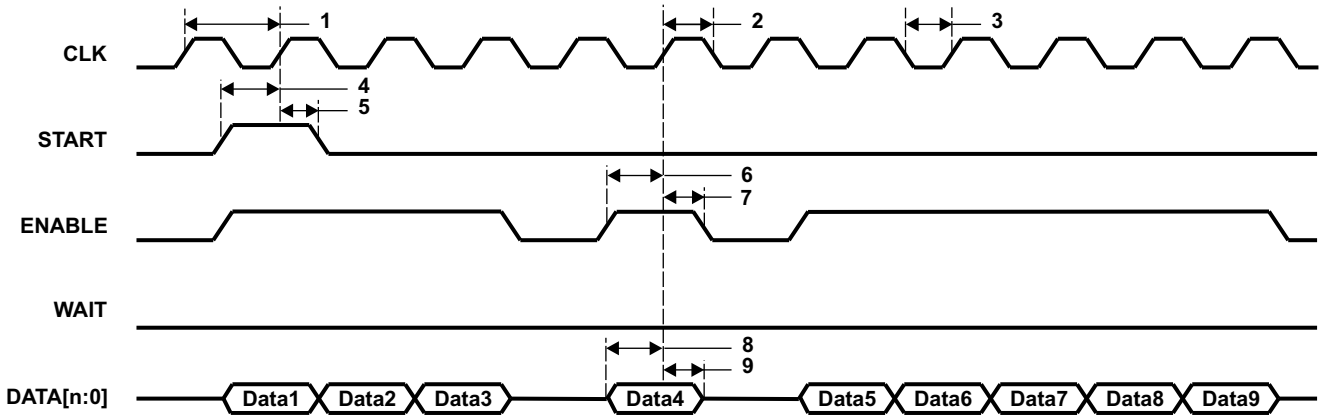


図 6-82. uPP シングル・データ・レート (SDR) 受信タイミング

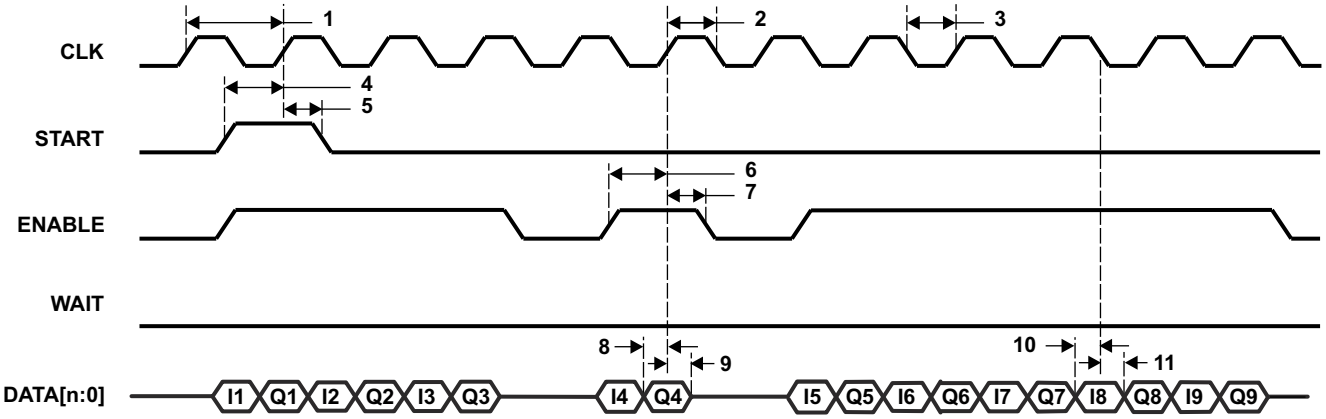


図 6-83. uPP ダブル・データ・レート (DDR) 受信タイミング

Copyright © 2026 Texas Instruments Incorporated

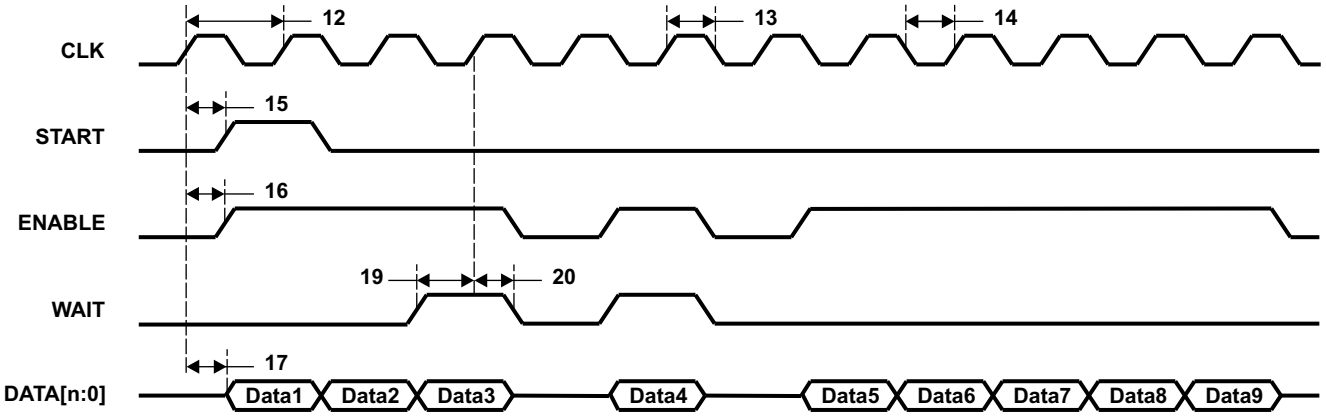


図 6-84. uPP シングル・データ・レート (SDR) 送信タイミング

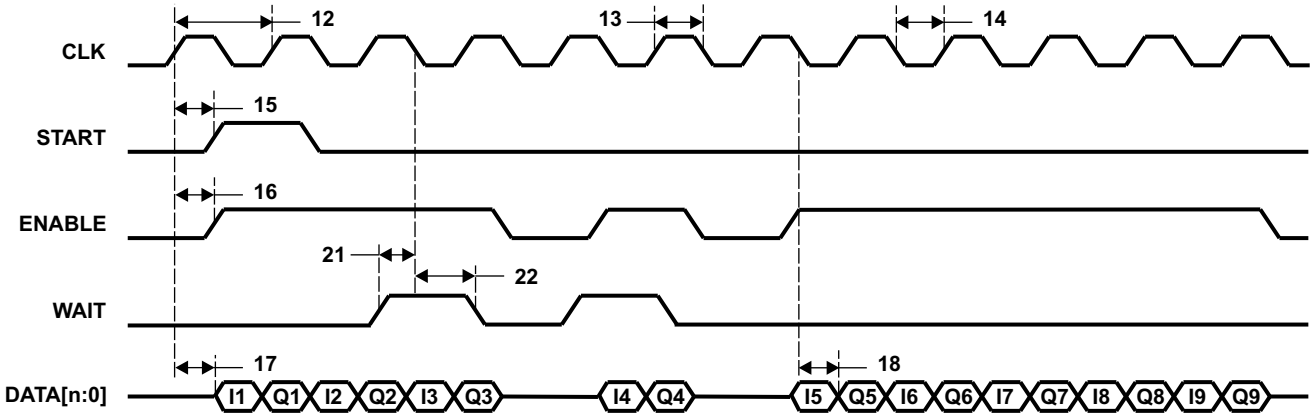


図 6-85. uPP ダブル・データ・レート (DDR) 送信タイミング

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

TMS320F2837xD は、産業用モータ ドライブ、ソーラー インバータおよびデジタル電源、電気自動車および輸送、センシングおよび信号処理などの高度な閉ループ制御アプリケーション用に設計された強力な 32 ビット浮動小数点マイクロコントローラ ユニット (MCU) です。デジタル電源および産業用ドライブ向けの開発パッケージ一式が、powerSUITE および DesignDRIVE イニシアチブの一部として利用できます。F2837xD は、システム性能を大幅に向上させる新しいデュアルコア C28x アーキテクチャをサポートしています。また、内蔵のアナログおよび制御ペリフェラルにより、設計者は制御アーキテクチャを統合し、ハイエンド システムでマルチプロセッサを不要にできます。

デュアル リアルタイム制御サブシステムは、テキサス・インスツルメンツの 32 ビット C28x 浮動小数点 CPU を基礎としており、コアごとに 200MHz の信号処理能力があります。C28x CPU は、新しい TMU アクセラレータによってさらに高速化され、変換やトルク ループ計算で一般的な三角法演算を含むアルゴリズムを高速に実行できます。また、VCU アクセラレータにより、エンコード アプリケーションで一般的な複素数演算の時間が短縮されます。

F2837xD マイクロコントローラ ファミリには、2 つの CLA リアルタイム制御コプロセッサが搭載されています。この CLA は独立した 32 ビットの浮動小数点プロセッサであり、メイン CPU と同じ速度で動作します。この CLA は、ペリフェラルのトリガに応答し、メインの C28x CPU と同時にコードを実行します。この並列処理能力により、リアルタイム制御システムの計算能力が実質的に 2 倍になります。CLA を使って時間に制約のある機能へのサービスを行うことで、メインの C28x CPU は、他のタスク、たとえば通信や診断を自由に実行できます。デュアルの C28x+CLA アーキテクチャにより、各種のシステム タスクをインテリジェントに分割できます。たとえば、1 つの C28x+CLA コアを速度と位置の追跡に使用し、もう 1 つの C28x+CLA コアはトルクと電流ループの制御に使用できます。

TMS320F2837xD は、ECC (Error Correction Code)付きの最大 1MB (512KW)のオンボード フラッシュ メモリと、最大 204KB (102KW)の SRAM をサポートしています。各 CPU では、コード保護のため、2 つの 128 ビットのセキュア ゾーンも使用できます。

高性能のアナログおよび制御ペリフェラルも F2837xD MCU に内蔵されており、さらにシステムの統合が可能になります。4 つの独立した 16 ビット ADC により、複数のアナログ信号を正確かつ効率的に管理でき、最終的にシステムのスループットが向上します。新しいシグマ-デルタ フィルタ モジュール(SDFM)は、シグマ-デルタ変調器との組み合わせで動作し、絶縁電流シャント測定を可能にします。ウィンドウ コンパレータ付きのコンパレータ サブシステム(CMPSS)により、電流制限条件を超過した、または条件が満たされていない場合に、電源段を保護できます。これ以外のアナログおよび制御ペリフェラルとして、DAC、PWM、eCAP、eQEP、その他のペリフェラルがあります。

EMIF、CAN モジュール (ISO 11898-1/CAN 2.0B 準拠)、新しい uPP インターフェイスなどのペリフェラルにより、F2837xD の接続性が拡大されます。uPP インターフェイスは、C2000 MCU の新機能で、FPGA または類似の uPP インターフェイスを持つ他のプロセッサへの高速並列接続をサポートしています。最後に、MAC および PHY 付きの USB 2.0 ポートにより、ユーザーはアプリケーションに USB (Universal Serial Bus) 接続を簡単に追加できます。

C2000 リアルタイム MCU は、お客様のリアルタイム制御システムに適した選択肢です。その機能について詳しく知るには、『C2000™ リアルタイム マイクロコントローラを使った開発のための基本ガイド』をご覧いただくとともに、C2000™ リアルタイム制御 MCU のページにアクセスしてください。

*『C2000 ™ リアルタイム制御マイコン (MCU) を使用した設計の開始』入門ガイド*は、C2000 デバイスを使用する開発について、ハードウェアからサポート リソースまで、あらゆる側面をカバーしています。主要な参考資料に加えて、各セクションには関連するリンクとリソースが掲載されており、さらに詳細な情報を知ることができます。

設計を開始する際は、以下の資料をご確認ください。TMDSCNCD28379D または LAUNCHXL-F28379D 評価ボードをご覧いただき、C2000Ware をダウンロードしてください。

Copyright © 2026 Texas Instruments Incorporated

7.2 機能ブロック図

「機能ブロック図」に、F2837xD デバイスの CPU システムおよび関連ペリフェラルを示します。F28377D-SEP デバイスで利用可能な機能とペリフェラルについては、表 4-1 を参照してください。

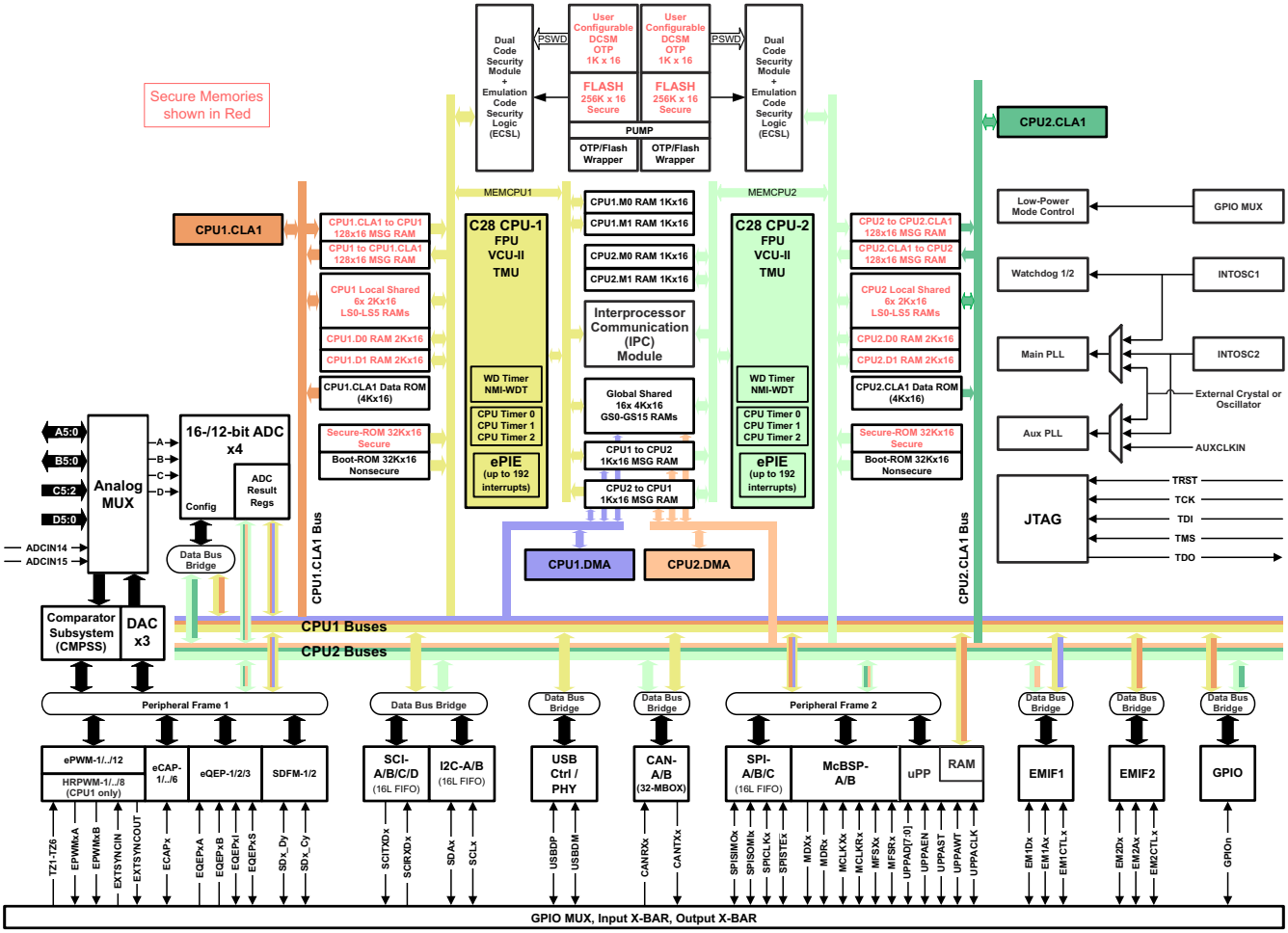


図 7-1. F2837xD の機能ブロック図

Copyright © 2026 Texas Instruments Incorporated

7.3 メモリ

7.3.1 C28x メモリ マップ

デバイス上の C28x CPU は、いずれも、表 7-1 に注記がある場合を除き、同じメモリ マップを持ちます。GSM_RAM (グローバル共有 RAM) は、GSxMSEL レジスタによって、いずれかの CPU に割り当てる必要があります。CLA または DMA (ダイレクト メモリ アクセス) からアクセス可能なメモリも記載されています。

表 7-1. C28x メモリ マップ

メモリ	サイズ	開始アドレス	終了アドレス	CLA アクセス	DMA アクセス
M0 RAM	1K × 16	0x0000 0000	0x0000 03FF		
M1 RAM	1K × 16	0x0000 0400	0x0000 07FF		
PIE ベクタ テーブル	512 × 16	0x0000 0D00	0x0000 0EFF		
CPUx.CLA1 から CPUx への MSGRAM	128 × 16	0x0000 1480	0x0000 14FF	あり	
CPUx から CPUx.CLA1 への MSGRAM	128 × 16	0x0000 1500	0x0000 157F	あり	
UPP TX MSG RAM	512 × 16	0x0000 6C00	0x0000 6DFF	あり (CPU1.CLA1 のみ)	
UPP RX MSG RAM	512 × 16	0x0000 6E00	0x0000 6FFF	あり (CPU1.CLA1 のみ)	
LS0 RAM	2K × 16	0x0000 8000	0x0000 87FF	あり	
LS1 RAM	2K × 16	0x0000 8800	0x0000 8FFF	あり	
LS2 RAM	2K × 16	0x0000 9000	0x0000 97FF	あり	
LS3 RAM	2K × 16	0x0000 9800	0x0000 9FFF	あり	
LS4 RAM	2K × 16	0x0000 A000	0x0000 A7FF	あり	
LS5 RAM	2K × 16	0x0000 A800	0x0000 AFFF	あり	
D0 RAM	2K × 16	0x0000 B000	0x0000 B7FF		
D1 RAM	2K × 16	0x0000 B800	0x0000 BFFF		
GS0 RAM(1)	4K × 16	0x0000 C000	0x0000 CFFF		あり
GS1 RAM(1)	4K × 16	0x0000 D000	0x0000 DFFF		あり
GS2 RAM(1)	4K × 16	0x0000 E000	0x0000 EFFF		あり
GS3 RAM(1)	4K × 16	0x0000 F000	0x0000 FFFF		あり
GS4 RAM(1)	4K × 16	0x0001 0000	0x0001 0FFF		あり
GS5 RAM(1)	4K × 16	0x0001 1000	0x0001 1FFF		あり
GS6 RAM(1)	4K × 16	0x0001 2000	0x0001 2FFF		あり
GS7 RAM(1)	4K × 16	0x0001 3000	0x0001 3FFF		あり
GS8 RAM(1)	4K × 16	0x0001 4000	0x0001 4FFF		あり
GS9 RAM(1)	4K × 16	0x0001 5000	0x0001 5FFF		あり
GS10 RAM(1)	4K × 16	0x0001 6000	0x0001 6FFF		あり
GS11 RAM(1)	4K × 16	0x0001 7000	0x0001 7FFF		あり
GS12 RAM(1)	4K × 16	0x0001 8000	0x0001 8FFF		あり
GS13 RAM(1)	4K × 16	0x0001 9000	0x0001 9FFF		あり
GS14 RAM(1)	4K × 16	0x0001 A000	0x0001 AFFF		あり
GS15 RAM(1)	4K × 16	0x0001 B000	0x0001 BFFF		あり
CPU2 から CPU1 への MSGRAM(1)	1K × 16	0x0003 F800	0x0003 FBFF		あり
CPU1 から CPU2 への MSGRAM(1)	1K × 16	0x0003 FC00	0x0003 FFFF		あり
CAN A メッセージ RAM(1)	2K × 16	0x0004 9000	0x0004 97FF		
CAN B メッセージ RAM(1)	2K × 16	0x0004 B000	0x0004 B7FF		
フラッシュ	256K × 16	0x0008 0000	0x000B FFFF		
セキュア ROM	32K × 16	0x003F 0000	0x003F 7FFF		
ブート ROM	32K × 16	0x003F 8000	0x003F FFBF		

Copyright © 2026 Texas Instruments Incorporated

表 7-1. C28x メモリ マップ (続き)

メモリ	サイズ	開始アドレス	終了アドレス	CLA アクセス	DMA アクセス
ベクタ	64 × 16	0x003F FFC0	0x003F FFFF		

(1) CPU サブシステム間で共有。

Copyright © 2026 Texas Instruments Incorporated

7.3.2 フラッシュ メモリ マップ

、F28377D-SEP デバイス には、各 CPU に個別のフラッシュ バンク [512KB (256KW)] があり、各デバイスのフラッシュ合計は 1MB (512KW) です。一度に 1 つのバンクのみをプログラムまたは消去でき、フラッシュをプログラムするコードは RAM から実行する必要があります。次の表に、F28377D-SEP の CPU1 および CPU2 のフラッシュ セクタのアドレスを示します。

表 7-2. F28377D-SEP の CPU1 および CPU2 のフラッシュ セクタのアドレス

セクタ	サイズ	開始アドレス	終了アドレス
OTP セクタ			
TI OTP	1K x 16	0x0007 0000	0x0007 03FF
ユーザーが構成可能な DCSM OTP	1K x 16	0x0007 8000	0x0007 83FF
セクタ			
セクタ 0	8K x 16	0x0008 0000	0x0008 1FFF
セクタ 1	8K x 16	0x0008 2000	0x0008 3FFF
セクタ 2	8K x 16	0x0008 4000	0x0008 5FFF
セクタ 3	8K x 16	0x0008 6000	0x0008 7FFF
セクタ 4	32K x 16	0x0008 8000	0x0008 FFFF
セクタ 5	32K x 16	0x0009 0000	0x0009 7FFF
セクタ 6	32K x 16	0x0009 8000	0x0009 FFFF
セクタ 7	32K x 16	0x000A 0000	0x000A 7FFF
セクタ 8	32K x 16	0x000A 8000	0x000A FFFF
セクタ 9	32K x 16	0x000B 0000	0x000B 7FFF
セクタ 10	8K x 16	0x000B 8000	0x000B 9FFF
セクタ 11	8K x 16	0x000B A000	0x000B BFFF
セクタ 12	8K x 16	0x000B C000	0x000B DFFF
セクタ 13	8K x 16	0x000B E000	0x000B FFFF
フラッシュ ECC 領域			
TI OTP ECC	128 x 16	0x0107 0000	0x0107 007F
ユーザーが構成可能な DCSM OTP ECC	128 x 16	0x0107 1000	0x0107 107F
フラッシュ ECC (セクタ 0)	1K x 16	0x0108 0000	0x0108 03FF
フラッシュ ECC (セクタ 1)	1K x 16	0x0108 0400	0x0108 07FF
フラッシュ ECC (セクタ 2)	1K x 16	0x0108 0800	0x0108 0BFF
フラッシュ ECC (セクタ 3)	1K x 16	0x0108 0C00	0x0108 0FFF
フラッシュ ECC (セクタ 4)	4K x 16	0x0108 1000	0x0108 1FFF
フラッシュ ECC (セクタ 5)	4K x 16	0x0108 2000	0x0108 2FFF
フラッシュ ECC (セクタ 6)	4K x 16	0x0108 3000	0x0108 3FFF
フラッシュ ECC (セクタ 7)	4K x 16	0x0108 4000	0x0108 4FFF
フラッシュ ECC (セクタ 8)	4K x 16	0x0108 5000	0x0108 5FFF

Copyright © 2026 Texas Instruments Incorporated

表 7-2. F28377D-SEP の CPU1 および CPU2 のフラッシュ セクタのアドレス (続き)

セクタ	サイズ	開始アドレス	終了アドレス
フラッシュ ECC (セクタ 9)	4K x 16	0x0108 6000	0x0108 6FFF
フラッシュ ECC (セクタ 10)	1K x 16	0x0108 7000	0x0108 73FF
フラッシュ ECC (セクタ 11)	1K x 16	0x0108 7400	0x0108 77FF
フラッシュ ECC (セクタ 12)	1K x 16	0x0108 7800	0x0108 7BFF
フラッシュ ECC (セクタ 13)	1K x 16	0x0108 7C00	0x0108 7FFF

7.3.3 EMIF チップ セレクト メモリ マップ

EMIF1 メモリ マップは、両方の CPU サブシステムで同じです。EMIF2 は、CPU1 サブシステムでのみ使用できます。EMIF メモリ マップを 表 7-3 に示します。

表 7-3. EMIF チップ セレクト メモリ マップ

EMIF チップ セレクト	サイズ(2)	開始アドレス	終了アドレス	CLA アクセス	DMA アクセス
EMIF1_CS0n - データ	256M × 16	0x8000 0000	0x8FFF FFFF		あり
EMIF1_CS2n - プログラム + データ(3)	2M × 16	0x0010 0000	0x002F FFFF		あり
EMIF1_CS3n - プログラム + データ	512K × 16	0x0030 0000	0x0037 FFFF		あり
EMIF1_CS4n - プログラム + データ	393K × 16	0x0038 0000	0x003D FFFF		あり
EMIF2_CS0n - データ(1)	32M × 16	0x9000 0000	0x91FF FFFF		
EMIF2_CS2n - プログラム + データ(1)	4K × 16	0x0000 2000	0x0000 2FFF	あり (データのみ)	

(1) CPU1 サブシステムでのみ使用できます。
(2) この表に示す利用可能なメモリ サイズは、32 ビット メモリを想定した場合の最大サイズです。ピン多重化の設定によって、他のメモリ サイズには適用できない場合があります。それぞれの使用事例で利用可能なアドレス ラインについては、セクション 5.4.1 を参照してください。
(3) 2M × 16 サイズは、32 ビット インターフェイス用であり、16 ビット アクセスが実行されないと想定しています。したがって、バイト イネーブルは使用しません (ボード上のアクティブ値に接続)。バイト イネーブルを使用する場合、最大サイズは小さくなります。バイト イネーブルはアドレス ピンと多重化されているからです (セクション 5.4.1 を参照)。16 ビット メモリを使用する場合、最大サイズは 1M × 16 です。

7.3.4 ペリフェラル・レジスタのメモリ・マップ

ペリフェラル レジスタのメモリ マップについては、表 7-4 を参照してください。ペリフェラル レジスタは、表 7-4 に注記がある場合を除き、CPU1 または CPU2 サブシステムに割り当てることができます。ペリフェラル フレーム内のレジスタは、同じペリフェラル フレーム内の他のすべてのレジスタと、セカンダリ マスタ (CLA または DMA) の選択を共有します。CPU サブシステムおよびセカンダリ マスタ選択の詳細については、『TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』を参照してください。

注

どのデバイス ペリフェラルにもプログラム バス アクセスはありません。

表 7-4. ペリフェラル・レジスタのメモリ・マップ

レジスタ	構造体名	開始アドレス	終了アドレス	保護(1)	CLA アクセス	DMA アクセス
AdcaResultRegs	ADC_RESULT_REGS	0x0000 0B00	0x0000 0B1F		あり	あり
AdcbResultRegs	ADC_RESULT_REGS	0x0000 0B20	0x0000 0B3F		あり	あり
AdccResultRegs	ADC_RESULT_REGS	0x0000 0B40	0x0000 0B5F		あり	あり
AdcdResultRegs	ADC_RESULT_REGS	0x0000 0B60	0x0000 0B7F		あり	あり
CpuTimer0Regs (2)	CPUTIMER_REGS	0x0000 0C00	0x0000 0C07			
CpuTimer1Regs (2)	CPUTIMER_REGS	0x0000 0C08	0x0000 0C0F			
CpuTimer2Regs (2)	CPUTIMER_REGS	0x0000 0C10	0x0000 0C17			
PieCtrlRegs (2) (5)	PIE_CTRL_REGS	0x0000 0CE0	0x0000 0CFF			

Copyright © 2026 Texas Instruments Incorporated

表 7-4. ペリフェラル・レジスタのメモリ・マップ (続き)

レジスタ	構造体名	開始アドレス	終了アドレス	保護 [1]	CLA アクセス	DMA アクセス
Cla1SoftIntRegs [5]	CLA_SOFTINT_REGS	0x0000 0CE0	0x0000 0CFF		あり – CLA のみ、CPU アクセスなし	
DmaRegs [2]	DMA_REGS	0x0000 1000	0x0000 11FF			
Cla1Regs [2]	CLA_REGS	0x0000 1400	0x0000 147F			
ペリフェラル フレーム 1						
EPwm1Regs	EPWM_REGS	0x0000 4000	0x0000 40FF	あり	あり	あり
EPwm2Regs	EPWM_REGS	0x0000 4100	0x0000 41FF	あり	あり	あり
EPwm3Regs	EPWM_REGS	0x0000 4200	0x0000 42FF	あり	あり	あり
EPwm4Regs	EPWM_REGS	0x0000 4300	0x0000 43FF	あり	あり	あり
EPwm5Regs	EPWM_REGS	0x0000 4400	0x0000 44FF	あり	あり	あり
EPwm6Regs	EPWM_REGS	0x0000 4500	0x0000 45FF	あり	あり	あり
EPwm7Regs	EPWM_REGS	0x0000 4600	0x0000 46FF	あり	あり	あり
EPwm8Regs	EPWM_REGS	0x0000 4700	0x0000 47FF	あり	あり	あり
EPwm9Regs	EPWM_REGS	0x0000 4800	0x0000 48FF	あり	あり	あり
EPwm10Regs	EPWM_REGS	0x0000 4900	0x0000 49FF	あり	あり	あり
EPwm11Regs	EPWM_REGS	0x0000 4A00	0x0000 4AFF	あり	あり	あり
EPwm12Regs	EPWM_REGS	0x0000 4B00	0x0000 4BFF	あり	あり	あり
ECap1Regs	ECAP_REGS	0x0000 5000	0x0000 501F	あり	あり	あり
ECap2Regs	ECAP_REGS	0x0000 5020	0x0000 503F	あり	あり	あり
ECap3Regs	ECAP_REGS	0x0000 5040	0x0000 505F	あり	あり	あり
ECap4Regs	ECAP_REGS	0x0000 5060	0x0000 507F	あり	あり	あり
ECap5Regs	ECAP_REGS	0x0000 5080	0x0000 509F	あり	あり	あり
ECap6Regs	ECAP_REGS	0x0000 50A0	0x0000 50BF	あり	あり	あり
EQep1Regs	EQEP_REGS	0x0000 5100	0x0000 513F	あり	あり	あり
EQep2Regs	EQEP_REGS	0x0000 5140	0x0000 517F	あり	あり	あり
EQep3Regs	EQEP_REGS	0x0000 5180	0x0000 51BF	あり	あり	あり
DacaRegs	DAC_REGS	0x0000 5C00	0x0000 5C0F	あり	あり	あり
DacbRegs	DAC_REGS	0x0000 5C10	0x0000 5C1F	あり	あり	あり
DaccRegs	DAC_REGS	0x0000 5C20	0x0000 5C2F	あり	あり	あり
Cmpss1Regs	CMPSS_REGS	0x0000 5C80	0x0000 5C9F	あり	あり	あり
Cmpss2Regs	CMPSS_REGS	0x0000 5CA0	0x0000 5CBF	あり	あり	あり
Cmpss3Regs	CMPSS_REGS	0x0000 5CC0	0x0000 5CDF	あり	あり	あり
Cmpss4Regs	CMPSS_REGS	0x0000 5CE0	0x0000 5CFF	あり	あり	あり
Cmpss5Regs	CMPSS_REGS	0x0000 5D00	0x0000 5D1F	あり	あり	あり
Cmpss6Regs	CMPSS_REGS	0x0000 5D20	0x0000 5D3F	あり	あり	あり
Cmpss7Regs	CMPSS_REGS	0x0000 5D40	0x0000 5D5F	あり	あり	あり
Cmpss8Regs	CMPSS_REGS	0x0000 5D60	0x0000 5D7F	あり	あり	あり
Sdfm1Regs	SDFM_REGS	0x0000 5E00	0x0000 5E7F	あり	あり	あり
Sdfm2Regs	SDFM_REGS	0x0000 5E80	0x0000 5EFF	あり	あり	あり
ペリフェラル フレーム 2						
McbspaRegs	MCBSP_REGS	0x0000 6000	0x0000 603F	あり	あり	あり
McbspbRegs	MCBSP_REGS	0x0000 6040	0x0000 607F	あり	あり	あり
SpiaRegs	SPI_REGS	0x0000 6100	0x0000 610F	あり	あり	あり
SpibRegs	SPI_REGS	0x0000 6110	0x0000 611F	あり	あり	あり
SpicRegs	SPI_REGS	0x0000 6120	0x0000 612F	あり	あり	あり
UppRegs [3]	UPP_REGS	0x0000 6200	0x0000 62FF	あり	あり	あり

Copyright © 2026 Texas Instruments Incorporated

表 7-4. ペリフェラル・レジスタのメモリ・マップ (続き)

レジスタ	構造体名	開始アドレス	終了アドレス	保護 (1)	CLA アクセス	DMA アクセス
WdRegs (2)	WD_REGS	0x0000 7000	0x0000 703F	あり		
NmiIntruptRegs (2)	NMI_INTRUPT_REGS	0x0000 7060	0x0000 706F	あり		
XintRegs (2)	XINT_REGS	0x0000 7070	0x0000 707F	あり		
SciaRegs	SCI_REGS	0x0000 7200	0x0000 720F	あり		
ScibRegs	SCI_REGS	0x0000 7210	0x0000 721F	あり		
ScicRegs	SCI_REGS	0x0000 7220	0x0000 722F	あり		
ScidRegs	SCI_REGS	0x0000 7230	0x0000 723F	あり		
I2caRegs	I2C_REGS	0x0000 7300	0x0000 733F	あり		
I2cbRegs	I2C_REGS	0x0000 7340	0x0000 737F	あり		
AdcaRegs	ADC_REGS	0x0000 7400	0x0000 747F	あり	あり	
AdcbRegs	ADC_REGS	0x0000 7480	0x0000 74FF	あり	あり	
AdccRegs	ADC_REGS	0x0000 7500	0x0000 757F	あり	あり	
AdcdRegs	ADC_REGS	0x0000 7580	0x0000 75FF	あり	あり	
InputXbarRegs (3)	INPUT_XBAR_REGS	0x0000 7900	0x0000 791F	あり		
XbarRegs (3)	XBAR_REGS	0x0000 7920	0x0000 793F	あり		
TrigRegs (3)	TRIG_REGS	0x0000 7940	0x0000 794F	あり		
DmaClaSrcSelRegs (2)	DMA_CLA_SRC_SEL_REGS	0x0000 7980	0x0000 798F	あり		
EPwmXbarRegs (3)	EPWM_XBAR_REGS	0x0000 7A00	0x0000 7A3F	あり		
OutputXbarRegs (3)	OUTPUT_XBAR_REGS	0x0000 7A80	0x0000 7ABF	あり		
GpioCtrlRegs (3)	GPIO_CTRL_REGS	0x0000 7C00	0x0000 7D7F	あり		
GpioDataRegs (2)	GPIO_DATA_REGS	0x0000 7F00	0x0000 7F2F	あり	あり	
UsbaRegs (3)	USB_REGS	0x0004 0000	0x0004 0FFF	あり		
Emif1Regs	EMIF_REGS	0x0004 7000	0x0004 77FF	あり		
Emif2Regs (3)	EMIF_REGS	0x0004 7800	0x0004 7FFF	あり		
CanaRegs	CAN_REGS	0x0004 8000	0x0004 87FF	あり		
CanbRegs	CAN_REGS	0x0004 A000	0x0004 A7FF	あり		
IpcRegs (2)	IPC_REGS_CPU1 IPC_REGS_CPU2	0x0005 0000	0x0005 0023	あり		
FlashPumpSemaphoreRegs (2)	FLASH_PUMP_SEMAPHORE_REGS	0x0005 0024	0x0005 0025	あり		
DevCfgRegs (3)	DEV_CFG_REGS	0x0005 D000	0x0005 D17F	あり		
AnalogSubsysRegs (3)	ANALOG_SUBSYS_REGS	0x0005 D180	0x0005 D1FF	あり		
ClkCfgRegs (4)	CLK_CFG_REGS	0x0005 D200	0x0005 D2FF	あり		
CpuSysRegs (2)	CPU_SYS_REGS	0x0005 D300	0x0005 D3FF	あり		
RomPrefetchRegs (3)	ROM_PREFETCH_REGS	0x0005 E608	0x0005 E60B	あり		
DcsmZ1Regs (2)	DCSM_Z1_REGS	0x0005 F000	0x0005 F02F	あり		
DcsmZ2Regs (2)	DCSM_Z2_REGS	0x0005 F040	0x0005 F05F	あり		
DcsmCommonRegs (2)	DCSM_COMMON_REGS	0x0005 F070	0x0005 F07F	あり		
MemCfgRegs (2)	MEM_CFG_REGS	0x0005 F400	0x0005 F47F	あり		
Emif1ConfigRegs (2)	EMIF1_CONFIG_REGS	0x0005 F480	0x0005 F49F	あり		
Emif2ConfigRegs (3)	EMIF2_CONFIG_REGS	0x0005 F4A0	0x0005 F4BF	あり		
AccessProtectionRegs (2)	ACCESS_PROTECTION_REGS	0x0005 F4C0	0x0005 F4FF	あり		
MemoryErrorRegs (2)	MEMORY_ERROR_REGS	0x0005 F500	0x0005 F53F	あり		
RomWaitStateRegs (3)	ROM_WAIT_STATE_REGS	0x0005 F540	0x0005 F541	あり		
Flash0CtrlRegs (2)	FLASH_CTRL_REGS	0x0005 F800	0x0005 FAFF	あり		
Flash0EccRegs (2)	FLASH_ECC_REGS	0x0005 FB00	0x0005 FB3F	あり		

(1) CPU (CLA または DMA は対象外) には、書き込み後の読み取り保護モードが用意されています。これは、保護されたアドレス範囲内で、書き込み動作に続けて読み取り動作を実行すると、書き込みが行われるまで読み取り動作を遅延することにより、書き込んだ内容を確実に読み取れるようにするものです。
(2) それぞれの CPU サブシステムには、これらのレジスタの独自のコピーが存在します。

Copyright © 2026 Texas Instruments Incorporated

(3) これらのレジスタは、CPU1 サブシステムでのみ使用できます。
(4) これらのレジスタは、セマフォに基づいて CPU1 または CPU2 にマップされます。
(5) PieCtrl と Cla1SoftIntRegs のアドレスオーバーラップは正常です。各 CPU、C28x、CLA は、いずれか 1 つのレジスタ セットにのみアクセスできます。

Copyright © 2026 Texas Instruments Incorporated

7.3.5 メモリ タイプ

表 7-5 に、各メモリ タイプの詳細を示します。

表 7-5. メモリ タイプ

メモリ タイプ	ECC 対応	パリティ	セキュリティ	ハイバネーション保持	アクセス保護
M0、M1	あり	-	-	あり	-
D0、D1	あり	-	あり	-	あり
LSx	-	あり	あり	-	あり
GSx	-	あり	-	-	あり
CPU/CLA MSGRAM	-	あり	あり	-	あり
ブート ROM	-	-	-	該当なし	-
セキュア ROM	-	-	あり	該当なし	-
フラッシュ	あり	-	あり	該当なし	該当なし
ユーザーが構成可能な DCSM OTP	あり	-	あり	該当なし	該当なし

7.3.5.1 専用 RAM (Mx および Dx RAM)

CPU サブシステムには、ECC 対応の 4 つの専用 RAM ブロックがあります。M0、M1、D0、D1 の 4 ブロックです。M0/M1 メモリは、CPU と緊密に結合された小型の非セキュア・ブロックです (つまり、CPU のみがアクセスできます)。D0/D1 メモリはセキュア・ブロックであり、アクセス保護機能も備えています (CPU 書き込み / CPU フェッチ保護)。

7.3.5.2 ローカル共有 RAM (LSx RAM)

各サブシステム専用の RAM ブロックは、その CPU および CLA からのみアクセスでき、ローカル共有 RAM (LSx RAM) と呼ばれます。

すべての LSx RAM ブロックにパリティがあります。これらのメモリはセキュアであり、アクセス保護 (CPU 書き込み / CPU フェッチ) 機能を備えています。

デフォルトでは、これらのメモリは CPU 専用であり、ユーザーは、LSxMSEL レジスタの MSEL_LSx ビット・フィールドを適切に構成すれば、これらのメモリを CLA と共有することを選択できます。

表 7-6 に、LSx RAM のマスター・アクセスを示します。

表 7-6. LSx RAM のマスター・アクセス
(他のアクセス保護はすべてディセーブルと想定)

MSEL_LSx	CLAPGM_LSx	CPU が許可されたアクセス	CLA が許可されたアクセス	備考
00	X	すべて	–	LSx メモリは、CPU 専用 RAM として構成されています。
01	0	すべて	データ読み取り データ書き込み	LSx メモリは、CPU と CLA1 の間で共有されます。
01	1	エミュレーション読み取り エミュレーション書き込み	フェッチのみ	LSx メモリは CLA1 のプログラム・メモリです。

Copyright © 2026 Texas Instruments Incorporated

7.3.5.3 グローバル共有 RAM (GSx RAM)

CPU と DMA の両方からアクセス可能な RAM ブロックは、グローバル共有 RAM (GSx RAM) と呼ばれます。各共有 RAM ブロックは、GSxMSEL レジスタのビットの構成に基づいて、いずれかの CPU サブシステムが所有できます。

すべての GSx RAM ブロックにパリティがあります。

一方の CPU サブシステムが GSx RAM を所有する場合、その CPUx と CPUx.DMA はその RAM ブロックへのフル アクセス権を持ち、他の CPUy と CPUy.DMA は読み取りアクセス権のみを持ちます (フェッチ / 書き込みのアクセス権はありません)。

表 7-7 に、GSx RAM へのマスタ アクセスを示します。

表 7-7. GSx RAM へのマスタ アクセス
(他のアクセス保護はすべてディセーブルと想定)

GSxMSEL	CPU	命令フェッチ	読み取り	書き込み	CPUx.DMA 読み取り	CPUx.DMA 書き込み
0	CPU1	あり	あり	あり	あり	あり
	CPU2	–	あり	–	あり	–
1	CPU1	–	あり	–	あり	–
	CPU2	あり	あり	あり	あり	あり

GSx RAM は、アクセス保護機能 (CPU 書き込み / CPU フェッチ / DMA 書き込み) を備えています。

7.3.5.4 CPU メッセージ RAM (CPU MSGRAM)

これらの RAM ブロックを使用して、CPU1 と CPU2 の間でデータを共有できます。これらの RAM は、プロセッサ間通信に使用されるため、IPC RAM とも呼ばれます。CPU MSRAM には、CPU サブシステムからの CPU/DMA 読み取り / 書き込みアクセスと、他のサブシステムからの CPU/DMA 読み取り専用アクセスがあります。

この RAM にはパリティがあります。

7.3.5.5 CLA メッセージ RAM (CLA MSGRAM)

これらの RAM ブロックを使用して、CPU と CLA の間でデータを共有できます。CLA には、「CLA から CPU への MSGRAM」に対する読み取り / 書き込みアクセス権があります。CPU には、「CPU から CLA への MSGRAM」に対する読み取り / 書き込みアクセス権があります。CPU および CLA は、いずれも両方の MSRAM に対する読み取りアクセス権を持ちます。

この RAM にはパリティがあります。

Copyright © 2026 Texas Instruments Incorporated

7.4 識別

表 7-8 に、デバイス識別レジスタを示します。

表 7-8. デバイス識別レジスタ

名称	アドレス	SIZE (x16)	説明	
PARTIDH	0x0005 D00A (CPU1) 0x0007 0202 (CPU2)	2	デバイスの型番(1)	
			F28377D-SEP	0x**FF 0300
REVID	0x0005 D00C	2	シリコンのリビジョン番号	
			リビジョン 0	0x0000 0000
			リビジョン A	0x0000 0000
			リビジョン B	0x0000 0002
			リビジョン C	0x0000 0003
UID_UNIQUE	0x0007 03CC	2	固有の識別番号。この番号は、同じ PARTIDH を持つデバイスの中でそれぞれ異なっています。これは、アプリケーションでシリアル番号として使用できます。この番号は TMS リビジョン C デバイスにのみ存在します。	
CPU ID	0x0007 026D	1	CPU 識別番号	
			CPU1	0xXX01
			CPU2	0xXX02
JTAG ID	該当なし	該当なし	JTAG デバイス ID	0x0B99 C02F

(1) PARTIDH の '**' で示された上位 8 ビットは、0x00 または 0x02 であり、各型番に対して 2 つの値のいずれかとなる可能性があります。

Copyright © 2026 Texas Instruments Incorporated

7.5 バス アーキテクチャ – ペリフェラル コネクティビティ

表 7-9 に、各バス マスタからペリフェラルおよび構成レジスタへのアクセス性に関する全体的な概観を示します。ペリフェラルは、個別に CPU1 または CPU2 サブシステムに割り当てることができます (たとえば、ePWM を CPU1 に、eQEP を CPU2 に割り当てることができます)。ペリフェラル フレーム 1 または 2 内のペリフェラルはすべてグループとして、該当するセカンダリ マスタにマップされます (SPI が CPUx.DMA に割り当てられていれば、McBSP も CPU x.DMA に割り当てられます)。

表 7-9. バス マスタ ペリフェラル アクセス

ペリフェラル (バス アクセス タイプ別)	CPU1.DMA	CPU1.CLA1	CPU1	CPU2	CPU2.CLA1	CPU2.DMA
CPU1 または CPU2 に割り当て可能で、共通して選択可能なセカンダリ マスタを持つペリフェラル						
ペリフェラル フレーム 1: • ePWM • SDFM • eCAP(1) • eQEP(1) • CMPSS(1) • DAC(1)	Y	Y	Y	Y	Y	Y
ペリフェラル フレーム 1: • HRPWM	Y	Y	Y			
ペリフェラル フレーム 2: • SPI • McBSP	Y	Y	Y	Y	Y	Y
ペリフェラル フレーム 2: • uPP 構成(1)	Y	Y	Y			
CPU1 または CPU2 サブシステムに割り当て可能なペリフェラル						
SCI			Y	Y		
I2C			Y	Y		
CAN			Y	Y		
ADC 構成		Y	Y	Y	Y	
EMIF1	Y		Y	Y		Y
CPU1 サブシステムのみにあるペリフェラルおよびデバイス構成レジスタ						
EMIF2		Y	Y			
USB			Y			
デバイス機能、ペリフェラル リセット、ペリフェラル CPU 選択			Y			
GPIO ピンのマッピングおよび構成			Y			
アナログ システム制御			Y			
uPP メッセージ RAM		Y	Y			
リセット構成			Y			
セマフォにより一度に 1 つの CPU からしかアクセスできないもの						
クロックおよび PLL 構成			Y	Y		

Copyright © 2026 Texas Instruments Incorporated

表 7-9. バス マスタ ペリフェラル アクセス (続き)

ペリフェラル (バス アクセス タイプ別)	CPU1.DMA	CPU1.CLA1	CPU1	CPU2	CPU2.CLA1	CPU2.DMA
各 CPU および CLA マスタに独自のレジスタ コピーを持つペリフェラルおよびレジスタ (2)						
システム構成 (WD、NMIWD、LPM、ペリフェラル クロック ゲーティング)			Y	Y		
フラッシュ構成(3)			Y	Y		
CPU タイマ			Y	Y		
DMA および CLA トリガ ソース選択			Y	Y		
GPIO データ(4)		Y	Y	Y	Y	
ADC 変換結果	Y	Y	Y	Y	Y	Y

(1) これらのモジュールは、DMA アクセス付きのペリフェラル フレーム上にありますが、DMA 転送をトリガすることはできません。
(2) 各 CPUx および CPUx.CLA1 は、これらのレジスタの独自のコピーにのみアクセスできます。
(3) どの時点においても、一度に 1 つの CPU のみがフラッシュに対してプログラムまたは消去操作を実行できます。
(4) GPIO データ レジスタは、各 CPUx および CPUx.CLAx ごとに固有です。GPIO ピン マッピング レジスタを構成して GPIO を特定のマスタに割り当てると、それぞれの GPIO データ レジスタが GPIO を制御します。詳細については、『TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「汎用入出力 (GPIO)」の章を参照してください。

7.6 C28x プロセッサ

この CPU は 32 ビット固定小数点プロセッサです。このデバイスは、デジタル信号処理、RISC (Reduced Instruction Set Computing)、マイクロコントローラ・アーキテクチャ、ファームウェア、ツール・セットの機能を最大限に活用しています。

CPU の特長として、改良型ハーバード・アーキテクチャおよびサーキュラー・アドレッシングがあります。RISC の特長は、シングルサイクルの命令実行、レジスタ間の演算、改良型ハーバード・アーキテクチャです。マイクロコントローラの特長としては、直感的な命令セット、バイトのパッキングとアンパッキング、ビット操作などによる使いやすさがあります。改良版ハーバード・アーキテクチャの CPU は、命令とデータのフェッチを並列に実行できます。CPU は、データを書き込んでいる間に、命令とデータを同時に読み取ることができ、パイプライン全体でシングルサイクル命令実行の動作を維持できます。CPU は、6 つの独立したアドレス / データ・バスを使用してこの処理を行います。

CPU アーキテクチャおよび命令セットの詳細については、*『TMS320C28x CPU および命令セット・リファレンス・ガイド』* (英語) を参照してください。

7.6.1 浮動小数点ユニット

C28x + 浮動小数点 (C28x+FPU) プロセッサでは、レジスタと命令を追加して C28x 固定小数点 CPU の機能を拡張することにより、、IEEE 単精度浮動小数点の演算をサポートしています。

C28x+FPU を搭載したデバイスは、標準の C28x レジスタ セットに加えて、追加の浮動小数点ユニット レジスタ セットを備えています。追加の浮動小数点ユニット レジスタは以下のとおりです。

- 8 つの浮動小数点結果レジスタ RnH (n = 0～7)
- 浮動小数点ステータス レジスタ (STF)
- リピート ブロック レジスタ (RB)

リピート ブロック レジスタを除くすべての浮動小数点レジスタにシャドウイングが行われます。このシャドウイングは、優先度の高い割り込みで使用して、浮動小数点レジスタのコンテキスト保存と復元を高速化できます。

詳細については、*『TMS320C28x 拡張命令セット テクニカル リファレンス マニュアル』*を参照してください。

Copyright © 2026 Texas Instruments Incorporated

7.6.2 三角関数演算ユニット (TMU)

TMU は、C28x+FPU の機能を拡張するために、命令を追加するとともに既存の FPU 命令を活用して、表 7-10 に示す一般的な三角関数および算術演算の実行を迅速化します。

表 7-10. TMU がサポートする命令

説明	等価な C の演算	パイプラインのサイクル数
MPY2PIF32 RaH,RbH	a = b * 2pi	2/3
DIV2PIF32 RaH,RbH	a = b / 2pi	2/3
DIVF32 RaH,RbH,RcH	a = b/c	5
SQRTF32 RaH,RbH	a = sqrt(b)	5
SINPUF32 RaH,RbH	a = sin(b*2pi)	4
COSPUF32 RaH,RbH	a = cos(b*2pi)	4
ATANPUF32 RaH,RbH	a = atan(b)/2pi	4
QUADF32 RaH,RbH,RcH,RdH	ATANPU2 の計算に役立つ演算	5

既存の命令、パイプライン、メモリ バス アーキテクチャに変更は加えられていません。すべての TMU 命令は、既存の FPU レジスタ セット (R0H～R7H) を使用して演算を実行します。FPU の動作の詳細については、*『TMS320C28x 拡張命令セット テクニカル リファレンス マニュアル』*を参照してください。

7.6.3 ビタビ、複素演算、CRC ユニット II (VCU-II)

VCU-II は、C28x CPU に対する第 2 世代のビタビ、複素演算、CRC 拡張機能です。VCU-II は、レジスタおよび命令を追加することによって C28x CPU の機能を拡張し、高速フーリエ変換 (FFT) および通信ベースのアルゴリズムの性能を高速化します。C28x+VCU-II は、以下のアルゴリズム タイプをサポートしています。

- **ビタビ復号**

  ビタビ復号は、ベースバンド通信アプリケーションで一般的に使用されます。ビタビ復号アルゴリズムは、ブランチメトリック計算、比較 選択 (ビタビ バタフライ)、トレースバック演算の 3 つの主要部分で構成されています。表 7-11 に、これらの各動作の VCU 性能の概要を示します。

表 7-11. ビタビ復号性能

ビタビ演算	VCU のサイクル
ブランチ メトリック計算 (コード レート= 1/2)	1
ブランチ メトリック計算 (コード レート= 1/3)	2p
ビタビ バタフライ (加算 比較 選択)	2(1)
ステージごとのトレースバック	3(2)

(1) C28x CPU は、バタフライごとに 15 サイクルを要します。
(2) C28x CPU は、ステージごとに 22 サイクルを要します。

- **巡回冗長検査**

  巡回冗長検査 (CRC) アルゴリズムは、大規模なデータ ブロック、通信パケット、またはコード セクションでデータの整合性を検証するための明快な方法を提供します。C28x+VCU は、8 ビット、16 ビット、24 ビット、32 ビットの CRC を実行できます。たとえば、VCU は、10 バイトのブロック長に対して 10 サイクルで CRC を計算できます。CRC 結果レジスタには現在の CRC が収容されており、CRC 命令が実行されると値が更新されます。

Copyright © 2026 Texas Instruments Incorporated

- **複素演算**

  複素演算は多くのアプリケーションで使用されています。その例を以下に示します。

  – 高速フーリエ変換 (FFT)

    複素 FFT は、スペクトラム拡散通信や、多くの信号処理アルゴリズムで使用されます。

  – 複素フィルタ

    複素フィルタにより、データの信頼性、伝送距離、電力効率が向上します。C28x+VCU は、複素数 I および Q の係数乗算 (4 回の乗算) を 1 サイクルで実行できます。さらに、16 ビット複素数データの実数部と虚数部に関するメモリの読み書きを 1 サイクルで実行できます。

  表 7-12 に、VCU で実行可能な VCU 演算の概要を示します。

表 7-12. 複素演算性能

複素演算	VCU のサイクル	注
加算または減算	1	32 +/- 32 = 32 ビット (フィルタに有用)
加算または減算	1	16 +/- 32 = 15 ビット (FFT に有用)
乗算	2p	16 x 16 = 32 ビット
積和演算 (MAC)	2p	32 + 32 = 32 ビット、16 x 16 = 32 ビット
RPT MAC	2p+N	MAC の繰り返し。最初の演算後は 1 サイクル。

詳細については、*『TMS320C28x 拡張命令セット テクニカル リファレンス マニュアル』*を参照してください。

Copyright © 2026 Texas Instruments Incorporated

7.7 制御補償器アクセラレータ (CLA)

CLA は、独立した単精度 (32 ビット) FPU プロセッサで、独自のバス構造、フェッチメカニズム、パイプラインを備えています。8 つの個別 CLA タスクを指定できます。各タスクは、ソフトウェアによって、または ADC、ePWM、eCAP、eQEP、CPU タイマ 0 などのペリフェラルによって開始されます。CLA は、一度に 1 つのタスクを最後まで実行します。タスクが完了すると、PIE への割り込みによってメイン CPU に通知されます。また、CLA は、自動的に優先順位の高い次の保留タスクを開始します。CLA は、ADC 結果レジスタ、ePWM、eCAP、eQEP、コンパレータ、および DAC レジスタに直接アクセスできます。専用のメッセージ RAM は、メイン CPU と CLA の間で追加のデータを渡す方法を提供します。

機能ブロック図を 図 7-2 に示します。

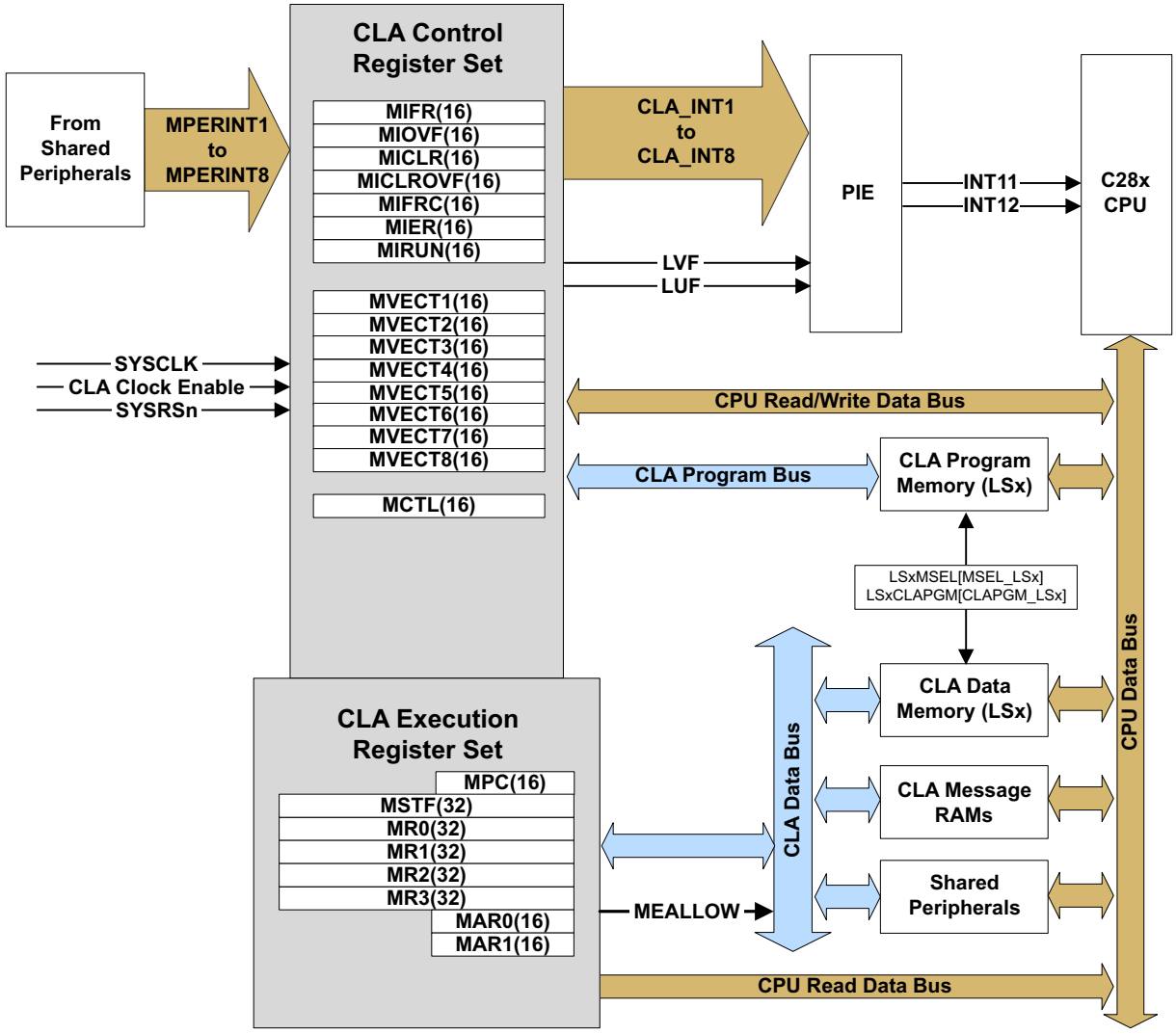


図 7-2. 機能ブロック図

7.8 ダイレクト メモリ アクセス

各 CPU は、独自の 6 チャネル DMA モジュールを備えています。DMA モジュールは、CPU を介さずにペリフェラルやメモリ間でデータを転送するためのハードウェア方式を提供し、他のシステム機能の処理能力を解放します。さらに、DMA には、転送時にデータを直交的に再配置する機能、および複数のバッファを「ピンポン」方式で選択してデータを転送する機能があります。これらの機能は、最適な CPU 処理のためにデータをブロックに分けて構造化するのに役立ちます。

DMA モジュールはイベント ベースのマシンであり、DMA 転送を開始するにはペリフェラルまたはソフトウェア トリガが必要です。タイマを割り込みトリガ ソースに構成して、一定周期で駆動されるマシンにすることもできますが、モジュール自体には、メモリ転送を定期的に開始するメカニズムはありません。6 つの DMA チャネルそれぞれの割り込みトリガ ソースは個別に構成でき、各チャネルには独自の独立した PIE 割り込みが備えられているので、DMA 転送の開始または完了を CPU に通知できます。6 つのチャネルのうち 5 つはまったく同じですが、チャネル 1 は、他のチャネルよりも高い優先度に設定できます。

DMA の主な特長は次のとおりです。

- 独立した PIE 割り込みを持つ 6 つのチャネル
- ペリフェラル割り込みトリガ ソース
  - ADC 割り込みおよび EVT 信号
  - マルチチャネルのバッファ付きシリアル ポートの送受信
  - 外部割り込み
  - CPU タイマ
  - EPWMxSOC 信号
  - SPIx の送信および受信
  - SDFM
  - ソフトウェア トリガ
- データ ソースおよびデータ デスティネーション:
  - GSx RAM
  - CPU メッセージ RAM (IPC RAM)
  - ADC 結果レジスタ
  - ePWMx
  - SPI
  - McBSP
  - EMIF
- ワード サイズ:16 ビットまたは 32 ビット (SPI および McBSP は 16 ビットに限定)
- スループット:4 サイクル / ワード (アービトレーションなし)

Copyright © 2026 Texas Instruments Incorporated

DMA のデバイスレベル ブロック図を 図 7-3 に示します。

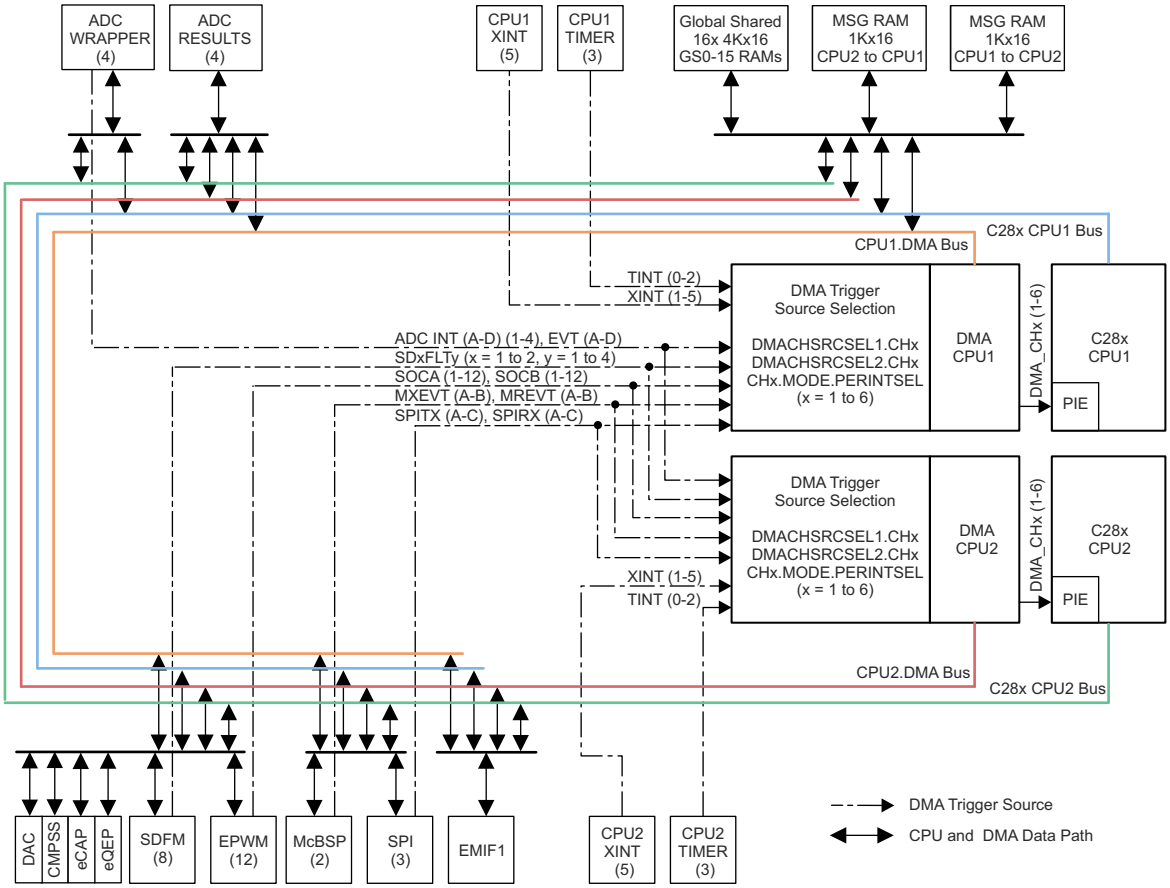


図 7-3. DMA のブロック図

7.9 プロセッサ間通信モジュール

IPC モジュールは、プロセッサ間通信のいくつかの方法をサポートしています。

- CPU ごとに 32 の IPC フラグ。ソフトウェアのポーリングを通じてイベントの通知やステータスの表示に使用できます。CPU ごとに 4 つのフラグ。割り込みを生成できます。
- 共有データ・レジスタ。CPU 間でコマンドその他の少量の情報を送信するために使用できます。このレジスタ名は、コマンド / レスポンス・システムをサポートするために決められたものですが、ソフトウェアでの定義に応じて任意の目的で使用できます。
- ブート・モードおよびステータス・レジスタ。これにより、CPU1 は CPU2 のブート・プロセスを制御できます。
- 汎用のフリーランニング 64 ビット・カウンタ。
- 2 つの共有メッセージ RAM。バルク・データの転送に使用できます。各 RAM は、両方の CPU から読み取ることができます。CPU1 は 1 つの RAM に書き込むことができ、CPU2 はもう 1 つの RAM に書き込むことができます。

図 7-4 に、IPC アーキテクチャを示します。

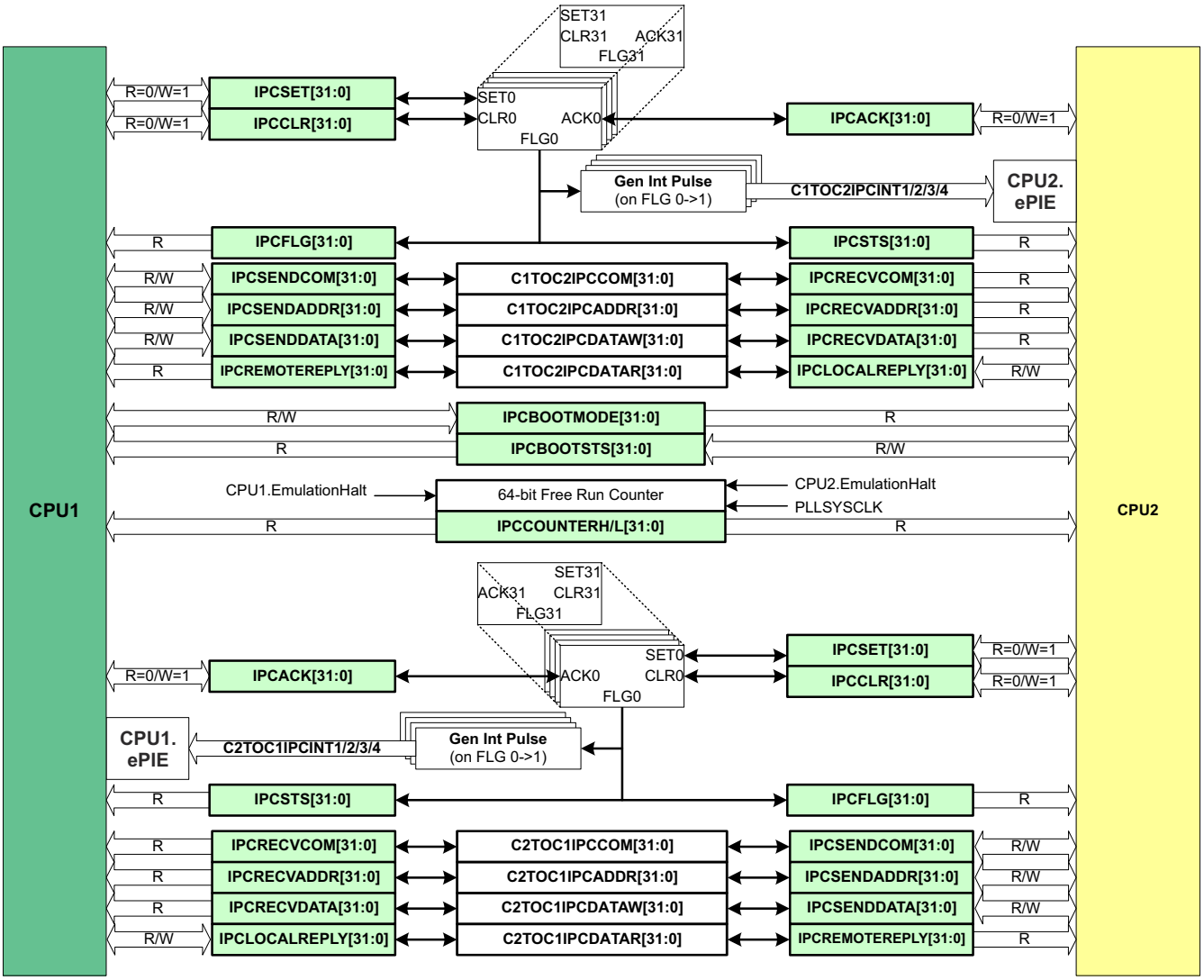


図 7-4. IPC アーキテクチャ

Copyright © 2026 Texas Instruments Incorporated

7.10 ブート ROM およびペリフェラル ブート

このデバイスのブート ROM (両方の CPU に装備) には、ブートロード ソフトウェアが収容されています。CPU1 のブート ROM は、CPU2 をリセットから復帰させる前にシステムの初期化を行います。このデバイスのブート ROM は、デバイスがリセットから復帰するたびに実行されます。ユーザーは、ブート モード GPIO ピンを構成することにより、フラッシュからブートするようにデバイスを構成するか (ゲット モードを使用)、またはブート可能なペリフェラルのいずれかからデバイスをブートするように選択できます。

CPU1 のブート ROM はマスタであり、ブート モード GPIO とブート構成を所有します。CPU2 のブート ROM は、フラッシュからブートするか (ユーザーが構成可能な DCSM OTP でそのように指定されている場合)、またはウェイト ブート モードに移行するか (OTP がプログラムされていない場合) のどちらかです 。ウェイト ブート モードでは、CPU1 アプリケーションが、その後のブートを進める方法を CPU2 ブート ROM に指示します。これには、CPU2 ブート ROM でサポートされているブート モード IPC コマンドを使用します。

表 7-13 に、このデバイスでサポートされているブート モードを示します。デフォルトのブート モード ピンは、GPIO72 (ブート モード ピン 1) および GPIO84 (ブート モード ピン 0) です。ユーザーがこれらのピンでペリフェラルも使用する場合、ブート モード ピンを弱くプルアップすることを選択してもかまいません。これは、プルアップをオーバーライドできるようにするためです。このデバイスでは、ユーザーが構成可能な DCS M OTP 領域をプログラミングすることにより、出荷時のデフォルトのブート モード ピンを変更できます。これは、出荷時のデフォルトのブート モード ピンがお客様の設計に適合しない場合にのみ推奨されます。プログラムすべき領域の詳細については、『TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』を参照してください。

表 7-13. デバイス ブート モード

モード番号	CPU1 のブート モード	CPU2 のブート モード	$\overline{\text{TRST}}$	GPIO72 (ブート モード ピン 1)	GPIO84 (ブート モード ピン 0)
0	パラレル I/O	マスタからブート	0	0	0
1	SCI モード	マスタからブート	0	0	1
2	ウェイト ブート モード	マスタからブート	0	1	0
3	ゲット モード	マスタからブート	0	1	1
4-7	EMU ブート モード (JTAG デバッグ プローブ接続)	マスタからブート	1	X	X

注

ゲット モードのデフォルト動作は、フラッシュからブートです。プログラムされていないデバイスでゲット モードを使用すると、ウォッチドッグ リセットが繰り返されるので、適切な JTAG 接続やデバイスの初期化が妨げられる場合があります。プログラムされていないデバイスでは、ウェイト モードまたはその他のブート モードを使用します。

注意

一部のリセット ソースはデバイスによって内部で駆動されます。ユーザーは、ブート モードに使用するピンが、システム内の他のデバイスによってアクティブに駆動されないようにする必要があります。ブート構成には、OTP によってブート ピンを変更する機能があります。詳細については、『 TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』を参照してください。

Copyright © 2026 Texas Instruments Incorporated

7.10.1 EMU ブートまたはエミュレーション・ブート

$\overline{\text{TRST}}$ が HIGH であること(すなわち、JTAG デバッグ・プローブ / デバッガが接続されている場合) を検出すると、CPU はこのブートに入ります。このモードでは、ユーザーは EMU_BOOTCTRL 制御ワード (アドレス 0xD00) をプログラムすることによってデバイスにブート方法を指示できます。EMU_BOOTCTRL アドレスの内容が無効な場合、デバイスはデフォルトでウェイト・ブート・モードになります。エミュレーション・ブートを使用すると、ユーザーは OTP にブート・モードをプログラムする前に、デバイスのブートを検証できます。EMU_BOOTCTRL は、実際にはレジスタではなく、RAM (PIE RAM) 内のアドレスを指していることに注意してください。PIE RAM は 0xD00 から始まりますが、最初の数箇所は、これらのブート ROM 変数用に予約されています (アプリケーション・コードで PIE ベクタ・テーブルを初期化したとき)。

7.10.2 ウェイト・ブート・モード

デバイスがこのブート・モードになっていると、ブート ROM 内でループします。このモードは、ユーザーがセキュリティ保護されたデバイスにデバッガを接続する場合や、まだフラッシュでアプリケーションを実行しないようにしたい場合に役立ちます。

7.10.3 ゲット モード

ゲット モードのデフォルト動作は、フラッシュからブートです。この動作は、ユーザーが構成可能な DCSM OTP 内の Zx-OTPBOOTCTRL 領域をプログラミングすることで変更できます。このデバイスでユーザーが構成可能な DCSM OTP は、2 つのセキュア ゾーン(Z1、Z2) で構成されています。ブート ROM のゲット モード機能は、まず、有効な OTPBOOTCTRL の値が Z1 にプログラムされているかどうかを確認します。答えが「はい」の場合、デバイスは Z1-OTPBOOTCTRL 領域の値に従って起動します。Z2-OTPBOOTCTRL 領域は、Z1-OTPBOOTCTRL が無効であるか、またはプログラムされていない場合にのみ、読み取りおよびデコードされます。Zx-OTPBOOTCTRL のどちらの領域もプログラムされていない場合、デバイスはデフォルトで工場出荷時のデフォルト動作になります。すなわち、ブート モード ピンがゲット モードに設定されている場合、出荷時のデフォルトのブート モード ピンを使用してフラッシュからブートします。適切な値をユーザー設定可能な DCSM OTP にプログラミングすることにより、ブートに使用するデバイス (SPI、I2C、CAN、USB) を選択できます。詳細については、『TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』を参照してください。

Copyright © 2026 Texas Instruments Incorporated

7.10.4 ブートローダが使用するペリフェラル ピン

表 7-14 に、各ペリフェラル ブートローダが使用する GPIO ピンを示します。このデバイスは、表 7-14 に示すように、各モードで 2 セットの GPIO をサポートしています。

表 7-14. 各ペリフェラル ブートローダが使用する GPIO ピン

ブートローダ	GPIO ピン	注
SCI-Boot0	SCITXDA:GPIO84 SCIRXDA:GPIO85	SCIA ブート I/O オプション 1 (ブート モード GPIO で選択した場合のデフォルト SCI オプション)
SCI-Boot1	SCIRXDA:GPIO28 SCITXDA:GPIO29	SCIA ブート オプション 2 – 代替 I/O による。
パラレル ブート	D0 – GPIO65 D1 – GPIO64 D2 – GPIO58 D3 – GPIO59 D4 – GPIO60 D5 – GPIO61 D6 – GPIO62 D7 – GPIO63 HOST_CTRL – GPIO70 DSP_CTRL – GPIO69	
CAN-Boot0	CANRXA:GPIO70 CANTXA:GPIO71	CAN-A ブート – I/O オプション 1
CAN-Boot1	CANRXA:GPIO62 CANTXA:GPIO63	CAN-A ブート – I/O オプション 2
I2C-ブート 0	SDAA:GPIO91 SCLA:GPIO92	I2CA ブート – I/O オプション 1
I2C-ブート 1	SDAA:GPIO32 SCLA:GPIO33	I2CA ブート – I/O オプション 2
SPI-Boot0	SPISIMOA - GPIO58 SPISOMIA - GPIO59 SPICLKA - GPIO60 SPISTEA - GPIO61	SPIA ブート – I/O オプション 1
SPI-Boot1	SPISIMOA – GPIO16 SPISOMIA – GPIO17 SPICLKA – GPIO18 SPISTEA – GPIO19	SPIA ブート – I/O オプション 2
USB ブート	USB0DM - GPIO42 USB0DP - GPIO43	USB ブートローダは、クロック ソースを外部水晶発振器 (X1 および X2 ピン) に切り替えます。このブート モードを選択する場合は、ボード上に 20MHz の水晶振動子が存在する必要があります。

7.11 デュアル・コード・セキュリティ・モジュール

デュアル・コード・セキュリティ・モジュール (DCSM) は、オンチップのセキュア・メモリへのアクセスを防止します。「セキュア」という用語は、セキュアなメモリおよびリソースへのアクセスがブロックされることを意味します。「アンセキュア」という用語は、Code Composer Studio™ (CSS) などのデバッグ・ツールを使用してアクセスが許可されていることを意味します。

コード・セキュリティ・メカニズムは、ゾーン 1 (Z1) とゾーン 2 (Z2) の 2 つのゾーンを保護します。両方のゾーンに対するセキュリティの実装は同一です。各ゾーンには、専用のセキュア・リソース (OTP メモリおよびセキュア ROM) と、割り当てられたセキュア・リソース (CLA、LSx RAM、フラッシュ・セクタ) があります。

各ゾーンのセキュリティは、それぞれの 128 ビット・パスワード (CSM パスワード) によって確保されます。各ゾーンのパスワードは、ゾーン固有のリンク・ポインタに基づいて OTP メモリの領域に格納されます。リンク・ポインタの値を変更して、OTP 内で異なるセキュリティ設定 (パスワードを含む) をプログラムできます。

注

このデバイスに搭載されているコード・セキュリティ・モジュール (CSM) は、関連メモリに保存されているデータをパスワードで保護するように設計されています。テキサス・インスツルメンツ (TI) は、このデバイスに適用される保証期間において、標準契約条件に従って、この CMS が TI の発行した仕様書に準拠していることを保証します。

ただし、TI は、CSM で情報漏洩もしくは侵害が発生しないこと、または関連メモリに格納されているデータに他の手段でアクセスできないことを保証もしくは表明するものではありません。さらに、前述の規定を除き、TI は、商品性または特定目的への適合性に関する黙示の保証を含めて、CSM について、またはこのデバイスの動作について、保証または表明を行うものではありません。

いかなる場合においても、TI は、CSM またはこのデバイスの何らかの方法での使用に関連または起因して発生した、特別、間接的、偶発的、懲罰的な損害について、TI がこれらの損害の可能性について通知されていたかどうかにかかわらず、一切責任を負わないものとします。除外される損害には、データの消失、営業上の信用喪失、使用不能の損失、または業務の中断、その他の経済的損失が含まれますが、これらに限定されません。

Copyright © 2026 Texas Instruments Incorporated

7.12 タイマ

CPU タイマ 0、1、2 は、同一仕様の 32 ビット・タイマであり、周期をプリセット可能で、16 ビット・クロック・プリスケーリングを備えています。これらのタイマには、32 ビットのカウントダウン・レジスタがあり、カウンタが 0 に達したときに割り込みを発生させます。このカウンタは、CPU クロック速度をプリスケール値設定で除算した速度でデクリメントされます。カウンタが 0 になると、32 ビットの周期値が自動的に再ロードされます。

CPU タイマ 0 は汎用であり、PIE ブロックに接続されています。CPU タイマ 1 も汎用であり、CPU の INT13 に接続されています。CPU タイマ 2 は、TI-RTOS 用に予約されています。これは、CPU の INT14 に接続されています。TI-RTOS を使用していない場合は、CPU タイマ 2 を汎用として使用できます。

CPU タイマ 2 には、次のいずれかのクロックを供給できます。

- SYSCLK (デフォルト)
- 内部ゼロピン発振器 1 (INTOSC1)
- 内部ゼロピン発振器 2 (INTOSC2)
- X1 (XTAL)
- AUXPLLCLK

7.13 ウォッチドッグ タイマ付きノンマスカブル割り込み (NMIWD)

NMIWD モジュールは、システム レベルのエラーを処理するために使用されます。それぞれの CPU に NMIWD モジュールがあります。監視対象の条件は次のとおりです。

- 発振器の障害によるシステム クロックの喪失
- CPU によるフラッシュ メモリへのアクセス時の訂正できない ECC エラー
- CPU、CLA、または DMA から RAM へのアクセスで、訂正できない ECC エラーが発生
- もう一方の CPU でのベクタ フェッチ エラー
- CPU1 のみ：CPU2 でのウォッチドッグまたは NMI ウォッチドッグのリセット

ラッチされたエラー状態に CPU が応答しない場合、NMI ウォッチドッグは、プログラム可能な時間間隔の後にリセットをトリガします。デフォルトの時間は、65536 SYSCLK サイクルです。

Copyright © 2026 Texas Instruments Incorporated

7.14 ウォッチドッグ

このウォッチドッグ・モジュールは、従来の TMS320C2000™ MCU と同じですが、オプションでカウンタのソフトウェア・リセット間隔の下限を設定できます。このウィンドウ付きカウントダウンはデフォルトで無効になっているため、ウォッチドッグは完全に下位互換性があります。

ウォッチドッグは、リセットまたは割り込みのどちらかを生成します。選択可能な分周器付きの内部発振器からクロックが供給されます。

図 7-5 に、ウォッチドッグ・モジュール内の各種機能ブロックを示します。

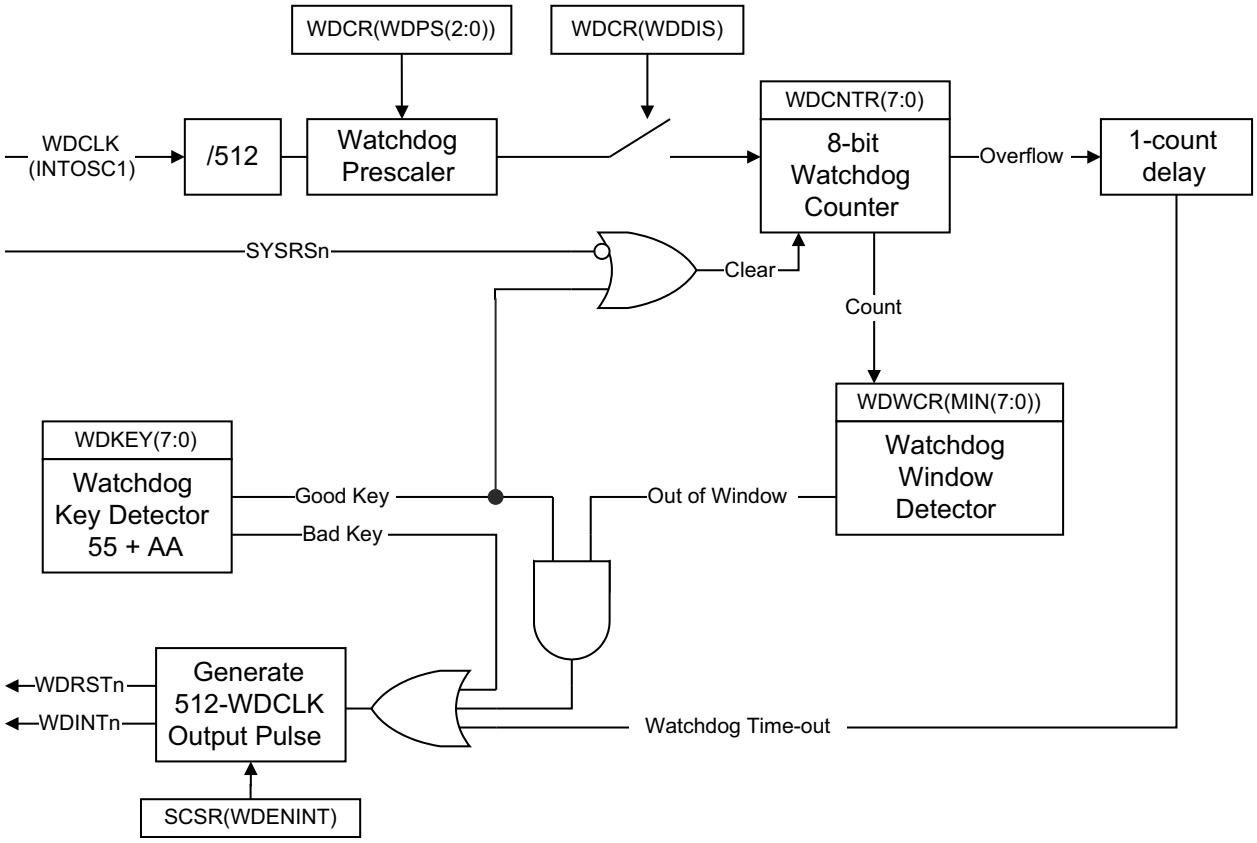


図 7-5. ウィンドウ・ウォッチドッグ

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーション、実装、およびレイアウト

8.1 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.2 デバイスの主な特長

表 8-1. デバイスの主な特長

モジュール	機能	システムの利点
C28x プロセッシング		
リアルタイム制御 CPU	最大 800MIPS 2 つの C28x コア:400MIPS (2 x 200MIPS) 2 つの CLA コア:400MIPS (2 x 200MIPS) フラッシュ:最大 1MB (各 C28x CPU で 512KB) RAM:最大 204 KB 32 ビット浮動小数点ユニット (FPU32) 三角関数演算ユニット (TMU) CRC エンジンおよび命令 (VCRC)	テキサス・インスツルメンツの 2 つの 32 ビット C28x DSP コアは、オンチップ フラッシュまたは SRAM から実行される浮動小数点または固定小数点コードに対して 400MHz の信号処理能力があります。 オンチップ・フラッシュまたは SRAM から実行される浮動小数点または固定小数点コードに対して 400 MHz の信号処理能力があります。 **CLA:**ユーザーは、メイン CPU と同時にタイムクリティカルな制御ループを実行可能 **FPU32:**IEEE 754 単精度浮動小数点演算のネイティブ ハードウェア サポート **TMU:**制御アプリケーション向けに最適化された迅速な計算 (たとえば PLL や DQ 変換) のために、三角関数と算術演算の実行を高速化するために使用されるアクセラレータ。制御ループの高速化を実現し、効率の向上と部品サイズの小型化に貢献します。 非線形 PID 制御アルゴリズムをサポートするための特別な命令 **VCRC:**大規模なデータ ブロック、通信パケット、またはコード セクションでデータの整合性を検証するための明快な方法を提供します。 「C2000™ 制御 MCU の最適化されたシグナル チェーンを紹介するリアルタイム ベンチマーク」を参照してください。
センシング		
A/D コンバータ (ADC) (12 ビットまたは 16 ビットに構成可能)	4 つの ADC モジュール 16 ビット モード:(1.1MSPS) シングルエンド モード:最大 24 チャネル 差動モード:最大 12 チャネル 12 ビット モード:(3.5MSPS) シングルエンド モード:最大 24 チャネル	ADC は 3 相すべての電流と DC バスをジッタ 0 で高精度かつ同時にサンプリング。 ADC 後処理 - オンチップ ハードウェアにより、ADC の ISR (割り込みサービス ルーチン) の複雑さを緩和し、電流ループのサイクルを短縮。 マルチフェーズ アプリケーションでは、多くの ADC が役に立ちます。より効果的な MSPS (オーバーサンプリング) と標準的な ENOB を提供し、制御ループの性能を向上します。

Copyright © 2026 Texas Instruments Incorporated

表 8-1. デバイスの主な特長 (続き)

モジュール	機能	システムの利点
コンパレータ・サブシステム (CMPSS)	**CMPSS** 8 つのウィンドウ付きコンパレータ 3 つの 12 ビット DAC 検出からトリップまでの時間は 60ns DAC ランプ生成 デジタル フィルタ スロープ補償	**誤検出によるアラームを防止するシステム保護機能:** コンパレータ サブシステム (CMPSS) モジュールは、ピーク電流モード制御、スイッチング電源、力率改善、電圧トリップ監視などのアプリケーションに役立ちます。 アナログ コンパレータ サブシステムに搭載されているブランキング ウィンドウとフィルタリング機能により、PWM トリップのトリガと不要なノイズの除去が簡単になります。 制御精度の向上を実現します。コンパレータと 12 ビット DAC (CMPSS) を使用して PWM を制御するために、CPU をさらに構成する必要はありません。 同じピンを使用して保護と制御を実現します。
シグマ デルタ フィルタ モジュール (SDFM)	最大 8 つの独立して構成可能なデジタル コンパレータ フィルタ チャネル 最大 8 つの独立して構成可能なデジタル データ フィルタ チャネル	強化デルタ シグマ変調器によるガルバニック絶縁を可能にします。 SDFM は外部デルタ シグマ変調器 ADC とのインターフェイスであり、絶縁を必要とする信号に最適です。 コンパレータ フィルタは過電流と過小電流の保護をサポートしますが、CPU の介入なしで PWM をトリップします デジタル データ フィルタは、より高い ENOB を提供し、制御ループの性能を向上します
拡張直交エンコーダ パルス (eQEP)	3 つの eQEP モジュール	リニアまたはロータリ インクリメンタル エンコーダとの直接インターフェイスに使って、高性能動作および位置制御システムに使用される回転機械から位置、方向、速度などの情報を入手できます。また、外部デバイス (センサなど) からの入力パルスをカウントする、その他のアプリケーションでも使用できます。
拡張キャプチャ (eCAP)	6 つの eCAP モジュール イベント間の経過時間を測定します (最大 4 つのタイムスタンプ付きイベント)。 入力クロスバー経由で任意の GPIO に接続します。 キャプチャ モードで使用しない場合、eCAP モジュールを単一チャネル PWM 出力 (APWM) として構成可能。	**eCAP の用途は以下のとおりです。** 回転機械の速度測定 (たとえば、歯付きスプロケットをホール センサで検知) 位置センサ パルス間の経過時間測定 パルス列信号の周期およびデューティ サイクル測定 デューティ サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号

Copyright © 2026 Texas Instruments Incorporated

表 8-1. デバイスの主な特長 (続き)

モジュール	機能	システムの利点
アクチュエーション		
拡張パルス幅変調 (ePWM) / 高分解能パルス幅変調 (HRPWM)	最大 24 個の ePWM チャネル デッドバンド付きのハイサイド / ローサイド PWM を生成する能力 バレー スイッチング (バレー ポイントで PWM 出力を切り替える機能) とブランキング ウィンドウなどの機能をサポート	最高のパワー トポロジに対応する、フレキシブルな PWM 波形生成。 シャドウ デッド バンド自体およびシャドウ アクション検証機能により、適応型 PWM の生成と保護が可能になり、制御精度の向上と電力損失の低減を実現できます。 力率補正 (PFC) アプリケーションに特に関係の深い、力率 (PF) と全高調波歪 (THD) の改善を可能にします。軽負荷時の効率向上。
	HRPWM 機能: 16 本の高分解能チャネル (150ps) デューティ サイクル、周期、デッドバンド、位相オフセットに対して 150ps のステップを備えており、99% の精度向上を実現します	高精度の制御に役立ち、高い周波数での電力変換の性能向上を実現します。 よりクリーンな波形を実現し、出力の発振 / リミット サイクルを回避します。
	ワンショット リロードおよびグローバル リロード機能	可変周波数およびマルチフェーズの DC-DC アプリケーションに不可欠であり、高い周波数の制御ループ (2MHz 超) の達成に役立ちます。 高い周波数でのインターリーブ LLC トポロジの制御を可能にします
	サイクルごと (CBC) のトリップ イベントおよびワンショット トリップ (OST) のトリップ イベントに対して独立した PWM 動作	フォルト状態時に、サイクルごとの保護と完全な PWM シャットオフを実現します。マルチフェーズ PFC または DC-DC 制御の実装に役立ちます。
	SYNC でのロード (SYNC イベントでのシャドウからアクティブへのロードをサポート)	可変周波数アプリケーションを実現 (電力変換で LLC 制御が可能)。
	ソフトウェアの介在なし (ISR:割り込みサービス ルーチンの待ち時間なし) で PWM をシャットダウン可能	障害発生時の高速な保護
	遅延トリップ機能	ピーク電流モード制御 (PCMC) 位相シフト フル ブリッジ (PSFB) DC-DC によるデッドバンドの実装を容易にし、(コンパレータ、トリップ、または SYNC 入力によるトリガ イベントでも) 多くの CPU リソースを占有しません。
	デッド バンド ジェネレータ (DB) サブモジュール	プログラマブル遅延を立ち上がり (RED) および立ち下がり (FED) PWM 信号エッジに追加することで、ハイサイドおよびローサイド ゲートの同時オン状態を防止します。
	フレキシブルな PWM 位相の関係とタイマの同期	各 ePWM モジュールは、他の ePWM モジュールや他のペリフェラルと同期させることができます。PWM エッジと特定のイベントとが完全同期するよう維持します。 パワー デバイスのスイッチングと同期して、特定のサンプリング ウィンドウを使用するフレキシブルな ADC スケジューリングをサポートします。
コネクティビティ		
シリアル・ペリフェラル・インターフェイス (SPI)	3 つの高速 SPI ポート	50 MHz をサポート
シリアル通信インターフェイス (SCI)	4 つの SCI (UART) モジュール	コントローラとのインターフェイス
コントローラ エリア ネットワーク (CAN/DCAN)	2 つの DCAN モジュール (コネクティビティ マネージャ (M4) に割り当て可能)	Classic CAN モジュールとの互換性を提供
I2C (Inter-Integrated Circuit)	2 つの I2C モジュール	外部 EEPROM、センサ、またはコントローラとのインターフェイス
マルチチャネル バッファ付きシリアル ポート (McBSP)	最大 2 つの McBSP モジュール	高速外部 ADC または追加の SPI ペリフェラルへのインターフェイス

Copyright © 2026 Texas Instruments Incorporated

表 8-1. デバイスの主な特長 (続き)

モジュール	機能	システムの利点
ASRAM および SDRAM をサポートする外部メモリ インターフェイス (EMIF)	各 CPU サブシステムに専用の EMIF を持つ 2 つの EMIF モジュール。	外部 ASRAM および SDRAM とのインターフェイス
他のシステムの特長		
セキュリティ エンハンサ	デュアル ゾーン コード セキュリティ モジュール (DCSM) JTAGLOCK バックグラウンド CRC (BGCRC) 汎用 CRC (GCRC) ウォッチドッグ レジスタへの書き込み保護 クロック消失検出ロジック (MCD) 誤り訂正符号 (ECC) およびパリティ	**DCSM:** 社外秘コードの複製やリバース エンジニアリングを防止します **JTAGLOCK:** デバイスのエミュレーションをブロックする機能 **BGCRC:** CPU のオーバーヘッドやシステム性能に影響を与えることなく、メモリの整合性をチェックします **GCRC:** 構成可能なメモリ ブロックで CRC 値を計算するための指定されたコネクティビティ マネージャ モジュール **ウォッチドッグ:** CPU が無限ループに陥った場合にリセットを生成 **レジスタへの書き込み保護:** システム構成レジスタのロック保護 不要な CPU 書き込みに対する保護 **MCD:** クロック故障の自動検出 **ECC およびパリティ:** シングル ビットの誤り訂正とダブル ビットの誤り検出
クロスバー (XBAR)	さまざまな構成でデバイスの入力、出力、内部リソースを接続できるフレキシビリティを実現します。 • 入力クロスバー • 出力クロスバー • ePWM クロスバー	**ハードウェア設計の汎用性を向上:** **入力クロスバー:** 任意の GPIO からチップ内の複数の IP ブロックに信号を接続 **出力クロスバー:** 内部信号を指定された GPIO ピンに接続 **ePWM クロスバー:** 内部信号をさまざまな IP ブロックから ePWM に接続
ダイレクト メモリ アクセス (DMA) コントローラ	12 チャネル	ダイレクト メモリ アクセス (DMA) モジュールは、CPU を介さずにペリフェラルやメモリ間でデータを転送するためのハードウェア方式を提供し、それによって CPU の帯域幅を他のシステム機能のために解放します。
USB		システムのデータ ロギングや、オンチップ フラッシュの更新のために USB からブートする場合に便利です

Copyright © 2026 Texas Instruments Incorporated

8.3 アプリケーション情報

8.3.1 代表的なアプリケーション

「代表的なアプリケーション」セクションでは、このデバイスのいくつかのアプリケーションについて詳しく説明します。アプリケーションの詳細なリストについては、このデータシートの「アプリケーション」セクションを参照してください。

8.3.1.1 ソーラー・マイクロ・インバータ

ソーラー マイクロ インバータは、DC-AC インバータの電力段と 1 つ以上の最大電力点追従 (MPPT) DC-DC 電力段で構成されています。インバータ (DC-AC) の一般的なスイッチング周波数は 20kHz～50kHz で、DC-DC 側のスイッチング周波数は 100kHz～200kHz の範囲です。これを実現するために、さまざまな出力段トポロジを使用できます。この図は、代表的な出力段と、制御および通信の要件のみを示しています。C2000 マイクロコントローラには、オンチップの EPWM、ADC、アナログ・コンパレータ・モジュールが搭載されており、このようなマイクロ・インバータ・システムの完全なデジタル制御を実装できます。

8.3.1.1.1 システム・ブロック図

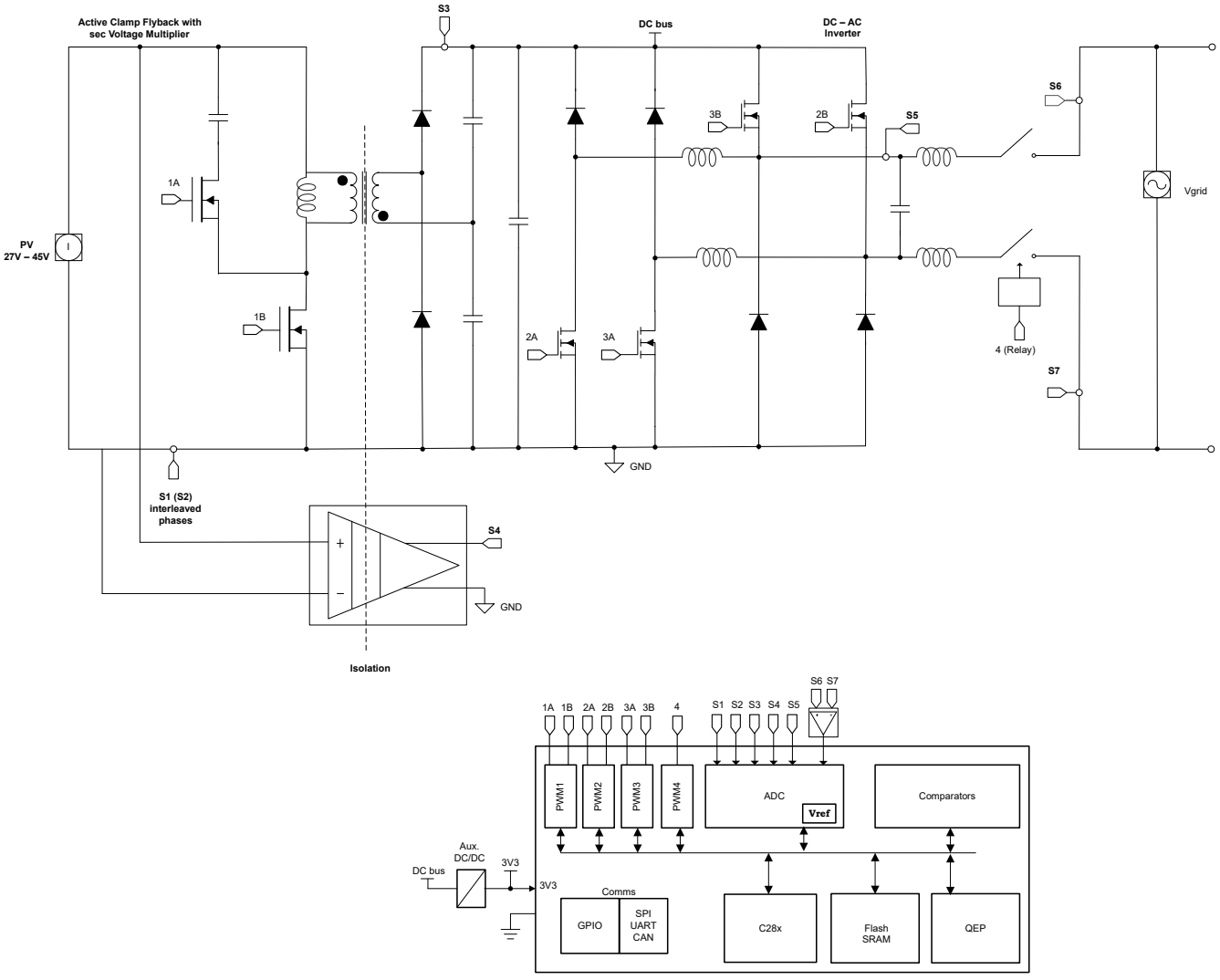


図 8-1. ソーラー・マイクロ・インバータ

8.3.1.1.2 ソーラー マイクロ インバータのリソース

リファレンス・デザインと関連トレーニング・ビデオ

リアルタイム制御テクノロジーを活用して信頼性の高いスケーラブルな高電圧設計を実現する方法

『*ホール効果電流センサをベースとする CLLLC コンバータの同期整流制御*』アプリケーション レポート

8.3.1.2 オンボード充電器 (OBC)

オンボード充電器 (OBC) は、AC/DC パワー コンバータとそれに続く DC/DC パワー コンバータの 2 つの電力段で構成されています。OBC は、単一の MCU を使用して AC/DC と DC/DC の両方のパワー コンバータを制御することで実装できます。たとえば、図 8-2 に示すように、3 つの 3.7kW 単相 OBC モジュールを使用して 11kW OBC を実装できます。このアプローチにより、単相 240AC (北米) と 3 相 AC (その他の地域) の両方を簡単にサポートできます。

OBC 充電の設計要件は次のとおりです。

- 高効率の電力変換と電力密度の向上を可能にする、高性能で高速なデジタル制御ループ。
- 高帯域幅で高速応答の電流センシングを通じて、高精度の制御と過電流状況における高速シャットダウンを実現。
- パワー スイッチ [絶縁ゲート バイポーラ トランジスタ / シリコン カーバイド (IGBT/SiC)] を安全かつ効率的に制御および保護。

8.3.1.2.1 システム ブロック図

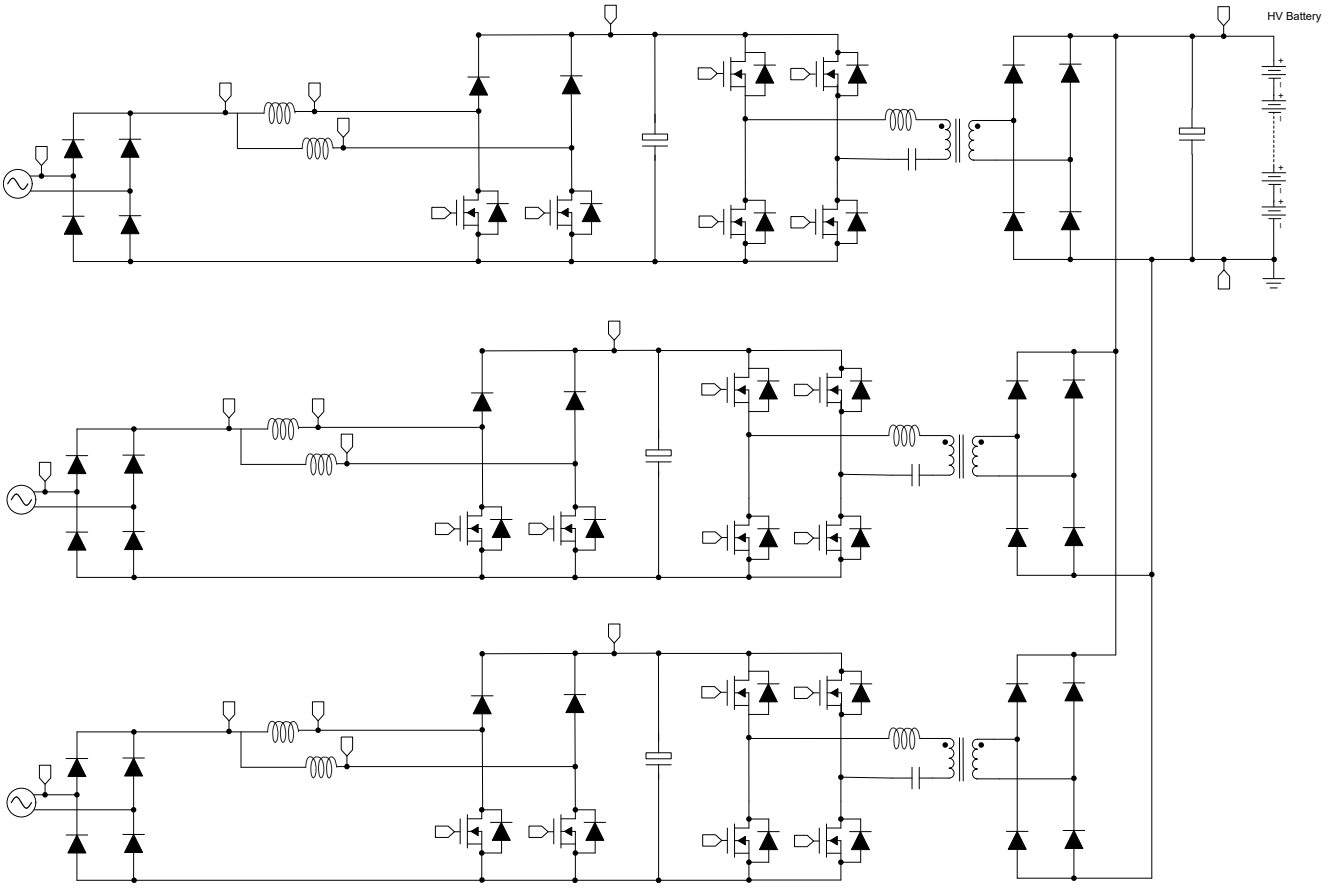


図 8-2. 11kW のモジュール型 OBC 電源トポロジ (単方向、ブリッジ PFC)

Copyright © 2026 Texas Instruments Incorporated

8.3.1.2.2 OBC のリソース

リファレンス・デザインと関連トレーニング・ビデオ

『高周波共振コンバータ設計上の考慮事項、パート 1』

『高周波共振コンバータ設計における検討事項、パート 2』アプリケーション レポート

6.6kW 双方向オンボード チャージャ (OBC): 紹介と概要 (ビデオ)

6.6kW 双方向 OBC_CLLLC 共振 DAB コンバータ (ビデオ)

『EV オンボード チャージャ向けの CLLLC と DAB の比較』アプリケーション レポート

TI GaN および C2000 リアルタイム マイコンを使用した高電圧オンボード チャージャ (ビデオ)

8.3.1.3 EV 充電ステーション向けパワー・モジュール

DC 充電ステーションのパワー・モジュールは、AC/DC 電力段と DC/DC 電力段で構成されています。出力段に関連する各コンバータは、パワー・スイッチ、ゲート・ドライバ、電流および電圧センシング、リアルタイム・マイクロコントローラで構成されています。入力側では 3 相 AC 電源が AC/DC 電力段に接続されています。このブロックは、入力 AC 電圧を約 800V の固定 DC 電圧に変換します。この電圧は DC/DC 電力段への入力として機能します。DC/DC 電力段は、電力を処理して電気自動車のバッテリと直接接続します。各出力段には個別のリアルタイム・マイクロコントローラがあり、アナログ信号の処理と高速な制御動作を行います。

AC/DC 段 (PFC 段とも呼ばれます) は、EV 充電ステーションでの電力変換の第 1 段階です。ここでは、電力網からの入力 AC 電力 (380～415VAC) を 800V 程度の安定した DC リンク電圧に変換します。PFC 段は、THD < 5% (標準値) で正弦波入力電流を維持し、線間入力電圧の振幅よりも高い電圧の制御された DC 出力電圧を供給します。DC/DC 段は、EV 充電ステーションにおける第 2 段階の電力変換です。入力 DC リンク電圧 800V (3 相システムの場合) を、電気自動車のバッテリを充電するためのより低い DC 電圧に変換します。DC/DC コンバータは、バッテリの充電状態 (SOC) に応じて定電流または定電圧モードでバッテリを充電する機能を備えて、広い範囲にわたって定格電力をバッテリに供給できるようになっている必要があります。

Copyright © 2026 Texas Instruments Incorporated

8.3.1.3.1 システム ブロック図

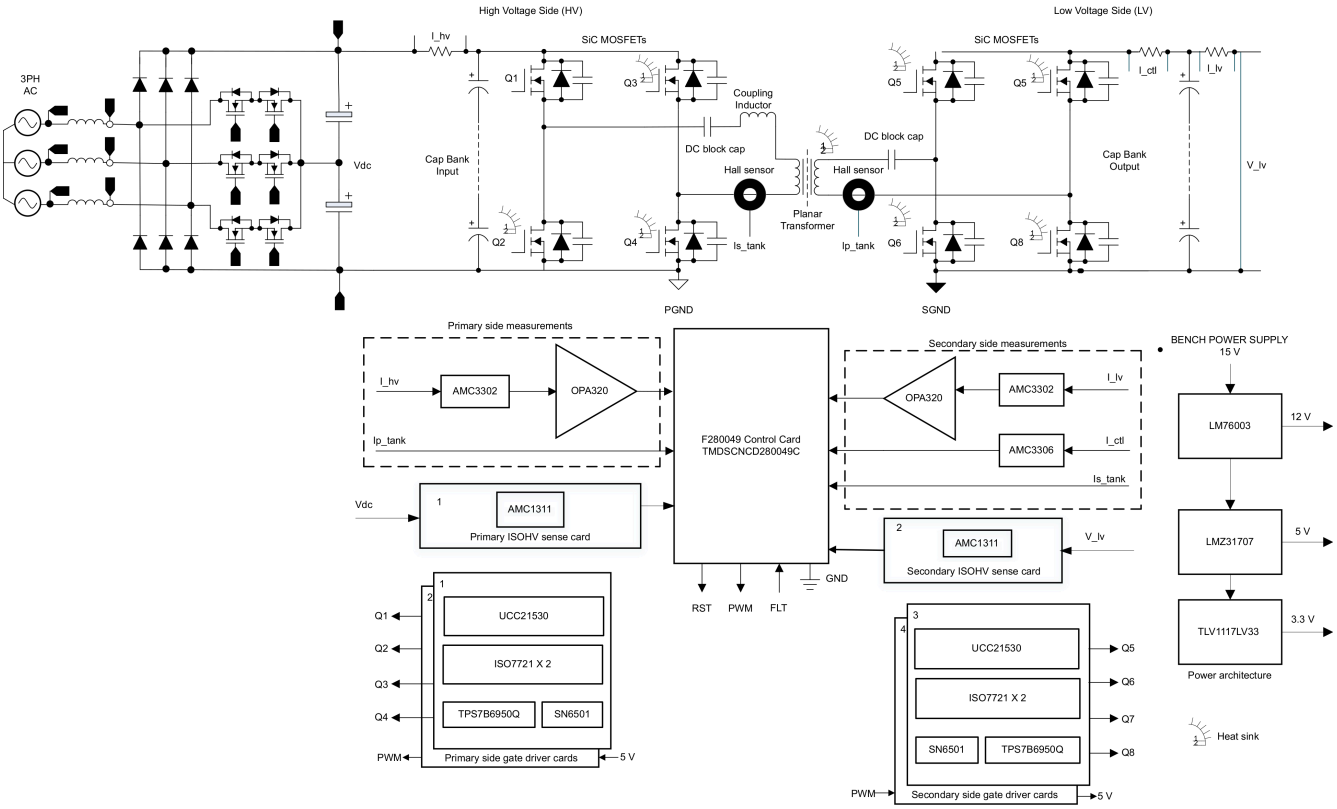


図 8-3. デュアル アクティブ ブリッジ DC-DC コンバータ

8.3.1.3.2 EV 充電ステーション向けパワー モジュール資料

リファレンス・デザインと関連トレーニング・ビデオ

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 デバイスおよび開発ツールの命名規則

テキサス・インスツルメンツでは、サポート ツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ (TMDX) から、完全認定済みの量産ツール (TMDS) まであります。

デバイスの開発進展フロー:

X 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ・フローを使用しない可能性があります。

P プロトタイプ・デバイス。最終的なシリコン・ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

空白 認定済みのシリコン・ダイの量産バージョン。

サポート・ツールの開発進展フロー:

TMDX 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

X および P デバイスと TMDX 開発サポート・ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です」。

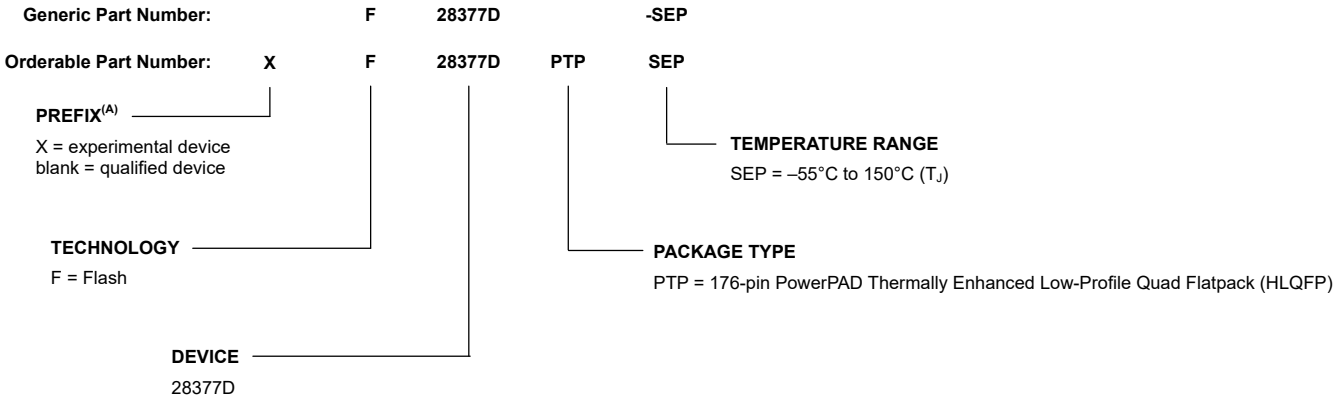
量産デバイスおよび TMDS 開発サポート・ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ・デバイス (X または P) の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツでは、それらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの項目表記には、デバイス ファミリ名の接尾辞も含まれます。この接尾辞は、パッケージの種類 (例:PTP) を示しています。図 9-1 に、任意のファミリ メンバについて、完全なデバイス名を読み取るための凡例を示します。

デバイスの型番と詳しい注文情報については、テキサス・インスツルメンツの Web サイト (www.tij.co.jp) を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

ダイのデバイス命名規則マーキングの詳細については、『TMS320F2837xD デュアルコア リアルタイム MCU シリコン エラッタ』を参照してください。

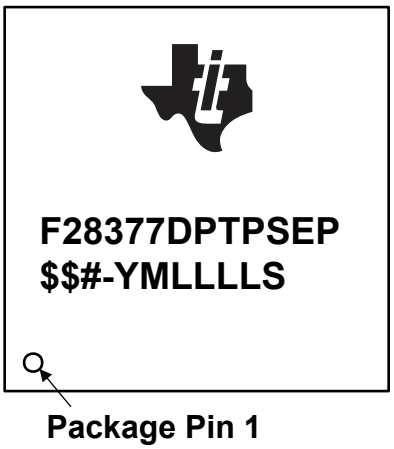


A. 注文用型番には接頭辞 X を使用。

図 9-1. デバイスの命名規則

9.2 マーキング

図 9-2 に、F28377D-SEP デバイスのマーキングの例と、各マーキングの定義を示します。デバイス リビジョンは、図 9-2 に示すように、パッケージの上面にマークが付いた記号で決定できます。一部のプロトタイプ デバイスは、ここに示されているものとマーキングが異なる可能性があります。



YMLLLLS = Lot Trace Code

$$ = Wafer Fab Code (one or two characters)
 # = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code per QSS 005-120

図 9-2. デバイスのマーキングの例

表 9-1. ロット トレース コードからのシリコン リビジョンの判定

シリコンのリビジョン コード	シリコンのリビジョン	REVID(1) アドレス:0x5D00C	備考
空白	0	0x0000	このシリコン リビジョンは TMX として供給されます。
A	A	0x0000	このシリコン リビジョンは TMX として供給されます。
B	B	0x0002	このシリコン リビジョンは TMX として供給されます。
C	C	0x0003	このシリコン リビジョンは TMS として供給されます。

(1) シリコンのリビジョン ID

Copyright © 2026 Texas Instruments Incorporated

9.3 ツールとソフトウェア

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能評価、コードの生成、ソリューションの開発のためのツールおよびソフトウェアの一部を以下に示します。C2000™ リアルタイム制御 MCU 用に提供しているすべてのツールおよびソフトウェアを参照するには、C2000 リアルタイム制御 MCU - 設計および開発のページをご覧ください。

開発ツール

C2000 用の F28379D controlCARD リアルタイム制御開発キット
テキサス・インスツルメンツ製の F28379D controlCARD は Position Manager に対応しており、システム プロトタイプ、テスト スタンド、高性能コントローラに簡単にアクセスする必要があるその他の多くのプロジェクトのための初期ソフトウェア開発および短期使用ビルドに理想的な製品です。すべての C2000 controlCARD は包括的なボードレベル モジュールで、HSEC180 または DIMM100 フォーム ファクタを使用し、低プロファイルのシングルボード コントローラ ソリューションを提供します。ホスト システムが 5V のシングル電源レールを供給するだけで、controlCARD をフルに動作させることができます。

F28379D 検証用キット
C2000™ MCU 検証用キットは、テキサス・インスツルメンツの C2000 32 ビット マイクロコントローラ ファミリを使用してリアルタイムの閉ループ制御開発を行うための、堅牢なハードウェア プロトタイプ開発プラットフォームです。このプラットフォームは、モーター制御、デジタル電源、ソーラー インバータ、デジタル LED 照明、高精度センシングなど、多くのパワー エレクトロニクス アプリケーション用のソリューションをカスタマイズして実証するための、優れたツールです。

ソフトウェア ツール

C2000 MCU 用 C2000Ware
C2000 マイクロコントローラ用の C2000Ware は、開発ソフトウェアおよびドキュメントの総合的なセットで、ソフトウェア開発時間を最小化できるよう設計されています。デバイス専用のドライバやライブラリから、デバイス ペリフェラルのサンプルに至るまで、C2000Ware は開発と評価を開始するための堅牢な土台を提供します。C2000Ware は現在、controlSUITE™ に対して推奨されるコンテンツ配信ツールです。

C2000 マイクロコントローラ用の Code Composer Studio™ (CCS) 統合開発環境 (IDE)
Code Composer Studio は、テキサス・インスツルメンツのマイクロコントローラおよび組み込みプロセッサ ポートフォリオをサポートする統合開発環境 (IDE) です。Code Composer Studio は、組み込みアプリケーションの開発およびデバッグに必要な一連のツールで構成されています。最適化 C/C++コンパイラ、ソース コード エディタ、プロジェクト ビルド環境、デバッガ、プロファイラなど、多数の機能が含まれています。この IDE は直感的で、アプリケーションの開発フローの各段階を、すべて同一のユーザー インターフェイスで実行できます。使い慣れたツールとインターフェイスにより、ユーザーは従来より迅速に作業を開始できます。Code Composer Studio は、Eclipse ソフトウェア フレームワークの利点と、テキサス・インスツルメンツの先進的な組み込みデバッグ機能の利点を組み合わせて、組み込み製品の開発者向けの魅力的で機能豊富な開発環境を実現します。

Pin Mux ツール
Pin Mux ユーティリティは、TI MPU のピン多重化設定を構成し、競合を解決し、I/O セルの特性を指定するためのグラフィカル ユーザー インターフェイスを提供する、ソフトウェア ツールです。

F021 フラッシュ アプリケーション プログラミング インターフェイス (API)
F021 フラッシュ アプリケーション プログラミング インターフェイス (API) は、F021 オンチップ フラッシュ メモリをプログラム、消去、および確認するための機能を含むソフトウェア ライブラリを提供します。

UniFlash スタンドアロン フラッシュ ツール
UniFlash は、GUI、コマンドライン、またはスクリプト インターフェイスからオンチップ フラッシュ メモリをプログラムするために使用される、スタンドアロンのツールです。

C2000 サード パーティー検索ツール
テキサス・インスツルメンツは複数の企業と協力し、テキサス・インスツルメンツの C2000 デバイスに対応する多様なソリューションとサービスを提供しています。これらの企業は、各種 C2000 デバイスを使用した量産へと至るお客様の開発工程

Copyright © 2026 Texas Instruments Incorporated

の迅速化に役立ちます。この検索ツールをダウンロードすると、サード パーティー各社の概要を手早く参照し、お客様のニーズに適したサード パーティーを見つけることができます。

Copyright © 2026 Texas Instruments Incorporated

モデル

製品の「ツールとソフトウェア」ページでは、各種のモデルをダウンロードできます。これらのモデルには、I/O バッファ情報仕様(IBIS)モデルや、バウンダリ スキャン記述言語(BSDL)モデルが含まれます。利用可能なモデルすべてを参照するには、各デバイスの「ツールとソフトウェア」ページの「モデル」セクションをご覧ください。

トレーニング

設計エンジニアが C2000 マイクロコントローラの機能および性能を十分に活用できるよう、TI は各種のトレーニング リソースを開発しました。オンライン トレーニング資料や、ダウンロード可能な実践的ワークショップを活用することで、C2000 マイクロコントローラ ファミリの完全な動作の知識を簡単に習得できます。これらのトレーニング資料は、習得を容易にし、開発期間を短縮し、製品を短期間で開発できるよう設計されています。各種トレーニング資料の詳細については、C2000™ リアルタイム マイクロコントローラ設計および開発 - トレーニング資料のサイトを参照してください。

F2837xD/F2837xS/F2807x 固有の実践的トレーニング資料は、TI Resource Explorer の C2000 Academy にあります。

Copyright © 2026 Texas Instruments Incorporated

9.4 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。右上の [*アラートを受け取る*] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

プロセッサおよび関連ペリフェラルに関する最新ドキュメント、その他の技術資料を以下に示します。

放射線レポート

*F28377D-SEP デュアルコア リアルタイム マイクロコントローラのシングルイベント効果 (SEE) 放射線レポート*では、F28377D-SEP の重イオン照射によるシングルイベント効果 (SEE) 性能が評価されます。

*総照射線量 (TID) レポート*では、耐放射線性の 32 ビット浮動小数点マイクロコントローラ ユニットである F28377D-SEP の放射線特性評価結果を説明しています。

エラッタ

『TMS320F2837xD デュアルコア リアルタイム MCU シリコン エラッタ』には、シリコンについての既知の問題と回避策が記載されています。

テクニカル リファレンス マニュアル

『TMS320F2837xD デュアルコア リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』には、F2837xD マイクロコントローラの各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミング モデルの詳細が記載されています。

CPU ユーザー ガイド

『TMS320C28x CPU および命令セット リファレンス ガイド』には、TMS320C28x 固定小数点デジタル信号プロセッサ (DSP) の CPU (Central Processing Unit) およびアセンブリ言語命令について記述されています。このリファレンス ガイドでは、これらの DSP で利用可能なエミュレーション機能についても解説しています。

『TMS320C28x 拡張命令セット テクニカル リファレンス マニュアル』には、TMU、VCU-II、および FPU アクセラレータのアーキテクチャ、パイプライン、命令セットについて記述されています。

ペリフェラル ガイド

『C2000 リアルタイム制御ペリフェラル リファレンス ガイド』には、28x DSP のペリフェラル リファレンス ガイドが記載されています。

ツール ガイド

『TMS320C28x アセンブリ言語ツール v22.6.0.LTS ユーザー ガイド』では、TMS320C28x デバイス用のアセンブリ言語ツール (アセンブリ言語コードを開発するためのアセンブラや他のツール)、アセンブラのディレクティブ、マクロ、共通オブジェクト ファイル フォーマット、シンボリック デバッグ ディレクティブについて記述しています。

『TMS320C28x 最適化 C/C++ コンパイラ v22.6.0.LTS ユーザー ガイド』では、TMS320C28x C/C++ コンパイラについて記述しています。このコンパイラは、ANSI 標準の C/C++ ソースコードから、TMS320C28x デバイス用の TMS320 DSP アセンブリ言語ソースコードを生成します。

アプリケーション レポート

『半導体パッキング方法』では、半導体デバイスをエンド ユーザーへの配送用に準備するためのパッキング手法について記述しています。

『組込みプロセッサの有効寿命計算』では、テキサス・インスツルメンツの組込みプロセッサ (EP) を電子機器システムにおいて通電状態で使用したときの有効寿命を計算するための手法を解説しています。これは、テキサス・インスツルメンツの EP の信頼性が最終システムの信頼性要件を満たすかどうかを判定したい一般的なエンジニアを対象としています。

Copyright © 2026 Texas Instruments Incorporated

『IBIS (I/O バッファ情報仕様) モデル作成の概要』では、IBIS の歴史、利点、互換性、モデルの生成フロー、入力 / 出力構造のモデル作成におけるデータの要件、将来の動向など、各種の側面から解説しています。

『C2000™ マイクロコントローラのシリアル フラッシュ プログラミング』では、フラッシュ カーネルおよび ROM ローダーを使用したデバイスのシリアル プログラミングについて記載しています。

Copyright © 2026 Texas Instruments Incorporated

9.5 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.6 商標

PowerPAD™, C2000™, Code Composer Studio™, TMS320C2000™, controlSUITE™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
Bosch® is a registered trademark of Robert Bosch GmbH Corporation.
すべての商標は、それぞれの所有者に帰属します。

9.7 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.8 輸出管理に関する注意事項

受領者は、ソフトウェアを含む製品または技術データ (米国、EU、その他の輸出管理規則で定義される)、または他の適用される国内規制によって制限されている制御製品を含む、非開示義務（該当する場合）に基づき開示者から受け取った製品、または当該技術の直接製品を、米国または他の適用法によって輸出または再輸出が制限または禁止されている地域へ、米国商務省およびその他の管轄官庁から事前の許可を得ることなく、意図的に輸出または再輸出しないことに同意します。

9.9 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from OCTOBER 1, 2025 to JANUARY 31, 2026 (from Revision * (October 2025) to Revision A (January 2026)) **Page**

- 宇宙関連のアプリケーションを追加 2
- セクション 6.11.5.1.1.1 (SPI マスタ・モードのタイミング要件): 表を更新。 172
- セクション 6.11.5.1.1.2 (SPI マスタ・モードのスイッチング特性 (クロック位相 = 0)): 表を更新。 172
- セクション 6.11.5.1.1.3 (SPI マスタ・モードのスイッチング特性 (クロック位相 = 1)): 表を更新。 172

Copyright © 2026 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

11.1 パッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

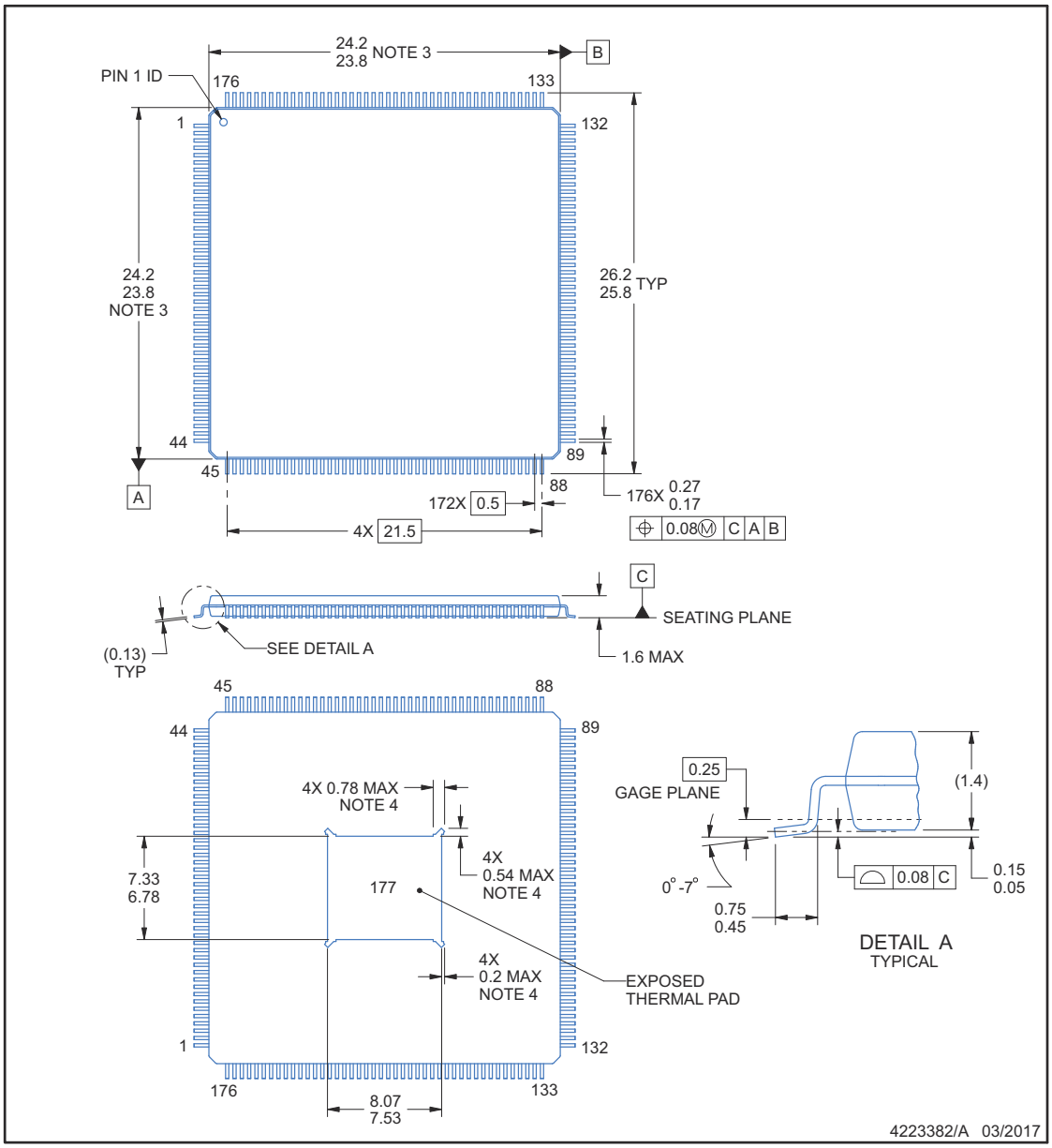
Copyright © 2026 Texas Instruments Incorporated

PACKAGE OUTLINE

PTP0176F

PowerPAD™ HLQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs.
4. Strap features my not present.
5. Reference JEDEC registration MS-026.

www.ti.com

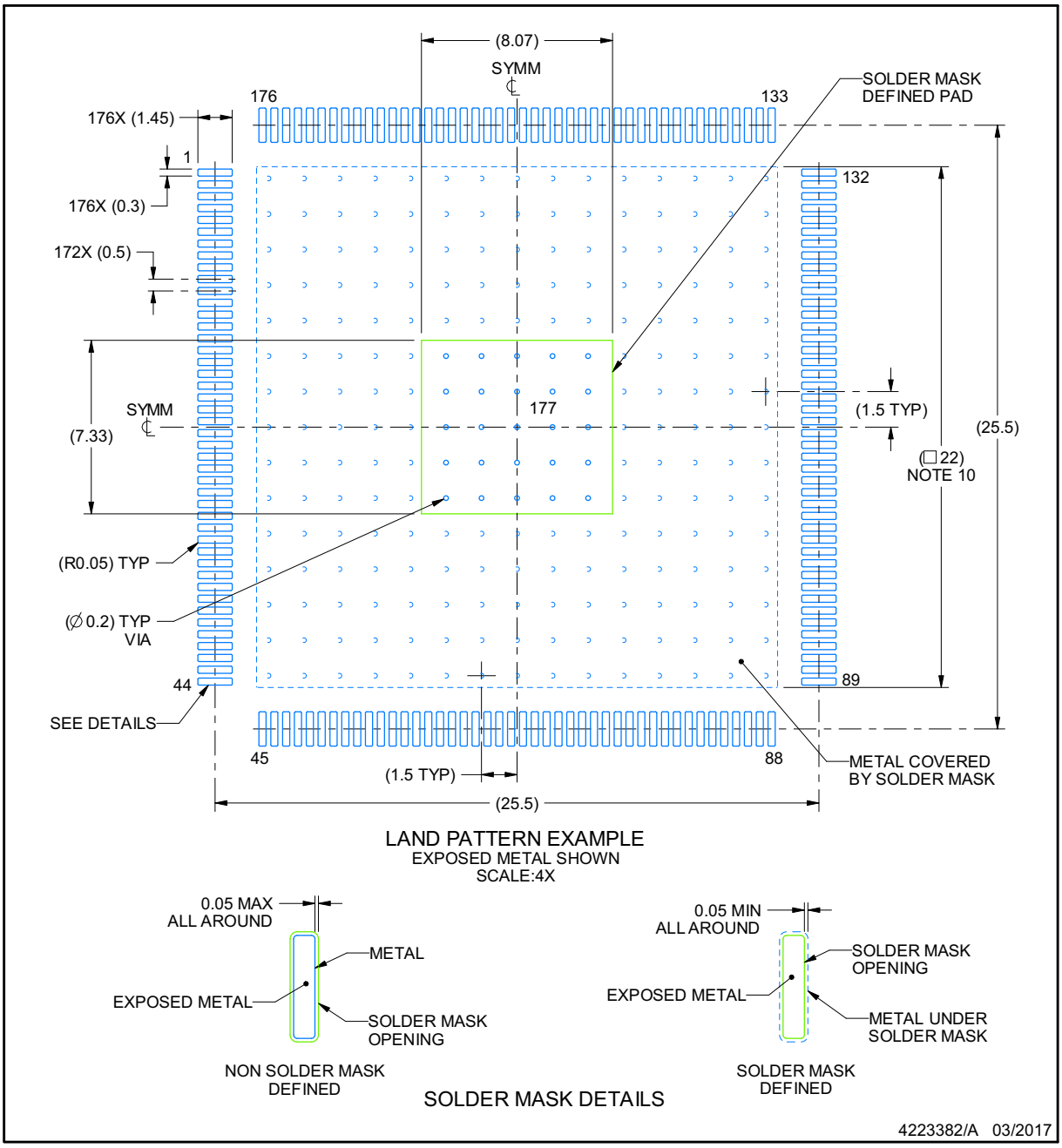
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

PTP0176F

PowerPAD™ HLQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

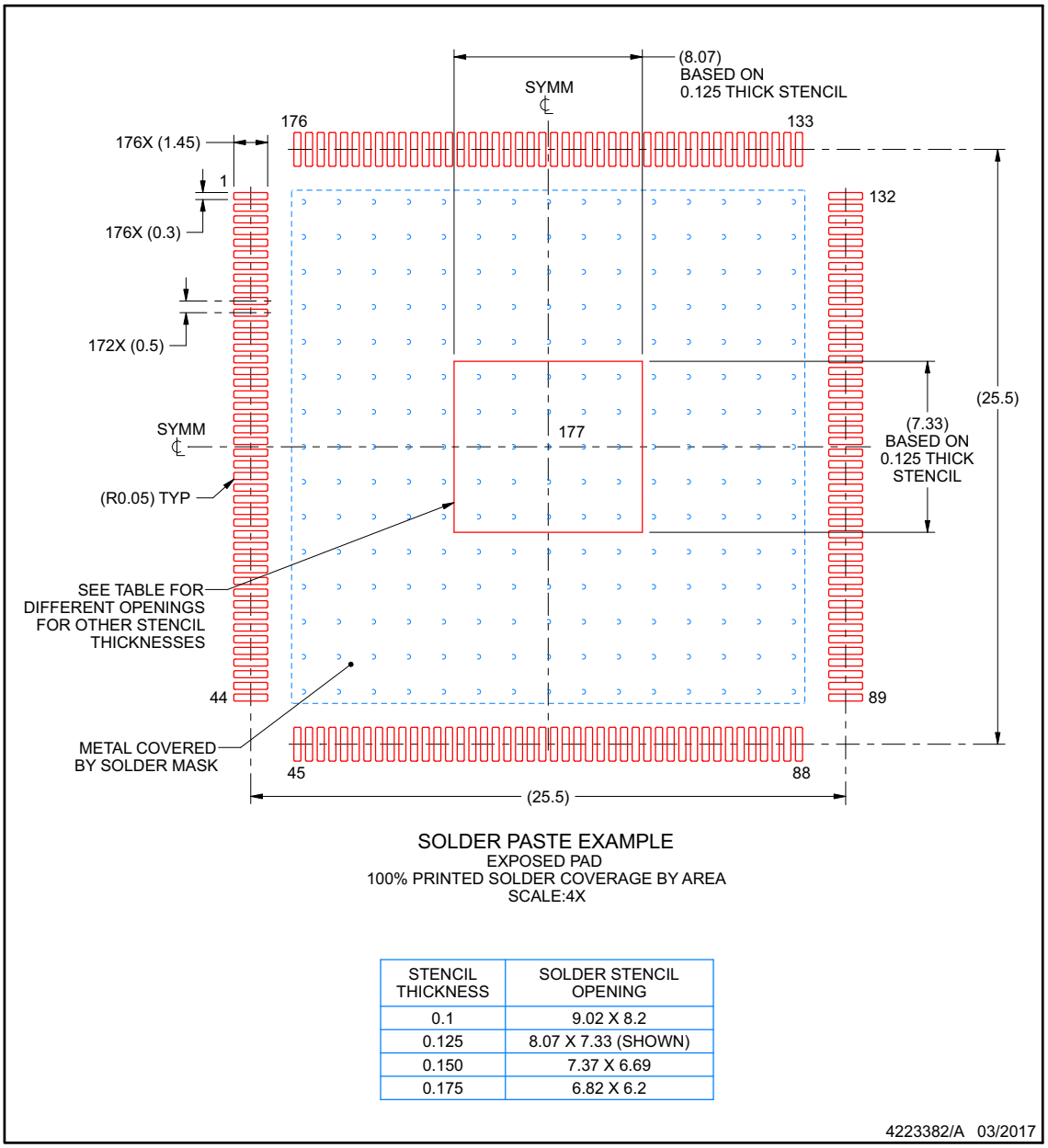
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PTP0176F — **PowerPAD™ HLQFP - 1.6 mm max height**

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:4X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	9.02 X 8.2
0.125	8.07 X 7.33 (SHOWN)
0.150	7.37 X 6.69
0.175	6.82 X 6.2

4223382/A 03/2017

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F28377DPTPSEP	Active	Production	HLQFP (PTP) | 176	1 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	F28377DPTPSEP
V62/25638-01XE	Active	Production	HLQFP (PTP) | 176	1 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	F28377DPTPSEP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

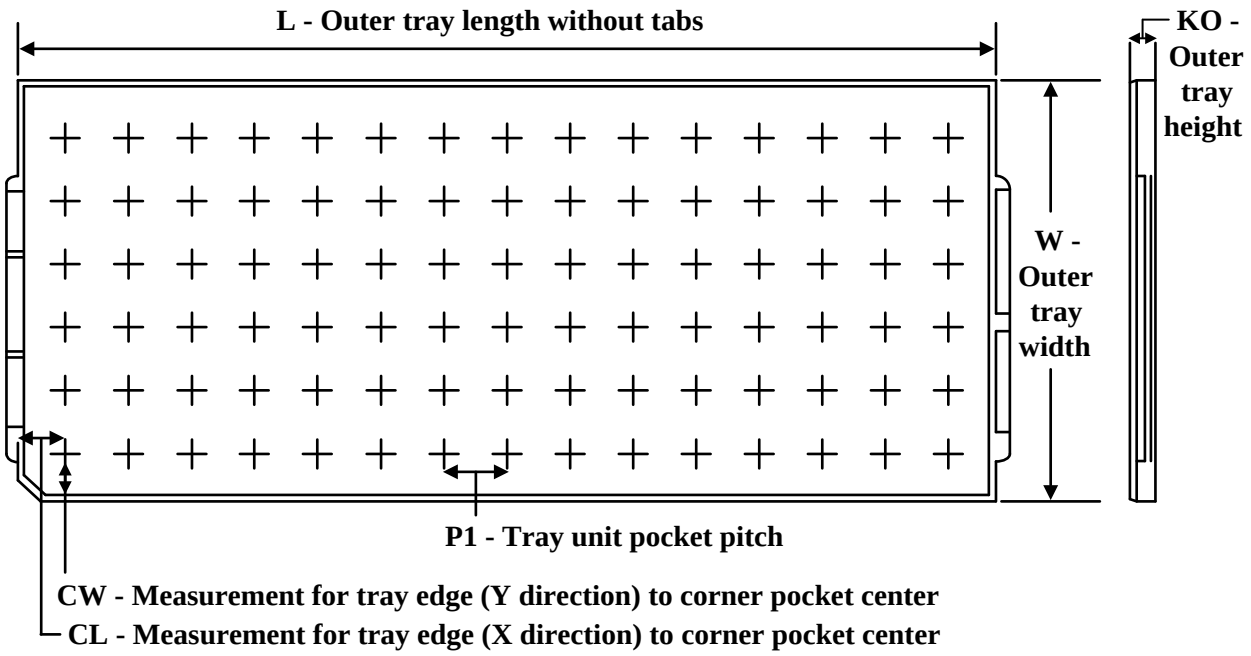
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
F28377DPTPSEP	PTP	HLQFP	176	1	4x10	150	315	135.9	7620	20.7	30.4	20.7
V62/25638-01XE	PTP	HLQFP	176	1	4x10	150	315	135.9	7620	20.7	30.4	20.7

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月