HD3SS3411-Q1 1 チャネル差動 2:1 マルチプレクサ / デマルチプレクサ

1 特長

- Q100 車載認証済み
- FPD Link、LVDS、PCIE Gen II、III、XAUI、USB3.1 など複数のインターフェイス規格に準拠
- 最大 10Gbps で動作
- 約 7.5GHz の広い -3dB 差動帯域幅
- 優れた動的特性 (4GHz 時)
  - 挿入損失 = -1.1dB
  - 反射損失 = -11.3dB
  - オフ絶縁 = –19dB
- 双方向マルチプレクサ / デマルチプレクサ差動スイッチ
- 0V～2V の同相電圧をサポート
- V_{CC} が 3.3V ±10% の単一電源
- -40℃～105℃の産業用温度範囲

2 アプリケーション

- 車載インフォテインメント
- 産業用データ スイッチング
- デスクトップ PC およびノートブック PC
- サーバー / ストレージ エリア ネットワーク
- PCI Express バックプレーン
- 共有 I/O ポート

3 概要

HD3SS3411-Q1 は、マルチプレクサまたはデマルチプレクサ構成の高速、双方向パッシブ スイッチです。このデバイスは制御ピン SEL に従い、ポート B とポート A またはポート C とポート A との間で差動チャネルのスイッチングを行います。

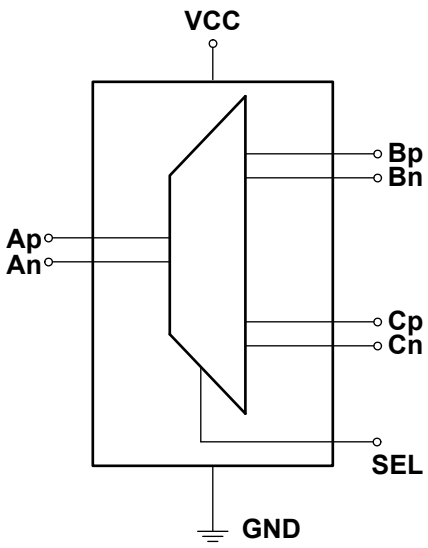
HD3SS3411-Q1 は、汎用のアナログ差動パッシブ・スイッチで、0V～2V の同相電圧範囲でバイアスされ、差動振幅が最大 1800mVpp の差動信号を持つ限り、あらゆる高速インターフェイス アプリケーションで動作できます。このデバイスには適応型トラッキング機能があり、同相電圧範囲全体にわたってチャネルを変更せずに維持できます。

このデバイスの優れた動的特性が可能にした高速スイッチングでは、信号アイ ダイアグラムの減衰は最小化され、発生するジッタは非常に低いレベルに抑えられます。HD3SS3411-Q1 は、動作時に < 2mW の電力を消費し、OEn ピンでシャットダウン モードを実行できるため、< 2µW の電力を消費します。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
HD3SS3411-Q1	RWA (WQFN、14)	3.5mm × 3.5mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図

Table of Contents

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 Pin Configuration and Functions ... 3
5 Specifications ... 4
5.1 Absolute Maximum Ratings ... 4
5.2 ESD Ratings ... 4
5.3 Recommended Operating Conditions ... 4
5.4 Thermal Information ... 4
5.5 Electrical Characteristics ... 5
5.6 Timing Requirements ... 5
5.7 Typical Characteristics ... 6
6 Detailed Description ... 7
6.1 Overview ... 7
6.2 Functional Block Diagram ... 7
6.3 Feature Description ... 7
6.4 Device Functional Modes ... 8
7 Application and Implementation ... 9
7.1 Application Information ... 9
7.2 Typical Application ... 9
7.3 Power Supply Recommendations ... 12
7.4 Layout ... 12
8 Device and Documentation Support ... 14
8.1 ドキュメントの更新通知を受け取る方法 ... 14
8.2 サポート・リソース ... 14
8.3 Trademarks ... 14
8.4 静電気放電に関する注意事項 ... 14
8.5 用語集 ... 14
9 Revision History ... 14
10 Mechanical, Packaging, and Orderable Information ... 14

Copyright © 2024 Texas Instruments Incorporated

4 Pin Configuration and Functions

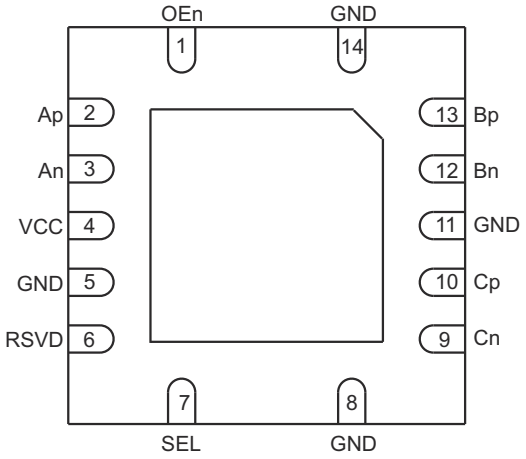


図 4-1. RWA Package, 14-Pin WQFN (Top View)

表 4-1. Pin Functions

NAME	NO	TYPE(1)	DESCRIPTION
Ap	2	I/O	Port A, High Speed Positive Signal
An	3	I/O	Port A, High Speed Negative Signal
Bp	13	I/O	Port B, High Speed Positive Signal
Bn	12	I/O	Port B, High Speed Negative Signal
Cp	10	I/O	Port C, High Speed Positive Signal
Cn	9	I/O	Port C, High Speed Negative Signal
GND	5,8,11,14, Pad	G	Ground
OEn	1	I	Active Low Chip Enable L: Normal operation H: Shutdown
RSVD	6	I/O	Reserved Pin – connect or pulldown to GND
SEL	7	I	Port select pin L: Port A to Port B H: Port A to Port C
VCC	4	P	3.3V power

(1) The high speed data ports incorporate 20kΩ pulldown resistors that are switched in when a port is not selected and switched out when the port is selected..

Copyright © 2024 Texas Instruments Incorporated

5 Specifications

5.1 Absolute Maximum Ratings

Over operating free-air temperature range (unless otherwise noted)(1)

		MIN	MAX	UNIT
Supply voltage range (V_{CC})	Absolute minimum/maximum supply voltage range	–0.5	4	V
Voltage range	Differential I/O	–0.5	2.5	V
	Control pin	–0.5	V_{DD} + 0.5	

(1) Stresses beyond those listed under *absolute maximum ratings* may cause permanent damage to the device. These are stress ratings only and functional operation of the device at these or any conditions beyond those indicated under *recommended operating conditions* is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

5.2 ESD Ratings

			VALUE	UNIT
$V_{(ESD)}$	Electrostatic discharge	Human-body model (HBM), per AEC Q100-002(1)	±2000	V
		Charged-device model (CDM), per AEC Q100-011	±500	

(1) AEC Q100-002 indicates that HBM stressing shall be in accordance with the ANSI/ESDA/JEDEC JS-001 specification.

5.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

		MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage	3		3.6	V
V_{IH}	Input high voltage (SEL, OEn Pin)	2		V_{CC}	V
V_{IL}	Input low voltage (SEL OEn Pin)	–0.1		0.8	V
V_{Diff}	High speed signal pins differential voltage	0		1.8	V_{PP}
V_{CM}	Common mode voltage (differential pins)	0		2	V
T_A	Operating free-air temperature	–40		105	°C

5.4 Thermal Information

THERMAL METRIC(1)		RWA	UNIT
		14 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	50.5	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	63.1	
$R_{\theta JB}$	Junction-to-board thermal resistance	26.4	
ψ_{JT}	Junction-to-top characterization parameter	2.2	
ψ_{JB}	Junction-to-board characterization parameter	26.5	
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	7.3	

(1) For more information about traditional and new thermal metrics, see the *IC Package Thermal Metrics* application report, SPRA953.

Copyright © 2024 Texas Instruments Incorporated

5.5 Electrical Characteristics

over operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNITS
I_{CC}	Device active Current	V_{CC} = 3.3V, OEn = 0		0.6	0.8	mA
I_{STDN}	Device shutdown Current	V_{CC} = 3.3V, OEn = 0		0.3	0.6	µA
C_{ON}	Outputs ON Capacitance			0.6		pF
R_{ON}	Output ON resistance	V_{CC} = 3.3V; V_{CM} = 0V to 2V; I_O = –8mA		5	8	Ω
ΔR_{ON}	On resistance match between pairs of the same channel	V_{CC} = 3.3V ; –0.35V ≤ V_{IN} ≤ 2.35V; I_O = –8mA			0.5	Ω
$R_{(FLAT_ON)}$	On resistance flatness ($R_{ON(MAX)}$ – $R_{ON(MAIN)}$)	V_{DD} = 3.3V; –0.35V ≤ V_{IN} ≤ 2.35V			1	Ω
$I_{IH(CTRL)}$	Input high current, control pins (SEL, OEn)				1	µA
$I_{IL(CTRL)}$	Input low current, control pins (SEL, OEn)				1	µA
$I_{IH(HS)}$	Input high current, high speed pins	[A/B/C][p/n] V_{IN} = 2V for selected port, A and B with SEL= 0, and A and C with SEL = V_{CC}			1	µA
		[A/B/C][p/n] V_{IN} = 2V for non-selected port, C with SEL= 0, and B with SEL = V_{CC} (Note there is a 20KΩ pulldown in non-selected port)		100	140	µA
$I_{IL(HS)}$	Input low current, high speed pins	[A/B/C][p/n]			1	µA
High Speed Performance						
I_L	Differential Insertion Loss	f = 0.3MHz		–0.5		dB
		f = 2.5GHz		–0.7		
		f = 4GHz		–1.1		
BW	–3dB Bandwidth			7.5		GHz
R_L	Differential return loss	f = 0.3MHz		–26.4		dB
		f = 2.5GHz		–16.6		
		f = 4GHz		–11.3		
O_I	Differential OFF isolation	f = 0.3MHz		–75		dB
		f = 2.5GHz		–22		
		f = 4GHz		–19		
Xtalk	Differential Crosstalk	f = 4GHz		–35		dB

5.6 Timing Requirements

		MIN	NOM	MAX	UNIT
t_{PD}	Switch propagation delay			80	ps
t_{SW}	Switching time			1	µs
t_{SK_INTRA}	Intra-pair output skew			5	ps

Copyright © 2024 Texas Instruments Incorporated

5.7 Typical Characteristics

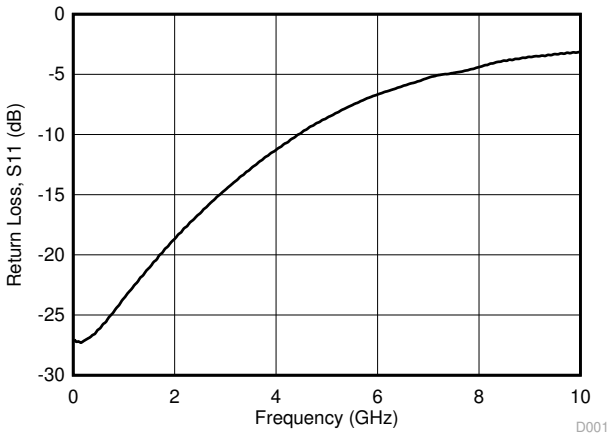


図 5-1. Return Loss vs Frequency

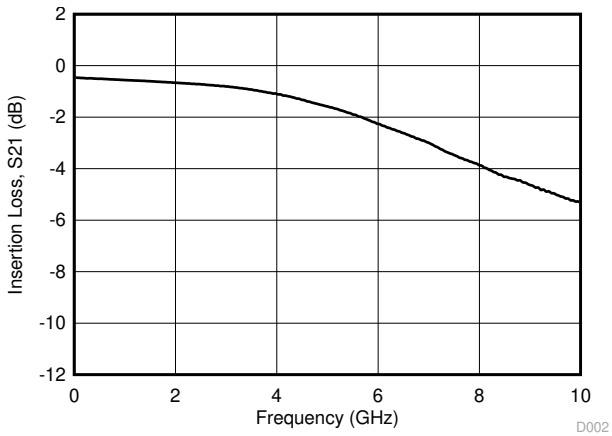


図 5-2. Insertion Loss vs Frequency

Copyright © 2024 Texas Instruments Incorporated

6 Detailed Description

6.1 Overview

The HD3SS3411-Q1 is a high-speed bi-directional passive switch in mux or demux configurations. Based on control pin SEL, the device switches one differential channels between Port B or Port C to Port A.

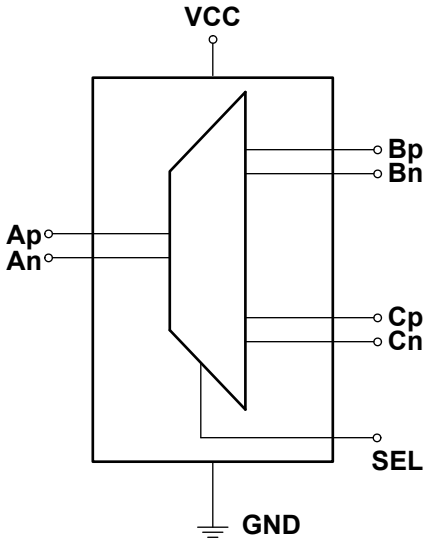
The HD3SS3411-Q1 is a generic analog differential passive switch that can work for any high speed interface applications as long as it is biased at a common-mode voltage range of 0V to 2V and has differential signaling with differential amplitude up to 1800 mVpp. The device offers adaptive tracking that allows users to keep the channel unchanged for the entire common-mode voltage range.

表 6-1. MUX Pin Connections(1)

PORT A CHANNEL	PORT B OR PORT C CHANNEL CONNECTED TO PORT A CHANNEL	
	SEL = L	SEL = H
Ap	Bp	Cp
An	Bn	Cn

(1) The HD3SS3411-Q1 can tolerate polarity inversions for all differential signals on Ports A, B and C. Take care to ensure the same polarity is maintained on Port A vs. Port B/C.

6.2 Functional Block Diagram



6.3 Feature Description

6.3.1 Output Enable and Power Savings

The HD3SS3411-Q1 has two power modes, normal operating mode and shutdown mode. During shutdown mode, the device consumes very-little current to save the maximum power. The OEn control pin is used to toggle between the two modes.

HD3SS3411-Q1 consumes < 2 mW of power when operational and has a shutdown mode exercisable by the OEn pin resulting < 20 µW.

Copyright © 2024 Texas Instruments Incorporated

6.4 Device Functional Modes

The OEn control pin selects the functional mode of HD3SS3411-Q1. To enter standby/shutdown mode, the OEn control pin is pulled high through a resistor and must remain high. For active or normal operation, pull the OEn control pin low to GND or dynamically control the OEn control pin to switch between H or L.

表 6-2. Device Power Modes

OEn	Device State	Signal Pins
L	Normal	Normal
H	Shutdown	Tri-stated

Copyright © 2024 Texas Instruments Incorporated

7 Application and Implementation

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 Application Information

HD3SS3411-Q1 mux channels have independent adaptive common mode tracking allowing RX and TX paths to have different common-mode voltage simplifying system implementation and avoiding inter-operational issues.

HD3SS3411-Q1 mux does not provide common mode biasing for the channel. Therefore, it is required that the device is biased from either side for all active channels.

The HD3SS3411 supports several high-speed data protocols with a differential amplitude of < 1800 mVpp and a common-mode voltage of < 2V, as with USB 3.1 and DisplayPort 1.3. The one select input (SEL) pin can be controlled by an available GPIO pin within a system or from a microcontroller.

7.2 Typical Application

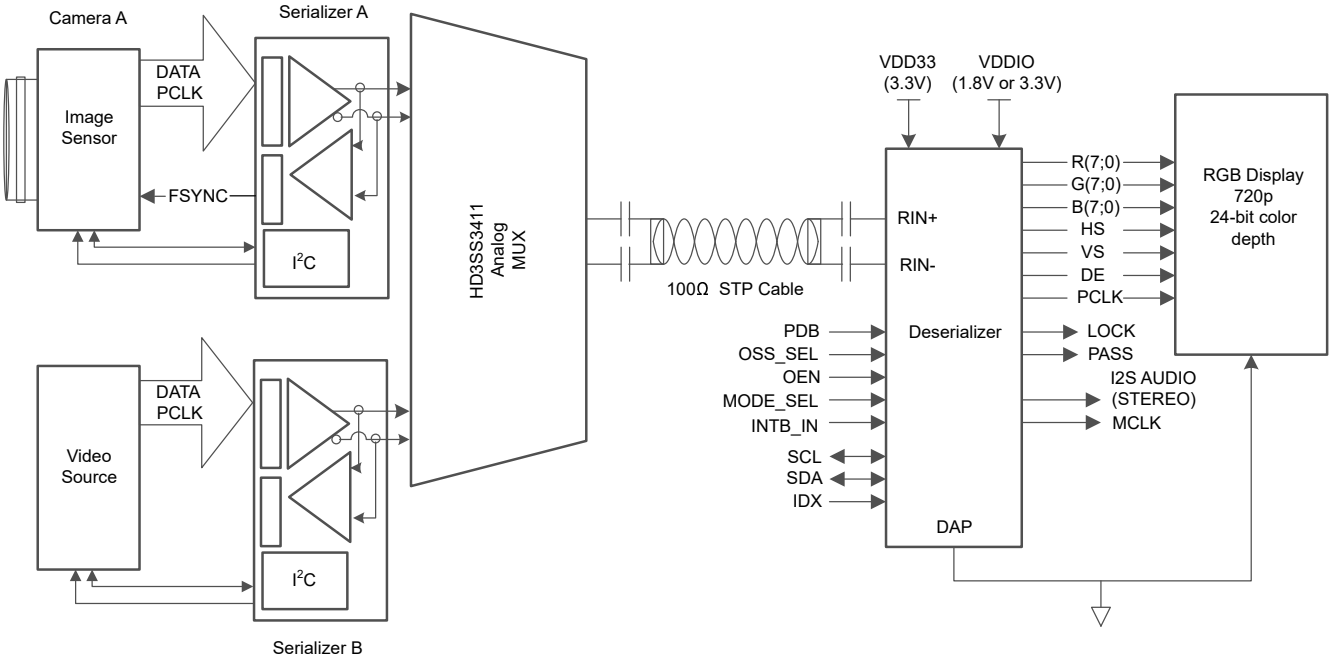


図 7-1. FPD Link III Application

7.2.1 Design Requirements

For this design example, use the values shown in 表 7-1.

表 7-1. Design Parameters

PARAMETER	VALUE
V_{CC} voltage	3.3V
Ap/n, Bp/n, Cp/n CM input voltage	0V to 2V
SEL/OEn pin max voltage for low	0V
SEL/OEn pin min voltage for high	3.3V

7.2.2 Detailed Design Procedure

7.2.2.1 AC Coupling Capacitors

Many interfaces require AC coupling between the transmitter and receiver. The 0402 capacitors are the preferred option to provide AC coupling, and the 0603 size capacitors will also work. Avoid the 0805 size capacitors and C-packs when possible. Symmetric placement is best for AC coupling capacitors. TI recommends a capacitor value of 0.1µF. Make sure the capacitor value matches the ± signal pair. Make sure the placement is along the TX pairs on the system board, which are usually routed on the top layer of the board.

There are several placement options for the AC coupling capacitors. Because the switch requires a bias voltage, the capacitors must only be placed on one side of the switch. If the capacitors are placed on both sides of the switch, make sure to provide a biasing voltage. In 図 7-2, the coupling capacitors are placed between the switch and endpoint. In this situation, the switch is biased by the system/host controller.

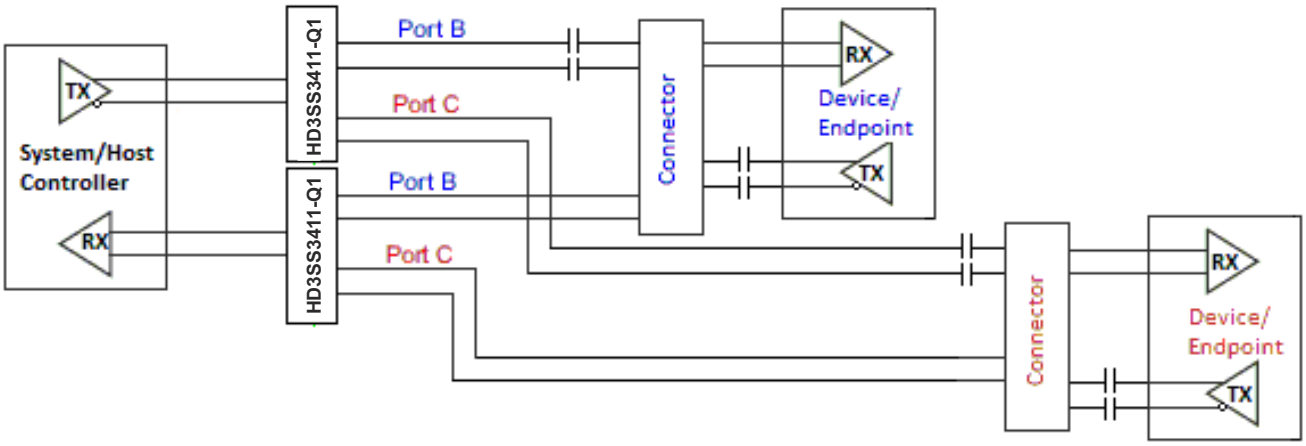


図 7-2. AC Coupling Capacitors Between Switch TX and Endpoint TX

Copyright © 2024 Texas Instruments Incorporated

In 図 7-3, the coupling capacitors are placed on the host transmit pair and endpoint transmit pair. In this situation, the switch on the top is biased by the endpoint and the lower switch is biased by the host controller.

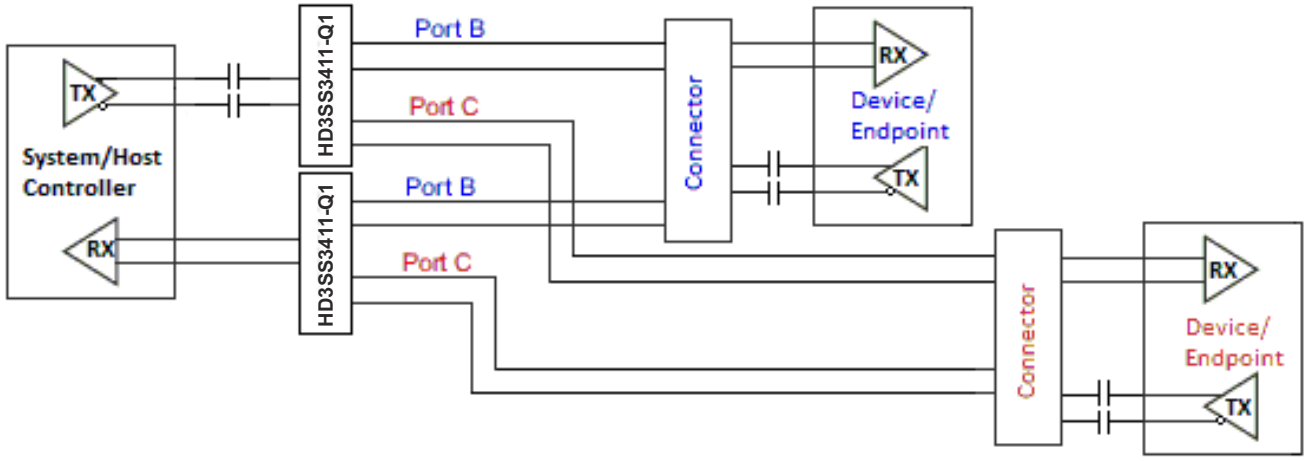


図 7-3. AC Coupling Capacitors on Host TX and Endpoint TX

If the common-mode voltage in the system is higher than 2V, the coupling capacitors are placed on both sides of the switch (shown in 図 7-4). A biasing voltage of less than 2V is required in this case.

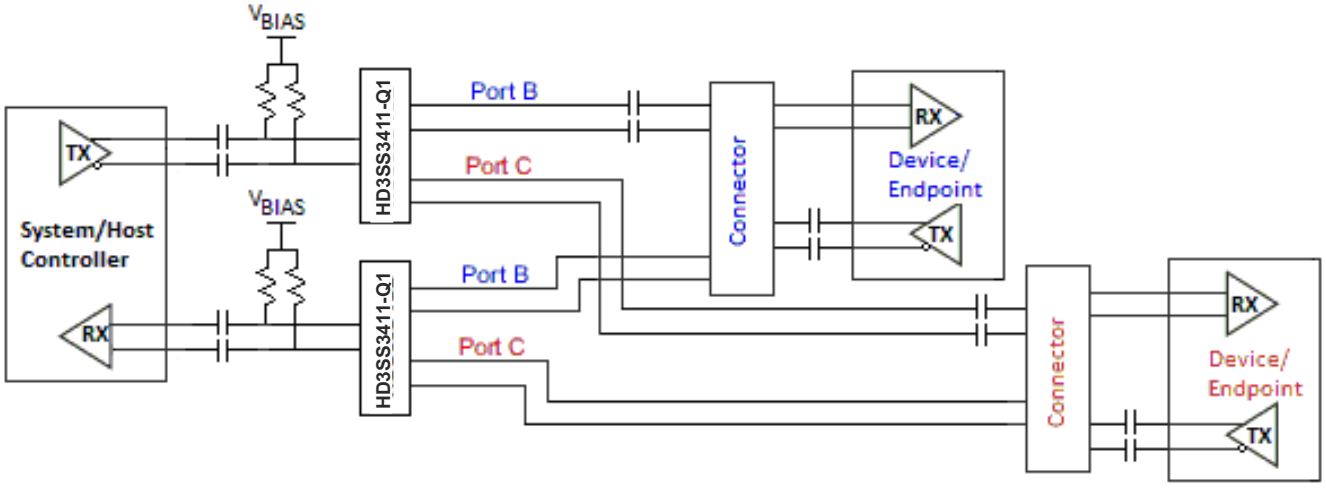


図 7-4. AC Coupling Capacitors on Both Sides of Switch

Copyright © 2024 Texas Instruments Incorporated

7.2.3 Application Curves

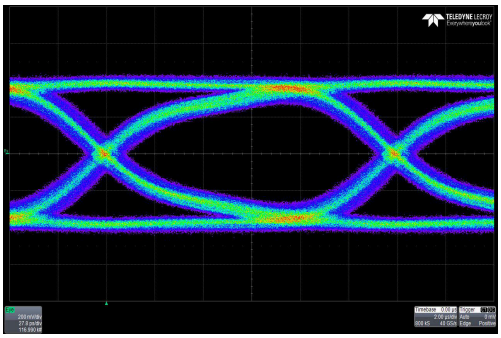


図 7-5. 6Gbps Source Eye Diagram

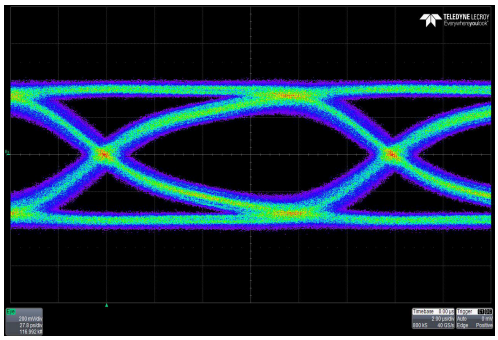


図 7-6. 6Gbps Output Eye Diagram

7.3 Power Supply Recommendations

There is no power supply sequence required for HD3SS3411-Q1. However, TI recommends that OEn is asserted low after device supply V_{CC} is stable and in specifications. TI also recommends that ample decoupling capacitors are placed at the device V_{CC} near the pin.

7.4 Layout

7.4.1 Layout Guidelines

7.4.1.1 Critical Routes

- The high speed differential signals must be routed with great care to minimize signal quality degradation between the connector and the source or sink of the high speed signals by following the guidelines provided in this document. Depending on the configuration schemes, the speed of each differential pair can reach a maximum speed of 10Gbps. These signals are to be routed first before other signals with highest priority.
- Make sure each differential pair is routed together with controlled differential impedance of 85Ω to 90Ω and 50Ω common-mode impedance. Keep away from other high speed signals. TI recommends to keep the number of vias to a minimum. Separate each pair from adjacent pairs by at least 3 times the signal trace width. Route all differential pairs on the same group of layers (outer layers or inner layers) if not on the same layer. No 90 degree turns on any of the differential pairs. If bends are used on high speed differential pairs, make sure the angle of the bend is greater than 135 degrees.
- Length matching:
  - Keep high speed differential pairs lengths within 5 mil of each other to keep the intra-pair skew minimum. The inter-pair matching of the differential pairs is not as critical as intra-pair matching.
- Keep high speed differential pair traces adjacent to ground plane.
- Do not route differential pairs over any plane split.
- Place the ESD components on the high speed differential lanes as close to the connector as possible in a pass through manner without stubs on the differential path.
- For ease of routing, the P and N connection of the USB3.1 differential pairs to the HD3SS3411-Q1 pins can be swapped.

7.4.1.2 General Routing/Placement Rules

- Follow 20H rule (H is the distance to ref-plane) for separation of the high speed trace from the edge of the plane.
- Minimize parallelism of high speed clocks and other periodic signal traces to high speed lines.
- Route all differential pairs on the top or bottom layer (microstrip traces) if possible or on the same group of layers. Only use vias in the breakout region of the device if vias are necessary for routing. Avoid using vias in the main region of the board at all cost. Use a ground reference via next to signal via. Distance between ground reference via and signal need to be calculated to have similar impedance as traces.
- Make sure not all differential signals are routed over a plane split. Changing signal layers is preferable to crossing plane splits.

Copyright © 2024 Texas Instruments Incorporated

- Use of and proper placement of stitching caps when split plane crossing is unavoidable to account for high frequency return current path.
- Route differential traces over a continuous plane with no interruptions.
- Do not route differential traces under power connectors or other interface connectors, crystals, oscillators, or any magnetic source.
- Route traces away from etching areas like pads, vias, and other signal traces. Try to maintain a 20 mil keep out distance where possible.
- Place the decoupling caps next to each power terminal on the HD3SS3411-Q1. Take care to minimize the stub length of the trace connecting the capacitor to the power pin.
- Avoid sharing vias between multiple decoupling caps.
- Place vias as close as possible to the decoupling cap solder pad.
- Widen VCC/GND planes to reduce effect of static and dynamic IR drop.

7.4.2 Layout Example

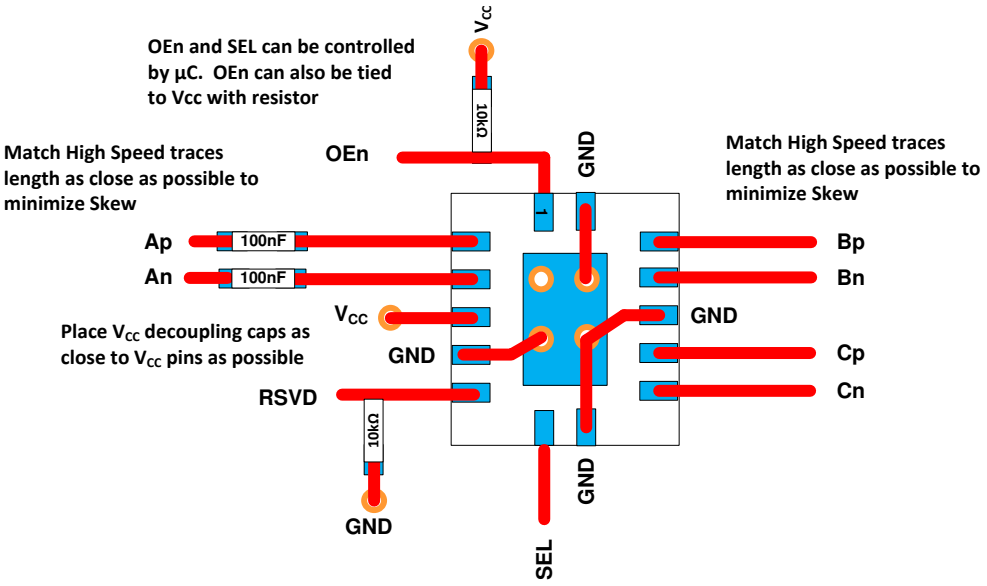


図 7-7. Layout

8 Device and Documentation Support

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (June 2015) to Revision B (March 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• Changed the maximum t_{SW} switching time from 0.5ns to 1µs	5

Changes from Revision * (June 2015) to Revision A (July 2015)	Page
• Changed the "Operating free-air Temperature" MAX value from: 85°C to: 105°C in *Recommended Operating Conditions*	4
• Changed the MAX value of $R_{(FLAT_ON)}$ from: 0.5Ω to: 1Ω in the *Electrical Characteristics*	5

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
HD3SS3411TRWARQ1	Active	Production	WQFN (RWA) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	3411Q
HD3SS3411TRWARQ1.B	Active	Production	WQFN (RWA) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	3411Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF HD3SS3411-Q1 :

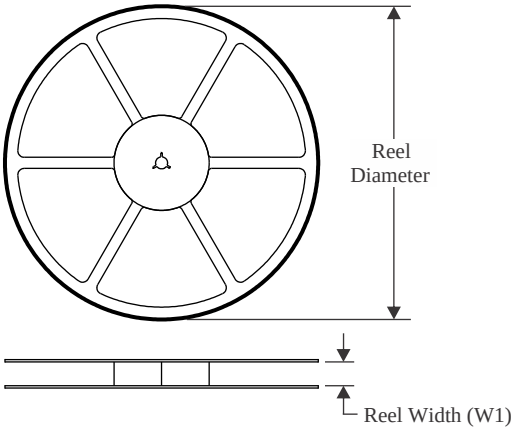
- Catalog : HD3SS3411

NOTE: Qualified Version Definitions:

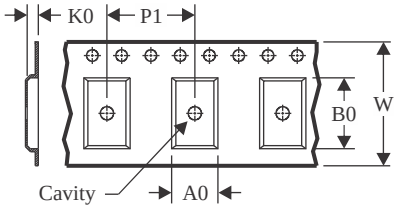
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

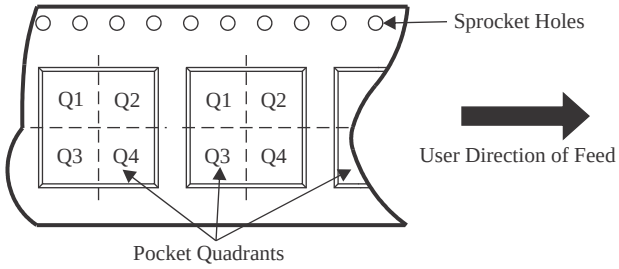


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

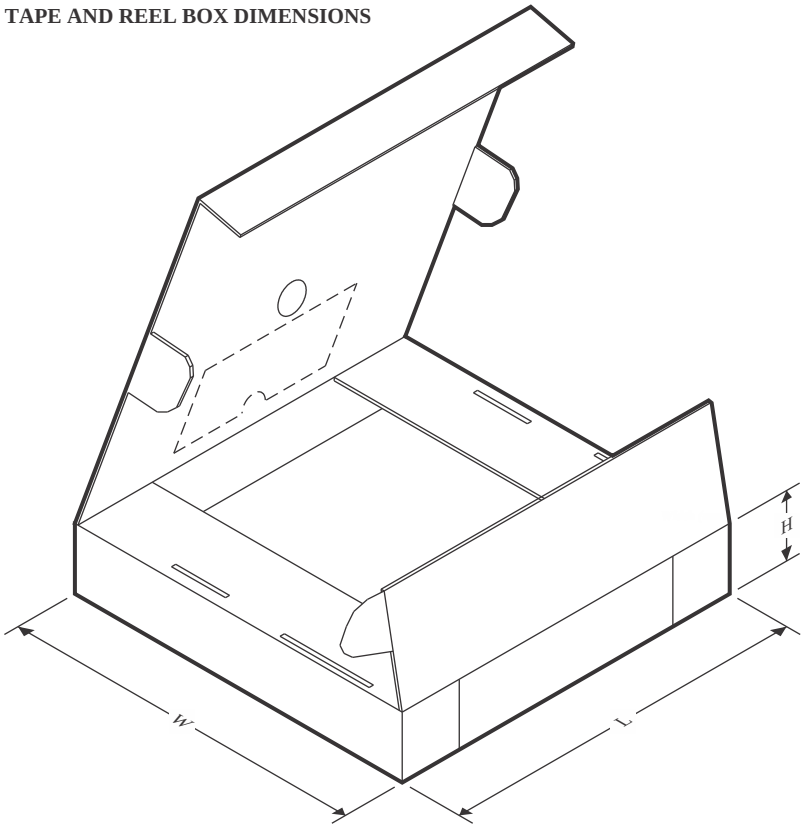
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
HD3SS3411TRWARQ1	WQFN	RWA	14	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

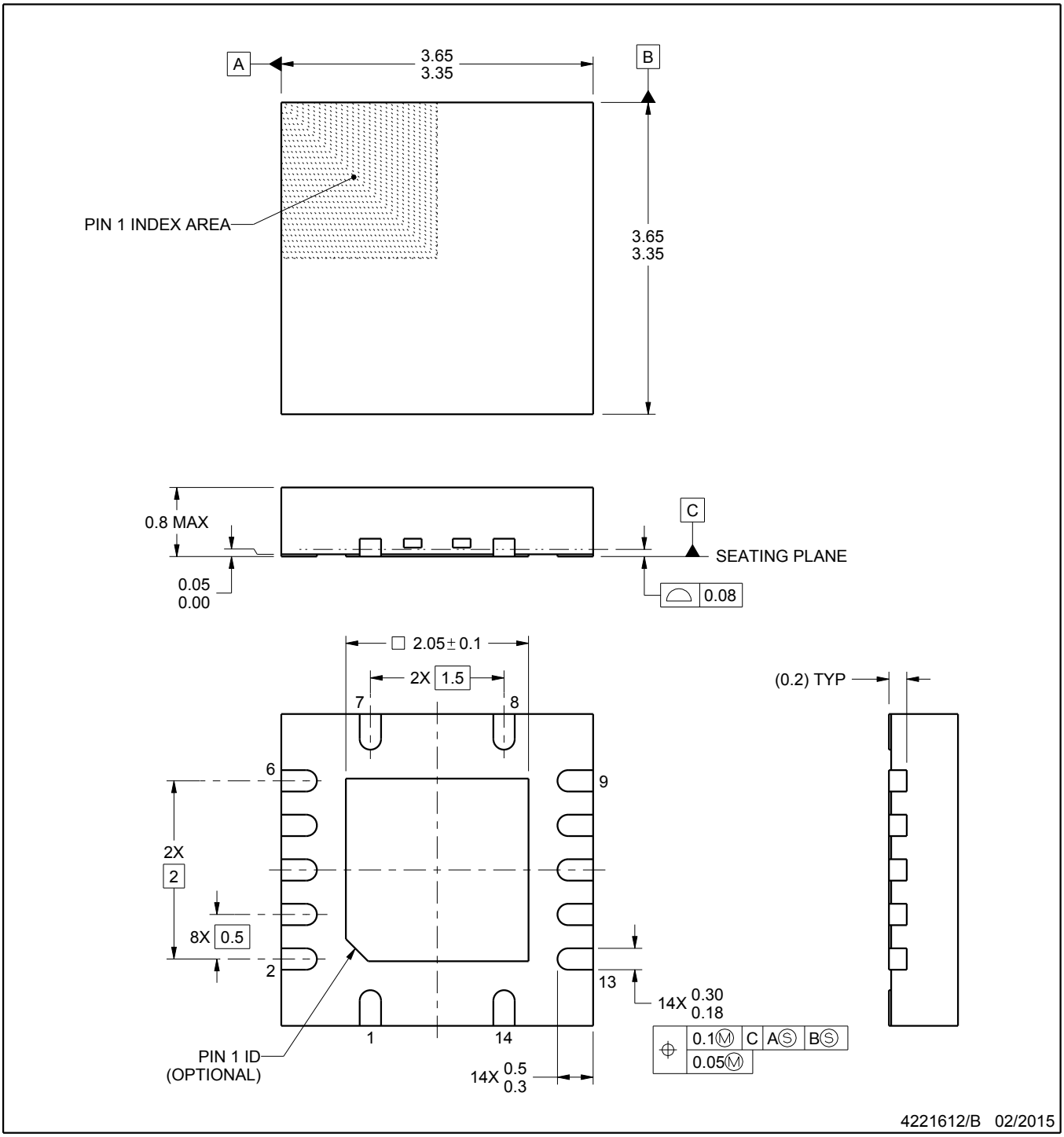
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
HD3SS3411TRWARQ1	WQFN	RWA	14	3000	346.0	346.0	33.0

PACKAGE OUTLINE

RWA0014A

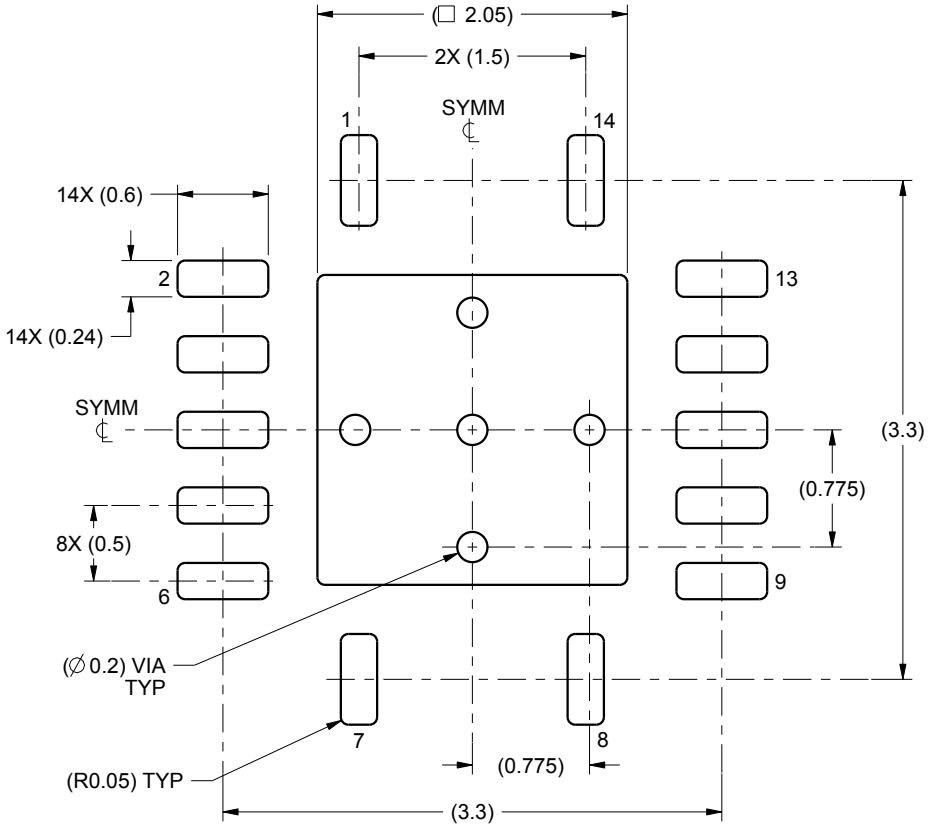
WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

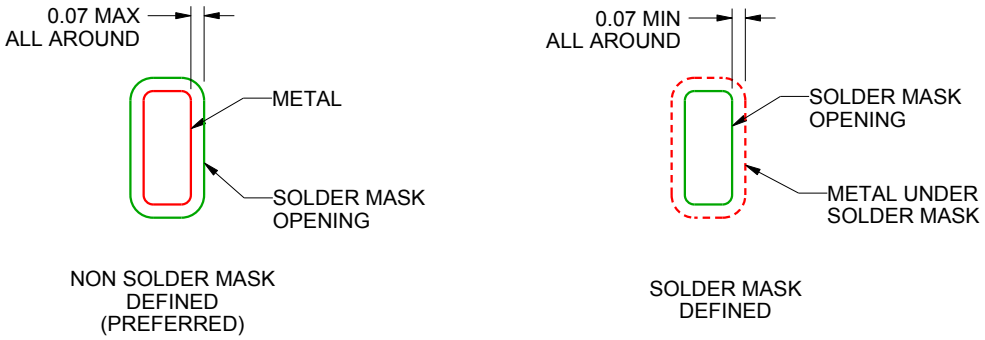


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

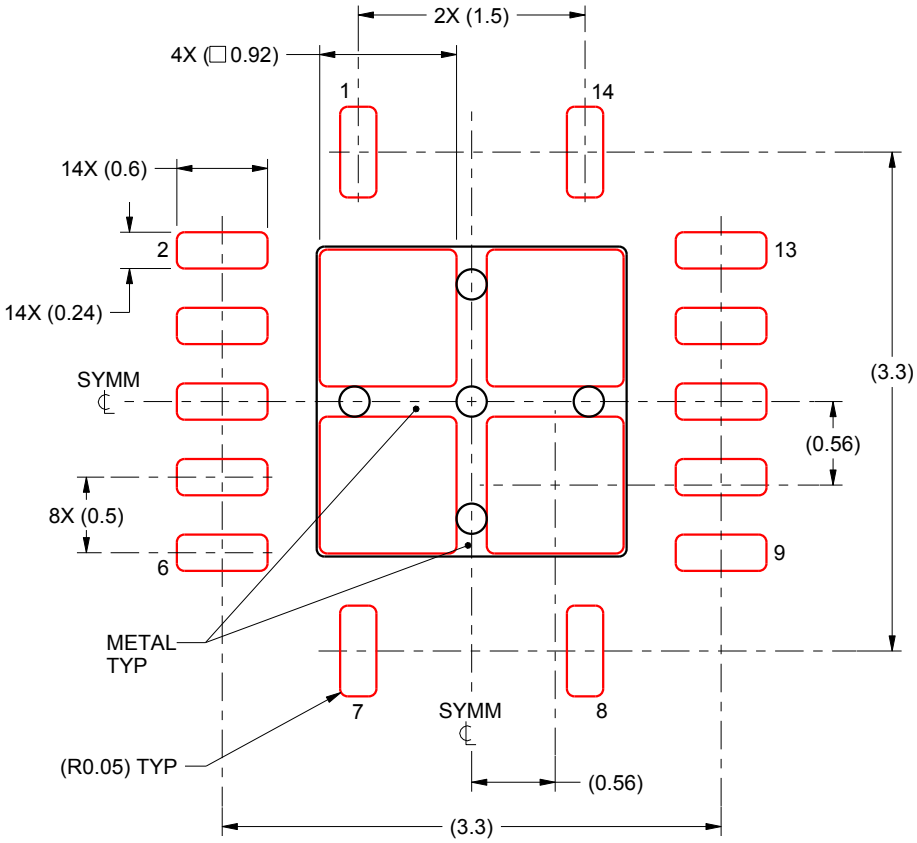


SOLDER MASK DETAILS

4221612/B 02/2015

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
80% PRINTED SOLDER COVERAGE BY AREA
SCALE:20X

4221612/B 02/2015

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月