INA114 高精度計測アンプ

1 特長

- 低いオフセット電圧：高ゲインの場合最大 50µV
- 低いドリフト：高ゲインの場合最大 0.3µV/℃
- 低い入力バイアス電流：最大 2nA
- 大きい同相除去：115dB 以上
- 入力過電圧保護回路：±40V
- 幅広い電源電圧範囲：±2.25V～±18V
- パッケージ：PDIP-8 および SOIC-16

2 アプリケーション

- 外科用機器
- アクチュエータ
- マルチファンクション リレー
- 列車制御 / 管理
- 路側信号伝送 / 制御

3 概要

INA114 は、精度の優れた低消費電力の汎用計装アンプです。本デバイスは、用途が広い 3 オペアンプ設計を採用しており、サイズが小型であるため、広範なアプリケーションに非常に適しています。

単一の外付け抵抗により、1～10,000 の範囲で任意のゲインを設定できます。内部入力保護機能は、損傷なしに ±40V まで耐えます。

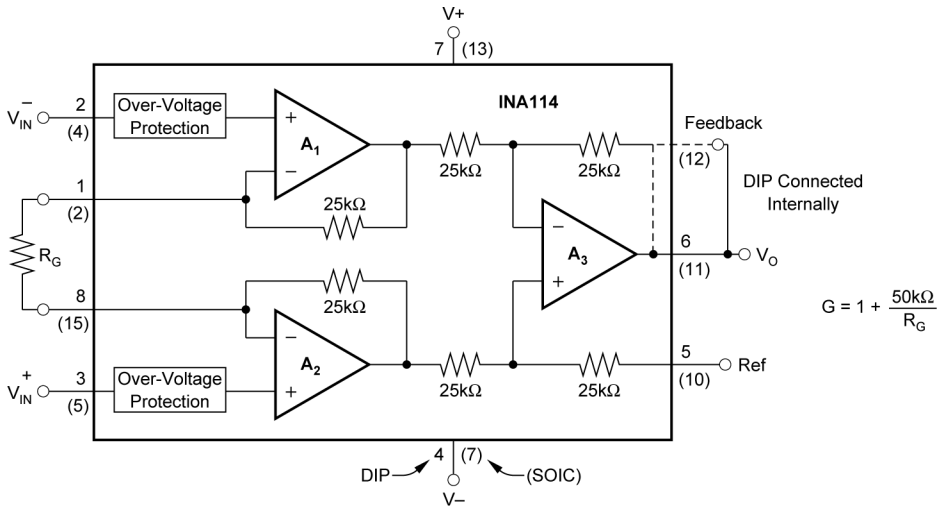
INA114 はレーザー トリムにより、非常に低いオフセット電圧 (50µV) と低ドリフト係数 (0.3µV/℃)、高い同相除去 (G = 1000 で 115dB) を実現しています。このデバイスは最低 ±2.25V の電源で動作するため、バッテリ駆動および 5V 単一電源のシステムで使用できます。

INA114 は 8 ピン PDIP および 16 ピン SOIC 表面実装パッケージで供給されます。どちらも、動作温度範囲の仕様は -40℃～+85℃です。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
INA114	P (PDIP、8)	9.81mm × 9.43mm
	DW (SOIC、16)	10.3mm × 10.3mm

(1) 詳細については、セクション 9 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....4
5.5 電気的特性.....5
5.6 代表的特性.....7
6 アプリケーションと実装.....13
6.1 使用上の注意.....13
6.2 代表的なアプリケーション.....17
7 デバイスおよびドキュメントのサポート.....20
7.1 デバイスの命名規則.....20
7.2 ドキュメントの更新通知を受け取る方法.....20
7.3 サポート・リソース.....20
7.4 商標.....20
7.5 静電気放電に関する注意事項.....20
7.6 用語集.....20
8 改訂履歴.....20
9 メカニカル、パッケージ、および注文情報.....22

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

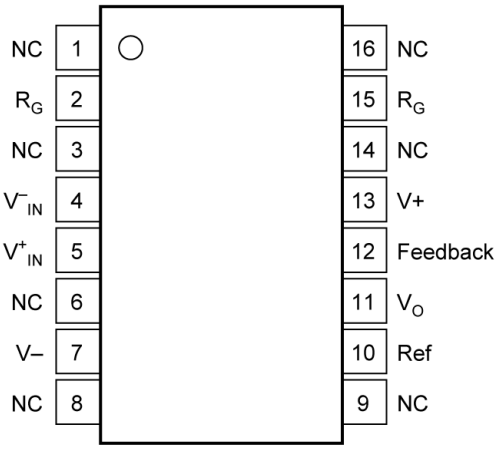


図 4-1. DW パッケージ、16 ピン SOIC (上面図)

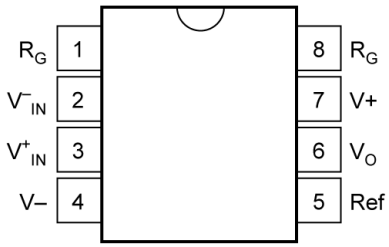


図 4-2. P パッケージ、8 ピン PDIP (上面図)

5 仕様

注

TI では、このデバイスの複数の製造フローを認定済みです。性能の違いは、チップの原産拠点 (CSO) によってラベル付けされています。システムの堅牢性を確保するために、すべてのフローを考慮した設計を強く推奨します。詳細情報については、セクション 7.1 をご覧ください。

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_S	電源電圧	単一電源、$V_S = (+V_S)$		36	V
		デュアル電源、$V_S = (+V_S) – (–V_S)$	-18	18	
	信号入力ピン		-40	40	V
V_O	信号出力電圧		$(-V_S) – 0.5$	$(+V_S) + 0.5$	V
I_S	出力短絡 (V_S / 2)		連続		
T_A	動作温度		-40	125	°C
T_J	接合部温度			150	°C
T_{stg}	保存温度		-40	125	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±1500	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±1500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
V_S	電源電圧	単一電源、$V_S = (+V_S)$	4.5	36	V
		デュアル電源、$V_S = (+V_S) – (–V_S)$	±2.25	±18	
T_A	規定温度		-40	85	°C

5.4 熱に関する情報

熱評価基準(1)		INA114		単位
		DW (SOIC)	P (PDIP)	
		16 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	74.2	110.2	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性

T_A = 25°C、V_S = ±15V、R_L = 2kΩ、V_{REF} = 0V、G = 1 のとき、すべてのチップ原産拠点 (CSO) (特に記述のない限り)。

パラメータ		テスト条件			最小値	標準値	最大値	単位
入力								
V_{OS}	オフセット電圧	RTI	INA114BP、BU			±10 + 20/G	±50 + 150/G	µV
			INA114AP、AU			±25 + 30/G	±125 + 500/G	
	オフセット電圧ドリフト	T_A = –40°C ～ +85°C、RTI	INA114BP、BU			±0.1 + 0.5/G	±0.3 + 5/G	µV/°C
			INA114AP、AU			±0.25 + 5/G	±1 + 10/G	
	長期安定性					±0.2 + 0.5/G		µV/mo
	差動インピーダンス					100 || 6		GΩ || pF
	同相インピーダンス					100 || 6		GΩ || pF
	動作時入力電圧				(V–) + 4		(V+) – 4	V
PSRR	電源除去比	RTI、±2.25V ～ ±18V				0.5 + 2/G	3 + 10/G	µV/V
CMRR	同相除去比	dc ～ 60Hz、RTI、V_{CM} = ±10V、ΔR_S = 1kΩ	G = 1	INA114BP、BU	80	96		dB
				INA114AP、AU	75	90		
			G = 10	INA114BP、BU	96	115		
				INA114AP、AU	90	106		
			G = 100	INA114BP、BU	110	120		
				INA114AP、AU	106	110		
			G = 1000	INA114BP、BU	115	120		
				INA114AP、AU	106	110		
バイアス電流								
I_B	入力バイアス電流	V_{CM} = V_S/2	INA114BP、BU			±0.5	±2	nA
			INA114AP、AU			±0.5	±5	
	入力バイアス電流ドリフト	T_A = –40°C ～ +85°C	INA114BP、BU			±8		pA/°C
			INA114AP、AU			±8		
I_{OS}	入力オフセット電流	V_{CM} = V_S/2	INA114BP、BU			±0.5	±2	nA
			INA114AP、AU			±0.5	±5	
	入力オフセット電流ドリフト	T_A = –40°C ～ +85°C	INA114BP、BU			±8		pA/°C
			INA114AP、AU			±8		
ノイズ電圧								
	電圧ノイズ	G = 1000、R_S = 0Ω	CSO: SHE	f = 10Hz		15		nV/√Hz
				f = 100Hz		11		
				f = 1kHz		11		
			CSO: TID	f = 10Hz～1kHz		7		
			CSO: SHE	f_B = 0.1Hz ～ 10Hz		0.4		μV_{PP}
			CSO: TID	f_B = 0.1Hz ～ 10Hz		0.45		
	ノイズ電流	f = 10Hz				0.4		pA/√Hz
		f = 1kHz				0.2		
		f_B = 0.1Hz ～ 10Hz				18		pA_{PP}

5.5 電気的特性 (続き)

T_A = 25°C、V_S = ±15V、R_L = 2kΩ、V_{REF} = 0V、G = 1 のとき、すべてのチップ原産拠点 (CSO) (特に記述のない限り)。

パラメータ		テスト条件			最小値	標準値	最大値	単位
ゲイン								
G	ゲイン計算式					1 + (50kΩ/R_G)		V/V
	ゲインの範囲				1		10000	V/V
GE	ゲイン誤差	V_O = ±10V、G = 1				±0.01	±0.05	%
		V_O = ±10V	G = 10	INA114BP、BU		±0.02	±0.4	
				INA114AP、AU		±0.02	±0.5	
			G = 100	INA114BP、BU		±0.05	±0.5	
				INA114AP、AU		±0.05	±0.7	
			G = 1000	INA114BP、BU		±0.5	±1	
				INA114AP、AU		±0.5	±2	
	ゲインドリフト					±2	±10	ppm/°C
		R_S = 50kΩ(1)				±25	±100	
	ゲインの非直線性	V_O = -10V～+10V	G = 1	INA114BP、BU		±0.0001	±0.001	FSR の %
				INA114AP、AU		±0.0001	±0.002	
			G = 10、100	INA114BP、BU		±0.0005	±0.002	
				INA114AP、AU		±0.0005	±0.004	
			G = 1000	INA114BP、BU		±0.002	±0.01	
				INA114AP、AU		±0.002	±0.02	
出力								
	出力電圧	I_O = 5mA、T_A = –40°C ～ 85°C			(V–) +1.5		(V+) –1.5	V
			V_S = ±11.4V		(V–) + 1.4		(V+) – 1.4	
			V_S = ±2.25V		(V–) +1		(V+) – 1	
	負荷容量 (安定動作)					1000		pF
I_{SC}	短絡電流	V_S/2 まで連続				+20 / –15		mA
周波数応答								
BW	帯域幅、-3dB	G = 1		CSO: SHE		1		MHz
				CSO: TID		1.5		
		G = 10		CSO: SHE		100		kHz
				CSO: TID		600		
		G = 100		CSO: SHE		10		
				CSO: TID		200		
		G = 1000		CSO: SHE		1		
				CSO: TID		30		
SR	スルーレート	G = 10、V_O = ±10V		CSO: SHE	0.3	0.6		V/µs
				CSO: TID		1.2		
t_S	セトリング タイム	0.01%、V_{STEP} = 10V	G = 1			18		µs
			G = 10			20		
			G = 100			120		
			G = 1000			1100		
	過負荷からの回復	50% オーバードライブ		CSO: TID		2		µs
				CSO: SHE		20		
電源								
I_Q	静止時電流	V_S = ±2.25V ～ ±18V、V_{IN} = 0V				±2.2	±3	mA

(1) ゲイン計算式における「50kΩ」項の温度係数。

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性

T_A = +25°C、V_S = ±15V、G = 1V/V、すべてのチップ原産拠点 (CSO) (特に記載のない限り)。

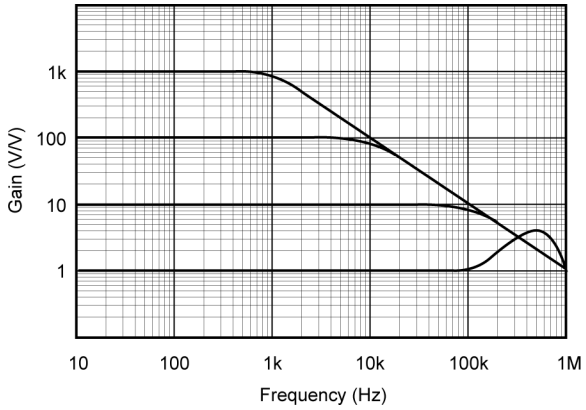


図 5-1. ゲインと周波数との関係

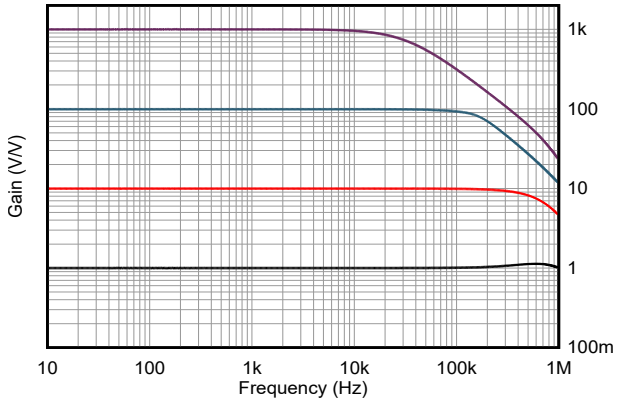


図 5-2. ゲインと周波数との関係

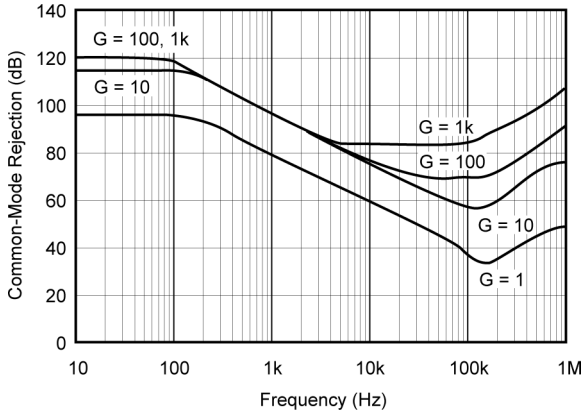


図 5-3. 同相除去比と周波数との関係

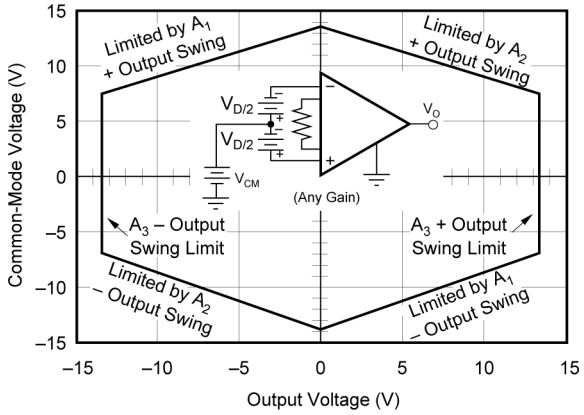


図 5-4. 入力同相モード電圧と出力電圧との関係

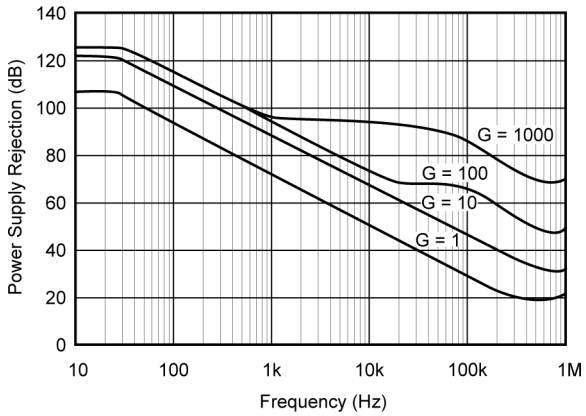


図 5-5. 正の電源除去比と周波数との関係

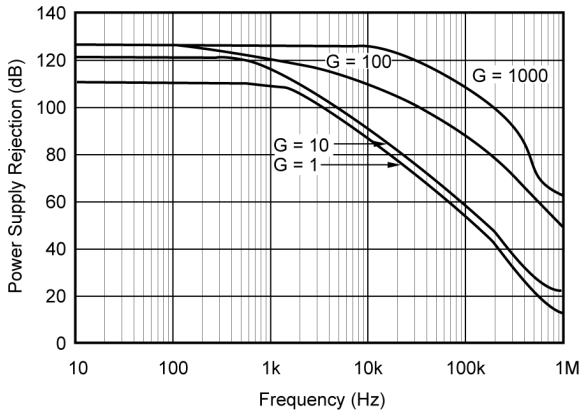
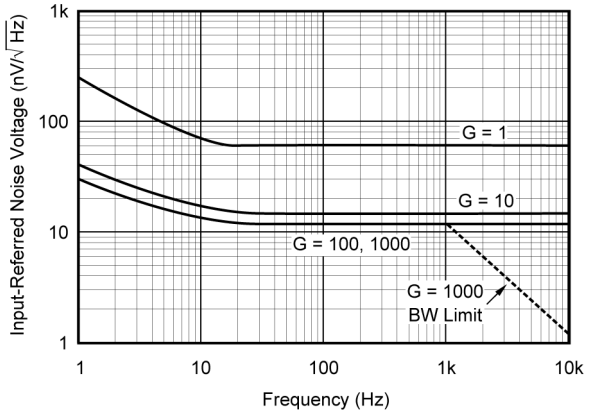


図 5-6. 負の電源除去比と周波数との関係

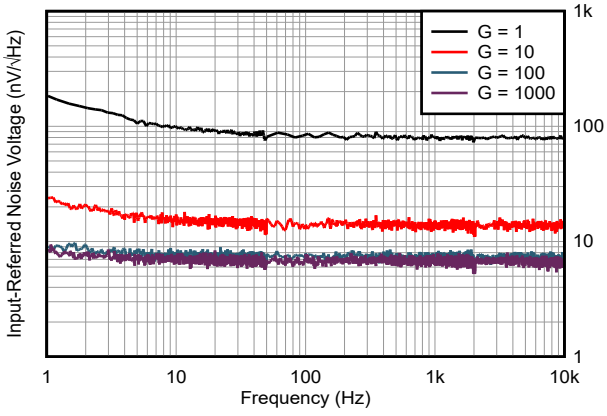
5.6 代表的特性 (続き)

T_A = +25°C、V_S = ±15V、G = 1V/V、すべてのチップ原産拠点 (CSO) (特に記載のない限り)。



CSO: SHE

図 5-7. 入力換算ノイズ電圧と周波数との関係



CSO: TID

図 5-8. 入力換算ノイズ電圧と周波数との関係

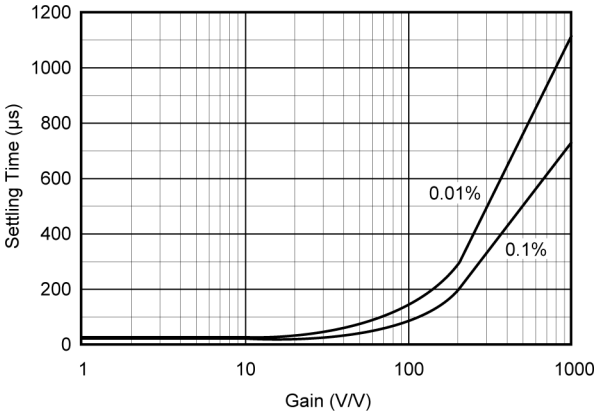


図 5-9. セトリング タイムとゲインとの関係

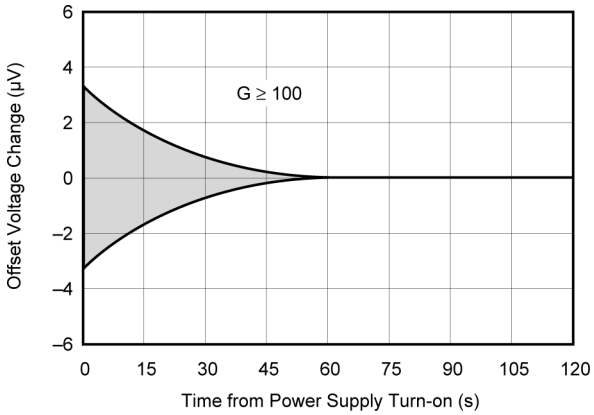


図 5-10. オフセット電圧ウォームアップと時間との関係

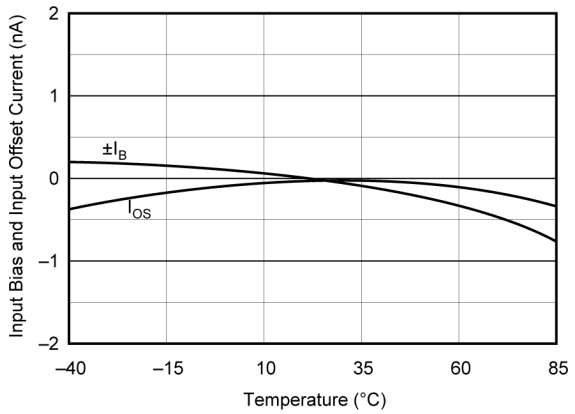
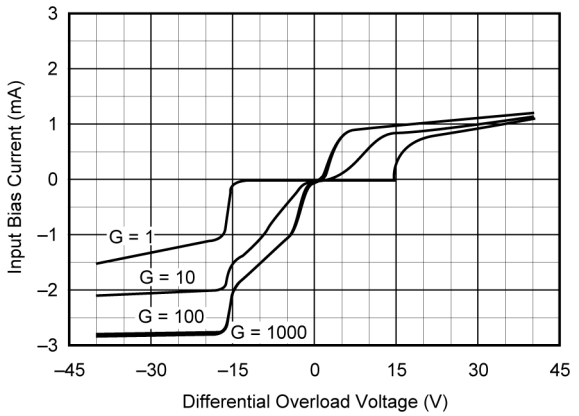


図 5-11. 入力バイアスおよび入力オフセット電流と温度との関係



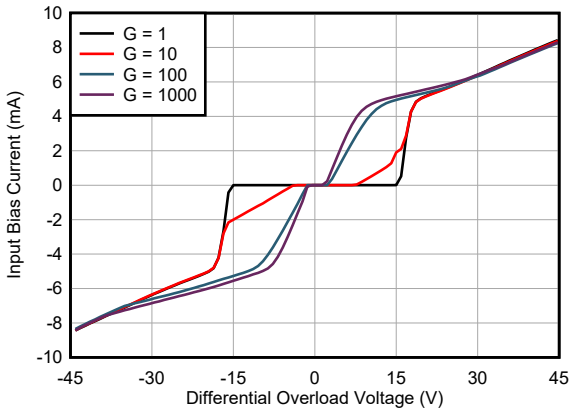
CSO: SHE

図 5-12. 入力バイアス電流と差動入力電圧との関係

Copyright © 2026 Texas Instruments Incorporated

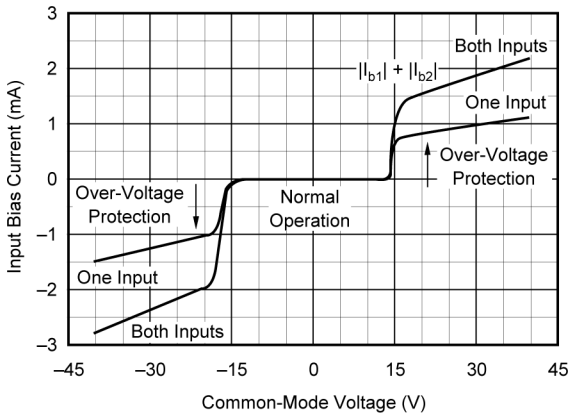
5.6 代表的特性 (続き)

T_A = +25°C、V_S = ±15V、G = 1V/V、すべてのチップ原産拠点 (CSO) (特に記載のない限り)。



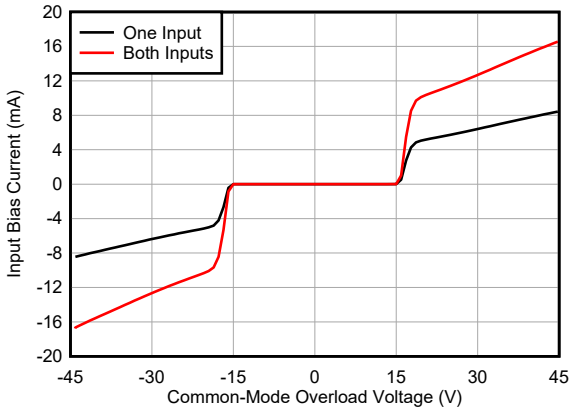
CSO: TID

図 5-13. 入力バイアス電流と差動入力電圧との関係



CSO: SHE

図 5-14. 入力バイアス電流と同相入力電圧との関係



CSO: TID

図 5-15. 入力バイアス電流と同相入力電圧との関係

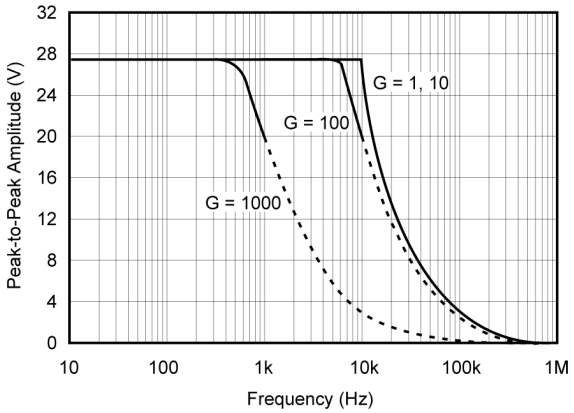


図 5-16. 最大出力スイングと周波数との関係

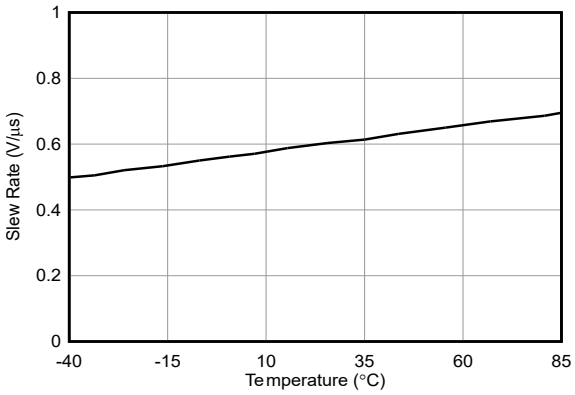


図 5-17. スルーレートと温度との関係

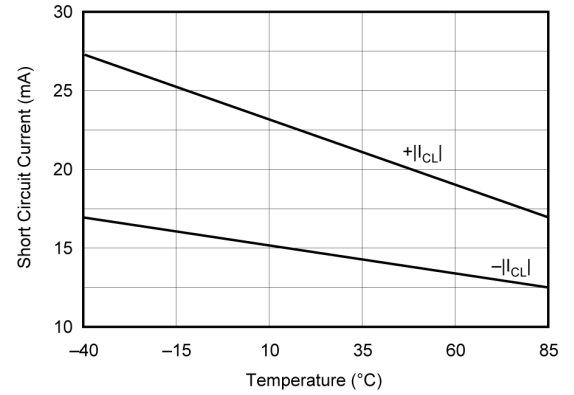


図 5-18. 出力電流制限と温度との関係

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

T_A = +25°C、V_S = ±15V、G = 1V/V、すべてのチップ原産拠点 (CSO) (特に記載のない限り)。

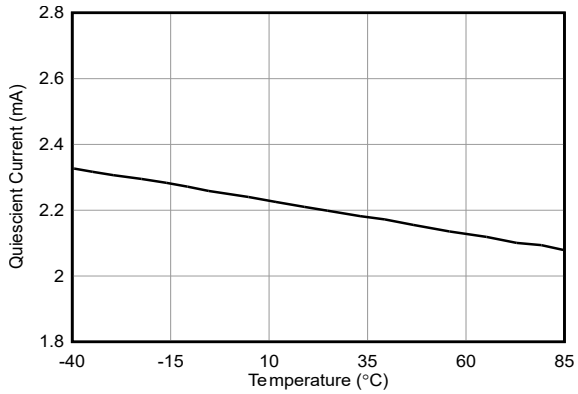


図 5-19. 静止電流と温度との関係

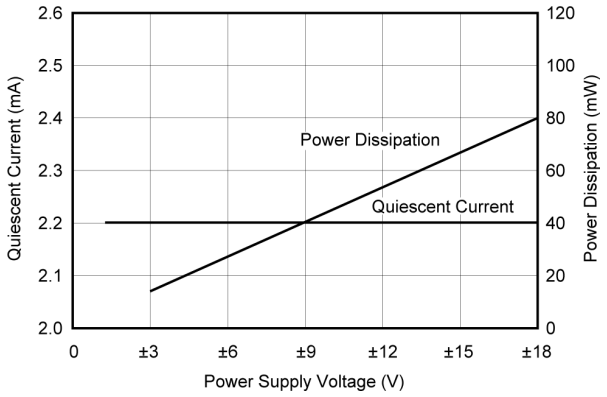
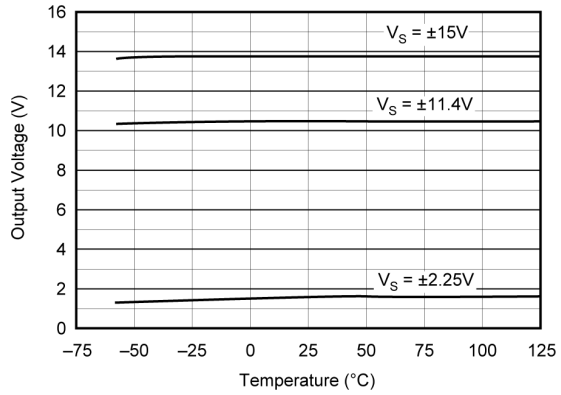
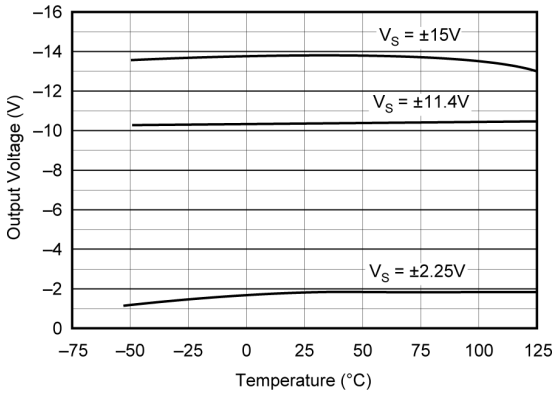


図 5-20. 静止電流および消費電力と電源電圧との関係



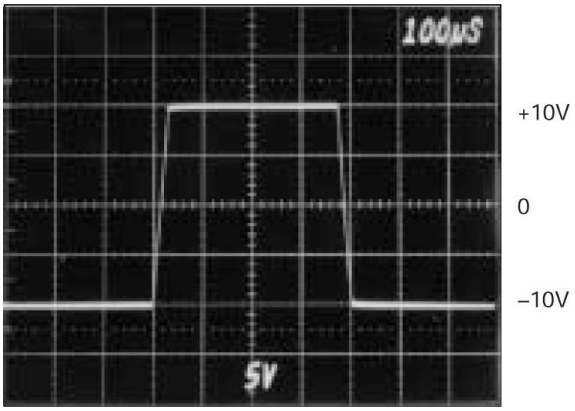
R_L = 2kΩ

図 5-21. 正の信号スイングと温度との関係



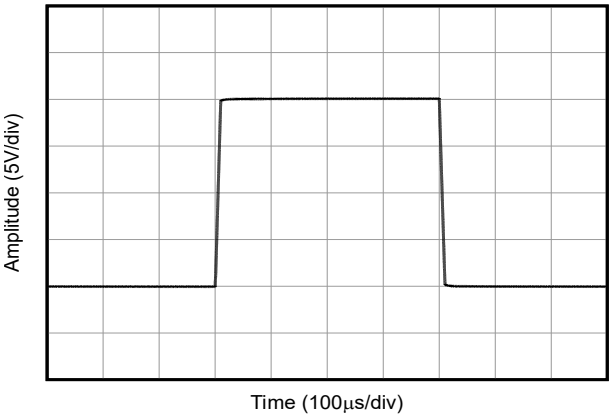
R_L = 2kΩ

図 5-22. 負の信号スイングと温度との関係



CSO: SHE G=1

図 5-23. 大信号応答



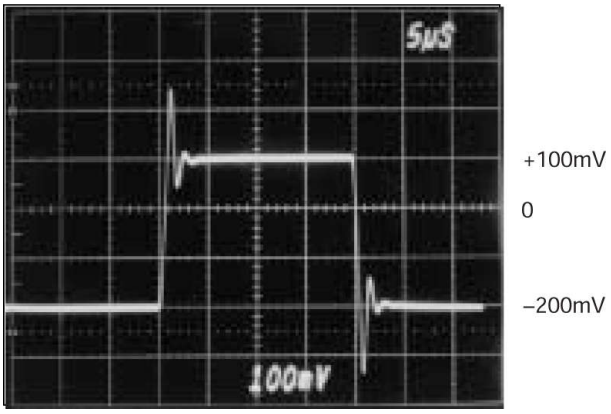
CSO: TID G=1

図 5-24. 大信号応答

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

T_A = +25°C、V_S = ±15V、G = 1V/V、すべてのチップ原産拠点 (CSO) (特に記載のない限り)。



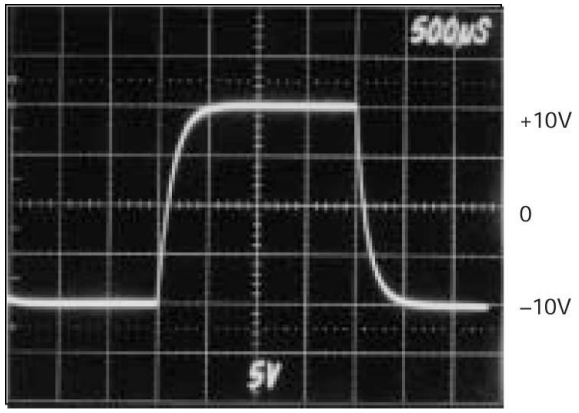
CSO: SHE G = 1

図 5-25. 小信号応答



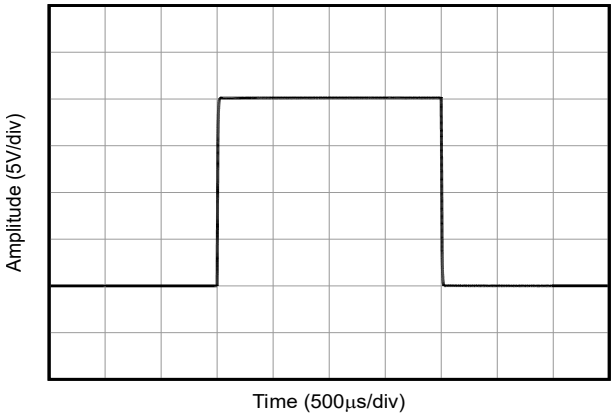
CSO: TID G=1

図 5-26. 小信号応答



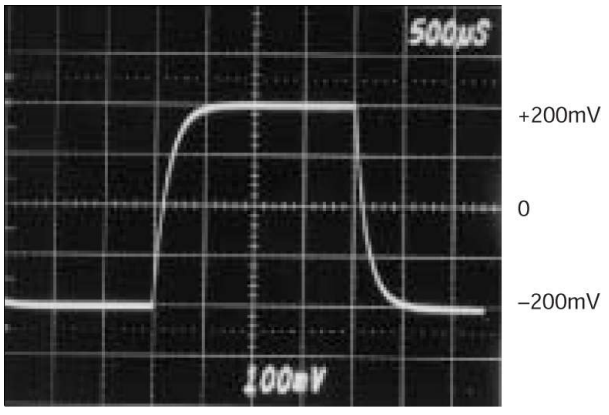
CSO: SHE G = 1000

図 5-27. 大信号応答



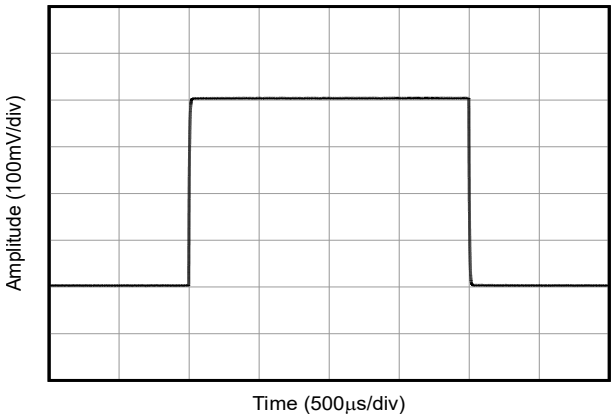
CSO: TID G=1000

図 5-28. 大信号応答



CSO: SHE G = 1000

図 5-29. 小信号応答



CSO: TID G=1000

図 5-30. 小信号応答

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

T_A = +25°C、V_S = ±15V、G = 1V/V、すべてのチップ原産拠点 (CSO) (特に記載のない限り)。

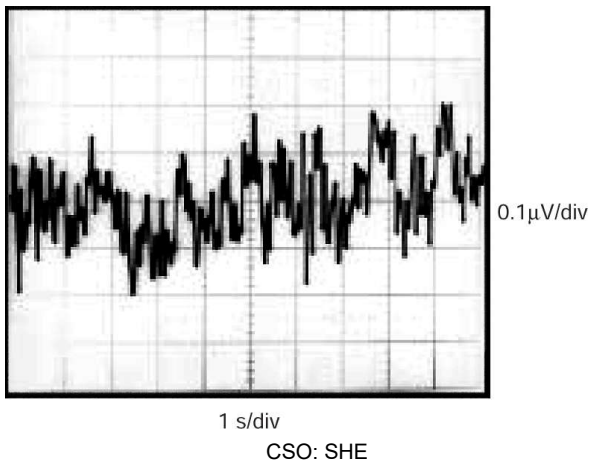


図 5-31. 入力換算ノイズ電圧、0.1Hz ～ 10Hz

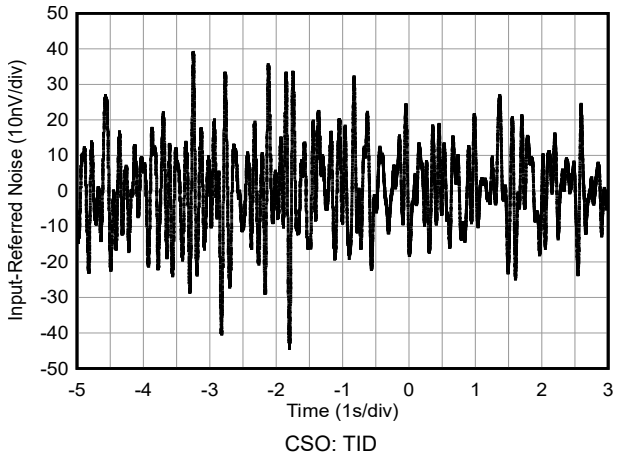


図 5-32. 入力換算ノイズ電圧、0.1Hz ～ 10Hz

Copyright © 2026 Texas Instruments Incorporated

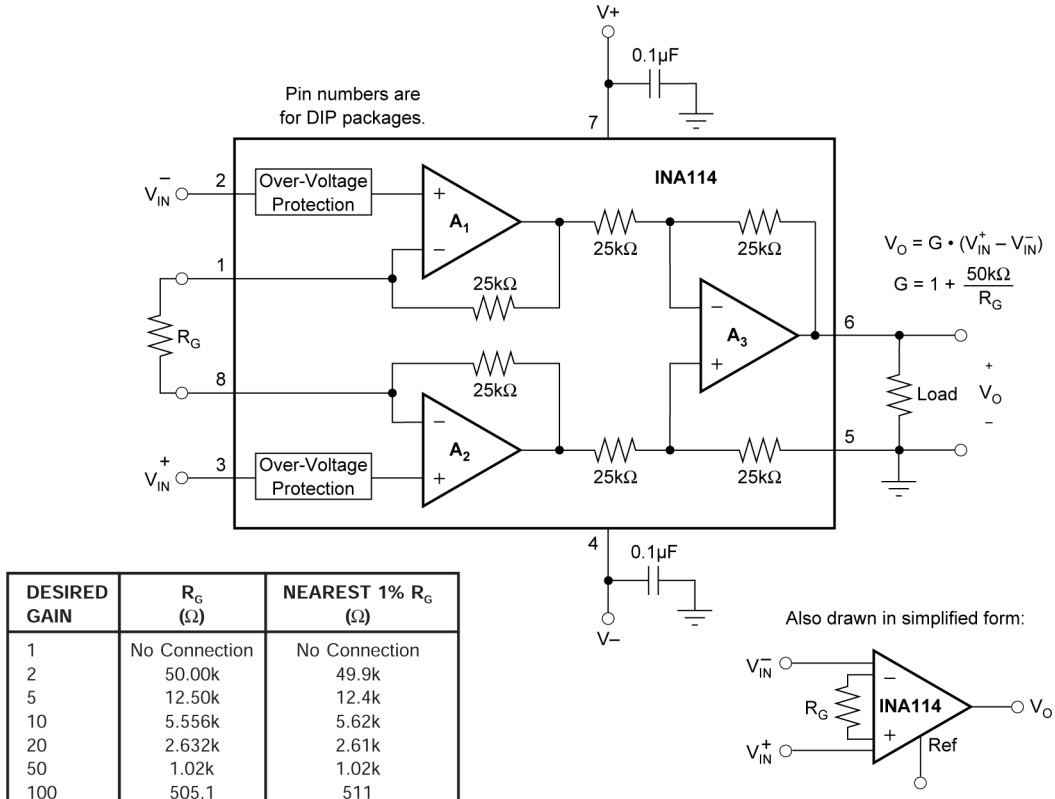
6 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

6.1 使用上の注意

図 6-1 は、INA114 の動作に必要な基本的な接続を示しています。ノイズが多い、またはハイ インピーダンスの電源を使用するアプリケーションでは、デバイスのピンの近くにデカップリング コンデンサが必要です。



DESIRED GAIN	R_G (Ω)	NEAREST 1% R_G (Ω)
1	No Connection	No Connection
2	50.00k	49.9k
5	12.50k	12.4k
10	5.556k	5.62k
20	2.632k	2.61k
50	1.02k	1.02k
100	505.1	511
200	251.3	249
500	100.2	100
1000	50.05	49.9
2000	25.01	24.9
5000	10.00	10
10000	5.001	4.99

図 6-1. 基本的な接続

出力は、通常接地された出力基準 (Ref) ピンを基準にします。良好な同相除去を実現するには、この接続を低インピーダンスにする必要があります。Ref ピンと直列に 5Ω の抵抗を接続すると、標準的なデバイスは CMR (G = 1) が約 80dB まで低下します。

6.1.1 ゲインの設定

INA114 のゲインは、単一の外付け抵抗 R_G を接続することで設定されます:

$$G = 1 + \frac{50\,k\Omega}{R_G} \quad (1)$$

図 6-1 は、一般的に使用されるゲインと抵抗値を示しています。

式 1 に含まれる 50kΩ の項は、2 つの内部フィードバック抵抗の和に由来します。これらの抵抗はオンチップの金属皮膜抵抗で、正確な絶対値となるようレーザー トリミングされています。これらの抵抗の精度と温度係数は、INA114 のゲイン精度とドリフト仕様に含まれています。

外部ゲイン設定抵抗 R_G の安定性と温度ドリフトも、ゲインに影響を与えます。ゲイン精度およびドリフトに対する R_G の寄与は、ゲイン 式 1 から直接推定されます。高いゲインに必要な抵抗値が小さいと、配線抵抗が重要になる可能性があります。ソケットは配線抵抗に加えられ、ゲインが約 100 以上になるとゲイン誤差 (不安定なゲイン誤差など) が増大します。

6.1.2 ノイズ性能

INA114 は、ほとんどのアプリケーションで超低ノイズを実現します。差動ソース インピーダンスが 1kΩ より低い場合、INA103 はノイズを低減できます。50kΩ よりもソース インピーダンスが大きい場合は、INA111 FET 入力計測アンプの方がノイズを低減できます。

INA114 の低周波ノイズは、0.1Hz ～ 10Hz の範囲で測定した場合、約 0.4μV_{PP} です。このノイズは、低ノイズのチョッパ安定化アンプのノイズの約 1/10 です。

6.1.3 オフセットのトリミング

INA114 は、非常に低いオフセット電圧およびドリフトを実現するためにレーザー トリミングされています。大半のアプリケーションでは、外部オフセット調整は必要ありません。図 6-2 は、出力オフセット電圧をトリミングするためのオプション回路を示しています。Ref ピンに印加された電圧は、出力に加算されます。図に示すように、オペアンプでトリム電圧をバッファしてこのノードの低インピーダンスを維持することで、良好な同相信号除去比を保ちます。

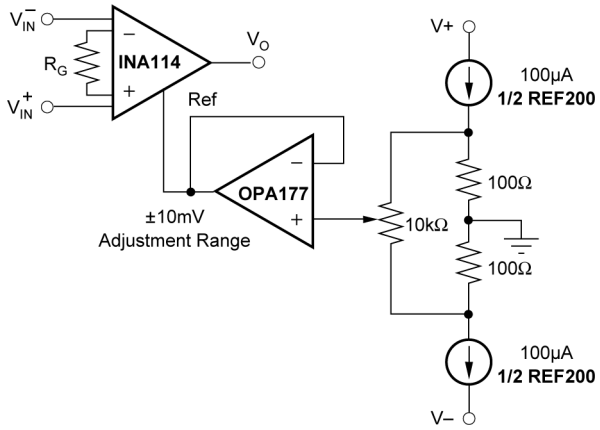


図 6-2. 出力オフセット電圧のオプションのトリミング

Copyright © 2026 Texas Instruments Incorporated

6.1.4 入力バイアス電流のリターン パス

INA114 の入力インピーダンスは約 $10^{10}\Omega$ と非常に高くなります。ただし、両方の入力に対して、入力バイアス電流のパスを用意する必要があります。この入力バイアス電流は通常 ±1nA 未満で、キャンセル回路の影響により正負いずれの極性にもなり得ます。大きい入力インピーダンスは、入力電圧が変化した場合でも、入力バイアス電流の変化がごくわずかであることを意味します。

INA114 が正常に動作するためには、入力回路にこの入力バイアス電流のための経路を設ける必要があります。図 6-3 は、さまざまな入力バイアス電流パスを示しています。バイアス電流の帰路がない場合、入力は INA114 のコモンモード範囲を超える電位まで浮遊し、入力アンプが飽和します。差動ソース抵抗が低い場合、バイアス電流の帰路を 1 つの入力に接続できます (図 6-3 の熱電対の例を参照)。ソース インピーダンスが高い場合は、2 本の抵抗を用いてバランス入力とすることで、バイアス電流による入力オフセット電圧の低減や、より良好な同相信号除去比といった利点が得られます。

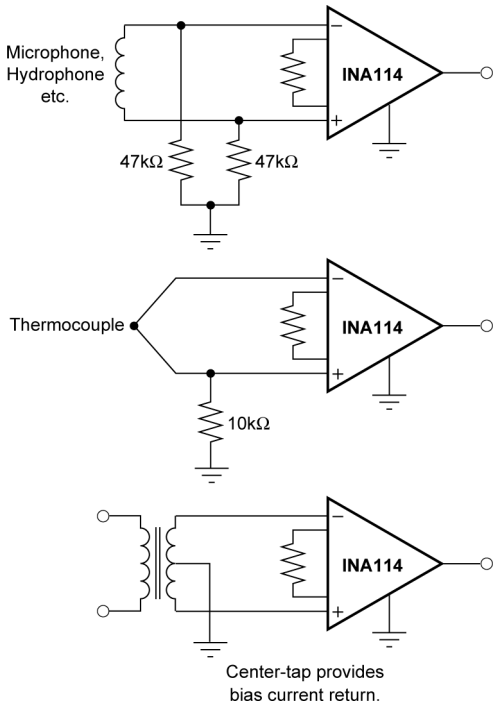


図 6-3. 入力同相電流パスの供給

6.1.5 入力同相範囲

INA114 の入力オペアンプの線形同相範囲は約 ±13.75V (または電源から 1.25V) です。ただし、出力電圧が増加するにつれて、入力の線形範囲は入力アンプ A_1 および A_2 の出力電圧スイングによって制限されます。同相入力範囲はアンプ全体の出力電圧に関係します -「代表的特性」の曲線「入力同相範囲と出力電圧との関係」を参照してください。

同相モード信号と差動入力信号の組み合わせにより、A_1 または A_2 の出力が飽和する場合があります。図 6-4 に、同相モードおよび差動入力電圧で表された A_1 と A_2 の出力電圧スイングを示します。これらの内部アンプの出力スイング能力は、出力アンプ A_3 と同じです。入力同相範囲を最大化する必要があるアプリケーションでは、INA114 をより低いゲインに接続して、出力電圧スイングを制限します (性能曲線「入力同相電圧範囲と出力電圧との関係」を参照)。必要に応じて、INA114 の後にゲインを追加し、電圧スイングを上げます。

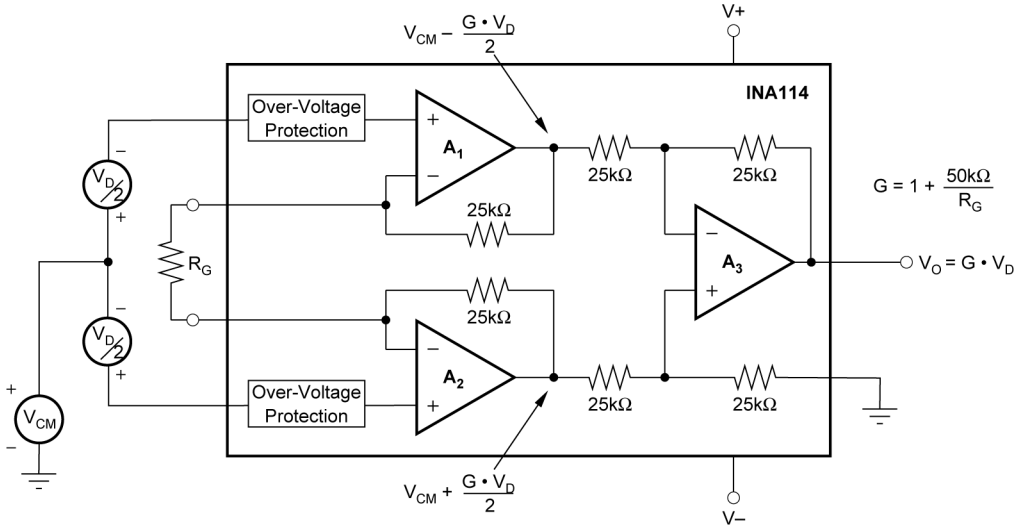


図 6-4. A_1 と A_2 の電圧スイング

入力オーバーロードが発生しても、出力電圧が正常に見えることがよくあります。例えば、一方の入力に 20V、もう一方の入力に 40V を印加すると、両方の入力アンプの線形の同相モード範囲を明らかに超えます。両方の入力アンプはほぼ同じ出力電圧限界まで飽和するため、出力アンプで測定される差動電圧はほぼゼロになります。両方の入力が過負荷になっていても、INA114 の出力は 0V 近くになります。

6.1.6 入力保護

INA114 の入力は、±40V の電圧まで個別に保護されています。たとえば、一方の入力で –40 V、もう一方の入力で +40V の条件は、損傷を引き起こしません。各入力の内部回路は、通常の信号の状態では直列インピーダンスが低くなります。等価な保護を実現するために、直列入力抵抗は過剰なノイズの原因となります。入力が過負荷になった場合、保護回路は入力電流を約 1.5mA の安全な値に制限します。代表的な性能曲線「入力バイアス電流と同相モード入力電圧との関係」に、この入力電流制限の動作を示します。電源電圧が印加されていない場合でも、入力は保護されています。

Copyright © 2026 Texas Instruments Incorporated

6.1.7 出力電圧検出 (SOIC-16 パッケージのみ)

INA114 の表面実装版には、独立した出力センス用フィードバック接続 (ピン 12) が備わっています。正常に動作させるには、ピン 12 を出力端子 (ピン 11) に接続する必要があります。(この接続は INA114 の DIP バージョンで内部的に行われます。)

この出力センス接続により、最高の精度を実現するために、負荷で出力電圧を直接検出することができます。図 6-5 に、直列相互接続抵抗を介して負荷を駆動する方法を示します。離れた位置に配置されたフィードバック パスは、不安定動作を引き起こす可能性があります。この不安定性は通常、C_1 を流れる高周波フィードバックパスを使用して除去できます。フィードバック パス内にバッファを接続して、大きな負荷や長いラインを駆動します (図 6-6 を参照)。

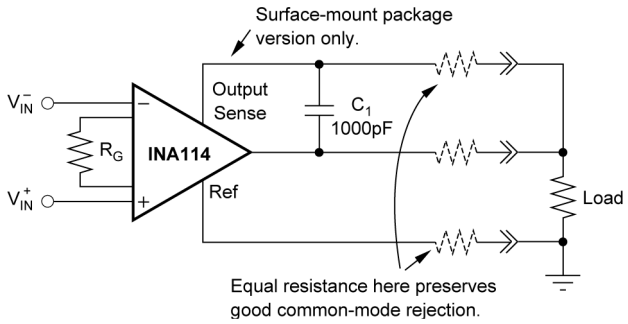


図 6-5. リモート負荷およびグランド センシング

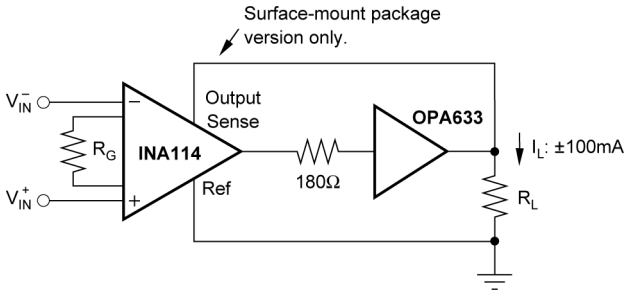


図 6-6. 重負荷用のバッファ付き出力

6.2 代表的なアプリケーション

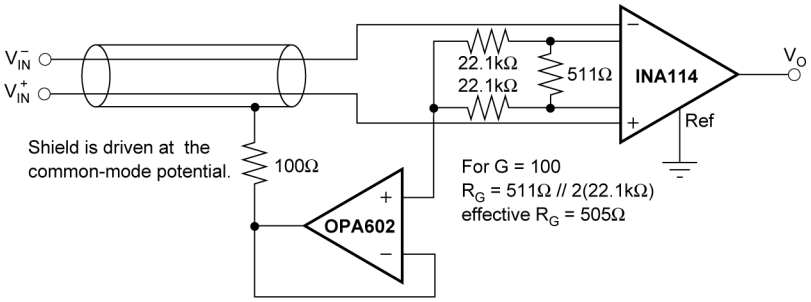


図 6-7. シールド ドライバ回路

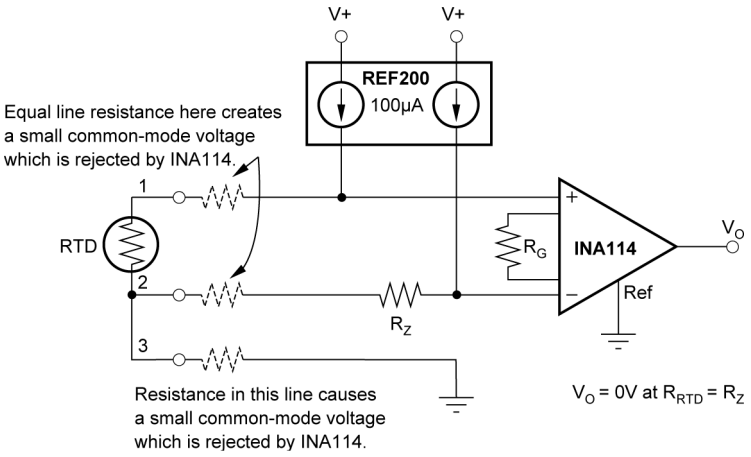
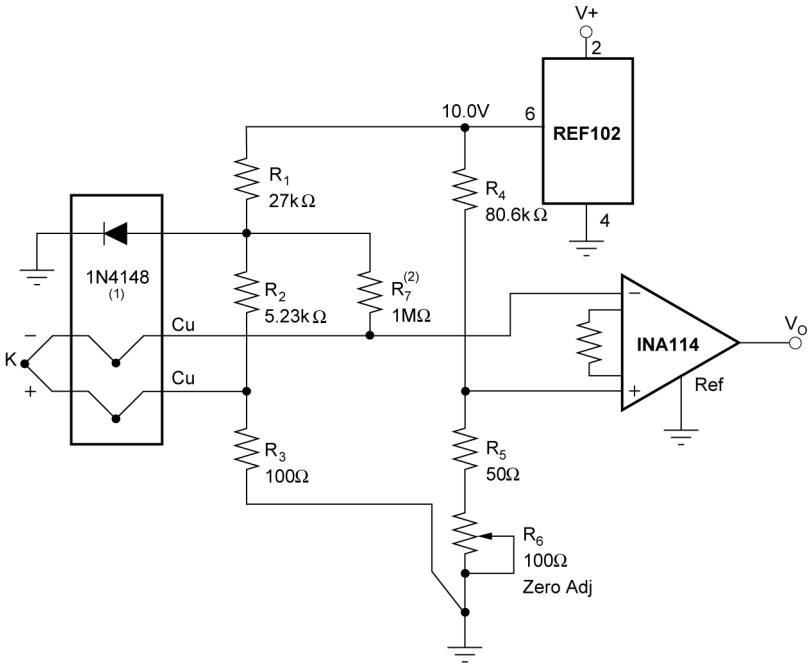


図 6-8. RTD 温度測定回路



ISA TYPE	MATERIAL	SEEBECK COEFFICIENT (µV/°C)	R_2 (R_3 = 100Ω)	R_4 (R_5 + R_6 = 100Ω)
E	Chromel Constantan	58.5	3.48kΩ	56.2kΩ
J	Iron Constantan	50.2	4.12kΩ	64.9kΩ
K	Chromel Alumel	39.4	5.23kΩ	80.6kΩ
T	Copper Constantan	38.0	5.49kΩ	84.5kΩ

NOTES: (1) –2.1mV/°C at 200µA. (2) R_7 provides down-scale burn-out indication.

図 6-9. 冷接点補償付き熱電対アンプ

Copyright © 2026 Texas Instruments Incorporated

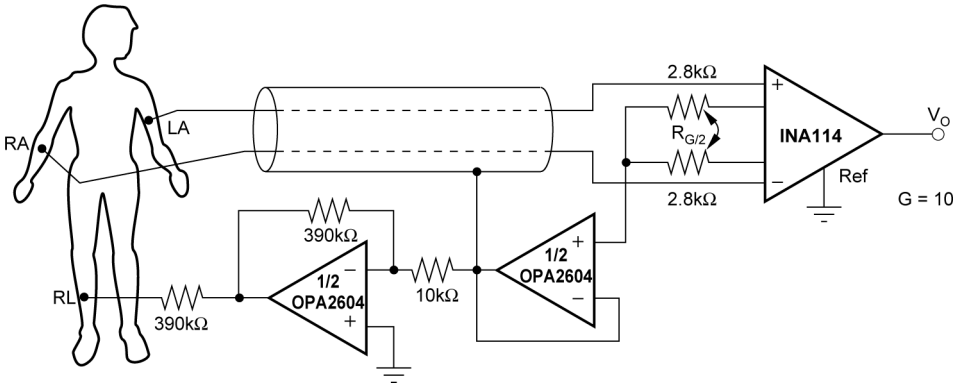


図 6-10. 右脚ドライブ付き ECG アンプ

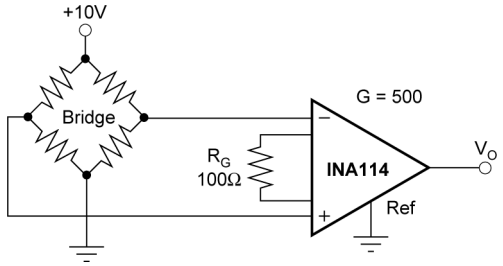


図 6-11. ブリッジ トランスデューサ アンプ

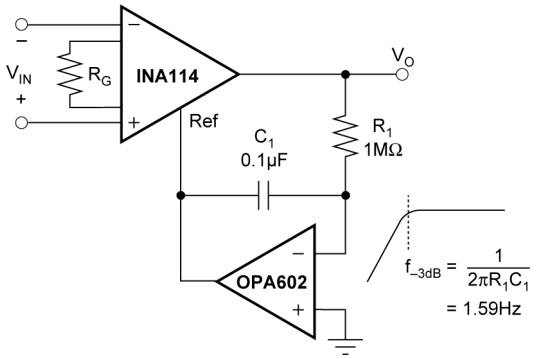
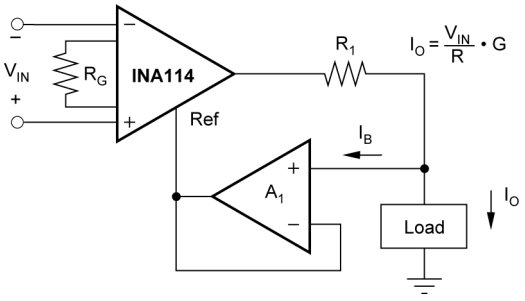


図 6-12. AC 結合計測アンプ



A_1	I_B Error
OPA177	±1.5nA
OPA602	1pA
OPA128	75fA

図 6-13. 差動電圧 / 電流コンバータ

7 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

7.1 デバイスの命名規則

表 7-1. デバイスの命名規則

部品番号	定義
INA114AP INA114AU INA114AU/1K INA114BP INA114BU INA114BU/1K	ダイは CSO:SHE または CSO:TID。

7.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

7.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

7.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (January 2024) to Revision B (January 2026)	Page
• デバイス フロー情報の説明を「仕様」に追加。	4
• すべてのチップ原産拠点 (CSO) の条件を「電気的特性」の標準的なテスト条件に追加	5
• 「電気的特性」の電圧ノイズにさまざまな製造プロセス仕様を追加	5
• 電気的特で帯域幅にさまざまな製造プロセス仕様を追加	5

Copyright © 2026 Texas Instruments Incorporated

- 電気的特性に、スルーレートに関する各種の製造プロセス仕様を追加 5
- 電気的特性に、過負荷復帰に関する各種の製造プロセス仕様を追加 5
- 「代表的特性」の標準的なテスト条件に「すべてのチップの原産拠点 (CSO)」の条件を追加 7
- 「代表的特性」の「ゲインと周波数との関係」および「入力換算ノイズ、0.1Hz ～ 10Hz」の曲線に「CSO:SHE」を追加 7
- 代表的特性の入力バイアス電流と差動入力電圧との関係、入力バイアス電流と同相入力電圧との関係、大信号応答 (G = 1 および G = 1000) 、および小信号応答 (G = 1 および G = 1000) の曲線に「CSO: TID」を追加 7
- ゲインと周波数の関係、入力換算ノイズ電圧と周波数の関係、および 0.1Hz ～ 10Hz の入力換算ノイズの曲線を CSO: TID に追加 (「代表的特性」) 7
- 入力換算ノイズ電圧と周波数との関係、入力バイアス電流と差動入力電圧との関係、入力バイアス電流と同相モード入力電圧との関係、大信号応答 (G = 1 および G = 1000) 、小信号応答 (G = 1 および G = 1000) の曲線を CSO: SHE に追加 (「代表的特性」) 7
- 「代表的特性」の動作温度範囲を反映するように、スルーレートと温度との関係および静止電流と温度との関係の曲線を更新 7
- 「デバイスの命名規則」に型番のフロー情報表を追加 20

Changes from Revision * (March 1998) to Revision A (January 2024) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- 「ESD 定格」、「推奨動作条件」、「熱に関する情報」、「アプリケーションと実装」、「代表的なアプリケーション」、「デバイスおよびドキュメントのサポート 」、「メカニカル、パッケージ、および注文情報」の各セクションを追加 1
- データシート全体にわたって SOL パッケージ名を SOIC に変更 1
- 「特長」の「低オフセット電圧」と「低ドリフト」の箇条書き項目に「高ゲインの場合」を追加 1
- 「特長」で低ドリフトの箇条書き項目の値を 0.25µV/℃から 0.3µV/℃に変更 1
- 「アプリケーション」の箇条書き項目を更新 1
- 「絶対最大定格」においてシンボルを追加 4
- 「絶対最大定格」でデュアル電源と単一電源を示すように電源電圧を変更 4
- 「絶対最大定格」で「入力電圧範囲」を「信号入力ピン」に変更 4
- 「絶対最大定格」に信号出力電圧を追加 4
- 「絶対最大定格」で、出力短絡を「グランド」から「V_S /2」に変更 4
- DW (SOIC) パッケージの周囲熱抵抗の値を追加 4
- P (PDIP) パッケージの周囲熱抵抗値を 80℃/W から 110.2℃/W に変更 4
- 電気的特性に欠けていたシンボルを追加 5
- オフセット電圧の最大値を ±50 + 100/G から ±50 + 150/G に変更 5
- 「オフセット電圧と温度との関係」から「オフセット電圧ドリフト」へ変更。 5
- オフセット電圧ドリフトのテスト条件を T_A = T_{MIN} から T_{MAX} から T_A = –40℃ ～ +85℃ に変更 5
- オフセット電圧ドリフトの最大値を ±0.25 + 5/G から ±0.3 + 5/G に変更 5
- 電気的特性から安全入力電圧を削除 5
- 同相入力範囲を動作入力電圧に変更 5
- 「オフセット電圧と電源電圧の関係」を「電源除去比」に変更 5
- 「バイアス電流と温度との関係」を「入力バイアス電流ドリフト」に変更 5
- 入力バイアス電流ドリフトに「T_A = –40℃ ～ +85℃」のテスト条件を追加 5
- 「オフセット電流と温度との関係」を「入力オフセット電流ドリフト」に変更 5
- 入力オフセット電流ドリフトに「T_A = –40℃ ～ +85℃」のテスト条件を追加 5
- ゲイン誤差に「V_O = ±10V」のテスト条件を追加 5
- 「ゲインと温度との関係」を「ゲイン ドリフト」に変更 5
- ゲインの非直線性に「V_O = –10V ～ +10V」のテスト条件を追加 5
- 出力電圧の値を ±13.5 (最小値) および ±13.7 (標準値) から (V–) + 1.5 (最小値) および (V+) - 1.5 (最大値) に変更 5
- 出力電圧のテスト条件を T_{MIN} から T_{MAX} から T_A = –40℃ ～ +85℃ に変更 5

Copyright © 2026 Texas Instruments Incorporated

- V_S = ±11.4V、V_S = ±2.25V の出力電圧テスト条件を追加 5
- セトリング タイムに V_{STEP} = 10V のテスト条件を追加 5
- 電源電圧範囲の標準値 ±15V を削除 5
- 電圧範囲、動作温度範囲、熱抵抗を「電気的特性」から「推奨動作条件」および「熱に関する情報」に移動 5
- 図 5-6、入力換算電圧ノイズ電圧と周波数との関係を変更 7
- 図 5-10、入力バイアス電流と差動入力電圧の関係を更新 7
- 図 5-11、入力バイアス電流と同相入力電圧との関係を更新 7
- 図 5-19 ～ 図 22、小信号および大信号応答のプロットを更新 7

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA114AP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-	INA114AP
INA114AP.B	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	INA114AP
INA114AU	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA114AU
INA114AU.B	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA114AU
INA114AU/1K	Active	Production	SOIC (DW) | 16	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA114AU
INA114AU/1K.B	Active	Production	SOIC (DW) | 16	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA114AU
INA114BP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-	INA114BP
INA114BP.B	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	INA114BP
INA114BU	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-	INA114BU
INA114BU.B	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA114BU
INA114BU/1K	Active	Production	SOIC (DW) | 16	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-	INA114BU
INA114BU/1K.B	Active	Production	SOIC (DW) | 16	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA114BU

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

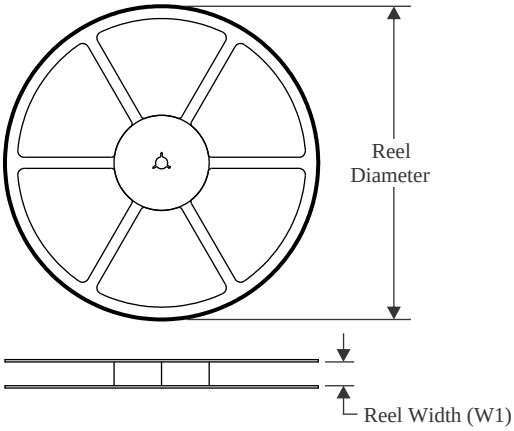
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

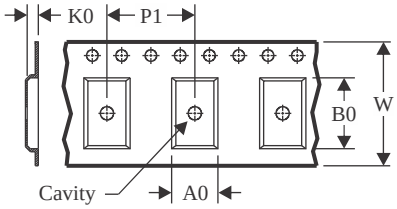
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

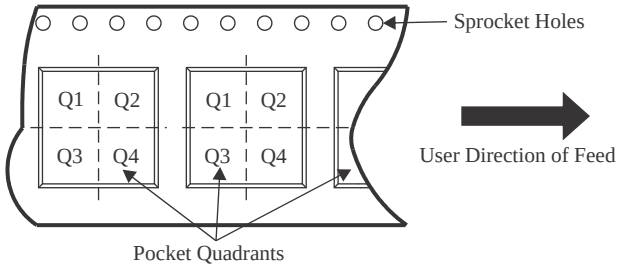


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

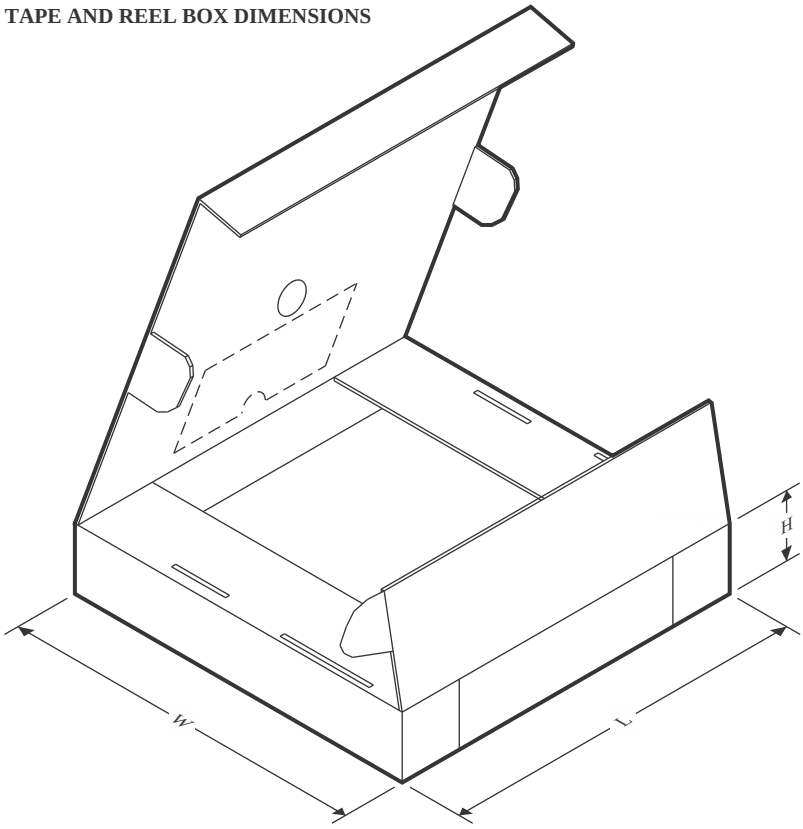
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA114AU/1K	SOIC	DW	16	1000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
INA114BU/1K	SOIC	DW	16	1000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

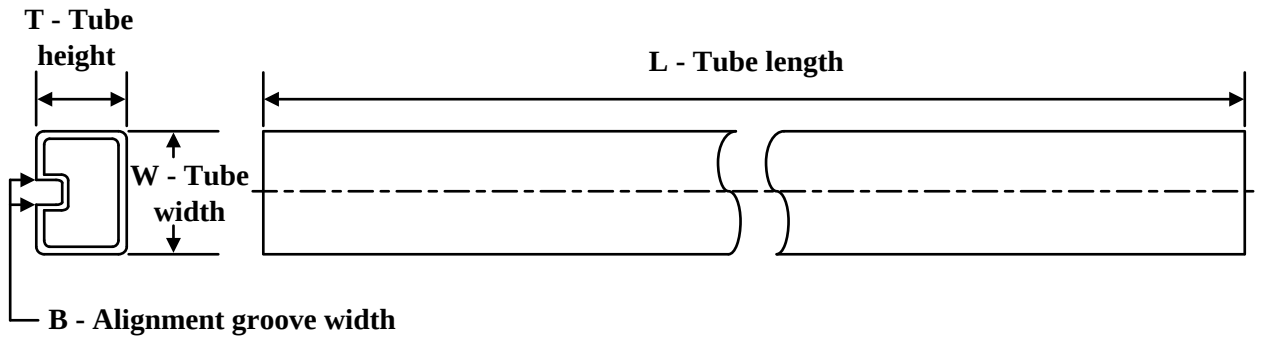
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA114AU/1K	SOIC	DW	16	1000	353.0	353.0	32.0
INA114BU/1K	SOIC	DW	16	1000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
INA114AP	P	PDIP	8	50	506	13.97	11230	4.32
INA114AP.B	P	PDIP	8	50	506	13.97	11230	4.32
INA114AU	DW	SOIC	16	40	507	12.83	5080	6.6
INA114AU.B	DW	SOIC	16	40	507	12.83	5080	6.6
INA114BP	P	PDIP	8	50	506	13.97	11230	4.32
INA114BP.B	P	PDIP	8	50	506	13.97	11230	4.32
INA114BU	DW	SOIC	16	40	507	12.83	5080	6.6
INA114BU.B	DW	SOIC	16	40	507	12.83	5080	6.6

GENERIC PACKAGE VIEW

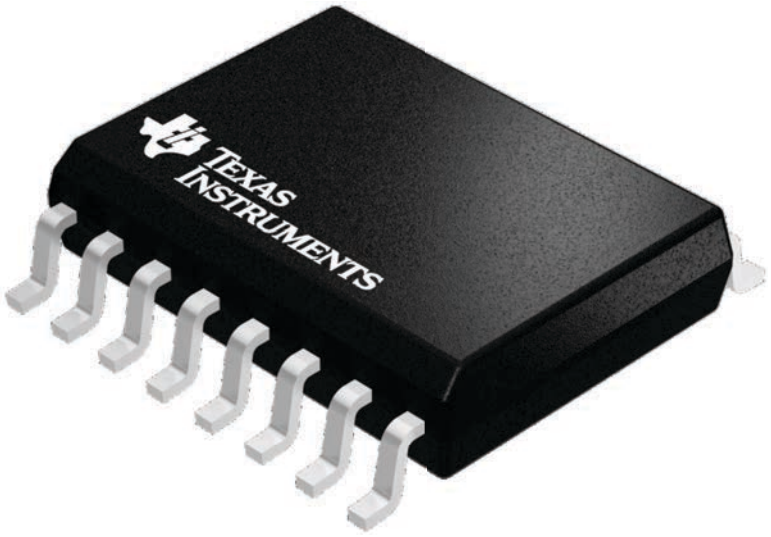
DW 16

SOIC - 2.65 mm max height

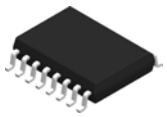
7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A

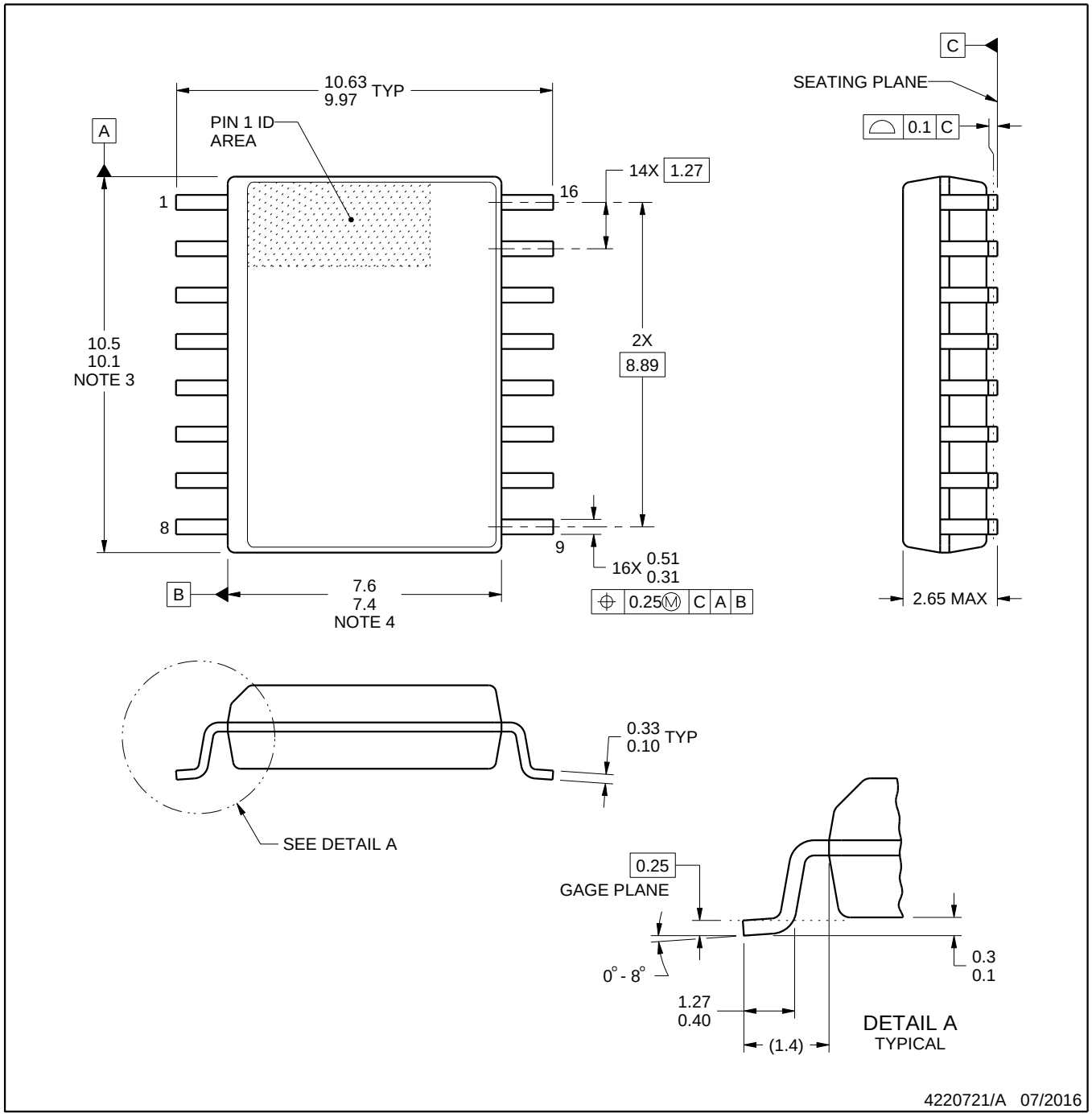


PACKAGE OUTLINE

DW0016A

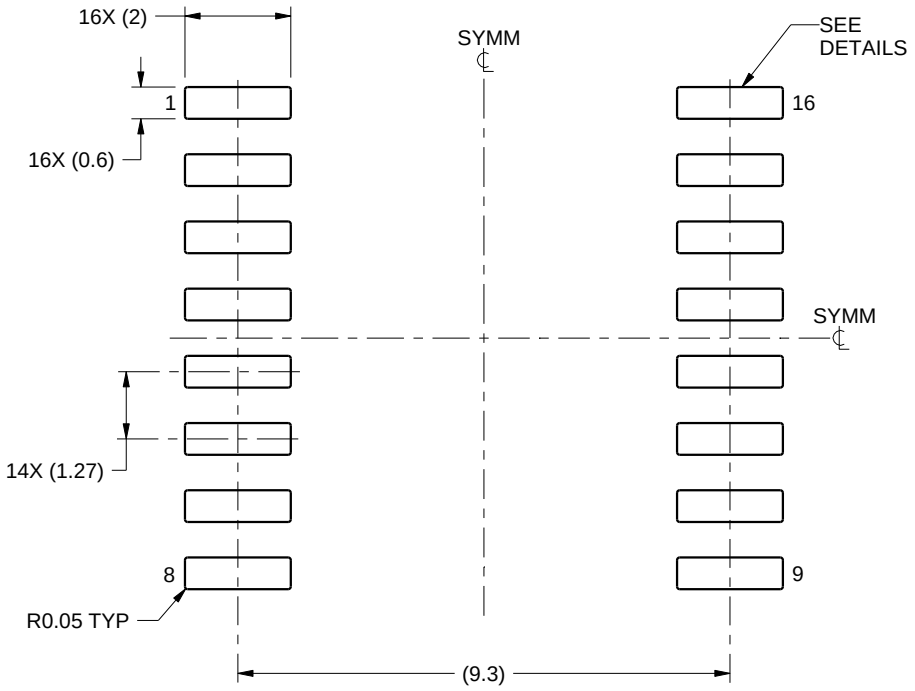
SOIC - 2.65 mm max height

SOIC

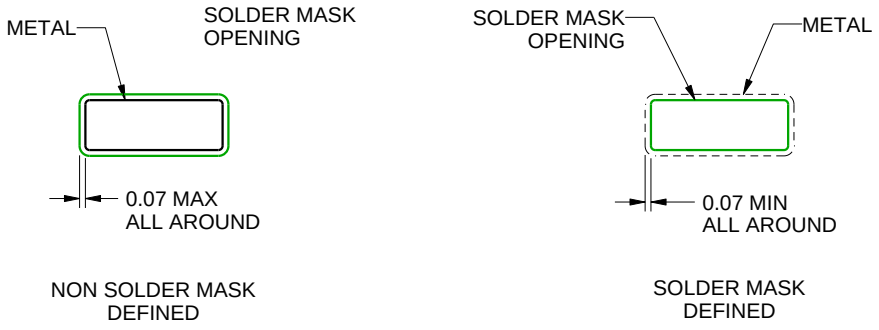


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:7X

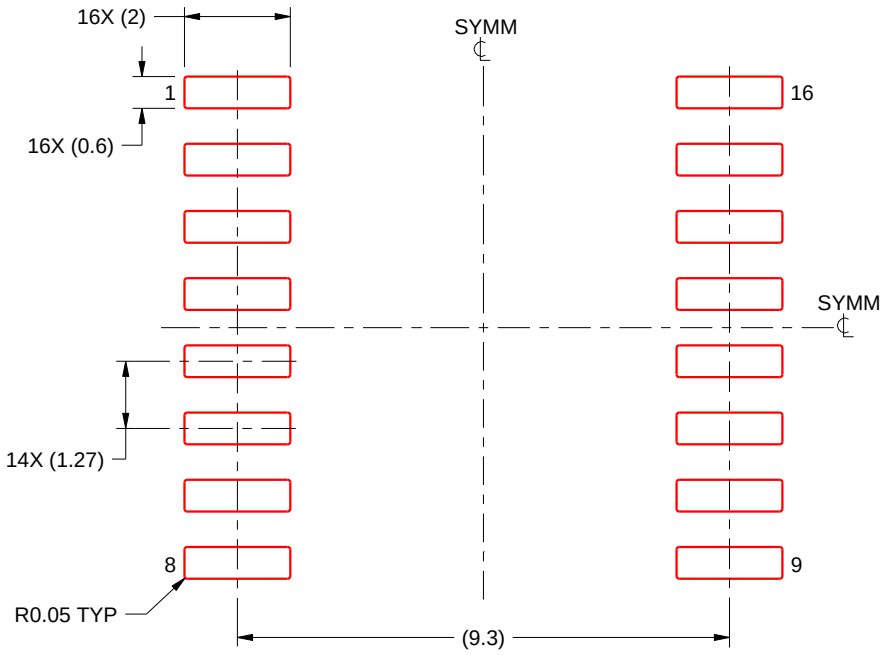


SOLDER MASK DETAILS

4220721/A 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



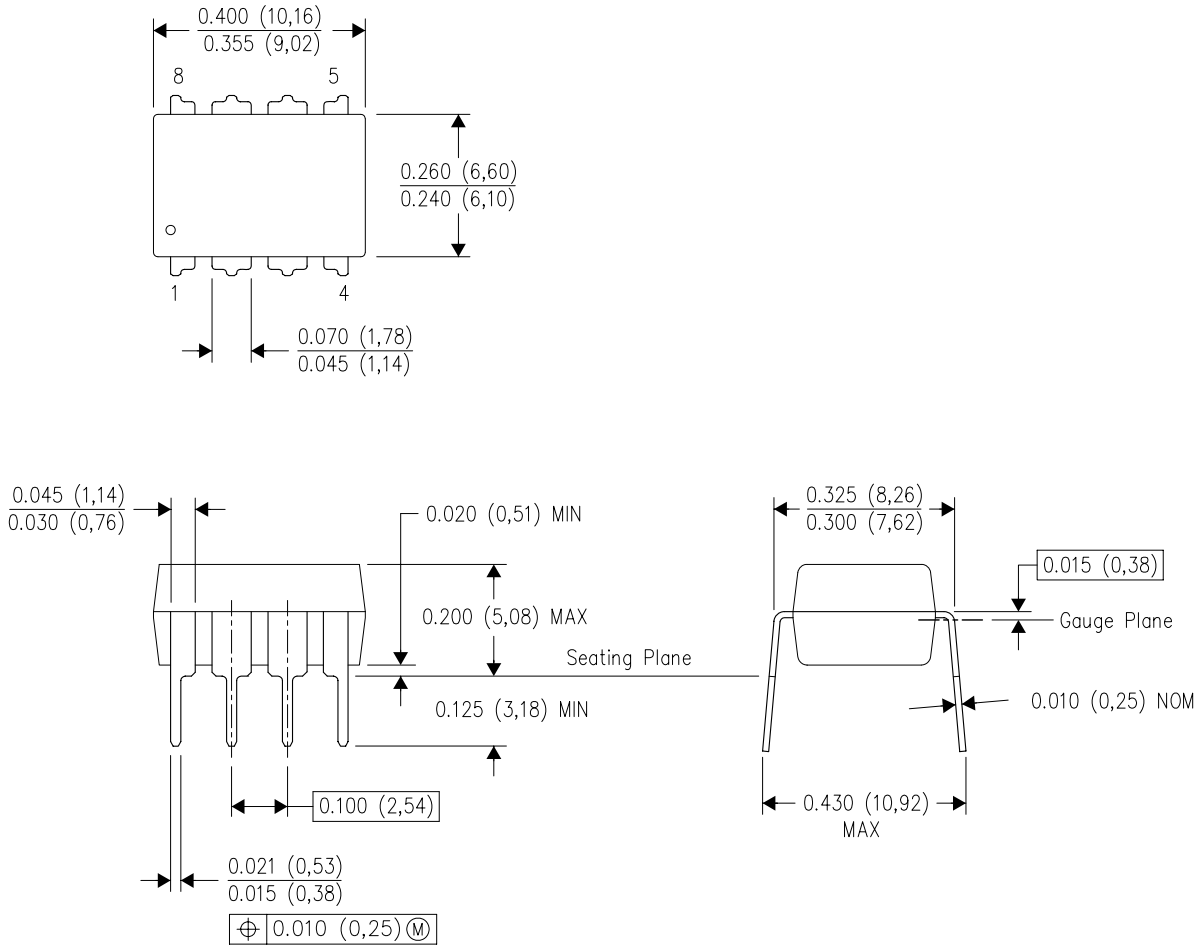
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220721/A 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月